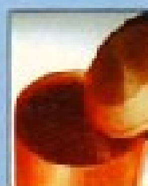
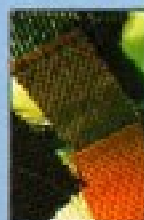
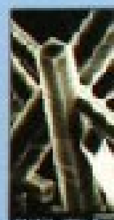
中国材料工程大典

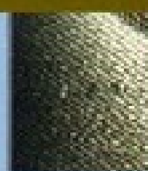
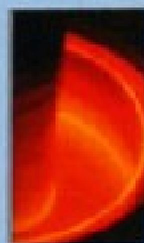
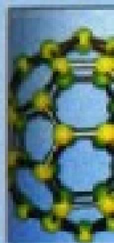
中国机械工程学会 中国材料研究学会



中国材料工程大典编委会

第11卷 信息功能材料工程（上）

王占国 陈立泉 屠海令 主编



化学工业出版社

CHINA MATERIALS ENGINEERING CANON

中国材料工程大典

中国机械工程学会 中国材料研究学会



中国材料工程大典编委会

第11卷 信息功能材料工程（上）

王占国 陈立泉 屠海令 主编



化学工业出版社

·北 京·

（京）新登字039号

内容简介

中国材料工程大典是中国机械工程学会和中国材料研究学会共同组织全国39位院士、百余位各学科带头人、千余位材料工程专家共同执笔编写，全面反映当今国内外材料工程领域发展的最新资料和最新成果，集实用性、先进性和权威性于一体的大型综合性工具书。中国材料工程大典包括材料工程基础、钢铁材料工程、有色金属材料工程、高分子材料工程、无机非金属材料工程、复合材料工程、信息功能材料工程、粉末冶金材料工程、材料热处理工程、材料表面工程、材料铸造成形工程、材料塑性成形工程、材料焊接工程、材料特种加工成形工程、材料表征与检测技术等内容，涵盖了材料工程的各个领域，将最新的实用数据（特别是与国际接轨的标准数据）、图表与先进实用的科研成果系统地集合起来，并附应用实例，充分展示了材料工程各领域的现状和未来。中国材料工程大典不仅可以满足现代企业正确选材，合理用材，应用先进的材料成形加工技术，提高产品质量和性能，降低产品成本，增强产品市场竞争力的需要，而且对推动中国材料科学与材料成形加工技术的不断创新，促进制造业的发展，提高我国制造业的竞争能力，具有重要的现实意义。

本书为第11卷，信息功能材料工程（上）。主要内容包括半导体硅材料、集成电路制造技术、硅基异质结构材料和器件、化合物半导体材料、宽带隙半导体及其应用等。

本书主要供具有大专以上文化水平，从事材料工程研究的工程技术人员在综合研究和处理信息功能材料工程的各类技术问题时使用，起备查、提示和启发的作用，也可供研究人员、理工院校的有关师生参考。

图书在版编目（CIP）数据

中国材料工程大典．第11卷，信息功能材料工程．上/王占国，陈立泉，屠海令主编．—北京：化学工业出版社，2005.8
ISBN 7-5025-7313-5

Ⅰ．中…　Ⅱ．①王…　②陈…　③屠…　Ⅲ．①材料科学　②电子材料：功能材料　Ⅳ．①TB3　②TN04

中国版本图书馆CIP数据核字（2005）第094440号

中国材料工程大典
第11卷
信息功能材料工程（上）
中国机械工程学会
中国材料研究学会
中国材料工程大典编委会
王占国　陈立泉　屠海令主编
责任编辑：周国庆　陈志良　李骏带
责任校对：李　林
封面设计：雷嘉琦
*
化学工业出版社出版发行
（北京市朝阳区惠新里3号　邮政编码：100029）
购书咨询：(010) 64982530
(010) 64918013
购书传真：(010) 64982630
http://www.cip.com.cn
*
新华书店北京发行所经销
北京蓝海印刷有限公司印装
开本880mm×1230mm 1/16　印张42　字数1883千字
2006年3月第1版　2006年3月北京第1次印刷
ISBN 7－5025－7313－5
定价：120.00元



中国材料工程大典编委会



主任：路甬祥



常务副主任：李成功



总策划：宋天虎





总策划：黄远东



总编辑：李骏带





中国材料工程大典编委会

杨　合（西北工业大学教授）
杨　武（上海材料研究所教授）
杨乃宾（北京航空航天大学教授）
杨才福（钢铁研究总院教授）
杨鸣波（四川大学教授）
杨忠民（钢铁研究总院教授）
杨晓华（福州大学教授）
杨海波（北京科技大学教授）
杨焕文（中国有色金属学会副秘书长、教授）
杨德仁（浙江大学教授）
李　强（福州大学教授）
李　晋（上海材料研究所教授）
李　楠（武汉科技大学教授）
李长久（西安交通大学教授）
李龙土（清华大学教授、院士）
李成功（中国材料研究学会荣誉理事、教授）
李光福（上海材料研究所教授）
李志刚（华中科技大学教授）
李明哲（吉林大学教授）
李明辉（上海交通大学教授）
李学勇（科学技术部副部长）
李虹霞（洛阳耐火材料研究院教授）
李恒德（清华大学教授、院士）
李贺军（西北工业大学教授）
李海军（宁夏东方钽业股份有限公司高级工程师）
李骏带（中国材料工程大典编委会高级工程师）
李鹤林（石油天燃气公司管材研究所教授、院士）
严东生（中科院上海硅酸盐研究所教授、院士）
连克仁（苏州特种加工研究所教授）
肖亚庆（中国铝业公司总经理、教授）
吴　行（装甲兵工程学院教授）
吴　昆（哈尔滨工业大学教授）
吴　诚（上海材料研究所教授）
吴永声（四川大学教授）
吴伟仁（国防科工委科技与质量司司长、研究员）
吴性良（复旦大学教授）
吴科如（同济大学教授）
吴恩熙（中南大学教授）
吴谊群（中科院上海光学机械研究所研究员）
吴智华（四川大学教授）
吴德馨（中科院微电子所研究员、院士）
何光远（原机械工业部部长、教授）
何季麟（宁夏东方有色金属集团公司总裁、院士）
佟晓辉（中国热处理行业协会研究员）
邱　勇（清华大学教授）
邱冠周（中南大学副校长、教授）
邱德仁（复旦大学教授）
余金中（中科院半导体研究所研究员）
邹广田（吉林大学教授、院士）
汪明朴（中南大学教授）
沈　真（中航一集团623所研究员）
沈万慈（清华大学教授）
沈德忠（清华大学教授、院士）
宋天虎（中国机械工程学会秘书长、教授）
张　力（国防科工委经济与协调司副司长、研究员）
张　扬（四川大学教授）
张　华（贵州安大航空锻造公司副总经理）
张　杰（北京科技大学教授）
张　金（中国锻压协会秘书长、教授）
张　峥（北京航空航天大学教授）
张子龙（北京航空材料研究院高级工程师）
张用宾（中国建筑材料科学研究院教授）
张立同（西北工业大学教授、院士）
张永俐（昆明贵金属研究所教授）
张吉龙（中国铝业公司教授）
张旭初（中国材料工程大典编委会教授）
张佐光（北京航空航天大学教授）
张晋远（钢铁研究总院教授）
张康侯（昆明贵金属研究所教授）
张道中（中科院物理研究所教授）
张新民（中南大学教授）
陆燕荪（原机械工业部副部长）
陈　琦（沈阳铸造研究所教授）
陈文哲（福州大学教授）
陈世朴（上海交通大学教授）
陈立泉（中科院物理研究所教授、院士）
陈运远（上海材料研究所教授）
陈志良（化学工业出版社编审）
陈国钧（钢铁研究总院教授）
陈治明（西安理工大学校长、教授）
陈南宁（北京钢铁设计研究总院教授）
陈祝年（山东大学教授）
陈晓慈（中国第二重型机械集团公司副总工程师）
陈涌海（中科院半导体研究所研究员）
陈祥宝（北京航空材料研究院研究员）
陈超志（中国机械工程学会高级工程师）
林慧国（钢铁研究总院教授）
欧阳世翕（中国建筑材料科学研究院教授）
卓尚军（中科院上海硅酸盐研究所研究员）
易建宏（中南大学教授）
罗祥林（四川大学教授）
罗豪甦（中科院上海硅酸盐研究所教授）
果世驹（北京科技大学教授）
周　廉（西北有色金属研究院教授、院士）
周伟斌（化学工业出版社副社长、编审）
周国庆（化学工业出版社副总编辑、编审）
郑有炓（南京大学教授、院士）
柳玉起（华中科技大学教授）

柳百成（清华大学教授、院士）
胡玉亭（太原钢铁集团公司总工程师、教授）
胡正寰（北京科技大学教授、院士）
南策文（清华大学教授）
赵万生（哈尔滨工业大学教授）
赵有文（中科院半导体研究所研究员）
赵国群（山东大学教授）
赵金榜（上海市涂料研究所教授）
赵梓森（武汉邮电科学研究院研究员、院士）
赵慕岳（中南大学教授）
钟群鹏（北京航空航天大学教授、院士）
施东成（北京科技大学教授）
施剑林（中科院上海硅酸盐研究所教授）
姜不居（清华大学教授）
姜晓霞（中科院金属研究所研究员）
祖荣祥（钢铁研究总院教授）
姚　燕（中国建筑材料科学研究院院长、教授）
贺守华（国防科工委经济与协调司处长）
耿　林（哈尔滨工业大学教授）
聂大钧（宁夏东方有色金属集团公司教授）
贾成厂（北京科技大学教授）
顾冬红（中科院上海光学机械研究所研究员）
夏巨谌（华中科技大学教授）
夏志华（北京有色金属研究总院教授）
俸培宗（化学工业出版社社长、编审）
徐匡迪（中国工程院院长、院士）
徐廷献（天津大学教授）
徐建军（四川大学教授）
徐祖耀（上海交通大学教授、院士）
徐家文（南京航空航天大学教授）
徐跃明（中国机械工程学会热处理学会研究员）
徐滨士（装甲兵工程学院教授、院士）
殷树言（北京工业大学教授）
翁宇庆（中国金属学会理事长、教授）
郭会光（太原重机学院教授）
郭景杰（哈尔滨工业大学教授）
高瑞萍（国家自然科学基金委员会研究员）
栾恩杰（国防科工委专家咨询委主任、研究员）
唐仁政（中南大学教授）
唐汝钧（上海材料研究所教授）
唐志玉（四川大学教授）
唐昌世（首都钢铁集团公司教授）
益小苏（北京航空材料研究院教授）
涂善东（南京工业大学教授）
黄　勇（清华大学教授）
黄天佑（清华大学教授）
黄玉东（哈尔滨工业大学教授）
黄本立（厦门大学教授、院士）
黄远东（中国材料工程大典编委会高级工程师）
黄伯云（中南大学校长、院士）
黄校先（中科院上海硅酸盐研究所教授）
黄培云（中南大学教授、院士）
曹勇家（钢铁研究总院教授）
曹湘洪（中国石油化工股份有限公司董事、院士）
龚七一（中国化工学会秘书长、教授）
崔　健（上海宝钢集团公司副总经理、教授）
康喜范（钢铁研究总院教授）
梁　齐（上海交通大学教授）
梁　军（哈尔滨工业大学教授）
梁志杰（装甲兵工程学院高级工程师）
屠海令（北京有色金属研究总院院长、教授）
隋同波（中国建筑材料科学研究院教授）
韩凤麟（中机协粉末冶金分会教授）
彭艳萍（国防科工委科技与质量司高级工程师）
葛子干（北京航空材料研究院院长、教授）
董　瀚（钢铁研究总院教授）
董汉山（英国伯明翰大学教授）
董首山（中科院金属研究所研究员）
董祖珏（机械科学研究院教授）
董湘怀（上海交通大学教授）
蒋力培（北京石油化工学院教授）
蒋建平（浙江大学教授）
傅绍云（中科院理化技术研究所研究员）
储君浩（上海技术物理研究所教授）
谢邦互（四川大学教授）
谢里阳（东北大学教授）
谢建新（北京科技大学副校长、教授）
鄢国强（上海材料研究所教授）
雷天民（西安理工大学教授）
路甬祥（中国机械工程学会理事长、院士）
解应龙（哈尔滨焊接技术培训中心教授）
解思深（中科院物理研究所教授、院士）
雍歧龙（钢铁研究总院教授）
蔡中义（吉林大学教授）
漆　玄（上海交通大学教授）
谭　抚（中国硅酸盐学会副秘书长、教授）
熊守美（清华大学教授）
薪常青（中科院物理研究所教授）
樊东黎（中国热处理行业协会教授）
黎文献（中南大学教授）
颜永年（清华大学教授）
颜鸣皋（北京航空材料研究院教授、院士）
潘正安（化学工业出版社总编辑、编审）
潘叶金（中南大学教授）
潘振甦（中科院上海硅酸盐研究所教授）
潘健生（上海交通大学教授、院士）
燕　瑛（中国复合材料学会秘书长、教授）
戴国强（科学技术部高新司副司长）

鸣　　谢

在编写过程中，得到以下部门和单位的支持和协作，使《中国材料工程大典》得以顺利编撰完成。在此，中国材料工程大典编委会代表全体作者表示衷心感谢！

支持部门：中华人民共和国科学技术部
国防科学技术工业委员会
国家自然科学基金委员会
中国科学技术协会
中国科学院
中国工程院

协作单位

钢铁研究总院
北京有色金属研究总院
北京航空材料研究院
中国建筑材料科学研究院
中国科学院金属研究所
中国科学院上海硅酸盐研究所
上海宝钢集团公司
中国石油化工集团公司
中国铝业公司
清华大学
中南大学
太原钢铁集团公司
西北有色金属研究院
宁夏东方有色金属集团公司
华中科技大学
中国第二重型机械集团公司
北京科技大学
北京航空航天大学
中国航天集团第703研究所
中国特种设备检测研究中心
哈尔滨工业大学
贵州安大航空锻造公司
东北大学
西安重型机械研究所
中国科学院半导体研究所
四川大学
北京航空制造工程研究所
中国科学院物理研究所
西北工业大学
北京矿冶研究总院
沈阳铸造研究所
江苏法尔胜公司

序

材料是当代社会经济发展的物质基础，也是制造业发展的基础和重要保障。进入21世纪以来，随着经济全球化的发展和中国的崛起，现代制造业的重心正不断向中国转移。据统计，今天中国制造业直接创造国民生产总值的1/3以上，约占全国工业生产的4/5，为国家财政提供1/3以上的收入，占出口总额的90%。但是与发达国家相比，我国制造业的水平不高、自主创新能力不足、高端市场竞争力还不强。我国虽然已是世界制造业大国，但还不是世界制造业强国。在有关因素中，材料工程基础薄弱是制约我国制造业发展的关键因素。广义的材料工程包括材料制备、测试和加工成形过程。为了提高我国制造业的水平和竞争力，突破材料工程这个薄弱环节，中国机械工程学会和中国材料研究学会牵头，会同中国金属学会、中国化工学会、中国硅酸盐学会、中国有色金属学会、中国复合材料学会共同组织编撰《中国材料工程大典》（简称《材料大典》），其目的是力图为我国制造业提供一部集科学性、先进性和实用性于一体的综合性专业工具书。以满足广大科技工作者的迫切需求，为科技自主创新和我国制造业的崛起加强技术基础。

经过5年多的艰苦努力，《材料大典》终将出版了。这部共26卷约7000万字的巨著，是39位两院院士和1200余位参编专家教授们辛勤劳动的智慧结晶。有的作者为此牺牲了健康，如一位退休了的总工程师，为了把他多年的研究成果和实践经验写成书稿，由于长时间写作，导致眼睛视网膜脱落……。这种敬业精神与坚强毅力是值得我们学习铭记的。借此机会，我们要感谢中国金属学会、中国化工学会、中国硅酸盐学会、中国有色金属学会、中国复合材料学会的支持。这些学会的众多专家教授积极参与了《材料大典》编写工作，与中国机械工程学会和中国材料研究学会的专家教授一起完成这项艰巨任务，从而使《材料大典》在完整性与先进性、科学性与实用性的结合上得到了加强；我们要感谢科学技术部、国防科学技术工业委员会、国家自然科学基金委员会、中国科学技术协会、中国科学院、中国工程院，以及各协作单位对编写工作的大力支持和积极帮助；我们也要感谢师昌绪院士等顾问的殷切指导，他们在编委会的两次工作会议上提出了许多重要的意见和建议，平时也给予了经常关心和指导，使我们少走了许多弯路；我们还要对关心和支持《材料大典》编写工作的科研院所、院校、企业以及有关人员表示感谢。没有大家的支持与协同，就不可能有《材料大典》的成功编写和顺利出版。

《材料大典》既总结了10多年来在材料工程方面的最新数据、图表及科研成果，还汇集了国内外在材料工程方面的成熟经验和先进理念，它体现了科学性、先进性和实用性的结合。可供具有大专以上文化水平的有关工程技术人员查阅使用，也可供理工院校的师生参考。

编撰《材料大典》涉及范围广，难度大，书中不可避免地会存在一些缺点和不足之处，恳请各位读者指正。

中国机械工程学会理事长
中国材料工程大典编委会主任

2005年9月23日

前　言

《信息功能材料工程》卷是《中国材料工程大典》中的卷目之一。

信息功能材料是信息科学技术和信息产业发展的基础和先导。21世纪将是以信息产业为核心的知识经济时代，对信息技术和信息资源的竞争将更加激烈。我国电子信息行业2004年完成产品销售收入达26500亿元，多年来已居外贸出口首位，并继续以高出工业发展速度10%的速度发展，已成为世界信息产业大国。加快由信息产业大国向信息产业强国迈进的步伐，是我们广大从事信息技术，特别是信息功能材料工作者义不容辞的责任。希望《中国材料工程大典》中《信息功能材料工程》卷的出版，将有力推动我国信息技术和信息产业的健康发展。

《信息功能材料工程》分上、中、下卷，共设20篇，约600万字。它涉及到信息的获取、传输、存储、显示和处理等主要技术用的材料与器件，是目前我国该领域比较完整的专业工具书。参加这部书编写的有中国科学院、高等院校和部分企业的专家教授近200名。参加编写的主要单位有中国科学院半导体研究所、中国科学院物理研究所、中国科学院微电子研究所、中国科学院上海精密光学机械研究所、中国科学院上海红外技术物理研究所、中国科学院长春应用化学研究所、中国科学院合肥固体物理所、南京大学、清华大学、西安理工大学、北京有色金属研究总院、武汉邮电科学研究院等。历时近3年完稿。由王占国、陈立泉、屠海令任主编并统稿。

各篇的主编如下：

第1篇	概论	王占国
第2篇	半导体硅材料	杨德仁
第3篇	集成电路制造技术	吴德馨　刘　明
第4篇	硅基异质结构材料和器件	余金中
第5篇	化合物半导体材料	屠海令　赵有文
第6篇	宽带隙半导体及其应用	郑有
第7篇	半导体低维结构和量子器件	陈涌海　叶小玲　王占国
第8篇	存储材料	顾冬红　吴谊群
第9篇	显示材料	邱　勇　应根裕
第10篇	通信光纤材料及其工艺	赵梓森
第11篇	全固态激光器及相关材料	许祖彦　沈德忠
第12篇	稀土磁性材料与自旋电子材料	刘治国
第13篇	超导材料	陈立泉　靳常青
第14篇	传感器材料	陈治明　雷天民
第15篇	红外材料	褚君浩
第16篇	先进储能材料	陈立泉
第17篇	一维纳米材料和纳米结构	张立德　解思深
第18篇	发光材料	石春山
第19篇	微加工技术	冯　稷
第20篇	光子晶体	张道中

本卷各篇不仅全面系统地反映了国内外信息功能材料研究领域的现状、最新进展和发展趋势，而且特别注重我国在该领域的研发和产业化方面取得的成果，力图使其具有实用性、先进性和权威性。本书适合于从事信息功能材料的科研工作者和工程技术人员查阅使用，也可供有关师生参考。

感谢有关单位和参编作者的大力支持和共同努力，由于编写时间和编者水平所限，书中的不当之处，恳请读者批评指正。

王占国　陈立泉　屠海令

2005年12月19日

篇　　目

第1卷　材料工程基础

主编：师昌绪院士　钟群鹏院士　李成功教授

第2、3卷　钢铁材料工程（上、下）

主编：干　勇院士　田志凌教授　董　瀚教授　冯　涤教授　王新林教授

第4、5卷　有色金属材料工程（上、下）

主编：黄伯云院士　李成功教授　石力开教授　邱冠周教授　左铁镛院士

第6、7卷　高分子材料工程（上、下）

主编：杨鸣波教授　唐志玉教授

第5篇	高分子胶黏剂	主编：朱如瑾教授		
第6篇	功能高分子	主编：罗祥林教授		
第7篇	皮革材料	主编：张　扬教授		

第8、9卷　无机非金属材料工程（上、下）

主编：江东亮院士　李龙土院士　欧阳世翕教授　施剑林教授

第1篇	概论	主编：江东亮院士		
第2篇	结构陶瓷	主编：江东亮院士	黄校先教授	潘振甦教授
第3篇	功能陶瓷	主编：李龙土院士	徐廷献教授	
第4篇	传统陶瓷	主编：同继锋教授		
第5篇	玻璃	主编：马眷荣教授		
第6篇	晶体材料	主编：罗豪甦教授	仲维卓教授	
第7篇	无机涂层材料	主编：丁传贤院士	赵金榜教授	
第8篇	耐火材料	主编：李　楠教授	张用宾教授	李虹霞教授
第9篇	碳、石墨材料	主编：李龙土院士	沈万慈教授	
第10篇	水泥与混凝土	主编：隋同波教授		
第11篇	其他新型无机材料	主编：施剑林教授		

第10卷　复合材料工程

主编：益小苏教授　杜善义院士　张立同院士

第1篇	复合材料导论	主编：益小苏教授		
第2篇	复合材料用增强体材料	主编：冯春祥教授	楚增勇教授	
第3篇	聚合物基体材料	主编：陈祥宝教授		
第4篇	纺织复合材料	主编：丁　辛教授		
第5篇	复合材料界面	主编：黄玉东教授		
第6篇	工业聚合物基复合材料与玻璃钢	主编：刘其贤教授	刘占阳教授	高红梅教授
第7篇	先进树脂基复合材料	主编：杨乃滨教授		
第8篇	热塑性聚合物基复合材料	主编：张　忠教授	傅绍云教授	
第9篇	金属基复合材料	主编：耿　林教授	吴　昆教授	
第10篇	陶瓷（玻璃）基复合材料	主编：张立同院士	黄　勇教授	
第11篇	碳基复合材料	主编：张立同院士	李贺军教授	
第12篇	水泥基复合材料	主编：吴科如教授		
第13篇	复合材料力学问题与设计	主编：杜善义院士	梁　军教授	
第14篇	复合材料结构设计与分析	主编：沈　真教授		
第15篇	复合材料性能实验、表征与质量控制	主编：张佐光教授	张子龙教授	
第16篇	功能复合材料与新型复合材料	主编：刘献明教授	傅绍云教授	张　忠教授

第11、12、13卷　信息功能材料工程（上、中、下）

主编：王占国院士　陈立泉院士　屠海令教授

第1篇	概论	主编：王占国院士		
第2篇	半导体硅材料	主编：杨德仁教授		
第3篇	集成电路制造技术	主编：吴德馨院士	刘　明研究员	
第4篇	硅基异质结构材料和器件	主编：余金中研究员		
第5篇	化合物半导体材料	主编：屠海令教授	赵有文研究员	
第6篇	宽带隙半导体及其应用	主编：郑有炓院士		
第7篇	半导体低维结构和量子器件	主编：陈涌海研究员	叶小玲教授	王占国院士
第8篇	存储材料	主编：顾冬红研究员	吴谊群研究员	
第9篇	显示材料	主编：邱　勇教授	应根裕教授	
第10篇	通信光纤材料及其工艺	主编：赵梓森院士		
第11篇	全固态激光器及相关材料	主编：许祖彦院士	沈德忠院士	
第12篇	稀土磁性材料与自旋电子材料	主编：刘治国教授		
第13篇	超导材料	主编：陈立泉院士	靳常青教授	
第14篇	传感器材料	主编：陈治明教授	雷天民教授	
第15篇	红外材料	主编：褚君浩教授		

第 16 篇	先进储能材料	主编：陈立泉院士
第 17 篇	一维纳米材料和纳米结构	主编：张立德教授　解思深院士
第 18 篇	发光材料	主编：石春山研究员
第 19 篇	微加工技术	主编：冯　稷教授
第 20 篇	光子晶体	主编：张道中教授

第 14 卷　粉末冶金材料工程

主编：韩凤麟教授　马福康教授　曹勇家教授

第 1 篇	概论	主编：韩凤麟教授
第 2 篇	金属粉末生产与特性	主编：韩凤麟教授　夏志华教授
第 3 篇	金属粉末性能测试与相应标准	主编：张晋远教授
第 4 篇	成形与固结	主编：果世驹教授
第 5 篇	后续加工与质量控制	主编：贾成厂教授
第 6 篇	粉末冶金材料	主编：曹勇家教授　马福康教授　易建宏教授
第 7 篇	粉末冶金材料应用与新发展	主编：王尔德教授　韩凤麟教授

第 15 卷　材料热处理工程

主编：樊东黎教授　潘健生院士　徐跃明研究员　佟晓辉研究员

第 1 篇	概论	主编：樊东黎教授
第 2 篇	材料热处理技术基础	主编：樊东黎教授
第 3 篇	材料热处理工艺	主编：徐跃明研究员
第 4 篇	热处理设备	主编：佟晓辉研究员
第 5 篇	材料热处理	主编：徐跃明研究员
第 6 篇	热处理 CAD/CAM/CAE	主编：潘健生院士
第 7 篇	热处理清洁生产和安全	主编：樊东黎教授
第 8 篇	热处理质量控制与无损检测	主编：佟晓辉研究员

第 16、17 卷　材料表面工程（上、下）

主编：徐滨士院士　刘世参教授

第 1 篇	概论	主编：徐滨士院士　刘世参教授
第 2 篇	材料服役中表面的失效行为及防治	主编：涂善东教授
第 3 篇	表面覆层形成与结合机理	主编：徐滨士院士　朱绍华教授
第 4 篇	涂装	主编：吴　行教授
第 5 篇	热喷涂	主编：徐滨士院士　李长久教授
第 6 篇	堆焊	主编：董祖珏教授
第 7 篇	电镀与电刷镀	主编：马世宁教授
第 8 篇	化学镀与转化膜技术	主编：姜晓霞研究员　董首山研究员
第 9 篇	化学热处理	主编：董汉山教授
第 10 篇	热浸镀	主编：刘邦津教授
第 11 篇	气相沉积技术及功能薄膜材料制备	主编：吕反修教授
第 12 篇	高能束表面处理技术	主编：左铁钏教授
第 13 篇	纳米表面工程	主编：徐滨士院士
第 14 篇	封存与包装	主编：梁志杰高工
第 15 篇	表面工程技术设计	主编：徐滨士院士　朱绍华教授
第 16 篇	表面工程质量控制与检测	主编：史耀武教授

第 18、19 卷　材料铸造成形工程（上、下）

主编：柳百成院士　黄天佑教授

第 1 篇	概论	主编：柳百成院士
第 2 篇	铸造合金及其熔炼	主编：邢建东教授
第 3 篇	铸造成形工艺技术基础	主编：郭景杰教授
第 4 篇	砂型铸造	主编：黄天佑教授
第 5 篇	特种铸造	主编：姜不居教授

第 6 篇	铸造成形 CAD/CAE	主编：熊守美教授
第 7 篇	铸造生产质量检测及控制	主编：黄天佑教授

第 20、21 卷　材料塑性成形工程（上、下）

主编：胡正寰院士　夏巨谌教授

第 1 篇	概论	主编：夏巨谌教授　张　金教授
第 2 篇	锻造成形	主编：夏巨谌教授　郭会光教授
第 3 篇	板料冲压成形	主编：杨　合教授　华　林教授　刘郁丽教授
第 4 篇	板型管轧制成形	主编：张　杰教授　杨海波教授　施东成教授　陈南宁教授
第 5 篇	零件轧制成形	主编：胡正寰院士　华　林教授
第 6 篇	特种锻造	主编：王高潮教授
第 7 篇	板管特种成形	主编：李明哲教授　蔡中义教授
第 8 篇	型材挤压成形	主编：夏巨谌教授　闫　洪教授
第 9 篇	塑性成形 CAD/CAM	主编：李志刚教授
第 10 篇	塑性成形质量控制与检测	主编：吕　炎教授

第 22、23 卷　材料焊接工程（上、下）

主编：史耀武教授

第 1 篇	概论	主编：史耀武教授
第 2 篇	材料焊接加工技术基础	主编：史耀武教授
第 3 篇	焊接方法与设备	主编：史耀武教授　殷树言教授
第 4 篇	材料焊接	主编：史耀武教授　任家烈教授
第 5 篇	焊接生产过程自动化	主编：蒋力培教授
第 6 篇	焊接结构设计	主编：陈祝年教授
第 7 篇	焊接结构制造	主编：史耀武教授
第 8 篇	焊接生产质量管理与无损检测	主编：解应龙教授
第 9 篇	焊接结构服役与再制造	主编：史耀武教授

第 24、25 卷　材料特种加工成形工程（上、下）

主编：王至尧研究员

第 1 篇	概论	主编：齐从谦教授
第 2 篇	材料电火花成形加工技术	主编：刘晋春教授　白基成教授　郭永丰教授
第 3 篇	材料数控电火花线切割技术	主编：李明辉教授
第 4 篇	材料电化学加工技术	主编：徐家文教授
第 5 篇	材料高能束流加工技术	主编：王亚军教授
第 6 篇	快速原型与快速制造	主编：颜永年教授
第 7 篇	电加工机床质量控制与检测	主编：连克仁教授

第 26 卷　材料表征与检测技术

主编：徐祖耀院士　黄本立院士　鄢国强教授

第 1 篇	概论	主编：徐祖耀院士　黄本立院士　陈文哲教授　鄢国强教授　朱万森教授
第 2 篇	化学成分分析方法	主编：黄本立院士　吴　诚教授　方禹之教授　邱德仁教授　吴性良教授
第 3 篇	常用材料化学成分分析	主编：鄢国强教授　马冲先教授　卓尚军研究员
第 4 篇	材料物理性能测试	主编：陈文哲教授　李　强教授
第 5 篇	材料力学性能测试	主编：陈文哲教授　陈运远教授　杨晓华教授
第 6 篇	材料化学性能测试	主编：杨　武教授　李光福教授
第 7 篇	金相分析	主编：唐汝钧教授　李　晋教授
第 8 篇	无损检测	主编：王务同教授　杨晓华教授
第 9 篇	X 射线衍射分析	主编：漆　玄教授　蒋建中教授
第 10 篇	电子显微分析	主编：陈世朴教授　孙　坚教授
第 11 篇	核技术分析及其他检测与表征技术	主编：陈世朴教授　梁　齐教授

目　　录

第1篇

概 论

主 编 王占国

编 写 王占国

审 稿 中国材料工程大典编委会

中国机械工程学会
中国材料研究学会
中国材料工程大典编委会

物质、能量和信息是构成世界的三大要素。信息，也称之为消息。在信息论中指用符号传递的报道，报道的内容是接受符号者预先不知道的。信息更一般的定义是指事务的运动状态和关于运动状态的陈述。直到20世纪初，人们才认识到信息是一种可再生、可复制和重复使用的重要资源；今天，信息的概念已超越互相联系、了解社会行情的范畴，而成为指导社会活动、保障社会安全和参与社会财富创造的关键要素。准确、快速、安全地获得信息关系到一个国家的兴衰存亡，各国政府都很重视。信息科学是研究信息现象及其运动规律的科学，而信息技术则是指利用计算机和现代通信等手段获取、传递、存储、处理、显示信息和分配信息的技术。信息材料是指信息技术所用的新材料。根据其在信息技术中的功能可分为：信息获取（传感）材料，信息传输材料，信息存储材料，信息显示材料与器件和信息处理材料、器件与电路等。本大典信息功能材料卷在对上述相关的主要信息功能材料进行重点介绍的同时，还将对近年来得到迅速发展、并在未来的信息技术中有着潜在应用前景的纳米材料、自旋电子材料、高温超导材料、宽带隙半导体材料、半导体低维结构材料与器件和光子晶体材料等做较详细地描述。

第1章　信息功能材料在信息技术中的战略地位

信息学科和技术已经渗透到政治、经济、军事和文化等现代社会的各个重要领域，已成为21世纪国际竞争的制高点。美国、日本和德国等都把信息技术作为国家战略给予高度重视和重点支持，力图在该领域保持其领先地位。党的十六大报告也明确指出信息化是我国加快实现工业化和现代化的必然选择。信息技术和信息产业的发展已成为一个国家综合实力的决定性因素。国民对信息的拥有和利用程度成为衡量一个国家发展水平的指标。

随着信息技术向数字化、网络化的迅速发展，超大容量信息传输、超快实时信息处理和超高密度信息存储（3 T，$1\ T=10^{12}$）已成为信息技术追求的目标。要实现这个目标，信息技术要有一个飞跃的发展，要实现信息技术的飞跃，信息功能材料和器件必须先行。从信息技术的发展历史，我们可以清楚的看到，信息功能材料是信息科学技术的先导和基础。20世纪40年代末50年代初，晶体管的发明、硅单晶材料和硅基集成电路的研制成功，导致了电子工业大革命；今天，以PC机为代表的桌式计算机进入到千家万户。光导纤维材料和以砷化镓（GaAs）材料为基础的半导体激光器的发明，使人类进入到光纤通信和高速、宽带信息网的时代。20世纪70年代，超晶格概念的提出，分子束外延（MBE）、金属有机物化学气相淀积（MOCVD）等生长技术发展与进步以及超晶格、量子阱材料的研制成功，使半导体器件的设计思想由“杂质工程”发展到“能带工程”，出现了器件的电学、光学性质可剪裁的新范畴，为材料和器件科学家提供了一个施展才能和创新的广阔天地。

巨磁阻材料发展和应用使相应的磁盘的存储密度提高到$10\sim100\ G/in^2$。目前，虽然一般的光存储技术已经成熟，一次性和可擦写的光盘业已商业化，然而20世纪90年代末GaN蓝色、紫色激光材料和激光器的研制成功，不仅由于光波波长的变短，使光盘的光存储密度成倍增长，而且极有可能触发新的照明光源的革命。正在发展中的三维光存储技术、全息存储技术和近场光存储等可将存储密度提高到太比特（Tbs）$/cm^2$，其中的关键是探索制备可实用化的光存储材料。有机电致发光材料的发展和应用，开辟了研制低成本、全色高亮度柔性显示屏的新方向。

半导体量子级联激光器理论的提出和中、远红外量子级联激光材料与器件的研制成功，为实现自由空间光通信、电子对抗和大气污染的监控等奠定了技术基础。大功率量子阱激光材料、器件和激光晶体的实用化以及非线性光学晶体的发明，开辟了全固态激光的新领域。全固态激光器以其高效、小型、长寿命等优越的特性在科学研究、医疗、加工、光存储、激光显示、激光雷达、激光制导、激光同位素分离、海下探潜、激光武器以及可控核聚变等领域都有着极其重要的应用前景，已成为目前国际研发的热点。

基于量子力学效应的纳米电子、纳米光电子材料与器件（如单电子器件、单光子器件和量子点激光器等），自旋电子材料与器件和光子晶体材料等将在量子计算、量子通信、全光计算和全光通信等崭新领域发挥关键作用。从原子、分子或纳米尺度的水平上控制、操纵和制造功能强大的人工“原子”结构与器件的实现，必将触发新的技术革命。纳米科学与技术的发展和应用将不仅深刻地改变世界经济、政治格局和战争的对抗形式，而且也必将彻底地改变人类的生产和生活方式。

独立自主地发展我国的信息功能材料和器件，不仅对带动我国相关产业实现技术跨越，提升我国经济和产业的国际竞争力，实现我国经济社会的可持续发展和巩固国防、保障国家安全以及科技进步等有着不可替代的作用，而且还将对空间站及空间信息系统，大型飞机，探月飞行和深空探测以及载人飞行等重大工程提供强有力的技术支撑。

编写：王占国（中国科学院半导体研究所）

第2章　信息功能材料的发展现状和趋势

信息功能材料和器件作为21世纪信息社会高新技术产业发展的基础，涉及到信息获取、发射、传输、接收、处理、存储和显示等各个方面，包括半导体微电子、光电子材料、器件和电路以及微加工技术，传感器材料和器件，通信光纤材料，存储材料，发光材料，红外材料，显示材料，稀土磁性材料和自旋电子材料，全固态激光器及其相关材料，光子晶体材料，储能材料，纳米材料和超导材料等。下面就几种关键的信息功能材料和器件的发展现状与趋势做简单叙述。

1　半导体硅材料

1.1　硅材料的发展现状

微电子的基础材料是硅材料，包括高纯多晶硅、单晶硅、外延硅片和硅基材料（SOI、SiGe和应变硅）等，与其相关的配套材料包括电子化工材料、框架、引线等封装材料。这些基础材料和配套材料与微电子工业的发展紧密相关，它们的发展直接关系到微电子工业的进步。硅材料产业经过多年的发展和竞争，国际硅材料行业出现了垄断性企业，日本、德国等国的八大硅片公司的销量占硅片总销量的90%以上，其中信越、SUMCO、WACKER（瓦克）和MEMC四家的销售额占世界硅片销售额的70%以上，其中前三家公司2003年的销售额分别为19亿美元、14亿美元和9亿美元，分别占国际市场的30%，22%和14%，决定着国际硅材料的价格和高端技术产品市场。这些企业基本上分布在日本、美国和德国，其中以日本的硅材料产业最大，占据了国际硅材料行业的半壁江山。

多晶硅主要企业海姆洛克（美国）、先进硅（美国）、瓦克（德国），德山曹达（日本）、MEMC（美国、意大利）、三菱（日本）和高纯硅（日本）等，占据了多晶硅市场的80%以上；单晶硅和外延片的生产企业主要有信越（日本）、三菱住友SUMCO（日本），MEMC（美国），瓦克（德国），小松（日本），东京陶瓷（日本）等。多晶硅是单晶硅的原料，1975年全世界多晶硅产量为1 700 t，1985年上升为4 500 t，1995年增至11 500 t，2000年多晶硅总产量约23 000 t，2002年约26 000 t，国际市场需求量以每年10%～12%的速度增长，2005年，全球需求达37 000 t，2010年将达60 000 t。

2000年世界单晶硅的产能约1万吨/年，年消耗量为6 000～7 000 t；硅单晶片产量约35 483.8亿平方毫米（55亿平方英寸），硅片年销售额为60～80亿美元。其中集成电路用硅单晶占80%，分立器件用硅单晶占20%；在集成电路用硅单晶中，203.2 mm（8 in）的硅片占主流，约40%～50%，152.4 mm（6 in）的硅片占30%，其他的是127 mm（5 in)以下的硅片。

在20世纪末，日本的硅材料公司都具备了304.8 mm（12 in）硅单晶的生产能力，到1998年6月，日本信越（SEH）公司已经具有月产2万片的能力，其5大公司的月总产能已经达到近4万片。到2001年，全世界304.8 mm（12 in)硅单晶的月产量已经达到20万片，预计2004年达到月40万片。我们知道，当硅片的直径从203.2 mm（8 in）到304.8 mm（12 in）时，每片硅单晶的芯片数增加2.5倍，成本约降低30%，因此，国际大公司都在发展304.8 mm（12 in)硅晶体。目前304.8 mm（12 in）硅片正处在发展阶段，并以70%的年平均速度增长，所占市场份额2005年达19%。根据美国“半导体工业协会”（SIA，Semiconductor Industry Association）提出的“国际半导体技术指南”（ITRS，International Technology Roadmap for Semiconductor），到2010年左右，304.8 mm（12 in）硅片将成为主流产品。

目前，硅外延片数量大约占抛光片的三分之一，而价格约为抛光片的1.6～1.7倍。根据报道预测，硅外延片2002年的需求为6 321.92亿平方毫米（9.799亿平方英寸）、2003年为7 709.66平方毫米（11.95亿平方英寸）、2004年8 490.31亿平方毫米（13.16亿平方英寸）、2005年9 064.50亿平方毫米（14.05亿平方英寸）、2006年9 703.21亿平方毫米（15.04亿平方英寸）、2007年将达到10 670.95亿平方毫米（16.54亿平方英寸），增长率为11.9%。另外，随着集成电路工艺向纳米尺度发展，对硅片质量和成本都提出了越来越苛刻的要求，硅基材料（包括SOI，SiGe/Si和应变硅）将得到更多的关注，并发挥重要作用。市场调查表明，2005年SOI材料市场达到4亿～6亿美元，折合203.2 mm（8 in）SOI圆片约为100万～150万片。而SiGe HBT已在无线移动通信、无线接入局域网、卫星通信、GPS定位导航等领域得到广泛应用，IBM已建成4条SiGe生产线，产品供不应求。

对于其他微电子配套材料，随着微电子技术的发展、同样有着强烈的市场需求。以框架引线用铜带为例，1982～1998年间平均年增长率为15%，1998年产量为15万吨，主要集中在日本、德国等国，其中日本是主要的生产国家，约占世界框架引线用铜带总产量的2/3。

1.2　发展趋势

从提高硅集成电路（ICs）成品率、提高性能和降低成本来看，增大直拉硅单晶的直径，解决硅片直径增大导致的缺陷密度增加和均匀性变差等问题，仍是今后硅单晶发展的大趋势。203.2 mm（8 in）硅片已普遍用于集成电路的生产，硅ICs工艺由203.2 mm（8 in）向304.8 mm（12 in）的过渡也将在近年内完成，目前203.2 mm（8 in）和304.8 mm（12 in)的硅片量（平方英寸）已经占整个硅片量的63%，其中304.8 mm（12 in）硅片增长更快。据Gartner Dataquest 2001年7月预测，2003年304.8 mm（12 in）的硅片将达到4 316.12亿平方毫米（6.69亿平方英寸），占总产量的10.6%，到2006年将达到1 2045.14亿平方毫米（18.67亿平方英寸），将占总产量的21.2%左右；到2015年后（12 in）硅片将成为主流产品，2020年将会达到高峰。从2016年以后，将逐步向22 nm线宽的457.2 mm（18 in）硅片过渡，届时457.2 mm（18 in）的硅片将投入生产；直径685.8 mm（27 in)硅单晶研制也正在积极筹划中。2001年和2004年已分别实现了130 nm和90 nm量产，2007年实现特征尺寸65 nm，2010年实现特征尺寸45 nm，2013年实现特征尺寸32 nm，2016年实现特征尺寸22 nm量产。事实上，目前Samsung公司已经推出了60 nm的存储芯片，Intel公司也展出该公司的60 nm的处理器，预计2005年将进入商业化的生产阶段。另外，根据2001年ITRS预测，2022年硅集成电路的特征尺寸将达到10 nm。由此可见，在未来的近20年内集成电路的发展仍将遵照摩尔定律，不过当集成电路的特征尺寸进入50 nm以下时，集成电路将进入到集成系统（SOC）的发展阶段。

从进一步缩小器件的特征尺寸，提高硅ICs的速度和集

成度看，研制适合于硅深亚微米乃至纳米工艺所需的大直径硅外延片将会成为硅材料发展的另一个主要方向。目前，直径203.2～304.8 mm（8～12 in）的硅外延片是日本信越、住友，美国的MEMC、SUMCO、ATMI，德国的WACKER（瓦克）等6家公司的拳头产品，并已成功地用于规模生产，更大尺寸的外延片也在开发中。特别应当指出的是，绝缘体上半导体（SOI）材料，因其具有电路速度快、抗辐射、低功耗和耐高温等特点，同时具有简化工艺流程、提高集成密度、减小软误差等优势，受到广泛重视，很有可能成为180 nm及以下的存储器电路的优先选用材料，国际上已有直径203.2 mm（8英寸）的SOI材料出售。当前，国际著名的各大集成电路制造商，纷纷投入巨资进行SOI技术及其相关集成电路产品的设计和制造，企图在激烈的国际竞争中抢到先机。IBM、Intel公司已在其130 nm的集成电路产品中开始采用SOI技术，有人认为SOI技术有望在45 nm以下技术中替代体硅，成为集成电路的主流技术，IBM等公司也已开始使用304.8 mm（12 in）SOI圆片。国际上两家主要SOI圆片供应商的年产量都在几十万片，Soitec已具备年产100万片203.2 mm（8 in）SOI圆片的能力。据世界著名的Dataquest预测：SOI材料在2005年占整个硅市场的约10%，为10亿美元；到2008年占50%，那时SOI材料市场将达到每年80亿美元。SOI工艺流程的简化和高频逻辑性能的改善，使得SOI晶圆片具有更大的竞争力。

GeSi/Si应变层超晶格材料，以其器件、电路的工作频率高，功耗小等特点优于硅，以其价廉而胜于GaAs，加之与硅工艺CMOS集成电路技术兼容、工艺成本低的优点，在微波器件和移动通信高频电路等产业领域有着广泛的应用前景和竞争优势。目前SiGe异质结双极型晶体管（HBT）的特征频率f_T已经达到360 GHz，可与GaAs基器件相媲美。GeSi HBT器件与集成电路产品自1999年进入市场以来，一直以60%左右的市场增长率快速增长，Micrologic Research预计2004年全球SiGe HBT及芯片市场将超过14.8亿美元，并将以高达60%以上的速度增长，在2007年占整个化合物半导体市场的33%。而基于SiGe材料生长的应变Si技术可以提供更高的器件驱动电流与更快的晶体管速度，但制造成本却只有2%的提升。因而，有可能替代体硅材料成为65 nm以下CMOS的主流技术，受到广泛关注，并已用于通信领域射频前端的手机和无绳电话，全球定位系统和电视调谐器等领域，成为GaAs器件强有力的竞争者。IBM已将SiGe HBT高速性能引入到Bi-CMOS工艺中，在同一芯片上实现了模拟与数字电路功能的集成，前景看好。到2005年SiGe外延市场达到22亿美元，市场年增长约50%，而SiGe器件和电路市场将从2001年的3.2亿美元增长到2006年的270亿美元。国际上锗硅外延以152.4～203.2 mm（6～8 in）为主，美国、德国和日本在锗硅材料及相关器件的研究领域保持领先水平。另外，IBM在应变SiGe/Si材料和相关器件的研究上已取得重要进展，并认为应变SiGe HFET将是下一个进入产业界的锗硅器件。

1.3 我国硅材料的发展现状与趋势

2003年我国硅材料生产的企业约40家，从业人员约4 000人，硅单晶的产量1 200 t左右，销售额在15亿人民币。在多晶硅方面，我国在20世纪70、80年代有10多条小型的生产线，主要利用"西门子法"制备电子级多晶硅材料，目前仅有峨嵋半导体和洛阳单晶硅公司仍然在生产多晶硅，其中洛阳多晶硅仅仅是提供自己使用，而峨嵋半导体厂具有100 t多晶硅的生产线，2001年，国内多晶硅的市场需求约800 t，2004年增加到2 280 t，而国内实际生产量仅80 t左右；2005年为2 882 t，2010年我国多晶硅需求量将增为约5 000 t。2001年国际多晶硅的总量约2万吨左右，国内多晶硅占国际多晶硅总产量的0.4%。目前，在国家和四川省地方政府的支持下，四川已经立项建设新的1 200 t多晶硅生产线，洛阳单晶硅公司也和北京有色金属设计研究院合资成立洛阳中硅公司，建设年产300 t多晶硅生产线。这些项目完成以后，我国多晶硅的产能将达到1 500～1 600 t。从预测看，我国多晶硅供需的缺口仍很大，这将严重地制约我国集成电路和太阳能电池产业的发展。

在硅单晶方面，产量从1996年的167 t增长到2002年的770 t，平均年增长率达到25.5%，2003年达到1 200 t，2004年达到1 400～1 500 t，继续保持快速增长的趋势。其中，技术含量较高的硅单晶抛光片，由1996年的1 045 159.2 mm^2（1 620 in^2），到2001年的3 343 864.2 mm^2（5 183 in^2），增长速率达到26.2%，2003～2005年超过774.20亿平方毫米（1.2亿平方英寸）；但是，我国抛光片占世界抛光片总量的份额依然很低，只有1.7%左右。目前，通过引进设备和自主开发，有研硅股、浙江大学和宁波立立电子公司已经掌握304.8 mm（12 in）硅单晶的生长技术，为产业化生产奠定了基础，并正在筹建304.8 mm（12 in）硅单晶抛光片实验生产线。有研硅股的203.2 mm（8 in）硅抛光片示范工程生产线已通过国家发改委验收，宁波立立公司通过全盘收购日本日立硅材料厂，建成了完整的76.2～152.4 mm（3～6 in）硅抛光片的生产线，产能达到年产200万片，并具有一条203.2 mm（8 in）硅单晶的实验生产线；另外，洛阳硅单晶（集团公司）万向硅峰公司、上海合晶电子公司、四川峨嵋半导体材料厂和无锡华晶集团等均是主要的硅单晶生产企业，具有一定的生产规模。上述公司，除了抛光硅片外，其磨片的生产能力也很大。除此之外，珠海南科单晶硅公司（台资），昆山的矽晶公司（台资），上海浦东的卡姆丹克公司（美资），临潼的骊晶电子、济宁的港湾电子等公司，主要从事76.2～152.4 mm（3～6 in）研磨片的生产。

对于区熔硅单晶，目前天津环欧电子和北京有研硅股都有152.4 mm（6 in）的生产设备和能力，四川峨嵋半导体材料厂，新乡华丹电子公司具有76.2～101.6 mm（3～4 in）区熔硅单晶生产线。

太阳能用硅单晶的生产近年来在我国快速增长，宁晋的松宫电子的2003年硅单晶产量超过600 t，2004年达到900多吨。锦州的155厂，山东嘉祥石墨制片厂，以及宁波太阳能电池厂、云南半导体器件厂等太阳能电池生产企业的硅太阳能电池用单晶生产都具有了一定的能力。

我国硅外延材料研究始于1962年，与国际上几乎同时起步。目前从事硅外延片研究生产的单位有电子13所、55所、浙大海纳、华晶外延厂等近10家，技术水平与硅单晶一样，与发达国家相比，差距很大。我国硅外延片的年产量随从1996年的约147 741.6 mm^2（229万平方英寸）增加到2001年643 869.7 mm^2（998万平方英寸），年增长速率达到34.2%，但仅占国际总产量的1.3%左右，产品主要是101.6 mm、127 mm和152.4 mm（4 in、5 in和6 in）的外延片。宁波立立电子公司已建成国内最大的、年生产能力为152.4 mm（6 in）50万片/年硅外延片的生产线；华晶集团硅材料厂、石家庄13所、南京55年建有76.2～127 mm（3～5 in）硅外延片的生产线，其能力在40万～50万片/年。国内203.2 mm(8 in)硅外延片尚处起步阶段。目前国内已建成一条304.8 mm (12 in)线（北京中芯国际）和10条203.2 mm (8 in)芯片生产线（上海华虹、中芯国际、上海宏力、上海先进、上海TSMC，苏州和舰、台积电和柏玛微电子等），其中中芯国际在上海和天津都有生产线。据初步统计，已建、在建、拟建203.2 mm（8 in）芯片生产线有近20多家企业，如果2010年这些芯片厂都正式投产，预计203.2 mm（8 in）

硅片的投片量将达到35万片/月左右；3家304.8 mm（12 in）IC生产线，2010年投片量至少达到4万~5万片/月。面对如此大的需求，国内生产现状不容乐观！现实的情况是203.2 mm（8 in）抛光片示范工程生产线刚刚通过验收，还不能批量供货（正片），203.2 mm（8 in）外延片示范线尚处于建设中。这种大尺寸203.2 mm、304.8 mm（8 in、12 in）硅抛光片和外延片几乎全都依赖进口的局面，对我国集成电路行业的发展是很不利的。

我国SOI（主要是SIMOX圆片技术）材料虽有一定的产业基础，但与国际先进水平相比，差距很大，特别在203.2 mm（8 in）以上SOI圆片制造方面，我国仍是空白。上海新傲科技有限公司具有101.6~152.4 mm（4~6 in）注氧隔离SOI的生产线，年产达3万片，除能满足国内目前对SOI圆片的需求外，还可向国外客户供应101.6~152.4 mm（4~6 in）SOI材料，目前正在建设203.2 mm（8 in）SOI生产线，预计2005年底完成。此外，北京师范大学辐射中心采用国产设备，在101.6 mm、152.4 mm（4 in、6 in）SOI材料工艺方面，也取得了一定的进展。

国内在SiGe异质结外延材料生长和SiGe HBT、SiGe光电子器件研发的技术水平，特别是生产水平与国外差距很大。清华大学微电子学所自行设计、研制的超高真空UHV/CVD SiGe/Si异质结材料外延系统SGE400/SGE500具有一定的特色，主要用于生长127~152.4 mm（5~6 in）SiGe/Si应变异质结外延材料；该所建成的SiGe材料实验生产线的年生产能力为1 200片，预计到2005年底将开发出203.2 mm（8 in）SiGe材料。在产业界，上海华虹NEC以数千万元资金购买了JAZZ的0.35 μm SiGe BiCMOS技术，意欲开展以生产高速电路为主要目的的SiGe BiCMOS代工，上海先进半导体也在与JAZZ合作，将为JAZZ生产SiGe BiCMOS电路。国内的中芯国际集成电路制造公司采用应变硅技术已启动了65 nm CMOS技术的开发。由于锗硅材料主要用于通信领域射频前端，手机市场的高速增长势必会对锗硅材料带来大量需求。

在其他微电子配套材料方面，2001年中国集成电路产量约为63.6亿块，平均1亿块需铜带200 t，共耗铜带约1.3万吨，主要从国际市场进口，2005年引线框架铜带材的需用量达到3万~4万吨。另外，"十五"期间国内微电子产业对高纯试剂的需求量超过2万吨/年、对光刻胶的需求量超过200 t/年、对塑封料的需求量超过15 000 t/年，对于亚微米及深亚微米微电子工业用化工材料而言，仍然主要依赖进口。

1.4 半导体集成电路的发展——从晶体管到集成电路简述

半导体器件和集成电路的诞生和发展与基础理论、半导体材料、微细加工工艺技术和半导体专用设备的研究分不开的。20世纪30年代由于量子力学的发展，建立了固体中电子的能带理论，为固体的导电机理奠定了基础。在此基础上半导体物理学得到了迅速的发展。1949年后相继建立了p-n结理论、结型晶体管理论和金属－氧化物－半导体场效应理论等。在20世纪50年代半导体材料锗和硅单晶的晶体结构、制备工艺、纯度和晶体完整性等方面的研究获得突破进展，使得锗和硅半导体器件得以迅速发展。其后第二代半导体砷化镓和磷化铟以及第三代半导体氮化镓和碳化硅等单晶材料相继研究成功。在20世纪70年代末期，出现了分子束外延（MBE）和有机金属化学气相淀积（MOCVD）等超薄层异质材料外延生长技术和设备，又促进了化合物半导体异质结构器件的发展。从台面到平面工艺、合金形成器件几何结构到光刻限定几何图形工艺、湿法腐蚀到干法腐蚀、扩散到离子注入等新工艺技术的不断出现，使得器件的尺寸由毫米降到微米，进一步降到纳米量级。

世界上第一只锗点接触晶体管于1947年12月23日诞生在美国贝尔实验室。这个伟大的发明是现代科学技术发展中的一个划时代的里程碑，使得电子有源器件和各种功能的电路得以在固体半导体中实现，开辟了微电子科学技术的新领域，使电子装备微型化成为可能，促进了现代高新技术的发展。为此，美国贝尔实验室的肖克莱（William Shockley）、巴丁（John Bardeen）和布莱顿（Walter Brattain）在1956年获得了诺贝尔物理学奖。晶体管发明50多年来无论是半导体材料、新工艺技术和专用设备等方面都得到飞速的发展。晶体管的种类从锗的点接触、双极型（bipolar）合金管、合金扩散漂移型晶体管，发展为当今常用的硅平面型双极型晶体管、硅金属-氧化物-半导体场效应晶体管（MOSFET）、化合物半导体金属-肖特基-半导体场效应晶体管（MESFET）和化合物半导体异质结构场效应晶体管（HFET）以及化合物半导体异质结双极型晶体管（HBT）等。

1960年半导体硅平面工艺和外延技术的发明，是半导体技术的又一重大突破。不仅使双极晶体管从台面工艺进入平面工艺，性能也得到极大的提高。1960年第一个硅金属-氧化物-半导体场效应晶体管问世后，在集成电路领域得到迅速的发展，互补型的CMOS器件成为集成电路的主流技术，经久不衰。1958年，美国TI公司的基尔比（Jack S.Kilby）研制出12个晶体管组成的第一个具有独立功能的集成电路，开创了微电子学和信息化的新时代。阿尔费罗夫（Zhores I. Alferov）和克勒默（Herbert Kromer）由于1963年提出化合物半导体异质结构在制备高速微电子和光电子器件取得的成就，与基尔比三人分享了2000年诺贝尔物理学奖。1971年，美国的Intel公司研发出了型号为4004的第一代微处理器，在同一芯片上集成了2300支晶体管，硅集成电路得到了飞速发展。硅技术一方面朝着超大规模集成电路方向飞速发展，另一方面在大功率的电力电子方向也取得不断进展。化合物半导体在微波大功率器件和集成电路方面也不断有所突破。

1965年Intel公司创始人之一摩尔（Gordon Moore）预言，集成电路的性能每18个月提高1倍，其加工图形的特征尺寸每3年更新一代，缩小$\sqrt{2}$倍。此后，集成电路的发展一直沿着这一著名的"摩尔定律"飞速发展。至今已能在几个平方厘米的硅片上制作多达10亿只晶体管的复杂功能的系统，称之为系统芯片（SOC）。目前其工作频率可达5 GHz左右，仍有上升的趋势。

1.5 微纳米加工技术简介

自20世纪60年代以来，半导体技术取得了飞速的发展，且已成为国民经济的一个重要组成部分。根据ITRS最近的预测，2022年芯片特征线宽将达到10 nm，这也许是现代硅基微电子技术的"物理极限"。微纳米加工技术不仅是半导体工业发展的基础，而且在研究纳米尺度量子效应等物理现象中，也起着关键作用。常规的微纳米加工技术一般可分为曝光技术和图形转移技术（刻蚀或剥离）；近年来又发展了聚焦离子束加工技术和纳米压印技术等。

1）曝光技术　曝光技术是微纳米加工中的关键技术。最早发展起来的是光学曝光。传统的光学曝光经历了接触式曝光、接近式曝光、分步重复投影式曝光到目前的扫描投影式曝光。它的基本原理是：照射到掩模上光将掩模图形投影到基片的抗蚀剂上，通过显影在抗蚀剂上获得所需要的图形，然后在经刻蚀或剥离工艺将图形转移到基片上。光学曝光在近20年的发展过程中，为了解决高分辨率和高产率的矛盾，光学曝光的光源波长经历了436 nm（G线）、365 nm（I线）、248 nm（准分子激光KrF）和193 nm（ArF）的发展过程；数值孔径NA经历了0.35、0.45、0.55、0.6、0.75的

演变过程；分辨率从 1 μm 发展到今天的 0.1 μm。人们在不断寻求更短波长的光源和增大数值孔径的同时，也在掩模、成像和工艺等方面采用了移相掩模、光学邻近效应修正和离轴照明等分辨率增强技术来提高光学曝光的分辨率。

尽管光学曝光仍是目前采用的主流光刻技术，但在解决 2007 年将要用到的 70 nm 和 2010 年将要用到的 50 nm 线宽上将会遇到很大的困难。近年来新发展的极紫外曝光（EUVL）技术，有可能突破传统光学曝光的困难。它利用波长范围为 11～14 nm的极端远紫外光源，用反射式聚光系统收集 EUVL 辐射，并投射到掩模版上，掩模版反射的 EUV 辐射把掩模图形在经过一个全共振反射的成像系统，缩小投影成像到涂有抗蚀剂的基片上，形成所需要的图形。EUVL 将有可能从 65 nm切入，一直可以延伸至 35 nm 甚至更高的分辨率，成为光学曝光未来的发展方向。

电子束曝光（EBL）技术采用高能电子束对抗蚀剂进行曝光从而获得所要的图形。由于电子束的德布罗意波长小于 0.01 nm，因此 EBL 技术不受衍射效应的影响，可获得极高的分辨率和焦深，并能直接产生图形。因此，EBL 一出现便成为制造高精度掩模版的主要工具，同时也是用于加工特殊目的器件和结构的主要方法，如低维人工结构的制作、光子晶体材料的加工和各种纳米电子器件的制造等。但由于 EBL 生产率低，远小于目前对光刻生产能力的要求，限制了其进一步使用，在高分辨率条件下获得更高的生产率成为 EBL 研究的重点。电子束投影光刻（EPL），其中以具有角度限制的电子束缩小投影成像曝光系统（SCALPEL）及可变轴浸没透镜投影微缩曝光系统（PREVAIL）为代表，成为下一代曝光技术的有力竞争者。其他的光刻技术还包括 X 射线光刻（XRL）、离子束光刻（IBL）、干涉光刻、全息光刻和原子光刻等尚处在研发阶段。

2）图形转移技术　在基片上形成抗蚀剂图形后，一般是通过刻蚀工艺将图形转移到基片上。刻蚀技术是微纳米加工的另一个主要技术，分为湿法和干法刻蚀。湿法刻蚀工艺中，基片浸没在一种化学溶剂中，该溶剂与暴露的基片发生反应，形成可溶解的副产品，抗蚀剂对刻蚀溶剂具有高的抗蚀性。湿法刻蚀是一个纯粹的化学反应过程，尽管存在着如，缺乏各向异性、工艺不易控制、颗粒玷污、产生大量的化学废液等缺点，但它的高选择比、不产生衬底损伤等特点，仍应用于非关键尺寸的刻蚀工艺中。

干法刻蚀是利用气态的原子、分子、离子等与薄膜的表面反应，形成挥发性物质，或直接轰击薄膜表面使之被刻蚀的工艺。与湿法刻蚀相比，由于干法刻蚀具有高的各向异性、开始和终止易于控制的优点，从而可保证小尺寸图形转移后的保真度。根据反应的过程不同，干法刻蚀一般可分为化学干法刻蚀、物理干法刻蚀，或介于二者之间的反应离子刻蚀（RIE）。等离子体刻蚀速率高、选择性好、刻蚀均匀性好，可在同一装置内进行刻蚀与脱胶工艺，但具有一定的各向同性刻蚀，不利于刻蚀分辨率的提高。离子铣则是一种纯粹的物理刻蚀过程，具有高度各向异性、刻蚀分辨率高、无钻蚀，但刻蚀速率几乎与基片材料无关，它的选择比接近 1。反应离子刻蚀技术（RIE）是一种物理作用和化学作用共存的刻蚀工艺，兼有等离子刻蚀和离子铣刻蚀的优点，不仅分辨率高，而且刻蚀速度也较快。因此，RIE 刻蚀技术及其改进刻蚀技术（HDRIE、ICP、ECR、MERIE 等）已成为深亚微米集成电路生产和纳米结构加工中的主流刻蚀工艺。

3）其他微纳加工技术　聚焦离子束（FIB）技术是在电场和磁场的作用下，将离子束聚焦到亚微米甚至纳米量级，通过偏转和加速系统控制离子束，实现微纳米图形的监测分析和纳米结构的无掩模加工。FIB 技术主要应用于掩模版修复、透射电子显微镜（TEM）样品的制备和三维结构的直写等方面。FIB 技术的主要优点是以很高的精度实现复杂的微结构制造，较低的加工速度与耗时是它的最大缺点，另外在加工过程中引入的离子注入或污染等问题也是需要考虑的。

纳米压印技术是一种新发展的纳米图形复制方法，采用预制好的压模在高分辨率的胶膜上压印形成纳米图形，通过去除残留胶以及刻蚀或剥离工艺将图形转移到基片。它可在很大的区域内获得 10 nm 以下的结构，而且成本低、生产效率高。因此纳米压印可望成为一种工业化生产技术，有着广阔的应用前景。可以预料，随着器件尺寸的小型化及信息技术发展的要求，更多的微纳加工新技术将被开发、利用和集成，从而不断挑战微纳米加工的极限，促进纳米科学技术的发展。

2　硅基异质结构材料

硅基光、电器件集成一直是人们所追求的目标。但由于硅是间接带隙，如何提高硅基材料发光效率就成为一个亟待解决的问题。经过多年研究，近年来，除在硅基高效发光材料研究等方面取得了重大进展外，人们又在硅基纳米线电注入激光器和平面硅波导结构受激拉曼散射获得光学增益的拉曼激光器研究方面取得了令人振奋的成绩。

2.1　GeSi/Si 材料

Si 基异质材料中，SiGe/Si 是研究得最多、最深入的一类材料。Si 和 Ge 之间有太多的相似：同为Ⅳ族元素，同是半导体材料，同为金刚石结构，可以形成组分完全均匀分布的固溶体 GeSi，固溶体 GeSi 的许多物理性质，包括它们的晶格常数、介电常数、折射率、禁带宽度等都介于 Si 和 Ge 之间，甚至大都是随组分的变化而线性地变化，例如晶格常数、折射率等参数基本是组分 x 值的线性函数。从这一点出发，我们就获得了一个新的变量 x，通过改变 x 值，我们可以人为地获得大自然中并不存在的新材料，可以按照我们的意愿设计能带结构、禁带宽度等参数，相应地，晶格常数、折射率等参数也会发生变化，我们可以从中得到器件设计所需要的数值，例如获得某一波长对应的禁带宽度和光学波导需要的折射率，从而使得器件的性能发生根本性的改变，获得前所未有的效果，这也就是我们常说的能带工程、材料工程。

以 GeSi 为材料的器件很快显现其优越性，GeSi 异质结双极晶体管（HBT）就是一个很好的例证，由于 Si 和 SiGe 的禁带宽度不同，产生很高的载流子注入比和超注入效应，实现了频率高达 350 GHz 的稳定工作，显现出了优异的性能。硅基异质结构材料除 GeSi 外，还包括 SiGeC/Si、硅基Ⅲ～Ⅴ族化合物和硅基量子结构等。SeGeC/Si 异质结构由于 C 的引入，不但解决了 GeSi/Si 大的晶体格失配问题，而且给能带设计带来许多方便，受到人们的重视。

由于硅基应变材料体系能带工程的研究与发展，现已研制出频率高达 350 GHz 的异质结双极晶体管（HBT）、可见光多孔硅发光二极管、探测灵敏度为 0.9 A/W 的 Si/Ge 探测器和谐振腔增强型的 SiGe PIN 光电二极管、调制频率高达 1G Hz 的 SOI CMOS 结构的光学调制器、通道数高达 540 的 SiO_2/Si 阵列式波导光栅（AWG）、16×16 的 SiO_2/Si 光开关阵列、8×8 SOI 光开关阵列等。硅基光子集成，以硅衬底为基片，在同一芯片上集成光电子有源器件和无源器件，实现光和电的信息或能量的高效转换、高速传输和接收，并同电子器件一起进行信息处理。它的研究与发展导致了一门新的学科，硅基光子学的形成。

硅基异质结构材料，如 GeSi 材料等的生长方法主要有硅分子束外延，化学束外延和超高真空化学气相淀积（UHV/CVD）三种；从发展趋势看，UHV/CVD 方法有较大优

势。目前，203.2 mm（8 in）的 GeSi 外延片已研制成功，更大尺寸的外延设备也在筹划中。GeSi 材料一方面以其器件、电路的工作频率高、功耗小等特点优于硅材料，另一方面，又以其价廉而胜于 GaAs 等化合物半导体材料；因而可以预料，GeSi 材料将在下一代移动通信的应用中占有一席之地。

2.2 硅基Ⅲ～Ⅴ族材料

尽管 GaAs/Si 和 InP/Si 是实现光电子混合集成理想的材料体系，但由于晶格失配和热膨胀系数等不同造成的高密度失配位错而导致器件性能退化和失效，使其难以实用化。2002 年 Motolora 等公司曾宣称，他们在大尺寸的硅衬底上，用钛酸锶做协变层（柔性层），成功地生长了器件级的 GaAs 外延薄膜，并扬言 2003 年可达到实用化，然而遗憾的是至今我们尚无看到这种材料实际应用的迹象。大失配材料体系的异质外延生长仍是一个材料科学家要解决的难题。

近年来高速发展起来的晶片键合（bounding）技术，给人们带来了另一条实现硅基光电"混合集成"路子的希望，例如先在 GaAs 或 InP 上做好的激光器单管、阵列或组件，然后通过键合工艺转移至 Si 衬底上。如果在 Si 衬底上已做好电子集成回路、探测器单管或阵列、光波导器件，再加上在其上键合的带有发光器件的 GaAs 基或 InP 基光电子集成回路，就共同构成了一个"混合"光电子集成回路。这里的"混合"是将一个芯片的有效部分转移到另一基片上，形成了一个新的结构，在外观上是一个完整的芯片，甚至普通的显微镜也分辨不出来。这是一种受到广泛关注、正在发展之中的技术。

2.3 硅基发光材料

硅作为微电子技术的基础，在信息技术中一直占据统治地位；然而由于硅是间接带隙材料，发光效率很低，长期以来被认为不能用于光子学中起关键作用的光源而令人遗憾。1990 年，Canham 发现多孔硅室温强光致可见光发光，改变了 Si 不宜于发光的传统观点，在国际上引发一个多孔硅发光研究热潮。多孔硅虽然制备简单，电致发光的外量子效率已超过 1%，而且也实现了氧化多孔硅发光管和别的元器件集成等重要进展，但大面积多孔硅材料制备的不易控制和发光器件的稳定性等问题，一直是妨碍它的实用化进程的关键问题等待解决。

与多孔硅研究的同时，纳米硅的研究也受到了重视。纳米硅的制作方法很多，其中常用的是下述两种方法：(1) 以化学气相淀积或等离子增强化学气相淀积，或以二氧化硅（四氮化三硅）/硅作为复合靶进行磁控溅射或射频溅射、在适当衬底上生长富硅氧化硅（富硅氮化硅）膜。(2) 将硅离子注入到二氧化硅或四氮化三硅中去，得到富硅氧化硅或富硅氮化硅。富硅的氧化硅或富硅的氮化硅在高温退火的过程中，偏离化学配比的多余那部分硅原子以非晶纳米硅团簇的形式析出、晶化，形成硅纳米晶。2001 年 3 月英国 Surrey 大学的 Wei Lek Ny 等在《自然》杂志报道了一种所谓"位错工程"的新方法，将硼离子注入到硅中，既是 p 型掺杂剂，又可与 n 型硅形成 pn 结，同时又在硅中引入位错环；位错环形成的局域场调制硅的能带结构，使荷电载流子空间受限，从而使硅发光二极管器件的量子效率提高到 0.1%。5 个月后，澳大利亚新南威尔士大学的 Martin A Green 等利用光发射和光吸收互易的原理设计制备的倒金字塔结构，减少了光反射，增加了光吸收，又将硅基 LED 的近室温功率转换效率提高到 1%。2002 年意大利卡特尼亚的 ST 微电子公司的研究人员发表文章称，他们将稀土金属离子，如铒、铈等，注入到包含有直径为 1～2 nm 的硅纳米晶的富硅二氧化硅中，由于量子受限效应，抑制了非辐射复合过程的发生，创造了外量子效率高达 10% 的硅基发光管的世界纪录！发光管的发光波长依赖于稀土掺杂剂的选择，如掺铒（Er）发 1.54 μm标准光通信光波，掺铽（Tb）发绿光，掺铈（Ce）发蓝光。

2.4 硅基激光器研究取得重要进展

2003 年哈佛大学的 Xiangfen Duan 等研制成功硅基 n-CdS/p-Si 纳米线电注入激光器，引起关注。他们将自己制备的 n 型硫化镉（n-CdS）纳米线（NW）平放在重掺硼的 p 型硅（p-Si）导电衬底上，并形成 n-CdS/P-Si 异质结，先在 CdS 纳米线上蒸 Al_2O_3 绝缘保护层，后利用电子束刻蚀和蒸发技术，在 n-CdS 纳米线上有选择地制成 Ti/Au 欧姆接触，电子和空穴分别从 Ti/Au 电极和沿着整个 NW 的长度的 p 型硅注入到 CdS 纳米线内，两维受限的电子和空穴在 CdS 纳米线内复合发光，并经由 CdS 纳米线的两个平行的自然解理端面形成的光腔放大后，从纳米线的端面射出激光。硅基异质结电注入高效发光和电注入激射方面的研究获得的突破性进展，使人们看到了硅基光电集成的曙光。

Claps 等在 2002 年演示了拉曼散射在平面硅波导结构里产生光学增益的实验现象后的第二年，他们又在此结构中观察到了受激拉曼放大；2004 年 Boyraz 和 Jalali 采用由光纤制成的 8 m 环形激光腔，硅作为增益介质实现了硅基拉曼激光输出，引起了人们的广泛兴趣。2005 年初，加州 Intel 实验室和以色列耶路撒冷的科学家在《自然》杂志发表文章称，他们在单一硅芯片上研制成功一个紧凑的全硅拉曼激光器。拉曼激光器的光腔是一个大约长 4.8 cm，有效芯径为 1.6 μm^2 的 S 形硅波导，用常规的光刻技术和刻蚀工艺制成，硅波导的一面镀有高反射率材料的膜，用 1.536 μm 的脉冲激光器通过一个长 8 m 的光学纤维泵浦硅光腔，当泵浦光功率达到 0.4 mW 时，光腔开始激射输出 1.669 5 μm 的激光。紧接着，该实验室又实现了硅的连续受激拉曼光泵激光。目前硅基拉曼激光器工作时间大约只有 100 ns（纳秒），主要的原因是由于高功率激发下的双光子吸收使有源介质损耗增加，从而导致激射停止；克服双光子吸收带来的不利影响，是硅基拉曼激光器走向实用化的关键。硅基拉曼激光器的研制成功，向硅基光电子集成迈出了重要的一步，具有深远的意义。

2.5 硅基氮化镓发光材料和器件

以蓝宝石和 SiC 为衬底的高亮度蓝、绿光材料和发光器件已经商业化，但由于加工困难和价格昂贵等，使其成本难以下降。利用硅衬底有很多优点，如尺寸大，热导率高，低成本、易加工和可与硅微电子集成等，但由于 GaN 和 Si 之间大的晶格和热失配，而导致的外延层龟裂，高密度的穿透位错和表面形貌差等问题，使其难以得到实际应用。日本 Nagoya 技术研究所的 T.Egawa 等，2002 年在《日本应用物理》杂志发表文章，报道了在硅（111）衬底上，应用 MOCVD 生长技术，制备的 InGaN 基蓝、绿发光管性能得到明显改善的结果。他们采用 AlN/AlGaN 缓冲层和 AlN/GaN 多层结构，在 50.8 mm（2 in）的硅衬底上，生长出高结晶质量的、无龟裂的硅基 GaN 发光管结构材料。蓝光发光管在 20 mA 时的工作电压为4.1 V，串联电阻 30 Ω，输出功率为蓝宝石衬底的一半。从总体来看，其特性可与蓝宝石衬底的结果相比。这个结果说明，采用硅衬底制造 InGaN 蓝、绿光发光器件是一个很有应用前景的方法，随着材料质量进一步提高和改进器件设计，光输出功率也将会得到进一步改善。

3 GaAs 和 InP 基Ⅲ～Ⅴ族化合物半导体材料

GaAs 和 InP 基材料是微电子和光电子技术的基础，它们均为为直接带隙，具有电子饱和漂移速度高、耐高温和抗辐

照等特点，在微电子和光电子，特别是在光电集成方面占有独特的优势。在微电子领域，主要用于制作无线通信（卫星通信、移动通信）、光纤通信、汽车电子等用的超高速、超高频、低功耗、低噪声微波器件和电路；在光电子领域，主要用于制作发光二极管、激光器、光探测器（PD）、高效太阳能电池等。其优良光电性能在现代化战争的各种先进武器装备中，如雷达、电子战、灵巧武器、军事通讯、精确制导等方面也有着重要的应用。GaAs 和 InP 基材料是目前研究最多和发展得比较成熟的材料体系。

3.1 GaAs 和 InP 单晶材料

人类研究化合物半导体材料的历史要追溯到 1833 年，法拉第发现了 Ag_2S 具有负的电阻温度系数，布劳恩于 1874 年发现了 PbS 和 FeS_2 与金属探针接触时的整流现象。1910 年，Thill 就合成了 InP，成为最早人工合成的Ⅲ～Ⅴ族化合物半导体材料；1929 年，戈尔德施米特首次人工合成了 GaAs，并指出其具有闪锌矿结构。1955 年从熔体中成功提拉生长出了 GaAs 单晶锭，随后用 GaAs 单晶衬底外延生长出pn 结发光二极管（LED），1960 年 LED 商品问世，标志着化合物半导体材料进入产业化阶段。随后，Woodall 发明了 GaAs 单晶材料的水平布里奇曼（HB）生长技术。1963 年，用这种单晶材料研制的扩散结激光器实现了 77 K 下的连续激射，由于 HB 技术生长的 GaAs 单晶的位错密度较低（10^2～10^3 cm^{-2}），成本低，工艺技术成熟，直到现在，用这种方法制备的 GaAs 单晶材料仍然是制造 LED 的主要衬底材料。

1963 年，发现了砷化镓的微分负阻现象（耿氏效应），并研制成功用做固态微波源的微波二极管。20 世纪 50 年代末，Miller 等采用掺 Cr 的方法制备出半绝缘 GaAs 单晶，并用于场效应晶体管（FET）的研制，1974 年。图伊尔和莱齐制备出了首块 GaAs 高速集成电路（IC）。1965 年，Mullin 等报道了 GaAs 单晶的液封直拉（LEC）生长方法，并用于生长 InP 和 GaP 单晶。1979 年，Aucoin 在高压单晶炉内，采用热解氮化硼坩埚原位直接合成了 GaAs，并生长出了直径为 50.8 mm（2 in）的半绝缘（SI）非掺杂 GaAs 单晶，随后更大尺寸的 SI－GaAs 单晶研制成功并实现了产业化。GaAs 和 InP 基器件与电路产品广泛应用于微波通信、卫星通信、导弹制导，高速/超高速电路、全球定位与导航等军工领域。高压 LEC 技术至今仍是生产 GaAs 和 InP 等单晶材料的主要技术之一。

随着冷战的结束和生产技术水平的不断提高，化合物半导体迅速进入了民用领域，特别是无线通信、高亮度/超高亮度 LED 和激光器，极大地推动了单晶材料的发展，直径为 152.4 mm（6 in）的 GaAs 单晶已实现产业化生产。为了得到更大直径的晶体，降低位错密度，LEC、蒸气控制直拉法（VCZ）和垂直梯度凝固法/垂直布里奇曼法（VGF/VB）受到了普遍的关注。目前，LEC 法和 VGF/VB 法是生长 GaAs 单晶的主要方法，德国 Freiberger 化合物材料公司已研制成功 203.2 mm（8 in）的 GaAs 单晶；单炉投料量高达 35～40 kg。VGF/VB 法是工业化生产低位错密度 GaAs 单晶材料的主要方法，位错密度在 10^4 cm^{-2} 以下，甚至无位错。VGF/VB 法 152.4 mm（6 in）InP 单晶分别由 AXT 公司和日本住友电工研制成功。目前，世界 GaAs 单晶的总年产量已超过 200 t，其中以低位错密度的 VGF 和 HB 方法生长的 50.8 mm、176.2 mm（2 in、3 in）的导电 GaAs 衬底材料为主；近年来，为满足高速移动通信的迫切需求，大直径 152.4 mm、203.2 mm（6 in、8 in）的 SI-GaAs 发展很快。美国莫托罗拉公司正在筹建（6 in）的 SI-GaAs 集成电路生产线。InP 具有比 GaAs 更优越的高频性能，发展的速度更快；但不幸的是，直径152.4 mm（6 in）InP 单晶虽已研制成功，但相关的关键技术尚未完全突破，价格居高不下。

我国从 20 世纪 60 年代初就开始砷化镓单晶材料的研制，有着较好的研究基础，但产业化方面进展缓慢。进入 21 世纪以来，由于企业的介入和国防需求，以 GaAs 为目标产品的公司纷纷建立，产业有了较大发展。继中科镓英公司 2003 年成功拉制出我国第一根 6.4 kg 127 mm（5 in）LEC 法大直径砷化镓单晶后，信息产业部 46 所又生长出我国第一根 152.4 mm（6 in）重 12 kg 的砷化镓单晶，并形成了一定的生产能力。西安理工大学在高压单晶炉上称重单元技术研发方面也取得了重要进展。目前我国已形成了年产万片以上的多条砷化镓单晶片抛光生产线，具有 50.8 mm、76.2 mm、101.6 mm、152.4 mm（2 in、3 in、4 in、6 in）系列产品的供货能力。此外，我国近年来也先后建成多条 101.6 mm（4 in）GaAs 集成电路生产线。

GaAs 和 InP 单晶的发展趋势是增大晶体直径，提高材料的电学和光学微区均匀性，降低单晶的缺陷密度和成本。目前 101.6 mm（4 in）的 SI-GaAs 已用于大生产，预计在 21 世纪初的头几年里，直径为 152.4 mm（6 in）的 SI-GaAs 也将投入工业应用。GaAs 和 InP 单晶的 VGF 生长技术发展很快，很有可能成为主流技术。

3.2 GaAs 和 InP 基超晶格、量子阱材料与器件

随着高真空技术的发展和半导体超晶格概念的提出，以 MBE 和 MOCVD 等为代表的先进薄膜材料生长技术获得了巨大进展，半导体微结构材料就是基于这种技术制备的新一代人工微结构材料，它以全新的概念改变着微电子和光电子器件的设计思想，即从过去的所谓“杂质工程”发展到“能带工程”，为新一代固态电子和光电子器件的研制打下了基础。本节在简单介绍典型的 GaAs 和 InP 基微结构材料的目前达到的水平和发展趋势外，着重讨论几种在信息技术有重要应用背景的 GaAs 和 InP 基微电子和光电子器件。

（1）GaAs 和 InP 基微结构材料研究概述

基于 MBE 和 MOCVD 等新生长技术的半导体微结构材料的研究，首先是从晶格匹配的Ⅲ～Ⅴ族材料体系开始的。GaAlAs/GaAs，InGaAs/InP 和 InGaAsP/InP 等超薄层微结构材料是目前研究得最多和比较成熟的材料体系。材料的质量常用以下参数来表征：外延层厚均匀性、X 射线双晶衍射半宽度（FWHM），表面形貌及缺陷密度；外延层背景杂质浓度，未掺材料室温和 77 K 迁移率，n 型和 p 型杂质掺杂范围及掺杂均匀性，合金组分均匀性等。对超晶格微结构材料还必须了解其界面平整度（合金组分涨落，原子互扩散等）等参数。它们可以用现代的测试分析手段如 SEM（扫描电子显微镜），DXRD（X 射线双晶衍射），Hall 系数，EBP（电子探针），C-V（电容－电压法），PL（光致发光）和 TEM 等来获得，同时也可用器件性能来验证。

目前，MBE GaAs 和 MOCVD InP 的背景杂质浓度已分别降到 $10^{13}/cm^3$ 和 $5\times10^{13}/cm^3$ 以下，它们的 77 K 迁移率已超过 2×10^5 $cm^2/V.s$。标征 GaAs/AlGaAs 调制掺杂二维电子气（2DEG）材料质量的室温和低温（0.35 K）电子迁移率已高达 8×10^3 和 107 $cm^2/V.s$；InP 基的 2DEG 材料室温电子迁移率高于 10^4 $cm^2/V·s$，最高水平达 1.83×10^4 $cm^2/V.s$。这不但说明外延层的纯度、完整性、组分均匀性，而且 GaAs/Al-GaAs 界面平整度等都已达很高水平！以 101.6 mm（4 in）MBE 材料为例，缺陷密度常规片≤50 cm^{-2}，最好结果小于 10 cm^{-2}；厚度均匀性为±1.5%，掺杂均匀性为 2%，合金组分均匀性为±1.5%，界面质量可达原子级平滑；另外，片与片，批与批间重复性也已过关，现已有商品出售。这些材料已成功地用于制备高电子迁移率晶体管（HEMT），异质结双极晶管（HBT），高亮度和超高亮度红、黄和橙光发光器件

(LED)，量子阱激光器（QWLD)，光双稳器件（SEED）以及长波长光源和探测器等新一代微电子和光电子器件和电路。此外，从科学研究兴趣和技术应用角度出发，还开发了许多其他材料体系和合金材料，如：InAs/GaSb，InAs/AlSbAs，In-GaAsSb/GaSb，InGaAsSb/InAs 等。

异质结能带边不连续性决定了超晶格量子阱材料所有重要性质，虽然选择晶格匹配材料体系以获得无缺陷和无应力的界面是必要的，但这也限制了供选择的材料范围。随着 MBE，MOCVD 等超薄层生长技术和方法的发展和完善，生长厚度为单原子层量级平滑和突变界面的外延层已成为可能，这就为应变异质结构（应变层超晶格）材料制备提供了手段。所谓应变层超晶格材料就是由晶格常数相差很大的两种薄层材料交替组成的超晶格结构，即使晶格失配很大（如 7%～9%），但只要该结构中每层厚度都足够薄，失配应力可被界面处均匀的晶格弹性形变来调整，而不在界面产生失配位错。为了完成这一弹性形变，晶格常数小的一侧将承受双轴的伸张内应力，而晶格常数大的一侧将承受双轴的压缩内应力。与此相应，在界面的双轴方向上受到伸张内应力的晶格，在垂直界面方向上则受到压缩内应力，反之则受到伸张应力。应变层超晶格所承受的应力可分解为在生长方向 X 上的单轴应力和平行于界面上的双轴应力。据分析，双轴应力将使二维面波矢的 K 空间能隙发生变化，如使 GaAs/InAlAs，GaP/GaAsP，GaSb/AlSb 能隙减小，而使 GaAs/GaAsP In-GaAs/GaAs 能隙增大，而单轴应力将使带边简并能级分裂。可见，应变超晶格材料不但因为没有晶格匹配要求而具有更大的材料选择自由，而且还可将形变应力作为一个新的参量，通过应力和拓宽了的组分范围来控制材料的性质，实现对材料能带的剪裁，从而为发展新型人工改性材料和研制新型固态器件开拓一个新的领域。

以 GaAs 为基的应变层超晶格材料研究的最多，如 In-GaAs/GaAs，GaAsP/GaAs，InAlAs/GaAs，GaAsSb/GaAs 等，其中 InGaAs/GaAs 以其电子有效质量小，迁移率高，被认为是发展近红外光电子器件和超高速电子器件最有前途的材料。用 InGaAs/GaAs 材料研制的工作波长为 0.98 μm 的泵浦掺铒光纤放大器的激光光源，其单管最高输出功率已达 180 mW（单模），室温阈电流密度仅58 A/cm²。用 AlGaAs/InGaAs/GaAs 应变异质结构材料已制备出性能优越的工作在亚毫米波段的 P-HEMTs，器件最好水平已达 f_{max} = 600 GHz，输出功率为 58 mW，功率增益 6.4 db。从材料科学和基础研究出发，对下述的应变异质结构材料也进行了探索：GaSb/InAs，InP/InAs，InAlAs/InAs，InSb/InAs，GaAsSb/GaAs，GaP/GaAs，In-GaAsP/AlGaAs，InGaAs/GaSbAs 以及短周期超晶格材料 $(InAs)_m$ $(AlAs)_n$ 和 $(InAs)_m$ $(GaAs)_n$ 等。

目前，Ⅲ～Ⅴ族超晶格、量子阱材料作为超薄层微结构材料发展的主流方向，正从直径 101.6 mm（4 in）向 152.4 mm（6 in）过渡，生产型的 MBE（如每炉可生产 228.6 mm×101.6 mm，101.6 mm×152.4 mm 或 1 143 mm×50.8 mm（9×4 in，4×6 in 或 45×2 in）和 MOCVD 设备已研制成功，并已投入使用。英国卡迪夫的 MOCVD 中心，法国的 Picogiga MBE 基地，美国的 QED 公司，Motorola 公司，日本的富士通，NTT，索尼等都有这种外延材料出售。生产型的 MBE 和 MOCVD 设备的使用，必将促进衬底材料和材料评价设备的发展。

（2）GaAs 和 InP 基微结构材料典型微电子器件应用简介

以 GaAs 和 InP 为代表的Ⅲ～Ⅴ族晶格匹配和应变补偿材料体系已发展得相当成熟，已成功地用来制造超高速、超高频微电子和光电子器件。早期的高频化合物半导体器件主要是 GaAs MESFET。这种器件大多采用气相外延或离子注入掺杂技术形成器件的有源层，由于沟道被掺杂，因此，载流子迁移率较低，GaAs 高电子迁移率的优点未能充分发挥，频率特性受到限制。随着异质结理论的成熟和 MBE 与 MOCVD 等先进生长技术的发展，具有更高频率特性的高电子迁移率晶体管（HEMT）和异质结双极晶体管（HBT）相继诞生，化合物半导体高频电子器件的发展进入了一个全新的阶段，由能带剪裁理论指导下发展的各种新材料结构和器件设计层出不穷，花样翻新。目前，在先进的通信设备和军用电子产品中，GaAs HEMT 和 GaAs HBT 已成为化合物半导体器件的主流，均已实用化。对它们的研究主要集中在进一步提高成品率、可靠性、降低成本以及针对各种实际应用的电路设计和制造。

GaAs 高电子迁移率晶体管（HEMT）是一种以 GaAs 为衬底，以它与另一种宽禁带材料形成的异质结界面的二维电子气导电的场效应晶体管，因其沟道具有更高的迁移率而得名，早期也有学者称它为“调制掺杂场效应晶体管（MODFET)”。它是异质结场效应晶体管（HFET）中最常用的一种。

GaAs HEMT 的典型外延结构是在禁带宽度为 1.424 eV 的半绝缘 GaAs 衬底上外延一层不掺杂 GaAs 薄层，紧接着外延宽禁带不掺杂的半导体材料（例如禁带宽为 1.817 eV 左右的 $Al_{0.32}Ga_{0.68}As$）作为隔离层和掺杂的势垒层，最后，外延高浓度掺杂的 GaAs 帽层。然后，通过光刻、腐蚀、金属布线等微细加工方法，形成具有源、漏、栅三个电极的 HEMT 器件。由于该器件栅区的高浓度掺杂 GaAs 帽层被腐蚀掉，故栅金属与势垒区较轻掺杂的宽禁带半导体（AlGaAs）则形成肖特基接触，而源漏金属与帽层形成欧姆接触。

同金属-半导体场效应晶体管（MESFET）器件的工作原理类似，它通过控制栅极电压的变化使源漏之间的沟道电流产生相应的变化，从而达到放大信号的目的。所不同的是 MESFET 的沟道是掺杂层，由于受掺杂层中电离杂质散射的影响，GaAs 沟道中的电子室温迁移率由理论极限值 9 000 cm²/V·s 会下降到只有 2 000～3 000 cm²/V·s 左右；而 GaAs HEMT 的沟道是在异质结界面不掺杂的 GaAs 一侧。沟道中无杂质，不存在上述电离杂质散射对电子运动的影响，因此，电子室温迁移率一般可达到 6 000 cm²/V·s 左右，低温下更高。使 HEMT 具有更高的频率和低噪声特性。

HEMT 的另一个特点是，由于沟道中的电子仅集中分布在异质结界面窄禁带材料（如 GaAs）一侧很窄（约 10～20 nm）的范围内，因此，它的短沟道效应很弱，有利于缩短栅长至 100 nm 以下，从而可获得比 MESFET 频率更高且输出特性良好的器件。

为了提高 HEMT 器件的高频性能，常采用具有更高迁移率的 InGaAs 沟道结构替代 GaAs 沟道。这种沟道材料的晶格与衬底晶格存在少许失配的 HEMT 称作赝配高电子迁移率晶体管，即常称的 PHEMT。在这种结构中，InGaAs 的晶格虽与 GaAs 存在失配，晶格内有应力存在，但由于它的厚度没有超过“临界厚度”，不会产生晶格缺陷，也就是说晶格仍然是完整的，器件由于沟道迁移率的提高其高频特性得到显著改善。目前，GaAs PHEMT 研究得最成熟；应用也最广。

InP HEMT 结构与 GaAsHEMT 相似，它是在 InP 衬底上外延与其晶格匹配的 $In_{0.53}Ga_{0.47}As$ 作为沟道。InGaAs 中的电子迁移率可高达 13 800 cm²/V·s，显著高于 GaAs 的电子迁移率；加之 InP 材料具有比 GaAs 更高的饱和电子漂移速度，击穿场强高和导热率高等优点，InP HEMT 较 GaAs HEMT 具有更高的工作频率和更低的噪声。

异质结双极晶体管（HBT)，是由宽禁带半导体材料作发射区、窄禁带半导体材料作为基区构成的双极型晶体管，例如 AlGaAs/GaAs HBT。由于这种不同材料构成的发射极结两边的价带有较大的不连续性，阻碍了基区空穴向发射区的反向注入，使得发射极注入效率提高，从而获得了比同质结

双极晶体管更大的电流放大系数 β 和更高的截止频率 f_T。与Si同质结双极晶体管不同，HBT发射极注入比主要取决于发射区与基区的带隙差，而不是掺杂浓度差。因此，HBT的基区的掺杂浓度可以提高，发射区一侧的掺杂浓度可以降低，对 β 影响不大。其结果不仅使HBT的基区电阻降低、有利于 f_{max} 的提高，而且，它使基区可以做得更薄，而不易发生发射极与集电极的穿通，有利于 f_{max} 提高HBT的高频性能，而不降低击穿电压。此外，发射区一侧掺杂浓度的降低，降低了发射结电容，对提高频率特性也是有利的。

HBT除了具有好的高频性能以外，它还具有驱动能力强、电流密度大、芯片面积小、阈值容易控制、重复性好、抗辐照和抗静电能力强、单电源工作等优点。因此，它在高频和高速电路中应用的固有优势十分突出。目前，研究最多又比较成功的是那些晶格常数相同或相近的材料体系构成的HBT。这些材料体系是AlGaAs/GaAs、InGaP/GaAs、InAlAs/InGaAs/InP、InP/InGaAs/InP、InP/GaAsSb/InP、SiGe/Si等。通常将主流的异质结双极晶体管分为以下几类：GaAs HBT、InP HBT和SiGe HBT等。

最早研究成功的第一代GaAs HBT是AlGaAs/GaAs HBT。它采用宽禁带材料 $Al_{0.35}Ga_{0.65}As$ 作为发射区，采用禁带宽度相对窄一些的GaAs材料作为基区。第二代GaAs HBT是InGaP/GaAs HBT。与第一代相比，InGaP/GaAs HBT的优点是：较大的价带不连续性，较小的导带不连续性，较少的复合中心，高的电子饱和漂移速度和好的刻蚀选择性。而且，InGaP/GaAs HBT基区掺C后，不仅掺杂浓度可以提高，而且它比第一代HBT有更好的可靠性。有研究报道，InGaP/GaAs HBT的平均失效时间超过 10^6 h，平均寿命可超过100年。此外，InGaP与GaAs的选择腐蚀性非常好，有利于制造薄基区的高频器件。因此，该器件受到极大的重视，发展很快。目前，InGaP/GaAs HBT已经成为GaAs HBT的主流，并已广泛地应用在移动通信及光纤通信领域。尤其是在手机功放电路、蓝牙技术和一些射频、微波电路中得到大量的应用。

InGaP/GaAs HBT的制造技术也已成熟，KOPIN以及WIN Semiconductor等公司已建成152.4 mm（6 in）GaAs HBT代工线，可大量生产InGaP/GaAs HBT器件及各种相关电路。InGaP/GaAs HBT的 f_T 一般可达156 GHz左右，f_{max} 可达255 GHz左右。它在射频移动通信、微波及低端毫米波电路中得到了广泛的应用，目前，在手机功放电路中应用最多。随着技术水平的提高，也受到SiGe和CMOS等器件在价格上的竞争，InGaP/GaAs HBT除了继续在射频领域占领一席之地以外，将可能向更高的频率的应用方向发展。例如，X波段、Ku波段大功率放大器、VCO、宽带放大器等方面的应用。

目前，InP基异质结双极晶体管（HBT）的研究进展最为突出，特别值得关注的有特色、高水平的成果有：Walid Hafez等研制的具有0.25×16 μm^2 发射极、25 nm基区、100 nm集电区的InP/InGaAs SHBT获得了 f_T = 452 GHz最高记录，而BVceo仅2.1V；M. Dahlstrom等利用AlInAs/InGaAs集电极－基极结能带缓变克服异质结势垒尖峰效应，薄基区（30 nm）与基区高浓度（$8\times10^{19}\sim5\times10^{19}/cm^3$）梯度掺C引入漂移场缩短电子渡越基区的时间，薄的InP能带缓变集电区（150 nm）缩短电子渡越集电区的时间和亚集电极采用高掺杂InGaAs层降低集电极引线接触电阻等，获得了 f_T = 370 GHz和 f_{max} = 375 GHz的好结果；Z. Griffith等报道的 f_T 为391 GHz（相应的 f_{max} 为505 GHz）双异质结HBT，采用了30 nm高浓度掺杂基区、150 nm的薄集电区，在集电极－基极结处采用了AlInAs/InGaAs能带渐变处理，消除了势垒尖峰。衬底转移HBT的 f_{max} 是目前的最高水平（820 GHz～1.1 THz），而台面腐蚀技术制备的HBT的 f_{max} 达到519 GHz。加拿大Simon Fraser大学的研究工作者，以GaAsSb取代InGaAs作为基区材料，研制成功的InP/GaAsSb/InP HBT，在保持器件的高频特性的情况下，提高了器件的击穿电压，其 f_T 和 f_{max} 均超过300 GHz，BVceo达到6 V。

Satoshi Tsunashima等采用InP/InGaAs DHBT技术研制出150 GHz的分频器，这是到目前为止工作频率最高的分频器。D. Huber等人研制成53 GHz单片集成InP/InGaAs PIN/HBT接收器光电集成电路（OEIC），其电带宽达到63 GHz。

InP HBT器件具有频率高，增益高、效率高、线性好、导热好、驱动能力强、芯片面积小、抗静电能力强、单电源工作等一系列优点，受到业界关注。这些优势不仅使它在毫米波电路应用中独占鳌头，而且也是第三代和第四代CDMA和WCDMA等移动通信所需要的，然而由于其价格昂贵和片子加工时易碎等关键问题尚无解决，目前很少有在民用无线通信方面得到应用。目前，国际上已建成几条101.6 mm（4 in）的InP集成电路生产线，但能否大量生产和商业化，取决于能否有廉价的InP衬底片的供应。现在，InP HBT器件主要面向军工毫米波电路的应用以及Ka波段放大器、40 Gb/S以上的激光驱动器、和波器、分波器、高速分频器、高频光电转换器等方面的应用。由于它开启电压低、热导好、线性度高，今后还可能会在超宽带功率放大、防撞雷达和第三、第四代移动通信电路等领域中大有作为。

InP HBT研究的主要方向是继续朝超高频方向发展，在毫米波电路、亚毫米波电路的国防应用以及40 Gb/s以上的光纤通信系统发挥主导作用。为此，进一步缩小器件的横向尺寸和改进纵向结构设计，解决频率提高与击穿电压之间的矛盾和将DHBT发射极的尺寸减至深亚微米是目前发展的主流方向，从长远看，人们对InP HBT更大的期望是将它与光通信器件（如光接收器、激光器等）集成在一个芯片上，成为单片光电子/微电子系统。另外，降低InP材料的成本和加工易碎的问题，也是InP基HBT器件和电路走向实用化所必须要解决的。

(3) 半导体量子阱激光器

本节将简单地介绍半导体激光器的发展史和半导体量子阱激光器的主要应用领域与发展趋势。

1) 半导体激光器的发展历史　随着1960年5月，美国人T.H.Mamain研制成功第一台红宝石激光器，向世界宣告了激光的产生。其后40多年间，激光器和激光技术得到了迅速发展，并得到了广泛的应用。按产生激光的工作物质不同可分为气体激光器、固体激光器、半导体激光器、液体激光器、化学激光器和自由电子激光器等。半导体激光器是以半导体材料为工作物质的激光器，它是利用半导体材料中电子光跃迁引起光子受激辐射而产生的光振荡器和光放大器的总称。半导体激光器具有体积小、效率高、寿命长等优点，是各类激光器中发展最快、应用最广泛的一个。

1962年，通用电器、IBM和麻省理工大学林肯实验室的几个研究小组几乎同时报道了GaAs材料的半导体激光器。这些早期的半导体激光器都是在GaAs衬底上，采用杂质扩散的办法来形成p-n结的宽接触同质结结构，垂直于结的两个解理端面形成F-P谐振腔，提供了光反馈，正向偏置p-n结，提供了载流子注入。这些同质结激光器的阈值电流密度通常在 $5\times10^4\sim1\times10^5$ A/cm^2，只能脉冲工作于液氮温度。1963年美国的克罗默（H. Kroemer）和前苏联科学院的阿尔费洛夫（Zh. I. Alferov）提出了异质结的概念，即把一个窄带隙的半导体材料夹在两个宽带隙半导体之间形成异质结构，以便在窄带隙半导体中产生高效率的辐射复合，这一设想激发了科学家们的研究兴趣。1967年IBM公司的伍德尔（J. M. Woodall）成功地应用液相外延方法在GaAs上生长了AlGaAs。几乎同时美国贝尔实验室的潘尼希（M. B. Panish），

林严雄（I.Hayashi）等和美国 RCA 公司的克雷塞尔（Kressel），内尔森（Nelson）等研究成功 AlGaAs/GaAs 单异质结激光器，此类器件主要是利用异质结提供的势垒把注入电子限制在有源区之内，使阈值电流密度比同质结激光器约降低了一个数量级，半导体激光器的研究进入了第二发展阶段——异质结注入型激光器。正当美国的科学家致力于单异质结激光器的研究时，阿尔费洛夫等宣布研制成功双异质结半导体激光器。该结构是把 p-GaAs 半导体夹在 n-$Al_xGa_{1-x}As$ 层和 p-$Al_xGa_{1-x}As$ 层之间，两个异质结势垒能够有效地把载流子和光场限制在 p-GaAs 薄层有源区内，使得室温下的阈值电流密度降低到只有 4×10^3 A/cm^2 ~ 1×10^4 A/cm^2。1970 年初，潘尼希和林严雄等又成功地研制出室温下连续工作的双异质结半导体激光器，其阈值电流密度只有 2.3×10^3 A/cm^2。相对于其他类型激光器，半导体激光器的体积很小，并且可以用电流控制激光的强度，这就为以后光通信的实现创造了条件。此后，相继解决了器件寿命的问题，到 1976 年 AlGaAs 激光器的寿命已达上万小时，半导体激光器也开始了从实验室走向实际应用的光辉历程。1978 年半导体激光器开始应用于光纤通信系统，这促使各种新材料、新结构半导体激光器不断涌现，同时器件的各种性能参数也在不断改进和提高。

量子阱激光器是半导体激光器发展过程中的第三个里程碑，它的出现得益于“超晶格”概念的提出和先进生长技术（MBE、MOCVD 等）的发展、进步和完善。1975 年范德尔（J.P.Vander Ziel）利用 MBE 研制成功第一个在液氮温度下才能工作的光泵浦量子阱激光器。1977 年，迪普伊（Dupuis）和达普斯（Dapuus）等利用 MOCVD 方法第一次研制成功室温工作的量子阱激光器，其阈值为 3×10^3 A/cm^2。1979 年，曾焕天利用 MBE 生长出 AlGaAs 多量子阱注入激光器；1981 年，他采用分别限制多量子阱结构并优化了垒高和厚度，使腔长 380 μm 的激光器的阈值电流密度降低至250 A/cm^2；同年他优化了限制层掺杂分布，同时引入了缓变折射率波导，激光器的内损耗降低到 3 cm^{-1}，内量子效率达 95%，腔长 1 125 μm 的激光器阈值电流密度下降到160 A/cm^2。自此量子阱激光器进入了实用化研究的新阶段。量子阱有源区具有的准二维特性和量子尺寸效应，使量子阱有源区的激光器具有很多优异的性能，诸如激射波长出现蓝移，阈值电流明显减小，温度特性大为改善等，这使得量子阱激光器很快成为了半导体激光器的主流产品。

在量子阱激光器发展的同时，人们又发现应变的引入可使量子阱激光器的特性进一步得到提高。1984 年，Laidig 等采用 MBE 研制成功了最早的 InGaAs/GaAs 应变量子阱激光器，其发射波长为 1.0 μm，阈值电流密度约为 1.2 kA/cm^2，但激光器退化速率较快；随着对材料生长条件的优化，激光器的阈值电流密度很快就降低到 465 A/cm^2，同时可靠性也有所提高。1986 年，G.C.Osbourn，A.R.Adams 和 E.Yablonowitch 等理论上分析了应变量子阱激光器具有许多优越特性：如阈值电流密度降低、效率提高、温度特性改善、微分增益提高、调制和线宽特性改善等，在世界范围内掀起了对应变量子阱激光器的研究热潮；目前，应变量子阱半导体激光器虽然仍处在在不断发展之中，但应变量子阱激光器（如大功率 980 nm 的 InGaAs 激光器等）已得到了广泛应用。与此同时，基于三维和两维受限的半导体量子点（线）激光器已成为目前半导体激光器研究的热点，特别在大功率量子点激光器研制方面取得了突破性进展。

2）半导体量子阱激光器的应用　半导体激光器具有许多优越性能，例如：体积小、光电转换效率高、可直接调制、可靠性高、适于大规模生产等，采用不同组分和结构的半导体材料，半导体激光器可以覆盖从紫外（约为 290 nm）到中红外（约为 10 μm）的光谱范围，自从 1969 年半导体激光器发明以来，它已在很多领域获得了广泛应用。下面是半导体量子阱激光器的几个主要应用领域。

① 光纤通信　光纤通信网络是信息化社会的支柱，而目前的光纤通信系统都采用半导体激光器作为光源，常用的半导体激光器结构有，F-P 腔激光器、分布反馈式（DFB）激光器、垂直腔面发射激光器（VCSEL）等。F-P 激光器通常应用在短距离、低速率光纤通信中，例如局域网或者接入网。相对于 F-P 激光器而言，DFB 激光器具有良好的工作性能：窄线宽、动态单模、低啁啾，因此 DFB 激光器被广泛使用在长距离、大容量光纤通信中。为了克服 DFB 激光器在直接调制时存在的啁啾，常使用 DFB 激光器与电吸收调制器单片集成的光子器件，以增加传输距离，采用这种方法，已经实现 10Gb/s 的信号在标准单模光纤中传播 80 km 后，色散代价小于 2dB。VCSEL 激光器具有动态单模的工作性能，并具有低阈值、光束为圆斑、发散角小、易于与光纤耦合和易于形成高密度阵列等优点，在并行光通信、二维图像处理技术中有着广泛的应用，也是计算机背板光互连以及集成电路芯片光互连领域关键的器件。

② 光存储　光学数据存储技术因具有大容量、高存储密度、快速读取、高可靠性、高耐久性、价格低廉等优点而得到广泛的应用。光学数据存储的读写头使用的是半导体激光器，是目前半导体激光器用量最大的领域。光盘的存储密度与使用的激光器工作波长有关，激光器工作波长减小一半，聚焦光斑尺寸也相应减小一半，存储密度则提高 4 倍。为了提高存储密度，光学存储系统用半导体激光器的发展趋势是采用更短的工作波长：从最早采用 830 nm 的 AlGaAs/GaAs 激光器，发展到目前采用 650 nm 的 AlGaInP/GaAs 激光器。下一代的蓝光光盘将采用410 nm 的 InGaN/GaN 量子阱激光器。

③ 全固态激光器　激光二极管泵浦固体激光器具有转换效率高、高可靠性、长寿命、频率稳定性好、谱线窄，光束质量好和体积小，重量轻，易于实现小型化等优点，广泛的应用于材料微细加工、生物医学、卫星激光通讯、激光大屏幕显示等方面。早期的固体激光器使用气体放电灯作为泵浦源，光电转换效率低；高性能、大功率的量子阱激光器的采用，使泵浦的光电转化效率大幅度提高，输出功率提高了数十倍，固体激光器的研究和应用进入了一个高速发展的阶段。

④ 气体和大气遥感探测　激光气体探测是气体监测和大气遥感领域的一个新兴分支。半导体分布反馈布拉格激光器具有良好的方向性、单色性、相干性以及高强度，是光学探测大气方法中的理想光源。激光在空气中传播时，与空气中的气体分子、粒子、水滴等相互作用，发生能量的吸收和散射，通过光电探测器测量后向散射光或者前向透射光的强度和光谱，可以分析气体中特定分子或者粒子的含量。

半导体量子阱激光器应用范围非常广泛，除了上述领域以外，还包括激光雷达、激光制导、激光打印、光学传感、生物医学、原子俘获等，半导体激光器必将在人们的生产、生活中发挥越来越大的作用。

（4）量子级联激光器的发展现状与趋势

近中红外（2 ~ 20 μm）的小型可集成的光源在远距离探测、大气污染监控、医学诊断和电子对抗等方面具有重要的应用背景，研制高性能长波长半导体激光器一直是人们追求的目标。基于Ⅲ ~ Ⅴ族材料的激光器的发射波长都不超过 4 μm，更长的波长只能采用Ⅳ ~ Ⅵ族的铅盐系及Ⅱ ~ Ⅵ族的汞硫系等所谓窄带隙材料。但窄带隙材料制备技术还欠成熟，难以制备无缺陷的材料，加之窄带隙材料本身所固有的大的俄歇复合损耗和过大的自由载流子吸收损耗等，为高性

能激光器的研制增加了新的难度，窄带隙pn结半导体激光器的研制至今未取得重大进展。1971年，Kazarinov和Suris首次阐述了在半导体单一能带内的量子化能态之间的跃迁，即子带跃迁有可能实现光放大的思想。Faist等于1994年将能带工程与分子束外延技术相结合，设计、研制成功了波长为4.3 μm基于子带间跃迁的激光器，并将这种新型的激光器命名为"量子级联激光器"（简称QC激光器）。量子级联激光器的出现开创了利用宽带隙材料研制中、远红外半导体激光器的先河，成为中、远红外半导体激光器的发展史上的一个新的里程碑。以量子级联激光器为代表的新型量子阱、超晶格子带/微带激光器，以其优越的性能及其在材料选取、器件设计等方面前所未有的自由度，为新一代中、远红外半导体激光器的研制注入了新的活力，展示了诱人的发展前景。QC激光器的研究进展十分迅速，图1.2-1是QC激光器发展的时序表，QC激光器的快速进展得益于Capasso等对能带工程的深入理解和分子束外延技术的发展，能带工程可成功地应用于控制电子流动以及提高粒子数反转效率和模式的净增益等，这些因素最终决定激光器的阈值。

QC激光器可通过控制耦合量子阱的层厚来改变波长，在中红外波段相继研制出QC激光器之后，人们的注意力逐渐集中到优化波导设计。连续可调谐单模激光输出的分布反馈（DFB）激光器于1996年研制成功；寻求大功率和长波长激光器的努力导致1997年超晶格有源区的发明，不同于通过严格的设计实现子带间的粒子数反转，超晶格有源区的微带具有本征粒子数反转特点并允许大电流工作，这特别适合于需要大电流工作的大的光功率输出的情形以及长波长区大的损耗而需要有源区大阈值电流来维持的情况；1998年微盘和微柱型量子级联激光器的研究导致了方向性显著改善、光功率大幅度提高的"蝴蝶结"激光器问世；同时DFB-QC激光器也首次应用于对痕量气体的检测。上述的量子级联激光器都是以InP为衬底的，1998年Sirtori和他的合作者研制出了第一个基于GaAs材料体系的GaAs/AlGaAs量子级联激光器，紧接着国际上多个研究组也相继在GaAs衬底上研制成功这种激光器，到目前为止，国际上大致有20个左右小组从事这方面的研究。高速量子级联激光器（包括锁模技术）的探索研究开始于1999年，并于2000年底研制成功第一个波长的为21.5～24 μm的远红外QC激光器。

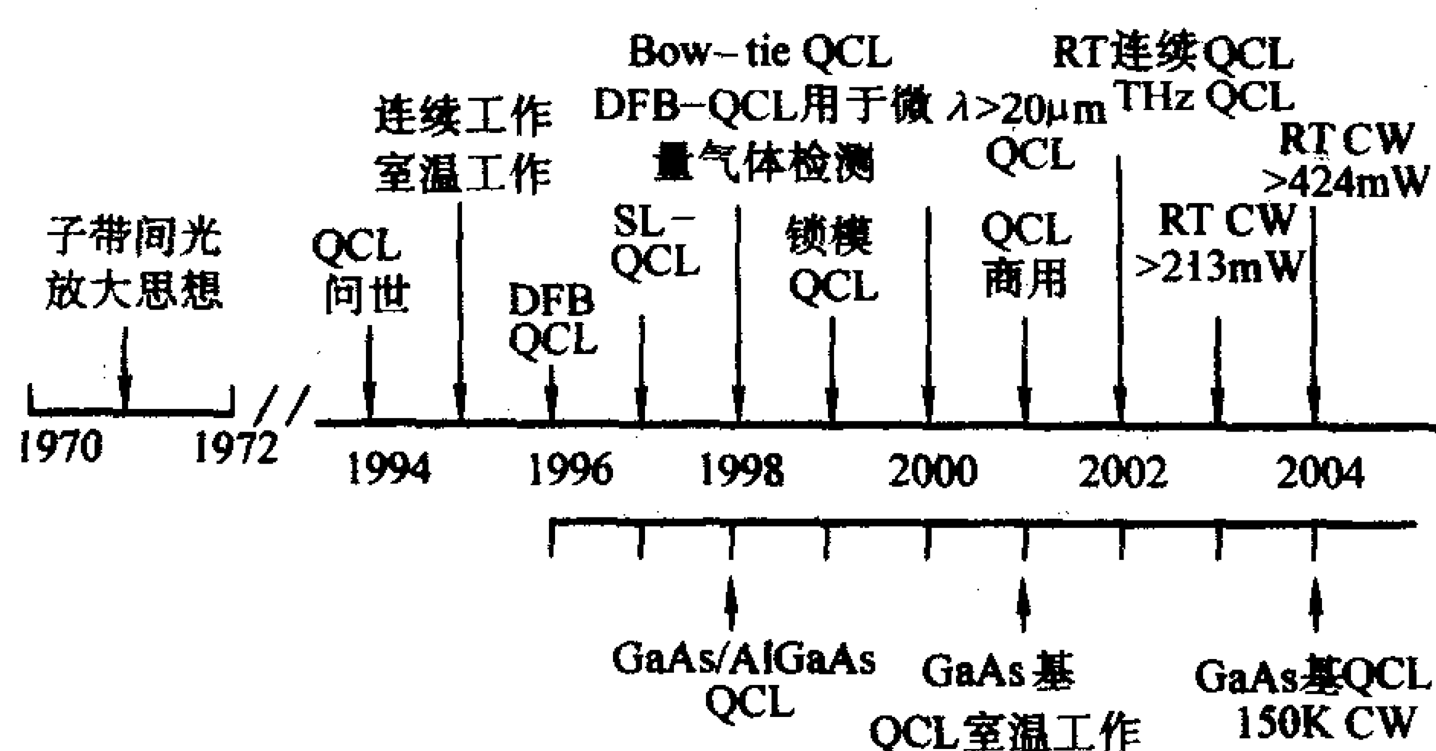


图1.2-1 量子级联激光器发展的重要时序图

目前，QC激光器的主要研发目标是提高其连续工作模式下的工作温度，使之能够在热电制冷器到室温范围内工作，以满足痕量气体传感方面的迫切需求。瑞士Faist领导的小组于2002年初研制成功可在室温连续激射的量子级联激光器；美国西北大学在实现了单管脉冲峰值功率3.5 W之后，又实现了室温连续输出大于424 mW的QC激光器；中科院上海微系统和信息技术研究所李爱珍等于1999年研制成功120 K 5 μm和250 K 8 μm的量子级联激光器，中科院半导体研究所刘峰奇等继2000年研制成功具有自主知识产权的3.7 μm室温准连续工作应变补偿的量子级联激光器后，最近，又研制成功液氮工作的8 μm单模量子级联激光器和工作温度50℃的应变补偿5.5 μm的$In_xGa_{1-x}As/In_yAl_{1-y}As$量子级联激光器，室温准连续输出功率大于45 mW，使我国成为能研制这类高质量激光器材料与器件为数不多的几个国家之一。

受QCL的启发，杨瑞青（Rui Q.Yang）等于1997年提出并研制成功基于带间跃迁的所谓Ⅱ型量子级联激光器，这种激光器依靠阱间的斜跃迁，电子进入价带与一个空穴复合并发射光子。受到外加电场的加速，电子在Ⅱ型带对准的半导体有源材料中从价带转移回到导带，导致电子再隧穿至导带的效率非常高，使电子能够重复利用，这是Ⅱ型带间量子级联激光器的最主要的特征。这类激光器在中红外波段，特别是4～5 μm具有很好的性能。

目前，量子级联激光器的工作波长已覆盖近红外到中、远红外波段（3～70 μm）。波长大于50 μm的特拉赫兹（THz）QC激光器，适合光纤通信用的1.55 μm的GaN/AlGaN材料体系QC激光器，用量子点有源区取代量子阱有源区的量子点级联激光器，光子晶体量子级联激光器和Si/GeSi材料体系QC激光器等，是目前人们感兴趣的研究方向。随着QCL性能的不断提高，将其用于污染监控的痕量气体传感、环境检测、燃料诊断、医疗诊断（呼吸分析）、电子对抗和探索两个大气窗口的自由空间光通信等方面的研究也得到迅速发展。

3.3 一维量子线、零维量子点材料

基于量子尺寸效应、量子干涉效应、量子隧穿效应和库仑阻效应以及非线性光学效应等的低维半导体材料是一种人工构造（通过能带工程实施）的新型半导体材料，是新一代量子器件的基础。它的应用，极有可能触发新的技术革命。这类固态量子器件以其固有的超高速、超高频（1 000 GHz）、高集成度（10^{10}电子器件/cm^2），高效低功耗和极低阈值电流（亚微安）、极高量子效率、极高增益、极高调制带宽、极窄线宽和高的特征温度以及微微焦耳功耗等特点在未来的纳米电子学、光子学和新一代VLSI等方面有着极其重要应用背景，得到世界各国科学家和有远见高技术企业家的高度重视。

目前低维半导体材料生长与制备主要集中在几个比较成熟的材料体系上，如GaAlAs/GaAs，In（Ga）As/GaAs，InGaAs/InAlAs/GaAs，InGaAs/InP，In（Ga）As/InAlAs/InP，InGaAsP/InAlAs/InP以及GeSi/Si等，并在量子点激光器，量子线共振隧穿、量子线场效应晶体管和单电子晶体管和存贮器研制方面，特别是量子点激光器研制取得了重大进展。应变自组装量子点材料与量子点激光器的研制已成为近年来国际研究热点。1994年俄德联合小组首先研制成功InAs/GaAs量子点材料，1996年量子点激光器室温连续输出功率达1 W，阈值电流密度为290 A/cm^2，1998年达1.5 W，1999年InAlAs/InAs量子点激光器283 K温度下最大连续输出功率（双面）高达3.5 W。中科院半导体所半导体材料科学重点实验室MBE组在继1996年研制成功量子点材料，1997年研制成功的量子点激光器后，1998年初，三层垂直对准InAs/GaAs量子点有源区的量子点激光器室温连续输出功率超过1 W，阈值电流密度仅为218 A/cm^2，工作寿命超过3 000 h。2000年以来，量子点激光器的研制又取得很大进展，俄罗斯约飞技术物理所MBE小组，柏林的俄德联合研制小组和中国科学院半导体所半导体材料科学重点实验室的MBE小组等研制成功的In（Ga）As/GaAs高功率量子点激光器，工作波长1 μm左右，单管室温连续输出功率高达3.6～4 W。特别应当指出的是，中国科学院半导体所半导体材料科学重点实验

室的 MBE 小组，2001 年通过在高功率量子点激光器的有源区材料结构中引入应力缓解层，抑制了缺陷和位错的产生，提高了量子点激光器的工作寿命，室温下连续输出功率为 1 W时工作寿命超过 5 000 h。2001 年，这个小组在 InAlAs/AlGaAs/GaAs 红光量子点激光器的研制方面，也取得了显著进展，红光量子点激光器的性能为目前国际报道的最好水平。俄罗斯约飞技术物理所和德国柏林技术大学联合实验组，2002 年在大功率亚单层量子点激光器研制方面又取得突破进展，亚单层量子点激光器（200 μm 条宽、腔长 1 040 μm)的有源区是由被 12 nm 的 GaAs 空间隔离层隔开的两组亚单层 InAs 量子点层组成，每一个亚单层量子点由 12 个周期的 0.3ML InAs/2.4ML GaAs 组成，置于激光器结构的两个波导层中心。量子点激光器的工作波长 0.94 μm，阈值电流密度为 290 A/cm^2，单管室温连续输出功率高达 6 W，特征温度为 150 K；器件输出功率在 0.8～6 W 范围内，总转换效率高于 50%，为目前国际报道的最高水平。另一个值得提出的工作，是中国科学院半导体材料科学重点实验室 MBE 组的研究人员于 2002 年，利用自组织量子点所固有的尺寸分布宽的特点，在国际上首次研制成功自组织量子点超辐射发光管。超辐射量子点发光管采用通常的分别限制结构和特殊的倾斜条型电流注入结构（抑制 F-P 模式激光振荡），有源区由 5 层非耦合 InGaAs/InAs 量子点堆叠构成。在腔长为1 600 μm，注入电流为 1.4 A 时，室温连续波工作（中心波长 1 μm）的光输出功率大于 200 mW，光谱半宽 60 nm，为目前国际已报道的超辐射发光管的最好结果。超辐射发光管在光纤传感器、密集波分复用光纤通信和细胞组织干涉层析成像技术等方面有广泛的应用。

2002 年美国康奈尔大学和哈佛大学的科学家在《自然》杂志上发表论文声称，他们成功地将大小相当于单个分子的原子团结构置于相距仅 1 nm 的电极之间，由原子团包裹的单个过渡族金属原子传送或中断电流，就其特性相当于一个晶体二极管，这是人们用单个原子或分子组装纳米机器研制方面取得的新进展。

与半导体超晶格、量子阱和量子点材料相比，高度有序的半导体量子线的制备技术难度更大。近年以来，量子线的生长制备和性质研究也取得了长足的进步。中国科学院半导体所半导体材料科学重点实验室的 MBE 小组，利用 MBE 技术和 SK 生长模式，继 2000 年成功地制备出空间高度有序的 InAs/InAl（Ga）As/InP 的量子线和量子线超晶格结构的基础上，又对 InAs/InAlAs 量子线超晶格的空间自对准（垂直或斜对准）的物理起因和生长控制进行了研究，取得了重要进展。2001 年，王中林领导的乔治亚理工大学的材料科学与工程系和化学与生物化学系的研究小组，基于无催化剂、控制生长条件的氧化物粉末的热蒸发技术，成功地合成了诸如 ZnO、SnO_2、In_2O_3 和 Ga_2O_3 等一系列半导体氧化物纳米带，它们与具有圆柱对称截面的中空纳米管或纳米线不同，这些原生的纳米带呈现出高纯、结构均匀和单晶体，几乎无缺陷和位错；纳米线呈矩形截面，典型的宽度为 20～300 nm，宽厚比为 5～10，长度可达数毫米。这种半导体氧化物纳米带是一个理想的材料体系，可以用来研究载流子维度受限的输运现象和基于它的功能器件制造。同年，中国的香港城市大学材料科学与工程系的李述汤和瑞典隆德大学固体物理系纳米中心的 Lars Samuelson 领导的小组，分别在 SiO_2/Si 和 InAs/InP 半导体量子线超晶格结构的生长制备方面也取得了有意义的结果。

2002 年采用气－液－固相反应（V－L－S）生长制备半导体纳米线和纳米线超晶格的工作又取得重要进展。美国哈佛大学的 Gudiksen 等，分别利用激光协助催化方法和应用金纳米团簇催化剂结合化学汽相淀积技术，生长成功 2～21 层的组分调制纳米线超晶格结构 GaAs/GaP 和 p-Si/N-Si，p-InP/n-InP 调制掺杂纳米线超晶格结构。纳米线的直径和异质结或 PN 结界面组分与掺杂的陡度，依赖于催化剂金等纳米团簇的大小，纳米线超晶格的直径从几个纳米到数十纳米不等，长度可达几十微米。发光和输运性质测量表明，这种纳米超晶格结构具有优异的光电性质，其潜在应用可覆盖从纳米条形码到纳米尺度偏振发光二极管的整个范围。加州大学伯克利的 Johnson 等利用镍催化剂和 V-L-S 方法，通过金属镓和氨在 900℃蓝宝石衬底上直接反应，合成了直径在几十到几百纳米之间，长达数十微米的 GaN 纳米量子线，X 射线衍射证实纳米线具有钎锌矿晶体结构。四倍频光参量放大器（波长 290～400 nm，平均功率 5～10 mW）用做泵浦激光器，在被泵的单个 GaN 单晶纳米线（直径约 300 nm，长约40 μm）的两端观察到了蓝、紫激光发射。激射波长随泵浦功率增加的红移，支持高温下电子－空穴等离子体是 GaN 主要的激射机制观点。上述研究结果将有力地促进实现基于纳米线的电注入蓝－紫相干光源的研制步伐。

美国加州大学和劳伦伯克利国家实验室的科学家杨培东（Peidong Yang）等在 2001 年《科学》杂志报道他们研制成功了 ZnO 纳米线紫外激光器。他们相信紫外激光器将在信息存储和微分析等芯片实验室器件（Lab on a Chip device）等方面有潜在应用。单晶 ZnO 纳米线结构是在镀金的蓝宝石衬底上，以金作为催化剂，沿垂直于衬底方向生长出来的。纳米线长 2～10 μm，直径为 20～150 nm。ZnO 纳米线和衬底之间的界面形成激光共振腔的一个镜面，纳米线另一端的六方理想解理面为另一个镜面。在 266 nm 光的激发下，由纳米线阵列发出波长在 370～400 nm 的激光。单个纳米线激射也曾观察到。

低温工作的单电子晶体管（SEF）早在 1987 年就已研制成功，1994 年日本 NTT 就研制成功沟道长度为 30 nm 的单电子晶体管，并在 150 K 观察到栅控源－漏电流振荡；1997 年 Zhuang 等又报道了室温工作的单电子晶体管开关。近年来，我国中科院物理研究所王太宏小组，在单电子晶体管研制方面也取得了很好成绩。利用单电子晶体管的电导对岛区电荷极为敏感的性质，可制成超快和超灵敏的静电计，分辨率高达 1.2×10^{-5} e/Hz$^{1/2}$，比目前最好的商用半导体静电计分辨率高 6～7 个数量级，可用来检测小于万分之一电子电荷的电量。按照目前的技术水平，制备室温工作的单个 SET 已无不可克服的困难；但是，我们所需要的不仅是单个器件，而是每个 MPU 芯片可集成数量为 10^9 ～ 10^{10} 功能完全相同的 SET，以满足超高速运算要求。1998 年 Yauo 等采用0.25 μm 工艺技术实现了 128 Mb 的单电子存贮器原型样机的制造，这是单电子器件在高密度存贮电路的应用方面迈出的重要的一步，但要实现单电子器件的大规模集成，还有很长的路要走。目前，基于量子点的自适应网络计算机业已取得进展。其他方面的研究正在深入地进行中。

半导体量子点、量子线材料的制备方法虽然很多，但从总体来看，不外乎自上而下（top down），自下而上（bottom up）和两者相结合的方法。细分起来主要有：微结构材料生长和精细加工工艺相结合的方法，应变自组装量子线、量子点材料生长技术，图形化衬底和不同取向晶面选择生长技术，单原子操纵和加工技术，纳米结构的辐照制备技术，及其在沸石的笼子中、纳米碳管和溶液中等通过物理或化学方法制备量子点和量子线的技术。目前发展的主要趋势是寻找原子级无损伤加工方法和应变自组装生长技术，以求获得无缺陷的、空间高度有序和大小、形状均匀，密度可控的量子线和量子点材料。

4 宽带隙半导体材料

宽带隙半导体材主要指的是金刚石，Ⅲ族氮化物，碳化硅，立方氮化硼以及Ⅱ~Ⅵ族硫、锡碲化物、氧化物（ZnO等）及固溶体等，特别是 SiC、GaN 和金刚石薄膜等材料，因具有高热导率、高电子饱和漂移速度和大临界击穿电压等特点，成为研制高频大功率、耐高温、抗辐照半导体微电子器件和电路的理想材料，在通信、汽车、航空、航天、石油开采以及国防等方面有着广泛的应用前景。另外，Ⅲ族氮化物等也是优良的光电子材料，在蓝、绿光发光二极管（LED）和紫、蓝、绿光激光器（LD）以及紫外探测器等应用方面也显示了广泛的应用前景。

4.1 GaN 基异质外延材料

随着 1993 年 GaN 材料的 p 型掺杂突破，GaN 基材料成为蓝绿光发光材料的研究热点。1994 年日本日亚公司研制成功 GaN 基蓝光 LED，1996 年实现室温脉冲电注入 InGaN 量子阱紫光 LD，次年采用横向外延生长技术降低了 GaN 基外延材料中的位错，使蓝光 LD 室温连续工作寿命达到10 000 h以上。目前，GaN 基蓝、绿 LED 已实现规模生产，年销售额已达数十亿美元。近年来，功率达瓦级（最大为 5 W）的 GaN 基蓝、紫光发光二极管的研制成功，使人们看到了固态白光照明诱人前景；固态照明与目前常用的白炽灯相比，不仅发光效率高，节约能源 2/3，而且工作寿命可提高 10 倍以上；加之工作电压低、安全可靠和无污染等，是当前国内外研发的热点。国际上许多大公司，如 GE，Philips 和 Osram 等，都投入巨资从事固态白光光源的开发，希望能在这一具有巨大潜在商业利益的高技术领域占据优势地位。GaN 基激光器的研制也取得进展，工作波长在 400~450 nm 之间，最大室温连续输出光功率业已达 0.5 W 以上。在微电子器件研制方面，GaN 基 FET 的最高工作频率（f_{max}）已达 140 GHz，f_T = 67 GHz，跨导为 260 ms/mm；HEMT 器件也相继问世，发展很快。另外，在 2001 年，基于 InGaAlN 材料体系，波长短达 280 nm 的紫外发光二极管和 256×256 太阳盲 AlGaN 焦平面阵列探测器的研制成功，在军事上有着广泛的应用前景。

众所周知，以 GaN 为代表的Ⅲ族氮化物，因为没有同质衬底材料，而只能生长在与其晶格失配很大的蓝宝石、碳化硅、硅或砷化镓等衬底上，大的晶格失配导致的高缺陷密度，严重的影响着器件性能和它进一步的应用。目前，GaN 基衬底材料的研制包含两方面的工作，一是采用各种生长技术制备块状 GaN 晶体，但进展不大，最大尺寸约 1 cm 左右。另一个方法是采用氢化物气相外延（HVPE）技术，首先在蓝宝石或 GaAs 等衬底上生长厚约 0.5~1 mm 的 GaN 外延薄膜，然后通过激光剥离技术，将其与衬底分开并经表面加工，形成所谓的自支撑 GaN 衬底。经过多年的努力，日本的 Sumitomo 公司于 2000 年底宣称"50.8 mm（2 in）自支撑 GaN 衬底制备获得突破，2001 年将有商品出售"。遗憾的是，至今尚未见广泛的被采用，原因可能与价格昂贵或质量尚需提高等问题有关。尽管如此，自支撑 GaN 衬底制备成功与应用，将对 GaN 基激光器和高温微电子器件和电路研制起着重要的推动作用。

Ⅲ族氮化物与传统半导体材料体系的显著差别之一是Ⅲ族氮化物表现出很强的压电效应，其中 AlN 具有已知半导体中最大的压电系数。Ⅲ族氮化物材料，特别是 AlGaN/GaN 体系的这一特征使得其对材料中的应变及所处的电学环境异常敏感。在由Ⅲ族氮化物材料组成的异质结构中，晶格失配将引起应变，从而显著影响材料的能带结构，引起简并能量状态的分裂，同时应变导致的压电效应能进一步调制能带，改变系统电子能级分布和态密度分布，表现出特异的、其他系统中不常见的效应。与传统半导体器件中通过掺杂改变材料中载流子浓度，从而调制电导率不同，压电诱导能带工程主要通过调节材料中的应变（由衬底、晶向、材料组分和厚度决定）和压电系数（由材料组分决定）来改变材料中的极化电场，从而实现对材料能带的调制，改变材料的导电能力。在这种结构中，材料导电能力的提高将不受杂质浓度、散射和复合增强作用的限制，因此，采用这种结构的器件，能够较容易地通过改变极化场的方向实现电子或空穴的积累，因而能有效地避开目前在Ⅲ族氮化物材料中普遍存在的 p 型掺杂困难。这不仅有助于改善现有的场效应器件（FET）、二维电子（空穴）气器件等新型器件的性能，而且大大有助于发展出目前难以实现的Ⅲ族氮化物双极型器件。目前科学家们对Ⅲ族氮化物压电诱导能带工程的机理和方法的了解仍很不全面，急需加以解决。

近年来具有反常带隙弯曲的窄禁带 InAsN，InGaAsN，GaNP 和 GaNAsP 材料的研制也受到了重视，这是因为它们在长波长光通信和太阳能电池等方面显示了重要应用前景。2002 年，1 300 nm 垂直腔面发射激光器（VCSELs）材料与器件研制方面取得了长足的进步。德国慕尼黑信息技术所的 H.Riechert 等，应用 MBE 和 MOCVD 技术，分别以 $In_{0.35}$-$Ga_{0.632}AsN_{0.018}$ 双量子阱和三量子阱为 VCSEL 的有源区，量子阱厚6 nm，垒层 20~25 nm；上镜面和下镜面分别由 28 对 $Al_{0.8}Ga_{0.2}As$/GaAs 和 32~34 对 AlAs/GaAs 组成。氧化孔径为 4×6 μm^2 的 MBE 生长器件，室温连续工作波长为 1 306 nm，阈值电流 2.2 mA，边模抑制比优于 30 dB（传输速率 2.5 Gb/s，典型驱动电流 5 mA），输出功率大于 1 mW，器件直到 80℃仍保持激射。采用氧化电流孔径为 5 μm，单模发射功率700 μW的样品，传输速率 2.5 GB/s，传输距离超过 20.5 km 时，比特误码率低于 10^{-11}。该小组应用 MOCVD 技术研制的 InGaAsN 基 VCSEL，也取得了数据传输率为 10 Gb/s，背对背运用比特误码率低于 10^{-11} 的好结果。

4.2 碳化硅（SiC）和氧化锌（ZnO）材料

以 Cree 公司为代表的体 SiC 单晶的研制业已取得突破性进展，50.8 mm（2 in）的 4H 和 6H-SiC 单晶与外延片，以及 76.2 mm（3 in）的 4H-SiC 单晶已有商品出售；以 SiC 为 GaN 基材料衬低的蓝绿光 LED 业已上市，参于与以蓝宝石为衬低的 GaN 基发光器件的竞争，其他与 SiC 相关高温器件的研制也取得了长足的进步。目前存在的主要问题是材料中的缺陷密度高，且价格昂贵。

ZnO 与其他宽带隙半导体材料相比，具有高的激子激活能（60 meV），极好的抗辐照性能，低的外延生长温度和大尺寸衬底材料等一些独特的优点，有望用于 UV 发光二极管与低阈值激光器、UV 探测器和生物传感器以及抗辐照太空探测器等新型 ZnO 基光电器件的研制，受到国内外广泛的关注。1996 年 ZnO 材料光泵紫光激射的实验结果激起了世界范围的 ZnO 基材料的研究热潮，2003 年，日本东北大学 Fukuda 教授领导的研究小组，美国和俄罗斯的科学家大尺寸 50.8~76.2 mm（2~3 in）的 ZnO 导电衬底的研制成功，进一步促进了 ZnO 基材料与器件的研制进展。目前，虽然 ZnO 单晶薄膜和基于它的同质、异质发光二极管原型器件已见报道；然而 ZnO 单晶薄膜的背景杂质浓度仍高于 $10^{16}/cm^3$，P-型掺杂机理和为什么空穴迁移率与期望值偏低很多，高浓度的 p 型掺杂等都尚未得到实质性的解决，真正实用的 ZnO 基光电器件的研制任重道远。

4.3 单晶金刚石薄膜研究进展

继 2001 年 Koizumi 等研制成功金刚石紫外 pn 结发光管后，2002 年 Isberg 等在瑞典的乌布萨拉大学，利用微波等离

子体辅助 CVD 技术，研制成功高质量单晶金刚石薄膜。Gehan A. J. Amaratunga 在美国科学杂志（2002 年 297 期）发表评论说，Isberg 等的工作使人们看到"金刚石电子学的时代已经来临!"，金刚石同质外延薄膜是在《100》取向的用高温高压法合成的金刚石衬底上生长的，并采用时间飞行方法对金刚石外延薄膜的电子和空穴迁移率分别进行了测量，令人惊奇的发现这种方法制备的金刚石薄膜的电子和空穴室温迁移率分别高达 4 500 $cm^2/V·s$ 和 3 800 $cm^2/V·s$，这是至今报道的最好结果！这表明金刚石薄膜有着很高的纯度和完整性。他们对薄膜进行了 p 型掺杂并制备成 p 型/未掺金刚石（绝缘 i 层）的 p-i 结二极管，在 300 ~ 540 K 的范围内，具有很好的 I ~ V 特性。

高的电子和空穴迁移率以及长的载流子寿命意味着厚的、自支撑、单晶 CVD 金刚石薄膜的质量得到了显著的改善，也意味着向金刚石电子器件的实用化跨出了关键的一步。尽管金刚石器件的制造仍然存在很多问题，然而上述结果和 p-i 金刚石二极管的性能表明，单晶 CVD 金刚石作为宽隙半导体的潜在优势是显然的，并将最终大大扩展电子技术范围。

2003 年法国、以色列和美国的科学家在《自然》杂志发表文章称：他们在同质外延掺硼的 p 型金刚石薄膜上，采用氘等离子体生长技术和后退火工艺，成功制备出 n 型高电导率金刚石薄膜。室温电子浓度为 $7\times10^{16}/cm^3$，电导率约为 2/（Ω·cm），迁移率为 180 $cm^2/V·s$。远优于 2000 年报道的掺磷 n 型金刚石薄膜的电导率 10^{-4}/（Ω·cm）；氘原子在随后的退火过程中，通过扩散进入掺硼的 p 型金刚石薄膜使硼受主钝化，并产生与氘相关的浅施主能级（E_c 为 − 0.23 eV），从而使金刚石薄膜由 p 型转变为 n 型。n 型金刚石薄膜的研制成功，为高温、高频和大功率半导体金刚石器件的研制打下了基础。同年 9 月，日本电报和电话公司（NTT）与德国的 Ulm 大学合作，在成功的消除金刚石薄膜中碳夹杂，有效地降低缺陷和杂质含量的基础上，研制成功最高工作频率为 81 GHz 的毫米波金刚石器件，打破了金刚石器件的国际记录。在优化器件工艺下，他们有希望将输出功率提高到 30 W/mm。

4.4 宽带隙半导体材料研究存在的问题

宽带隙半导体异质结构材料往往也是典型的大失配异质结构材料，所谓大失配异质结构材料是指晶格常数、热膨胀系数或晶体的对称性等物理参数有较大差异的材料体系，如 GaN/蓝宝石（Sapphire），SiC/Si 和 GaN/Si 等。大晶格失配引发界面处大量位错和缺陷的产生，极大地影响着微结构材料的光电性能及其器件应用。如何避免和消除这一负面影响，是目前材料制备中的一个迫切需要解决的关键科学问题。20 世纪 90 年代以来，国际上提出了多种解决方法，虽有进展，但未能取得重大突破。近年来，中科院半导体所的王占国、陈涌海和汪连山等基于缺陷工程、晶面特征与表面再构、晶体结构对称性和生长动力学等方面的考虑，提出了柔性衬底的概念，并在 ZnO/Si、γ-Al_2O_3/Si、SiC/Si 和 GaN/Si 等异质结构材料制备方面取得了进展。这个问题的解决，必将极大地拓宽材料的可选择余地，开辟新的应用领域。

目前，除 SiC 单晶衬底材料，GaN 基紫、蓝、绿发光材料和器件已有商品出售外，大多数高温半导体材料仍处在实验室研制阶段，不少影响这类材料发展的关键问题，如 GaN、ZnO 和金刚石等体单晶材料制备、宽带隙 p 型掺杂和欧姆电极接触，金刚石薄膜的 n 型掺杂等，国内外虽已做了大量的研究，并在过去的几年里取得了很大进展，但距实际应用尚有较长的路要走。

5 光纤和光纤传感材料

5.1 通信光纤的发展历史和应用现状

在 20 世纪 60 年代，人们在探索大气传输光通信试验中发现，大气光通信不仅受天气和大气湍流的影响，不能保证全天候通信，而且，因为地球的曲率，必须要在几十公里处设转接站，并受地形的限制等难以满足光通信的需求。1966 年，Charles K.C 发表了《光频介质纤维表面波导》的论文，明确地提出用石英玻璃纤维（简称光纤）传送光信号来进行通信设想，并认为玻璃光纤对光能的损失可以降到 20 db/km。当时几乎无人相信用玻璃丝可以通信，因为当时最好的光学玻璃的损失是 700 dB/km，并认为 20 dB/km 的玻璃是不可能制造出来的。然而高锟的设想得到了他所在的英国标准电信实验室，英国邮电电信研究所领导和世界著名的贝尔实验室的主席 Ian Ross 等的支持。英国邮电和贝尔实验室与世界最大的玻璃厂康宁公司合作，于 1970 年研制出了损失为 20 dB/km 的光纤。这一突破进展，引发了世界范围研制光纤的高潮。经过几年的探索，人们认识到无论是从对光能的损失，还是其机械强度和温度特性等看，石英玻璃光纤都是最好的，于是石英玻璃光纤被大量推广。

1976 年，美国 Bell 实验室采用的是多模光纤，建成了世界第一条从华盛顿到亚特兰大的、传输速率为 45 Mbit/s 的商用光纤通信线路。在 20 世纪 80 年代初，单模光纤和室温连续工作的半导体激光器开发成功，单模光纤通信系统开始大量采用。因为光纤通信的传输速率和距离均大大超过电缆通信，具有巨大的经济价值，从 20 世纪 80 年代中期，光纤开始取代电缆，大量用于通信线路建设。

20 世纪 90 年代中期，采用多波长的光波分复用（WDM）光纤通信系统开发成功，光纤通信系统的容量从 Gbit/s 突然提高到 Tbit/s。充分体现出光纤通信的优越性。

光纤通信的主要优点是容量巨大。就拿现在的商用水平来说，目前 1 对光纤可以传输几千万路电话，比电缆通信要大万倍。光纤的容量的潜力是几十 Tbit/s（1 Tbit/s ≈ 10^{12} 比特/s），目前在实验室已经达到 10 Tbit/s。由于光纤通信的容量巨大，取代电缆通信是必然趋势。由于光纤通信传输无中继距离可达 100 km 以上，目前建成的海底光缆的跨洋光缆已经包围全球。光纤通信的应用早已普及，2001 年，全世界敷设的光纤长度达 4.5 亿公里。

中国在 20 世纪 70 年代初开始研究光纤通信。在 20 世纪 80 年代先后建成速率为 8 Mbit/s，34 Mbit/s，140 Mbit/s 的多模和单模光纤通信系统。在 1988 年邮电部决定采用光纤通信取代电缆通信，到 20 世纪 90 年代中期，已建成"8 纵 8 横"的全国干线网，包括到西藏拉萨的光纤通信线路。1998 年底，我国也开发出 8 波长，速率为 2.5 Gbit/s 的 WDM 光纤通信系统，并敷设在济南到青岛之间。现在，我国敷设光缆的总长达 311 万公里。目前，中国已能生产 1.6 Tbit/s（10 Gbit/s × 160）的 WDM 光纤通信系统，其光纤，光电子器件和光纤通信系统都能自主生产。

目前，光纤通信已经被普遍采用，整个通信网除剩离家庭约 1 km 仍使用金属导线外，其余都是光纤；光纤到户只是时间问题，是信息社会发展的必然趋势。

5.2 光纤通信技术的发展趋势

光纤通信是建立在具有巨大带宽、小的衰减的光纤为传输介质的高速率、大容量通信技术之上，光纤、光器件和系统设备是构筑现代光纤通信网络的三大支柱。随着通信光纤制造水平的提高、生产成本的大幅度的降低和通信光纤价格的日趋便宜等，使得光纤通信技术正在由长途核心网、城域

网、接入网逐步进入小区、大楼乃至到家庭的桌面。根据不同类型网络的特点，选择不同性能的光纤，以求能够用优越性价比的光纤来进一步满足核心网、城域网、接入网光纤通信技术发展的需求。

用来制造光纤的材料有石英玻璃、多组分玻璃、红外玻璃、塑料、晶体和光子晶体等。目前，为什么通信光纤大都选用石英玻璃，主要是由于石英玻璃具有优越的物理、化学性能，原料提纯简单，气相沉积和拉丝成形控制精度高等特点。通信石英玻璃光纤的技术发展动向是：从原材料选择方面看，该以合成材料代替天然材料，以提高其材料纯度，降低光纤衰减；在制造工艺上，必须采用复合工艺（如用 PCVD + OVD 等）来代替单一工艺（MCVD、AVD、PCVD 或者 OVD）以提高生产效率，降低光纤价格；以特殊的脱水工艺来消除通信石英玻璃光纤在 1 385 nm 的水峰来扩大通信石英玻璃光纤的可工作波长范围：1 260 ~ 1 670 nm，以满足粗波分复用 CWDM 需求。因为不同的通信网络对光纤的性能要求各异，应根据通信网络的特点选择要用光纤的品种，以满足各种各样通信网络层次的光纤通信技术的需要。例如针对密集波分复用（DWDM）核心网的远距离、大容量、高速率的通信特点，常选用 G.655 光纤。

城域网通信的特点是中距离、大容量、高速率；城域网光纤目前的研究重点是在光纤制造工艺中想方设法消除石英玻璃光纤在 1 385 nm 的水峰，拓宽工作波长范围(1 260 ~ 1 670 nm)，通过选择便宜的光源和工作波长稳定性光器件的方法来降低 DWDM 系统成本，使价格低廉的 DWDM 形式 CWDM 能够应用于城域网的汇聚层和接入层，以解决城域网发展中光纤严重匮乏的问题。

为了降低局域网光纤接入成本，短距离局域网光纤多采用石英玻璃多模光纤加发光管的配置方案。局域网石英玻璃光纤的研究重点是通过提高多模光纤梯度折射率分布控制精度和改善光源注入条件的方法来提高石英玻璃多模光纤的工作带宽和减小光纤的衰减，以适应吉比特以太网和十吉比特以太网发展的需要。

随着信息技术的不断进步，光纤、有源/无源光器件的价格日益便宜，推动了光纤到大楼（FTTB）、光纤到家庭（FTTH）、光纤到桌面（FTTD）的实用化进程。特别是近年来制造工艺简单、材料便宜和连接成本低的新型梯度折射率分布塑料光纤的开发成功，更加快了其实用化的步伐。与石英玻璃光纤相比，塑料光纤（POF）以其芯径大、制造简单、连接方便、可用便宜光源等优点正在受到宽带局域网建设者的青睐。特别是以全氟化的聚合物为基本组成的氟化塑料光纤（在 850 nm 和 1300 nm 的衰减系数小于 20 dB/km PF - POF）在局域网的逐步使用，标志着 PF - POF 正在由实验室步入局域网工程应用。

光子晶体光纤（PCF）的概念是 Russell 于 1991 年提出的，但直到 1996 年 J.C.Knight 等拉出第一根 PCF 之后，对 PCF 的研究才成为当前的热点。光子晶体光纤属于二维光子晶体，又称为微结构光纤或多孔光纤，一般由未掺杂的 SiO_2 和空气孔构成，其横截面是周期性排列的沿轴向均匀的圆空气孔，在芯子的位置，其周期性被破坏形成缺陷，光可以沿缺陷纵向传播。根据导光原理的不同，PCF 可以分为实心结构光纤和空心结构光纤［C.M.Smith et al., Nature, 424 (2003) 657］。PCF 有以下几方面的特点：①无截止单模；②不同寻常的色度色散；③极好的非线性效应双折射效应；④优良的双折射效应。PCF 作为光器件的研究要点是通过调整 PCF 的结构尺寸来实现 PCF 器件所需要的性能。例如通过对其结构参数的调整，可以灵活的设计制造正、负色散和极宽波段平坦色散的 PCF，并有希望替代普通的色散补偿光纤，成为新一代的色散补偿光纤。世界上第一个商用化的空心光子带隙晶体光纤是由英国 Blaze Photonics 公司出售的。目前，Blaze Photonics 公司目前拥有四类光子晶体光纤 PCF 产品，单模 PCF，保偏 PCF，高非线性 PCF 和中空 PCF。随着 PCF 设计方法和制造工艺的不断改进，PCF 性能日趋完善，2003 年，日本电报电话公司接入网业务系统实验室的 K.Tajima 等研制出衰减为 0.37 dB/km、长度超过 10 km 的超低衰减、超长度的 PCF，可用工作波长范围为 0.458 ~ 1.7 μm。NTT 公司的研究人员利用 PCF 组成 10 km 的线路进行了 8 × 10 Gbit/s 的波分复用传输试验，试验效果良好。由于 PCF 具有的低损耗、小色散、低非线性效应特性，随着 PCF 的导光理论、制造工艺和应用技术的成熟，有望成为下一代 光纤维通信用的光传输介质。PCF 在光纤通信系统中的应用除传输光纤和光器件外，还有光纤激光器、光纤放大器、光波长变换、拉曼放大器、光孤子激光器、光纤光栅和连续谱发生器等。

降低光纤损耗一直是人们追求的目标。目前 NTT 公司将该光纤的路径损耗降至 0.28 dB/km；另外，限制光子晶体光纤器件发展的另一个重要环节是熔接耦合问题，目前 PCF 与普通单模光纤的熔接损耗较大（1 550 nm 处约 1.5 dB），急需解决。

总之，材料科学是光纤通信技术发展的基础，通信光纤品种的不断更新、性能研究的突破，都是建立在通信光纤材料研究的突破上。石英玻璃光纤的诞生，使得世界的通信由电通信进入光通信；红外光纤研制的成功进一步减小了光纤的理论传输衰减；塑料光纤的问世，又大大降低了光纤和接续的成本，从而推动了光纤通信到家庭、光纤到桌面的步伐。光子晶体光纤的结构特点，使得其具有独特性能，为光纤通信开发出新型光纤奠定了技术基础；随着 PCF 的导光理论、制造工艺和应用技术的成熟，PCF 有望成为下一代 光纤维通信用的光传输介质。

5.3 我国光纤产业的发展现状

通信是一个国家的命脉。在全世界通信系统中，据统计 80% 以上的信息量都是经过光纤传送的，光纤光缆已经发展成为每年上百亿美元市场规模的新兴高技术产业。光纤通信在构筑高速通信网络方面已处于无可争议的主导地位。光纤光缆在过去的 20 年里发展十分迅速，到 2001 年初发展到 60 多家，在经历 2002 ~ 2003 年光电子市场萧条的冲击后，目前全世界光纤厂数已经减到 46 家；80% 左右的光纤产品是由排名前七位的企业（康宁、古河 + OFS、藤仓、住友、长飞、DRAKA + 阿尔卡特、皮瑞利）生产的。这 7 大光纤集团都是预制棒 + 拉丝 + 成缆“三位一体”的光纤光缆企业。我国长飞公司 2003 年光纤产售 650 万公里，约占世界市场的 10%，进入世界前五位。从全球单模光纤市场需求中各种光纤的市场份额的变化来看，低水峰光纤将逐步取代普通单模光纤的份额。根据国外一些著名的咨询公司和市场分析机构（KMI、RHK、TFI、TIA 等）预测，2004 年的通信光纤市场已经走出低谷，开始了缓慢但是稳健的增长，2004 ~ 2008 年期间的综合年增长率约为 5%。在目前的通信光纤制造行业中，预制棒技术仍然处于成长期阶段，相对利润较高，发展大直径长拉丝光纤预制棒已成为降低成本的有效方法，国外在研制相关制造工艺的同时也相继开发了与大预制棒相适应的高速拉丝设备和技术，并且已经逐渐应用于量产。在新型光纤研发方面，近年来特种掺杂光纤和光子光纤受到了人们的重视，我国也相应的开展了相应的研发工作。

与世界性光纤通信市场的不景气情况不同，中国的光纤通信产业的发展可谓一枝独秀，“十五”期间一直保持良好的发展态势。根据专门的咨询公司和市场分析机构预测，中国 2004 年光网络设备市场超过 2003 年的 110 亿元人民币，并且在 2005 ~ 2008 年保持约 15% 的年增长率，到 2008 年将

超过200亿人民币。中国的光纤通信一直保持良好发展潜力，骨干网容量增加的同时将进一步向自动交换光网络发展，城域网的建设正在蓬勃兴起，而接入网则向光纤到家庭(FTTH)延伸。预计在2010年以前，中国将推出高清晰度电视；2008年的奥运会、2010年的世界博览会都将对中国的经济、文化、社会面貌起到巨大的促进作用。2003年国内光纤需求量为1 400万公里左右，产能是需求的1.5倍，约2 000多万公里，拉丝能力约3 400万公里，已形成了以长飞公司为主的光纤制造企业群体。我国是除美国、日本以外的第三大光纤需求国，从规模、品种、技术、设备、原材料等综合实力来看，我国光纤预制棒产业大约落后于发达国家3~5年；加快我国预制棒、光纤、光缆三个主要生产过程的整合速度，实现光钎产业的制造专业化、产品规模化、低成本化和服务集约化，是保证我国能在与国际同行的市场竞争中占有一席之地的关键。

5.4 光纤传感技术的发展现状与趋势

光纤传感是光电子技术（信息的获取和信息安全监测）的另一个重要的应用领域。光纤传感器大致可以分为传感型和传光型两类，传感型光纤传感器具有传、感合一的特点，信息的获取和传输都在光纤之中；传光型光纤传感器是将利用其他敏感元件测得的特征量，仅由光纤进行数据传输。光纤传感器与传统的传感器相比具有很多独特的优点：抗电磁干扰、安全性好；灵敏度高；重量轻、体积小、可挠曲和可进行分布式传感，便于组成传感网络和远程监控等。这些特点使得光纤传感器在许多重要的工业、科学研究以及军事领域具有广泛的应用，比如大型桥梁和民用结构工程、电力工业中的送变电系统和网络、石油化工、船舶工业、航空航天、核工业以及军事应用等领域的化学、物理参数测量和安全监测。尤其在强电磁场、易燃易爆或腐蚀性环境的电力、煤矿、石油化工等领域的安全生产方面具有重大意义，是未来相关工业增长与竞争力方面的重要因素。光纤陀螺仪、光纤电流传感器的研究相对比较成熟，而光纤光栅分布式传感器则是目前重点研究的、具有重要潜在应用前景的光纤传感器技术。

目前，世界上已经有500多家企业生产各类光纤传感器。根据不完全统计，2002年的市场已超过10亿美元，并呈现迅速增长的趋势。现已有不同种类的光纤传感器系列产品出售，如光纤测温传感器、光纤微位移传感器、光纤液位传感器、光纤电流传感器、光纤应力传感器、光纤气敏传感器、光纤生物传感器和军用光纤陀螺等。美国是研究光纤传感器起步最早、水平最高的国家，在军用和民用两方面的研究进展迅速。在军事应用方面，主要包括水下探测的光纤传感器、用于航空监测的光纤传感器、光纤陀螺和用于核辐射检测的光纤传感器等；在民用领域他们研发的重点是运用光纤传感器监测电力系统的电流、电压、温度等重要参数，监测桥梁和重要建筑物的应力变化，检测肉类和食品的细菌和病毒等。日本和欧洲各国也高度重视光纤传感器的研究与开发并投入大量经费。日本在20世纪80年代便制定了“光控系统应用计划”，该计划旨在将光纤传感器用于大型电厂，以解决强电磁干扰和易燃易爆等恶劣环境中的信息测量、传输和生产过程的控制。

我国在20世纪70年代末几乎与国际同步开始了光纤传感器的研究，经过数十年的努力，目前已在光纤温度传感器、压力计、流量计、液位计、电流计、位移计等方面取得一批成果。其中规模最大的光纤传感器生产应用单位武汉理工光科股份有限公司，已能生产3大类（光纤液位类传感器、光纤阀位回迅器、光纤高温传感器）、23种型号规格光纤传感器系列产品，据了解该公司2004年销售收入接近1亿元人民币，其中光纤光栅传感器大约占50%。但从总体来看，国内在产品研究开发、工业化应用等方面的水平和能力还与实际需要有很大差距，光纤传感器处于实验室研制阶段的原理性样机多，真正能够批量生产和工程化应用十分有限。这与目前国家在大型桥梁和结构工程的长期健康与安全监测、电力工业中的送变电系统和网络的安全监测与管理、石油化工、船舶工业、航空航天和核设施安全监测以及军事应用（光纤惯性制导系统）等领域的迫切需要很不相称。

光纤传感器技术研发的总趋势是向多用途（同时针对多个参量进行测量）、高空间分辨率、高灵敏度和能在恶劣条件下（强电磁场、易燃易爆、高温高压或腐蚀性环境）工作以及低成本的光纤传感器的方向发展。

6 信息存储材料和器件

6.1 信息存储材料与器件的发展现状

信息的存储是信息技术中不可取代的关键组成部分之一。目前，信息存储容量正在飞速增长，以全球商用存储设备的总容量为例，1993年为2万太字节，而到2004年达到2 808万太字节，在10年中增长了千倍。计算机外部存储器容量需求将从近期的100千兆字节发展到1太字节，消费类存储器件主要以高分辨率数码相机、高清晰度数字录像机和摄像机以及数字电影为代表，存储容量要求也在TB量级。存储材料作为信息的直接载体一直是存储技术的关键和核心，存储材料按照其作用机制和特性大体上可分为光存储材料、磁和光磁存储材料及半导体存储材料等。根据存储器件的功能存储材料还可分为可录型存储材料、可擦重写型存储材料。过去20年来，固体存储器的存储容量提高了4个数量级，目前CF（compact flash）闪存卡的容量已达到3 GB~6 GB，预计今年将出现12 GB的超大容量。磁记录方面存储密度已从3.94 Mb/mm^2（100 Mb/in^2）提高到3.94 Gb/mm^2（100 Gb/in^2）以上。在今后10年的发展中，随机内存储器和高速缓冲存储器仍以半导体存储器为主，主要依赖于微电子集成电路技术的发展。在线外存储和脱机外存储中将以固体闪速（flash memory）存储器、磁存储器和光存储器为主。数字信息的外部存储和数据分配主要靠磁存储和光存储。此外，随着消费类电子产品的飞速发展，尤其是便携式电子产品市场的快速增长，也使得越来越多的关注集中在了一些新兴的非易失性存储器，如，相变随机存储器、磁阻随机存储器（MRAM）和铁电随机存储器（FeRAM）的研究和开发上。

当前，高性能的硬盘1.97 Gb/mm^2（50 Gb/in^2），100 MB/s)主要为计算机联机存储用，以专业用为主。高性能光盘（0.20 Gb/mm^2（5 Gb/in^2），10 MB/s）为脱机可卸式海量存储和信息分配，以消费用为主。内存仍以半导体存储器为主。

（1）光存储技术发展现状

光盘存储技术产生于20世纪70年代，它以单色相干的激光在远场聚焦，以微小的光斑来实现读出、记录和擦除。光盘存储技术的功能从起始的只读式，发展到可记录式，和今天的可擦重写式或随机存储式。光盘存储密度的提高取决于光斑或记录点的尺寸，从20世纪80年代的第一代CD、第二代的DVD和现在的第三代光存储器BD，使用的半导体激光器波长分别为：0.78~0.83 μm，0.63~0.65 μm和0.405 μm。相应的127 mm（5 in）光盘的存储密度分别为0.65 Gbs，4.7 Gbs和30 Gbs。

（2）高密度光盘存储材料

光存储作为高密度信息存储的主要技术手段，为适应信息技术的发展，实现超大容量、超高密度存储和超高速度存取的目标，必须发展对记录波长灵敏的、稳定的存储材料。

光存储材料按其功能可分为可录光存储材料和可擦重写光存储材料两类。

有机材料作为可录型光盘介质的记录方式属于光-热模式，即载有信息的激光束通过物镜聚焦在光盘存储介质上，记录介质在短时间内发生快速变形、熔化和分解等物理化学过程而形成不可逆的记录点。记录点处与非记录点处对光的反射率有较大的差别，用低功率密度的激光即可读取信息。可录光盘，即一次写入多次读出型光盘大多用于备份和文档存储，其存储寿命是其相当重要的指标。因此，具有良好的稳定性是选择可录光盘有机存储材料的重要条件。蓝光可录光存储介质可分无机光存储介质和有机光存储介质，前者是由无机材料如硅基合金或铋锗合金等构成的存储介质，后者是由有机材料如偶氮染料、金属酞菁和花菁染料等构成的存储介质。由于蓝光可录光盘还正在研究中，蓝光可录光盘的存储材料也正处于探索阶段。

相变光存储材料的研究开发经历了一次写入，可擦和可擦重写三个阶段。一次写入光存储是一类不可逆的相变材料，是利用非晶态到晶态的相变进行写入；另一类是可逆相变材料，用于可擦写光存储，是利用晶态到非晶态相变进行写入，而非晶态到晶态的相变则被用来进行擦除。相变材料还易于实现直接重写，使传输速率进一步得到提高。同时，解决了 CD－ROM 只读不写和 CD－R 不能擦写的缺点，满足了计算机用户对数据资料存储的更改。相变光存储材料的研究发展到今天，已经形成两种实用化的可擦重写相变光存储材料体系：Ge-Sb-Te 和 Ag-In-Sb-Tb，它们已分别被用做 CD-RW，DVD－RW 和 BD 的记录层。

（3）超高密度光存储材料

在目前的磁记录和光记录中，信息是被记录在介质的表面上的，提高存储密度的主要途径就是提高位密度和道密度，减小记录位的尺寸。近年来，在这方面已经取得了巨大的进展，但是记录位的进一步减小将受到磁性材料热稳定性和光衍射极限等条件的限制，所以这种目前普遍采用的二维存储方法已经显示出严重的局限性。大幅度提高存储密度的最有效的途径就是增加记录层，实现从二维光存储到多维光存储；从远场光存储到近场光存储；由光热存储到光子存储。光学全息存储材料、近场光存储材料、电子俘获光存储材料、光谱选通光存储材料、双光子吸收存储材料、多波长、多阶光存储材料是有希望的超高密度光存储。

（4）磁性和磁光存储材料

磁性存储（磁记录）经过一个世纪的发展取得了巨大进步。自 1898 年丹麦工程师 Poulsem 发明钢丝录音机以来，记录波长由最初的1 000 μm缩短到目前的亚微米量级。作为计算机外部存储媒体，磁记录至今仍处于记录密度逐年提高的发展态势。磁存储介质的主要形式为软磁盘、硬磁盘、磁带、磁卡等。磁存储材料涉及到颗粒磁记录材料介质，薄膜磁记录材料介质等。磁记录头（磁头）磁头材料主要有：体型磁头材料、金属合金磁头材料、铁氧体磁头材料。20 世纪 80 年代初期和后期高密度光存储和磁光存储技术相继问世，已开始动摇磁记录在外存储领域一统天下的局面。异军突起的光（磁光）存储和生气勃勃的磁记录相继发展，21 世纪初正在开发新的高密度记录技术如垂直磁记录技术、热辅助磁记录技术、图形化介质技术和高性能巨磁阻（GMR）和磁隧道结巨磁阻（TMR）磁头技术以及光磁混合存储技术等。

在众多的信息存储材料体系中，磁信息存储仍是当前最主要的信息存储方式之一。软磁盘从传统 1.44 MB 的 MFD 发展到大容量的软盘（如 120 MB 的 Super Disk 和 100 MB、250 MB、750 MB 的 ZIP 系列产品）。数字磁带从数十到数百 GB 提高到目前的 1 000 GB 以上，仍然是计算机中使用最广的数据备份和资料存档介质。根据目前的发展情况来看，Super-DLT，LTO-UI trium 和 Super-AIT 等超级磁带格式均有望在 2006 年或 2007 年提供 1 TB 以上的存储容量。硬磁盘的记录密度和存储容量预计在未来 5～10 年，面密度将从目前的 3.94 Gb/mm^2（100 Gb/in^2）继续提高 100 倍。到 2010 年，88.9 mm（3.5 in）HDD 的存储容量将达到 100 TB。

磁记录是通过磁头来实现电信号和磁信号之间的相互转换，磁头同磁记录介质一样是磁记录中关键元件。磁头在磁记录发展进程中，经历了由体型磁头－薄膜磁头－磁阻磁头三个重要阶段。以环形磁头为代表的体型磁头，是在音像和商业数字记录设备中应用最广的磁头，它所用的磁芯材料主要包括坡膜合金（Fe-Ni-Mo-Mn）、森达斯特合金（Fe-Si-Al）以及 Fe-Al 合金和 Fe-Al-B 合金。薄膜磁头是采用薄膜工艺和半导体工艺制成的高密度磁头，主要是由Ni-Fe 系坡莫合金薄膜和 Fe-Si-Al 系的森达斯特合金软磁薄膜材料制成。薄膜磁头的主要优点是工作缝隙小，磁场分布陡和磁迹宽度窄，故可提高记录速度和读出分辨率。磁阻磁头的特点是读出电压由磁通感生，产生的输出电压电平高，特别是在低频信号下。而感应式磁头是对磁通变化率的响应，所以使用磁阻磁头适合于高记录密度的读出。1991 年使用磁阻磁头后，磁记录密度以每年 60%～100% 的增长率提高。磁阻磁头材料主要有：各向异性磁阻材料（AMR）、巨磁阻（GMR）材料、自旋阀巨磁阻材料（Spin Valve-GMR）、磁隧道结（TMR）巨磁阻材料、颗粒膜巨磁阻材料（是由 Co、Fe、Ni 及其合金的纳米颗粒分散在 Cu、Ag 的基质中形成的）和超巨磁阻材料（CMR）等。

磁光存储因有光存储的大容量及可自由插换的特点，又有磁性存储的可擦重写和与磁性硬盘相接近的平均存取速度的优点而受到重视。磁光存储原理是威廉斯（H.J.Williams）于 1957 年提出的，但受条件限制，直至 1980 年，日本国际电报电话公司的今村武修才研制成功首台磁光存储驱动器实验装置，采用非晶态 GdCo 薄膜作为存储介质，虽然载噪比（CNR）与数据传输速率分别只有 35 dB 和 1 Mb/s，但已显示出了应用前景。经过 10 余年的发展，目前磁光盘的 CNR 已超过 67 dB，数据传输速率大于 30 Mb/s，88.9 mm（3.5 in）磁光盘单面存储容量也从 128 MB 增加到 2.3 GB。目前已实用化的磁光材料有：稀土-过渡金属非晶态薄膜；Pt-Co 系和石榴石氧化物薄膜用于短波长磁光记录介质等。其他材料如 MnBi、PtMnSb、合金薄膜、尖晶石型铁氧体薄膜、磁铅石型铁氧体氧化物薄膜等尚处于研究探索阶段。

此外，光磁混合信息记录和存储方式（采用近场光学方法缩小记录点，而用巨磁阻磁头来读出磁信号）和非易失性存储器，如固体闪速（Flash）存储器，相变随机存储器（OUM），磁阻随机存储器（MRAM）和与铁电随机存储器（FeRAM）等的研究也取得了重要进展。

6.2 信息存储材料的发展趋势

目前磁记录材料仍是最重要的信息存储材料。通过技术革新和巨磁阻材料的利用，磁性材料的存储密度仍有大幅度提高的空间，但是，预计到 2006 年左右，磁材料中磁记录单元（磁晶）的尺寸将达到其记录状态的物理极限，相应的存储密度为 0.39～3.94 G/mm^2（10～100 G/in^2）。在这种背景下，从 80 年代末以来，光存储技术得到了十分迅速的发展，光存储的市场不断扩大。目前，一般的光存储技术已经成熟，一次性和可擦写的光盘都已商业化。由于 20 世纪 90 年代末 GaN 基蓝、紫激光器的出现，光存储密度由于使用光波波长的变短而得到成倍的增长。下一步的发展方向是研究和开发适合蓝、紫激光波长的光盘材料。此外，由于光存储技术的面密度已接近光学衍射极限，国际上正在寻找下一代

的光存储技术和相应的存储材料，如三维光存储技术，全息存储技术，近场光存储技术和电子俘获光存储材料、光谱选通光存储材料、双光子吸收存储材料和多波长、多阶光存储材料是有希望的超高密度光存储技术和存储材料等。在这些新的存储技术中，关键还是可实用的光存储材料的研究和开发。

7 发光与显示材料与技术

7.1 发光材料

1）发光材料的分类及制备方法 发光材料是指在外界能量激发下，将部分激发能转变为光发射的材料，是重要的信息功能材料，广泛用于显示、照明、信息存储和探测等。按基质化合物属性可划分为有无机发光材料，有机发光材料，半导体发光材料和纳米发光材料等。按激发方式发光材料又被分为光致发光材料（紫外或真空紫外光激发）、阴极射线发光材料（电子束流激发）、电离辐射发光材料（X射线、γ射线或高能粒子激发）、电致发光材料（直流或交流电场激发）等。发光材料的形态有粉体、晶态和薄膜等。迄今为止，获得实际应用的发光材料有数百种，并形成了一个规模巨大的产业体系。

发光材料制备方法很多，以粉体发光材料为例，除通常采用的高温固相反应方法外，还有喷雾热解法、燃烧法和微波辅助加热法以及溶液方法（沉淀法、水热法和溶胶－凝胶法）等。不论采用什么方法，发光材料制备中原料的纯度是至关重要的，一般来说，有害元素的含量均应低到 10^{-6} 以下，而半导体发光材料要求的纯度则更高。

由于基质化合物种类、组成与结构不同以及作为发光中心的激活离子特性不同，故发光材料品类繁多、数量庞大，其中可以构成基质化合物的阳离子主要有碱土金属离子（Ca^{2+}、Sr^{2+}、Ba^{2+}），稀土离子（La^{3+}、Gd^{3+}、Y^{3+} 和 Lu^{3+}）及ⅡB族金属离子（Zn^{2+}、Cd^{2+}）；可构成基质的化合物的，除氧化物、硫氧化物和硫属化物（硫化物、硒化物、碲化物）外，更多的是各种含氧酸盐，如磷酸盐（正磷酸盐、焦磷酸盐、卤磷酸盐）、硅酸盐、硼酸盐、铝酸盐、钒酸盐、砷酸盐、铌/钽酸盐、钨酸盐等。可作为发光中心的激活离子主要有镧系离子和过渡族金属离子。例如锑和锰掺杂的卤磷酸钙、铕掺杂的氧化钇和铈掺杂的钇铝石榴石等都是常见的典型无机发光材料。

显示、照明和探测技术的进步是推动发光材料发展的关键因素，改进制备工艺、创建新的合成方法，研制长寿命、高性/价比的白光 LED 匹配的荧光体、高效无汞荧光灯粉及等离子体平板显示用发光材料等是目前颇受关注的热点研发课题。

2）发光材料研究和应用展望 19世纪末至今一百多年以来，仅无机荧光体就已合成了几万种，但其中真正能获得实际应用的发光材料大约只有50余种。对于已满足工业实用要求的这50余种无机发光材料，提高性能、降低成本是今后研发的主攻方向。

对于灯用发光材料，除普通标准荧光灯、小型荧光灯（节能灯）等灯用材料需求量急剧增加外，也对许多特殊灯（如防伪灯、杀菌消毒灯、诱蛾黑光灯、酒店或商品显色装饰灯、新型节能照明光源等）用的发光材料提出了更高的要求。

在显示领域中，发光材料的应用更加广泛，它涉及到彩色电视、电脑、示波器、雷达等显像、显示系统。提高彩电显示屏的对比度（如在彩电用红粉 $Y_2O_2S:Eu^{3+}$ 表面沉积一层红色颜料颗粒 α-Fe_2O_3，来改善其红光亮度）是关键。

在发光学研究中，提高发光材料的效率，寻找新的高效荧光体，一直是发光材料科学的前沿课题。多光子发射或级联发射荧光体有可能成为探索高效发光材料的重要途径之一。寻求与半导体发光二极管（蓝、紫光 LED）匹配产生白光发射的荧光体是当前的一个研究热点，有着广阔的应用前景。满足白光 LED 要求的荧光体，应有良好的化学与物理稳定性以及较高的猝灭温度，现已经得到应用的是掺 Ce^{3+} 的钇铝石榴石荧光体，正在研究中的材料体系主要有 Eu^{2+} 激活的多氮硅化物和碱土金属硅酸盐等。

探索新的发光材料，目前尚无完善的理论遵循，只能凭借经验通过实验筛选，其中“正交试验”方法、计算机模式识别方法和20世纪90年代初发展起来的组合化学等方法是比较有效地发现新材料的方法。应用组合化学方法已经发现多个新的发光材料，如红色发光材料 $Y_{0.845}Al_{0.07}La_{0.06}Eu_{0.025}$-$VO_4$ 和蓝白色发光材料 Sr_2CeO_4 等。

量子点发光材料是目前研究的另一个热点，足够小（2～10 nm）的量子点会形成的一种无散射的透明发光层，可用做发光显示或柔和光源，特别是在医学上可望用做光学成像的发光标记。

荧光体除用于标准照明灯和显示器件外，还可用做复印机用蓝光发射荧光体 $Sr_2P_2O_7:Eu$（$\lambda_{em}=420$ nm）、皮肤病治疗紫外仪器用荧光体（La，Gd）$B_3O_6:Bi^{3+}$（$\lambda_{em}=311$ nm）和防伪、广告装饰等显示或照明装置用荧光体以及用于医疗X射线影像增感屏的X射线荧光体 $BaFBr:Eu^{2+}$ 等。

7.2 显示材料与技术

显示器件分为发光型显示与非发光型显示两大类。液晶是非发光型显示器件的代表，是当前平板显示器的主流产品。而发光型显示器件则包括：阴极射线管（CRT）显示器、等离子显示器（PDP）、有机发光二极管显示器（OLED）、真空荧光显示器（VFD）、无机场致发光显示器（ELD）、无机发光二极管（LED）和场致发射显示器（FED）等。传统的阴极射线管（CRT）体积大、重量重、有闪烁、电压高等缺点，已越来越不适应信息社会对信息显示的实时和便携的要求，这就极大地促进了平板显示技术的迅速发展。全球显示市场2002年580亿美元，平板显示（FPD）占有51%，已与传统 CRT 市场持平；2003年已达到640亿美元，其中，FPD 占有64%；2004年将达到820亿美元，其中，FPD 将占有73%。可以预料，在未来数年内，FPD 将成为显示技术产业的主力和处于统治地位。在这整个 FPD 应用市场中，今后几年内，α-Si TFT－LCD 仍将占有70%以上，PDP 占15%左右，OLED 约占3%。下面分别介绍 LCD、PDP 和 OLED 显示屏及关键材料的现状和发展趋势。

1）液晶显示 液晶显示器由于其工作电压低、功耗小、重量轻、体积小和便于携带的优点，加之它“固有”的显示视角小、响应速度较慢等不足已不同程度的得到克服和改善等，而成为目前显示器件的主流产品。LCD 产品中应用最多的有以下三大类：扭曲向列型（TN－LCD），超扭曲向列型（STN－LCD），薄膜晶体管型（TFT－LCD）。目前全球 LCD 产业中，TN－LCD 和 STN－LCD 主要集中在中国，而 TFT－LCD 则主要集中在日本、韩国和中国台湾地区。TFT－LCD 的生产线根据基板尺寸大小一般按世代划分。目前第3代及第5代生产线是 TFT－LCD 产品生产的主力。随着时间的推移，第5代及以上的生产线将取得支配地位。目前日本仍掌握着 TFT－LCD 的核心技术，特别是在 TFT－LCD 的基本结构和基本机理的核心专利、核心装备制造以及基础材料和零部件等方面，仍处于优势地位。韩国在 TFT－LCD 大尺寸生产线（5 G、6 G 和 7 G 生产线）工艺制造和产品开发方面处于领先地位。中国台湾地区在 FT－LCD 生产规模上已接近

韩国。LCD 显示屏产品用材主要有液晶、玻璃基板（包括 ITO 玻璃）、偏光片、彩色滤光片、关键零组件。

我国在 LCD 方面的 TN-LCD、STN-LCD 显示屏和模块已形成规模生产，在全球占有很大份额，两条第 5 代 TFT－LCD 生产线已在中国建立并开始试生产。因此，LCD 相关材料有很大的应用市场，而且我国在液晶材料、偏光片方面已有较好的技术基础。

2）PDP 显示屏　彩色 PDP 具有大屏幕、宽视角、厚度薄、重量轻、色彩鲜艳、全数字化等一系列优点，目前最大亮度达到 1 100 cd/m²，最大暗室对比度达到 5 000∶1，灰度级从 256 到 1 024，对角线尺寸从 812.8 mm（32 in）到 2 032 mm（80 in），显示容量从 852×480 到 1 920×1 080，已成为大屏幕数字电视和高清晰度电视理想的显示器件。最近，韩国三星开发出对角线 2 590.8 mm（102 in）的彩色 PDP。目前，PDP 产业已形成七大公司的格局：FHP，松下电器，先锋，三星 SDI，LG 电子，华映光电和台塑光电。为了进一步巩固和提升彩色 PDP 产品的市场竞争力，PDP 技术及产品今后的主要发展趋势是降低生产成本、减少功耗、提高发光效率和改进显示画面质量等。如生产成本要从目前大约 2.56 美元/mm（65 美元/in）降低到 1.57 美元/mm（40 美元/in），通过优化产品结构和电路设计，使 1 016 mm（40 in）级 PDP 产品功耗从目前 300 W 左右降低到 200 W 以下和采用 10 位或者 12 位视频信号替代目前的 8 位，显著提升 PDP 产品的彩色和灰度再现能力等。PDP 主要材料产业涉及高应变基板玻璃、荧光粉及其浆料、驱动 IC、电极材料、介质层材料、MgO 材料、障壁材料、光学滤光片等。

在 PDP 方面，国内只有一家日本松下公司控股的企业生产显示屏，国内整机厂的 PDP 显示屏受制于人，急需建立 PDP 显示屏生产线。目前，国内有两条大屏幕彩色 PDP 中试线，开展了显示屏生产技术的研究开发，做出了 1 066.8 mm（42 in）彩色 PDP 显示屏、模块和整机，申请了多项专利，固化了显示屏生产工艺。此外，我国还开发了具有自主知识产权的 PDP 高效荧光粉。

3）OLED 显示技术与材料

① 有机发光二极管显示技术　OLED 以其低廉的成本和良好的柔性，已成为全色高亮度、大显示屏研究的又一大热点。根据 iSuppli 最新的统计及预测，OLED 2003 年出货 1 726 万片，2004 年 OLED 出货量达到 3 530 万片，比 2003 年增长 107.6%。产值 4.29 亿美元，增长 74.4%。预计 2010 年时，全球 OLED 出货量将可达 2.89 亿片，是 2004 年的 8 倍多。2008 年以前，OLED 主要市场为中小尺寸的应用领域，应用产品有手机主、副屏，掌上电脑（PDA），MP3，数码相机，摄像机，手持 DVD，车载显示，仪器仪表等。目前 OLED 主要用于手机副屏、MP3、车载显示、仪器仪表等，产品以 PM－OLED 为主。2004 年，PM－OLED 产品在 OLED 市场中约占 95% 的份额。2005 年以后，OLED 逐步进入手机主屏、PDA、数码相机、摄像机、DVD 等领域，AM－OLED 的比例快速增长，2007 年以后，OLED 将在笔记本电脑、台式显示器、电视等领域逐步获得应用，AM－OLED 将会很快成为主流产品，iSuppli 预测，至 2010 年 AM－OLED 产品在总体销售额中所占的比例将升至 79%，全球 OLED 的销售额将达到 40 亿美元以上。小分子 OLED 产业化已经起步，今后 3～5 年是发展的关键时期。实现大规模产业化的国家和地区主要集中在东亚的日本、韩国和中国台湾地区，中国大陆 2005～2006 年也将实现产业化。

有机半导体材料是 OLED 器件的核心材料。近年来有机半导体材料的发光效率及寿命已有了很大的提高。OLED 小分子绿色荧光材料的发光效率已达到 261 m/W，初始亮度为 1 000 cd/m² 时，寿命可达 25 000 h；蓝色荧光材料初始亮度在 1 000 cd/m² 时，寿命达到 21 000 h；红色荧光材料的发光效率还不高，还只能达到 6 cd/A。小分子磷光材料具有更高的发光效率，是今后重点发展的有机半导体材料之一。目前红色磷光材料的发光效率已达到 11 cd/A，在500 cd/m² 初始亮度下，寿命已超过 35 000 h；绿色磷光材料发光效率达到 29 cd/A，在 1 000 cd/m² 初始亮度下，寿命也已经超过 20 000 h；蓝色磷光材料发光效率也已超过 30 cd/A，但寿命问题依然没有解决。全球 1/3 以上的手机是在中国大陆生产的，2004 年全球手机产量为 5.16 亿只，其中采用 OLED 的为 3 600 万只左右。中国大陆也是 MP3 的生产基地，其中 70% 以上在中国大陆生产，2005 年全球 MP3 的产量为 3 000 万只，采用 OLED 的 1 200 万只；2008 年 8 000 万只 MP3 中用 OLED 的将达到 6 400 万只，市场前景看好。

② 国内 OLED 技术研发概况　我国 OLED 技术的开发与国际上基本同步，在过去几年里，我国在有机发光机理研究、材料开发、器件结构设计和生产工艺等方面取得了一批具有自主知识产权的研究成果，部分成果已达到国际先进水平。目前我国从事 OLED 研发和产业化的单位有 40 多家，在“十五”期间，国内已经建成多条 OLED 中试生产线和实验线，掌握了小尺寸 OLED 产品设计和生产制备技术，开发了多款单色、多色和彩色产品；单色产品已经实现了批量生产和销售，产品性能已经达到国外先进水平。北京维信诺科技有限公司已经具备了年产 10 万片 25.4 mm（1 in）单色 OLED 的小批量生产能力，多款产品已正式进入市场，分别在手持设备、通信终端和仪器仪表等领域获得了应用。此外，该公司还开发了 96×64 多色、彩色及 128×160 彩色 OLED 产品样品，并计划于 2005 年投资 5 亿元建设一条可年产 25.4～50.8 mm（1～2 in）PM－OLED 800 万只生产线；广东信利半导体公司 2003 年引进了一条 PM－OLED 小批量生产线，目前正在进行产品及市场方面的开发，该公司也准备在 2005 年引进大规模生产线。计划进入 OLED 产业化的还有五粮液集团、TCL、普天集团、上广电、京东方等多家企业。

8　信息获取相关材料与器件

探测器和传感器是信息获取的主要手段。探测器若按光电转换方式划分，光电探测器可分为光电导、光生伏特型和热电偶型；根据探测的波长可分为近、中和远红外、可见和紫外光探测器，本节将根据探测的波长分类进行介绍。传感器材料若按其基本理化性质进行分类，几乎可以涵盖导体、半导体和绝缘体所有材料类型，但目前常用的主要是半导体传感器材料和光纤传感器材料，光纤传感器材料因在前一节中已有描述，这里就不在赘述。

8.1　探测器材料与器件

光电转换中根据探测光子的波长可分为红外、可见和紫外光探测器材料与器件，它不仅涉及到众多的窄带隙半导体（如 HgCdTe、InSb、PbTe、InAsSb、PbEuTe 等），宽带隙半导体材料（如 GaN、ZnO 和金刚石薄膜等）和超晶格、量子阱材料，而且还包含非半导体的热敏和铁电薄膜材料（如 PZT、BST、SBT 等），下面将给予简单的分述。

（1）红外探测器材料与器件

当代最主要的用于红外辐射探测的材料是以 HgCdTe 为代表的窄禁带半导体材料。HgCdTe 体单晶和外延薄膜生长（液相外延、MBE 和 MOCVD）都取得良好进展。其中 HgCdTe 的液相外延和 MBE 生长受到人们特别重视。为了满足大规模红外焦平面列阵器件研制的需求，人们已经能够生长大面积均匀和性能良好的薄膜材料，并在薄膜生长过程中就能完成 PN 结的制备及对其特性的控制。Si 基 HgCdTe 材料的制备以便于实现探测器芯片与 Si 基读出电路单片集成的

研究也得到了重视。HgCdTe材料的各种非破坏、无接触表征方法，材料中杂质、缺陷、表面、界面行为和控制，HgCdTe中载流子的激发、传输和隧穿规律以及HgCdTe系列低维结构的制备及其物理特性的研究等，是目前该领域的研究热点。此外，其他窄禁带半导体材料如InSb，InSbAs，PbTe，PbEuTe等的研发也受到人们的关注。

半导体低维结构（如Ⅲ～Ⅴ族半导体量子阱、量子线、量子点结构等）是近十多年来发展起来的另外一类红外光电功能材料，已用于制备红外探测器及焦平面列阵，特别是用于制备多色长波长探测器。利用量子阱子带间光跃迁具有较窄的光谱响应特征，中、远红外波段光发射器件（量子级联激光器）业已研制成功。半导体低维结构用于红外非线性元件的研究也是重要方向。

热敏红外材料包括热敏电阻型材料和热释电材料。特别是铁电薄膜材料是近年来人们非常重视的材料。除了它可以用来研制非挥发存储器以及压电驱动器等多种应用之外，主要用来研制室温工作的焦平面列阵红外探测器。目前最受重视的是PZT和BST等铁电薄膜，一般采用溶胶－凝胶法，溅射法，激光等离子体沉积和MOCVD等方法来制备。关于铁电薄膜材料的物理研究，特别是与红外探测器相关的物理特性，自发极化的微观机制是等近年来国际学术界和工业界的热门研究课题。

(2) 可见与紫外探测器材料与器件

通常把带隙宽度大于2.5 eV（或2.2 eV）的半导体材料称为“宽带隙半导体”，主要有Ⅲ族氮化物如GaN，ZnO、SiC和金刚石等。基于宽带隙半导体的固有性质，宽带隙半导体探测器具有响应度高、耐高温和抗辐照的特点，可用于可见、紫外、X射线、α粒子和γ粒子的探测，作为新一代探测技术在现代工业社会、生物医疗、高技术和国防科技上有着极其重要的应用前景。

1) 紫外（UV）探测器　紫外探测，在引擎、环境、火焰监测，生物技术和天际通信等领域有着重要的应用价值。基于Ⅲ族氮化物、ZnO基化合物、Ⅱ～Ⅵ族化合物等直接带隙半导体以及间接带隙的SiC和金刚石半导体等材料各自的特点，都可用于发展各种类型的UV探测器件。这方面的研究发展很快，器件性能已达到很高水平，例如，$Al_{0.28}Ga_{0.72}N$ p－i－n结UV探测器在365 nm的响应度达到200 mA/W。SiC pn结UV探测器峰值波长270 nm时的探测响应度在150～175 mA/W，量子效率达到70%～85%。ZnMgBeSe p－i－n探测器在峰值波长为430 nm时，响应度为220 mA/W。

2) 太阳盲紫外光探测器　太阳是一个极强的紫外辐射源，它覆盖了从近紫外到远紫外的光辐射。由于地球大气臭氧层对230～280 nm波段只有强的吸收作用，因而这个窗口成为地表空间的“太阳辐射盲区”，它为地球表层空间紫外探测提供了一个不受太阳辐射影响的背景。研究开发太阳盲区的紫外探测在航天技术，国防预警与跟踪技术等方面有着极其重要的应用价值，已成为当前的研究热点。过去沿用到现在的紫外探测主要是利用紫外光电倍增管或硅光电二极管，前者必须需用高压源，后者需要用滤波器。不仅体积大、而且效率低，不能满足现代高科技发展的要求。Ⅲ族氮化物和ZnO宽带隙半导体为发展新一代太阳盲区的紫外探测开辟了新途径。Ⅲ族氮化物$Al_xGa_{1-x}N$三元合金的带隙从3.4～6.2 eV，对应的光学窗口为200～365 nm，覆盖了太阳盲区的紫外波段，通过对$Al_xGa_{1-x}N$/GaN异质结构能带剪裁，解决高Al组分材料的生长技术，可用来发展高速、低噪声、高灵敏度半导体太阳盲紫外探测器。

3) 粒子探测器　基于SiC、ZnO、金刚石半导体以及Ⅱ～Ⅵ族化合物的抗辐射特性，这些材料制成的高能粒子探测器，可用于探测中子、X射线、α粒子和γ粒子。SiC肖特基粒子探测器对热中子流在10^4～$10^{11}/cm^2\cdot s$有很好的线性响应。$Cd_{1-x}Zn_xTe$（$x=0.08\sim0.3$）辐照探测器可探测X射线和γ射线，探测光子能量从10 kV到1 MeV，可用于医学诊断、工业制造无损检测、天文以及核工业和科学研究等领域。它是目前唯一能在室温工作的辐照探测器，其工作温区从－30～＋80℃，非常适用于工业制造环境。用CdZnTe探测器诊断人体心脏造影图，可清晰看到冠状动脉。

8.2 半导体传感器材料的发展现状与趋势

(1) 半导体传感器材料

半导体材料（包括晶体、非晶体和陶瓷等）是当前最通用、最重要的传感器材料，其中应用最广、功能最齐全的为硅和以硅为基的化合物或固溶体，如石英、碳化硅、锗硅合金、多晶硅和非晶硅等。半导体传感器按其探测对象的基本属性，原则上可分为温度传感器、光传感器、机械力和电磁力传感器、气体传感器和探测酸碱度之类化学量的化学传感器以及探测细菌、病毒之类特殊物质的半导体生物传感器等。半导体温度敏感传感器，除金属与半导体和半导体与半导体构成的热电偶外，利用半导体材料电阻随温度变化的特点做成的热敏电阻，分为正和负温度系数两种，大多数半导体材料，如锗、硅和GaAs等都属于负温度系数材料。

根据霍尔效应或磁阻效应将磁场强度转变为电信号的半导体材料称为磁敏半导体材料。尽管所有半导体材料都有程度不同的霍尔效应，但为了提高其灵敏度，一般要采用载流子迁移率较高的材料，如锗（电子迁移率μ_n＝3 900 $cm^2/V\cdot s$）、砷化镓（μ_n＝8 000 $cm^2/V\cdot s$）、锑化铟（μ_n＝78 000 $cm^2/V\cdot s$）和砷化铟（μ_n＝30 000 $cm^2/V\cdot s$）等。利用在磁场作用下材料电阻升高（磁阻效应）而制造的磁场传感器被称为磁敏电阻。一般的半导体和许多磁性金属与合金都具有磁阻效应，为了得到尽可能高的磁场灵敏度，常常采用特殊的几何形状和复合材料结构，如Fe/Cr或Fe/Cr/Fe复合体等，这种复合结构功耗小，灵敏度基本不受温度变化的影响。巨磁阻（GMR）效应的发现，使磁敏电阻的灵敏度提高一个量级，它已在超高密度读写磁盘上得到了广泛应用。

具有压电效应的典型材料除石英（SiO_2）、铌酸锂（$LiNbO_3$）晶体，钙钛矿结构的陶瓷和聚偏氟乙烯（PVF_2或PVDF，一种压电聚合物）之类的聚合物外，多种半导体材料，如ZnO、CdS和ZnS等，常被用来制作MOSFET型压力传感器中的压电薄膜。

压阻效应则是指材料因承受机械应力或压力而改变其电阻率的现象。大多数半导体都具有明显的压阻效应。这是因为对杂质浓度较低的半导体材料，它的电阻率取决于材料的能带结构，外力通过引起的固体原子间距的改变（能带结构的变化），从而引起材料电阻率的变化。Ge、Si、InSb和GaP等都是压阻半导体材料。

气敏和酸碱度传感器是另一大类的半导体传感器，涉及到很多半导体材料体系，如α-Si:H氢气传感器，CuO/ZnO半导体异质结CO探测器和利用具有p型半导体特征的聚吡咯（在NH_3中电阻率升高，而在NO_2中电阻率下降）制作的化学气氛的传感器等。此外，某些半导体陶瓷也有类似的功效，如ZrO_2陶瓷是一种制造氧分析器的主要材料；而SnO_2陶瓷则可用来制造检测CO、CH_4、C_3H_8、乙醇和苯等多种气体的传感器，Fe_2O_3丙烷传感器，In_2O_3薄膜臭氧传感器，V_2O_5薄膜的NO_2传感器以及$LaNiO_3$和（$Ln_{0.5}Sr_{0.5}$）CoO_3乙醇传感器等等。

(2) 半导体传感器材料发展趋势

21世纪人类将进入“3 T”（1 T＝10^{12}）纪元，作为信息技术的重要组成部分的半导体传感器的主要发展趋势是，发

展基于新原理、新材料和新技术的更加灵敏、精确、智能化和人性化的传感器材料与器件，以满足信息技术的迅速发展。随着超晶格、量子阱材料生长技术、纳米技术、生命科学技术和超导技术等的发展，生物材料和生物传感器、基于纳米材料和纳米技术的微/纳传感器，基于宽带隙半导体材料的碳化硅高温传感器、利用多晶金刚石薄膜制造的微型传感器（如热敏电阻、压力传感器、流量传感器和化学传感器）以及用于对人脑和其他生物系统产生的微弱磁场检测的超导量子相干器件等得到迅速发展。

以光信息为传输媒介的新型传感器和传感器材料发展迅速，光信息传感器的优势在于它具有抗各种电磁波和高能辐射线干扰的性能，良好的力学性能，绝缘无感和耐水、耐高温、耐腐蚀等，前面提到的光纤传感器就是这种类型传感器的典型例子。利用很少光能的光纤传感器无须电路连接，不产生热量等优点，广泛应用于大型建筑、桥梁、飞机、舰船性能和恶劣环境设备的监控等。

长期以来，传感器材料和器件的开发和利用，主要是面向工业、国防和科技事业。到 20 世纪后期，则逐渐向与人类的生存状态密切相关的环境、生态、特别是直接与人体和生命相关的医学领域扩展，如可对癌症、心血管疾病等进行早期诊断的由纳米材料制成的、极为灵敏的生物和化学传感器，用来检测 CO、NO_2 和其他有毒气体的半导体 SnO_2 传感器和对温室的温度、湿度、光照和 CO_2 浓度及对农药残留物进行检测与监控的传感器等。这些新的领域很有可能成为新世纪传感器材料与技术发展的另一个主要方向。

9 全固态激光材料和器件

全固态激光器（DPL）是以大功率半导体激光器作为泵浦源，人工晶体（激光晶体、非线性光学晶体和多晶陶瓷材料等）为工作介质的固体激光器。全固态激光器集通常的气体、固体激光器和半导体激光器的优势于一身，与灯泵固体激光器相比，效率高，体积小，可靠性和寿命均得到显着提高；此外还具有操作简便、运转灵便和无污染等优点，广泛地应用于全色显示、激光加工、三维光存储、光刻、医疗、激光核聚变、激光同位素分离、激光武器、激光制导灵巧炸弹、激光雷达等领域，受到世界各发达国家的高度重视。目前国内外中小功率（1～500 mW）半导体激光器已商品化。大功率 DPL 连续波和准连续基频器件实验室已达 10 kW，在 7.2 kW 时电光效率为 22%，商品化器件已近 1 kW。脉冲运转激光器已达每个脉冲输出能量焦耳级。连续波绿光器件已有 1～15 W 商品，紫外（355 nm）准连续器件已有约 10 W 试销品。国内在连续和准连续波绿光器件以及脉冲器件研发方面虽有较大进展，但与国际水平相比存在较大差距。在大功率连续波半导体激光光纤耦合模块（20 W）和叠层准连续模块（5 000 W）研发方面，虽已接近国际水平（光纤耦合连续波模块大于 40 W，实用化准连续叠层模块超过5 000 W），但器件的实用化水平仍有差距。提高器件长期工作的稳定性和可靠性，特别是提高大功率半导体激光器的寿命，大幅度降低成本是该领域今后的发展趋势和主要奋斗目标。

激光和非线性晶体材料是激光技术的物质基础，我国在此类晶体材料的研发方面有较大优势，但在晶体批量生长和后加工以及光学镀膜技术等方面落后于国外，尚不能满足产业化的要求。近年来我国在高光学质量、大尺寸激光晶体材料制备等方面有了长足进步，并在可调谐、大功率和复合功能三个应用方面，取得了较大的进展，如掺钛蓝宝石晶体等可调谐激光晶体已实用化，Nd:YAG 产量已占国际市场的 1/3，Nd:YAG 和铝酸镁镧等新型大功率激光基质正向千瓦级器件发展等。特别应当指出的是，我国通过对非线性光学晶体微观结构与宏观性能相互关系的研究，建立了相关的理论模型，通过工艺优化和反复地实验筛选，相继研制成功偏硼酸钡（BBO）和三硼酸锂（LBO）等有着重要应用价值的多种新型倍频晶体，在国际上享有盛誉。此外，我国还在特大尺寸 KDP 晶体和以铌酸锂为代表的三维光存储材料研制和应用方面做了很好的工作。为缩小我国该领域在产业化方面与国外的差距，为发展我国的全固态激光高技术产业，建立一个国家级的研发技术平台，开展创新研究和关键技术攻关，是非常必要的。

10 光子晶体和左手材料

10.1 光子晶体的研究现状与发展趋势

1）光子晶体概述　光子晶体的概念是由 S. John 和 E. Yablonovitch 于 1987 年同时提出来的，它是一种介电常数随空间周期性变化的新型光学微结构材料。光子晶体中介电常数呈周期性变化导致布拉格散射，从而出现光子导带和带隙。频率（波长）处在禁带范围内的光子，被禁止在光子晶体中传播，若在光子晶体内植入缺陷，可形成能按特定路径引导光传递的光波导和可将光局限于非常小空间的光学微腔。

与微电子技术能够精确地控制半导体中电子流类似，光子带隙能使人们方便地控制光子在光子晶体中的传播行为，使之成为未来集成光子技术所需的基本单元，在光通信、光电子和光子学等方面引发革命性变革。从维度上看，光子晶体可分为一维、二维和三维光子晶体。而从组成材料上分类，光子晶体可分为纯介电型和金属/介电型光子晶体。由于一维光子晶体在 5.2 节已有简述，故下面只介绍二维和三维光子晶体的研究动态。

2）二维光子晶体　在过去的几年，二维光子晶体研究之所以能取得重大的进展，主要是得益于成熟的半导体微加工工艺。2003 年，日本东京大学 Noda 研究组成功地制备出了硅基的二维光子晶体，并通过引入缺陷，获得了具有高 Q 值的光子微腔。2004 年，加州工学院的研究组通过在砷化镓基质上打孔，制备出含有单量子点的二维光子晶体微腔。采用半导体技术制备的光子晶体微腔，品质因子高，对应的电磁波模式具有很窄的线宽，可用作高质量的光学滤波器和优良的纳米激光器的光学谐振腔。这类光子晶体主要是以半导体材料为基质，为了能够将光的传播限制在二维平面内，在与衬底垂直的方向通常采用全内反射方式来约束光能量泄漏，这不仅给光子晶体的衬底材料的选择受到限制，而且依靠全内反射光的泄漏损耗仍然是一个有待改进的问题。

现代微加工技术为制备高质量的二维光子晶体与光学微腔及其器件（如极低阈值激光器、光波导、波分复用器件和化学传感器等）应用打下了坚实的基础，并为基础物理问题，包括腔量子电动力学、光学负折射现象、切伦科夫效应等问题研究提供了实验手段。由于受到半导体微加工技术水平的限制，我国尚处于初步的探索阶段。

3）三维光子晶体　为了能充分利用光子带隙效应对光的传播途径的控制，研制三维光子晶体则势在必行。与二维光子晶体相比，可见光/近红外波段的三维光子晶体的研制则困难得多，是对现代微加工技术的挑战。美国圣地亚国家实验室在 1998 年制备出红外波段的三维光子晶体，这种晶体看上去是由硅的条形棒堆砌成的三维结构，又称为木堆结构。最近，日本京都大学设计并研制成功带隙在 1.55 μm 波长附近的三维光子晶体，这种三维人工晶体的周期只有 700 nm，采用的材料是Ⅲ～Ⅴ族砷化镓或磷化铟。

利用了一些有机材料在光的照射下发生固化反应这一特性，采用全息技术可方便地获得周期在亚微米的三维有序结构，但是，由于聚合物的折射率与空气的对比度较小，这样

的结构一般不具有全带隙。另一种能够实现周期在亚微米的三维有序结构的方法是采用由胶体微球构成的所谓蛋白石晶体。这种晶体的层数可达数百层，而且可以生长出大面积。实验上也证实采用这种材料为模板，通过在其孔隙中填充高折射率的材料所获得的反蛋白石结构可具有全光带隙。但是这种体系不仅带隙窄，而且对填充材料的折射率的要求极为苛刻。目前只有硅满足相应的条件，并取得了成功。但如何在这样的体系中人为的引入缺陷还有待进一步的探索。

在光子晶体研究方面，一个重要的分支是研究含有金属组份的光子晶体。由于金属材料对电磁波的强散射效应，采用金属材料构成的光子晶体有更宽的光子带隙。在2004年第五届国际光子晶体会议上，美国圣地亚国家实验室的研究组报道了采用金属钨构成的近红外波段的金属光子晶体替代传统的金属钨灯丝，可以使得灯泡的发光效率提高60%，引起与会者的极大兴趣。

基于金属/介电型光子晶体还表现出对晶格对称性的不敏感性，采用亚微米的金属纳米球壳自组装而得到的三维结构，很可能在可见/近红外区这一波段产生一个宽光子能隙。

在制备大面积、周期在亚微米以下的三维光子晶体薄膜方面，应该说全息方法和自组织方法比起微加工技术有很大的优势，但是在这些晶体中引入并控制缺陷，现在看来非常的困难。虽然目前还不能利用这些光子带隙材料实现光波导，但是已有的研究表明这些材料在诸如原子自发辐射、超快光子开关等方面有着重要的应用前景。

在研究金属型光子晶体方面，近几年一个与之相关的新的学科正在形成，这就是所谓的等离激元学。表面等离激元是指光与金属表面的自由电子相互作用，而形成的沿导体表面传播的一种表面波。这种元激发局限在一个纳米级区域，使得局域电场提高数个量级。表面拉曼增强就是利用了这种局域电场增强效应。金属型光子晶体兼有光子能隙和局域电场增强效应。利用亚波长结构金属薄膜还可以聚集和引导光场。加州理工学院的研究组利用全同的金属纳米颗粒阵列的等离激元之间的耦合实现光波导。由于其导模的横向尺度被控制在光衍射极限以下，从而能真正实现纳米波导。

可以预计，通过在金属表面引入亚波长结构，不仅可以改变等离激元的性质，更重要是可以调控其与光的相互作用。由此可发展一些新型的微型光学器件，其尺度可能会远小于目前所能达到的水平。同时等离激元共振频率对环境的折射率变化高度敏感，在生物传感器方面具有应用前景。

10.2 左手材料的研究现状与发展趋势

(1) 左手（负折射率）材料国内外研究现状

1968年Veselago从理论上提出了左手材料的概念。所谓左手材料是指对电磁波响应的介电常数和磁导率，在同一频段同时为负的材料，即电磁波在这种材料中传播时它的电场$\boldsymbol{E}$矢量、磁场$\boldsymbol{H}$矢量和波矢$\boldsymbol{k}$服从左手定则，自然界中很少或没有这样的介质。在左手材料中，电磁波的群速度和相速度方向相反，导致左手材料中存在反常Snell定律（即负折射效应）、反常Cherenkov效应和反常Doppler效应等一系列与人们熟悉的现象相反的奇特效应。2000年Smith利用分裂双环谐振器（SRR）结构，首次在微波波段（5 GHz）获得了人工结构的负折射材料，英国科学家Pendry提出了利用负折射材料实现“超透镜”的设想，进一步激发了对负折射率材料研究的兴趣。2003年12月19日美国《科学》杂志将左手材料列为当年的十大科技进展之一。近几年取得重要的进展，概括起来有以下两个方面：

1）负折射率材料的研究　①沿着Pendry的SRR思路，设计不同的环状结构，以提高负折射的频率范围。利用电磁波与微结构金属环路形成共振，实现负介电常数和负磁导率，以英国Imperial College的Pendry和UCSD的Smith研究组为代表。目前，已取得的重要进展是将负折射的频率提高到了红外的波段达到100 THz和200 THz。②利用光子晶体，通过强散射实现光波群速度的负折射。主要的进展是利用光子晶体负折射效应实现了微波及红外波段的平面透镜成像，研究机构以MIT和Iowa州立大学为代表。③微结构晶体的方案：离子型声子晶体是一类由铁电、压电材料构成的，具有压电系数周期性调制的人工微结构材料。在压电超晶格中，通过人工控制的微结构实现了材料在设定频段（微波和远红外波段）的电磁波响应具有负的介电常数。最近，又进一步发展了压电超晶格材料，设计了压电/压磁超晶格。由于压电和压磁材料构成的超晶格既能够实现电磁波的电场和压电超晶格的耦合，又能够实现电磁波的磁场与压磁超晶格振动耦合，因此，可以通过人工设计，在同一频段同时实现负的介电常数和负的磁导率。这一结果为设计和实现负折射材料探索了一条新的途径。南京大学开拓了这方面的工作。④利用局域电磁共振是形成左手材料的另一个重要机制。与光子晶体中的Bragg机制比较，局域共振机制不要求周期结构的晶格常数要与能隙的电磁波波长相比拟，而且对无序和缺陷不敏感。同济大学、香港科技大学在局域共振机制形成左手材料方面已取得具有特色的研究成果。

2）左手材料物理效应的研究　①超透镜效应，由于具有负折射效应，因而可以通过左手材料平板实现光波的聚焦和成像，而不像通常的材料使用凸透镜。由于具有负的折射率，使得通常材料中高频衰减波能够在左手材料中传播，因而突破了通常材料的衍射极限，实现亚波长分辨率成像。②探索各种波动现象中的负折射，例如声波、水波的负折射效应。复旦大学在水波负折射现象的探索中进行了开拓性的研究，香港科技大学、武汉大学、北京师范大学和南京大学在声波负折射研究中取得了进展。③探索其他物理效应的研究：如反常Cherenkov效应和反常Doppler效应。

(2) 左手材料发展趋势

1）寻找负折射率材料　探索、寻找在微波、远红外、通信波段，甚至可见光波段的负折射率材料（左手材料）。主要目标是：尽量拓宽负折射发生的频率范围；尽量降低损耗（光子晶体具有优势）和寻找各向同性的左手材料。

2）探索和验证负折射率材料中奇特的物理效应　目前，最引人注目的是“超透镜”现象的研究。最近UC Berkeley的张翔小组在这方面的研究中取得了重要进展。他们一方面在实验上证实了金属薄膜（如Ag薄膜）可以作为光频段的左手材料；另一方面，验证了负折射的“超透镜”效应；其次，为纳米器件的制备和应用提供了一种新的方法和原理。

综上所述，可以看到，目前取得的重要进展和受到广泛关注的仍是负折射效应和Pendry在此基础上提出的“超透镜”效应。其他的方面，反常Doppler效应和反常Cherenkov效应等其他效应的研究还非常少。

11 超导电子学器件和量子信息材料

本节分为两部分，第一部分简要介绍超导材料在超导电子学器件等方面的发展现状与应用，第二部分粗略地介绍一些与固态量子比特构筑和量子计算相关的初步知识，供读者参考。

11.1 超导材料与超导电子学器件的应用简介

超导是指在一定的临界温度（T_c）以下，材料呈现零电阻状态，同时在超导体伴随抗磁通现象。1911年，荷兰科学家Heike Kamerlingh Onnes领导的研究组发现了第一个超导体Hg，从此拉开了人类认识超导现象、探索新型超导材料和开发超导应用技术的序幕。按照超导临界转变温度T_c的高

低，将超导体划分为高温超导体（主要指 T_c 在液氮温区以上的铜氧化物超导体）和低温超导体。目前已经发现了上千种超导材料，大部分超导体是金属、合金或单元素体系的低温超导体。1986 年，IBM 瑞士苏黎世研究院的 K. A. Müller 教授和 J.G.Bednorz 博士报道了在 La-Ba-Cu-O 化合物中观察到 30 K 以上超导转变的历史性发现，揭开了席卷全球的高温超导热潮。铜氧化物超导体的出现，使液氮温区的高温超导转变的梦想得以实现。超导材料研究涉及到对单晶、体材料、薄膜等多种材料制备工艺的综合运用和开发，它的发展也带动了信息功能材料相关领域的发展。

从 1962 年发现约瑟夫森效应以来，逐渐形成了一门新兴的学科分支——超导电子学，这是一门与实际应用紧密联系的学科。超导电性按工作电流的强弱分为两类，与超导电缆、超导磁体等需要承载很强电流的应用相比，超导电子学器件承载的电流很弱，因此习惯称前者为强电应用，后者为弱电应用。在弱电应用中，又以分为有源和无源器件两类。前者需要有外加电源提供偏置，加以控制。而后者则不需要。有源器件主要有约瑟夫森器件、超导量子干涉器件和超导晶体管等；无源器件以超导微波器件为代表，如滤波器、谐振腔、天线以及各种高能粒子探测器等。

在超导电子学应用领域中约瑟夫森器件和超导量子干涉器件（SQUID）的应用最广。1964 年到 1967 年直流 SQUID 和射频 SQUID 相继问世，1973 年就有射频 SQUID 商品出售；20 世纪 80 年代末期，直流 SQUID 也有了商品。由于 SQUID 是迄今为止探测微弱磁场或微小电流的最灵敏器件（已接近于量子极限），加之体积小、速度快、能耗低等特点，很快就在科学仪器、计量基准、生物磁学、地球物理以及武器装备等领域得到广泛应用。在未来的量子计算机中，约瑟夫森器件和 SQUID 也扮演着十分重要的角色。

高温超导体的发现，为超导微波无源器件的研究和应用创造了极好的条件。由于高温超导体可以在液氮温区工作，大大降低了制冷费用，使高温超导微波无源器件可以在不需要付出过大的制冷代价的条件下，得到远高于常规导体器件的性能；特别是微型制冷机的发展，为高温超导微波器件提供了可靠、轻便、快捷的制冷技术，极大地推动了超导微波器件的实际应用。目前，高温超导无源微波器件在卫星、通信、雷达、天文等诸多领域的应用取得了重大进展，特别是在移动通信领域，用高温超导滤波器、低噪声放大器和微型制冷机组成的高温超导微波子系统取代基站接收机前端的相应常规部件，极大地改善了移动通信基站的灵敏度和抗干扰能力。超导微波无源器件已成为超导电子学的一个极为活跃的领域，有望在国民经济和社会生活中得到更加广泛的应用。此外，受到重视的还有超导电子学高能粒子（光子）探测器件，它同时集高探测效率、低能量阈值以及好的能量分辨本领于一身，为其他探测器所不能相比，应用前景极好。

总之，超导电子学器件的应用可以大致分为两类：一类是接近量子极限的探测器，例如：单粒子检测、生物磁信号及其他利用 SQUID 的测量系统等，充分显示了基于宏观量子效应的超导器件在量子极限附近的优势。另一类应用，包括计量、微波、逻辑电路等，虽远离量子极限，但都利用了超导体的某些重要特性，从而表现出性能超出常规器件的优势。可以预言，随着超导研究的不断深入，新的超导电子学器件还将不断涌现。同时，已有的器件将更加成熟，其中一些将会实现产业化，在科学研究、国民经济和社会生活中发挥重要作用。

20 世纪 90 年代末以来，国外高温超导材料产业化技术取得重大突破，直接促进了应用技术的发展。在强电应用技术方面，高温超导电流引线已经商品化，高温超导磁体技术已经达到实用化水平，高温超导电缆、高温超导限流器、高温超导变压器、高温超导电动机已经进入示范试验运行阶段，磁悬浮系统以及高温超导磁储能系统也有相应的试验模型问世。超导磁体在医学上的重要应用之一是核磁共振成像技术，新一代二硼化镁材料的研究进展让人们看见了非常廉价和容易运行的新一代核磁成像磁体，这将是一个具有巨大市场前景的产业。第二代钇钡铜氧带材（或称涂层导体）的产业化将会给磁体技术，储能技术以及磁悬浮技术带来深远的影响。在弱电应用方面，高温超导滤波器系统在国内外移动通信和军用通信领域的应用迅速发展，高温超导 SQUID 心磁图仪已有初步试验装置，高温超导无损检测装置和 SQUID 扫描磁显微镜的研究也已向实用方向迈进。我们预计 21 世纪的超导技术会如同 20 世纪的半导体技术一样具有重要意义。

11.2　固态量子比特构筑和量子信息

随着微电子技术的发展，计算机芯片集成度不断增高，器件尺寸越来越小（纳米尺度）并最终将受到器件工作原理和工艺技术限制，而无法满足人类对更大信息量的需求。为此，发展基于全新原理和结构的功能强大的计算机是 21 世纪人类面临的巨大挑战之一。1994 年 Shor 基于量子态叠加性提出的量子并行算法并证明可轻而易举地破译目前广泛使用的公开密钥 Rivest，Shamir 和 Adlman（RSA）体系，引起了人们的广泛重视。

所谓量子计算机是应用量子力学原理进行计算的装置，它的基本信息单元叫做量子比特（qubit），是实现量子计算的关键。根据量子理论，电子可以同时处于两个位置，原子的能级在某一时刻即可以处于激发态，也可以处于基态。这意味着以这些系统构造出的基本计算单位——比特，不仅能在相应于传统计算机位的逻辑状态 0 和 1 稳定存在，而且也能在相应于这些传统位的混合态或叠加态存在，称为量子比特。也就是说，量子比特能作为单个的 0 或 1 存在，也可以同时既作为 0 也作为 1，而且用数字系数代表了每种状态的可能性。

构筑量子比特是实现量子计算的基础，文献报道了很多物理系统都可以用于构筑量子比特，如液态核磁共振，施主杂质核自旋，超导体和半导体量子点中的电子自旋等。在这些系统中，可能最有前途的是半导体量子点，因为现在已经有了生产半导体材料的成熟工艺，而且人们对于半导体量子点，特别是自组装量子点的研究无论在理论上还是实验上也趋于完善。

1998 年，Loss 和 Divincenzo 提出了一个利用耦合单电子量子点上的自旋态来构造量子比特实现信息传递的方法。我们知道电子自旋有“上”“下”两个方向，所以一个量子点就相当于传统计算机中的一个晶体管开关，形成了一个单量子比特，每个量子点都可表示为“0”或“1”态。对于一个 3 个量子点“Q1，Q2，Q3”的物理体系，假设在 Q1 和 Q2 上各有一个多余电子，自旋为 1/2；用铁磁材料量子点控制 Q1 上的自旋态，用外加电压控制 Q1，Q2 两个量子点之间的耦合，若电压高，则量子点间的隧穿势垒增高，电子隧穿被禁止；若外加电压低，则势垒也低，Q1 和 Q2 上的电子自旋会发生海森伯交换耦合，电子发生隧穿。电子隧穿到达顺磁（PM）点，可作为一个观察窗口，电子隧穿进入 Q3，则可通过静电计对自旋进行测量。量子计算机工作时，信息就是在这样的量子比特对之间相互交换。2001 年，普渡大学的 Jeong 和 Chang 首次探测到连在一起的一对量子点中每个量子点上电子的自旋方向，这无疑使量子计算机的实现又向前迈进了一步。

实现量子比特构造和量子计算机的设想方案很多，其中最引人注目的是 Kane 最近提出的一个实现大规模量子计算

的方案。其核心是利用硅纳米电子器件（这个器件是由高纯硅、掺杂原子磷和绝缘层以及金属栅的重复结构组成，栅宽和栅距为 10 nm，施主磷精确地掺在设计规定的每一个栅下的硅晶体中）中磷施主核自旋进行信息编码，通过外加电场控制核自旋间相互作用实现其逻辑运算，自旋测量是由自旋极化电子电流来完成，计算机要工作在 mK 的低温下。这种量子计算机的最终实现依赖于与硅平面工艺兼容的硅纳米电子技术的发展。除此之外，为了避免杂质对磷核自旋的干扰，必须使用高纯（无杂质）和不存在核自旋不等于零的硅同位素（^{29}Si）的硅单晶；减小 SiO_2 绝缘层的无序涨落以及如何在硅里掺入规则的磷原子阵列等是实现量子计算的关键。然而，阻碍量子计算机实现的另一个难题就是量子态在传输、处理和存储过程中可能因环境的耦合（干扰），而从量子叠加态演化成经典的混合态，即所谓消相干。因此，特别是在大规模计算中能否始终保持量子态间的相干是量子计算机走向实用化前所必须克服的难题。

关于量子点单光子源和单光子探测器，在过去的几年中，在高质量量子点的材料的推动下，半导体量子光学已经成为基础研究中最前沿的研究领域。量子点具有类原子的分立能级、尖锐的发光谱线、易于嵌入固体材料等独特性质，也还可以发射可调控的非经典光子，这使量子点非常适合于研制可用于量子密码、量子通信和量子计算的新型光电子器件。

在量子密码、量子通信和量子计算等多种应用方案中，单光子光源是一个非常重要的器件。单光子光源与其他光源的区别在于光源所发射光子的时间次序。普通光源（如白炽灯）发射的光子是成束的，也就是说，在某个很短的时间间隔 τ 中发射两个或更多光子的几率非常大。这个现象称为光子成束，如图 1.2-2a 所示。相反，相干光源（如激光）发射光子则完全是随机的，两个光子之间没有任何关联。换句话说，在时间间隔 τ 以后探测到第二个光子的几率与 τ 是没有关系的，如图 1.2-2b。单量子单元，如单原子、单分子、单量子点等，发出的光子则是反成束的，也就是说，发射一个光子后，几乎不可能立即发射第二个光子，如图 1.2-2c。光子反成束的物理图象是很清楚的，单量子单元发出光子回到基态后，需要经过一定时间才能重新处于激发态状态，然后再发射第二个光子。两个依次发射的光子之间总有一个停顿时间。如果可以控制单量子单元的每个光子的发射，那么就得到了一个理想的单光子光源！图 1.2-2d 显示一个理想单光子光源发出的等时间间隔的光子。单光子光源使得人们可以用单个光子进行信息编码，在量子计算和量子密码通信方面非常有用。

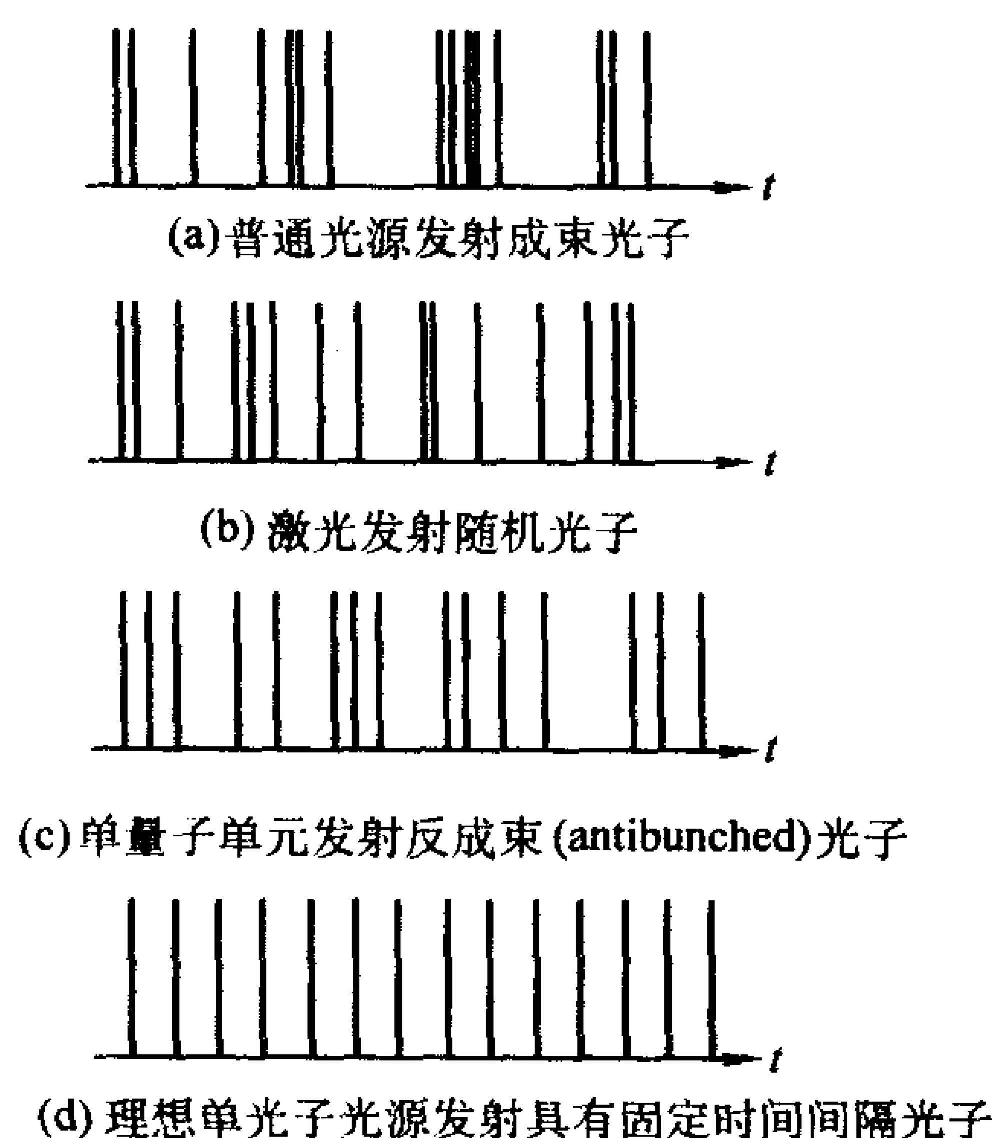


图 1.2-2 几种光源类型的光子时间序列示意图

目前量子通信实验中使用的单光子光源是衰减的激光脉冲，每个脉冲的平均光子数 μ 很小（远小于 1）。由于光子的泊松分布，单个脉冲含有多光子的概率约为 $\mu^2/2$，不含光子的概率约为 $(1-\mu)$，这样就使得编码非常困难。真正实用的单光子光源要满足三个基本条件：单量子发光器、激发和复合过程可调节、单光子的有效耦合输出。单量子发光器还需要具有接近 1 的量子效率。利用单原子、单分子受激光发射也可以制备单光子光源，但这种方法的弱点在于无法控制自发发射的模式，其量子效率也比较低。随着应变自组装量子点生长技术的成熟及其在量子点激光器方面的取得的成功，人们也开始利用量子点开展这方面的研究。首先人们想到的是单量子点发射的光子是否具有反成束特征。初步的实验表明，InAs 单量子点发出的光子具有很强的反成束特征。虽然单量子点的发光具有反成束特征，这只是说明单量子点已经具备了制备单光子光源的基本条件，但是要制备出真正意义上的单光子光源还是一个巨大的挑战。这样的单光子光源允许人们对光子产生过程进行完全控制，也就是说，可以在所需要的时刻发射出单个光子。因此需要找到一种办法或机制来实现对单量子点发光过程的控制。虽然可以通过脉冲激发来触发单量子点的单光子发射，但量子发射器的自发发射光子是指向沿空间所有方向的，这样就很难有效地收集光子。在实际应用中，发光器应该和具有特定电磁场方向的腔模耦合，以实现定向发射。应变自组织量子点很容易嵌入到合适的微腔中，这也是单量子点在研制单光子光源方面的一个优势。从实用的角度说，人们更愿意使用电驱动单光子光源。剑桥大学的 Zhiliang Yuan 等利用 p-i-n 发光二极管简单结构中的单量子点实现了电注入单光子发射。

相对单光子光源，有关单光子探测器的研究很少，原因可能是目前单光子探测技术已经比较成熟，但测试系统比较复杂。Shields 等利用量子点充电对场效应管电子通道的影响，研制成功一种新的单光子探测器。该器件的工作原理是在 GaAs/AlGaAs 调制掺杂场效应晶体管中栅极和沟道之间加上一层 InAs 量子点，该 InAs 量子点与 GaAs 通道内的二维电子气被 AlGaAs 薄层隔开，在适当的栅压下，由于 InAs 量子点有低于 GaAs 导带边的束缚能级，每个量子点可以俘获数个过剩电子。量子点带负电，产生的排斥势使临近量子点的二维电子气内电子减少，并且它对沟道电子的散射使得电子迁移率降低。光从顶端穿过透明电极射入量子阱，产生电子空穴对，电子保留在沟道内，而空穴被内建电场扫到量子点中去与电子复合，使得量子点内负电荷减小，这反过来导致沟道里的电子密度进一步增加，导致沟道电流明显增大。

12 我国信息功能材料的研究现状和发展趋势

12.1 我国信息功能材料的研究现状

我国在信息功能材料和器件研发方面，如高纯度 GaAs 外延材料，AlGaAs/GaAs 调制掺杂二维电子气材料（2DEG），高性能 InP、GaAs 基 HEMT、PHEMT 和 HBT 微结构材料，用于主干线通信网络的 1.55 μm InP 基 DFB 激光器材料与器件，DFB LD/EA 调制器发射模块芯片材料与器件，用于接入网、硅平面波导和硅基发光材料，非线性光学晶体与深紫外光源，以铌酸锂为代表的三维光存储材料与器件应用研究，超高密度光存储材料，有机发光与显示材料和器件，以碳纳米管为代表的纳米材料与纳米结构，应变自组装量子点激光器材料与器件，中远红外量子级联激光器材料与器件，大功率量子阱激光器材料与器件，超高亮度黄、橙和红光材料与器件，GaN 基光电子和微电子材料与器件，高温超导材料与电

缆，通信光纤，大晶格失配 $GaN/\gamma\text{-}Al_2O_3/Si$、$Si/\gamma\text{-}Al_2O_3/Si$ 柔性衬底材料的研究，以及子带间量子级联合带间量子隧穿激光器材料和器件研制等方面，做出了达到或接近国际先进水平的工作，个别材料体系则处于领先地位。但从总体上看，前沿跟踪研究多，创新，特别是原创性的工作少。在成果转化和产业化方面，差距则更大一些。其主要原因是由于新中国成立的初期受前苏联，而改革开放后又受西方科学研究体系的影响，加之我国当时的条件，致使我国的科学研究长期处于模仿、跟踪和缺乏科技原始创新的被动局面；随着我国经济的高速发展和综合实力的增强，建立国家知识和技术创新体系的时机已经成熟。信息功能材料与器件是一个科学内涵极丰富、创新性极强、应用前景极广阔、社会经济效益巨大的领域，极有可能触发新的信息技术革命。建议国家选择重点领域，加大支持力度，加快建设国家级研发技术平台和知识创新体系，把自主创新发在首位，突破共性关键技术，为我国信息高技术产业的快速发展提供科学与技术支撑，从而加快由信息大国向信息强国转化的步伐，并走在世界信息技术的前列，符合国家长远利益和战略发展的需求。

12.2 信息功能材料与技术的发展趋势

信息时代对超大容量信息传输、超快实时信息处理和超高密度信息存储的需求加快了信息载体从电子向光电子和光子的转换步伐，光纤通信、移动通信和数字化信息网络技术已成为信息技术发展的大趋势。相应地，信息功能材料也已由体材料发展到薄层、超薄层微结构材料，并正向集材料、器件、电路为一体的功能系统集成芯片材料，有机/无机复合，有机/无机与生命体复合和纳米结构材料方向发展；同时伴随着材料系统由均匀到非均匀、由线性到非线性和由平衡态到非平衡态发展；材料生长制备的控制精度也将向单原子、单分子尺度发展。从材料体系上看，除硅和硅基材料作为当代微电子技术的基础在21世纪中叶不会改变之外，化合物半导体微结构材料以其优异的光电性质在高速、低功耗、低噪声器件和电路，特别是光电子器件、光电集成和光子集成等方面发挥着越来越重要的作用；与此同时，近年来硅基高效发光研究取得的重大进展使人们看到了硅基光电集成的曙光。有机半导体发光材料以其低廉的成本和良好的柔性，已成为全色高亮度发光材料研发的另一个重要发展方向，可以预料它将成为下一代平板显示材料的佼佼者。GaN基紫、蓝、绿异质结构发光材料和器件的研制成功，不仅将使光存储密度成倍增长，而更重要的是它将会引起照明光源的革命，社会经济效益巨大。航空、航天以及国防建设的要求推动了宽带隙高温微电子材料和中远红外激光材料的发展。探索低维结构材料的量子效应及其在未来纳米电子学和纳米光子学方面的应用，特别是基于单光子光源的量子通信技术，基于固态量子比特的量子计算和无机/有机/生命体复合功能结构材料与器件的发展应用，已成为材料科学目前最活跃的研究领域，并极有可能触发新的技术革命，从而彻底改变人类的生产和生活方式。另外，从半导体异质结构材料生长制备技术发展的角度看，已由晶格匹配、小失配材料体系向应变补偿和大失配异质结构材料体系发展。如何避免和消除大失配异质结构材料体系在界面处存在的大量位错和缺陷，是目前材料制备中的一个迫切需要解决的关键科学问题之一，它的解决将为材料科学工作者提供一个广阔的创新空间。

编写：王占国（中国科学院半导体研究所）

参 考 文 献

1 王占国．技术科学发展与展望．见王大中，杨叔子主编．院士论技术科学，P317．济南：山东教育出版社，2002
2 Hafez W.，Jie-Wei Lai，Feng，M.Electron Device Letters.IEEEVolume 24，Issue 7，July 2003 Page（s）：436～438
3 M.Dahlstrom，Z.Griffith，M.Urteaga，M.J.W.Rodwell，X.－M.Fang，D.Lubyshev，Y.Wu，J.M.Fastenau，and W.K.Liu.In Proc.IEEE Device Research Conf.，Salt Lake City，UT，June 23～25，2003
4 Griffith，Z，Dahlstrom，M，Rodwell M.J.W.，Fang，X.－M.，Lubyshev D.，Wu，Y.，Fastenau，J.M.，Liu W.K.，Electron Device Letters，IEEE Volume 26，Issue 1，Jan.2005 Page（s）：11～13
5 Tsunashima S.，Murata K.，Ida M.，Kurishima K.，Kosugi T.，Enoki T.，Sugahara H.，Gallium Arsenide Integrated Circuit（GaAs IC）Symposium，2003.25th Annual Technical Digest 2003.IEEE 9－12 Nov.2003 Page（s）：284～287
6 Huber D.，Bitter M.，Dulk M.，Fischer S.，Gini E.，Neiger A.，Schreieck R.，Bergamaschi C.，Jackel H.，Indium Phosphide and Related Materials，2000.Conference Proceedings.2000 International Conference on 14－18 May 2000 Page（s）：325～328
7 菅冀祁，张启程，王玉英等．光盘记录介质研究进展．半导体光电，2004，25（2）：83～86
8 D.Bouwmeester，A. Ekert，A.Zeilinger：The Physics of Quantum Information（Springer，Berlin，Heidelberg 2000）

第2篇

半导体硅材料

主 编 杨德仁

编 写 杨德仁 马向阳 李东升
汪 雷 席珍强

审 稿 中国材料工程大典编委会

中国机械工程学会
中国材料研究学会
中国材料工程大典编委会

人类经历了石器时代、铜器时代和铁器时代，在20世纪的60年代进入了硅时代。在硅材料基础上微电子工业的崛起，对20世纪世界经济和科技的高速发展起到了决定性的作用。在人类跨入了21世纪的时候，由于网络、计算机、通信等行业的强烈市场需求，集成电路的发展依旧很快，并仍然按照摩尔（Moore）定律发展，每18个月其集成度增加1倍，特征线宽降低，晶体直径增大。目前，国际微电子工业已进入深亚微米时代，主流硅晶片的直径是200 mm，特征线宽是0.13 μm，生产着1 G的DRAM，2002年集成电路为主的半导体工业的销售额已超过1 500亿美元。微电子工业已成为世界上仅次于汽车工业的国民经济的支柱产业，在国家工业、国防和科技的现代化上起着举足轻重的作用，是当今世界竞争最激烈、发展最迅速的高科技领域。在新世纪全球信息化浪潮的时代背景下，微电子科学、技术及产业在综合国力的较量中具有关键性的战略地位。

毫无疑问，硅材料是微电子的基础材料，在过去的40年，硅材料的发展直接促进了集成电路和整个微电子产业的平均进步，使微电子产业的平均年增长率在过去的20年达到17%以上。诚然，化合物半导体在某些方面有着比硅材料更为优异的性能，但是经过几十年的研究和发展，它们仍然没有能替代硅材料。因为和化合物半导体相比，硅材料有一些极为重要的优势，它是地球上最为丰富的元素之一，它的工艺成熟，提纯工艺相对简单，可以生长大直径、少缺陷的高质量的晶体，就同样芯片面积而言，砷化镓的生产成本约是硅的5倍。同时，硅材料上可形成稳定的氧化层，这也是化合物半导体所不能比拟的。目前，硅材料依旧占据半导体材料的主导地位，95%的IC是建立在硅材料上的，而硅材料又占据了整个半导体材料的98%。国际半导体材料专家们共同认为，在21世纪前20～50年，硅材料作为微电子的基础材料是不会改变的。

我国硅材料的研究开发开始于20世纪50年代，经过多年的发展，已经建立了相对完整的硅材料产业和研究基础。在今后20年内，由于国际市场的产业转移和国内市场的蓬勃发展，我国的微电子工业将快速发展，成为国际微电子工业的主要基地之一，有力地推动着我国的国民经济和社会发展。微电子的发展，将直接带动对硅材料的研究、开发和产业化的强烈需求，因此，硅材料的研究、开发和产业化既是国民经济的重大需求所在，也是影响国家安全的重要战略问题所在。

第1章　概　　述

1　硅材料的研究和应用

1.1　硅材料的研究和开发

硅是地球上含量最丰富的元素之一，约占地壳重量的26%，仅次于氧元素。硅在地球上不存在单质状态，基本上以氧化态存在于硅酸盐或二氧化硅中，其表现形态为各种各样的石头，如花岗岩、石英岩。

人类很早就会利用石头作为工具和建筑材料，但是，直到18世纪70年代，硅作为一个元素才真正被人们所认识。1810年，瑞典的贝采利乌斯将石英砂、碳和铁加热，得到一种材料，称为硅（silicon），其字来自拉丁文的silex，意为燧石，但现在看来，他当时得到的其实是硅铁合金。1811年，盖-吕萨克（Gay-Lussac）和特纳德（Thenard）用四氟化硅和金属钾加热反应，得到可燃的红棕色材料，可能是不纯的无定形硅。直到1824年，贝采利乌斯（Berzelius）用氟硅酸钾（K_2SiF_6）和金属钾反应，才得到真正的元素硅。他将制取到的硅放在氧气中燃烧，得到了二氧化硅，从而确证了硅是一种元素。1854年，戴维利（Deville）第一次制备出晶体硅。从此，制备质量更高，尺寸更大的晶体硅就成为一门迅速发展的科学。

后来，人们发现，利用碳和石英砂反应，可以很方便地形成硅。这种硅呈灰色，具有金属光泽，硬度高，脆性大，塑性差，导电导热性也差，其纯度为98%～99%，称为金属硅或工业硅。这种硅的弱点很明显，一直没有发现大规模的工业用途。直到1900年，哈德菲尔德（R.A.Hadfield）等发现在铁中加入4%左右的硅，形成硅铁合金，具有很好的磁性能，称为矽钢片。由于矽钢片的广泛使用，使得工业硅的生产规模越来越大。后来，人们又发现，金属铝和硅作用，形成Al－Si合金，具有良好的力学性能，被广泛地用作为气缸的活塞材料；硅还可以作为脱氧剂，去除合金中的氧杂质，成为冶金工业的重要添加剂。不仅如此，人们还发现，在某些有机材料中加入硅作为添加剂，可以形成不同形式的有机硅，在化学工业等领域广泛应用。

虽然20世纪初，美国的皮卡德（G.W.Pickard）已经开始利用硅作为探测器，但是由于真空电子器件发展的缓慢，作为半导体材料的硅的研究和应用到20世纪中期才真正开始。在第二次世界大战时期，为了对付德国飞机的轰炸，英国发明了雷达，可以早期发现敌机的来临。在雷达中，硅二极管检波器对回波信号的检测发挥了重要作用。为了提高雷达的灵敏度和稳定性，需要对硅二极管检波器的材料进行改善。人们首先利用各种酸对金属硅进行清洗，称为酸洗，可以去除一定量的杂质，提高金属硅的纯度；后来又利用硅和氯气反应，生成四氯化硅（$SiCl_4$）气体，对气体进行蒸馏等方法的提纯，再利用金属锌还原，得到相对纯度更高的硅材料，这也是现代提纯制备高纯硅的基本技术思路。

1947年，美国贝尔实验室的科学家发巴丁（John Bardeen）、布拉顿（Walter Brattain）和肖克利（Shockley）发明了晶体管，标志着人类从真空管时代进入了晶体管时代，使得大规模普及电子计算机成为可能，引起了微电子工业的兴起，也是半导体硅材料发展的重要转折点。实际上，最早的晶体管是用半导体锗单晶制备的。但是，锗的禁带宽度较窄（0.66 eV），用锗制造的器件只能工作在90℃以下的温度，在更高的温度工作锗器件将产生显著的漏电流，而且锗不能提供稳定的表面氧化层作为绝缘层，生成的GeO_2溶于水，并且在800℃就会分解。因此，人们将关注的重点放在比锗性能更好的半导体硅材料上。

1950年，提尔（Teal）和利特尔（Little）利用Czochralski晶体生长技术（又称直拉法或切氏法）成功地生长了直拉硅单晶，成为半导体硅材料的主要形式。1953年，利用区域熔炼（Float Zone）技术（又称区熔法）成功生长了区熔硅单晶。1954年，提尔（Teal）制备了第一只硅晶体管。此时，硅单晶含有大量的位错，使得硅器件的质量和稳定性都大受影响。直到1958年，达西（Dash）发明了缩颈技术，制备出无位错的硅单晶，使得硅单晶的质量大大提高。而且，硅的一个突出的优点是其临界切应力较大，一旦达到无位错状态，在生长过程中不容易出现新的位错，是少数能得到无位错单晶的材料之一。从此，半导体硅材料走上了高速发展的

道路，已成为迄今为止研究最深入、应用最广泛的半导体材料。

半导体硅单晶材料首先被利用来制备整流器、晶闸管等电力电子器件，由于与锗等半导体材料相比，硅的禁带宽度较大，可以耐高压，其反向电压可达8 000 V；硅的热导率大，通过的电流和达到的功率就大，工作的温度也高（可达250℃左右）。因此，在20世纪50年代后期，几乎所有的电力电子器件都用硅单晶制备，半导体锗单晶基本已被放弃。

1960年前后，硅晶体管平面工艺和集成电路的发明，使得半导体硅材料发展到了一个新的阶段。

1.2 集成电路用硅单晶

硅材料的一个重要优点就是硅表面很容易氧化，形成结构高度稳定的二氧化硅（SiO_2）氧化层；它可以作为保护层，使得硅单晶可以被光刻和选择扩散；也可以作为绝缘层，作为器件的隔离层。建立在这个优点的基础上，平面工艺构成了集成电路的基本制造工艺，使得人们可以在复杂图形中的指定区域进行掺杂，从而在硅单晶片上制造出成千上万的器件结构，称之为集成电路。

集成电路发明后，集成度迅速增加，向超大规模化方向快速发展。自20世纪60年代以来，集成电路经历了5个重要的发展阶段，第一代是60年代初期发展起来的小规模集成电路（SSI），第二代是60年代末期和70年代初期发展起来的中规模集成电路（MSI），第三代是70年代末期发展起来的大规模集成电路（LSI），第四代是在80年代发展起来的超大规模集成电路（VLSI），第五代是在90年代发展起来的甚大规模集成电路（ULSI），见表2.1-1。集成电路的线宽从开始的几十微米缩小到现在的0.1 μm，已经进入了深亚微米集成电路时代。

表2.1-1 集成电路发展的主要阶段

电路集成	半导体产业周期	每个芯片元件数
小规模集成电路（SSI）	20世纪60年代前期	1
中规模集成电路（MSI）	20世纪60年代到70年代前期	2～50
大规模集成电路（LSI）	20世纪70年代	20～5000
超大规模集成电路（VLSI）	20世纪70年代后期至80年代后期	100 000～1 000 000
甚大规模集成电路（ULSI）	20世纪90年代至今	>1 000 000

1964年，英特尔公司的创始人之一戈登·摩尔，提出了著名的摩尔定律，即每隔18月，集成电路的特征线宽会降低一半，在一块芯片上的晶体管数大约增加1倍。在过去的40年中，集成电路的发展正是遵循这个规律，如图2.1-1所示。

根据美国“硅工业协会”提出的“国际半导体技术指南”，今后集成电路依然会遵循摩尔定律，目前集成电路的特征线宽是0.13 μm，到2015年则有望达到25 nm，如图2.1-2所示。

电力电子器件利用的是区熔硅单晶，而集成电路利用的是直拉硅单晶，因此，集成电路的发展对直拉硅单晶的发展不断提出新的要求和挑战，其主要表现为要求直拉硅单晶的直径不断增大，而单晶体的缺陷尺寸不断缩小，密度不断降低。为顺应目前集成电路产业的“更快、更好、更便宜”的发展方向，人们对硅单晶提出了“大直径、无（少）缺陷”的要求。图2.1-3显示的是过去几十年中，硅单晶直径随着时间延长而增加的趋势，结合图2.1-1，可以看出，随着集成度的增加，直拉硅单晶的直径也不断增加。

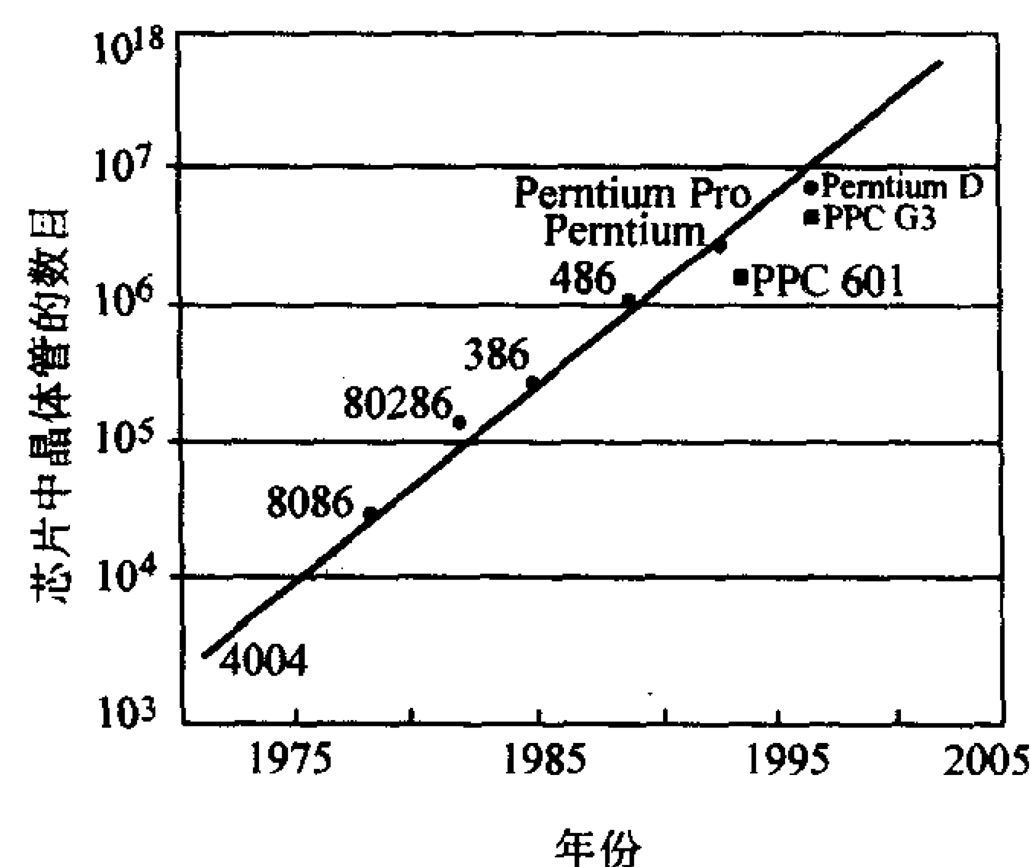


图2.1-1 集成电路的摩尔定律

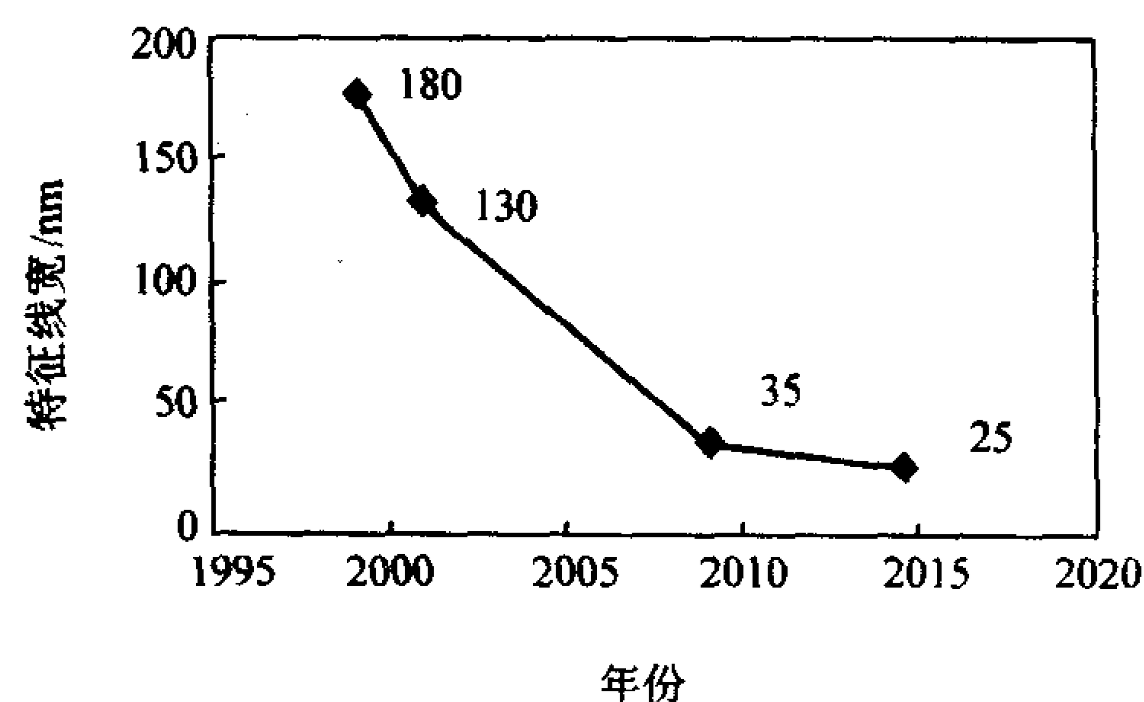


图2.1-2 未来集成电路特征线宽随时间的变化趋势

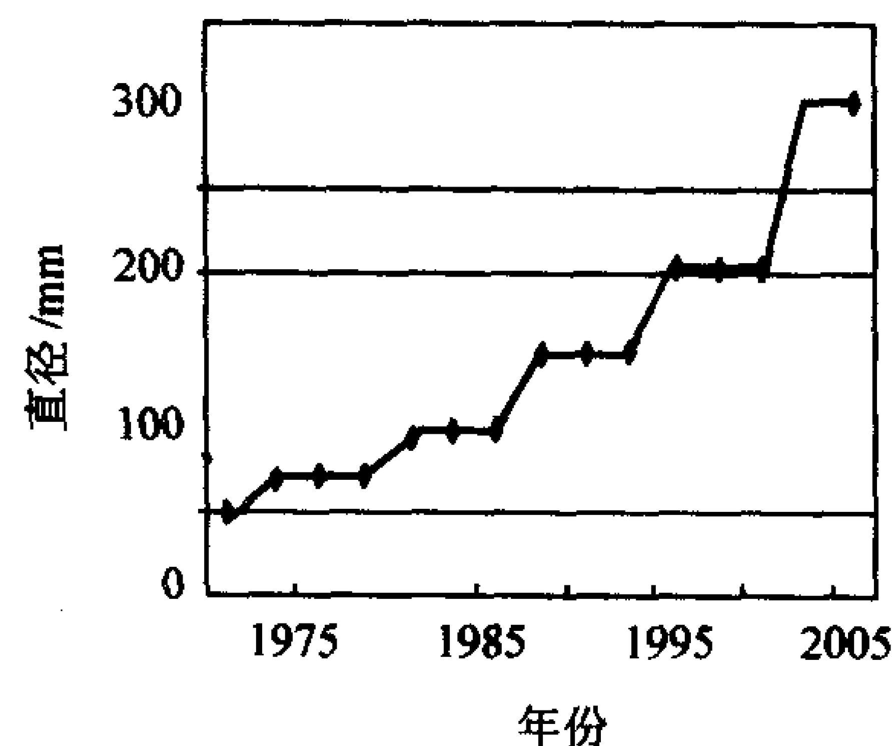


图2.1-3 硅单晶直径随着时间延长而增加的趋势

另一方面，随着线宽的变小，在早期不成严重问题的微缺陷问题更加突现，如200 mm直径硅单晶材料中出现的void微缺陷的尺寸在100 nm左右，对集成电路已形成致命的影响。实际上，当单个缺陷的尺寸达到最小特征线宽的二分之一或三分之一时，将导致集成电路的失效。因此，可以看到，深亚微米集成电路对直拉硅单晶的要求不仅是大直径，而且是无（少）缺陷，即提高硅单晶的晶格完整性，包括：①晶体生长中体材料的晶格完整，无（少）缺陷；②晶体加工过程中硅片表面的完整性；③器件制造过程中，器件有源区的晶格完整性。

1.3 太阳电池用硅材料

硅材料是理想的太阳能光电转换材料，其太阳电池的理想光电转换效率超过30%。因此，硅材料不仅在电子工业广泛应用，而且在太阳电池领域也大量应用。到目前为止，

太阳能光电工业基本是建立在硅材料的基础上，世界上的绝大部分太阳能光电器件是用硅材料制造的，约占国际太阳电池材料市场的99%以上。

最早的硅太阳电池是在1954年由美国贝尔实验室的卡平（D.M.Chapin）等研制的，其太阳能光电转化效率为6%左右，很快达到10%以上。但是，早期硅太阳电池的成本很高，是常规电力的1 000倍，仅仅被用于对成本不敏感的太空卫星和航天器上。1958年美国发射的Vanguard号卫星上首次使用了硅太阳电池；同年5月，前苏联在人造卫星上也安装了硅太阳电池；1971年我国发射的第二颗人造卫星上也使用了硅太阳电池。在20世纪50～80年代，几乎所有的人造卫星等空间飞行器上，都是利用硅太阳电池作为主要的电源。虽然后来GaAs材料也应用在空间太阳电池上，但是硅太阳能空间电池依然占据了半壁江山。

尽管航天事业的发展促进了硅太阳电池材料和器件技术的进步和产业的发展，但是由于成本太高，一直到1973年“中东战争”的爆发，硅太阳电池一直没有能在地面上大规模应用。中东战争引起的能源危机，使人们认识到常规能源的局限性、有限性和不可再生性，认识到太阳能等新能源对国家安全的重要性，加上环境保护意识的大幅度提高，使得硅太阳电池研究开发和产业在政府的支持下快速发展。硅太阳电池在一些小型电源、远程通信等领域得到广泛应用，如灯塔、微波站、海岛、沙漠等的供电。到了20世纪的90年代，由于硅太阳电池成本的持续降低，通过建立太阳能电站以及和住宅屋顶结合等形式，硅太阳电池实现了并网发电。

从20世纪70年代以来，硅太阳电池的全球平均年增长率达到30%，其中1997年以硅太阳电池为主的电池组件全球销售达到122 MW，2001年的销售突破400 MW，2000年和2001年的年销售增长均超过40%，而太阳电池的生产成本则以每年7.5%的平均速度下降，如图2.1-4所示。其发展速度甚至超过了集成电路，预计今后10年太阳能光电工业还将以20%～30%的速度增加，成为世界上最具有发展前景的朝阳工业之一。

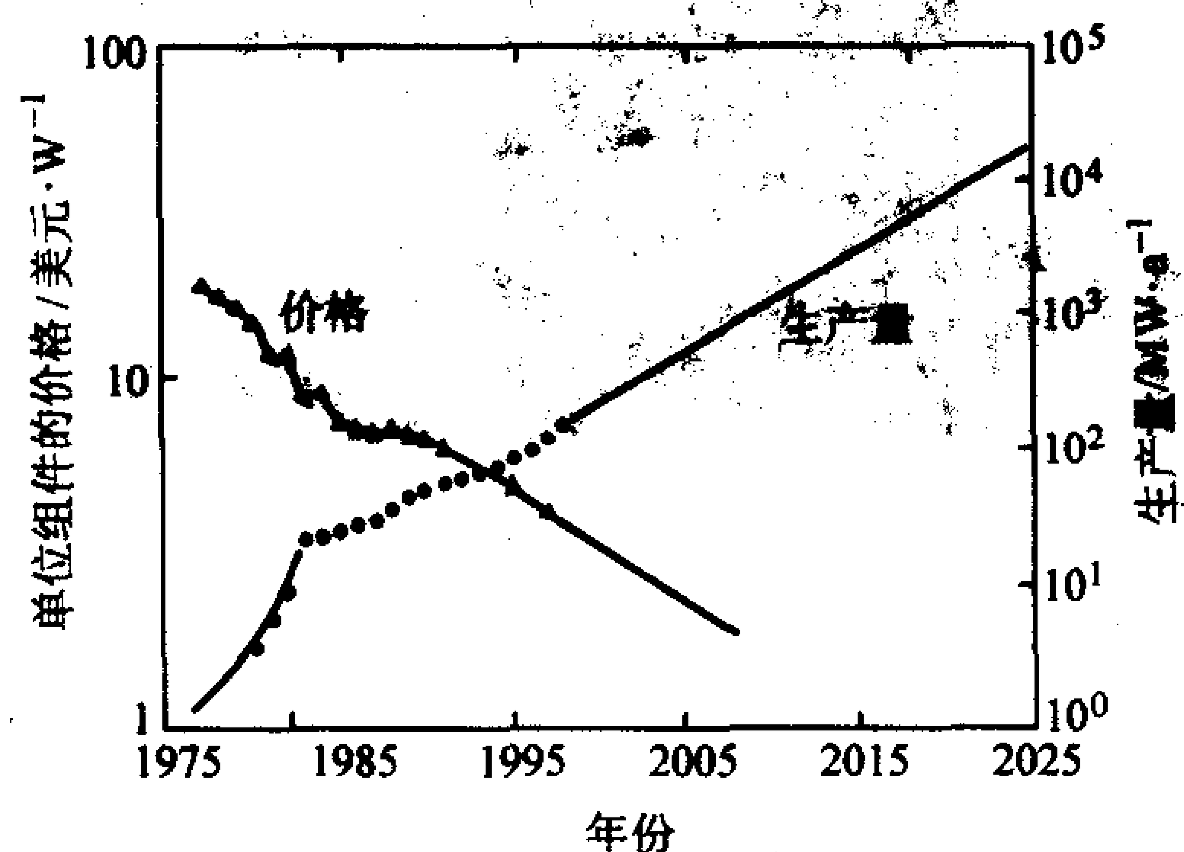


图2.1-4 硅太阳电池的年产量和组件价格随时间的变化

太阳电池用硅材料主要包括直拉硅单晶、铸造多晶硅、非晶硅、带（片）状硅和薄膜多晶硅等。区熔硅单晶由于具有纯度高、电学性能均匀等优点，虽然可以用来制备高效太阳能硅电池；但是，它的成本高，力学性能差，只有在一些特殊场合才会利用。

使用直拉单晶硅制备太阳电池是最早研究和应用的，也是应用在太阳电池上的主要硅材料。和电子工业用的直拉硅单晶一样，它也是利用Czochralski技术，采用籽晶、缩颈等工艺生长的。为了追求低成本，相对于电子工业用直拉硅单晶，太阳电池用直拉硅单晶的要求不是非常严格。在原料方面，它一般利用电子工业硅单晶加工后剩余的头尾料；在晶体生长方面，它生长比较快，可以容忍少量的位错。目前，硅单晶的太阳电池的实验室转换效率已达到24.7%；在实际生产线上，高效太阳电池（主要应用在空间）的效率也超过20%；对于常规的地面用商业直拉硅单晶太阳电池，其转换效率一般可达到13%～16%。

应用在硅太阳电池上的另一种重要硅材料是铸造多晶硅。自20世纪70年代中期铸造多晶硅发明和应用以来，由于相对的低成本高效率，其增长迅速，80年代末期它仅占太阳电池材料的10%左右，而至1996年底已占整个太阳电池材料的36%左右，2001年超过50%，成为最主要的太阳电池硅材料。但是，和直拉硅单晶相比，铸造多晶硅中的晶界、位错等缺陷、金属等杂质严重影响了太阳能光电转换效率。到目前为止，铸造多晶硅的晶锭质量已经达到300 kg，太阳电池片的尺寸达到210 mm×210 mm，在实验室的太阳电池的光电转换效率达到20.3%，在商业生产中，其太阳能光电转换的效率一般在14%～16%。

非晶硅是20世纪70年代发展起来的，它通常是在玻璃上沉积一层很薄的非晶硅，具有制备工艺简单、成本低和可大面积连续生产的优点。但是，非晶硅太阳电池的效率相对较低，在实验室太阳电池稳定的最高转换效率只有13%左右，在实际生产线上，非晶硅太阳电池的效率也不超过10%；而且，非晶硅太阳电池效率在太阳光照射下有严重的衰减，到目前为止仍然没有根本解决。所以，非晶硅太阳电池主要应用在一些计算器、手表、玩具等小功耗器件中。

为了进一步降低硅太阳电池的成本，多种带（片）状的硅材料和电池已经被发展，这些带状硅晶体的厚度在200～350 μm之间，仅仅需要将它们从大块的带状切割成合适的大小，就可以直接用来制备太阳电池，而省去了从硅晶锭切成硅片的过程，所以大大节约了成本。但是，由于带状硅晶体的晶体缺陷和杂质过多，所以带状硅晶体的太阳电池效率依然不够理想。到目前为止，除了EFG带状硅晶体已经规模工业化生产，其他类型带状硅晶体仍然处在实验室研制阶段。

除了上述已在太阳电池产业广泛应用的各种硅材料以外，人们还在不断研究和开发低成本高效率的新型硅材料，如结合薄膜材料和多晶硅材料的优点为一体的薄膜多晶硅材料，将纳米技术和硅材料结合的纳米硅薄膜材料等，这些新型硅材料也是未来太阳电池的主要希望之一。

1.4 光电子用硅材料

建立在硅材料基础上的微电子技术和工业的成功发展，对20世纪的科技进步起到了决定性的推动作用。但是随着微电子工业的成熟，集成电路特征线宽的减小，由于物理限制，传统的微电子工艺和理论受到束缚，因此，人们希望用传输速度更快的信息载体光子来代替电子，建立新的光电子工业或光子工业。于是，GaAs、InP，GaN等化合物半导体材料得到了发展，但是，这些化合物半导体的制备过程和现有的集成电路工艺不兼容，制造成本高，阻碍了光电子的广泛应用。

半导体硅材料是间接带隙材料，其发光效率极其低下，约为10^{-5}左右，不能做激光器和发光管；它又没有线性电光效应，不能做调制器和开关；因此，一般认为硅材料不是光电子材料，不能应用在光电子领域。但是硅材料物廉价美，资源丰富，环境友好，硅工艺成熟完美，如果能实现硅的发光，就可以将微电子和光电子结合，实现硅基光电集成，从而从根本上推动光电子的发展和应用。所以，实现硅发光以及硅基光电集成，就成为硅材料研究和开发的重要新方向，也是人类科学技术的新挑战。

在20世纪70年代，人们就发现，硅单晶中位错等缺陷可以发光，在光致荧光谱中有多个峰线与位错有关，但是强

度很弱，一直没有重大进展，研究逐渐趋于沉寂。直到2002年，研究者利用硼离子注入，在单晶硅中引入位错环等缺陷，不仅实现光致发光，而且实现了电致发光，使得人们对硅中位错和缺陷发光引燃了新的希望。

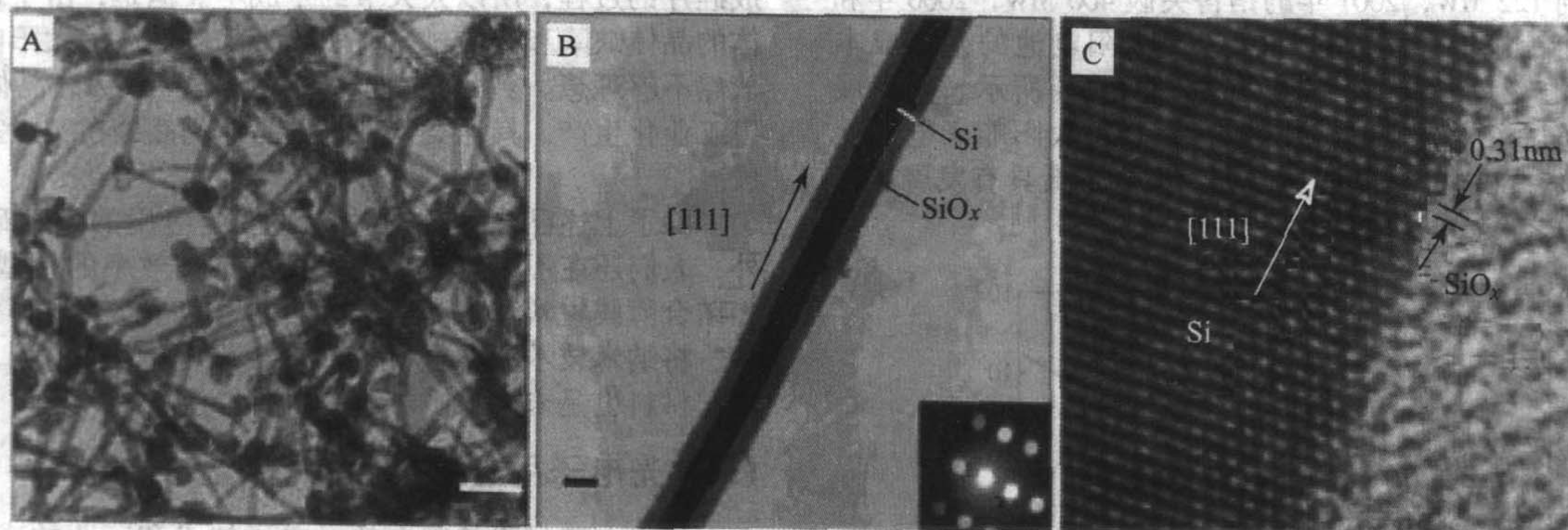
在早期的硅材料发光研究中，人们还发现硅中掺稀土铒离子（Er^{3+}）可以使硅单晶材料发光，它的发光波长在1.54 μm附近，正对应于石英光纤最小吸收窗口，是最低损耗区，在通讯应用方面具有巨大的潜力。近年来，掺铒硅的研究不断取得进步，目前已经证明了将掺铒硅发光二极管(LED)和硅数字电路集成在一起的可能性，并且制备出了在室温工作的发光二极管，但是，其发光强度依然远离实际应用的可能。

无论是硅单晶缺陷发光还是掺铒发光，其强度都很低，远远没有达到室温可见光的程度。1990年坎汉摩(L.T.Canham)发现了室温下多孔硅具有可见光光致发光的特性，由于多孔硅和硅不存在晶格失配的问题，有利于和集成电路工艺的结合，可望实现集光电子、微电子于一体的硅基光电集成，因此，多孔硅的研究迅速引起了人们的极大关注。其实，在50年代，研究者就发现在HF溶液中用电化学方法对单晶硅进行阳极氧化，可以得到多孔硅，但是一直没有观察到发光现象。直到1984年，皮克林（C.Pickering）等报道了低温（4.2 K）下的多孔硅的可见光致发光特性，1990年，坎汉摩（L.T.Canham）发现了室温下多孔硅的强烈可见光光致发光，多孔硅的发光才引起人们的注意。但是，多孔硅的发光机理至今没有解决，研究者认为主要有两种可能性：一是量子束缚效应，认为多孔硅的结构是一些直径小于5 nm的纳米丝组成，正是由于纳米丝的二维量子尺寸效应，使得硅材料的能带发生变化，禁带宽度增大，能带从间接禁带转化为直接禁带，从而导致多孔硅硅材料发光效率的大幅度增加。二是纳米硅氧化发光，认为多孔硅是由纳米硅组成的，但是在多孔硅制备过程中，多孔硅表面发生氧化，形成纳米硅/氧化硅体系，从而形成多孔硅发光。

虽然多孔硅可以发光，但是发光稳定性很差；而且多孔硅十分脆弱，力学性能差，导致加工性能差；另外，多孔硅需要电化学过程，和目前的集成电路工艺的兼容性也差。因此，研究者在多孔硅的基础上，继续寻找硅材料发光途径。根据多孔硅的发光机理研究，人们将目光集中在两个方面，一是纳米硅，二是纳米硅/二氧化硅系统。

和其他一维纳米材料一样，理论研究表明：量子限制效应能使硅纳米丝（线）、纳米硅管的能隙增大，能带结构由间接带隙变为直接带隙，从而使量子发光效率明显提高；而且，纳米硅丝、纳米硅管还可以作为纳电子器件的结构单元；另外，由于硅纳米线具有很大的比表面积，因此可以用来做化学和生物传感器。因此，纳米硅丝（线）、管的制备和性能成为研究者关注的焦点之一。目前，纳米硅丝材料主要通过化学气相沉积、物理气相沉积、溶液反应法、激光烧蚀法等方法来制备。

1998年，利伯（C.M.Lieber）首先报道利用激光烧蚀法制备硅单晶纳米线，如图2.1-5所示。他们利用FeSi合金作为靶材，采用高强度激光聚焦照射，通过金属合金作为催化剂，生长了硅单晶纳米丝；并通过控制合金的粒径以及反应时间，来控制硅纳米线的直径和长度。



(a)杂乱生长的硅纳米线 (b)单根硅纳米线的形貌 (c)硅纳米线的高分辨像

图2.1-5 硅纳米线透射电镜照片

后来，研究者采用更多的办法制备纳米硅丝，包括化学气相沉积法，也就是利用SiH_4和$SiCl_4$等硅源气体在高温下分解，在置有Fe/Co/Ni/Au等金属催化剂的硅片上，制备纳米硅丝。通过控制反应气体的浓度和流量、反应温度、反应时间和催化剂的颗粒大小等因素，来控制纳米硅丝的直径和长度。为了得到直径均匀可控、阵列化生长的纳米硅丝，具有均匀纳米孔洞的各种模板技术也被用来制备纳米硅丝。后来，纳米硅管也是利用这种方法得到的。除了化学气相沉积法之外，蒸发冷凝法、化学腐蚀法、溶液反应法等技术也被应用在纳米硅丝的制备上。

纳米硅/二氧化硅体系是另一个硅材料发光的重要研究方向，研究者可以利用在硅上制备二氧化硅，然后离子注入硅再晶化的技术，在二氧化硅薄膜中嵌入纳米硅颗粒，达到增强发光的目的。还可以利用等离子体化学气相沉积等技术，在制备二氧化硅薄膜的同时，沉积非晶硅纳米颗粒，然后将非晶硅纳米颗粒晶化，形成纳米硅、二氧化硅发光体系。

2 硅材料的晶体结构

硅是一种元素半导体，元素符号是Si，位于元素周期表的第三周期第四主族，原子序数为14，原子量为28.085。硅材料有多种形态，按晶体结构区分，可以分为非晶硅，多晶硅和单晶硅。所谓的非晶硅就是指硅原子在短距离内有序排列，而在长距离内无序排列的硅材料，材料的性质显示各向同性。而单晶硅则是指硅原子在三维空间有规律周期性的不间断排列，形成一个完整的晶体材料，材料性质体现各向异性，即在不同的晶体方向各种性质都有差异。多晶硅材料，则是指由二个以上尺寸不同的单晶硅组成的硅材料，它体现的是各向同性。

通常，硅晶体的晶体结构是金刚石型，有9个反映对称面、6条二次旋转轴、4条三次旋转轴以及3条四次旋转轴，其全部对称要素为：$3L^4 4L^3 6L^2 9PC$。如果加压到15 GPa，硅

晶体就会发生结构变化，晶体结构由金刚石型转变为面心立方，此时的晶格常数为 0.663 6 nm。

硅的电子结构为 $1s^2 2s^2 2p^6 3s^2 3p^2$，根据鲍林（L.Paoling）的轨道杂化理论，硅原子的 3 s 轨道和 3p 轨道杂化简并，形成 sp^3 杂化轨道，硅原子实际的电子结构为 $1s^2 2s^2 2p^6 3sp^3$。杂化后，硅原子形成 4 个等同的杂化轨道，有 4 个未配对的电子，如图 2.1-6 所示，各有 1/4s 和 1/4p 成分，每两个杂化轨道间的夹角是 109°28′，所以杂化轨道的对称轴正好指向正四面体顶角。每个硅原子的外层 4 个未配对的电子，占据四个杂化轨道，分别和相邻的硅原子的一个未配对的自旋方向相反的价电子组成共价键，共价键的键角也是 109°28′，其结构如图 2.1-7 所示。显然，1 个硅原子和 4 个相邻的分别处于一个正四面体顶点的硅原子结合，有 4 个共价键，组成了外层电子数为 8 的稳定的晶体结构，也就是金刚石结构，原子位于立方面心的所有结点位置和交替分布在立方体内的四个小立方体的中心，如图 2.1-8 所示。

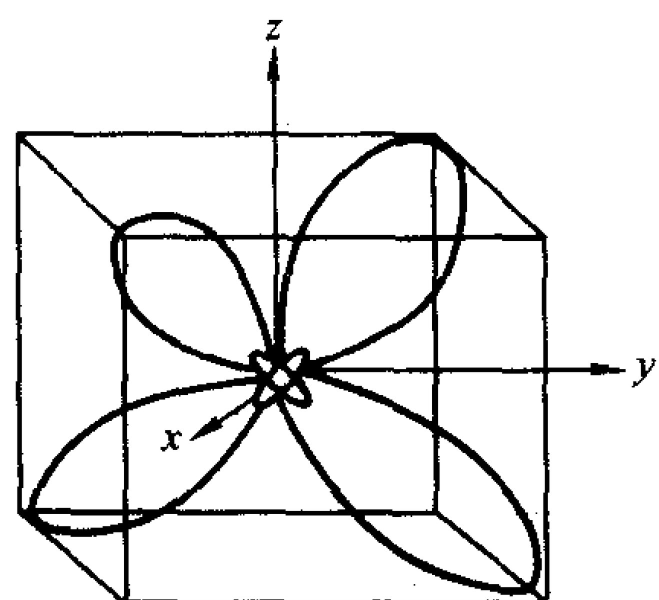


图 2.1-6 硅原子 sp^3 杂化轨道示意图

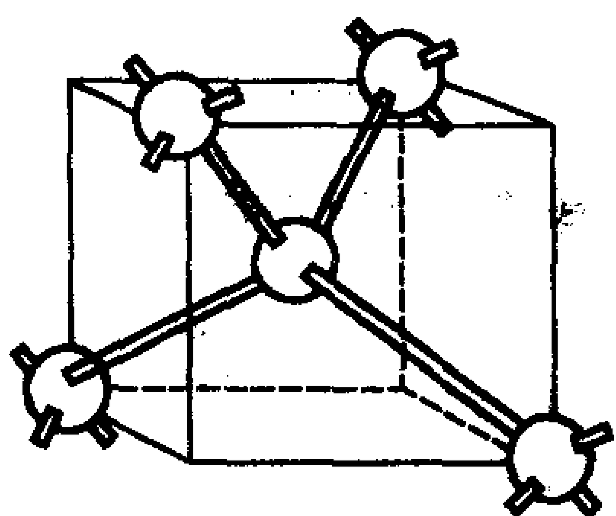


图 2.1-7 硅原子共价键结构示意图

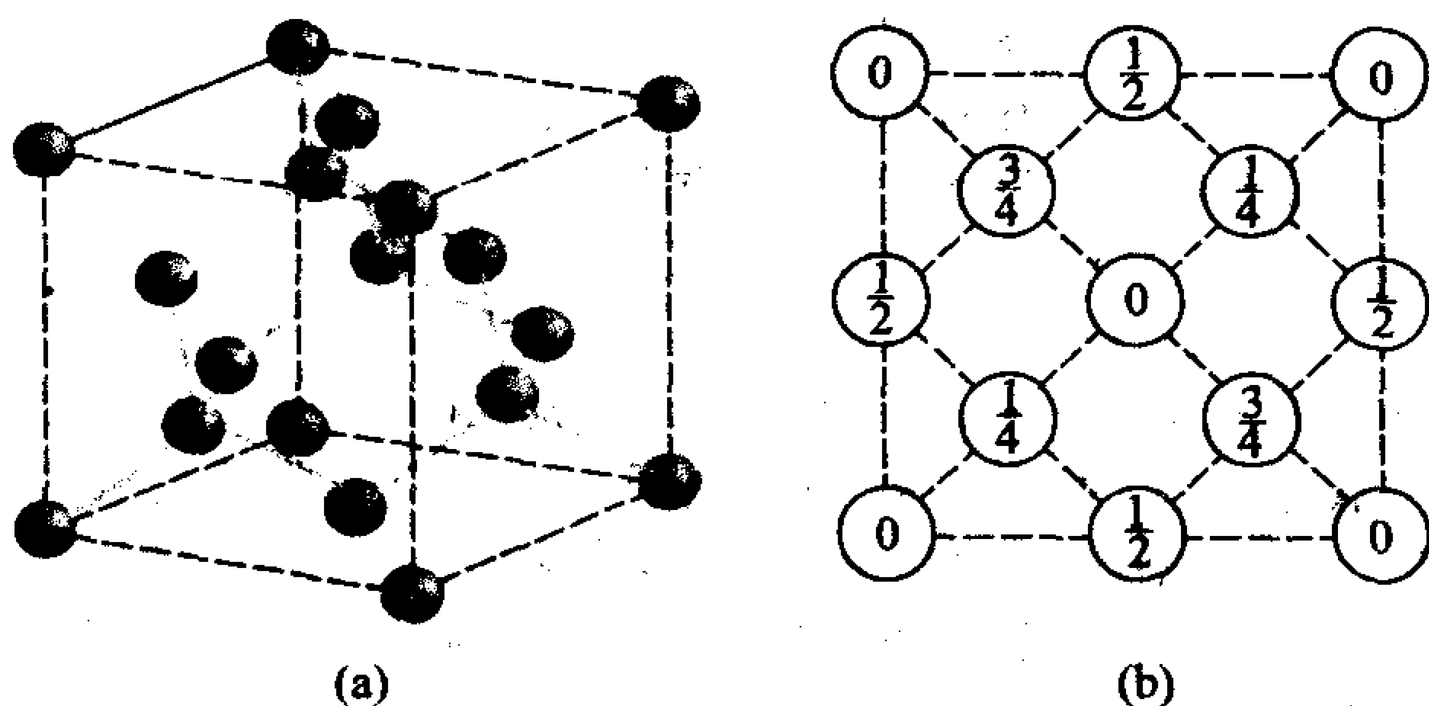


图 2.1-8 硅原子晶胞结构（a）和点阵投影（b）示意图

由图 2.1-8 可知，硅的晶体结构为立方晶系 Fd3m，具有金刚石型结构，也就是由两套面心立方晶体（FCC）结构，沿对角线方向移动 1/4 对角线长度套构而成，而且两套面心立方的原子都是同种元素，它的晶格常数为 0.543 0 nm，相邻原子的间距为$\sqrt{3}a/4 =$ 2.35Å = 0.235 nm，硅晶体的原子密度为 8/（5.439 5Å)^3 = 5×10^{22} cm^{-3}。如图 2,1-9 所示。

硅晶胞是立方晶系，在研究中一般通过直角坐标系来确定晶向和晶面的方位。从图 2.1-8 的硅晶体原子结构示意图中可以看出，在立方晶胞的 8 个顶点和 6 个面心都有原子，另外在晶胞的体内还有 4 个原子，位于晶胞对角线上离顶点 1/4 距离处。因此，一个硅晶胞一共有 8×1/8+6×1/2+4=8

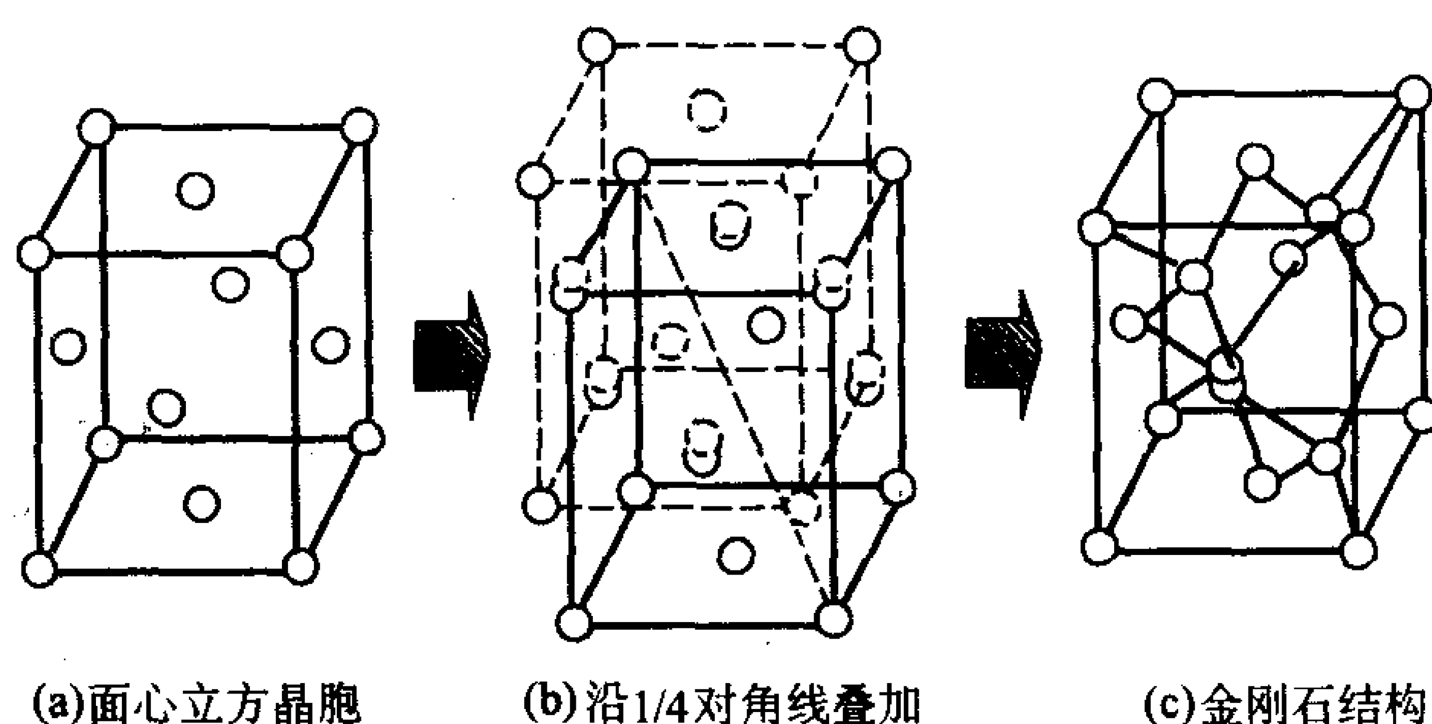


图 2.1-9 硅晶体金刚石结构组成示意图

个原子。它们的直角坐标分别为：（0，0，0）、（1/2，1/2，0）、(1/2，0，1/2)、（0，1/2，1/2)、(1/4，1/4，1/4)、(3/4，3/4，1/4)、(3/4，1/4，3/4)、(1/4，3/4，3/4)。

对于立方晶体，晶体的结构可以用晶面族 {*hlk*} 和晶向族 <*hlk*> 表示，每一个晶面族和晶向族又由一系列有着相同的晶面间距、面密度和质点分布的晶面（*hlk*）和晶向 [*hlk*] 组成，其中 *hlk* 称为密勒（W.H.Miller）指数。硅晶体中主要的晶面族是 {100}、{110} 和 {111}，其中 {100} 有 6 个等同的（111）晶面，{110} 有 12 个等同的（110）晶面，{111} 有 8 个等同的（100）晶面，上述等同晶面的指数如下：

{100} = (100)、$(\bar{1}00)$、$(0\bar{1}0)$、$(0\bar{1}0)$、(001)、$(00\bar{1})$

{110} = (110)、$(\bar{1}\bar{1}0)$、(101)、$(\bar{1}0\bar{1})$、(011)、$(0\bar{1}\bar{1})$
$(1\bar{1}0)$、$(\bar{1}10)$、$(10\bar{1})$、$(\bar{1}01)$、$(01\bar{1})$、$(0\bar{1}1)$

{111} = (111)、$(\bar{1}\bar{1}\bar{1})$、$(\bar{1}11)$、$(11\bar{1})$、$(1\bar{1}1)$、
$(\bar{1}1\bar{1})$/$(1\bar{1}\bar{1})$、$(\bar{1}\bar{1}1)$

{111}、{110} 和 {100} 晶面族相应的晶向是 <111>、<110> 和 <100> 晶向族，同样地，每一个晶向族也由一系列 [111]、[110] 和 [100] 晶向组成。表 2.1-2 表示硅晶体的主要晶面族的面间距，面密度和键密度，从表中可见，{111} 面是原子密排面，<110> 为原子密排方向，{111} 面的面间距最大，键密度最小，{100} 面的间距最小，键密度最大，{110} 面的间距和键密度居中。

表 2.1-2 硅晶体主要晶面的面间距，面密度和键密度

晶面	面间距/nm	面密度（$1/a^2$）	键密度（$1/a^2$）
(100)	$a/4 = 0.136$	2.00	4.00
(110)	$\frac{\sqrt{2}}{4}a = 0.192$	2.83	2.83
(111)	$\frac{\sqrt{3}}{4}a = 0.235$ $\frac{\sqrt{3}}{12}a = 0.078$	2.31	2.31

和其他立方晶系晶体一样，硅晶体不同的晶面和晶向之间也有一定关系。如：任意两个晶面（$h_1k_1l_1$）和（$h_2k_2l_2$）之间的夹角 θ 可以通过公式（2.1-1）来计算：

$$\cos\theta = \frac{h_1h_2 + k_1k_2 + l_1l_2}{\sqrt{(h_1^2 + k_1^2 + l_1^2)} \times \sqrt{(h_2^2 + k_2^2 + l_2^2)}} \tag{2.1-1}$$

如果任意两个晶面（$h_1k_1l_1$）和（$h_2k_2l_2$）相交，其交线为晶向 [*uvw*]，则有：

$$u : v : w = (k_1l_2 - k_2l_1) : (l_1h_2 - l_2h_1) : (h_1k_2 - h_2k_1) \tag{2.1-2}$$

而晶面族 {*hlk*} 的晶面间距 *d* 则为：

$$d = \frac{a}{\sqrt{h^2 + k^2 + l^2}} \tag{2.1-3}$$

如果晶面（*hkl*）和晶面（*uvw*）之间互相垂直，则有：

$$hu + kv + lw = 0 \tag{2.1-4}$$

对于硅晶体而言，{111} 面是原子密排面，<110>为原子密排方向，{111} 面的面间距最大。因此，硅晶体最易沿 {111} 面解理，{110} 面则是第二解理面，硅晶体的最易滑移体系则是 {111} 面的<110>方向。在实际硅器件工艺中，硅晶体的密排面和密排方向常用作为硅片划片的方向，以减少硅片的加工破碎和损伤。对于（100）硅片，(011) 晶面和表面垂直，划片方向在（011）面和（100）面的交线方向。而对于（111）硅片，也是（011）晶面和表面垂直，划片方向在（011）面和（111）面的交线方向。图 2.1-10 显示的是（100）和（111）硅片的解理面和划片方向。

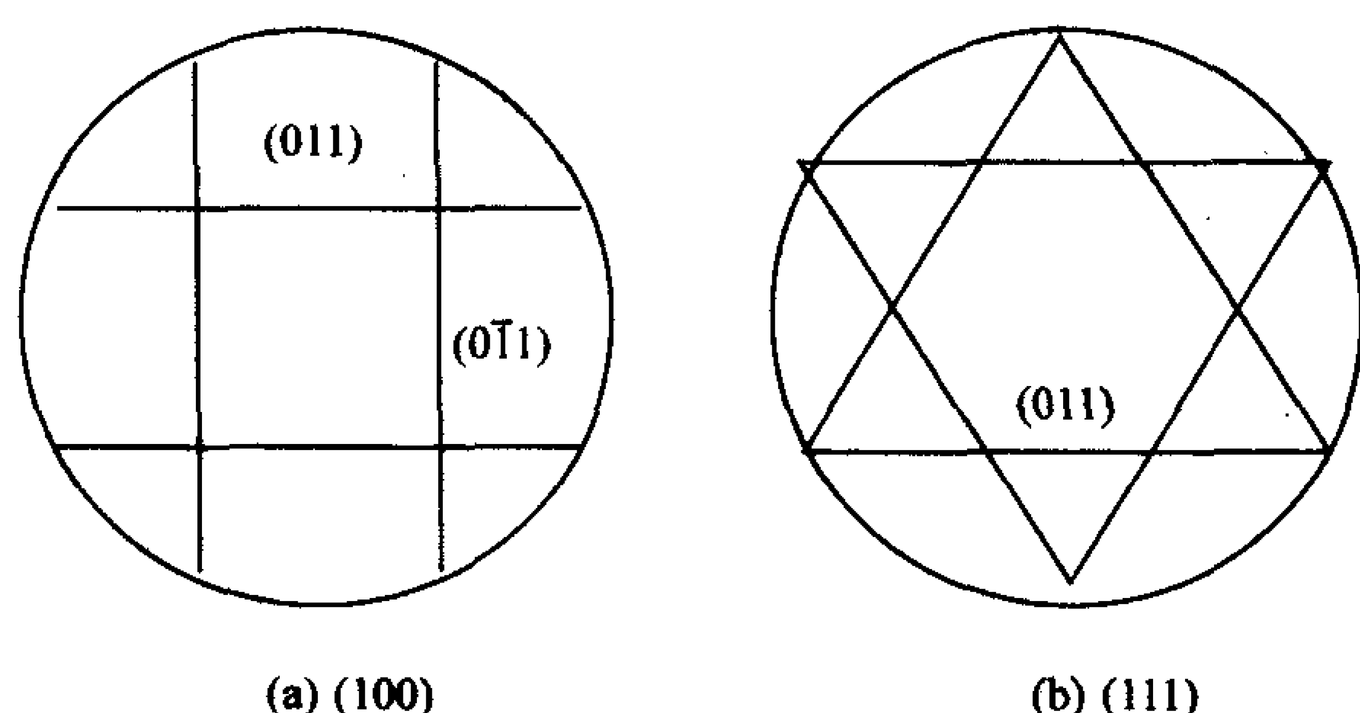


图 2.1-10 （100）和（111）硅片的解理面和划片方向示意图

硅单晶体具有各向异性，其表面的原子结构和表面态也不相同。硅晶体（100）表面的重构是 2×1，即两个表面基矢中，一个等于体内基矢的两倍，另一个与体内基矢相等。而硅晶体的（111）表面的重构也是 2×1，但是这是一种亚稳结构，在 600℃热处理后会变成 7×7 重构，在其他热处理条件下，也可能变成 1×1 重构。进一步而言，硅晶体的 {111} 表面是密排面，表面态密度大，氧化速率大，而腐蚀速率小。硅的 {100} 表面是非密排面，表面态密度小，氧化速率也小，而腐蚀速率大。

3 硅材料的基本性质

硅是自然界最丰富的元素之一，占地壳含量的 26%左右，仅次于氧元素。但是，硅在自然界没有单质形式，而是氧化物为主的化合物形态存在，主要是各种硅酸盐，包括石英砂和岩石等。硅在自然界还有同位素，其中 ^{28}Si 为 92.23%，^{29}Si 为 4.67%，^{30}Si 为 3.10%。

3.1 硅材料的基本物理性质

硅在元素周期表中属于Ⅳ族元素，原子序数为 14，原子量为 28.085。硅材料的原子密度为 $5.00\times10^{22}/cm^3$，熔点为1 415℃，沸点为 2 355℃。在常温（300 K）下，是具有灰色金属光泽的固体，属脆性材料，表 2.1-3 显示的是硅材料的力学和热学基本性质。除此之外，硅材料还具有一些特别的物理化学性能。如硅材料熔化时体积缩小，固化时体积增大。硅材料的硬度高，但脆性大，易破碎；作为脆性材料，硅材料的抗拉应力远远大于抗剪切应力，在室温下没有延展性；在热处理温度高于 750℃时，硅材料从脆性材料转化为塑性材料，在外加应力的作用下，产生滑移位错，形成塑性形变。

另外，硅材料的光吸收处于红外波段。1～7 μm 波段，红外光透过率高达 90%～95%，利用这个特点，可以利用硅材料制作红外聚焦透镜。

表 2.1-3 硅材料的力学和热学基本性质

性　质	符号	单位	数　值
熔点	T_m	℃	1 420
沸点	T_b	℃	2 355
密度（固/液）	ρ	$g\cdot cm^{-3}$	2.329/2.533
线胀系数		K^{-1}	2.6×10^{-6}
临界温度		℃	4 886
临界压力		MPa	53.6
熔化热		$kJ\cdot g^{-1}$	1.8
蒸发热		$kJ\cdot g^{-1}$	16
热导率（固/液）		$W\cdot(m\cdot K)^{-1}$	150（300 K）/46.84（熔点）
定压比热容	c_p	$J/(g\cdot K)^{-1}$	0.7
摩氏硬度			6.5
弹性常数		$N\cdot cm^{-1}$	C_{11}：16.704×10^6； C_{12}：6.523×10^6 C_{44}：7.957×10^6
熔点时表面张力	γ	$mN\cdot m^{-1}$	736
折射率	N		3.87
弹性模量		GPa	130

3.2 硅材料的基本化学性质

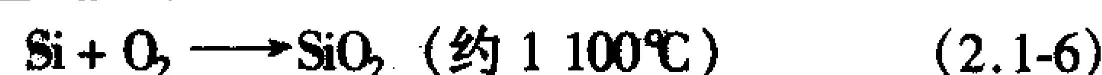
硅材料在常温下除了和氧可以发生极轻微的氧化反应外，化学性质是稳定的；在常温常压下的空气环境中，高纯硅材料表面可以和空气中的氧反应，形成几个纳米厚的氧化层。但在高温下，几乎可以和所有物质发生化学反应，尤其是氧。硅材料虽然在室温下不溶于单一的酸，但易溶于碱以及酸的混合液。

在硅晶体的制备过程中，硅材料可以和氧、氮等很多种物质发生反应。在直拉硅单晶生长时，熔融的硅会与石英坩埚发生反应，形成 SiO 气体，反应式如下：



$$Si + SiO_2 \longrightarrow Si（固体）+ 2SiO（气体） \tag{2.1-5}$$

在硅器件的制备过程中，硅材料可以与氧气或者水蒸气在高温下发生反应，生成致密的二氧化硅（SiO_2）层。这个二氧化硅层，既可以作为阻挡层，有利于硅器件的选区扩散；也可以作为器件之间的隔离绝缘层；它还可以保护 p-n 结，提高器件工作的可靠性；是硅集成电路平面工艺中的主要工艺，其反应式如下：



$$Si + O_2 \longrightarrow SiO_2（约 1 100℃） \tag{2.1-6}$$



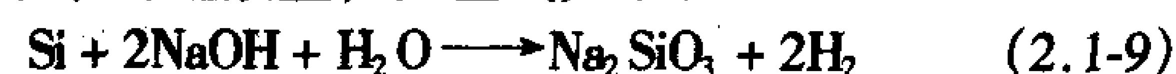
$$2H_2O + Si \longrightarrow SiO_2 + H_2（约 1 000℃） \tag{2.1-7}$$

硅材料对酸不敏感，在室温下，硅不会与 HCl、H_2SO_4、HNO_3 及 HF 反应。但是，当把 HNO_3 和 HF 酸混合在一起的时候，硅晶体很容易被腐蚀。在这个反应中，HNO_3 起了氧化剂的作用，生成 SiO_2，然后 HF 酸与 SiO_2 反应，从而腐蚀了硅材料。其反应式如下：



$$4HNO_3 + 6HF + Si \longrightarrow H_2SiF_6 + 4NO_2 + 4H_2O \tag{2.1-8}$$

在 80～100℃，硅材料还可以直接和碱溶液反应，生成相应的可溶于水的硅酸盐，反应式如下：



$$Si + 2NaOH + H_2O \longrightarrow Na_2SiO_3 + 2H_2 \tag{2.1-9}$$

另外，硅材料还可以和金属作用，生成多种金属硅化

物，可作为制备集成电路内部的引线等，如 $TiSi_2$、WSi_2 和 $MoSi_2$。

3.3 硅材料的电学性质

硅材料是应用最广泛的元素半导体材料，在室温下它的禁带宽度为 1.12 eV，硅的本征载流子浓度为 $1.45\times10^{10}/cm^3$。表 2.1-4 显示的是硅材料的电学基本性质。

表 2.1-4 硅材料的电学性质

性 质	符号	单位	数 值
介电常数	ε		11.9
本征载流子浓度	n_i	个$\cdot cm^{-3}$	1.5×10^{10}
本征电阻率	ρ_i	$\Omega\cdot cm$	2.3×10^5
电子迁移率	μ_n	$cm^2\cdot(V\cdot s)^{-1}$	1 350
空穴迁移率	μ_p	$cm^2\cdot(V\cdot s)^{-1}$	480
电子扩散系数	D_n	$cm^2\cdot s^{-1}$	34.6
空穴扩散系数	D_p	$cm^2\cdot s^{-1}$	12.3
导带有效态密度		cm^{-3}	2.8×10^{19}
导带有效态密度		cm^{-3}	1.04×10^{19}
电子有效质量	m_l/m_t		$m_l=0.98$，$m_t=0.19$
电子有效质量	m_{lh}/m_{hh}		$m_{lh}=0.16$，$m_{hh}=0.49$
禁带宽度（25℃）	E_g	eV	1.12
电子亲和力	χ	V	4.01
器件最高工作温度		℃	250

注：m_l 表示纵向，m_t 表示横向，m_{lh}表示轻空穴，m_{hh}表示重空穴。

作为元素半导体，硅具有典型的半导体材料电学性质。首先是电阻率特性，硅材料的电阻率在 $10^{-5}\sim10^{10}\ \Omega\cdot cm$ 之间，介于导体和绝缘体之间，其导电性受到杂质、光、电、磁、热、温度等环境因素的明显影响。高纯没有掺杂的无缺陷的硅晶体材料称为本征半导体，电阻率在 $10^6\ \Omega\cdot cm$ 以上。实际应用中，通过有意掺入可控制的少量电活性杂质来控制硅材料的电阻率，达到控制硅材料和器件的半导体性质的目的。若在硅单晶中掺入百万分之一磷杂质原子，就能使单晶电阻率下降到大约 $0.2\ \Omega\cdot cm$，即下降了约一百万倍。对四价的硅材料而言，如果掺入五价元素（如磷、砷和锑）杂质，则对硅材料提供电子，杂质称为施主杂质，硅材料称为n型半导体材料；反之，如果掺入三价元素（如硼、铝和镓），则对硅材料提供空穴，杂质称为受主杂质，硅材料称为 p 型半导体。而且，随着杂质掺入量的变化，硅的载流子（电子和空穴）浓度和电阻率会发生变化，图 2.1-11 显示的是硅在室温时的掺杂浓度和电阻率之间的关系。电阻率和载流子浓度的关系也可以用下式表示：

$$\rho=\frac{1}{\sigma}=\frac{1}{C_s e\mu} \qquad (2.1\text{-}10)$$

式中，ρ 是电阻率；C_s 是掺杂浓度；σ 是电导率；e 是电子电荷，其值为 1.6×10^{-19} C；μ 是电子或空穴的迁移率，分别为1 350 $cm^2/V\cdot s$ 和 480 $cm^2/V\cdot s$。

硅材料的另一个重要的半导体特性是 p-n 结特性，即 n 型硅材料和 p 型硅材料结合，组成 p-n 结，具有单向导电性等性质，这是所有硅半导体器件的基本结构。同时，硅材料还具有光电特性，和其他半导体材料一样，硅材料组成 PN 结后，在光作用下能产生电流，如太阳电池。

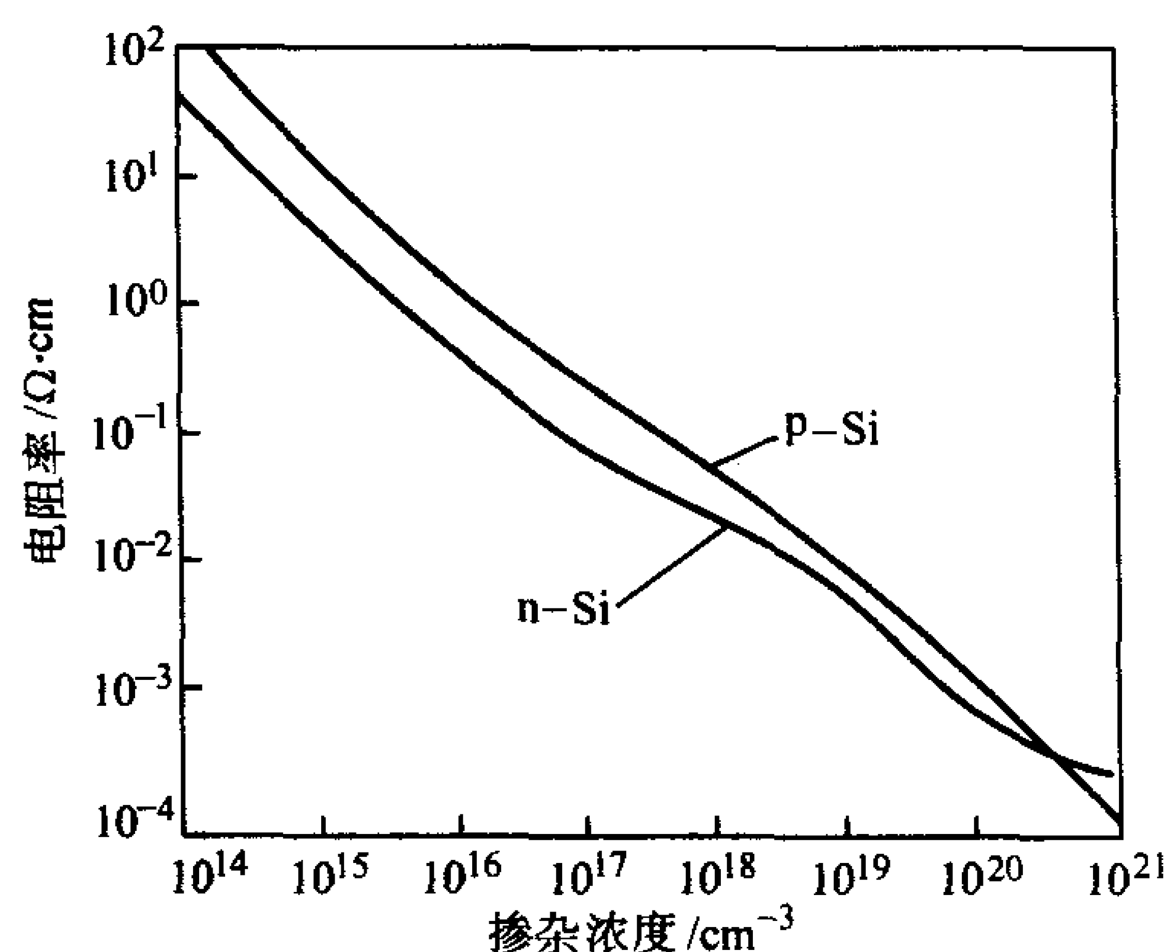


图 2.1-11 硅在 300 K 时的掺杂浓度与电阻率之间的关系

半导体材料可以根据能带的结构分为直接带隙半导体和间接带隙半导体，两种带隙的价带顶在能带图中的位置都是相同的，位于 $k=0$ 处；但是，导带底的位置不同。当价带顶和导带底都位于 $k=0$ 处时，称为直接带隙半导体；当导带底不位于 $k=0$ 处时，称为间接带隙半导体。它们的差异主要表现在电子跃迁几率的大小。由于电子在跃迁的时候要同时满足能量和动量守恒，而光子的动量要远小于电子动量，因此可以近似地认为跃迁前后电子的波氏 k 不变：因此在直接带隙半导体中，电子在价带顶和导带底的跃迁可以竖直进行，也就是直接跃迁，几率较大；而在间接带隙半导体中，电子在价带顶和导带底的跃迁会对电子准动量 k 产生影响，必须要有具有适当动量的声子参与，因此，相比于直接跃迁，这种二级过程的跃迁几率要小很多。所以，在间接带隙材料中，直接辐射复合系数和吸收边附近的吸收系数都要远小于直接带隙材料，一般认为发光效率比较低。

硅材料就是间接带隙半导体，其能带结构示意图如图 2.1-12 所示。从图中可以看出，硅的价带顶在 $k=0$ 处，它的导带底位于［100］方向的最低能谷处，它决定着硅材料的电学和光学性质。导带底和价带顶之间是禁带，在 0 K 时，硅的禁带宽度为 1.66 eV，在室温时，禁带宽度为 1.12 eV。硅的等能面是旋转椭圆球，长轴在［100］方向，短轴垂直于［100］方向。

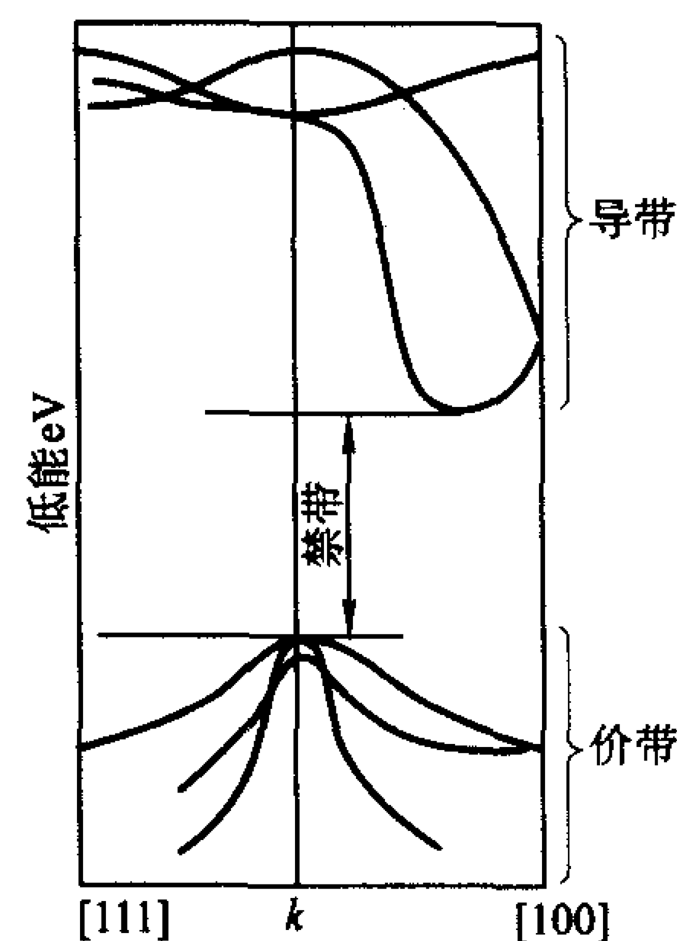


图 2.1-12 硅的能带结构示意图

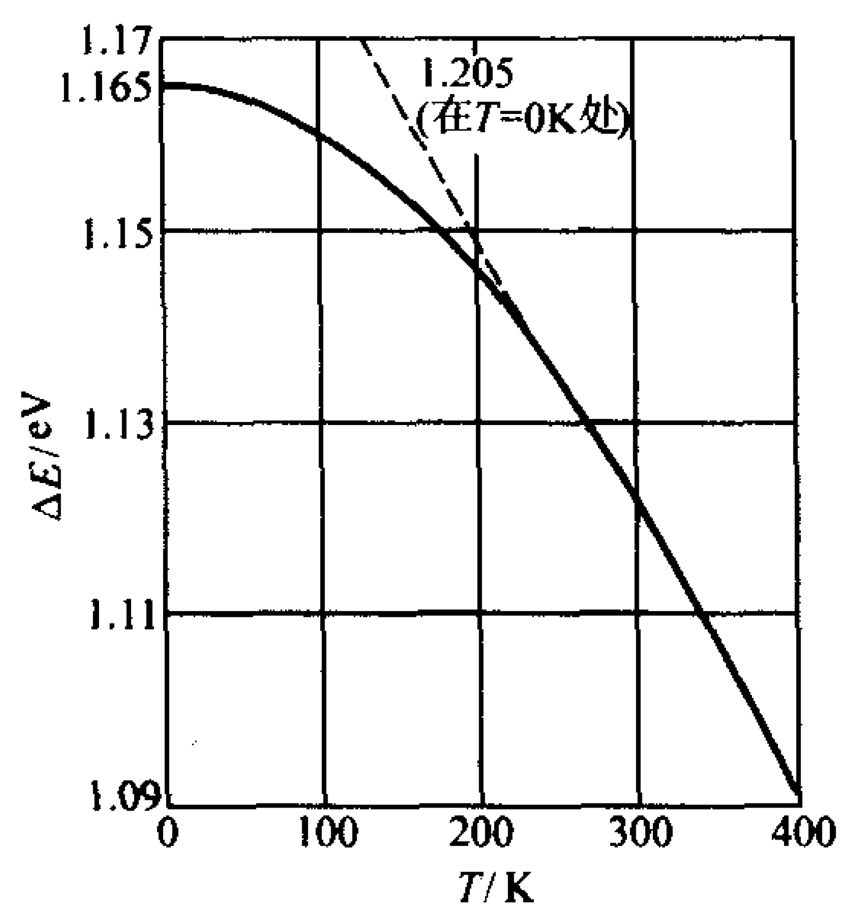


图 2.1-13 硅的禁带宽度 E_g 随温度的变化

禁带宽度 E_g 是半导体材料的一个重要参数，它的大小反应了光吸收的吸收限和光发射的长波限。和其他半导体材料一样，硅材料的禁带宽度主要受温度的影响，图 2.1-13 是硅的禁带宽度随温度的变化。由图 2.1-13 可见，随温度的增加，其禁带宽度逐渐下降。

半导体硅材料是最重要的半导体材料，它在钢铁添加剂、晶体管、探测器、集成电路、太阳电池等领域得到广泛应用，对人类社会的科学技术的进步起到了重大的推动作用。到目前为止，硅材料的新功能、新结构不断被探索和开发，还没有一种材料在可预见的将来会替代硅材料，因此，在今后的发展时代，硅材料作为信息社会的基础材料将对社会的进步做出更大的贡献。

编写：杨德仁（浙江大学）

第 2 章　硅单晶的制备

1947 年 12 月在美国贝尔实验室发明的晶体管掀开了固态电子学的新纪元，从此半导体材料在人类社会的进步中扮演着重要的角色。最早用于制造晶体管的半导体材料是锗单晶，但锗单晶存在两个严重问题：一是禁带宽度窄（0.66 eV），限制了器件的工作温度；二是在锗单晶片上形成的氧化膜极不稳定，它可以被水溶解，并在 800℃左右即可分解。因此，锗单晶后来被硅单晶完全取代。硅单晶与锗单晶相比具有如下诸多优点：从器件制造的角度而言，在硅单晶片表面可以非常方便地形成高质量的氧化膜，这对于器件的平面工艺是非常重要的；从材料特性而言，硅单晶具有高的热导率、高屈服强度和低线胀系数，这三种特性集于一身有利于单晶的大直径和无位错生长；从材料的生产成本而言，由于硅元素在地壳中的含量仅次于氧而居第二，因此从理论上讲，用于制造硅单晶的原料可谓“取之不尽，用之不竭”，这就决定了硅单晶材料的成本是相对低廉的。确实，获得电子级硅的成本还不到锗的十分之一。目前，用于制造电子器件的半导体材料 90% 以上是硅单晶，因此，硅单晶已经名副其实地成为微电子产业乃至信息产业的基石，并且在可预见的将来，硅单晶仍将是纳电子时代最重要的半导体材料。

硅单晶是以纯度极高的多晶硅为原料，通常由直拉法（Czochralski 法）和区熔（Float-Zone）法生长而成。硅集成电路使用的都是直拉法生长的硅单晶，即 CZ 硅，而大功率器件中有相当一部分采用区熔法生长的硅单晶，即 FZ 硅。在 CZ 硅片中，外延硅片将占据愈来愈多的份额，这个趋势将在硅片进入 300 mm 时代后表现得更加明显。随着集成电路特征尺寸的减小以及对器件低功耗和高速度的要求，SOI 将发挥越来越重要的作用，成为硅片“家族”中的重要成员。本章将从多晶硅的制备开始，系统的阐述硅单晶（包括外延片，SOI）的制造过程。

1　高纯多晶硅的制备

可以毫不夸张的说，多晶硅的制造技术是具有国家战略意义的高技术，它是整个硅材料产业乃至微电子产业的基础。目前，多晶硅的大规模生产仍由少数发达国家如美国、日本和德国所控制。世界上多晶硅的供应商有 Hemlock，Wacker，MEMC，AsiMI，Tokuyama，Komatsu，Mitsubishi，SEH 等。由于多晶硅的生产必须规模化（至少年产千吨以上）才能赢利，再加上技术的复杂性、专有性和保密性以及后进者在开发市场上的困难等因素，建一座新的多晶硅工厂是相当不容易的。

多晶硅的制造方法主要分为三个流派，即：Simens 法、AsiMi 法和 Ethyl 法。前两个方法分别是以 $SiHCl_3$ 和 SiH_4 为硅源制造多晶棒，而第三个方法则是利用 SiH_4 为硅源制造颗粒状的多晶硅。图 2.2-1 给出了多晶硅棒和多晶颗粒的典型照片。

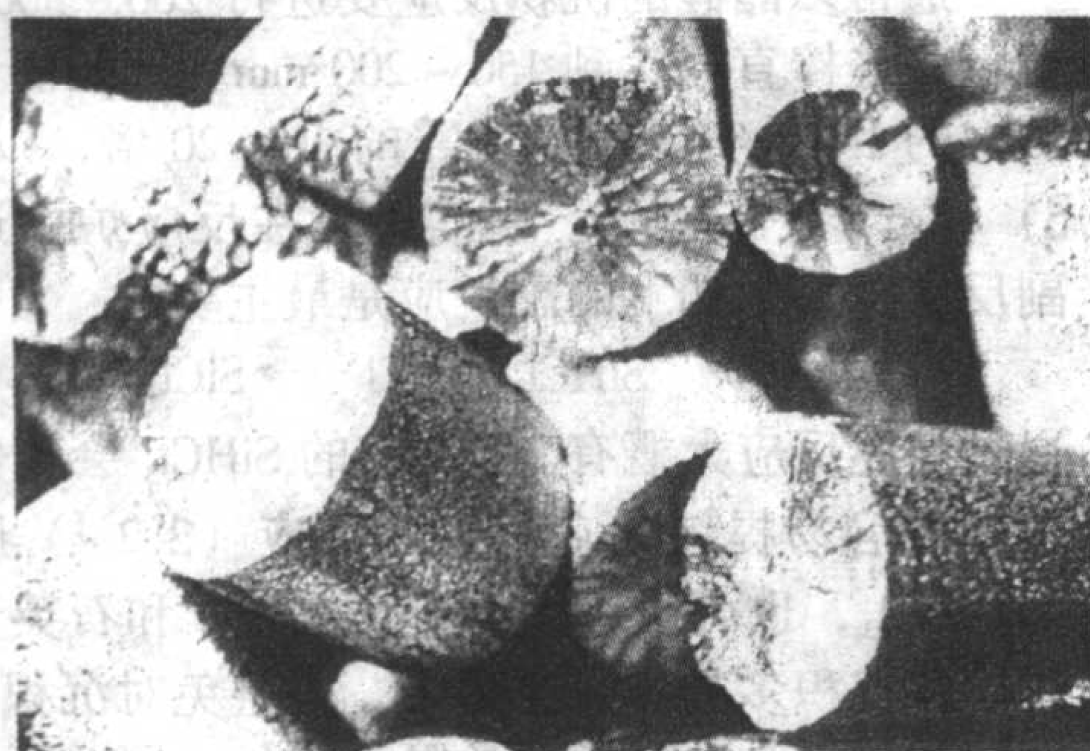


图 2.2-1　多晶硅棒和多晶硅颗粒的照片

多晶硅的用途分为四种：①CZ 法生长单晶的第一次加料，②FZ 法生长单晶使用的棒状多晶，③CZ 法生长单晶时的再加料，④CZ 法生长单晶的连续加料。其中多晶硅的 90% 左右被用于 CZ 法生长单晶的第一次加料，通常是由 Simens 法和 AsiMi 法生长的多晶棒粉碎而成的块。FZ 法生长单晶用的多晶棒多是由 AsiMi 法生长的，在棒的几何尺寸上的要求很高。多晶棒还可用于 CZ 法生长单晶的再加料，此时对棒的几何尺寸的要求不高。多晶硅块也可用于再加料，此时要求块的尺寸较小，而且需要特殊的再加料装置和工艺，以避免再加料过程中的溅料和坩埚破裂。生产颗粒硅的初衷是用于 CZ 法生长的连续加料。很长一段时间以来，用颗粒硅生长单晶时碰到困难。最近生产颗粒硅的主要厂家 MEMC 宣称已经很好地解决了成晶困难的问题，并显著地降低了单晶的生产成本。

1.1　冶金级硅的制备

冶金级硅是制造半导体多晶硅的原料，它由将石英砂（二氧化硅）在电弧炉中用碳还原而成的。尽管二氧化硅矿石在自然界中随处可见，但仅有其中的少数可用于冶金级硅的制备。一般而言，要求矿石中二氧化硅含量在 99% 以上，并对各种杂质特别是砷、磷和硫等的含量有严格的限制。

冶金硅形成过程从化学反应式上来看是非常简单的，如下式所示：



$$SiO_2 + 2C \longrightarrow Si + 2CO \qquad (2.2\text{-}1)$$

然而在电弧炉中发生的实际反应过程是非常复杂的，在炉子的不同部位，由于温度不同，会发生不同的反应。冶金硅的形成发生在炉子底部，即温度最高处。炉料从炉子顶部加入到炉内，而液态硅则是从炉底周期性地排出，然后铸成锭条。生产冶金硅的电弧炉如图 2.2-2 所示。电弧炉的直径和高度可达 10 m，每年有数万吨的产能。

冶金硅主要用于钢铁工业和铝合金工业，这种情况下要求纯度为 98%。纯度大于 99% 的冶金硅用于制备氯硅烷，它是硅酮工业合成有机硅化物的关键中间体。而用于制造半导体硅的冶金硅只占其总量的 2% 左右，大约只相当于一个单电弧炉的部分产能。

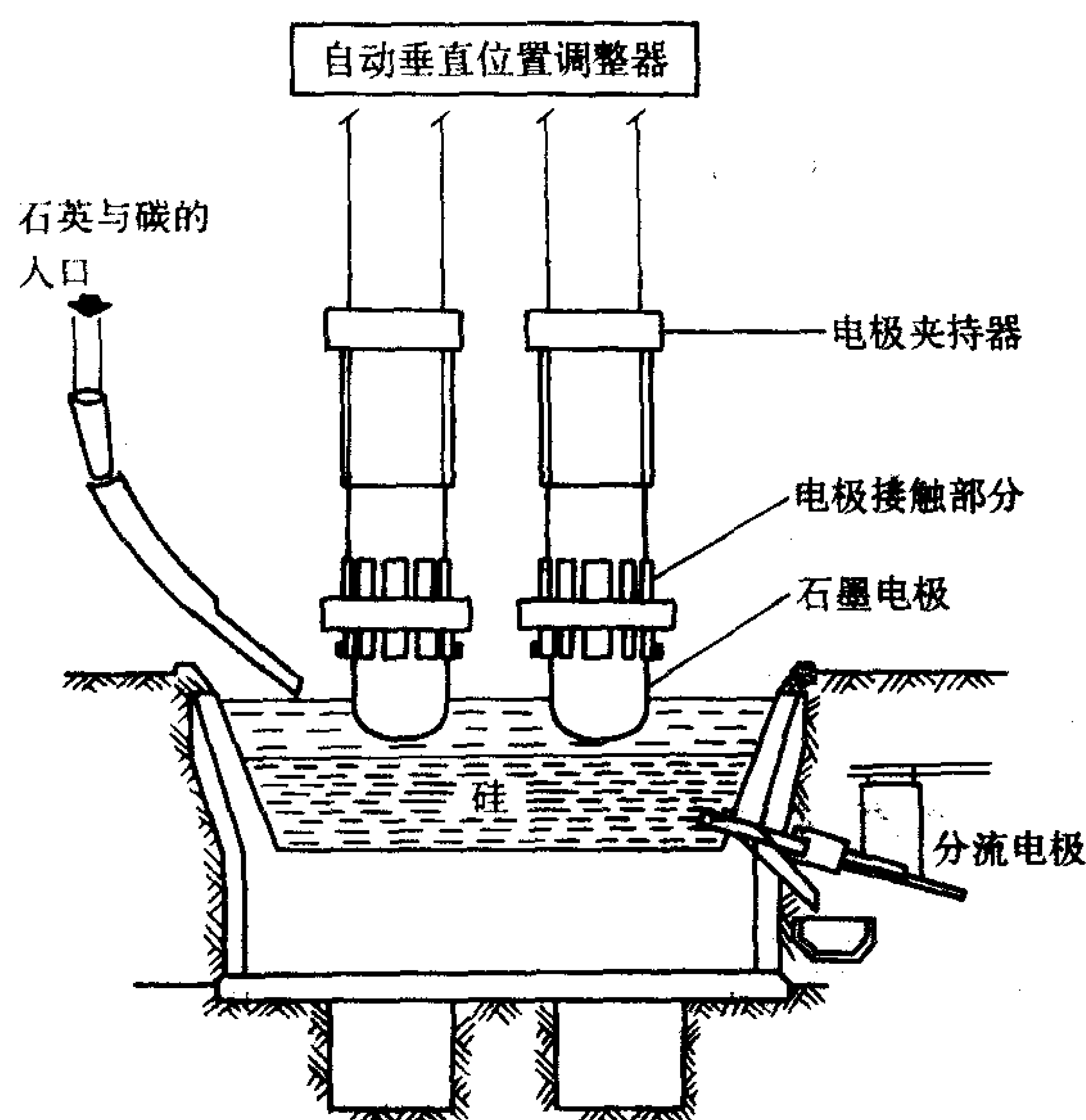


图 2.2-2　生产冶金硅的电弧炉的示意图

用于制造半导体的冶金硅中除了含有99%以上的Si外，还含有Fe，Al，Ca，P，B等，它们的含量在百万分之几十到百万分之一千个（摩尔分数）不等。而半导体硅中的杂质含量应该降到10^{-9}（摩尔分数）的水平。要把冶金硅变成半导体硅显然不可能在保持固态的情况下提纯，而必须把冶金硅变成含硅的气体，先通过分馏与吸附等方法对气体提纯，然后再把高纯的硅源气体通过化学气相沉积（CVD）的方法转化成多晶硅。目前，有两种主流的方法即：SIMENS法（又称$SiHCl_3$法）和ASiMi方法（又称SiH_4法）生产半导体级多晶硅棒。

1.2　SIMENS方法（$SiHCl_3$法）制造多晶硅

SIMENS法于1954年推出，随即淘汰了当时使用的$SiCl_4$锌还原法，而成为被一直使用的方法。它的第一步是在250~350℃的温度下让冶金硅粉末和氯化氢在流化床上反应。使用流化床的好处是反应热容易散发和冶金硅容易加入。在流化床上发生的主要反应有：



$$Si + 3HCl \longrightarrow SiHCl_3 + H_2 \qquad (2.2\text{-}2)$$



$$Si + 4HCl \longrightarrow SiCl_4 + 2H_2 \qquad (2.2\text{-}3)$$

其中反应（2.2-2）为主反应，产物$SiHCl_3$，约占最终产物的90%；反应（2.2-3）为副反应，产物为$SiCl_4$，约占最终产物的10%，其产率随温度的升高而升高。在最终的产物中，还有少量的SiH_2Cl_2、未反应的HCl、一些易挥发的金属氯化物和硼、磷、砷等电活性元素的氯化物。

副反应（2.2-3）产生的$SiCl_4$以及随后的$SiHCl_3$化学气相沉积过程中产生的$SiCl_4$都将被循环使用，它与硅粉和氢气在500~600℃下反应而生成$SiHCl_3$。化学反应式如下：



$$Si + 3SiCl_4 + 2H_2 \longrightarrow 4SiHCl_3 \qquad (2.2\text{-}4)$$

SIMENS法的第二步是对$SiHCl_3$进行分馏，在这个过程中可以把具有不同沸点的氯化物分离开来。金属氯化物和$SiHCl_3$的分离相对容易，而PCl_3、BCl_3以及一些有机氯化物和$SiHCl_3$的分离就比较困难，必须采取多次分馏，才能将杂质降低到1×10^{-9}（摩尔分数）以下。在纯化$SiHCl_3$过程中，还需使用选择性吸附技术。在分馏操作的安全方面，应该避免日光照射盛装$SiHCl_3$的容器，且在低温存储，以防止急速蒸发而发生爆炸。

SIMENS法的第三步是硅的沉积。多晶硅反应炉一般都采用单端开口的钟罩方式。反应炉的底盘是水冷式的，盘上有$SiHCl_3$和H_2的进气口和HCl的出气口，此外还有连接晶种的电极。钟罩用O形环密封在底盘之上。制造钟罩使用的材料可以是石英也可以是金属，若采用石英则在外侧包围隔热及安全保护层；若采用金属则在炉壁中采用双水冷式的设计。图2.2-3给出了多晶硅反应炉的示意图。

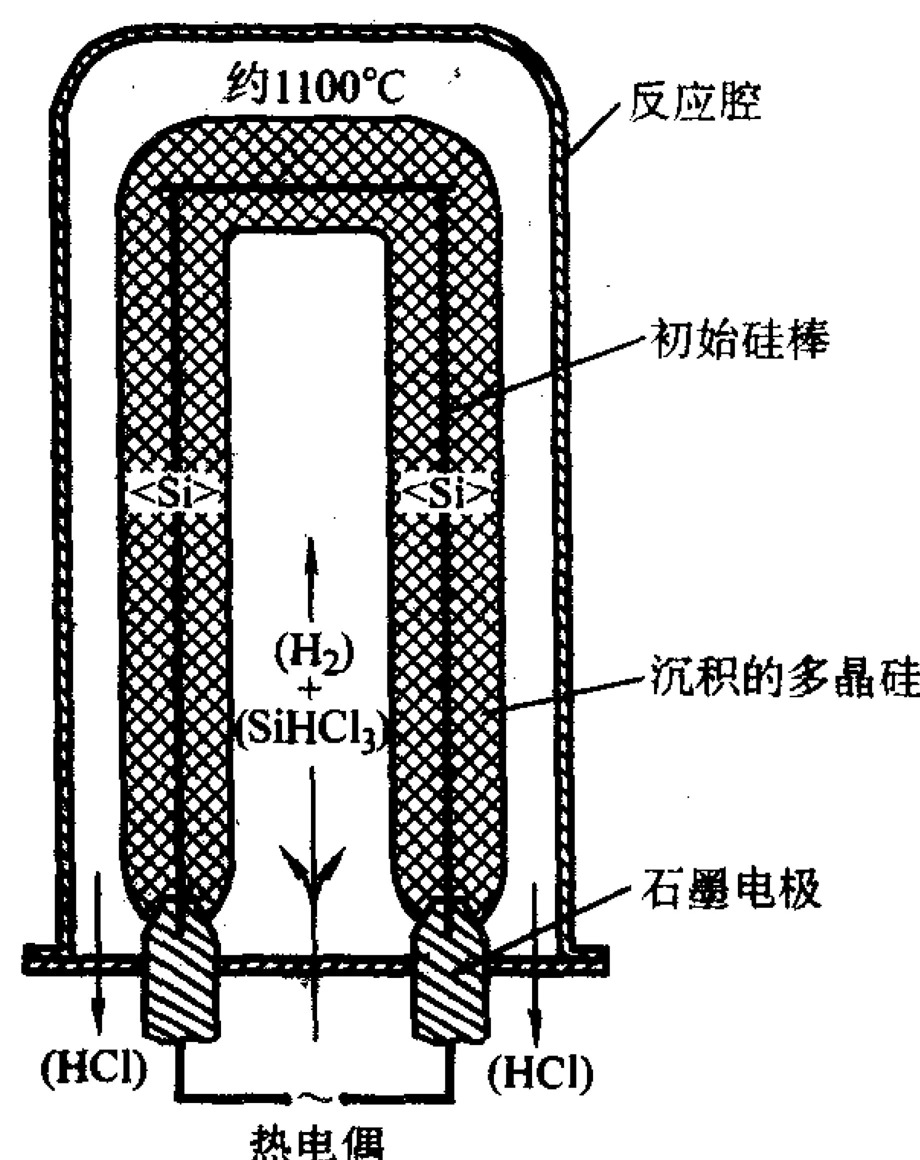
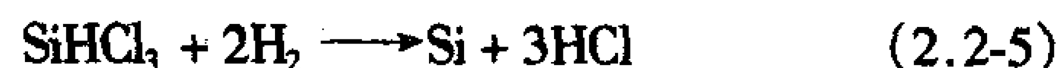


图 2.2-3　化学气相法沉积多晶硅的反应炉的示意图

如图2.2-3所示，接在电极上的硅桥呈倒立的U字形，它是超纯的细硅芯，直径约为5 mm，长度可达2~3 m。沉积多晶硅时，电流通过硅桥使之发热，当温度达到1 100℃左右时，会在硅桥表面发生如下反应：



$$SiHCl_3 + 2H_2 \longrightarrow Si + 3HCl \qquad (2.2\text{-}5)$$

通常多晶硅的沉积反应要进行200~300 h，使沉积在硅桥上的硅棒直径达到150~200 mm。一般而言，进入到反应炉中的H_2是实际反应所需的10~20倍，以保证反应（2.2-5）尽可能正向进行。事实上，在反应炉中还将发生其他的副反应，其中如下的副反应是最主要的：



$$SiHCl_3 + HCl \longrightarrow SiCl_4 + H_2 \qquad (2.2\text{-}6)$$

通过上述反应大概有2/3左右的$SiHCl_3$会转化为$SiCl_4$。幸好$SiCl_4$很容易提纯，它可以如反应（2.2-4）所示，被回收生产$SiHCl_3$，也可以作为生产外延硅片和石英光纤等产品的原料。在沉积多晶硅的过程中，要避免对沉积系统具有破坏性的同相成核和在气相中的颗粒生长，因此要选择合适的沉积条件。比如：反应炉壁的温度要在575℃以下，晶种温度约为1 100℃，$SiHCl_3$与HCl的摩尔比在5%~15%之间，反应炉工作压力在34.47 kPa（5 psi），气体流量要比理论值大，以增加沉积速率和带走HCl气体的速度。

在每次生产结束后，要用氮气将反应炉冲干净。多晶棒取出后，将反应炉清洁干净后可以重新开始另一炉的沉积。然后，将多晶棒敲成块状多晶硅，接着通过酸洗、干燥、包装等程序，即可作为生产CZ硅单晶的原料。倒U字形多晶棒的直体部分可以作为FZ法生长单晶用的原料棒。

1.3　ASiMi方法（SiH_4法）制造多晶硅

20世纪60年代末期，ASiMi（Advanced Silicon Materials Inc.）公司提出了用SiH_4作为原料生产多晶硅。利用SiH_4原料来制造多晶硅棒，一般使用金属钟型罩炉。在高温时，SiH_4会分解产生Si与H_2，其反应式如下：



$$SiH_4 \longrightarrow Si + H_2 \qquad (2.2\text{-}7)$$

分解产生的Si会渐渐沉积在硅种上，其沉积速率可以通过温度的分布和SiH_4的气流量来控制。与$SiHCl_3$相比，SiH_4的转换效率高很多，95%的SiH_4可以转换成多晶硅。而且，

由于 SiH_4 可以在较低的温度下沉积，所以消耗的电能也较少。

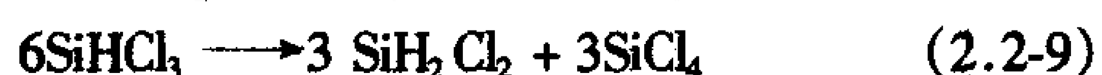
但是，从总的成本来说，SiH_4 法还是要比 $SiHCl_3$ 法高。目前，有多种技术用于生产 SiH_4，以下对它们分别做一简要的介绍。

1.3.1 Union Carbide 方法

该法是目前规模最大的制造 SiH_4 的方法。该法的要点是：首先将冶金 Si、H_2 和 $SiCl_4$ 等原料置于高温高压（约550℃，$30\times1.01\times10^5$ Pa（30 atm））的流化床反应器，产生 $SiHCl_3$，接着利用分馏法将未反应的 $SiCl_4$ 分离出并返回流程。接着，使 $SiHCl_3$ 在有特殊离子交换树脂的催化歧化反应器内发生歧化反应，产生 SiH_2Cl_2 和 $SiCl_4$。生成的 SiH_2Cl_2，再经过同样的离子交换树脂层，蒸馏分离成 SiH_4 和 $SiHCl_3$。上述过程可以用如下反应式表示。



$$Si + 2H_2 + 3SiCl_4 \longrightarrow 4SiHCl_3 \qquad (2.2\text{-}8)$$



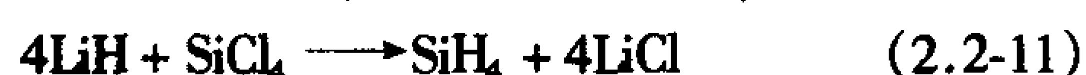
$$6SiHCl_3 \longrightarrow 3SiH_2Cl_2 + 3SiCl_4 \qquad (2.2\text{-}9)$$



$$SiH_2Cl_2 \longrightarrow SiH_4 + 2SiHCl_3 \qquad (2.2\text{-}10)$$

1.3.2 利用 $SiCl_4$ 的合成反应法

利用金属氢化物还原 $SiCl_4$，可以产生 SiH_4。如：



$$4LiH + SiCl_4 \longrightarrow SiH_4 + 4LiCl \qquad (2.2\text{-}11)$$

其中 LiCl 可以被电解产生 Cl_2 和 Li，而 Cl_2 重新与 Si 反应产生 $SiCl_4$，Li 则可以与 H_2 反应重新生成 LiH。

1.3.3 Ethyl 方法

Ethyl 公司开发的技术生产的 SiH_4 可以作为生产颗粒硅的原料。该方法使用的原料来自于磷酸盐肥料工业的副产品 Na_2SiF_6，利用如下反应制备 SiH_4。



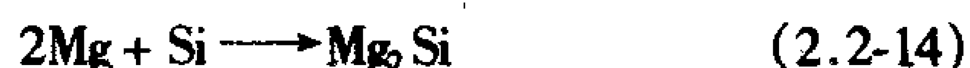
$$Na_2SiF_6 + H_2SO_4 \longrightarrow SiF_4 + 2HF + Na_2SO_4 \qquad (2.2\text{-}12)$$



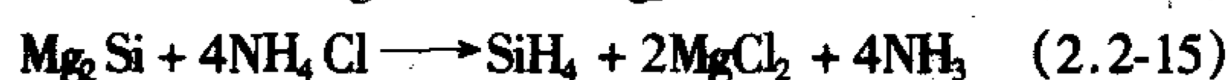
$$NaAlH_4 + SiF_4 \longrightarrow SiH_4 + NaAlF_4 \qquad (2.2\text{-}13)$$

1.3.4 Johnson 方法

Johnson 于 1935 年提出了一种生产 SiH_4 的方法，目前工业界有一部分是采用改良的 Johnson 方法生产 SiH_4。该方法的基本反应式是：



$$2Mg + Si \longrightarrow Mg_2Si \qquad (2.2\text{-}14)$$



$$Mg_2Si + 4NH_4Cl \longrightarrow SiH_4 + 2MgCl_2 + 4NH_3 \qquad (2.2\text{-}15)$$

其中，反应式（2.2-15）需要在液氨中进行。这种方法最大的好处是大部分的硼杂质可与 NH_3 反应而与 SiH_4 分离，因此，用这种方法生产的 SiH_4 制造的多晶硅中，硼杂质的含量特别低（摩尔分数在 $0.01\times10^{-9}\sim0.02\times10^{-9}$ 之间）。

多晶硅的制造技术除了使用 $SiHCl_3$、SiH_4 作为原料外，在理论上也可使用 SiH_2Cl_2、$SiCl_4$ 等作为原料。但是，从生产成本、安全性、品质与可靠性等角度考虑，SiH_2Cl_2 和 $SiCl_4$ 并不适合用来生产多晶硅。

1.4 粒状多晶硅的制造技术

粒状多晶硅的制造技术，起源于 Ethyl 公司的 SiH_4 方法，1987 年商业化的粒状多晶硅开始生产。该技术利用流体床反应炉将 SiH_4 分解，而分解形成的硅则沉积在一些自由流动的微细晶种颗粒上，形成粒状多晶硅。由于晶种表面积很大，使得流体床反应炉的效率高于传统的 Simens 反应炉，因此该技术可以提供较低的生产成本。在用途上，粒状多晶硅除了用于传统的 CZ 单晶生长外，在二次加料或连续加料生长 CZ 硅中格外有用。这种方法的制造过程如下：

1）利用钠、铝及氢制造 $NaAlH_4$



$$Na + Al + 2H_2 \longrightarrow NaAlH_4 \qquad (2.2\text{-}16)$$

2）分解磷酸盐肥料工业的副产品 H_2SiF_6，使之产生 SiF_4



$$H_2SiF_6 \longrightarrow SiF_4 + 2HF \qquad (2.2\text{-}17)$$

3）SiF_4 被 $NaAlH_4$ 还原产生 SiH_4



$$NaAlH_4 + SiF_4 \longrightarrow SiH_4 + NaAlF_4 \qquad (2.2\text{-}18)$$

4）利用蒸馏法纯化 SiH_4

5）SiH_4 在流体床反应炉中分解，并利用 CVD 原理在晶种颗粒上析出



$$SiH_4 \longrightarrow Si + H_2 \qquad (2.2\text{-}19)$$

6）适当大的多晶硅会自反应炉的底部落下，成为粒状多晶硅。

7）粒状多晶硅必须经过去氢处理，才能包装出货。

使用粒状多晶硅生长 CZ 单晶硅，常可发现在融化过程中，会有喷溅现象。喷溅物可能附着在石英坩埚或其他热场元件上，甚至可能在生长过程中重新落入熔硅中，造成晶体生长的困难。这是因为粒状多晶硅中含有氢，在熔硅中的溶解度很低，会很快的从熔硅的表面析出而引起喷溅。因此，粒状多晶硅必须做去氢处理。

2 单晶硅的生长

微电子工业中使用的硅片的前身是单晶硅锭，因而从高纯的多晶硅转化成单晶硅对于微电子工业而言是非常关键的一步。尽管有多种方法可以完成上述步骤，但在工业中广泛采用的是区熔（Float Zone，FZ）法和直拉（Czochralski，CZ）法。由这两种方法得到的硅单晶分别称为 FZ 硅和 CZ 硅。从生产成本上来说，CZ 硅要低于 FZ 硅。

硅单晶产量中有 80% 以上是 CZ 硅，而剩余的主要是 FZ 硅。这是由于硅集成电路都是用 CZ 硅片制造的，而集成电路占据了微电子器件中的最大份额。FZ 硅主要用于制造大功率分立器件和某些探测器。需要指出的是，集成电路用 CZ 硅片制造的根本原因是这种硅片中含有 $10^{18}/cm^3$ 数量级的氧，它们一方面提高了硅片的机械强度，从而减少了硅片在器件制造热工艺中所导致的翘曲；另一方面一部分氧会在器件制造过程中在硅片体内沉淀下来形成体微缺陷，它们具有吸除金属沾污的作用，有利于提高器件的成品率。FZ 硅中的氧含量仅在 $10^{16}/cm^3$ 数量级，因而 FZ 硅片的机械强度差，它们在器件制造中容易翘曲，这对光刻精度要求很高的集成电路来说显然是成问题的。

FZ 法由于不需要使用坩埚，可以获得电阻率很高和纯度很高的硅单晶。FZ 法与中子嬗变掺杂技术相结合，还可以获得电阻率径向均匀性很好的硅单晶，这对于提高功率器件的参数一致性是非常有利的。CZ 法需要使用石英坩埚，因而由它生长的 CZ 硅单晶的电阻率不可能很高，一般而言，不会超过 100 Ω·cm。所幸的是，CZ 硅的电阻率都能满足集成电路的要求。此外，CZ 法除了可以在硅中引入氧杂质外，与 FZ 法相比还在生长大直径硅单晶方面具有优势。显然，对于微电子工业来说，CZ 硅比 FZ 硅更为重要。在下文将主要介绍 CZ 法生长单晶硅及其与之相关的问题。

2.1 硅单晶的区熔生长

第一根 FZ 硅单晶是由 Keck 和 Golay 于 1953 年生长的，射频感应加热方式应用于 FZ 法中是在 1954 年提出的。随后，FZ 法很快被应用于硅晶体的生长中。德国的 Simens 公司是区熔法生长单晶的先驱者之一。

FZ 硅单晶的生长系统如图 2.2-4 所示。首先用针眼状的感应线圈加热多晶硅棒的一端，形成一个尖端状的熔区，然后该熔区与特定晶向的籽晶接触，这个过程就是引晶。接着将籽晶和多晶棒一起往下移动，熔区就会经过多晶棒，这时单晶硅就会在籽晶处延伸。通常，在引晶时，由于热冲击，会在新形成的单晶中产生位错。显然，如果位错不加排除，

就会在继续生长的单晶中产生更多的位错，最后无法形成无位错单晶。为了消除位错，W.C.Dash 提出了一种缩颈工艺，即在形成一段籽晶后，缩小晶体的直径至 2～3 mm，继续生长 20 mm 左右，即可把位错完全排除到籽晶的外表面，如图 2.2-5 所示。接着再生长一段无位错的细晶后，放肩至目标尺寸进入等径生长。在等径生长过程中，熔区的形状以及晶体的直径控制可以通过调整射频线圈的功率以及熔区的移动速度来实现。在直径的自动控制上，FZ 法和 CZ 法都是利用红外传感器聚焦在半月形弯月面上。弯月面的形状由三相交界处的接触角、晶体直径和表面张力大小来决定。当半月形弯月面的角度发生变化，亦即晶体直径发生变化的信号被传感器检测到时，自动控制系统就会产生反馈信号实现晶体的等径控制。需要说明的是，在晶体生长过程中籽晶和晶体的旋转方向是相反的，这是为了保持热场的对称性。

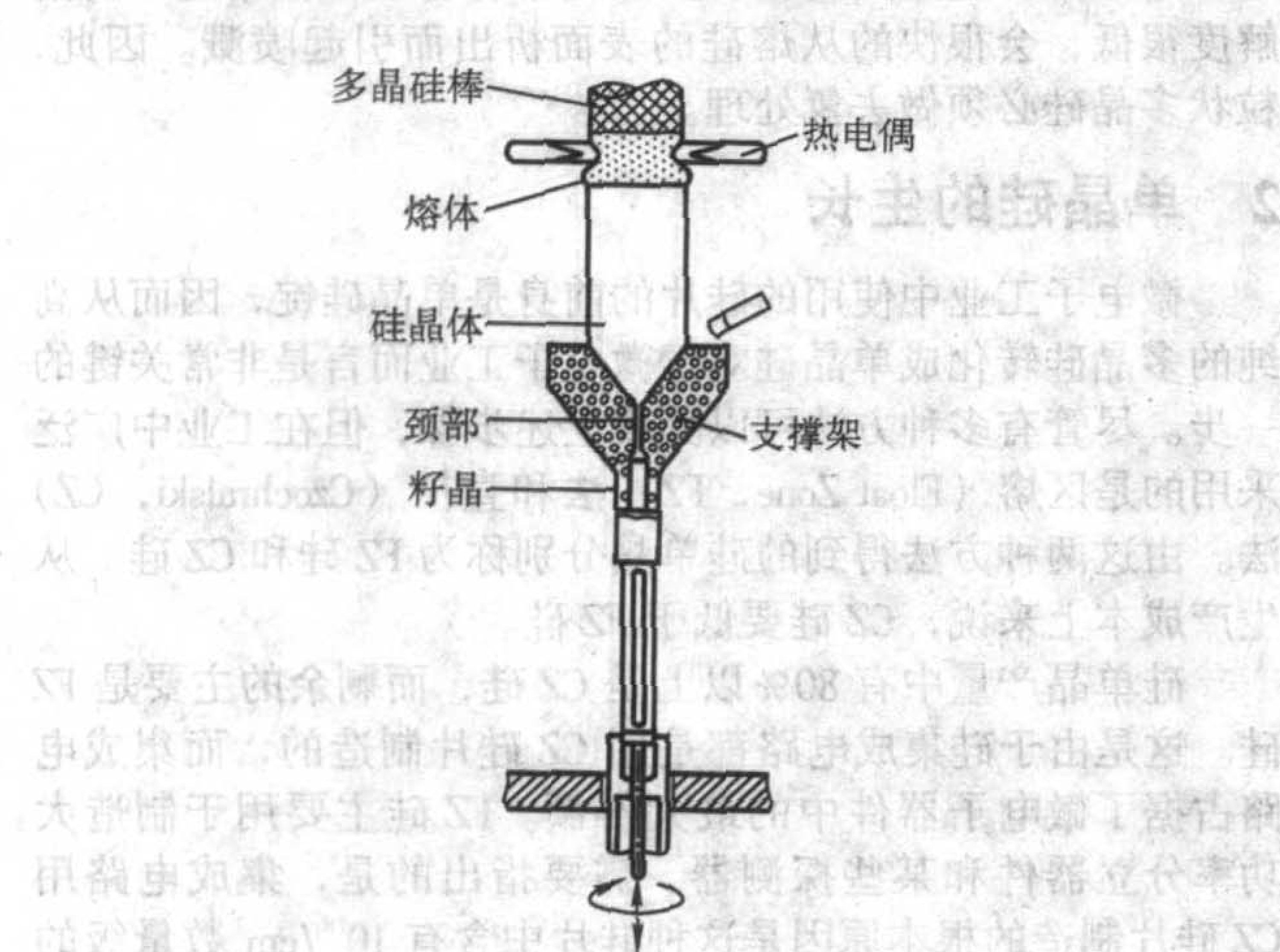


图 2.2-4 区熔硅生长系统的原理图

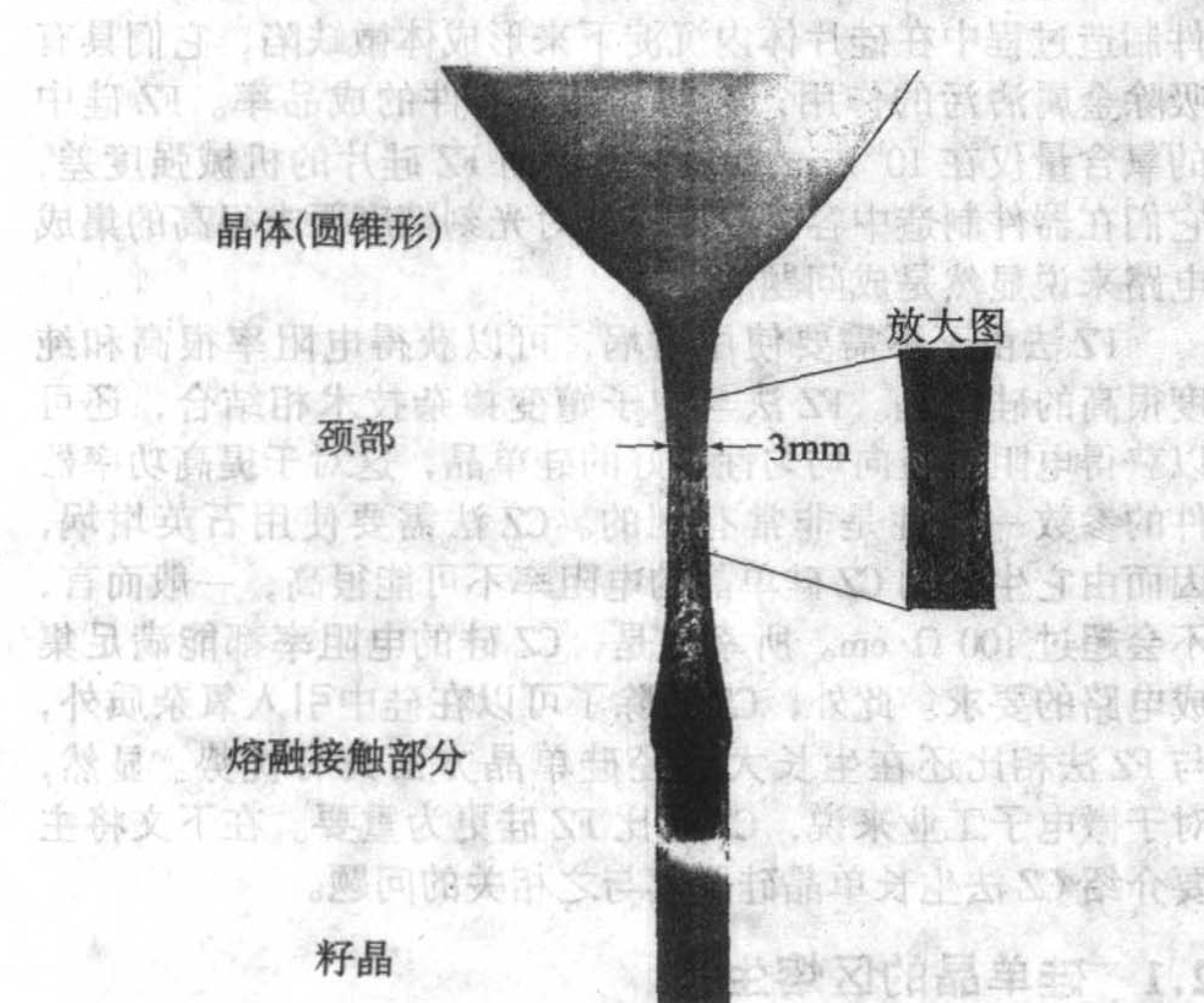
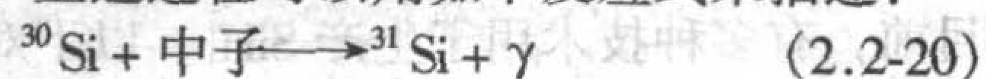
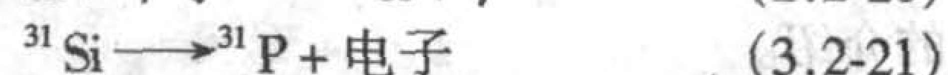


图 2.2-5 Dash 缩颈工艺

FZ 硅单晶的掺杂：①一种常用的方法是利用载气（如氩气），将掺杂气体吹入熔区而实现掺杂。n 型掺杂利用 PH_3，而 p 型掺杂利用 B_2H_6。这种气相掺杂的好处是生产厂家不需要准备电阻率各异的多晶棒，而不足之处则是 n 型掺杂的不均匀性。即由于磷的分凝系数远小于 1 和在径向上的微观结晶速率的波动，会形成所谓的杂质条纹，导致电阻率的径向不均匀性。②为了克服上述 n 型气相掺杂存在的径向不均匀性问题，后来提出了中子嬗变掺杂（NTD）方法。该方法是将不掺杂的 FZ 硅单晶置于核反应堆中，用热中子辐照。在硅单晶中，含有约 3.1% 的同位素 ^{30}Si，这些同位素 ^{30}Si 在吸收热中子并释放一个电子之后，变成 ^{31}Si，经过一段时间后嬗变成 ^{31}P。上述过程可以用如下反应式来描述：



$$^{30}Si + 中子 \longrightarrow {}^{31}Si + \gamma \qquad (2.2\text{-}20)$$



$$^{31}Si \longrightarrow {}^{31}P + 电子 \qquad (3.2\text{-}21)$$

借助中子动能所进行的核反应，使 ^{31}Si 和 ^{31}P 原子偏离晶格位置而引起晶格缺陷。由于大部分 ^{31}P 原子处在间隙位而不具有电活性，因此在辐照后硅单晶的电阻率是很高的。通常需要在 800℃左右热处理若干时间，以消除辐照缺陷并使处在间隙位的 ^{31}P 原子回复到晶格位，这样硅单晶的电阻率将恢复到由 ^{31}P 浓度决定的数值。由于大部分的热中子可以完全通过硅的晶格，使得每一个 ^{31}Si 原子有相同的概率可以捕捉到中子，而转换成磷原子。于是，^{31}P 原子可以很均匀地分布在晶棒中，与通常的 FZ 硅相比，NTD－FZ 硅的电阻率径向均匀性得到了极大的改善，如图 2.2-6 所示。NTD 适用于磷原子浓度低于 $1.5\times10^{14}/cm^3$（或电阻率高于 30 Ω·cm）的单硅晶。超过这一浓度，NTD 所需的时间过于冗长而使成本太高。所以 NTD 方法一般只适用于电阻率为 30～600 Ω·cm的 FZ 硅。

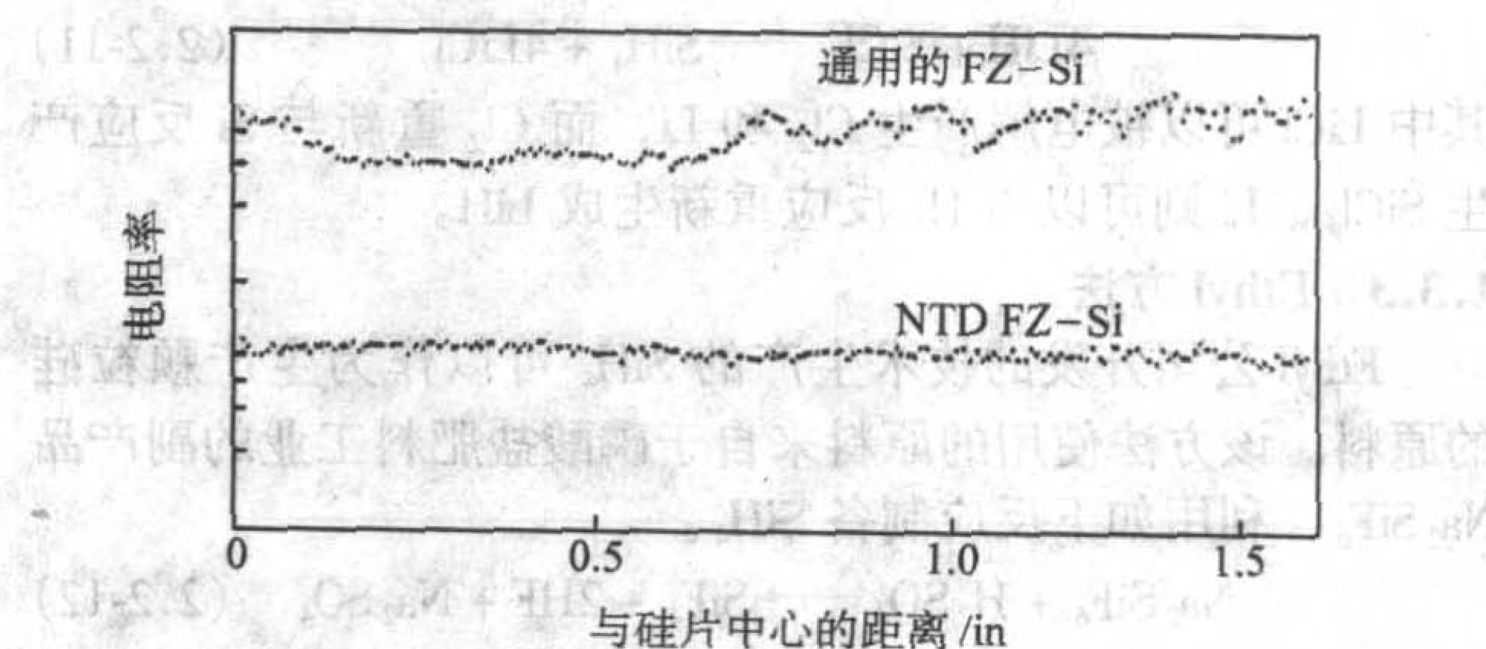


图 2.2-6 NTD FZ-Si 和通常的 FZ-Si 电阻率径向均匀性的比较

1 in = 25.4 mm

2.2 硅单晶的直拉生长

区熔法生长硅单晶不但成本高，而且随着硅晶体的大直径化，区熔法生长技术受到限制。目前区熔硅在硅材料市场上只占有非常小的比例，绝大部分硅晶体都是用直拉法生长的。

2.2.1 直拉法生长硅单晶的装置

一种直拉硅单晶生长炉的实际外观如图 2.2-7 所示。尽管每个设备供应商制造的炉子外形会有一些区别，但其内部结构及原理却大同小异，如图 2.2-8 所示。总的来说，直拉硅单晶生长炉可以分成四个主体部分，即炉体、晶体/坩埚升降和旋转机构、气体压力控制和计算机控制系统。

1）炉体　炉体采用水冷式的不锈钢炉壁，利用隔离阀把上炉室（也称副炉室）和下炉室（也称主炉室）分开。副炉室为生长好的晶体提供冷却的场所。主炉室则容纳所有的热场部件，包括石英坩埚、石墨坩埚、石墨加热器、热绝缘筒和底盘（用于承接硅漏料）等。

石英坩埚用于盛硅熔体，对它的纯度和耐高温性能要求非常高，这是由于石英坩埚对单晶的性能有重要影响。石英坩埚在高温下会与熔硅起反应，使得直拉硅中含有 $10^{18}/cm^3$ 数量级的氧，而正是由于氧的存在，使直拉硅能用于制造集成电路。石英坩埚的质量好坏还会影响硅单晶无位错生长的成功率，关于这一点，在后面将另有叙述。

石墨坩埚是用于支撑石英坩埚的，它可以多次使用。其寿命取决于：石墨的材质、承受的重量、在晶体生长过程中的受热程度以及石墨坩埚的形状等因素。石墨坩埚的底部比较厚，以起到较好的绝热效果，从而使熔体的温度从底部到表面逐渐降低。用于制造石墨坩埚的石墨有两种：等静压石



图 2.2-7　Keyex 6000 型直拉硅单晶生长炉

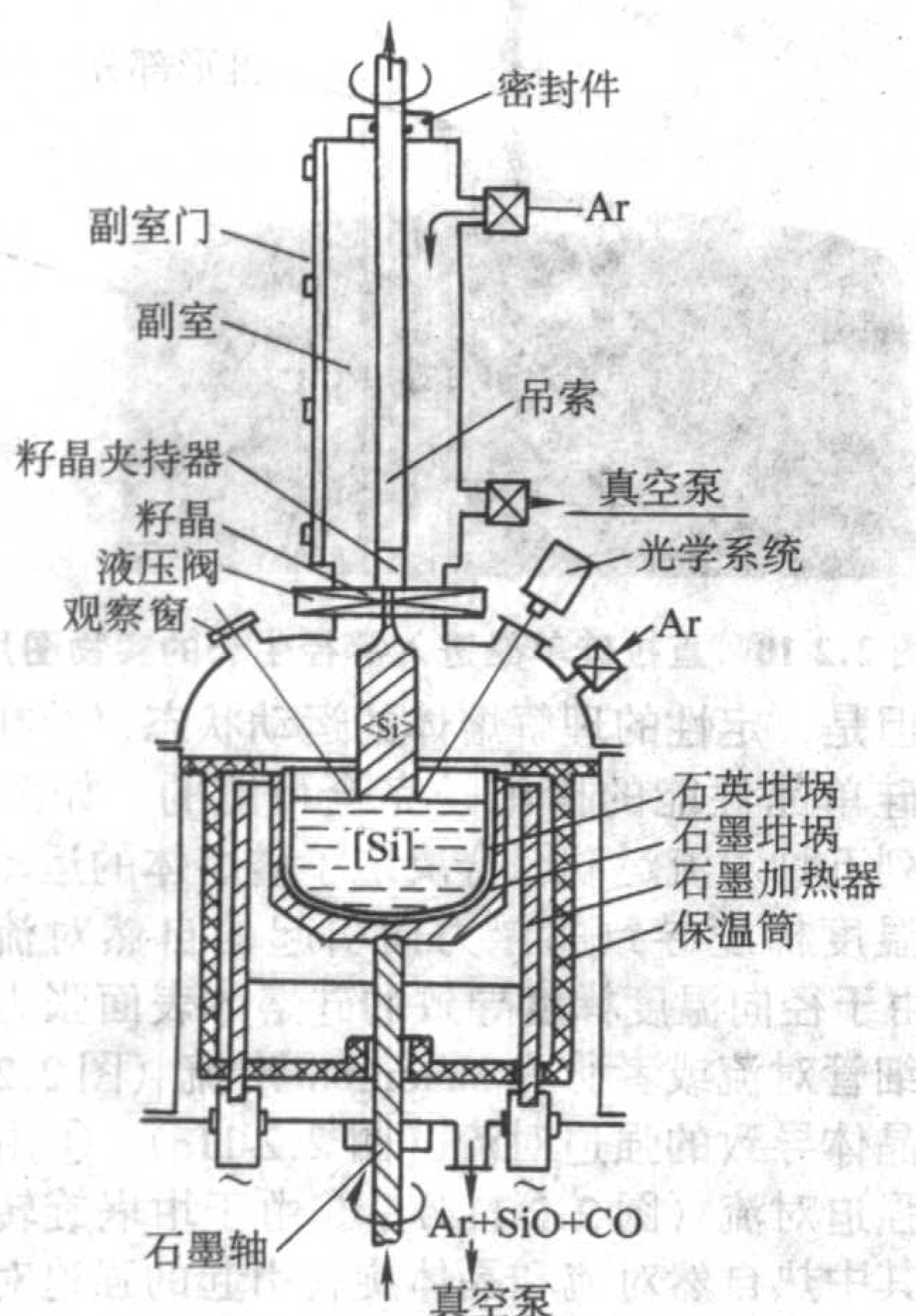


图 2.2-8　直拉硅单晶生长炉的原理

墨和机械压涂石墨。等静压石墨的价格要高一些，但质量要好得多。生长大直径硅单晶时，由于石英坩埚尺寸和多晶硅重量的增大，石墨坩埚的使用次数将有所减少，一般不超过20次。此外，石英坩埚里残留的熔硅有所增加，它们在凝固时体积会增大，如果石墨坩埚是整体式的话，它就有可能被撑破。所以，用于大热场的石墨坩埚往往被做成两瓣或者三瓣式的，由于瓣与瓣之间存在间隙可以吸收剩余的熔硅凝固时体积增大而造成的应力，从而减少漏硅的危险。

硅单晶炉中的加热器也是用石墨制造的，通常采用二相直流电源使石墨电阻发热。石墨加热器的电阻一般都很小，因此加在石墨加热器上的电流往往很大而电压不是太高（比如 5 000 A/60 V）。要注意的是石墨加热器的电阻会随着使用次数的增加而升高，为了延长加热器的寿命，在设计加热器时，把初始的电阻值设置得比理论计算值稍微低一点。

2）晶体/坩埚升降和旋转机构　为了保持熔体液面在晶体生长过程中维持在同一水平位置，晶体和坩埚的上升需要联动并被精确控制。晶体和坩埚的旋转方向相反，以改善热场的对称性。现在的单晶炉中，一般利用软吊索挂住单晶，当晶转在某个范围时，吊索和晶体会出现共振现象。出现这种情况时，固液界面不稳定而使晶体生长难以为继。此外，在某些晶转下，棱线或者小平面与直径的读取同步，引起直径的读值和拉速的大幅度跳动，严重影响拉晶。因此，在晶转的选择上，要避开上述两个范围。在这个前提下，尽量提高晶转可以改善晶体中杂质分布的径向均匀性。但是，过高的晶转会使固液界面的形状太凹，而增加晶体生长的难度，并在保持晶体的形状上也会遇到问题。

3）气体压力控制系统　直拉硅生长通常是在氩气保护下的减压状态下进行的。早期在真空状态下拉晶时，无位错生长状态很难维持，这是由于熔硅与石英坩埚反应生成的 SiO 从熔硅表面挥发而出现沸腾现象。在氩气氛保护下，如果压力太高（比如接近大气压），则挥发出的 SiO 会在氩气的充分降温作用下于冷却的炉壁上凝结成过多的颗粒，其中某些颗粒很有可能会掉入熔体中并移动到固液界面处，从而破坏晶体的无位错生长。因此，为了充分排除 SiO，通常使炉内的压力维持在减压状态，压力一般在 666.61 ~ 133 322 Pa（5 ~ 100 Torr）之间。气体压力控制系统的作用就在于控制氩气的流量和真空系统的抽气，使炉内的工作压力维持在某一数值附近。充入氩气的另外一个好处就是可以带走由 SiO 与石墨件发生反应而形成的 CO 气体，从而使硅晶体中的碳含量很低。

4）自动控制系统　自动控制系统在单晶炉中犹如人体的大脑，在很大程度上体现了单晶炉的技术水平。现在的单晶炉已经发展到“one button”的水平，即只要按下某个按钮，原则上就可以完成除了加料以外的晶体生长的各个过程。自动控制系统要控制晶体直径、晶体拉速、晶体/坩埚的升降和旋转和熔体的温度等。

2.2.2　直拉硅单晶生长的主要步骤

直拉法生长单晶硅可以分为 6 个主要步骤。

1）加料　此步骤主要是将多晶硅原料及掺杂物放置在石英坩埚内。杂质的种类依据导电类型而定。在轻掺杂的情况下，p 型的掺杂物一般为硼，n 型的掺杂物一般为磷。而在拉制重掺 n 型硅单晶时，需要使用特殊的掺杂方法，在稍后将另有介绍。

2）熔化　把装有多晶硅的石英坩埚放入热场，将单晶炉腔体抽真空至一定的压力范围。然后打开石墨加热器电源，加热至硅熔化温度以上，将多晶硅原料融化。在此过程中，最重要的控制参数是加热功率的大小。使用过大的功率来熔化多晶硅，虽然可以缩短熔化时间，但有可能造成石英坩埚壁的过度损伤，而降低石英坩埚的寿命，这一点在拉制大直径硅单晶时是非常危险的。当然，如果功率过小，会使整个熔化过程耗时太久而降低生产效率。多晶硅熔化结束后，需要稳定一段时间，目的是排除熔体中的气泡，否则在晶体生长过程中会由于微小气泡发射至固液界面，而可能导致晶体失去无位错生长特征（通俗地称为“断苞”），或者在晶体中引入空洞等缺陷。

3）引晶　当硅熔体的温度稳定之后，将具有 <100> 或 <111> 等晶向的籽晶慢慢浸入熔硅中。由于籽晶与熔硅接触时的热应力，会导致籽晶产生位错，这些位错必须利用 Dash 缩颈工艺来排除。1958 年，Dash 通过在引晶后将晶体缩颈到 2 mm 左右，然后放肩进行硅晶体生长，得到了无位错的单晶，如图 2.2-9 所示。在该实验成功 10 年后，Dash 缩颈技术开始在直拉硅的生长中被广泛采用，直到现在，硅材料工业界仍然采用这个技术进行无位错单晶硅的生产。现在人们已经非常清楚 Dash 缩颈消除位错的机理，即：在细颈晶体的生长过程中，位错的消除是由位错的消除速率和产生

速率决定的，如果位错的消除速率大于其产生速率，那么细颈将在某一点变成无位错的晶体。达到无位错状态所需缩颈的长度由细颈的直径和位错消除的速率决定的，目前工业上通常采用直径为3~5 mm，长度为50 mm的细颈来消除引晶过程中来自籽晶和热冲击产生的位错。

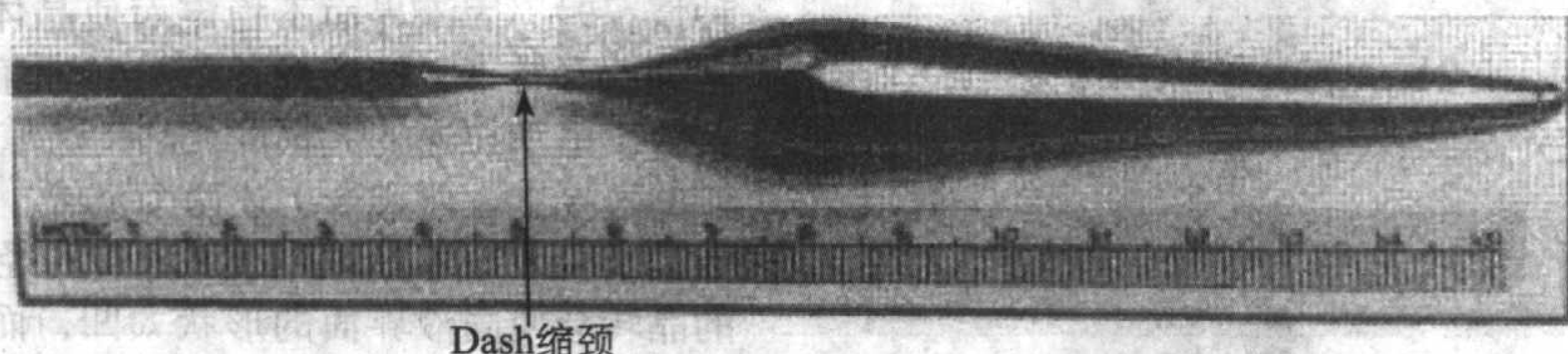


图2.2-9 世界上第一根用Dash缩颈技术生长的无位错直拉硅单晶的照片

如上所述，为了完全排除位错，一般的原则是让细颈长度大于一个临界值。细颈的临界长度 L 与其直径 D 的关系可由 $L = D\tan\theta$ 表示。其中 θ 为滑移面与生长轴的最小夹角。众所周知，位错的滑移面为{111}面，当生长轴的晶向为<100>和<111>时，位错滑移面与生长轴的最小夹角分别为35.16°和19.28°。因此，对于（111）单晶而言，并不需要很长很细的细颈，但需要较快的拉速。而对于（100）单晶而言，细颈的直径越小，越容易消除位错。此外，引晶时的高拉速可以形成过饱和的点缺陷，从而有利于位错攀移到籽晶体的表面。

但是当细颈的直径过小时，细颈可能无法承受晶体的重量而断裂。细颈能承受某一长度的晶体所需要的最小直径可由下式表示，

$$d = 1.608 \times 10^{-3} DL^{\frac{1}{2}} \quad (2.2\text{-}22)$$

式中，D 为晶体的直径；L 为晶体长度。根据上式，如果细颈的直径是0.3 cm，那么可以承受197 cm的200 mm单晶或者87 cm的300 mm晶体（相当于144 kg）。

4）放肩生长　缩颈完成后，需降低拉速与熔体温度，使得晶体的直径渐渐增大到所需尺寸。该过程中最重要的参数是放肩速率。如果降温太快，液面会呈现过冷情况，晶冠的形状因直径快速增大而变成方形，严重时易导致位错的出现而无法得到无位错的单晶。目前，大多采用平放肩工艺，这样可以提高多晶硅的利用率，尤其是对于大直径硅单晶而言，平放肩工艺无疑具有重要的经济意义。

5）晶体生长　当放肩直径接近预定目标时，提高拉速，晶体逐渐进入等径生长阶段。在等径生长阶段，要调整拉速和温度以使晶体的直径维持在±2 mm之间。由于在晶体生长过程中，坩埚中的液面会逐渐下降及加热功率逐渐上升等因素，使得晶体的散热速率随着晶体长度而减小。因此固液界面处的温度梯度减小，因此拉速通常随着晶体长度的增加而减小。

图2.2-10给出了一张完成了引晶、放肩和转肩后转入等径生长的晶体实物图。

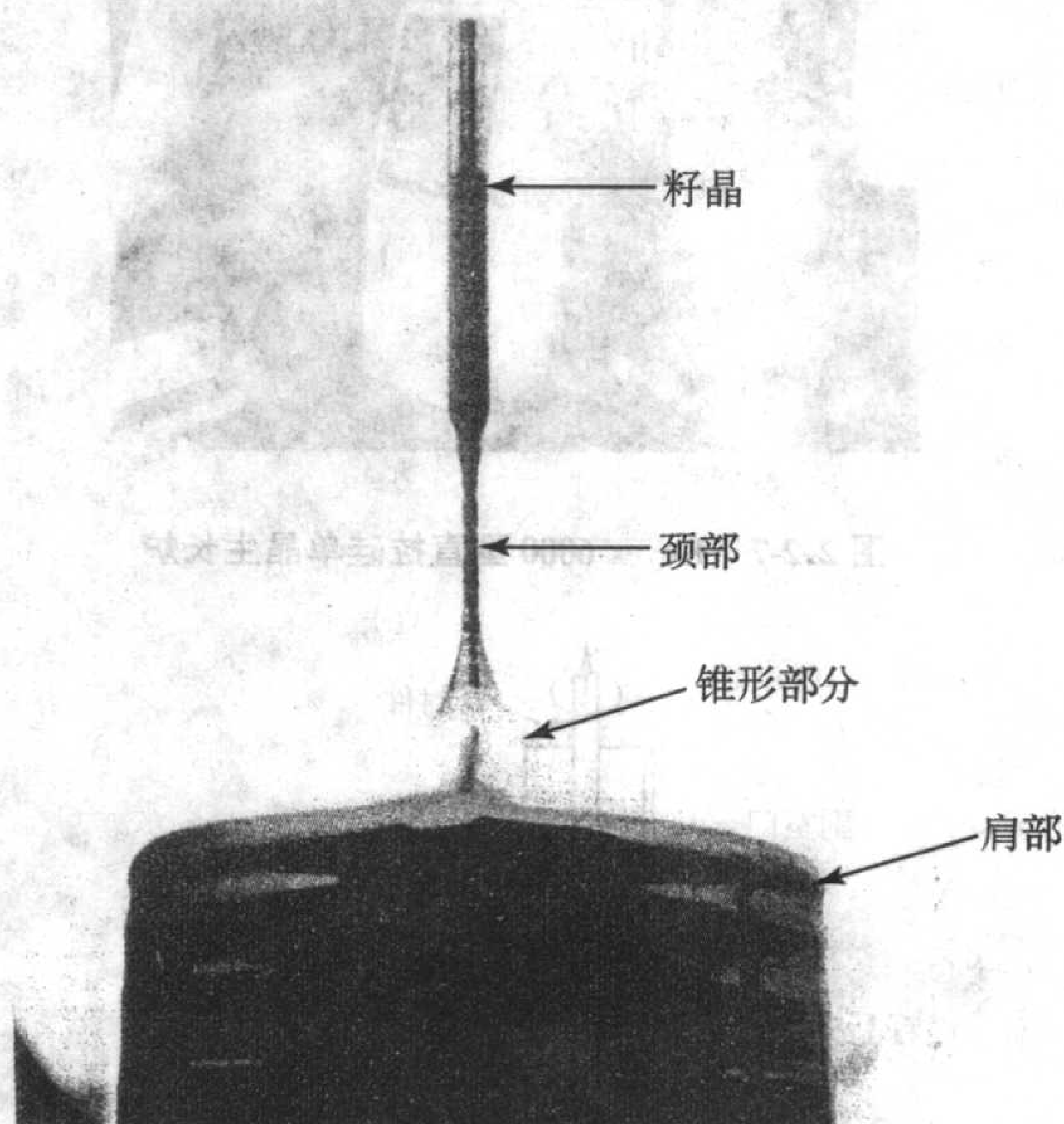


图2.2-10 直拉硅单晶进入等径生长的实物图片

6）收尾　在生长完晶体的主体部分以后，如果立刻将晶体与熔硅液面分开，那么热应力将使晶体产生位错，并且位错会向上攀移一段距离。于是为了避免产生位错，必须将晶体的直径慢慢变小，直到成为一尖点而与液面分开，这一过程称为收尾。除了可以避免位错的产生外，上述收尾过程还可以避免熔体的突然冷却而使石英坩埚破裂产生"漏硅"现象，从而保护石墨坩埚。长完的晶体被升到副炉室冷却一段时间后取出，即完成了一次生长周期。需要指出的是，为了改善单晶性质在纵向上的均匀性，可以在收尾后对单晶进行炉内的热处理。

2.2.3 直拉法生长硅单晶中的几个重要问题

（1）熔体的运动

直拉硅单晶的性能参数，如电阻率、氧浓度等的径向均匀性和微区分布，从根本上说与晶体生长过程中熔体的运动状态有关。熔体的运动状态相当复杂，至今还无法给出精确的描述。但是，定性的理解熔体的运动状态，并在此基础上提出改善硅单晶性能的措施是完全可能的。如图2.2-11所示，有下列五种对流运动综合决定了硅熔体的运动状态：①由于纵向温度梯度导致的浮力而引起的自然对流（图2.2-11a）。②由于径向温度梯度导致的硅熔体表面张力梯度而引起的热毛细管对流或者称为Marangoni对流（图2.2-11b）。③由于提拉晶体导致的强迫对流（图2.2-11c）。④由于晶体旋转导致的强迫对流（图2.2-11d）。⑤由于坩埚旋转导致的强迫对流。其中热自然对流和晶体旋转引起的强迫对流对直拉法生长硅单晶具有重要影响（图2.2-11e）。

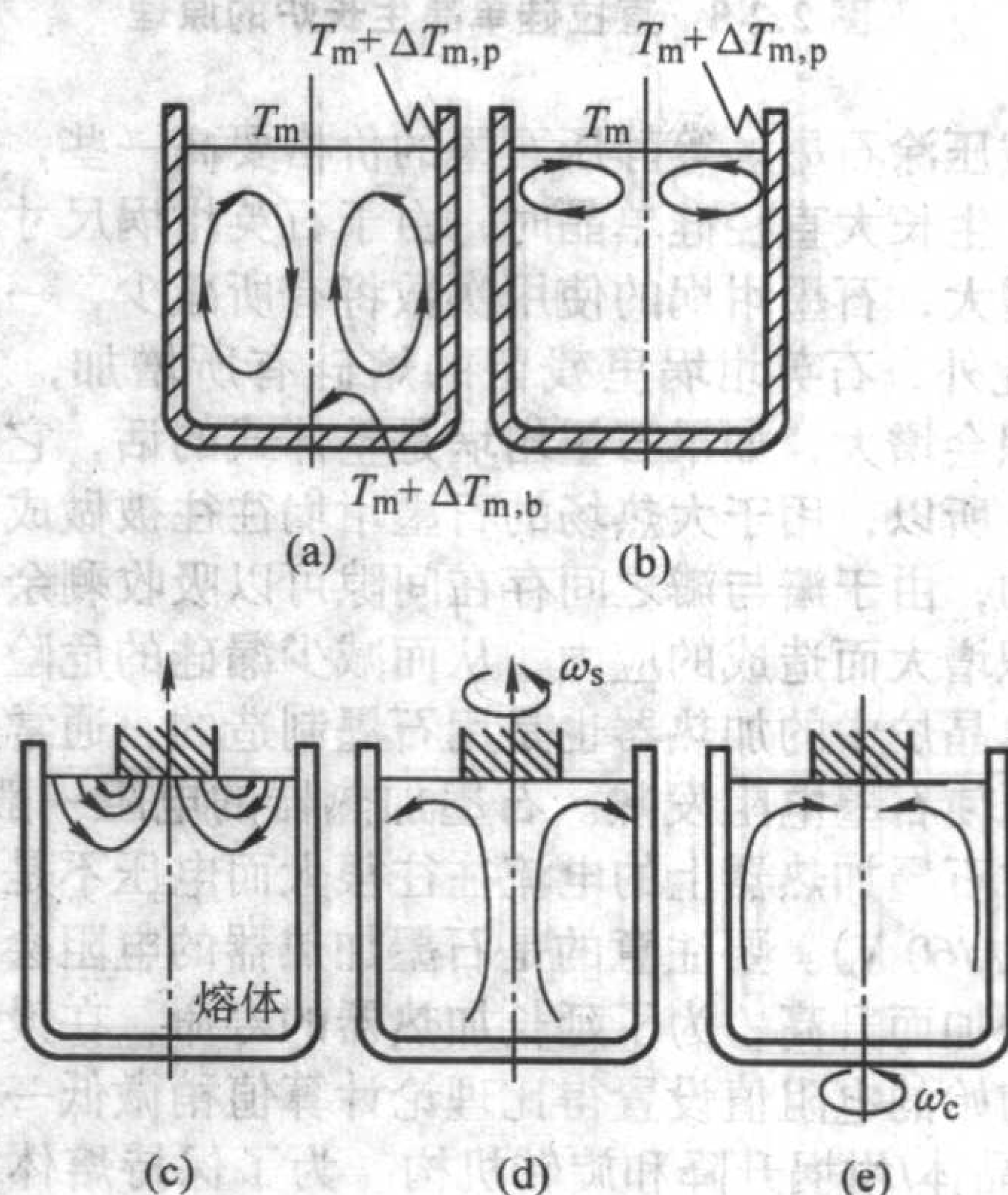


图2.2-11 直拉硅熔体中由不同原因导致的五种对流运动

熔体中的热自然对流是沿着坩埚壁上升而从坩埚中心下降，可以呈对称和非对称形式。其基本的流动方式是由坩埚的几何形状、高宽比和热边界条件决定的。热对流的驱动力可以用无量纲参数 Gr 来描述：

$$Gr = g\alpha\Delta TR^3/\nu^2 \quad (2.2\text{-}23)$$

式中，g 为重力加速度；α 为熔体的线胀系数；ΔT 为跨过直径 R 的温度梯度；R 为坩埚直径；ν 为熔体的黏度。从这个式子中可以知道，当坩埚直径 R 增大时，热对流的驱动力急剧增大而引起湍流，而湍流会引起温度的无规波动，从而导致掺杂剂和氧分布的微区不均匀性。因此在生长大直径（200 mm 及以上）的硅单晶时，通常要使用磁场来增大熔体的黏度，从而减少自然对流的驱动力。

在直拉法中通常利用晶体旋转导致的强迫对流来克服自然对流的不利影响。晶体旋转的作用有两方面：一方面，它会在固液界面产生均匀的边界层，这对杂质的均匀分布有利；另一方面它会引起熔体流从坩埚底部升起至晶体的中心，然后依靠离心力径向甩出。因此，从熔体流的运动方式来看，晶体旋转导致的强迫对流具有抑制热自然对流和坩埚旋转导致的强迫对流的作用。晶体旋转导致的强迫对流的强弱可以由无量纲参数 Re 来描述：

$$Re = \omega r^2/\nu \quad (2.2\text{-}24)$$

式中，ω 为晶体的转速；r 为晶体的直径；ν 同样为熔体的黏度。

如上所述，晶体旋转导致的强迫对流和热自然对流的效果是相反的，因此它们的综合作用可以由一个相对比值 Re^2/Gr 来描述。若该比值大于1，则晶转可以有效地消除熔体热对流对杂质在生长界面处分凝的影响。还有一个相对比值，即 $Re^{2.5}/Gr$，可以用来描述晶体旋转导致的强迫对流和热自然对流的力量对比。研究表明：当 $Re^{2.5}/Gr > 10$ 时，强迫对流占优势；而当 $Re^{2.5}/Gr < 10$ 时，自然对流占优势。

坩埚旋转导致的强迫对流可以使熔体从坩埚壁流向中心。由坩埚旋转引起的对流程度可以由 Taylor 常数来判定：$Ta = (2\omega_C h^2/\nu)^2$，其中 ω_C 为坩埚的转速，h 为熔体的深度。坩埚的旋转不仅可以改善熔体内的热对称性，还可以促使熔体内的自然对流形成螺旋状的流动路径而增加径向的温度梯度，这一点对维持单晶生长是非常重要的。

在实际的硅晶体直拉生长中，坩埚和晶体的旋转方向是相反的，且前者的旋转速度要慢一些，在这种情况下，硅熔体的流动图形可以用图 2.2-12 来描述。在熔体的中心形成一个圆柱状的滞留区，在这个区域内，熔体以介于晶转和埚转之间的转速以螺旋状运动；而在滞留区外，熔体则随坩埚转动而运动。当然，熔体的对流情况是随时在变化的，比如在晶体生长的初期，强迫对流仅影响熔体的上部区域，而其余部分则受热对流的影响要大一些；当熔体变浅时，强迫对流可以影响整个熔体。

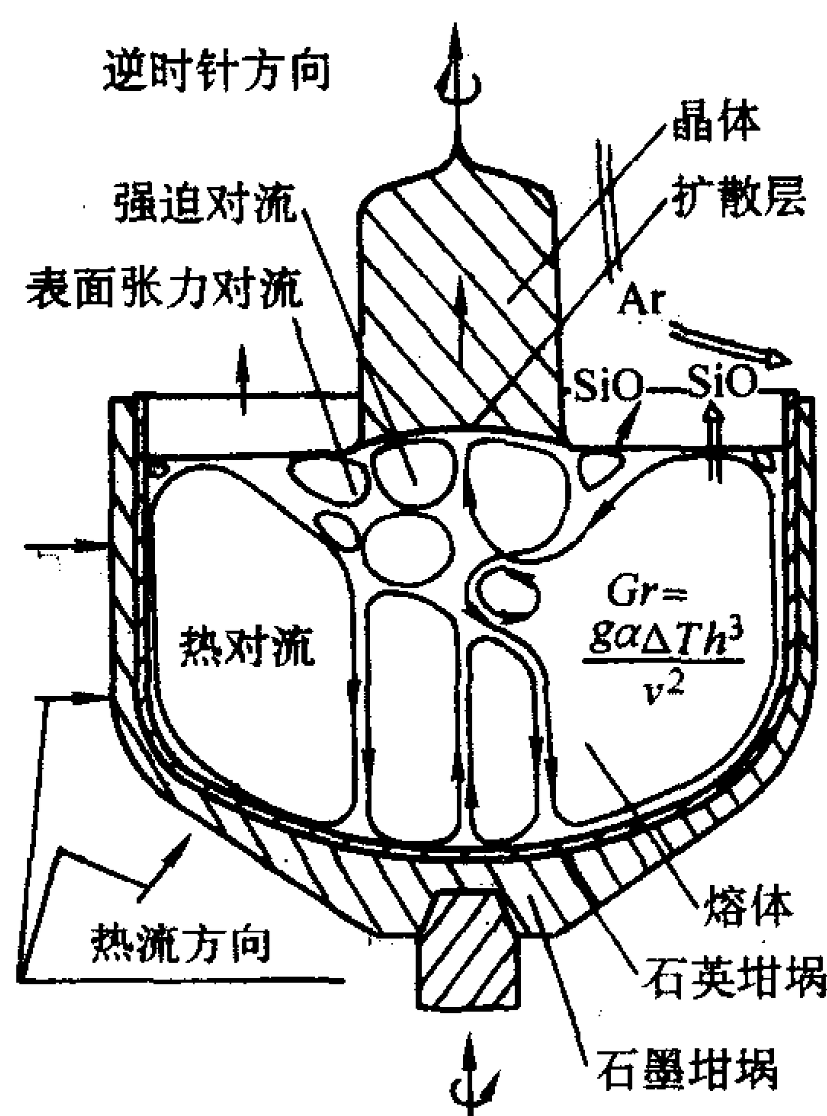


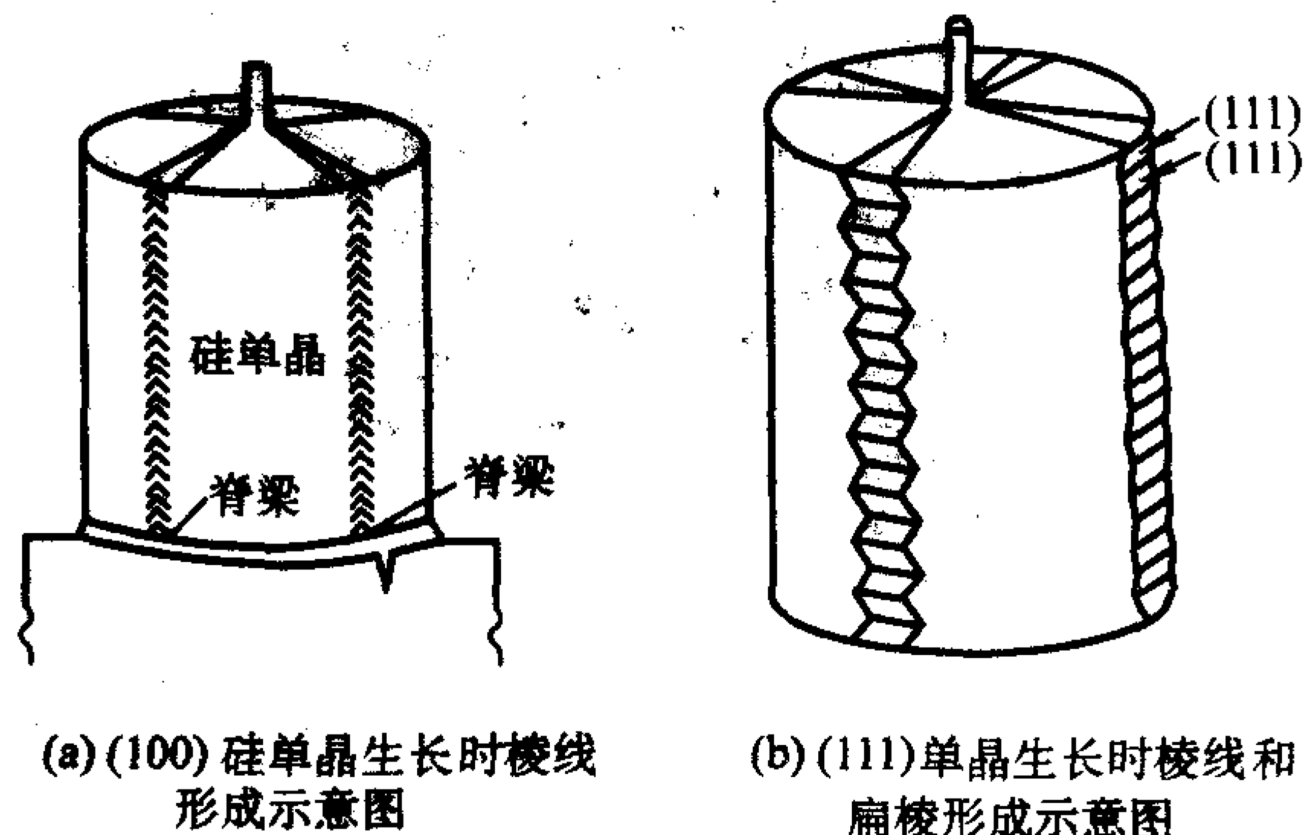
图 2.2-12　五种对流运动耦合在一起的直拉硅熔体流动图形的示意图

从上面的介绍中，我们可以看到直拉硅熔体运动状态的复杂性，要获得高质量的单晶，必须根据熔体运动状态的特点以及其随晶体生长的变化率确定生长工艺。

(2) 直拉硅单晶的无位错生长

自发明了 Dash 缩颈工艺以及采用气氛（通常是氩气）保护下的减压生长工艺以来，直拉硅单晶的无位错生长成为可能。然而在晶体生长过程中，位错还是随时可以产生的。当外来的颗粒（比如：来自石英坩埚的方石英颗粒、多晶硅的熔渣等）出现在固液界面时，则马上会产生位错并迅速增殖，最终会使晶体失去无位错生长状态。

在生产实际中，操作人员可以根据晶体生长的特征来判断晶体是否处在无位错生长状态。对于（100）单晶，在外观上应该出现四条等距对称的棱线，它们实际上是由小面形成的隆起的“脊梁”。小面是由｛111｝面与晶体外围表面相交而形成的，由于｛111｝面上的〈110〉方向为原子最密堆积的，因而是生长速度最慢的方向。沿着棱线切开而与生长面（100）垂直的面就为｛110｝面。通常情况下，（100）单晶呈现较规则的圆柱状。对于（111）单晶而言，在晶体生长时，可以清楚地看到三条互成120°的主棱，这是｛111｝小面沿着〈211〉方向生长所致。此外，通常还可以看到一个扁棱，它实际上是｛111｝面在〈$\bar{1}\ \bar{1}2$〉方向的径向生长以及晶体外围的〈$\bar{1}\bar{1}1$〉小面生长的温度交替波动所导致的。若生长的热条件保持稳定，则扁棱的宽度可以由稳定的锯齿状结构生长而保持一定。在实际生产中，要以合适的热场和生长条件使得扁棱不会太宽，否则会影响等径生长。需要说明的是，在（111）晶体生长的放肩阶段，可以看到六条棱线（三条主棱和三条副棱），但在转入等肩生长阶段后三条副棱不明显。（100）和（111）单晶生长时棱线的形成如图 2.2-13 所示。



(a) (100) 硅单晶生长时棱线形成示意图　(b) (111)单晶生长时棱线和扁棱形成示意图

图 2.2-13　(100) 和 (111) 硅单晶生长时棱线的形成

(3) 杂质分布的径向不均匀性

1) 热对流的影响　在直拉硅晶体生长中，当熔体中的杂质浓度一定时，掺入硅中的杂质浓度就由杂质的有效分凝系数来决定的。有效分凝系数可由下式来表示：

$$k_{eff} = k_0/\left[k_0 + (1-k_0)\exp(-\delta v/D)\right] \quad (2.2\text{-}25)$$

式中，D 和 k_0 分别为杂质的扩散和平衡分凝系数；v 为晶体的生长速度。δ 为固液界面处扩散边界层的厚度，它由下式表示：

$$\delta = 1.6D^{1/3}\nu^{1/6}\omega^{-1/2} \quad (2.2\text{-}26)$$

式中，ν 为熔体的黏度；ω 为晶体的转速。

从上面两个公式中，我们可以看出，如果没有其他因素的影响，晶体的旋转将产生一均匀的扩散边界层，在晶体生

长速度一致的情况下，在晶体截面上的有效分凝系数应该是一样的。然而，在实际的晶体生长中，不可避免地存在热自然对流，它从坩埚壁升起而在晶体下方的熔体中心处落下，可以理解热对流在固液界面的中心处附近存在着停滞点。也就是说，热对流的影响从固液界面的中心向外逐渐增强，而反映在扩散边界层的厚度上，就是从中心向外逐渐变小。因此对于分凝系数小于1的杂质来说，从固液界面的中心向外，其有效分凝系数在逐渐减小。而且，杂质的平衡分凝系数越小于1，有效分凝系数在固液界面上的不均匀性就越突出。实际情况确实如此，比如：掺磷（平衡分凝系数为0.35）的n型硅片的电阻率径向均匀性就比掺硼的p型硅单晶的要差。为了改善硅片电阻率的径向均匀性，通常可以合理地提高晶体转速，以抑制热对流的影响。

2）小面生长的影响　小面生长是引起<111>硅晶体电阻率径向不均匀性的又一重要原因。在生长〈111〉晶体时界面上将出现光滑平面，它就是{111}小面，当生长界面呈凸形时它在中央，而生长界面呈凹形时它在边缘。{111}小面是原子级光滑面，在它上面生长是二维成核侧向生长机制，这需要有相当大的过冷度。在直拉生长硅晶体的稳定阶段，生长界面通常是凹形的，再者晶体的边缘过冷度较大，在这种情况下，如上所述，{111}小面容易出现在界面边缘。{111}小面一旦在边缘形成，就会朝晶体中心快速地侧向生长，这样会导致杂质有效分凝系数增大并使杂质向晶体中心富集。同样地，杂质的分凝系数越小，这种效应就越强。应该指出的是，<100>晶体不存在小面生长现象。因此，在同样的掺杂情况下，<111>硅片电阻率的径向均匀性要比<100>硅片差，如图2.2-14所示。

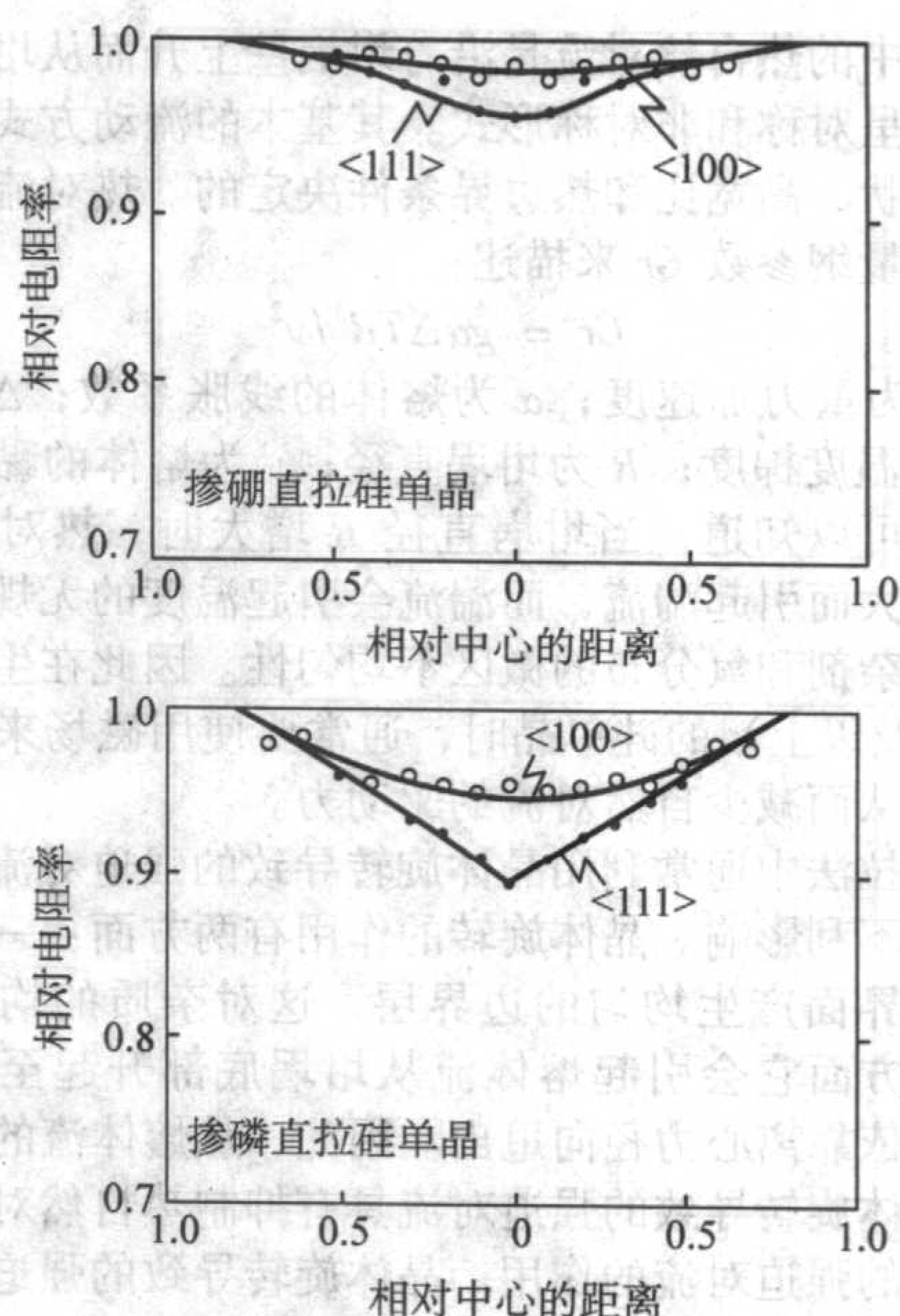
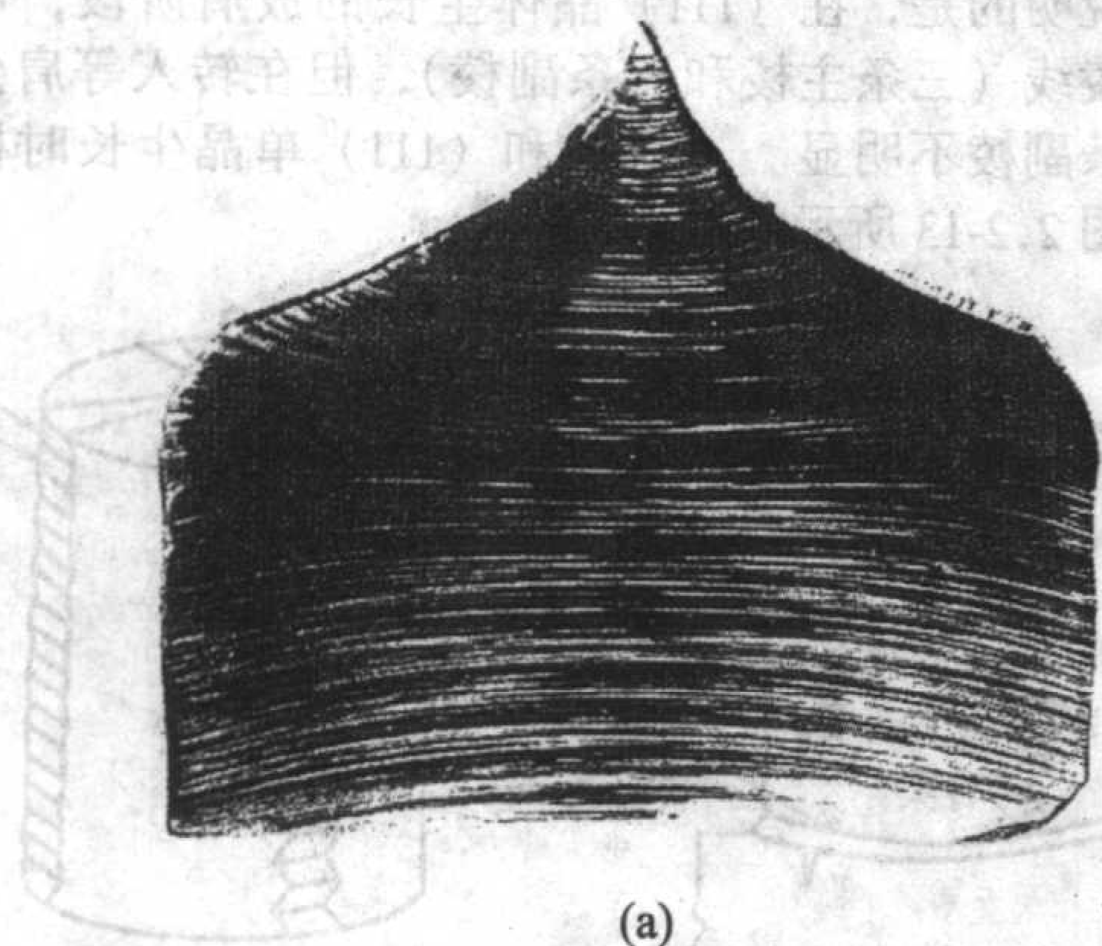
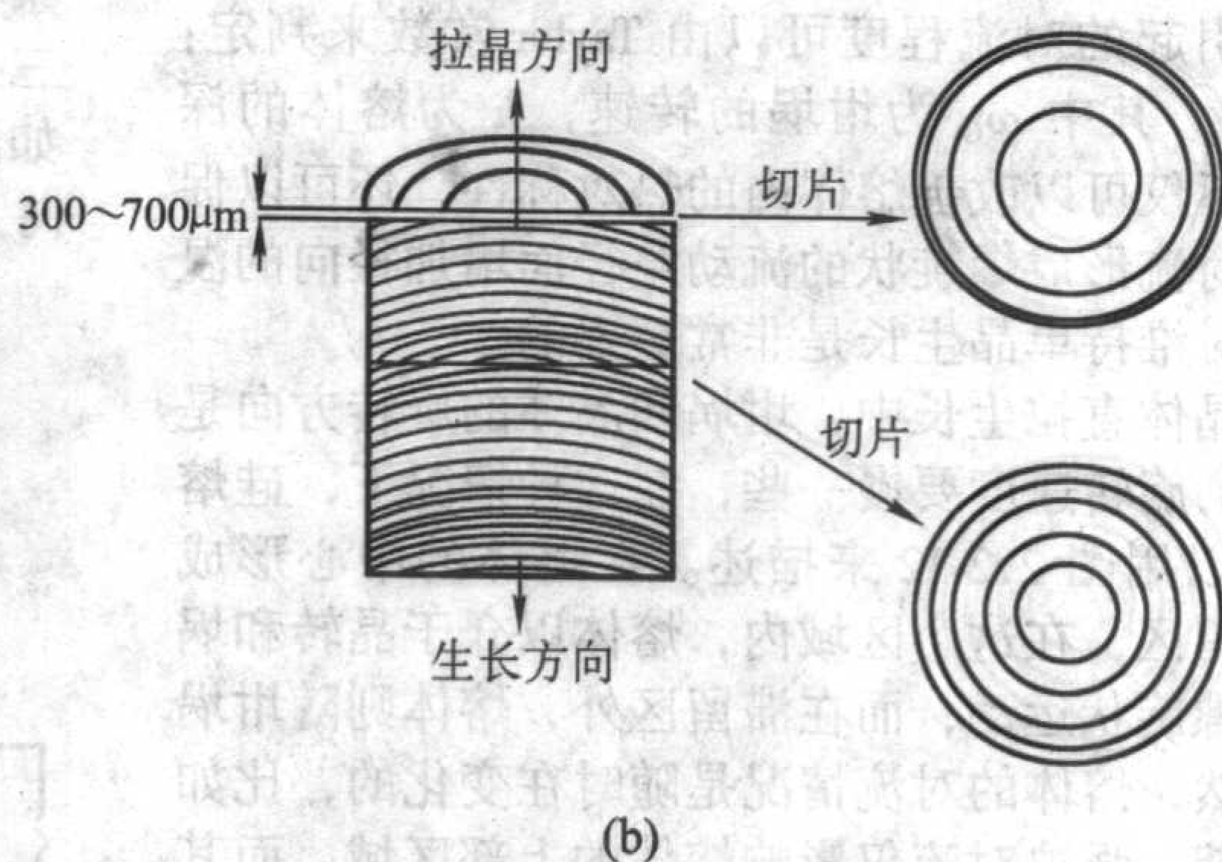


图2.2-14　在相同条件下生长的［111］和［100］晶向的掺硼（B）和掺磷（P）直拉硅单晶的电阻率径向均匀性的比较

3）旋转条纹　在实际的晶体生长过程中，生长的轴中心与热场的轴中心往往不一致，因此固液界面会经历熔体的不同位置（因而温度也有所不同）。于是某一晶体单元在纵向上的生长速度会随之周期性变化，杂质的有效分凝系数也将随之变化，因而杂质浓度也将周期性地变化，在晶体的纵向上形成所谓的杂质条纹，亦称旋转条纹，如图2.2-15a所示。杂质条纹间的距离可以表示为：$\lambda = v/\omega$。其中v为晶体生长速度，而ω为晶体的转速。从晶棒上切下来的硅片径向上每一处都来之于不同的生长界面，因而出现漩涡状的杂质条纹，这一点在重掺硅单晶中表现得特别明显。硅片上漩涡状杂质条纹的形成如图2.2-15b所示。


(a)



(b)

图2.2-15　直接单晶硅锭上杂质条纹的实物照片（a），直拉硅片上杂质条纹形成的示意图（b）

4）非旋转条纹　由热对流引起的温度变化将导致生长速率的无规波动，因此生长速度也是不规则波动，显然由这种原因引起的非旋转条纹是没有周期性的。在热对流显著的情况下，非旋转条纹具有几十赫兹的波动特征。利用高的晶转速度可以显著抑制非旋转条纹，这是由于晶转引起的强迫对流可以削弱热对流对固液界面的影响，此外，高的晶转速度还可以使固液界面快速通过温度波动区域。

（4）施加磁场的直拉法（MCZ）生长硅单晶

从上面的介绍中可以知道，热对流是引起固液界面不稳定的重要原因，单晶中杂质分布的径向均匀性和微区不均匀性都与热对流有关。因此，一个自然的想法就是通过抑制热对流而提高晶体的品质。由于熔硅具有很好的导电性，因此施加一定的磁场可以显著地抑制热对流。1980年MCZ方法被用于生长硅单晶，最初的目的主要是为了降低硅中的氧含量。依据磁场施加方式的不同，MCZ法可以分为横向磁场MCZ（HMCZ）法，纵向磁场MCZ（VMCZ）法以及所谓的钩形（CUSP）磁场MCZ法。

MCZ的基本原理很简单，即：在磁场下，与磁场方向垂直的熔体运动会产生出感应电流，这些感应电流在磁场的作用下会受到洛仑兹（Lorentz）力的作用而阻碍熔体的运动。这在客观上是增加了熔体的黏度，而削弱了自然对流。

在早期采用的HMCZ法和VMCZ法中都存在着严重的缺点。HMCZ法虽然可以抑制垂直方向的热对流，可以降低硅晶体中的氧含量，但它破坏了热对流的轴对称性，使得硅单晶中的杂质条纹变得严重。VMCZ法则使单晶中的氧含量增加，同时它还破坏了热对流的横向对称性，因而会使杂质浓度在单晶中的径向均匀性变差。上述缺点限制了HMCZ法和VMCZ法在实际生产中的应用。

在大直径硅单晶生长中，熔体尺寸和温度梯度较大，因而熔体的流动处在湍流状态。为了有利于单晶的无位错生长和提高晶体的品质，需要施加磁场来抑制熔体中的湍流。显然，不能使用 HMCZ 法和 VMCZ 法。Series 和 Hirata 等在 1989 年提出了使用 CUSP 型磁场的想法，其示意图如图 2.2-16 所示。

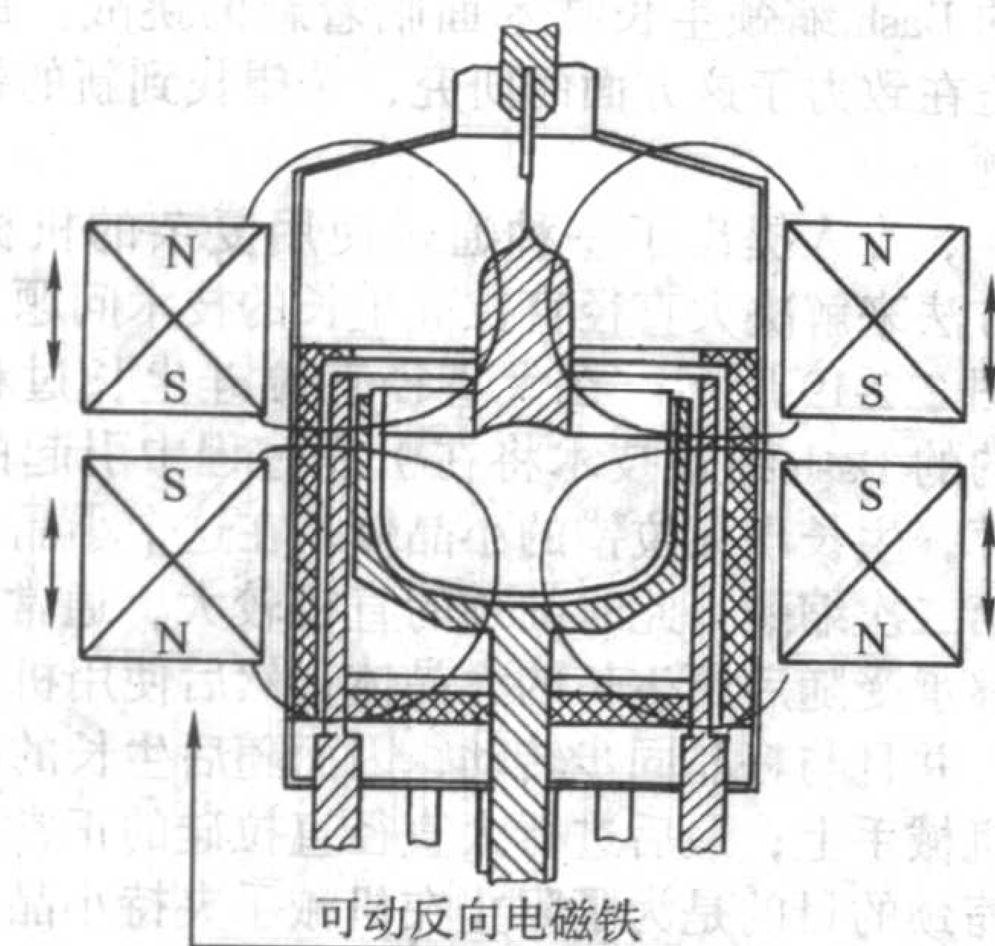


图 2.2-16　采用 CUSP 磁场的直拉法生长硅单晶的示意图

从图 2.2-16 可以看到：在 CUSP 型磁场下，磁场在液面处的磁场为零，因此杂质浓度在晶体中的径向分布均匀度不受磁场影响。在熔体内部的磁场为纵向而且强度较高，因此热对流被有效地抑制。在坩埚壁附近，磁场方向具有横向分量，因此坩埚壁附近的扩散边界层厚度增加，因此坩埚的熔解量减小而使单晶中的氧含量降低。此外，晶体下方的熔体处于低强度的磁场中，这部分熔体还能被均匀地搅拌，这样对保持杂质在晶体中的径向均匀性有利。

显然，CUSP 磁场的中心平面与液面的相对位置，对熔体的对流状态和单晶中的氧含量影响显著。研究表明：如果磁场的中心平面稍微向上偏离自由液面，则由于存在垂直磁场分量就会使单晶中的氧含量显著上升。而当磁场的中心平面落在熔体内部时，则氧浓度的分布较均匀而且不会出现生长条纹。

(5) 大直径硅单晶生长面临的问题

自 20 世纪 90 年代后期开始，200 mm 的硅片逐渐成为集成电路用的主流硅片。目前 300 mm 硅片已经开始批量生产，当电路的特征线宽达到 90 nm 后，300 mm 硅片将成为主流产品。总的说来，集成电路的发展要求硅片直径越来越大。

大直径硅单晶生长碰到的主要问题是无位错成晶率随直径的增大而降低，这样就提高了单位面积抛光硅片的生产成本。有如下问题将导致大直径硅单晶成晶率的降低：①晶体长度/晶体直径比降低；②大熔体导致的强烈热对流；③冷却导致晶体中的应力；④多晶硅熔化和单晶生长需要长时间；⑤坩埚壁温度的升高。

1) 晶体长度/晶体直径比的影响　如果在晶体生长过程中，固液界面处受到某种干扰而产生位错，则位错就会在冷却应力的作用下快速地增殖，而在整个界面蔓延并向已生长好的晶体反延一个直径的距离。如果生长好的晶体不到一个直径的长度，则通常需要回熔，这样就额外地增加了单晶生长需要的时间，而使坩埚容易出问题。如果位错是在晶体的后半段产生，则只有继续生长。显然，由于晶体长度/晶体直径比的降低，会使成晶率显著降低。比如，在投料量为 150 kg 的情况下生长 300 mm 硅单晶时，除去单晶头锥、尾锥和剩余底料所消耗的多晶，大约可以产出 70 cm 长的单晶。假设位错在刚转入收尾时产生（这种情况在产生位错的情况中已经是最幸运了），则除去位错反延的 30 cm，只剩余 40 cm 可用的单晶，这样只有大约 57% 的成晶率。这样的成晶率与生长小尺寸单晶的情况相比已经算很低的了。以生长直径为 101.6 mm（4 in）、长度为 180 cm 的单晶为例，如果在转入收尾时产生位错，则成晶率约为 96%。

2) 石英坩埚　石英坩埚是直拉法生长硅单晶必不可少的热场部件，其重要性是不言而喻的。为了满足直拉硅单晶生长的高成晶率的要求，尤其为了应付大直径硅单晶生长所面临的如上所述的问题，石英坩埚的制造技术也在不断创新。现在使用的石英坩埚已经不像早期那样完全透明，而是存在二层结构，即：在石英坩埚壁的外侧是一层具有高气泡密度的区域，而内侧则是一层 3～5 mm 的透明层。外侧气泡层可以均匀地散射热量，内侧透明层则可以减少与硅熔体接触而产生的气泡的密度，减少产生方石英颗粒的机会，从而提高直拉硅的成晶率。

石英坩埚是由非晶态石英制造的，在某种条件下可以发生相变而形成方石英，如果在坩埚内壁形成方石英非常显著，则会使透明层失透。与一般的结晶过程一样，方石英的形成同样存在成核和长大两个过程。能够成为方石英结晶的核心可以是石英坩埚壁上的结构缺陷或者是杂质（如碱金属或者重金属杂质）。方石英晶体形成时最初呈球状，然后沿着坩埚壁呈枝状生长，如图 2.2-17 所示。此时，熔硅会渗进方石英晶体和非晶态石英之间，随着时间的延长，方石英晶体会从坩埚壁上脱落。脱落的方石英颗粒大部分会熔解在熔体中，而那些较大的颗粒则有可能飘到生长界面并撞到晶体上而产生位错。当然，较小的颗粒撞到晶体上有可能不产生位错。显然，产生位错的概率会随着石英坩埚的使用时间及温度的增加而增加。因此，如何减少方石英颗粒撞击到晶体上的概率对提高成晶率来说非常重要。从石英坩埚本身来说，可以有两种途径：一是从抑制方石英颗粒产生的角度着手，这要求减少坩埚内壁的缺陷和金属沾污；二是从抑制方石英颗粒从坩埚壁脱落的角度着手。

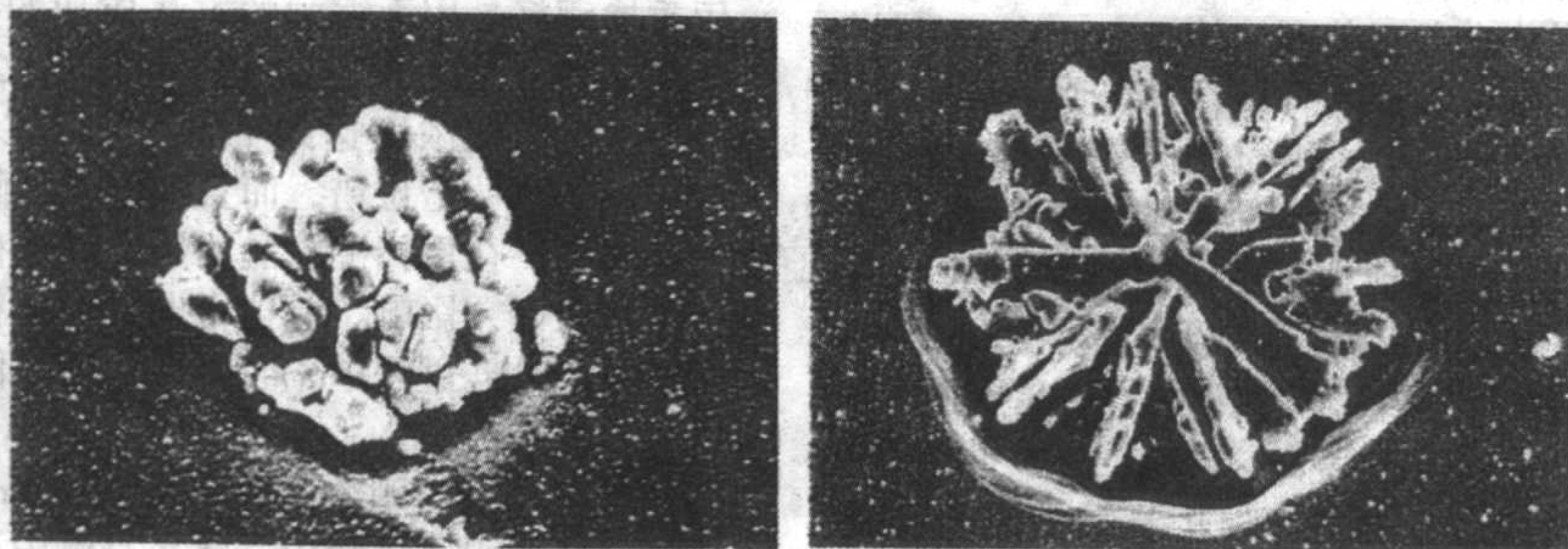


图 2.2-17　无定形石英坩埚壁上方石英晶体从球状到枝状形成过程的照片

涂层坩埚的出现是近年来石英坩埚制造中的一个里程碑。所谓涂层就是在石英坩埚的内壁涂上一层能促进方石英结晶的物质。这样的物质有很多，但考虑到不必要的杂质沾污会恶化单晶的性能，因此要选择分凝系数很小的物质。目前用得最多的涂层物质是含有结晶水的氢氧化钡[$Ba(OH)_2 \cdot 8H_2O$]。Ba的分凝系数很小（约为2.25×10^{-8}）。氢氧化钡会与空气中的二氧化碳反应形成碳酸钡。当石英坩埚被加热时，碳酸钡会分解成氧化钡，而氧化钡与石英反应生成硅酸钡（$BaSiO_3$）。硅酸钡会促进在坩埚壁上形成一层致密的颗粒细小的方石英颗粒，这些颗粒与坩埚壁的黏附很好，不容易脱落下来。即使脱落下来的方石英颗粒也很容易在熔硅中溶解。此外，黏附在石英坩埚壁上的方石英层还可以增加石英坩埚的强度，减少高温软化现象。因此，涂层显著的提高了坩埚的使用寿命，显然，这对提高直拉硅的成晶率是大有裨益的。目前，生长大直径直拉硅时，通常选择涂层坩埚。

（6）生长大直径硅单晶的热场

如上所述，大直径硅单晶的无位错生长面临着诸多问题，解决这些问题的一个根本措施就是设计合理的热场。此外，集成电路的工艺温度比以前有显著的下降，为了避免在器件有源区中产生缺陷，要求硅单晶中的氧含量降低。生长低氧硅单晶也需要有合理的热场。德国WACKER公司提出了一种带有热屏/导流装置的所谓的封闭热场，如图2.2-18所示。实践证明，这种热场在提高硅单晶的成晶率和降低单晶中的氧含量两方面都是非常有效的。

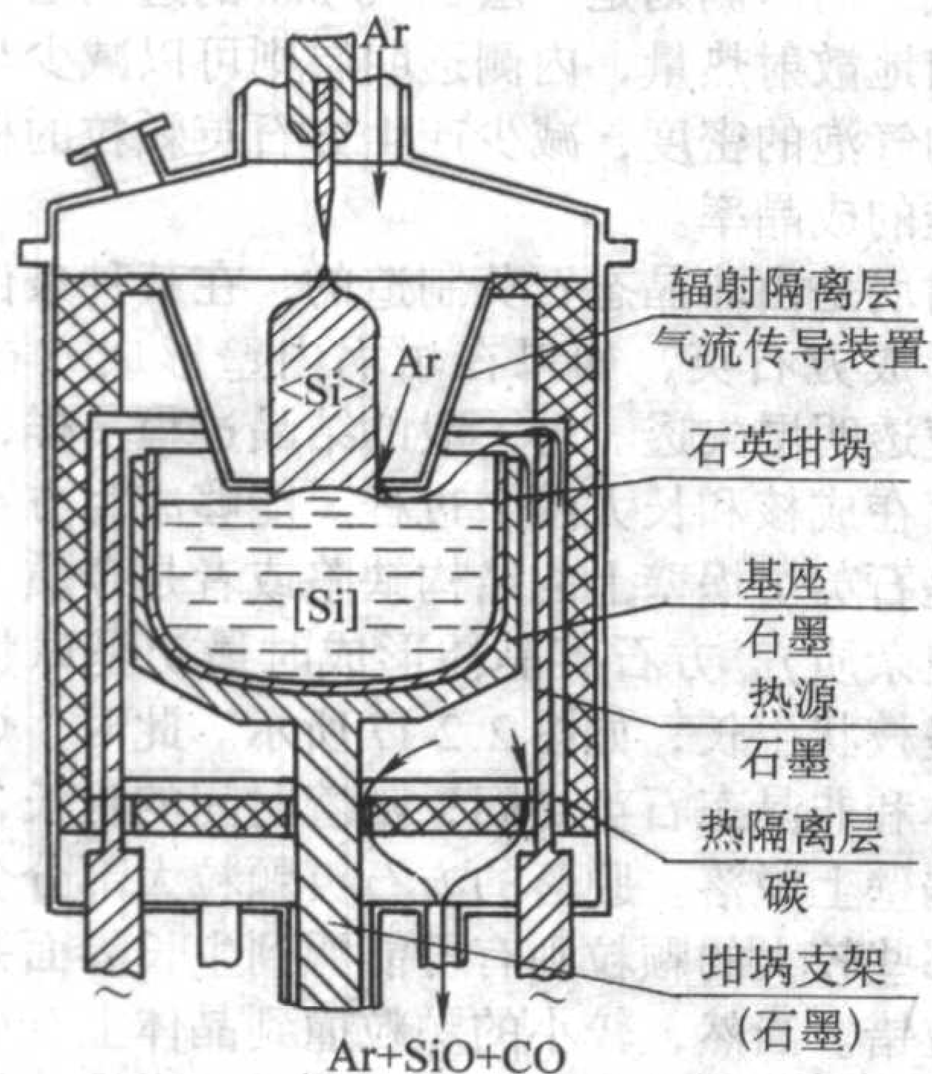


图2.2-18 封闭热场生长直拉硅单晶的示意图

封闭热场中导流筒的作用是多方面的：①减少了熔体、石英坩埚、石墨坩埚、加热器和其他部件热辐射导致的能量损失，因此具有节能作用。②较低的能耗可以使加热器和坩埚的温度降低，这样可以延长加热器和坩埚的寿命，同时可以减少从石英坩埚壁脱落出方石英颗粒的机会，从而有利于晶体的无位错生长。③由于导流筒可以将一部分热量反射回熔体，因此抑制了熔体的热对流，这对降低晶体中的氧含量和改善杂质分布的均匀性都有好处。④加强了气流对晶体的冷却，这对提高晶体的拉速有利，而在相对较高的拉速下拉晶，除了可以提高经济效益外，还可以减少或抑制硅片的氧化诱生层错。此外，在快速条件下生长的硅单晶中的空洞（void）型缺陷尺寸减小而密度提高，这样空洞型缺陷容易在退火中消除。⑤导流筒具有强制引导保护气氛流向的作用，尤其是加快了保护气体掠过熔体表面的速度，这样可以有效地驱赶SiO、CO和熔体中可能存在的颗粒（比如方石英颗粒），这有利于降低单晶中的氧、碳含量，且有利单晶的无位错生长。

（7）大直径直拉硅的无缩颈生长技术

随着集成电路的高速发展，为了降低生产成本，要求硅片的直径越来越大。因此直拉硅晶体的重量越来越重。通常300 mm直拉硅单晶的总质量已超过200 kg。预计到2015年，450 mm的直拉硅单晶将开始生产，其质量将超过400 kg。很显然，直径为3~5 mm的细颈是不可能承受如此大的质量，因而传统的Dash缩颈生长技术面临着新的挑战。最近几年来，人们正在致力于这方面的研究，希望找到新的技术来解决这个难题。

1999年，有人提出了一种通过使用复杂的机械手和两次缩颈的方法来解决大直径直拉硅生长的技术问题，其装置原理图如图2.2-19所示。在大直径直拉硅生长过程中，先通过传统的的Dash细颈技术将在引晶过程中引起的热冲击位错消除掉，生长出无位错的小晶体；在这个小晶体生长结束前进行第二次缩颈，此时细颈的直径较大，通常在10 mm左右，能够承受随后所生长的大晶体；然后使用机械手将小晶体夹住，并且与籽晶同步转动，因而随后生长的晶体重量都施加在机械手上；最后进行大直径直拉硅的正常生长。进行第二次缩颈的目的是为了阻止在机械手夹持小晶体时产生的位错在高温下向生长的晶体中传播。

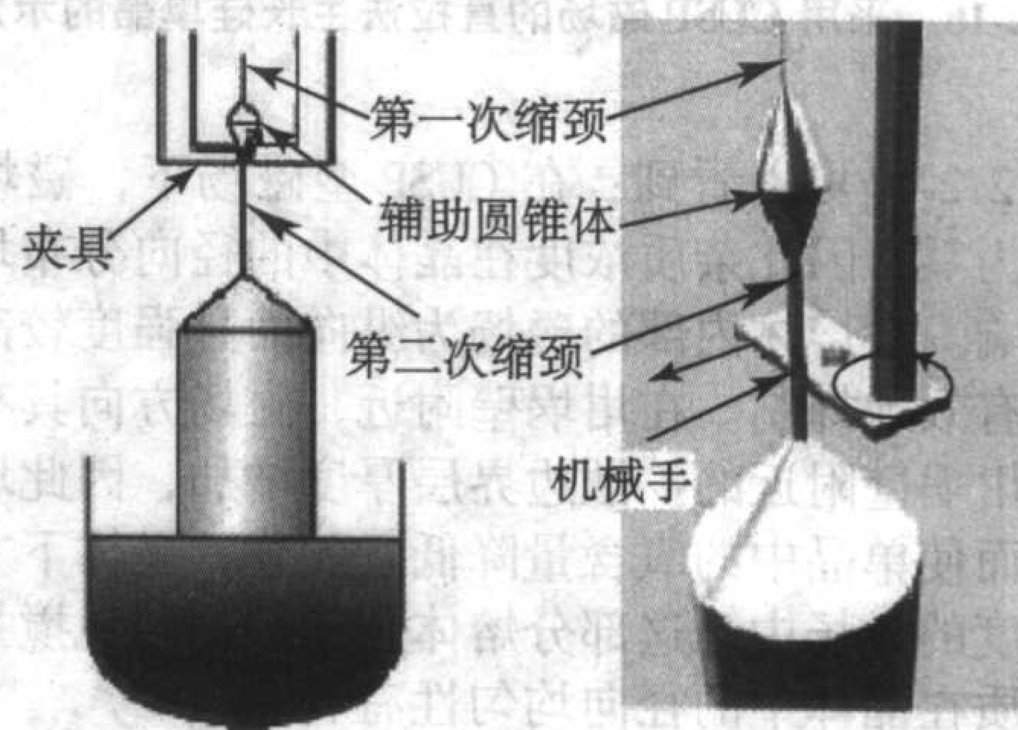


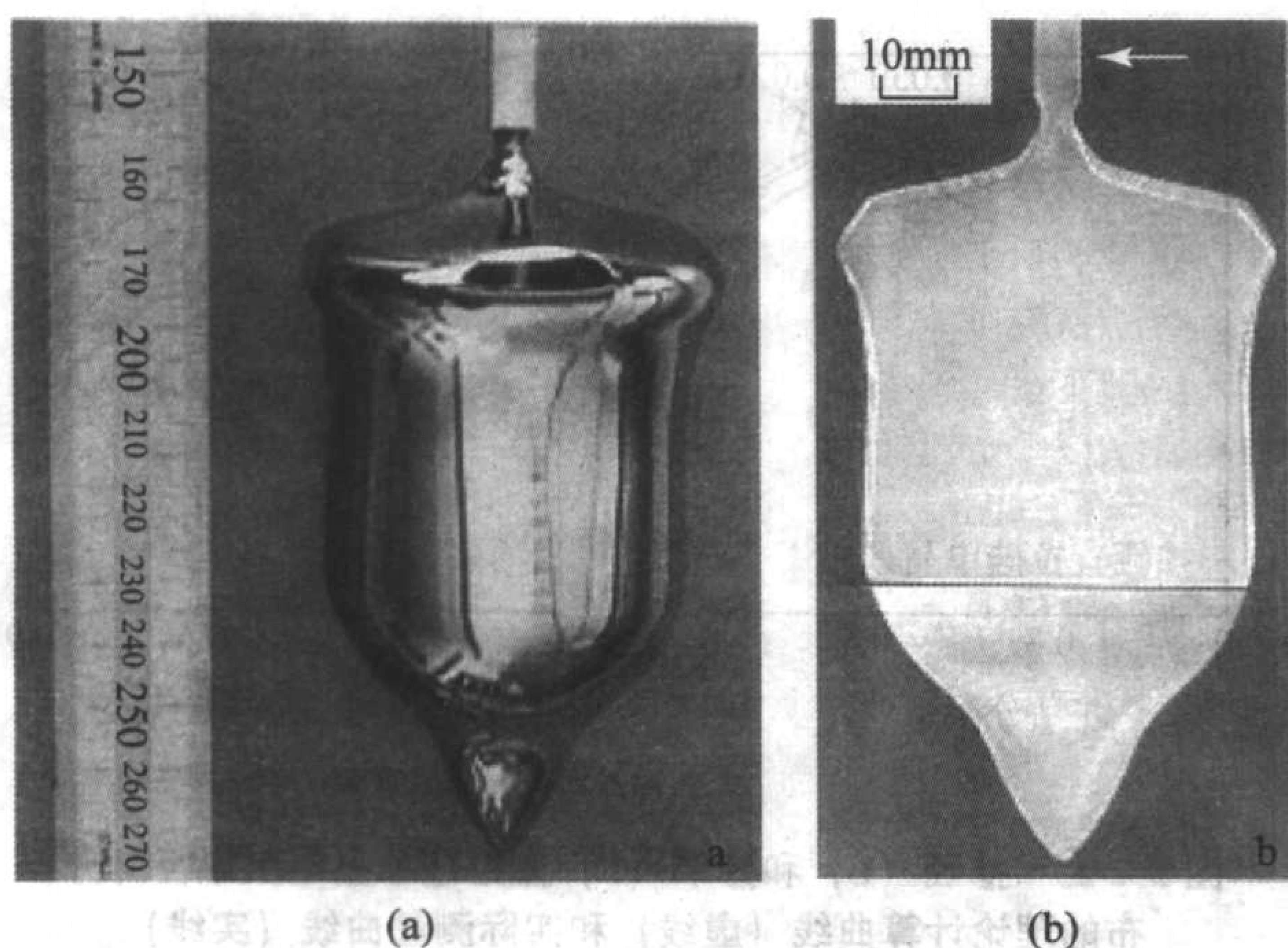
图2.2-19 使用机械手和两次缩颈的大直径直拉硅生长技术的示意图

1998年，Chandrasekhar等通过理论计算和实验发现，使用长度为170 mm、直径为12 mm的细颈也可以消除引晶过程中引起的位错。这里需要指出的是，在细颈生长过程中必须保证固液界面凸向固相一侧，才能使位错被消除。

1997年Abe等使用硼浓度为$1 \times 10^{19}/cm^3$、直径为10 mm的无位错籽晶在无缩颈情况下成功地生长出了无位错的含相同硼浓度的重掺硼单晶硅。他们采取的方法的要点是把重掺硼籽晶的底端加工成锥形，籽晶外形看上去像支铅笔，在引晶过程中先使其底端锥形部位缓慢熔于熔硅中，熔完以后直接进行放肩，然后进入硅晶体的等径生长。事实上，他们利用的重掺硼籽晶具有很强的抑制位错的能力，同时采用锥形底端可以减少热冲击位错。

1999年干川等进一步发展了无缩颈生长技术，他们采用重掺硼籽晶用无缩颈的方法成功的生长了无位错硅单晶，该晶体及其X射线形貌（XRT）如图2.2-20所示。他们认为当籽晶中的硼浓度达到$1 \times 10^{18}/cm^3$以上时，可以抑制引晶时引起的热冲击位错，而且抑制能力随着硼浓度的增加而增大。但是，在重掺硼籽晶回熔引晶过程中，必将在生长的晶体中引入硼，影响了晶体中电阻率的精确控制，特别是在生长n型单晶硅过程中，会产生杂质补偿效应，这些问题需要进一步的解决。

当籽晶中的硼浓度达到$8 \times 10^{18}/cm^3$以上时，在生长轻掺硅晶体的引晶过程中，将在晶体中产生由晶格失配引起的位错，即“失配位错”。这种失配位错是由于籽晶和生长的晶体中硼浓度的差异太大引起的，因为较小原子尺寸的硼原



(a)　(b)

图 2.2-20　以重掺硼硅单晶为籽晶，采用无缩颈方法生长的无位错直拉硅（a）及其 X 射线形貌图（b）

子在硅中将产生晶格收缩。于川等人认为不产生失配位错的硼掺杂临界值为 $7\times10^{18}\sim8\times10^{18}/cm^3$。为了避免重掺硼籽晶在无缩颈生长过程中因晶格失配而产生位错，他们使用硼、锗共掺的籽晶，通过较大原子尺寸的锗与小原子尺寸的硼来补偿籽晶中的晶格收缩，成功地消除了引晶过程中失配位错的产生。

总之，无缩颈生长技术的发明对将来大直径直拉硅的生长提供了技术支持，然而它在工业上的应用需要更进一步的研究。

2.2.4　直拉硅单晶的掺杂

除了少数探测器件需要使用高纯硅以外，其他半导体硅器件都需使用一定电阻率的硅片。硅能够大量地被使用，其中一个原因是它可以方便地被掺杂而形成 n 型和 p 型硅。从理论上讲，Ⅲ族元素物质 B、Al、Ga 和 In 都可以作为受主杂质使硅变成 p 型。但在工业生产中，由于 Al、Ga 和 In 的分凝系数很小，一般不被采用，只有在太阳能电池使用的硅单晶中有时掺入 Ga 以提高其抗辐照性能。而 B 的分凝系数大且在硅中的固溶度高，因此在微电子器件中使用的 p 型硅片中都是掺 B 的。对于 n 型硅来说，Ⅴ族元素物质 P、As 和 Sb 都可以作为施主杂质。轻掺的 n 型硅片都是掺 P 的，而重掺的 n 型硅中，As 和 Sb 是常用的掺杂剂。重掺 As 硅单晶的电阻率比重掺 Sb 的要低，因为 As 在硅中的固溶度和分凝系数分别要比 Sb 的高约 20 倍和 10 倍。但是 As 的氧化物有剧毒，从环保和人身安全的角度考虑，重掺 Sb 单晶依然有市场。表 2.2-1 是Ⅲ、Ⅴ族元素杂质（掺杂剂）在硅中的固溶度和平衡分凝系数。

表 2.2-1　掺杂剂在硅中的固溶度和平衡分凝系数

元素	族	平衡分凝系数	固溶度/cm^{-3}
B	Ⅲ	8×10^{-1}	1×10^{21}
Al	Ⅲ	2×10^{-3}	5×10^{20}
Ga	Ⅲ	8×10^{-3}	4×10^{19}
In	Ⅲ	8×10^{-4}	4×10^{17}
P	Ⅴ	3.5×10^{-1}	1.3×10^{21}
As	Ⅴ	3×10^{-1}	1.8×10^{21}
Sb	Ⅴ	2.3×10^{-2}	7×10^{19}

1）轻掺杂　在轻掺的情况下，一般分别掺入 B 和 P，使硅成为 p 型和 n 型。由于掺入硅晶体中的杂质总量并不多，如果直接用单质元素掺杂，很难精确控制杂质的重量。所以在轻掺时，通常采用母合金（即 Si-B 和 Si-P 合金）掺杂方法。所谓母合金，实际上是来自于重度掺杂的 CZ 硅或者 FZ 硅，母合金的电阻率一般为 $10^{-1}\sim10^{-3}\ \Omega\cdot cm$。CZ 硅的缺点是掺杂剂在晶体的轴向分布不均匀（尤其是磷），因此从 CZ 重掺单晶硅棒上获得的母合金，需要依据电阻率分挡。而 FZ 重掺单晶硅棒中杂质的轴向分布较均匀，因此在拉制轻掺 n 型硅时，用 FZ 重掺 P 单晶作为母合金比较普遍。但是，FZ 法制备母合金的成本比较高。

FZ 法制造 Si-P 母合金具有一定的优势。在 FZ 法生长中，炉子内充满氩气氛，用一小喷管将 PH_3 吹入熔区中，P 可快速地溶在熔体中。这种气相掺杂的优点是硅熔体和晶体中的浓度可精确地控制，而且可以掺杂到很高的浓度，如 $10^{20}\ cm^{-3}$（对应的电阻率为 $8\times10^{-4}\ \Omega\cdot cm$）。也有采用 CZ 法生长重掺 P 单晶作为 Si-P 母合金的，如上所述由于 P 的分凝系数较小，从 CZ 重掺 P 单晶棒上切下来的硅片需要按电阻率分挡。在使用之前，还需将在某一电阻率范围的 Si-P 母合金片粉碎并混合均匀。在实际生产中，通常采用所谓的尝试法来确定拉制某一目标电阻率范围的单晶所需的母合金颗粒的重量。即：在拉制第一根单晶时，先用理论方法计算出所需重量的母合金颗粒掺杂，然后根据从所拉单晶头部附近切下来的硅片的电阻率进行一些微调。工业化生产中，通常会成批量地生产某一目标电阻率范围的单晶，所以在试拉一、两根单晶的基础上，就可以把掺杂所需的母合金重量固定下来。这里要说明的是，母合金的电阻率要根据所拉的轻掺单晶的电阻率来选择。比如，在拉制电阻率比较高的单晶时，为了更精确地获得目标电阻率，通常选取电阻率稍高的母合金，这样掺杂所需的母合金量会更多一些，称量母合金时存在的误差的影响就会相应地更小一些。

Si-B 母合金通常用 CZ 法生长的重掺 B 单晶棒，这是由于 B 的分凝系数大，而且 CZ 法生长重掺 B 单晶比较容易。使用 Si-B 母合金的方法和使用 Si-P 母合金的相似。

2）重掺杂　重掺硅片通常用做外延片的衬底。使用外延片最先是为了解决功率晶体管的集电区电阻和集电结反向偏压之间的矛盾。因此，双极型器件广泛地使用外延片。后来，为了克服 CMOS 器件的闩锁（latch-up）效应，也采用外延片制造 CMOS 电路。对于大直径硅片尤其是 300 mm 硅片来说，外延片将占据 50% 以上的份额。用于制造 MOS 集成电路的外延片经常采用 p/p^+ 结构，而用于制造分立器件的外延片经常采用 n/n^+ 结构。因此，重掺 B，As 和 Sb 的硅单晶是硅材料中的重要成员。

重掺 B 硅单晶的生长比较容易。由于硼的蒸气压很小，几乎不会从液面挥发，掺杂时只需将一定重量的硼粉与多晶硅原料一起加入到石英坩埚内即可。至于 As 和 Sb 的重掺杂，由于这两种掺杂剂的蒸气压都相当大，它们在多晶硅熔化及晶体生长过程中会在液面处大量的挥发。虽然有多种方法可用于 As 和 Sb 的重掺杂，但如下所述的方法比较简单易行，即：将作为掺杂剂的 As 或 Sb 置于一底部为薄硅片的石英容器内，并停留在副室中。当多晶硅原料完全熔化并稳定若干时间后，打开隔离阀，并适当提高炉膛压力，降下石英容器并把它浸入硅中，于是底部的硅片开始熔化使得砷和锑的掺杂物跟着进入熔硅中。在晶体生长中，通过控制氩气流量与炉压，使得掺杂剂自液面挥发的速度大约等于掺杂剂进入到熔硅中的速度，于是晶体轴向的砷或锑浓度几乎保持恒定。经过一段时间，若仍然无法顺利拉出晶体时，则需要再加入一定数量的掺杂剂以补偿已挥发掉的量，否则晶体的电阻率就会太高。

3）杂质在硅晶体中的轴向分布　在 CZ 法生长的晶体中，杂质的浓度分布可以简单的由正常凝固计算而得。图 2.2-21 给出的是正常凝固的示意图。

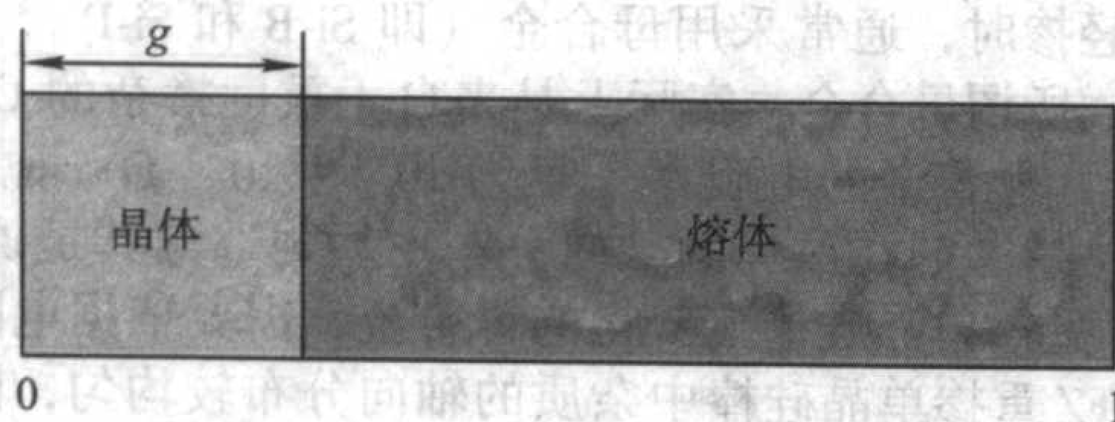


图 2.2-21 正常凝固现象的示意图

正常凝固基于以下的假设：①晶体中的杂质扩散忽略不计；②熔体中的杂质浓度均匀；③平衡分凝系数 k_0 是恒定的。在这样的前提下，晶体中的杂质浓度 $[C]_s$ 与分凝系数 g 的关系由下式给出：

$$[C]_s = k_0[C]_0(1-g)_0^{k-1} \quad (2.2\text{-}27)$$

式中，$[C]_0$ 为熔体中的初始浓度。图 2.2-22 给出了在正常分凝情况下，各种杂质的纵向分布与分凝系数的关系。

应该指出的是，正常分凝行为只有在生长速度极慢的情况下才成立。但是，实际的晶体生长总是在一定的速度下进行的，对于平衡分凝系数小于1的杂质来说，随着晶体的生长，杂质被排斥到界面处熔体的速度要大于扩散到熔体内部的速度。因此，杂质会在生长界面附近的熔体一侧积累，同时向熔体体内扩散，最终会形成一稳态的扩散边界层。显然，由于扩散边界层的存在，描述杂质的分凝行为时，不能再用平衡分凝系数 k_0，而应使用有效分凝系数 k_{eff}。若扩散边界层的厚度为 δ，凝固速率为 G_s，杂质在熔体中的扩散系数为 D，则 k_{eff} 可以表示为：

$$k_{eff} = k_0/[k_0+(1-k_0)\exp(-G_s\delta/D)] \quad (2.2\text{-}28)$$

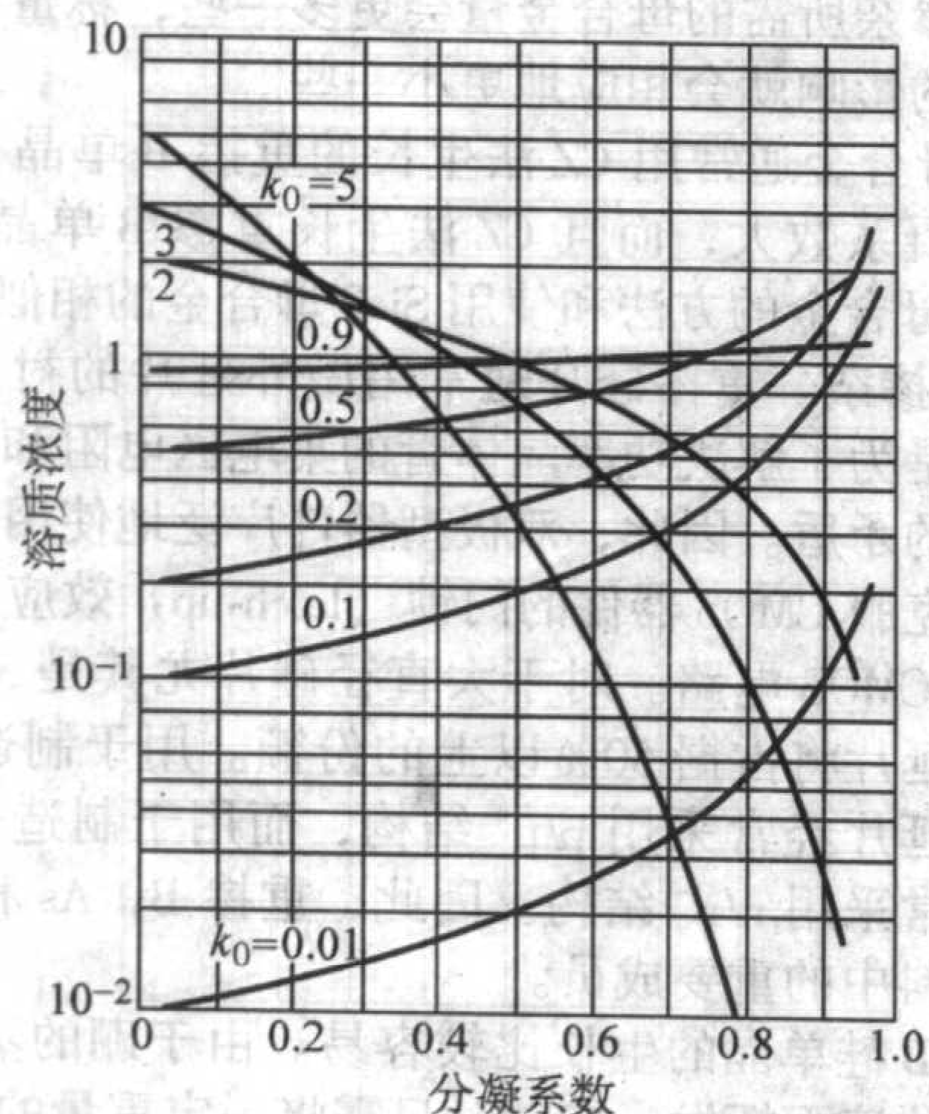


图 2.2-22 具有不同分凝系数的杂质在 CZ 硅单晶棒中的分布曲线

扩散边界层的厚度 δ 在凝固速率比较小的情况下，可以表述为：

$$\delta = 1.6D^{1/3}\nu_k^{1/6}\omega^{-1/2} \quad (2.2\text{-}29)$$

式中，ν_k 为熔体的黏度。

在实际的晶体生长中，杂质在晶体中的轴向分布理论上应该表示为：

$$[C]s = k_{eff}[C]_0(1-g)_{eff}^{k-1} \quad (2.2\text{-}30)$$

但是具体到某些蒸气压高的掺杂剂，如磷、锑和砷而言，还应该考虑到挥发这个重要因素，因此实际测量到的杂质浓度（或电阻率）分布与计算得到的分布会有差别。显然，对于分凝系数接近于1，蒸气压很小的硼而言，这种差别会小一些。图 2.2-23 给出了掺硼和掺磷的直拉硅单晶电阻率纵向分布的理论计算和实际测量的曲线。

4）组分过冷现象　晶体生长时，固液界面的形状在通常情况下由生长参数和熔体的对流状态决定。对于直拉硅晶

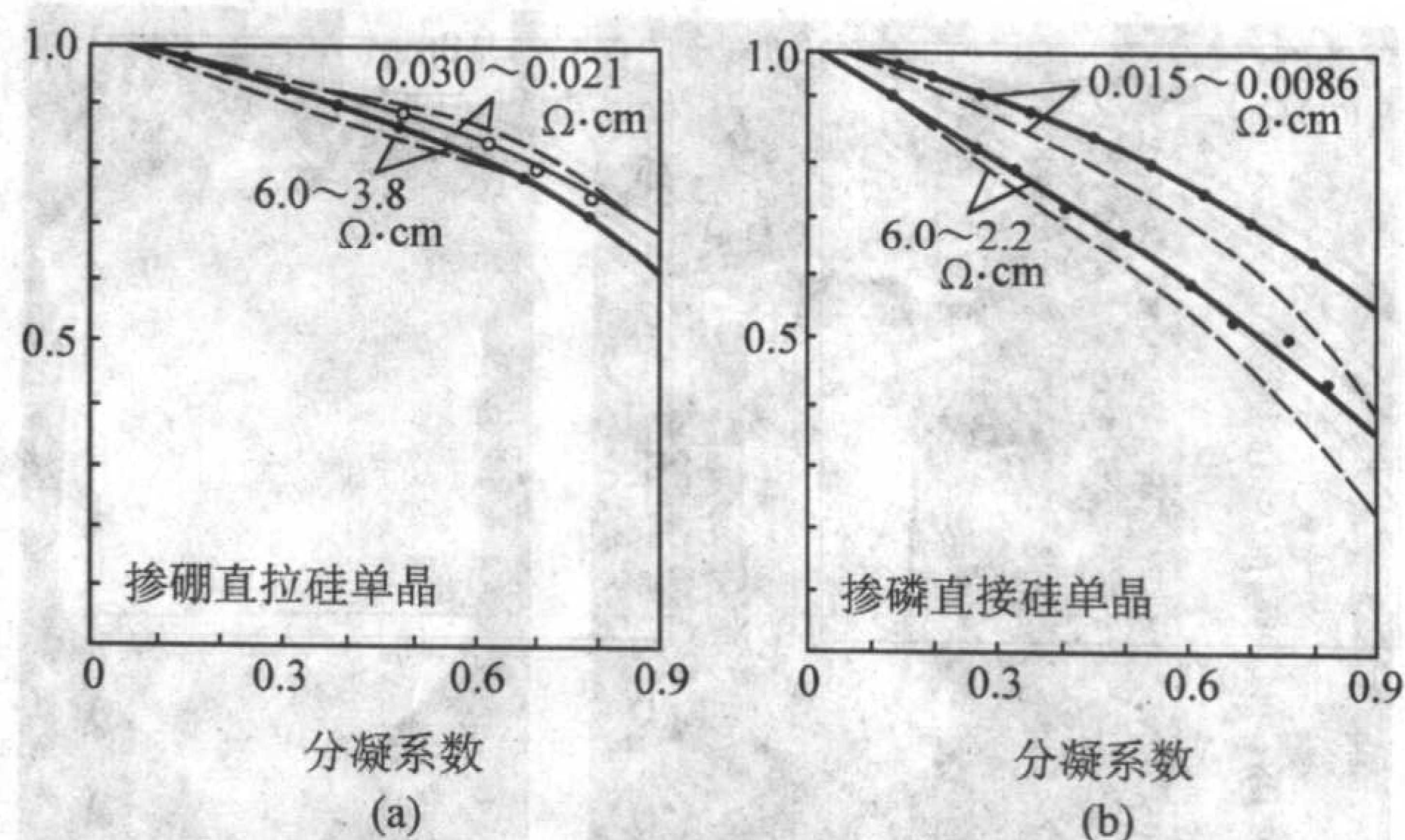


图 2.2-23 掺硼（B）和掺磷（P）直拉硅单晶电阻率径向分布的理论计算曲线（虚线）和实际测量曲线（实线）

体生长来说，在放肩阶段由于散热较快，固液界面凸向熔体；而在晶体的稳定生长阶段，固液界面则凹向熔体。稳定的固液界面对硅晶体的无位错生长是非常重要的。实际上，除了生长参数和熔体的对流状态对固液界面的形状有显著影响外，熔体中的杂质浓度也会产生影响，有时甚至是决定性的。前面介绍过的扩散边界层就在固液界面附近，它又是杂质的富集区域。由于杂质浓度的提高会降低熔体的凝固点温度，因此，固液界面处的凝固点温度最低，在扩散边界层中凝固点温度逐步升高，在扩散边界层与熔体的交界处达到最高，再进一步进入熔体后，凝固点温度保持不变。为了使晶体生长能够进行，固液界面处的熔体温度必须是凝固点的温度。在熔体温度梯度为正的情况下，从固液界面往熔体深入，熔体的温度在不断升高，而同时在扩散边界层中熔体的凝固点也在升高，当前者的上升速度小于后者的上升速度时，在扩散边界层中将出现所谓的组分过冷现象。一旦出现组分过冷现象，生长界面就不稳定，如图 2.2-24 所示。在组分过冷严重时，单晶生长状态得不到维持而出现多晶生长，这种情况在重掺硅单晶的生长中可能出现。

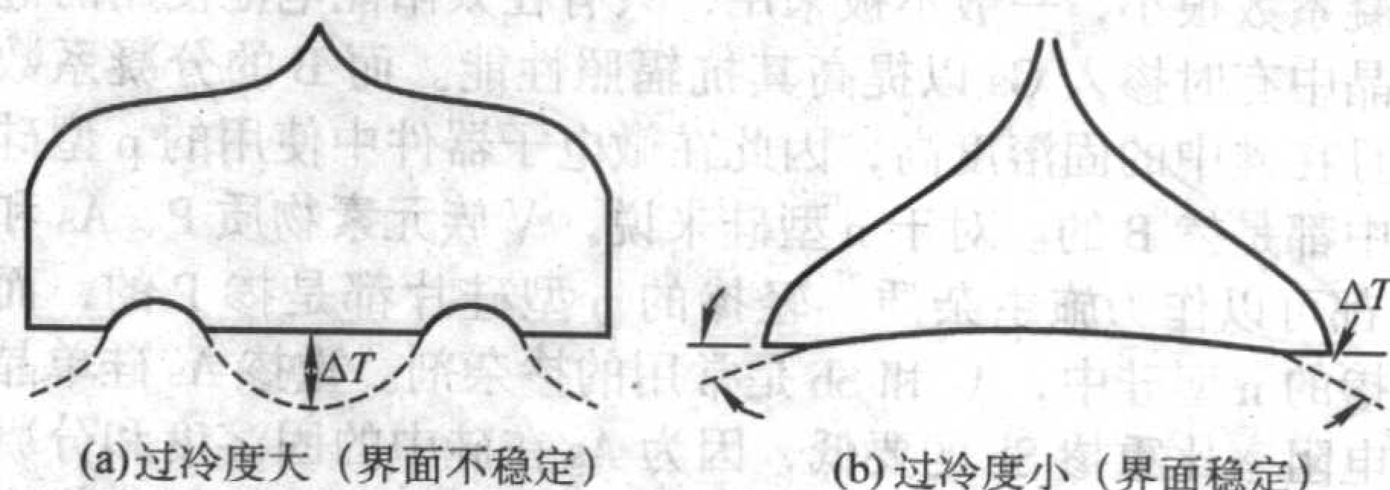


图 2.2-24 不同过冷度下的生长界面

从上面的定性介绍中，可以理解只有当熔体中的温度梯度足够大时，才有可能避免扩散边界层中的组分过冷现象。为此，需要满足以下条件：

$$G/v \geqslant mC_{L(0)}(1-k_0)/Dk_0 \quad (2.2\text{-}31)$$

式中，G 是温度梯度；v 是晶体生长速度；$C_{L(0)}$ 为杂质在固液界面处的浓度；k_0 为溶质的平衡分凝系数；D 为扩散系数；m 为相图中凝固线的斜率。

从上面的式子可以看出，为了避免组分过冷，需要提高熔体内的温度梯度和降低晶体的生长速率。在实际的重掺单晶硅的生长中，通常把初始的坩埚位置设得高一点，以提高熔体内的温度梯度。

2.2.5 连续加料直拉法生长硅单晶

通常的直拉法生长硅单晶有一个很大的问题就是电阻率、氧含量的纵向不均匀性。尤其对 n 型硅单晶而言，电阻率的纵向不均匀性更加显著。造成这种不均匀性的根本原因除了掺杂剂的分凝效应以外，就是坩埚中熔体的液面位置在不断地下降，因而晶体的生长是在非稳态条件下进行的。另外，通常的直拉法生长硅单晶在每一过程结束后，石英坩埚

自然破裂而无法继续利用，是降低生产成本的一大障碍。此外，在每一个生产过程的开始，都需要重新装料、清洁和安装热场、抽真空、化料等工序，这对提高生产效率是不利的。在这样的背景下，提出了一种连续的直拉法（continuous Czochralski，简称 CCZ）生长硅单晶。它的基本思路是在晶体生长时不断地添加硅原料，以保持硅熔体体积不变，这样单晶生长是在稳定的状态下进行的，克服了通常直拉法存在的缺点。CCZ 法的加料方法有两种：液态加料法和固态加料法。

1）液态加料法 最早提出 CCZ 的液态加料法是利用虹吸原理，用虹吸管将在一个炉子中的硅熔体传输到另一个生长硅单晶的炉子中的石英坩埚中，以补偿不断消耗的熔体。这种方法的原理如图 2.2-25 所示。显然，供给熔体的石英坩埚的位置要高于生长单晶的石英坩埚，它们之间的高度差决定了加料的速度。

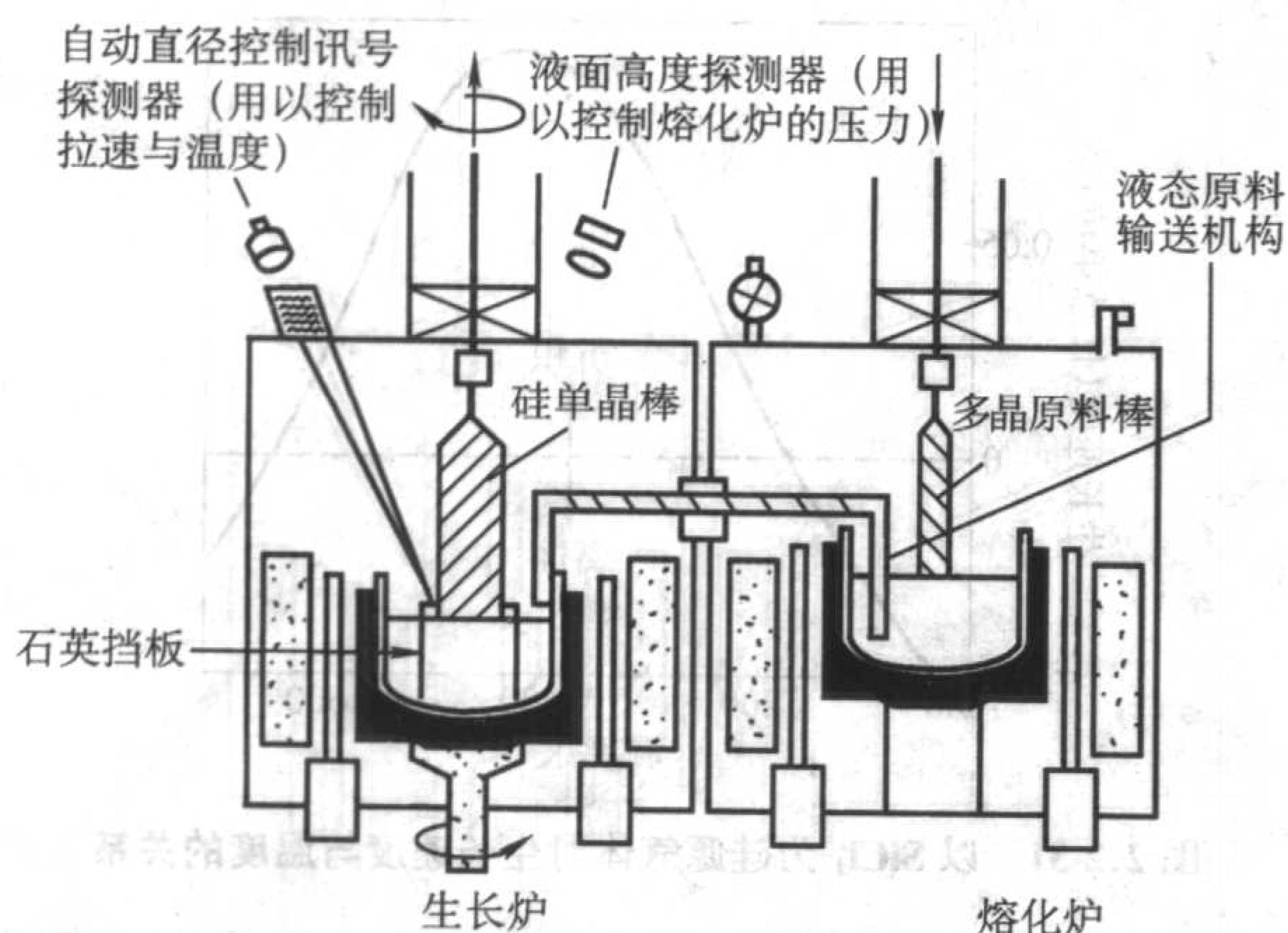


图 2.2-25 利用虹吸原理连续加料的装置示意图

最近提出了一种所谓的 LFCZ（liquid feeding CZ method）法用于连续加料，其原理图如 2.2-26 所示。这种方法只用一个炉子，加料采取自上而下的方法。将两根多晶硅用螺旋状的石墨加热器加热熔化，然后通过两根石英管导入石英坩埚中。为了获得电阻率更为均匀的单晶棒，可以在多晶棒表面上每隔一段位置放置掺杂剂。

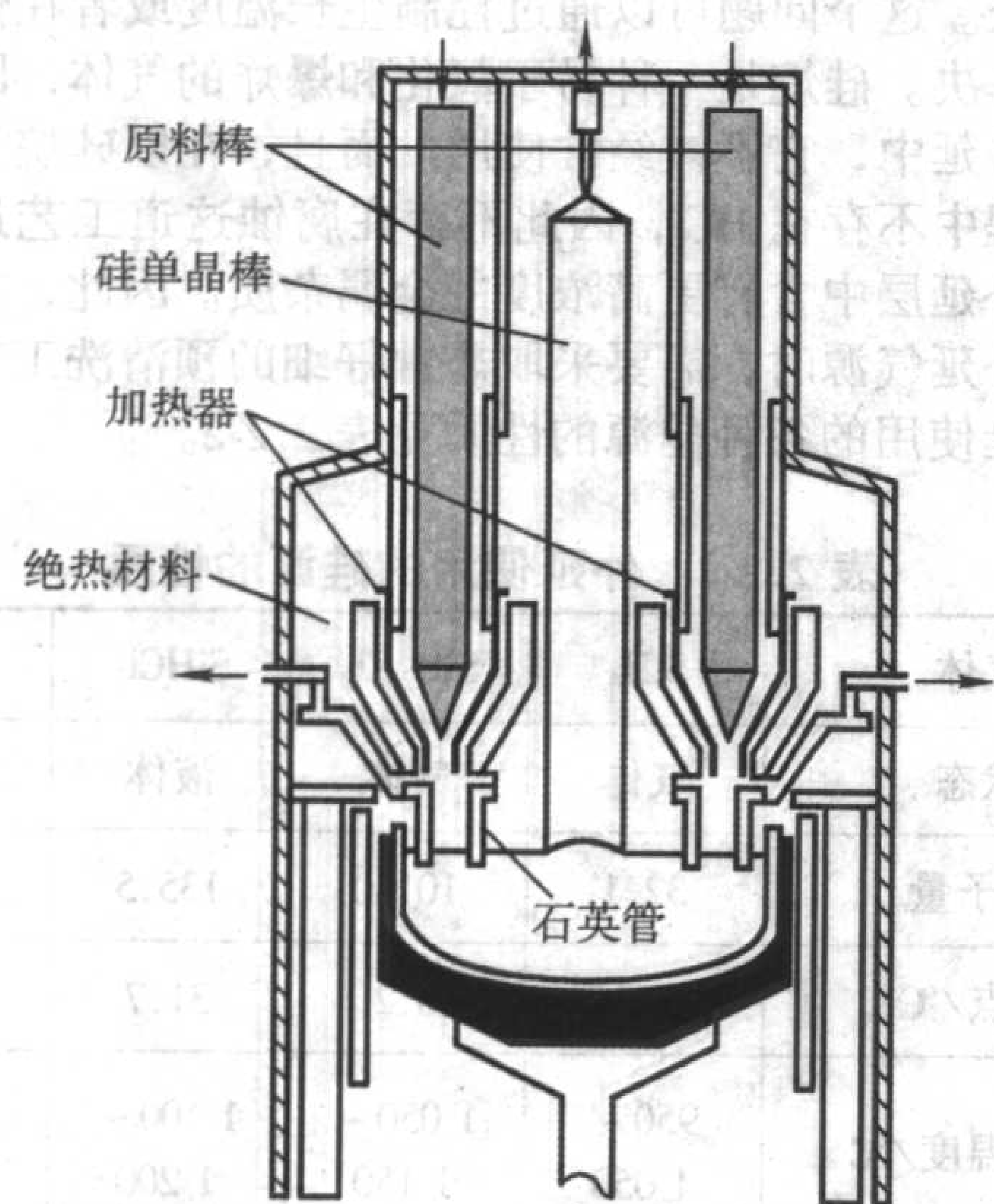


图 2.2-26 LFCZ 法示意图

2）固态加料法 顾名思义，固态加料法是直接将多晶硅原料加入到熔体中，这种方法要解决的根本问题是如何避免加料对晶体生长的影响。为此，需要使用石英挡板或者石英坩埚，将晶体生长区域和多晶硅熔化区域隔离开来。使用的多晶硅原料可以是棒状多晶、块状多晶和粒状多晶。几种固态加料方法如图 2.2-27 所示。石英挡板在使用过程中会软化，并且会给熔体引入额外的氧，这是固态加料法存在的问题。在三种形态的多晶硅原料中，颗粒多晶硅在再加料方面有一定的优势。近年来，著名的硅材料供应商 MEMC 在力推颗粒多晶硅用于再加料。颗粒多晶硅的加料设备如图 2.2-28所示，它包括漏斗型容器和振动式的进料器等。

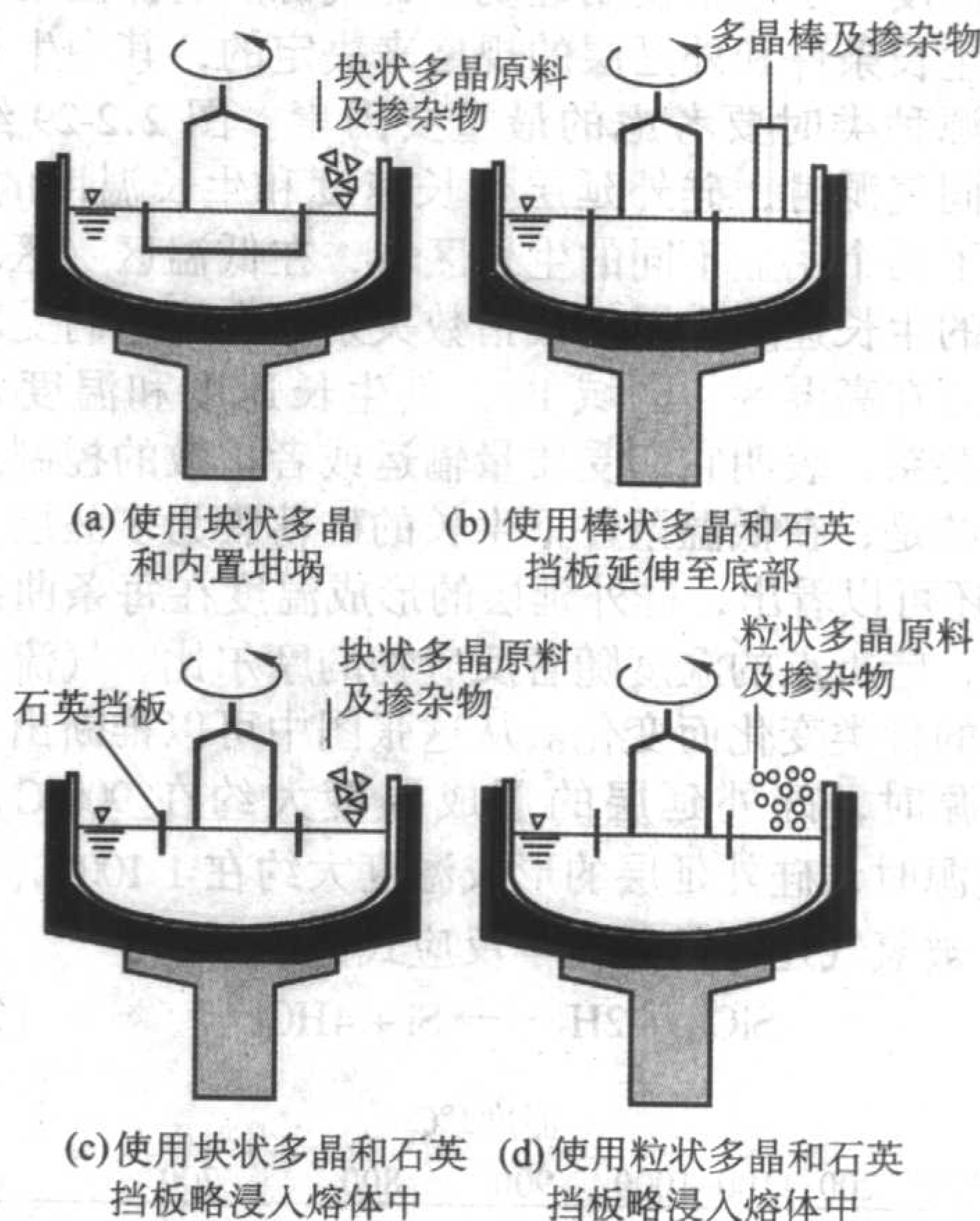


图 2.2-27 固态加料示意图

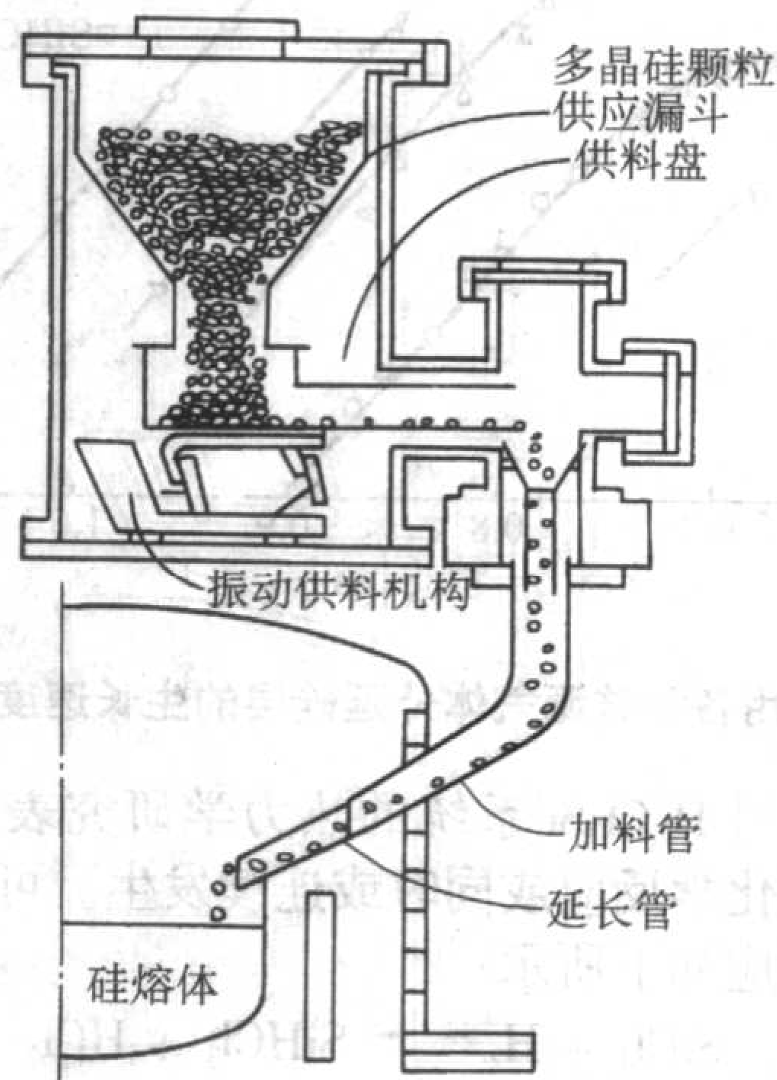


图 2.2-28 颗粒多晶硅连续加料使用的装置示意图

3 硅的外延生长

外延技术的提出最先是为了克服硅片衬底中杂质浓度高的问题。此外，在双极型功率晶体管的设计上遇到了集电区反压和串联电阻相互牵制的问题，为此需要在重掺衬底上生长轻掺的硅外延层。对于 CMOS 器件而言，利用 p/p+ 或者 n/n+ 外延片制造，可以避免闩锁效应。硅外延的优势在于能精确和灵活地控制掺杂浓度和分布。然而，外延的温度通常都在 1 100℃以上，因此经常会遇到自掺杂和图形漂移等问题。另外，由于外延实质是一种原子有序排列的过程，所

以在生长前或者生长过程中，如果衬底上存在应力、杂质或者颗粒，就会导致缺陷的产生。在本节中，将主要介绍外延的化学反应、掺杂和自掺杂、缺陷的产生和消除、图形漂移和变形以及外延沉积设备等五个方面的内容。

3.1　外延的化学反应

外延生长实际上主要是一个化学反应过程。硅外延生长使用的主要气源是氢气和氯硅烷类，如四氯化硅（$SiCl_4$）、三氯甲硅烷（$SiHCl_3$）和二氯甲硅烷（SiH_2Cl_2）。另外，为了降低生长温度，也经常使用硅烷作为气源。选择使用哪种气源主要由生长条件和外延层的规格来决定的，其中生长温度是选择气源种类时要考虑的最重要因素。图 2.2-29 给出了在使用不同气源时，硅外延层生长速度和生长温度的关系。图中显示了两个明显不同的生长区域，在低温区（区域 A），硅外延层的生长速度和温度成指数关系，表明它们受表面反应控制；而在高温区（区域 B），其生长速度和温度几乎没有直接的关系，表明它们受质量输运或者扩散的控制。需要着重指出的是，在低温条件下生长的硅薄膜为多晶层。从图 2.2-29 中还可以看出，硅外延层的形成温度在每条曲线的转折点以上，转折点的温度随着反应物的摩尔比、气流速度以及反应炉的种类变化而变化。从这张图中可以推断出：当以 SiH_4 为气源时，硅外延层的形成温度大约在 900℃，而以 $SiCl_4$ 为气源时，硅外延层的形成温度大约在 1 100℃。

$SiCl_4$ 被氢气还原的总化学反应式如下所示：



$$SiCl_4 + 2H_2 \longrightarrow Si + 4HCl \qquad (2.2\text{-}32)$$

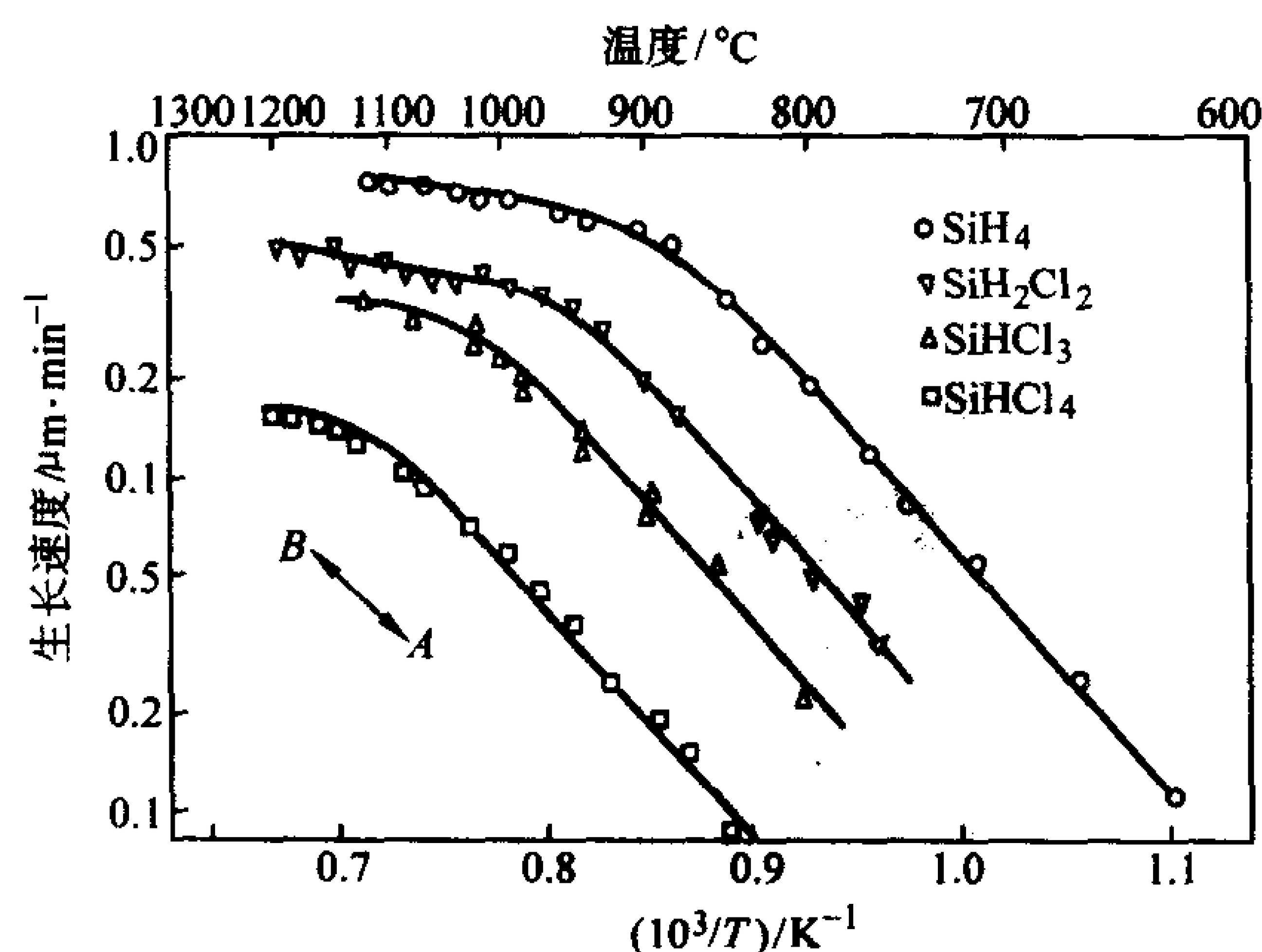


图 2.2-29　使用各种硅源气体外延硅层的生长速度与温度的关系

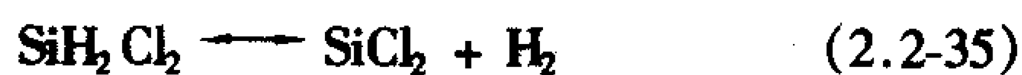
实际上，对 H-Cl-Si 系统的热力学研究表明：在外延过程中，一系列化学反应或同时或连续发生。可以推测上述反应式的分步反应如下所示：



$$SiCl_4 + H_2 \longleftrightarrow SiHCl_3 + HCl \qquad (2.2\text{-}33)$$



$$SiHCl_3 + H_2 \longleftrightarrow SiH_2Cl_2 + HCl \qquad (2.2\text{-}34)$$



$$SiH_2Cl_2 \longleftrightarrow SiCl_2 + H_2 \qquad (2.2\text{-}35)$$



$$SiCHl_3 \longleftrightarrow SiCl_2 + HCl \qquad (2.2\text{-}36)$$



$$SiCl_2 + H_2 \longleftrightarrow Si + 2HCl \qquad (2.2\text{-}37)$$

需要注意的是，上面所列的反应式是可逆的，因此还原和腐蚀过程是相互竞争的，这主要决定于反应物的摩尔比和生长温度。图 2.2-30 显示了在大气压下，以 $SiCl_4$ 和 H_2 为反应物并在总压强为 1.01×10^5 Pa（1 大气压）的情况下，腐蚀和沉积的分界线与生长温度和 $SiCl_4$ 分压的关系。另外的研究也给出了以 $SiCl_4$ 和 H_2 为硅外延的反应物时，生长速度和温度的关系，如图 2.2-31 表示。从图中可以看出在低温和高温下发生的是腐蚀过程。因此在这种情况下，外延温度通常选在 1 100～1 300℃。为了得到了较厚的外延层，通常会选择 $SiHCl_3$ 作为气源，主要是因为它的沉积速度比 $SiCl_4$ 的快。

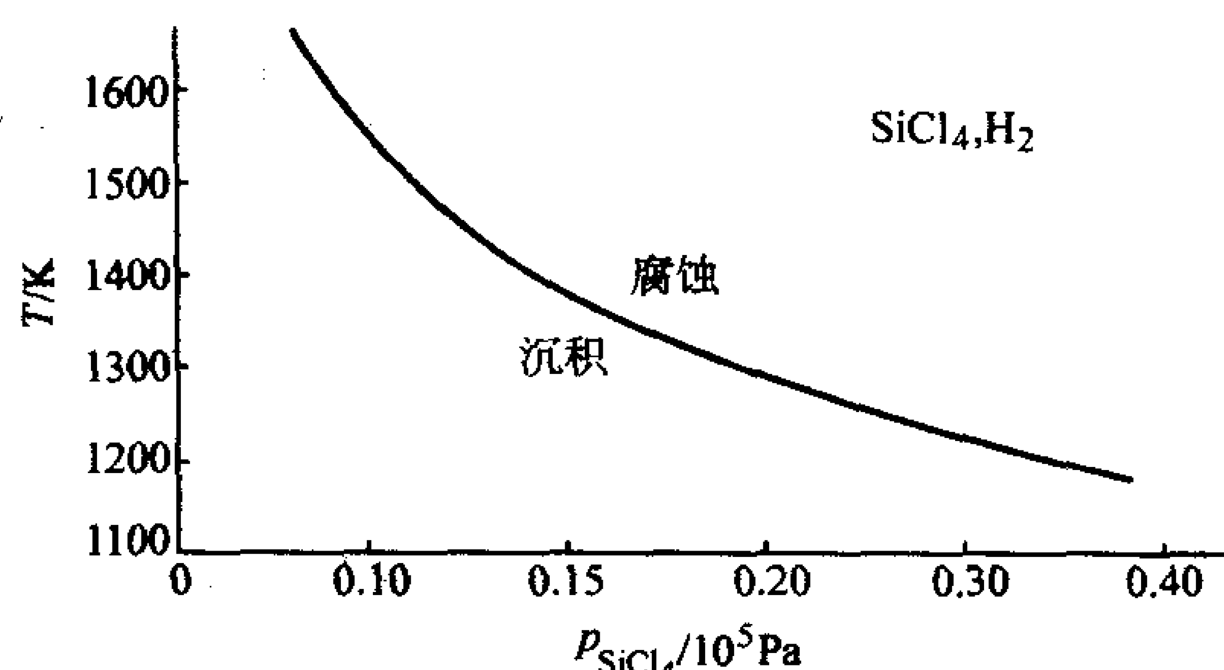


图 2.2-30　以 $SiCl_4$ 为硅源时生长温度与其分压的关系
（反应气体总压为 1 大气压）

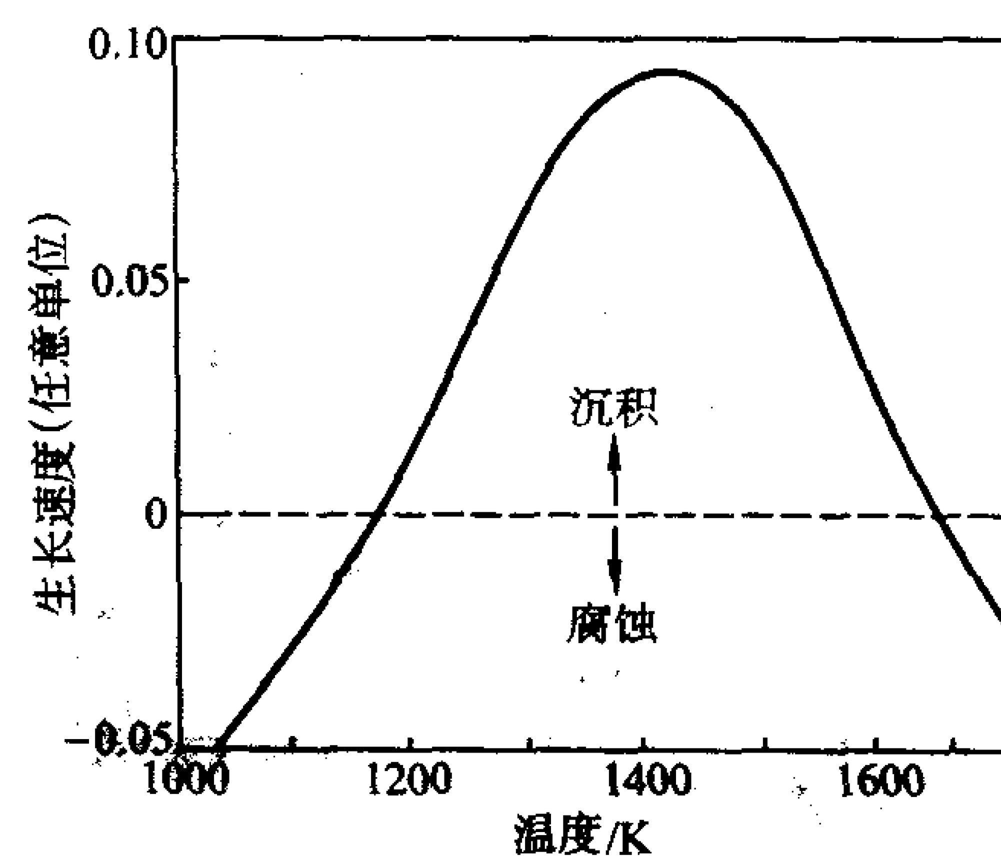


图 2.2-31　以 $SiCl_4$ 为硅源气体时生长速度与温度的关系

与使用 $SiCl_4$ 作为外延气源时所涉及的化学反应不同，采用 SiH_4 气源时的热分解反应是不可逆的，其过程可以用如下的式子表示：



$$SiH_4 \longrightarrow Si + 2H_2 \qquad (2.2\text{-}38)$$

从图 2.2-30 中可以看出，和其他任何氯硅烷相比，硅烷的主要优点是在相对较低的温度下可以得到硅外延层。但是由于硅烷的同质反应，很难避免硅的气相成核。因此在生长过程中将会形成硅颗粒，从而导致粗糙的表面形貌甚至是多晶生长。这个问题可以通过控制生长温度或者在低压生长而得到解决。硅烷是一种易于氧化和爆炸的气体，因此在传统的硅外延中，它不被经常使用。而且，在以硅烷为气源的生长过程中不存在 HCl，因此不存在腐蚀这道工艺过程，从而导致外延层中含有更高浓度的金属杂质。因此，在使用硅烷作为外延气源时，需要采取非常仔细的预清洗工艺。

外延使用的各种硅源的性质见表 2.2-2。

表 2.2-2　外延使用的硅源的性质

气体	SiH_4	SiH_2Cl_2	$SiHCl_3$	$SiCl_4$
状态	气体	气体	液体	液体
分子量	32.1	101.0	135.5	169.9
沸点/℃	－112	8.2	31.7	57.1
生长温度/℃	950～1 050	1 050～1 150	1 100～1 200	1 150～1 250
生长速度/μm·min⁻¹	0.4～1.5	0.2～2	0.5～3	0.1～0.5

此外，外延使用的各种硅源都是危险性气体，在使用、储存、搬运和操作过程中要十分谨慎，避免重大生产事故。

表 2.2-3 列出了四种硅源气体的可燃性和毒性。

表 2.2-3　外延使用的硅源的可燃性和毒性

气体	SiH_4	SiH_2Cl_2	$SiHCl_3$	$SiCl_4$
可燃性	自燃	易燃	易燃	不易燃烧
燃烧极限/%	0.8～98	4.1～98	7.0～83	—
点火温度/℃	0	100	200	—
气味	—	—	刺激	刺激
生理毒性反应部位	眼睛、支气管、肺部	眼睛、支气管、肺部、牙齿	眼睛、支气管、肺部、牙齿	眼睛、支气管、肺部、神经

3.2　掺杂

外延层的导电类型和电阻率取决于掺杂。在外延过程中，掺杂剂将同时或者间歇性地进入外延层中。在硅外延时，硼烷（B_2H_6）通常用做 p 型掺杂剂，而磷烷（PH_3）或者砷烷（AsH_3）用做 n 型掺杂剂。它们的可燃性和毒性见表 2.2-4。这些气体都是剧毒并且在室温以上不稳定，因此通常需要用大量的氢气稀释。因此，这些氢化物掺杂气体从气相进入外延层中不会遵循某一简单的规律。为了使外延层中的掺杂浓度与气相状态时的浓度相对应，只能针对具体的生长条件和外延炉来确定工艺参数。影响掺杂剂掺杂的主要因素包括生长温度、生长速度、气相中的掺杂剂浓度以及外延炉的几何形状。

表 2.2-4　各种掺杂剂的可燃性和毒性

掺杂剂	磷烷	砷烷	乙硼烷
分子式	PH_3	AsH_3	B_2H_6
燃烧极限/%	1.6～98	5.1～68	0.8～93
点燃温度/℃	—	225	37.8～51.1
气味	大蒜味	大蒜味	不舒服
生理毒性反应部位	眼睛、支气管、神经、颚（坏疽）	肝、脾、神经肺（坏疽）	眼睛、支气管、肝肾
容许的浓度限/10^{-6}	0.3	0.05	0.1

另外，由于掺杂气体和硅源气体之间的交互或者竞争作用，使得掺杂过程变得相当复杂。研究发现 B_2H_6 和 PH_3 对硅沉积速度有相反的作用，即前者提高沉积速度，而后者抑制沉积速度。研究还发现，在高温下 PH_3 能化学吸附在硅片上，并分解参与形成 Si—H 键；氢在高于 400℃时脱附，从而形成含磷层，它们在 550℃时吸附最显著。一旦被吸附，PH_3 将稳定在 SiH_4 气流下，从而有效地钝化了硅表面，抑制了掺磷外延层的生长速度。另一方面，B_2H_6 具有非常小的黏附系数，很容易在硅表面直接分解而形成硼。吸附的 B_2H_6 有利于硅源气体在硅片表面的异质反应，从而提高生长速度。另外，掺杂剂进入硅外延层的数量还受生长速度的影响。图 2.2-32 显示了在砷掺杂中，杂质浓度和硅生长速度的典型关系曲线。在高生长速度时，砷的掺杂由表面动力学（如表面吸附和扩散）决定；而在低生长速度时，掺杂过程则由质量输运控制。

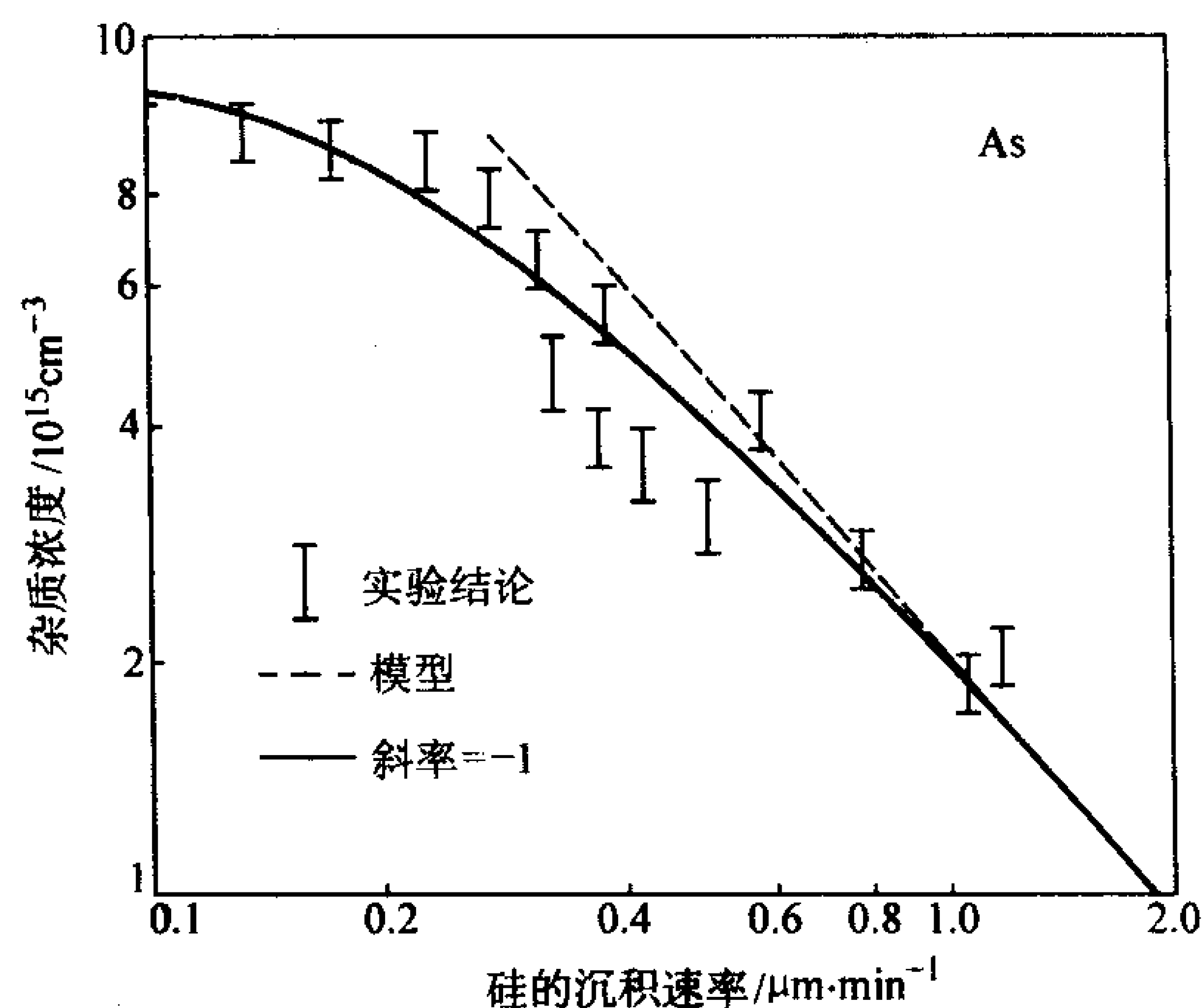


图 2.2-32　砷的掺杂浓度与硅的沉积速率的关系

3.3　外延工艺过程

一个典型的外延工艺过程如图 2.2-33 所示。从图中可以看到整个工艺过程可以划分为如下 12 个子过程。

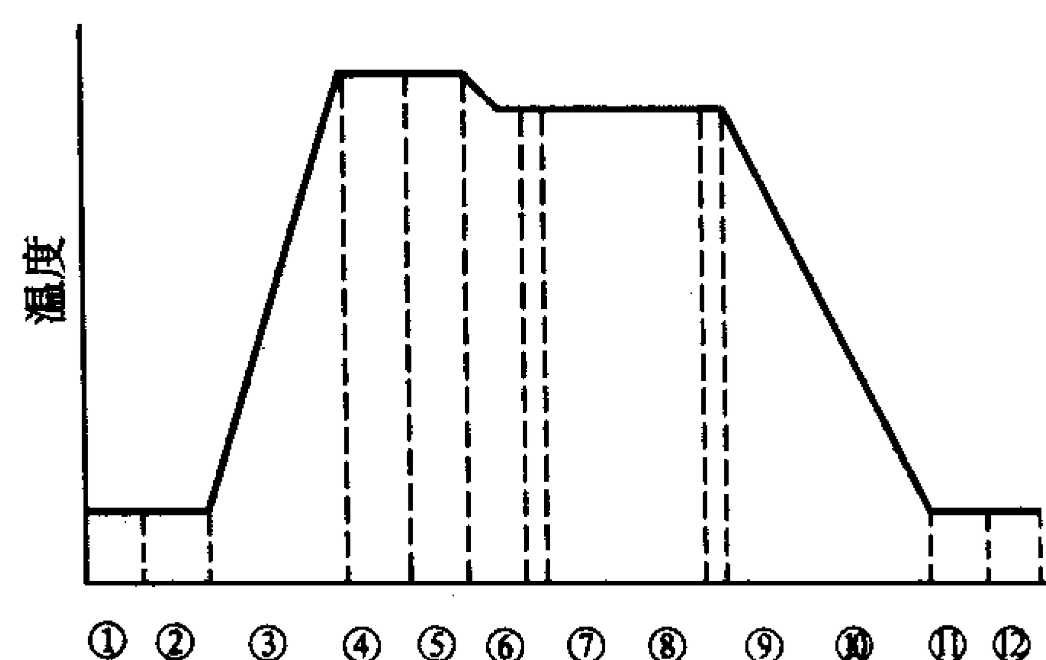


图 2.2-33　外延工艺步骤示意图

1）N_2 充气清洗　这一步的目的是置换外延炉腔中的空气。

2）H_2 充气清洗　这一步的目的是用 H_2 置换外延炉腔中的氮气。

3）加热阶段　图中所示的是一步升温工艺。在实际操作中也常采用这种两步升温工艺，即在升温至 800℃前后稳定一段时间，目的是使硅片的温度均匀化，以避免滑移线和表面腐蚀坑的出现，同时把吸附在硅片表面和炉腔内壁的水分完全脱附。然后把温度上升到目标值。

4）引入 HCl　通过质量流量计引入 HCl，并使流量稳定。

5）气相腐蚀　在 1 150～1 200℃对硅片表面进行腐蚀，分为两个阶段。第一个阶段是用氢气烘烤，去除硅片表面的氧化膜，这个过程如以下的方程式所示：



$$SiO_2 + H_2 \longrightarrow SiO + H_2O \quad (2.2\text{-}39)$$

在氢气烘烤继续的同时，HCl 气相腐蚀开始，这个腐蚀过程可以去除附着在硅片表面的沾污以及表面微缺陷。这个过程如以下的方程式所示：



$$Si + 2HCl \longrightarrow SiCl_2 + H_2 \quad (2.2\text{-}40)$$

在该气相腐蚀工艺步骤中，要特别注意防止在硅片表面出现腐蚀坑。出现腐蚀坑的原因有二：①氢气的烘烤不足，这会导致硅片表面残留氧化膜。在进行 HCl 气相腐蚀时，有氧化膜处的腐蚀速度要低于其他区域，结果导致凹凸不平的腐蚀坑。②若外延炉腔长时间暴露在空气中，会导致内壁吸附大量的水气，在升温阶段，脱附的水气与硅片表面反应，在局部区域生成氧化膜，从而导致腐蚀坑。此外，如果 HCl 的分压过高或者腐蚀的温度太低，也会导致腐蚀坑。

6）抽掉 HCl 气相腐蚀过程的产物气体以及从外延炉体

中挥发出来的不纯物。

7）通入硅源气体和掺杂气体。

8）沉积过程。

9）充分地抽掉残留的反应气体和产物气体。

10）冷却过程 这个过程要避免急速冷却，否则会由于大的温度梯度而在外延片中产生滑移位错。

11）H_2 充气清洗 这一步的目的是把硅片和基座的温度下降到室温附近，这是非常必要的。

12）N_2 充气清洗 这一步的目的是把氢气的浓度下降到燃烧下限 4.1% 以下。

外延片的表面化学性质非常活泼，因此需要在湿度低的清洁空气中保存硅片。此外，由于外延炉内壁和其他部件附着的尘埃颗粒会落在硅片表面，为了清洗这些颗粒，不能使用腐蚀性强的清洗液，否则会损伤外延片的平滑表面。

3.4 自掺杂

前面讨论的是为了得到不同导电类型和电阻率的硅外延层的掺杂过程。实际上，掺杂过程中还包括一个所谓的自掺杂效应。图 2.2-34 是外延生长中存在的不同掺杂气源的示意图。通过外扩散或者放气过程，掺杂剂从衬底或者基座上释放出来。外扩散是一种固态过程，而放气则是一种气态过程，它常被称为记忆效应。图 2.2-35 是在重掺衬底上生长的外延层中的杂质分布的典型曲线图。其中几个自掺杂区域值得注意，在靠近衬底和外延层的界面附近，固相外扩散是主要的，从而导致了一个宽的过渡区域。然而这种效应很快被抑制了，主要是因为生长速度大于固态外扩散速度。此后，掺杂剂的量受气态源控制。如果由放气导致的掺杂剂量超过有意加入的量，那么自掺杂将发生。然而随着生长过程的继续，这种影响将变得不再重要，主要是由于低掺杂的硅层覆盖了衬底或者基座，减慢了掺杂剂到硅片表面的供给速率（如放气速率）。自掺杂的程度主要取决于掺杂剂的种类及浓度、外延炉的几何形状、生长温度、生长速度和气体压强。以下是关于自掺杂的一些基本规律。

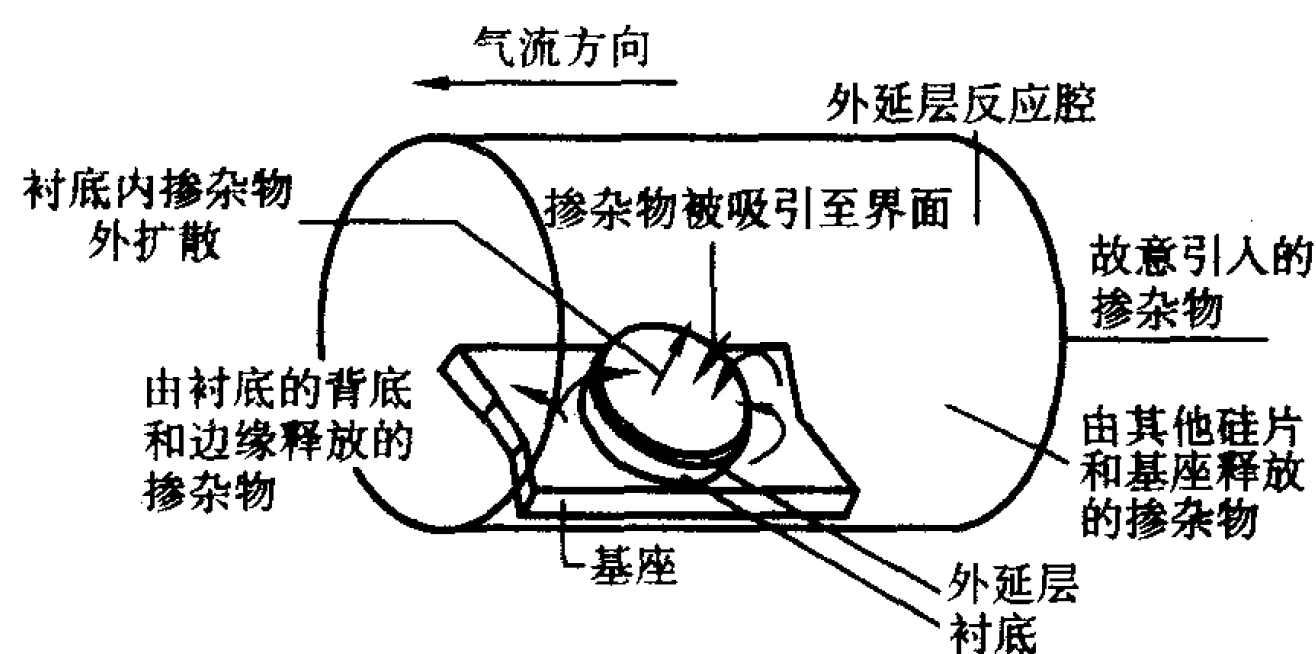


图 2.2-34 外延过程中各种掺杂源的示意图

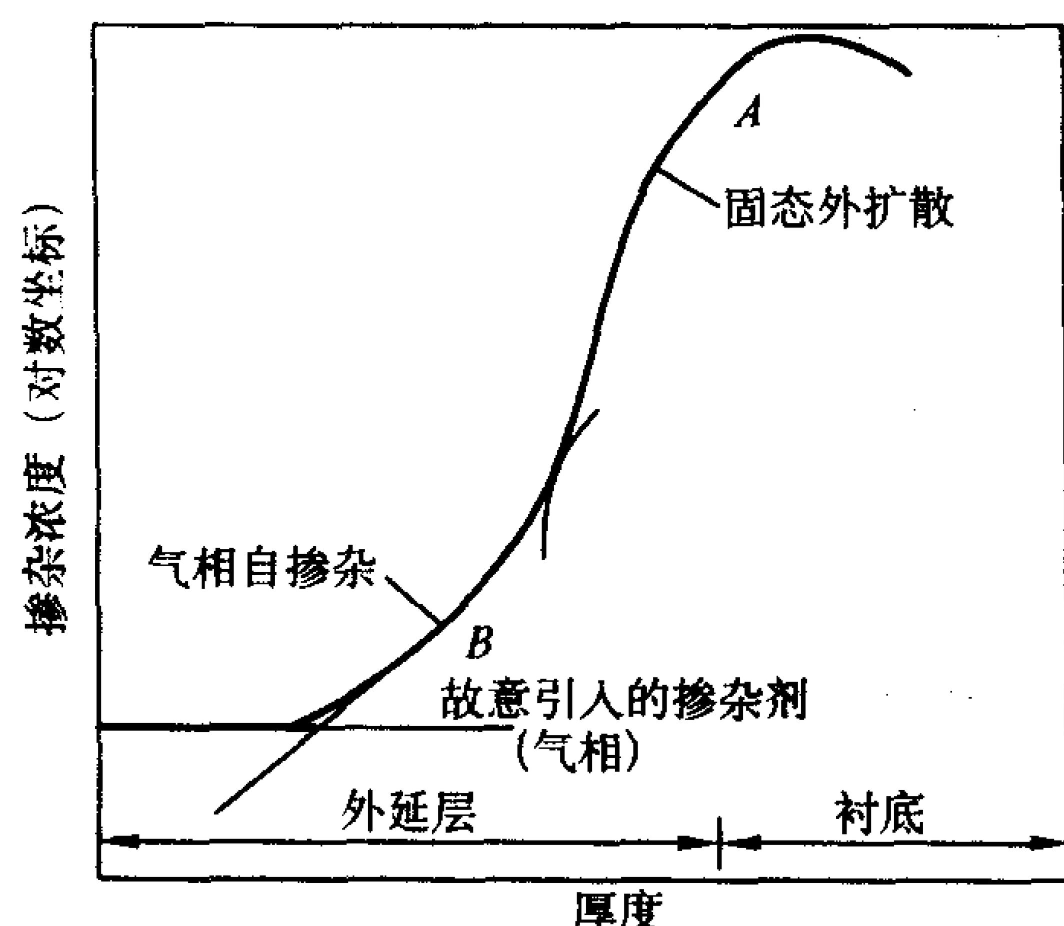


图 2.2-35 在一重掺衬底硅片上生长的外延层中的杂质分布示意图

1）硅源气体中的氯成分越高时，硼的自掺杂越显著，而对锑和砷的自掺杂影响较小。

2）外延温度提高时，锑和砷的自掺杂减少，而硼的自掺杂增强。

3）炉压降低时，锑和砷的自掺杂减少，而硼的自掺杂增强。

4）预处理温度越高、时间越长，砷的自掺杂减少；而预处理温度越低、时间越短硼的自掺杂减少。

对大多数的超大规模集成电路（ULSI）来说，在重掺硅衬底上生长轻掺外延层是必需的。在可控掺杂的硅外延层中，自掺杂效应限制了外延层的最小厚度和最低掺杂水平，因此这是一个非常重要的技术问题。目前，已经提出各种技术来减少这种效应。低温生长看起来可以减少硼的自掺杂，而低压生长对抑制磷和砷的自掺杂有很好的效果。还可利用 HCl 原位气相腐蚀或者生长一层薄的轻掺硅覆盖硅片衬底和基座来达到减少自掺杂的目的。在低温外延生长过程中，自掺杂效应被大大地削弱了。

3.5 缺陷的产生和消除

在外延层中经常可以观察到多种缺陷。这些缺陷主要由衬底的不完整性、反应炉或者衬底上的残留物或沾污以及衬底和外延层的失配导致的。从原则上说，外延层的缺陷密度不低于衬底中的缺陷密度。由衬底引起的缺陷与外延前的衬底表面状况相关。因此在外延前必须清除在衬底硅片的正面或者背面的有机和金属的杂质和颗粒。此外，应该使用无缺陷的硅片作为外延的衬底。

在外延层中存在四种类型的缺陷：点缺陷，如杂质和空位；线缺陷，如位错；面缺陷，如层错；体缺陷，如空洞和沉淀。图 2.2-36 显示了外延层中经常出现的缺陷。图中 1 代表了源于衬底而穿过外延层的位错线，2 代表成核于衬底表面杂质和缺陷的层错，3 代表与生长系统中沾污相结合的杂质沉淀，4 代表由工艺或者衬底表面引起的小丘。5 代表由衬底表面缺陷引起的体层错或者空洞。除了上述缺陷之外，在沉积过程中还存在由衬底正面和背面之间的温度梯度而导致的热应力引起的位错或者滑移线。此外，衬底和外延层之间的晶格失配也会产生位错，如 p/p^{++} 外延片中经常会出现位错，其根本原因在于重掺硼衬底硅片的晶格常数小于轻掺外延层的。

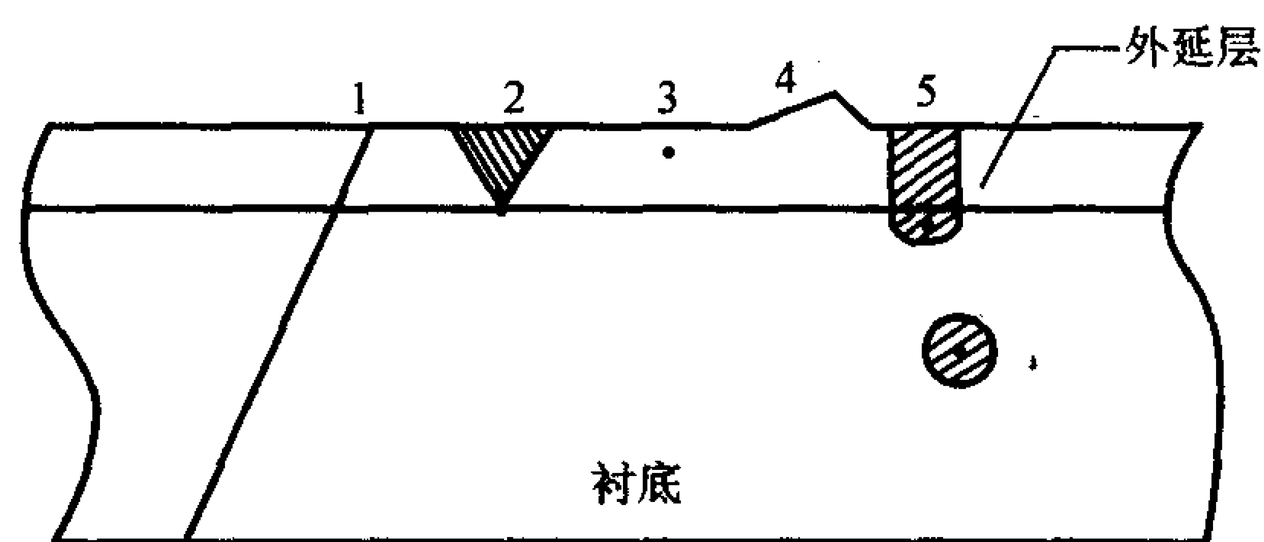


图 2.2-36 外延层中各种缺陷的示意图

减少外延层缺陷的一个最重要的手段是衬底清洗。外延衬底的清洗主要包括湿化学清洗加上后续的稀氢氟酸漂洗和原位 HCl、HF 和 SF_6 气相腐蚀。衬底的预清洗对低温硅外延显得尤为重要。除了硅片的清洗之外，使用带有洁净区的衬底也能减少外延层中的缺陷，它们主要是通过氧沉淀内吸杂技术来减少衬底硅片表面的缺陷和金属沾污，从而减少外延层中的缺陷密度。

3.6 图形漂移和变形

在现代双极集成电路制造过程中，当外延层生长在掩埋层上时，图形漂移、变形和消失（图形漂移的极端情况）将

会出现。图 2.2-37 给出了上述三种现象的示意图。造成上述现象的主要原因是不同晶向的外延生长速度不同，但是至于漂移或者变形的程度还取决于沉积速度、生长温度、生长压力和硅源气体。因此为了补偿这些效应，集成电路的设计者必须在下一掩模上调整好特征图形的位置。

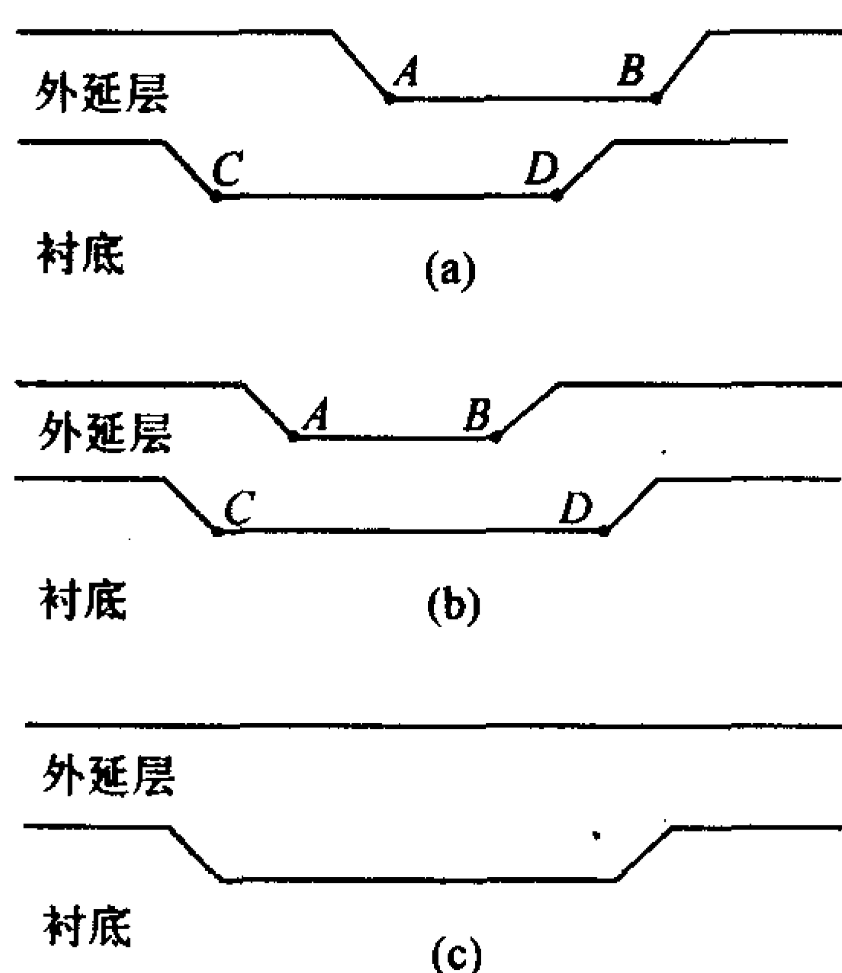


图 2.2-37 外延过程中图形漂移（a）、图形变形（b）和图形消失（c）的示意图

研究发现当图形在 <100> 方向时，可以使图形漂移最小。但是对于 <111> 衬底而言，向 <110> 方向偏 2°到 5°时可以减少图形漂移。在上述两种情况中，图形漂移会随着生长温度的升高和生长速度的降低而减少。若使用硅烷作为气源，则图形漂移会完全消除。另外，降低生长压强，可以减少图形漂移。和图形漂移的情况相反，图形变形随着生长温度的升高和生长速度的降低而增大。硅烷会比氯硅烷导致更多的图形变形。此外，图形变形在（100）和（111）的硅片上都会出现。降低生长压力可以减少（111）硅片上的图形变形，而对于（100）硅片而言却是无效的。增加外延层厚度可以减少图形变形。因此在实际生产中，需要选择一条合适的工艺使图形漂移和变形最小。

3.7 外延沉积设备

一个典型的外延生长设备包括气体输送系统、高纯石英炉管或钟罩、基座、衬底加热系统、电控制系统、冷却系统以及排气系统。

气体处理系统主要是用来供气，包括：反应气体（如硅烷或者氯硅烷、氢气、氯化氢）；掺杂气体（如砷烷、磷烷和硼烷）；净化气体（如氢气和氮气）。需要指出的是，除了氮气以外其他所有气体都是爆炸性、腐蚀性或高毒性的。因此，为了避免事故的发生，需要建立安全的联动装置和氢气以及有毒气体的监控装置。此外，为了保证安全，整个生长系统必须密闭。为了满足超大规模集成电路对外延生长过程精密控制的要求，需要使用高精密气流控制器来控制气流大小和使用电抛光的不锈钢管传输气体；而且所有的气体必须是高纯的或者是经过气体净化器处理的，从而减少外延层中的杂质与缺陷。为了安全地去除或处理生长中未反应的副产品，必须使用带有燃烧盒和湿法的或者干法的清洗装置的排气系统。

反应腔通常采用高纯的石英钟罩。反应腔中的基座用来支撑衬底和提供反应所需要的能量，因此要求基座必须具有较高的机械强度，并且不会和反应物或者副产物发生反应。此外，还要求基座对生长系统不会带来沾污。石墨经常成为基座的首选材料，而镀有碳化硅或者氮化硅的多晶硅或者石英经常成为其替代品。在石墨基座上经常需要镀一层膜，除了碳化硅或者氮化硅以外，无定形炭也经常用来作为基座的镀层。必须注意的是，在基座表面应尽量避免任何裂纹和划伤，从而消除来自基座的任何沾污源。

图 2.2-38 给出了工业上最常使用的三种硅外延反应系统，即：①水平式反应器（图 2.2-38a）；②垂直式反应器（图 2.2-33b）；③桶式反应器（图 2.2-38c）。水平式反应器具有产能大的优点，但是在整个基座上较难得到厚度均匀的外延层。如果将基座倾斜一定角度（1.5°~3°），可以显著改善这个问题。垂直式反应器能得到均匀的外延层，但是它的机械结构复杂、产能低以及容易受到颗粒沾污。桶形反应器实际上是对水平反应腔在形状上的一种扩展，当使用倾斜的基座时，系统具有大的生长能力和生长均匀等优点，其不足之处是不适合大尺寸硅片的外延，此外机械设计比较复杂，使得可靠性降低。

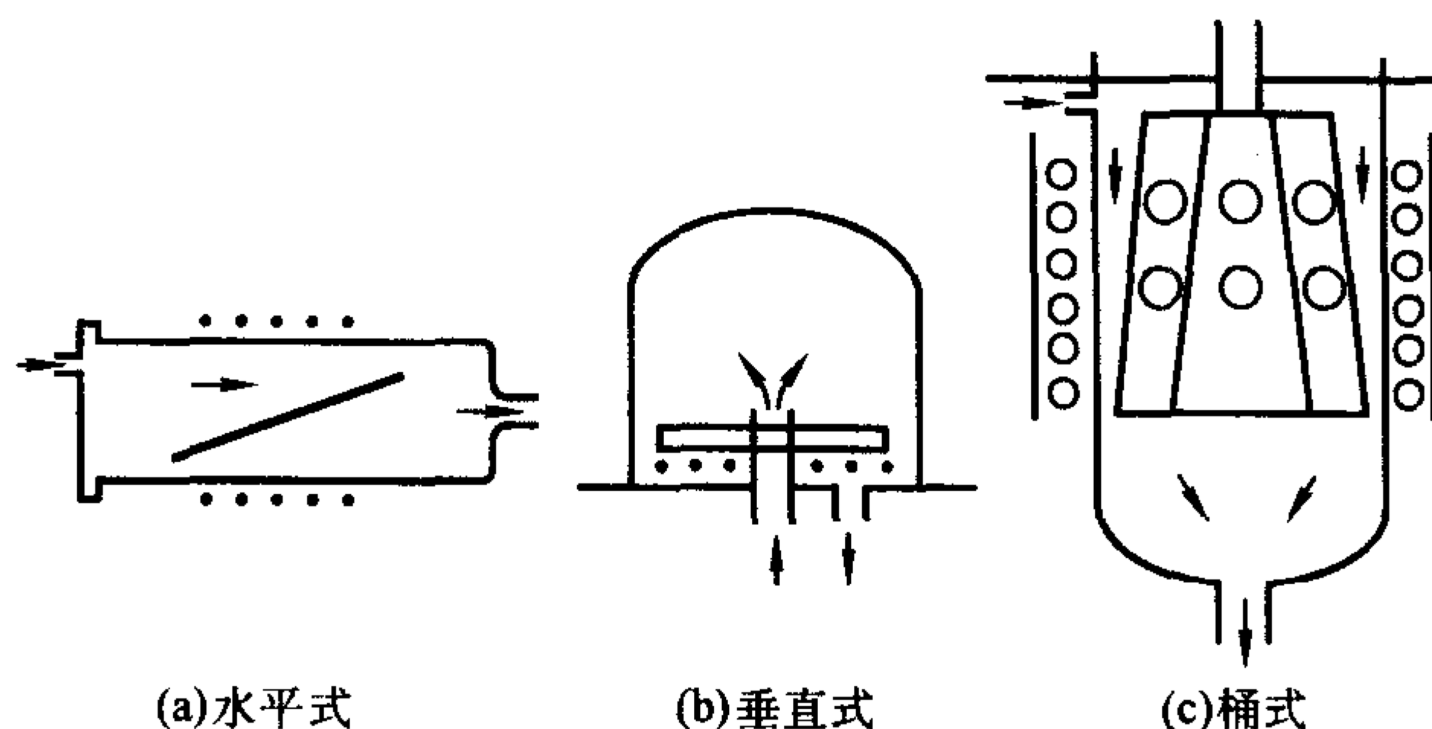


图 2.2-38 三种常用的硅外延反应器示意图

衬底的加热主要有感应加热和辐射加热两种方式。感应加热利用水冷射频线圈对基座进行加热，这些线圈通常包裹在反应腔的外面，但是为了有良好的射频耦合，线圈应尽量靠近基座。一旦基座被加热，热能会通过传导和辐射到达硅片。射频感应加热方式最大的问题是加热不均匀，从而导致滑移位错，这一点对大直径硅片的外延而言更加突出。辐射加热通过石英卤灯进行红外辐射加热，这种方法比感应法加热更均匀。温度的测量通常用光学或者红外高温计。为了避免对生长系统的沾污，热电偶不能在反应腔中使用。

随着硅片直径的增大，以及对外延层厚度和电阻率均匀性要求的提高，上面所述的三种反应器很难获得大规模集成电路所要求的均匀性，因此，现在越来越多地采用单片式反应器。著名的设备供应商 Applied Materials 公司提供的单片式外延炉可以同时提供三个反应器，利用机械臂可以将硅片传送到不同的反应器。硅片在反应器中可以水平放置，并可利用旋转改善外延层性质的均匀性。在基座的上下方都有石英卤素灯管提供红外辐射加热。

3.8 低温硅外延

许多高级的器件（比如异质结双极晶体管）需要严格控制界面层的质量、掺杂剂的空间分布和外延层的厚度，这就需要减少热扩散和质量输运过程的影响，因此外延过程应该在低温下进行。所谓低温硅外延（LTE）是指生长温度在 550℃或者更低温度下的一种硅外延，它的生长温度远远低于传统的硅外延。本节首先介绍 LTE 的化学知识，然后讨论低温硅外延中最重要的技术——表面处理。最后介绍两种最有发展前途的低温外延技术，即超高真空化学气相沉积（UHV/CVD）和分子束外延（MBE）。

3.8.1 化学知识

实现硅片的低温外延需要在以下生长条件，例如：衬底表面的性质、硅气源的纯度以及生长压强等满足特定的要求。

为了生长外延层，首先要求衬底的表面必须是单晶。众所周知，二氧化硅比较容易在硅片表面形成，而它在温度高

于1 000℃和一个大气压下是不稳定的。研究发现，二氧化硅的稳定性决定于氧气和水蒸气的分压。从图2.2-39可以看出硅片表面的氧化与水蒸气分压与温度的关系。事实上，硅片表面的氧化与氧分压和温度的关系也有类似的结果。因此，实现低温外延的关键之一是控制生长炉中的氧分压和水蒸气分压。为了在低于700℃下外延硅，水蒸气的分压必须低于$10^{-8}\times133.322$ Pa（10^{-8} torr），以保持一个裸露的单晶硅表面。在图2.2-40中的氧化区域，稳定的二氧化硅层是通过如下反应式形成的：



$$Si + 2H_2O \longrightarrow SiO_2 + 2H_2 \qquad (2.2\text{-}41)$$

另一方面，在非氧化区域，水蒸气通过如下反应式刻蚀硅片的表面：



$$Si + H_2O \longrightarrow SiO + H_2 \qquad (2.2\text{-}42)$$

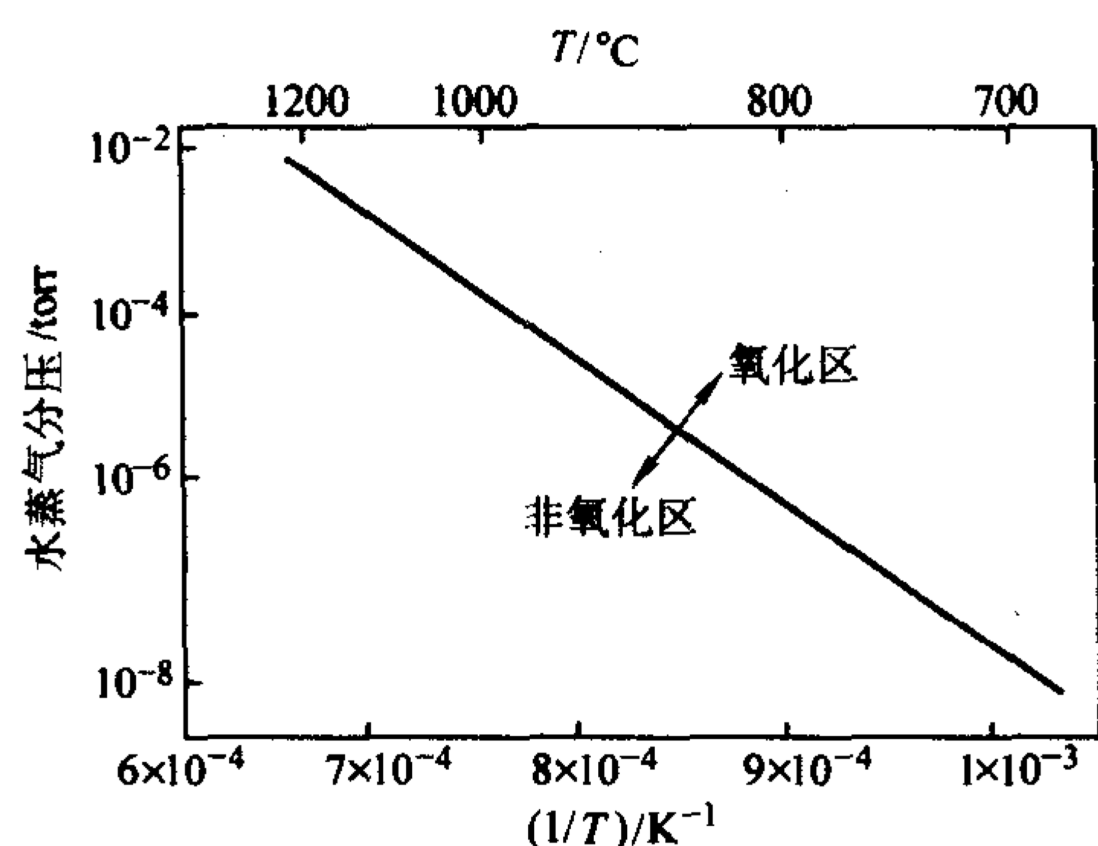


图2.2-39　硅片表面氧化与水汽分压与温度的关系

1 torr = 133.322 Pa

在外延生长之前，有许多方法可以得到裸露的单晶硅表面。正如上文提到的，最简单的方法是在超高真空中进行外延生长，包括超高真空/化学气相沉积（UHV/CVD）和分子束外延（MBE）。另一个方法是利用氧和水蒸气浓度极低的超纯气源，利用这种方法生长的技术有常压化学气相沉积（APCVD）和超洁净低压化学气相沉积。另外等离子体增强化学气相沉积（PECVD）和光化学气相沉积也可用于硅的低温外延生长。

到目前为止，大部分的低温外延用硅烷作为硅源，其他气体如乙硅烷和二氯乙硅烷也可以用来作为气源，但是比较少见。硅烷作为硅源最大的优点是低沉积温度，从而有利于低温外延。另外，在低温外延中氢气也扮演了重要的角色，氢气的脱附速度决定了UHV/CVD硅低温外延的生长速度。

3.8.2　表面处理

表面处理是低温外延生长过程中关键的一步，它有原位和非原位清洗两类技术，此外原位和非原位清洗技术的组合也被经常使用。使用最广泛的非原位清洗技术为RCA清洗方法，即：利用H_2SO_4:H_2O_2和NH_4OH:H_2O_2去除有机杂质和颗粒；利用HCl:H_2O_2去除金属杂质。紧接着有两种方法用来去除硅片表面的氧化层：一种是在HF:H_2O中（比如为1:10）腐蚀硅片；另一种是在生长室中释放表面氧化层。在前者中，经过氢氟酸溶液漂洗后，得到疏水的硅表面。这种氢钝化的硅表面是稳定的，可以保持10 min以上。利用这种方法，在不利用任何原位清洗技术的情况下，可以在550℃甚至更低的温度下得到器件级的硅外延和锗硅外延层。对于后者，在超高真空中，利用950℃以上的热处理去除厚的氧化层，或者在800℃以上利用氢气刻蚀。这个方法的缺点是，高温过程会导致杂质的快速扩散、外延炉腔和硅片表面的放气以及硅片的翘曲。另外，高温过程使集成电路工艺变得更为复杂。因此从制造的角度来说，这不是一种理想的方法。

最近发展了许多硅片的低温清洗技术。其中，利用小流量的硅束剥离二氧化硅，可以使外延温度降低到700℃。另外，将干净的硅片原位暴露在氢气中，可以在600℃进行硅外延。也有人报道，利用气态的氟化氢腐蚀并钝化表面，可以在550℃下进行硅外延。对于在氢氟酸漂洗过的硅片上进行低温外延，进行200℃的预烘烤是非常关键的，结合这个过程可以在370℃进行低温硅外延。

3.8.3　低温硅外延生长技术

有许多方法可用于在低温下生长硅外延层。所有这些方法依赖于超洁净的生长环境和硅片的表面清洗技术。其中化学气相沉积和分子束外延是研究者使用最广泛的方法。

由于化学气相沉积简单，且可用于大规模生产，人们发展了许多化学气相沉积方法，如超高真空化学气相沉积（UHV/CVD）、超洁净低温化学气相沉积、快速热处理化学气相沉积（RTPCVD）、限制反应化学气相沉积（LRP－CVD）、常压化学气相沉积（APCVD）、等离子增强化学气相沉积（PECVD）、光化学气相沉积以及激光辅助化学气相沉积。根据各自的特点，可以把上述技术分成三类：超真空或者超洁净环境生长、快速热处理生长和增强型生长。这里仅介绍两种最有前途的生长技术，即超高真空化学气相沉积和分子束外延。

图2.2-40是超高真空化学气相沉积（UHV/CVD）设备的示意图。在外延前硅片经过RCA清洗，并且经过后续10:1的H_2O:HF漂洗10 s钟。将经过清洗的硅片放在石英舟中，然后把石英舟放在预样室中。使预样室保持在100℃，并抽真空至$10^{-9}\times133.322$ Pa（10^{-6} torr）。一旦达到这个压强，硅片被送入生长室中，并同时通入氢气。生长室保持550℃的恒温，抽真空至$10^{-9}\times133.322$ Pa（10^{-9} torr）。在氢原子从氢钝化的硅片表面脱附之前，硅烷或锗烷气源将连续地通入生长室中。同时，通入掺杂气源，p型外延通常用硼烷，n型外延通常用磷烷。一般来说，在生长过程中生长室的压强维持在$10^{-3}\times133.322$ Pa torr。由于是低压生长过程，反应物的残留时间将大大减少，因而UHV/CVD技术可以很好地控制Ge和掺杂剂的分布。

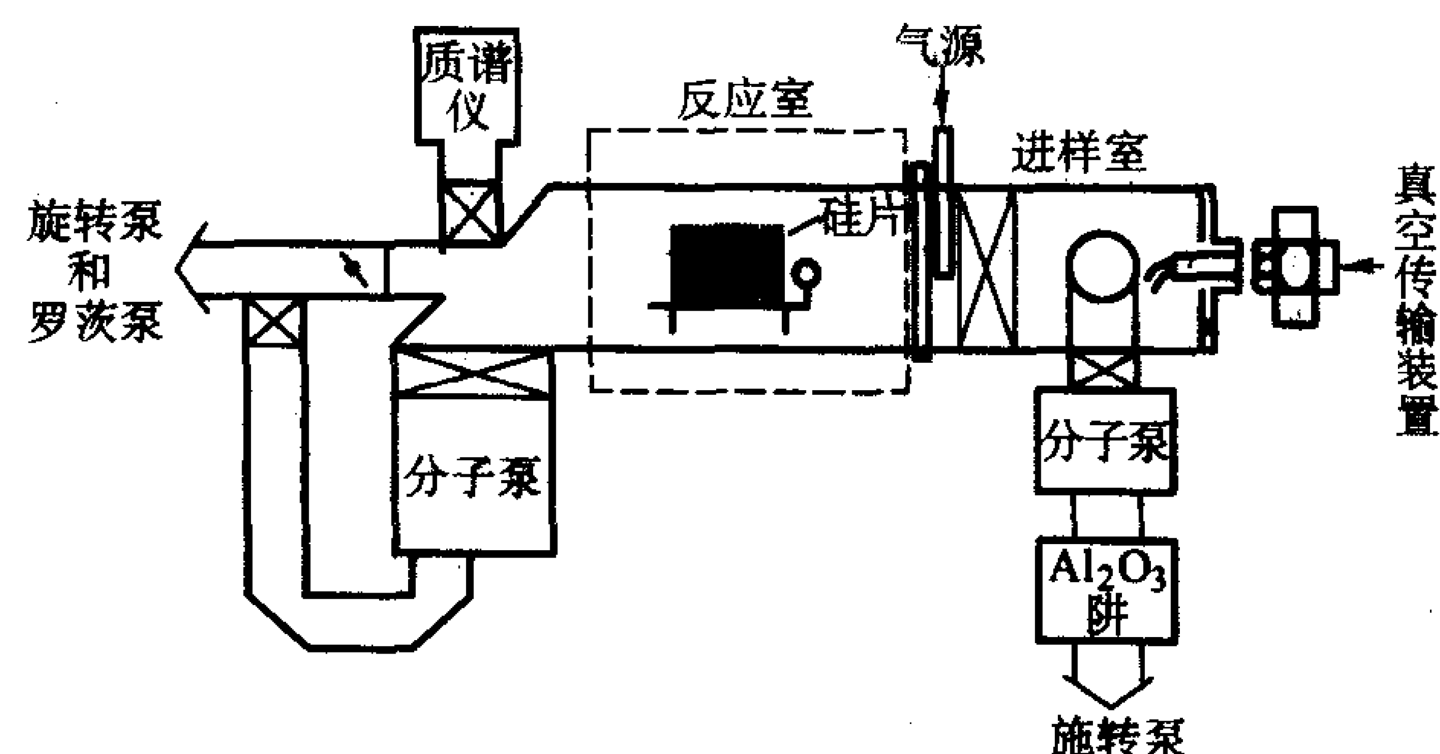


图2.2-40　超高真空化学气相沉积设备示意图

分子束外延的发展是为了制备那些对外延层厚度和掺杂均匀度要求非常高的器件，它们和热蒸发系统有些相似。对于硅分子束外延来说，硅和所需的掺杂剂在超高真空下蒸发到硅衬底的表面。一般来说，分子束外延的背底压强为$10^{-11}\times133.322$ Pa（10^{-11} torr）或者更低。硅分子束外延的生长温度大约在500～900℃，蒸发的原子或者分子撞击加热的衬底，然后沉积形成外延层。因此，它是最精细的低温硅外延生长技术之一。但是，由于设备和工艺的复杂性以及与器件工艺的不可兼容性，分子束外延没有引起太多的关注，直到最近低热预算对超大规模集成电路显得越来越重要时，情况才有所改观。

在过去的20年中，分子束外延得到了极大的发展。但是它的传统电子枪蒸发器仍然面临许多问题，如团聚和喷

溅。为解决这些问题，提出了气相分子束外延，即利用气态源而不是固态源进行硅外延，这样就解决了喷溅的问题。从概念上来说，气相分子束外延是一个冷壁系统，而超高真空化学气相沉积是一个热壁系统，除此之外，两者是相似的。从器件制造的角度上来说，分子束外延仍然面临着低产量的缺点，但是气相分子束外延为超大规模集成电路用硅低温外延开辟了一条途径。

4 绝缘体上的硅（SOI）

制造在抛光硅片或者外延片上的集成电路中器件之间的隔离，通常是通过反偏的 p-n 结来实现的，但是这些 p-n 结带来的额外电容对提高集成电路的工作速度不利，同时对进一步提高集成电路的集成度也是不利的。此外，如果环境温度提高，p-n 结显著增大的漏电流会使器件间的隔离失效。在过去的 30 年间，人们在尝试用介质隔离来代替 p-n 结隔离方面做了大量的研究工作，并取得了一些成功的应用。在 SOI（绝缘体上的硅）上制造集成电路，就能实现器件间的介质隔离。图 2.2-41 给出的是在 SOI 硅片上制造 CMOS 器件的示意图及一实际器件的剖面 TEM 照片。从图中可以看出，CMOS 结构中的器件单元与衬底之间被 SiO_2 层隔离，而器件单元之间由热生长或者沉积的 SiO_2 隔离，完全取代了传统的体硅 CMOS 电路中的 p-n 结隔离。显然，采用 SOI 硅片制造 CMOS 电路，显著减少了寄生电容，因而提高了电路的工作速度，这是 SOI 的一个重要优点。

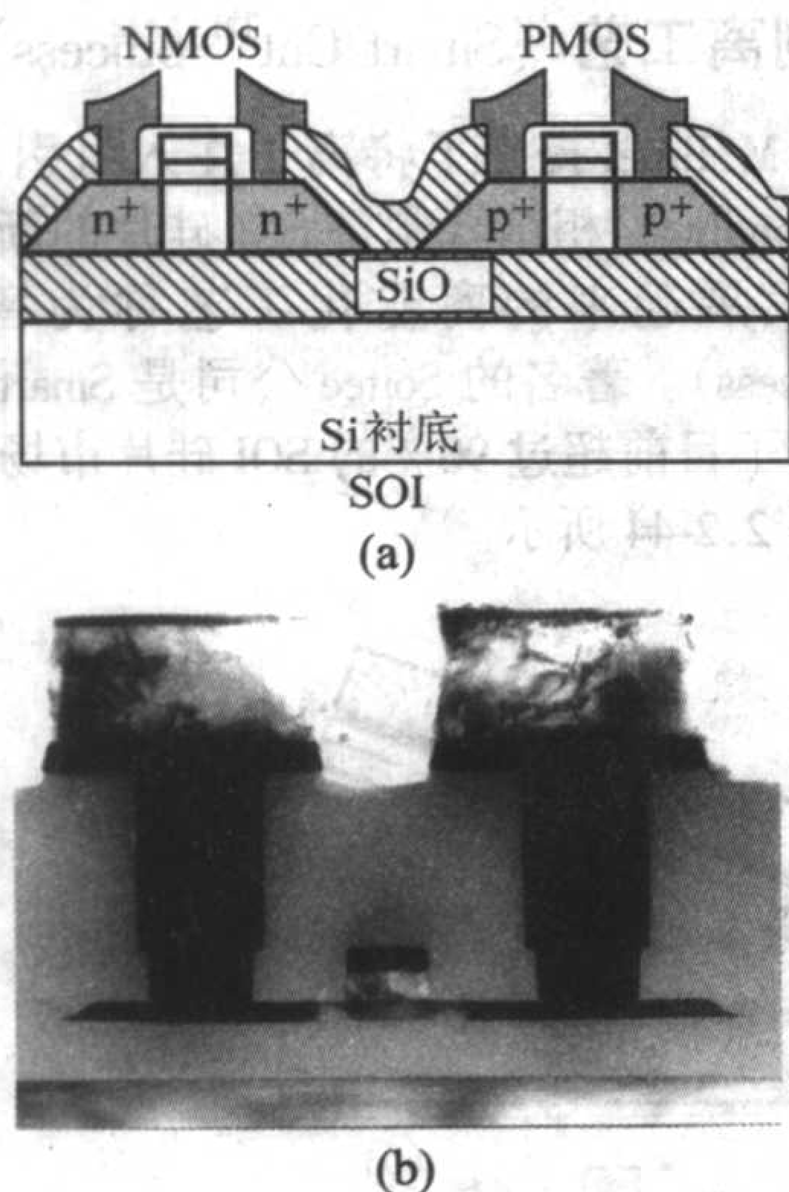


图 2.2-41 采用 SOI 硅片制造的 CMOS 器件示意图（a）和 TEM 截面照片（b）

在 20 世纪 70 年代提出 SOI 结构的初衷是为了增强电路的抗辐照性能。由于作为有源区的硅层与衬底硅互相隔绝，在衬底硅上由高能粒子（如 α 粒子）撞击产生出来的载流子被氧化层阻断，而不会流向有源区，因而减少了辐照产生的电流冲击，在很大程度上消除了辐照对器件性能的影响。在当前，促使集成电路厂商使用 SOI 硅片的主要原因则在于电路性能的改善。如前所述，在相同的电压下，SOI 硅片上的数字电路（如微处理器）的工作速度将比在体硅上的同样的电路要快。换句话说，在维持同样的工作速度时，SOI 上的电路可以在更低的功耗下工作。此外，当 MOS 器件的栅极长度在 25 nm 或者更短时，短沟道效应将很显著，在传统体硅上制造的器件将因此而失效，而使用 SOI 硅片制造 MOS 器件可以有效地克服此问题，这是目前业内专家普遍达成的共识。鉴于以上的原因，有一点是很明确的，即：随着集成电路特征尺寸的进一步减小，SOI 硅片越来越成为超大规模集成电路（ULSI）应用的主流材料。事实上，SOI 硅片的商业应用从 1998 年就开始了，而且呈指数增长。应该指出的是，SOI 硅片除了被应用于 CMOS 电路的制造外，还可以用于高性能的 BiCMOS、功率和高压器件、高温器件和抗辐射器件等。近年来，SOI 硅片还被越来越多地用于微机电系统（MEMS）和光波导的制造。MEMS 主要是利用 SOI 结构中的单晶硅层，而光波导则利用了 SOI 结构中二氧化硅和硅的介电常数差异大的特点。

从 SOI 的结构组成中，可以理解制造 SOI 硅片最大的困难就在于要在非晶态的 SiO_2 层上生长出单晶硅层。在过去的 30 余年里，提出了许多种形成 SOI 结构的途径，但绝大部分只有科学研究的价值，而没有投入实际应用。目前，普遍认为只有两种技术可用于工业化生产。这两种技术是：离子注入氧隔离工艺（SIMOX）和智能剥离（smart cut）工艺。它们的一个共同点就是都要利用离子注入工艺，前者是离子注入氧，而后者则是离子注入氢。

4.1 SIMOX 工艺

SIMOX 是 separation by implanted oxygen（用离子注入氧隔离）的简称。1966 年发表了第一篇关于在硅中用离子注入氧形成 SiO_2 的文章。NTT 公司的 Izumi 等在制备实质性的 SOI 结构方面做了先驱性的工作，1970 年他和同事制备了基于 SiO_2 埋层的可用于制造器件的 SOI 结构，1976 年他们开始用 Extriton200-20a 离子注入机形成埋层，1978 年他们又在得到的新材料上制造了一个 19 级的 CMOS 环型振荡器，并从此将这种材料称为 SIMOX。

在早期要制造出高质量的 SOI 结构是非常艰难的，首先人们都认为要注入足够多的氧，以形成符合化学计量比的 SiO_2 埋层（BOX），即需要注入剂量为 $2\times10^{18}/cm^2$ 的氧，这个剂量要比器件制造中使用的典型剂量要高 100 倍。此外，为了在 BOX 上形成足够厚的单晶硅层，需要高能离子束。如：要形成 200 nm 厚的硅层，需要 200 keV 的离子能量。在高能和高剂量的离子束作用下，衬底硅的晶格损伤是很严重的。事实上，如果离子注入在室温下进行，离子穿过的硅层会转化为非晶态。因此，为了保持顶层硅的单晶特性，在离子注入的同时，需要将衬底硅片加热到 600℃左右。在离子注入后，硅片需要在非常高的温度下热处理，以使氧离子与硅发生反应形成 BOX，同时对顶层硅和 BOX 之下的衬底硅层中的离子注入损伤进行退火。SIMOX 的形成过程的示意图如图 2.2-42 所示。

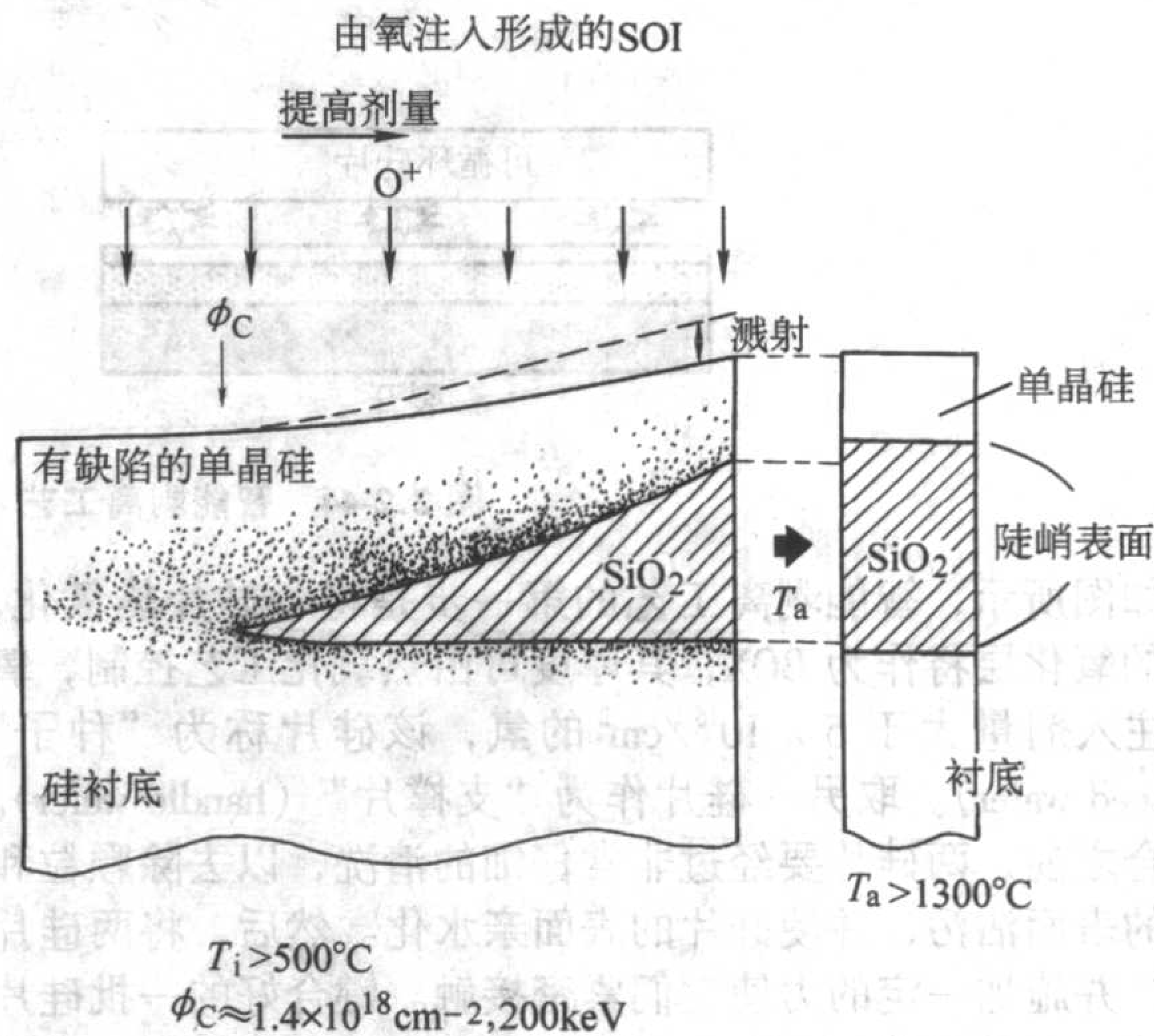


图 2.2-42 SIMOX 工艺形成 SOI 结构的原理示意图

离子注入后的退火对于形成高质量的 SIMOX 硅片是非

常重要的。通常的石英管炉耐温低于 1 250℃，如果用石英炉管处理的 SIMOX 硅片制造器件，获得的成品率通常比较低。这是由于这样得到的 SIMOX 硅片中，在顶层硅和 BOX 层之间的过渡区中，存在高密度的分立的氧化物沉淀。虽然在上述过渡区中的氧浓度比体硅中的要高 20%左右，但如果在很高的温度下热处理，由于形成氧化物沉淀的临界尺寸非常大，依然难以形成氧化物沉淀。1985 年就有实验表明，在 1 300℃处理若干小时，或者在灯管炉中以 1 405℃退火 30 min，即可形成顶层硅和 BOX 层界限分明的 SIMOX 结构。目前，SIMOX 硅片通常在 SiC 管炉或者多晶硅管炉中进行 1 350℃的退火处理。

早期 SIMOX 硅片的顶硅层中的位错密度高达 $10^{10}/cm^2$。位错的形成与许多因素有关。当离子注入过程中衬底的温度达到 600℃时，顶硅层中线位错密度可以减少到 $10^6/cm^2$。另外，采用多次离子注入和退火工艺，可以使位错密度再降低一个数量级，但增加了工艺的复杂度和成本。为了降低缺陷密度，还需要对注入机进行一些改进。由于注入剂量非常高，离子注入机的腔体材料会遭到溅射并沉积到硅片上而引起金属沾污，为了避免这个问题，可以在腔壁上涂上硅层。此外，去除硅片表面上的颗粒是防止在 BOX 中形成“硅管道”的关键步骤。

显然，离子注入的成本是 SIMOX 硅片成本构成中最重要的一部分，SIMOX 硅片的成本与离子注入的剂量密切相关。尽管早期为了获得符合化学计量比的 SiO_2，需要在 200 keV下注入约 $1.5\times10^{18}/cm^2$ 的氧，但经过对离子注入和退火工艺改进后，可以使离子注入的剂量下降到 $4\times10^{17}/cm^2$ 而不影响 BOX 的形成，在这种情况下形成的 BOX 厚度约为 100 nm，这对于栅长小于 0.25 μm 的 CMOS 器件来说已经是足够的了。随着 CMOS 器件特征尺寸的减小，低剂量注入的 SIMOX 硅片将越来越受到重视。目前，不断有以更低注入能量和剂量形成 SIMOX 硅片的报道。

在低注入能量和剂量下形成的 BOX 层比较薄，因此一个应该引起关注的问题就是在 BOX 层中存在“硅管道”，这会引起顶硅层和衬底硅之间的短路。一种所谓的“内部氧化”工艺不失为解决这个问题的补救措施。如图 2.2-43 所示，当 SOI 硅片在约 1 350℃氧化时，一部分氧可以穿过顶层的 SiO_2 和 Si 到达 Si/BOX 界面，与 BOX 层发生氧化反应而改善该氧化硅层的化学计量比，同时稍微增加了 BOX 层的厚度，并封闭了 BOX 层中存在的“硅管道”。为了改善 BOX 层的质量，还提出了如下新的改进措施：即在通常的衬底加热的离子注入后，还增加一道在室温下的低剂量离子注入（剂量为 $10^{15}/cm^2$），使得氧离子浓度最大处上方的顶硅层非晶化，这有助于在退火后形成连续而平滑的 BOX 层。

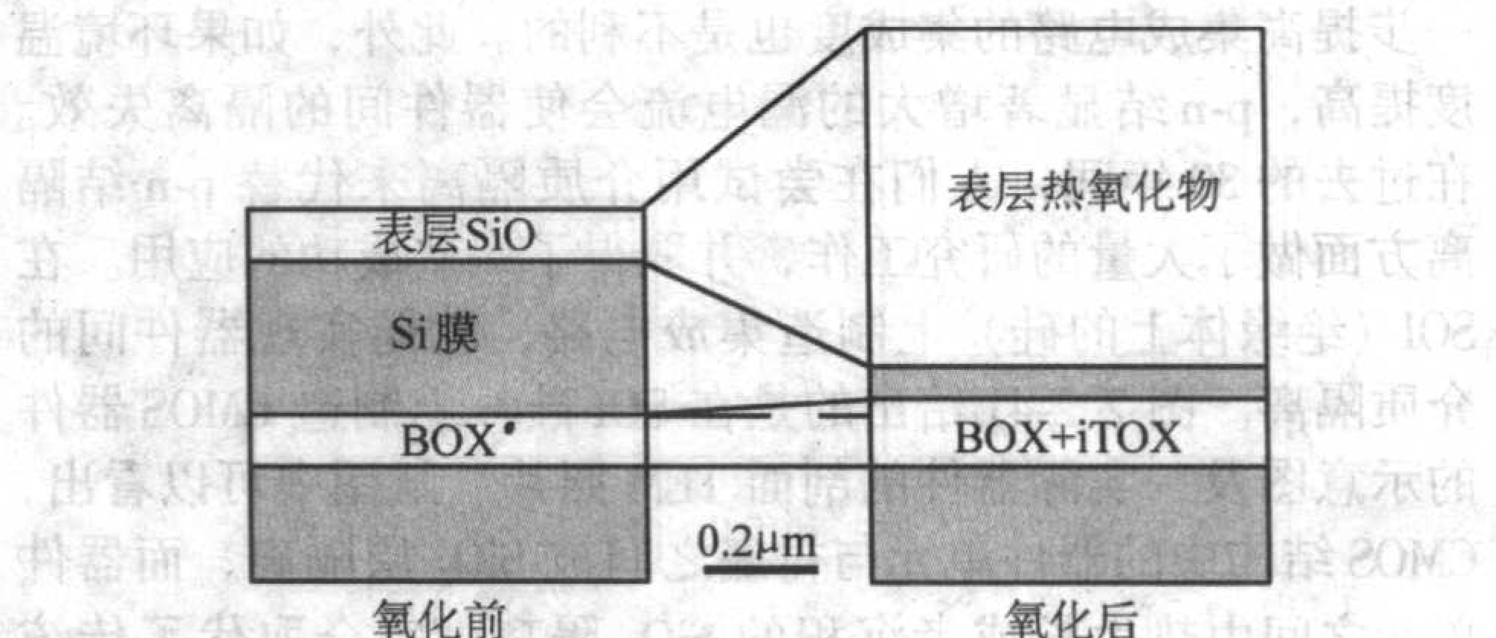


图 2.2-43 采用内部氧化工艺改善 SIMOX 工艺制备的 SOI 结构中 BOX 的质量和化学计量比的示意图

4.2 智能剥离工艺（Smart Cut™ process）

1991 年，M. Bruel 提出了将离子注入氢引入裂缝和硅片键合（wafer bonding）相结合制备 SOI 硅片的新技术，后来把在此基础上发展起来的商业化工艺称为智能剥离工艺（Smart Cut process）。著名的 Soitec 公司是 Smart Cut 技术的拥有者，它占据了目前超过 90%的 SOI 硅片市场。Smart Cut 工艺的原理如图 2.2-44 所示。

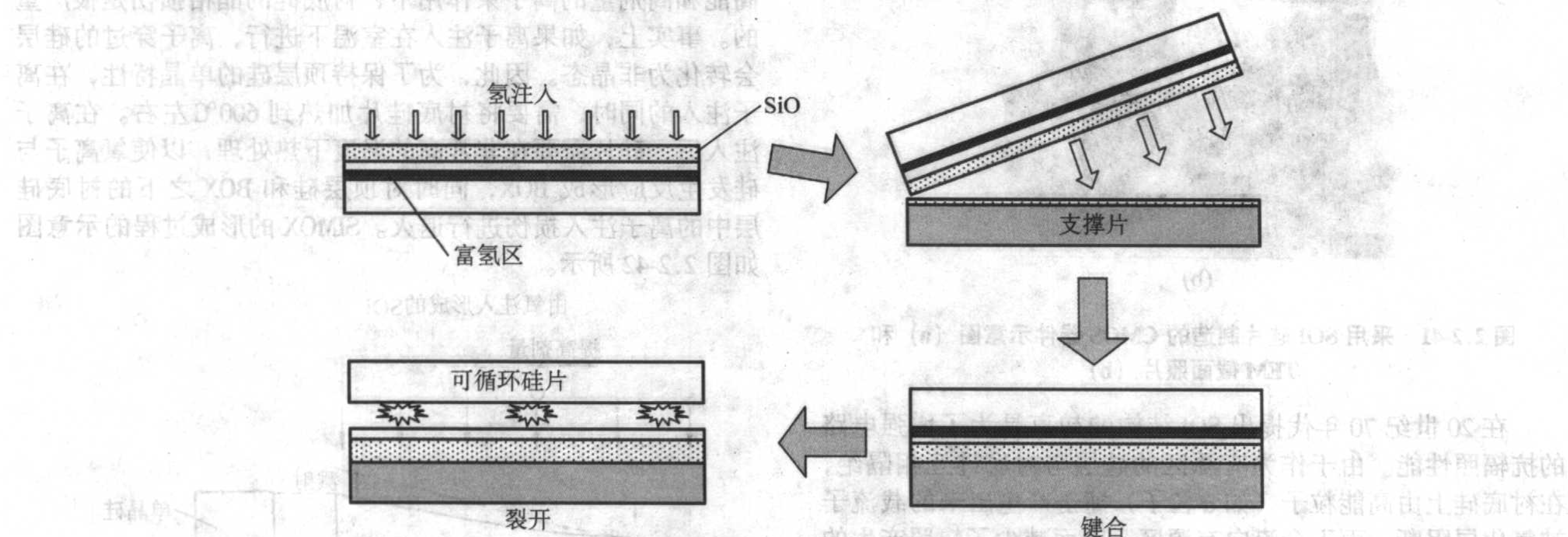


图 2.2-44 智能剥离工艺（Smart Cut™ process）原理示意图

如图所示，智能剥离工艺的第一步是将一硅片热氧化，形成的氧化层将作为 BOX，其厚度可由热氧化工艺控制，氧化后注入剂量大于 $5\times10^{16}/cm^2$ 的氢，该硅片称为“种子”片（seed wafer）。取另一硅片作为“支撑片”（handle wafer）。在键合之前，两硅片要经过非常仔细的清洗，以去除颗粒和其他的表面沾污，并使硅片的表面亲水化。然后，将两硅片对准，并施加一定的力使它们紧密接触。键合好的一批硅片装入炉子中并加热到 400～600℃，在这个温度范围内，硅片会沿着氢离子注入面裂开，因此注入的氢就如同“原子解剖刀”。“种子硅片”中在氢离子注入层上的薄硅层就作为 SOI 硅片的顶硅层。刚裂开的顶硅层表面大约有平均为几纳米的粗糙度，经过化学机械抛光（CMP）工艺后，可以使微粗糙度下降至 $R_a<0.1$ nm（1 Å）（在 1 μm×1 μm 范围内）。“种子硅片”经过抛光后可以循环使用。显然，要获得高质量的 SOI 硅片，需要有高品质的“种子硅片”，而对“支撑片”的质量要求可以适当放宽。

Smart Cut 工艺的优点在于顶硅层和 BOX 的厚度可以被很方便和精确地控制。通过控制氧化温度和时间，可以使 BOX 厚度为 5 nm～5 μm；而通过控制离子注入的能量，可以使顶硅层的厚度为 5 nm～1.5 μm。上述厚度范围的顶硅层和

BOX，可以满足CMOS器件、部分功率晶体管和传感器的要求，而其他减薄工艺和化学腐蚀都很难使顶硅层的厚度精确控制在5 μm以下。事实上，对于现在最先进的CMOS器件来说，顶层硅的厚度普遍为50 nm左右；到了65 nm的特征尺寸及以下，顶层硅的厚度将下降为20 nm。

离子注入氢可以作为"原子解剖刀"的机理如下：离子注入氢会在平均射程附近产生损伤，在损伤区域中包含了各种缺陷，其中有高密度的空洞（voids）、微空腔（microcravities）和平板状（platelets）缺陷。在离子注入结束后，一大部分氢将与这些缺陷内表面的悬挂键结合，而产生钝化作用，从而阻止微裂纹在热处理早期的自愈合。除了与硅结合的氢原子外，剩余的氢以分子形态存在于微裂纹和空洞中。事实上，更为细致的研究表明：氢离子注入引入的平板状缺陷的高度约为1 nm，直径为几个纳米。因此，这些平板状缺陷又称为"氢关空洞"（hydrogen related cavities）。在平板状缺陷中存在的分子氢产生的压力引起微空洞的增殖并产生出新的微裂纹。在热作用下，微裂纹可以进一步增殖直至裂纹上方的硅层从母体中裂开。最近的研究表明，裂开的位置就在氢离子注入引入的损伤最严重处，其深度比平均射程略小。应该指出的是，要出现所谓的"氢裂（hydrogen splitting）"，需要注入足够高浓度的氢（$>5\times10^{16}/cm^2$）和在足够高的温度（>400℃）下进行热处理。

4.3 智能剥离工艺的改良

自智能剥离的概念提出后，学术界和工业界提出了其他的方法以在硅片内产生弱结合区域，从而在施加剪切力或者能量（比如加热）下产生裂缝形成SOI结构中的顶硅层。下面就两种主要的改进措施进行简单的描述。

1）氢与氦的共注入　除了离子注入氢可以在硅片中产生裂缝以外，还可以选择其他的气体种类，尤其是氦气等稀有气体作为离子注入源。如果仅从产生裂缝的角度而言，注入惰性气体原子完全可以实现。然而，研究发现氢钝化离子注入损伤引起的缺陷内表面的作用是其他种类的原子所不能实现的。因此，在实际的操作中，通常是先注入一定剂量的氢，然后注入其他种类的气体原子（氦是最常用的）。在氢与氦共注入的情况下，它们所起的作用是不同的：氢的作用是钝化离子注入损伤并产生平板状的微空洞，而后注入的氦则填充这些空洞并提供顶硅层从母体中分离所需的大部分压力。有趣的是，在共注入时，使硅产生裂缝所需的氢与氦的离子注入剂量要比单独注入时的低一个数量级；而且，如果先注入氦后注入氢，则达不到如上所述的减少离子注入剂量的好处。

2）硼和氢的共注入　硼原子注入到硅中除了产生大量的缺陷外，它们本身还可以俘获氢原子团。有研究表明，一个硼原子可以俘获8～12个氢原子。利用这个特点，可以使硅片出现裂缝所需的温度降低，而且加热时间减少，这一点在把硅层转移到膨胀系数与硅有很大差异的衬底上时显示出优越性。然而，由于多余的硼离子注入到被转移的硅层中，而部分抵消了上述优点。

4.4 应变SOI结构

业已证明，在弛豫的$Si_{1-x}Ge_x$生长的应变硅中的载流子迁移率显著提高，根据报道，电子的迁移率提高了80%之多。为了改善SOI的电学性能，提出了应变SOI，它的顶硅层为应变硅。基于Smart Cut工艺，生长应变SOI结构可以有如下两种实施方式。

第一种方式的主要步骤是：在"种子硅片"上生长弛豫成分均匀的SiGe薄膜，然后离子注入氢；另一方面在"支撑硅片"上生长氧化膜。两硅片键合后，加热实施智能剥离。然后在SiGe薄膜上生长一层应变硅，这样的类SOI结构结合了SOI结构和高载流子迁移率应变硅的优点。

第二种方式的主要步骤是：在"种子硅片"上先生长组分渐变的SiGe层，接着生长组分均匀的弛豫SiGe层，最后生长应变硅层。该"种子硅片"在离子注入后，与长有氧化膜的"支撑硅片"键合。在智能剥离后，用择优腐蚀液把剩余的SiGe层去掉，仅剩BOX上的应变硅层。

利用SIMOX虽然可以制备应变SOI，但它存在如下缺点：在形成BOX层时，需要高温处理，在此过程中Ge会偏析到BOX层中，因而SiGe层中的Ge含量不会超过10%。

基于Smart Cut工艺，还可以将化合物半导体，如GaAs、InP、GaN和SiC等作为SOI结构中的半导体层。这样的SOI结构可用于开发高频、高功率和光电器件。最近，还出现了所谓的GeOI（即绝缘体上锗）概念，在硅中引入大量的锗，显著地提高了电子的迁移率，为未来的高速逻辑应用提供了新材料，预计GeOI将用于特征尺寸为32 nm的CMOS电路中。

编写：马向阳（浙江大学）

第 3 章　硅晶体的力学性能

硅材料是微电子工业的基础，其力学性能对材料和集成电路及其他器件会产生重要影响。众所周知，单晶硅材料在室温下属于硬脆性材料。只有温度 $T \geqslant 0.5T_m$（T_m = 1 690 K，硅的熔点）时，硅单晶才具有弹塑性，其内部存在的位错才开始移动或攀移。而常温时，在外力作用下，单晶硅中很难产生位错和进行位错的移动。但是，由于硅单晶抗拉应力远大于抗剪应力，因此，在切割、研磨和机械抛光等加工工艺过程中，硅材料由于承受剪切应力而易于产生破碎现象，影响生产的成品率。

同样，在集成电路（IC）工艺中，硅片亦要经历不同的热处理过程，这必然会在硅片中产生热应力，使硅片产生翘曲，光刻图形套刻的精度下降；并加速位错滑移，产生各类结构缺陷，甚至使硅片破裂。而随着 IC 用硅片直径的不断增大，上述情况将更趋严重。同时，硅片背损伤吸杂亦在生产中经常使用，由此产生的后果是硅片本身就具有微裂纹，易于脆断或自然解理断裂，影响下一步加工处理。

再者，对微电子机械系统（MEMS）来言，硅材料和器件的机械可靠性也是器件制造和使用中所关注的问题。微机械加工的硅器件可能会处于复杂的应力状态，从而使其断裂或性能失效。因而，当硅材料像结构材料一样应用于 MEMS 中时，了解其力学限制和强度对处于复杂多变应用环境中的 MEMS 器件而言（如温度传感器、麦克风、应力传感器和化学传感器等）是极为必要的。

可见，对硅材料特别是硅单晶力学特性的掌握和了解，将对实际的硅单晶生长以及器件加工中各步工艺的确定，具有相当重要的指导作用。本章首先将对硅单晶的力学和传热学常数加以介绍；而在其后的第 2 节中对硅单晶常温下的脆性断裂及其影响因素进行较详细的讨论；在第 3 节则介绍了硅单晶在高温下的脆塑转变和塑性变形特性；最后还对硅单晶晶片在高温热处理中可能出现的热应力等问题加以简介。同时，在以上的介绍中还给出了实际生产中经常使用到的诸如划片晶向、硅单晶可能断裂方向、位错滑移方向等参数。

1　单晶硅的力学及传热学常数

硅材料的共价键特性决定了硅晶体为金刚石结构，也决定了硅晶体的力学特性，图 2.3-1 给出了硅原子的成键结构和硅单晶的立方原胞以及其晶体结构。

表 2.3-1 给出了常见半导体的一些力学性能。从中可见，硅的弹性模量、剪切系数（即 C_{11}-C_{12}）及劲度系数（弹性模量）较大，表明硅的抗拉和剪切性能同其他半导体材料相比较好。但与其他种类的半导体材料相比，其力学性能趋于脆性材料。

表 2.3-2 给出了单晶硅的 Peierls 应力和实验硬度等数据。可见，硅单晶的 Peierls 势垒很大，使位错难以在常温下滑移，造成了其硬度很高，但韧性差的特点。

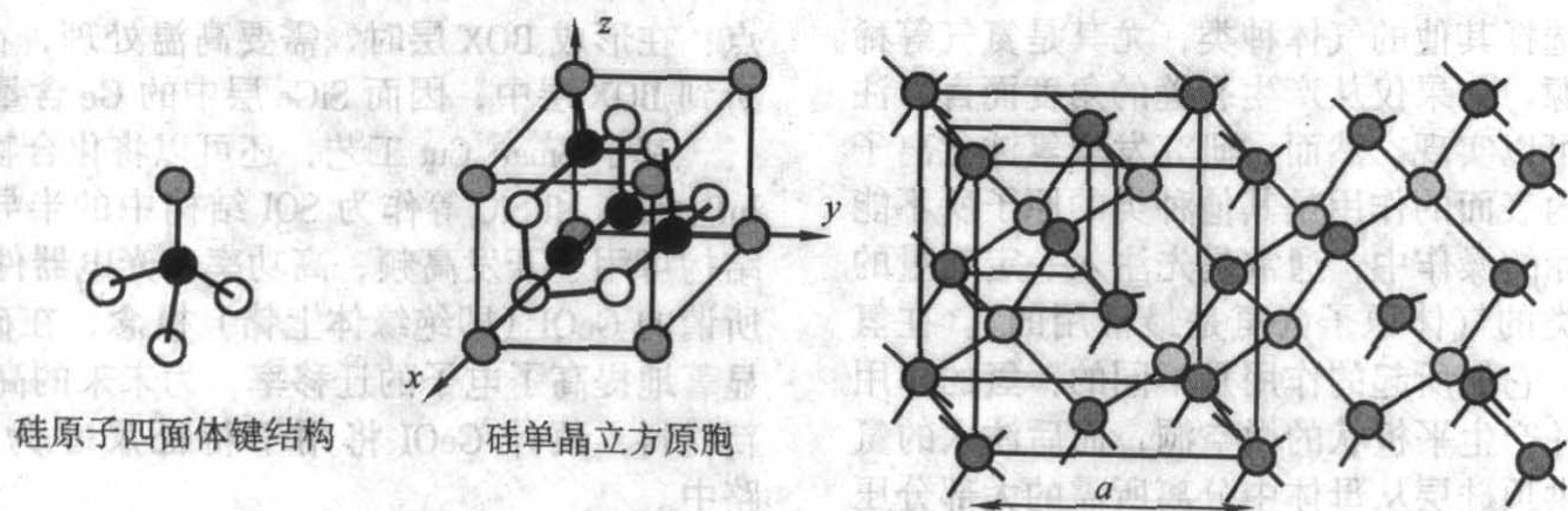


图 2.3-1　硅原子的成键结构和硅单晶的立方原胞及其晶体结构

表 2.3-1　常见半导体材料的力学性能

材料	晶格常数 /nm	体弹性模量 /10^{10} N·m^{-2}	C_{11}① /10^{10} N·m^{-2}	C_{12}① /10^{10} N·m^{-2}	C_{44}① /10^{10} N·m^{-2}	键距 /nm	键能 /eV	扭曲常数 /10^{10} N·m^{-2}
Si	0.543 1	9.923	16.772	6.498	8.036	0.235 2	−2.32	0.54
C	0.356 7	44.227	107.64	12.520	57.570	0.154	−3.68	0.142
Ge	0.565	7.653	13.112	4.923	6.816	0.245	−1.94	0.506
GaAs	0.564 2	7.690	12.11	5.48	6.04	0.244 8	−1.63	0.456
InP	0.586 9	7.247	10.220	5.760	4.600	0.254 1	−1.74	0.522
GaP	0.545 0	9.143	14.390	6.520	4.076	0.236 0	−1.78	0.453

①　劲度常数（弹性模量）。

表 2.3-2　单晶硅的 Peierls 应力和实验硬度

1－2	U_b /eV	τ_p /MPa	H_p /MPa	H_{int} /MPa	H_p+H_{int} /MPa	H_{exp} /MPa
Si	5.95	34 300	2 860	10 980	13 840	13 700

表中，U_b 为位错芯处的键；τ_p 为 Peierls 剪切应力；H_p 为 Peierls 势垒对硬度的作用；H_{int} 为压痕硬度；H_p+H_{int} 为晶体的表现硬度；H_{exp} 为硅单晶实验硬度。

对于硅单晶的热膨胀而言，其线胀系数可用如下的公式给出：

$$\alpha(T)=(3.725\{1-\exp[-5.88\times10^{-3}(T-124)]\}+5.548\times10^{-3}T)\times10^{-3}$$

式中，T 为温度（单位为 K），公式适用于 120～1 500 K 之间。而表 2.3-3、表 2.3-4 和表 2.3-5 分别给出了不同温度下单晶硅的线胀系数、热导率和热扩散系数。可见硅单晶在 20 K 时热导率最高，而在 120 K 左右其线胀系数会由负变正。事实上，硅单晶的晶格常数在 0～20 K 为常数，在 20～120 K 时随着温度上升而下降，并在 120 K 时达到最小。而负的线胀系数和晶格尺寸随温度的变化对于光跃迁等光学特性具有很大的影响，因而对于硅材料在 0～120 K 时的光学特性进行研究具有重要意义。此外，从表中还可以看出，硅单晶具有很高的热导率，而这一点对于硅单晶或硅片的热处理工艺也是很重要的。

表 2.3-3 不同温度下单晶硅的线胀系数

T/K	$\alpha/10^{-6}\cdot K^{-1}$	T/K	$\alpha/10^{-6}\cdot K^{-1}$	T/K	$\alpha/10^{-6}\cdot K^{-1}$
5	0.6×10^{-4}	180	1.061	700	4.016
10	0.48×10^{-3}	200	1.406	800	4.151
20	-0.29×10^{-2}	220	1.715	900	4.185
40	−0.164	240	1.986	1 000	4.258
60	−0.400	260	2.223	1 100	4.323
80	−0.472	280	2.432	1 200	4.384
100	−0.330	300	2.616	1 300	4.442
120	−0.057	400	3.253	1 400	4.500
140	0.306	500	3.614	1 500	4.556
160	0.689	600	3.842	1 600	4.612

表 2.3-4 不同温度下单晶硅的热导率

T/K	K/W·(cm·K)$^{-1}$	T/K	K/W·(cm·K)$^{-1}$
2	0.44	400	1.05
4	3.11	500	0.80
6	8.99	600	0.64
8	16.4	700	0.52
10	24.0	800	0.43
20	47.7	900	0.36
30	44.2	1 000	0.31
40	36.6	1 100	0.28
50	28.0	1 200	0.26
100	9.13	1 300	0.25
150	4.10	1 400	0.24
200	2.66	1 500	0.23
300	1.56	1 600	0.22

表 2.3-5 不同温度下单晶硅的热扩散系数

T/K	D/cm$^2\cdot$s^{-1}	T/K	D/cm$^2\cdot$s^{-1}
50	63.5	400	0.52
60	37.6	500	0.37
70	24.8	600	0.29
80	17.1	700	0.24
90	14.4	800	0.19
100	11.3	900	0.16
150	4.24	1 000	0.14
200	2.23	1 200	0.12
250	1.23	1 400	0.12
300	0.86		

2 硅单晶的断裂

尽管半导体材料的（事实上是任何固体的）理论解理强度从未被达到过，但计算理论解理强度的一个相当简单的模型，为我们了解影响断裂韧性的材料参数提供了机会。Orowan 在 1949 年假设：将晶体严格沿其解理面分开所需的应力可以通过如下简单的关系得到：

$$\sigma_{th}=\sqrt{\frac{E\gamma}{a}} \tag{2.3-1}$$

式中，σ_{th} 为理论解理强度；E 为弹性模量；γ 为表面能；a 为晶格间距。

尽管可能会有更为复杂的形式，但公式（2.3-1）已经足以表达材料的解理断裂强度了。不过，对于半导体材料的实际强度而言，我们应该认识到，测量所得的值是在存在裂纹或其他的应力集中的情况下得到的。因而，对于硅晶须，Peason 曾测得解理强度为 5 GPa，而 Johansson 则得到了 10 GPa 的高强度，但 S.M.Hu 对经硅胶抛光的硅片的测量却只得到 2.8 GPa ± 1.2 GPa 的强度。可见，使缺陷或初始裂纹扩展的应力是所能够得到的强度值的最大限制。

在残余应力、热诱生应力或者操作带来的应力的作用下，任何裂纹、缺陷或半导体表面的台阶都会成为应力集中源。而在裂纹的末端，残余应力或者任何施加于半导体的外来应力都会被以几何形式放大（线弹性断裂力学中的应力以 $1/\sqrt{r}$ 随距裂纹尖端距离为 r 的关系变化），从而张应力可能达到材料的理论临界值。或者说，应力也可能达到材料的理想剪切强度，最后通过产生位错来释放应力。在室温并且无塑性变形的情况下，半导体这种脆性材料的断裂被认为是以解理方式发生的：裂纹通过断裂连续的原子键沿着解理面扩展。

2.1 硅单晶的晶向对断裂的影响

半导体材料的所有断裂特性中，最为我们了解的就是解理面和解理方向了。这在很大程度上归因于解理是快速有效的从硅片上划分电路的方法。表 2.3-6 和表 2.3-7 分别给出了半导体材料主要的解理方向和解理面及各解理面的特性参数。单晶硅的解理晶面族为 {111} 面，晶面具有最大的原子密度和最高的弹性模量，但面间距较大，面上的原子键密度低，因而硅晶体倾向于沿着 {111} 面解理。而 {110} 晶面的面间距和面上的原子键密度仅稍高于 {111} 面的，因而成为第二解理面，也常用于划分硅片。为便于划分硅片，图 2.3-2 也给出了不同晶向硅片的解理示意图。

表 2.3-6 常见半导体的解理面、解理方向和滑移面

材料	主要解理		主要滑移	
	平面	方向	平面	方向
Si，Ge	{111} {110}	<011> <110>	{111}	<011>
金刚石	{111}	<011>	{111}	<011>
GaAS	{111}	<110>	{111}	<110>

表 2.3-7 单晶硅主要解理面的特性（a = 0.543 1 nm）

	{100}	{110}	{111}
表面能/J·m^{-2}	2.13	1.51	1.46
面间距	$\frac{a}{4}$	$\frac{\sqrt{2}}{4}a$	$\frac{\sqrt{3}}{4}a$ 或 $\frac{\sqrt{3}}{12}a$
面密度（$\frac{1}{a^2}$）	2.00	2.83	2.31
键密度（$\frac{1}{a^2}$）	4.00	2.83	2.31

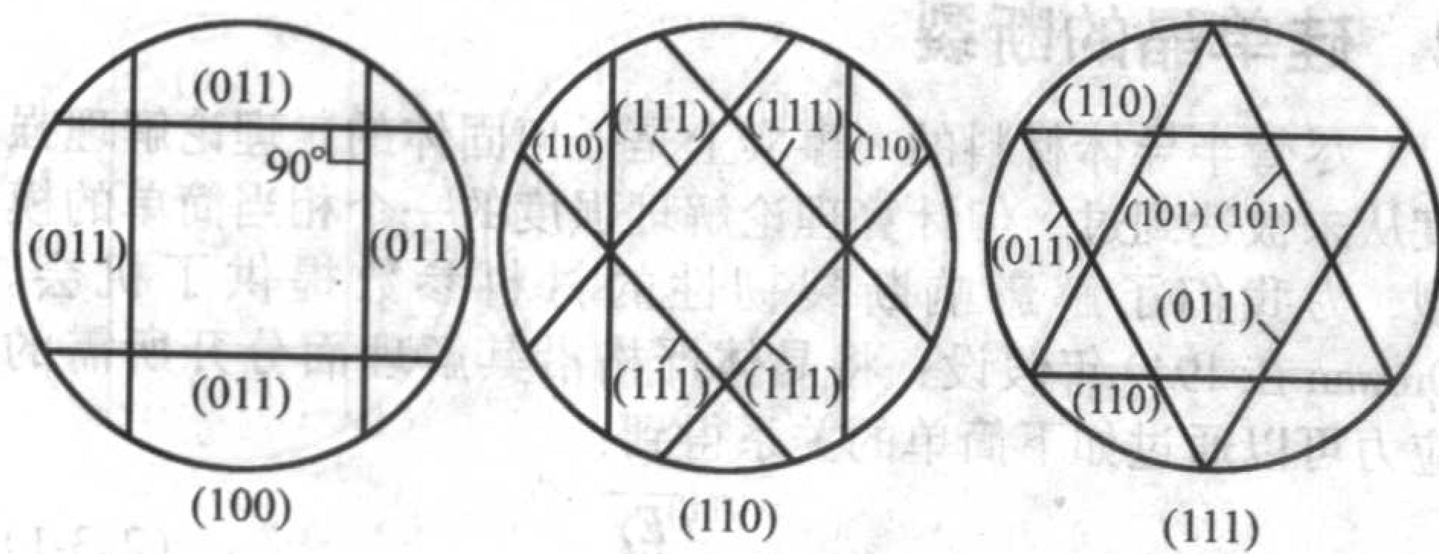


图 2.3-2 （100）、（110）和（111）晶向硅片的解理示意图

单晶硅的断裂一般是沿着其解理面的，通常的断裂面为{111}面，但由于单晶表面的起始裂纹不同，断裂形式也不尽相同。图 2.3-3 表示了{110}面上裂纹沿 <110> 和 <111> 晶向扩展时实验所观测到的断裂示意图。可见，如果沿着 <110> 晶向，则很容易断裂而且会得到平整的断裂面；如果沿着 <111> 晶向，则会产生断裂面的扭折。图 2.3-4 则表示了{110}和{100}面上沿 <110> 晶向的裂纹扩展时的断裂情况。裂纹除了沿 <110> 晶向扩展至整个{110}面外，其他情况下断裂面最终都会偏折向{111}晶面。对于{111}面上的裂纹的扩张研究较少，但可以预见，裂纹一般倾向于向最弱的{111}面进行偏折。而偏折的路径不同，消耗的能量也就不同。因为，偏折的路径不同，断裂的原子键的数目也就不同，裂纹扩展的速度也就不同。而裂纹的扩展速度强烈的影响着机械能的释放率，也就对断裂的能量耗散起到重要作用。

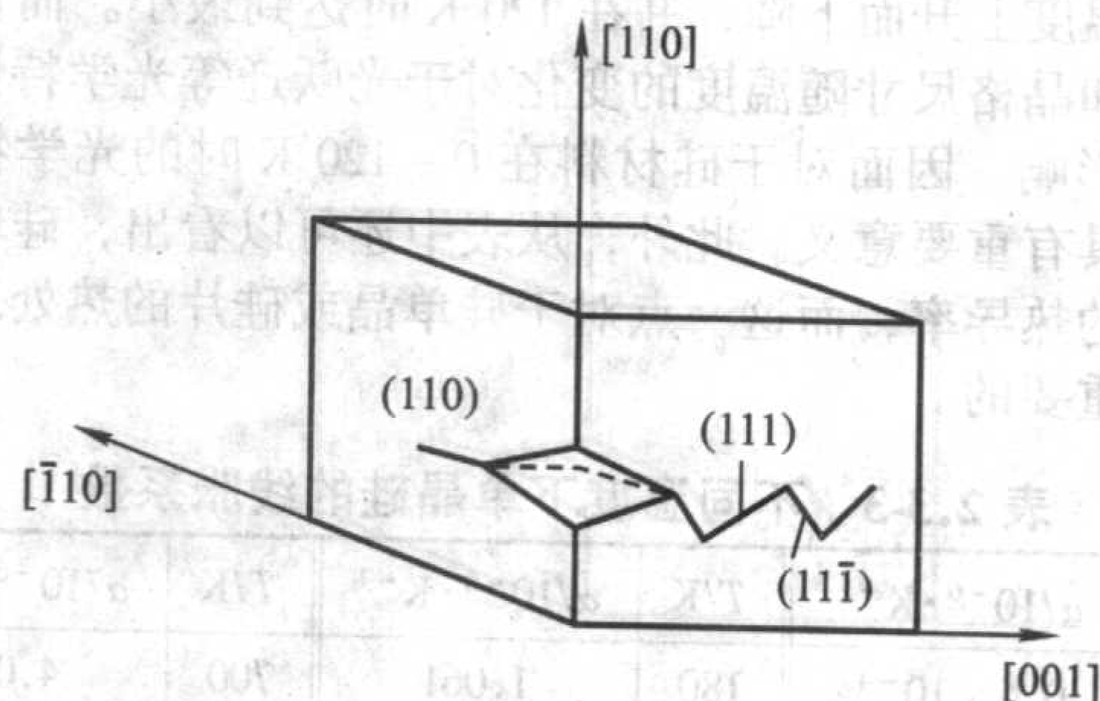


图 2.3-3 （110）平面上裂纹沿不同晶向的扩展示意图

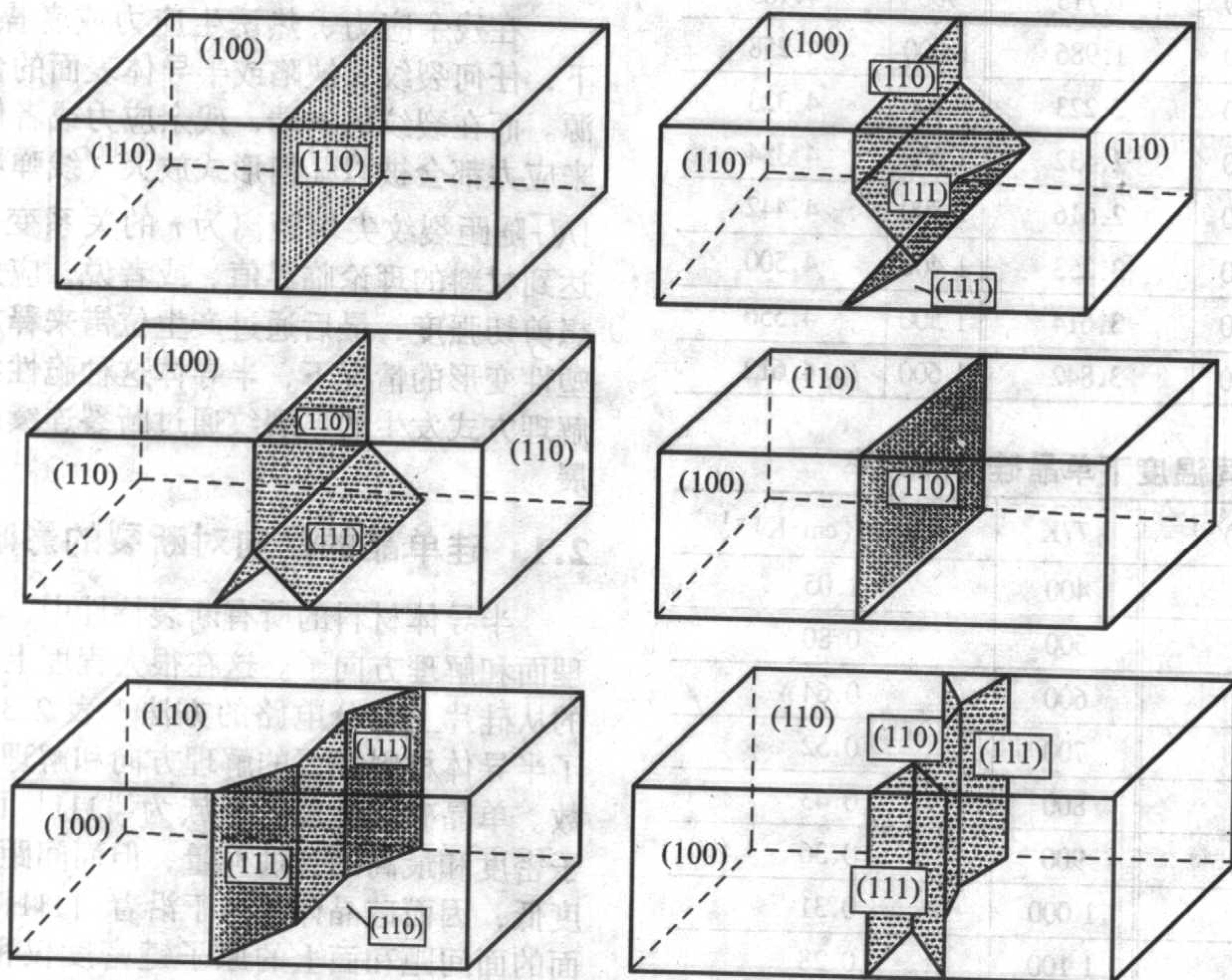


图 2.3-4 起始裂纹晶向为（110）<111>和（110）<110>硅单晶的断裂形式

2.2 样品形貌对断裂的影响

同一单晶制成的硅片，由于加工方式不同，表面损伤状况不同，都会对其抗弯强度产生影响。研究表明，表面损伤越少，断裂强度越高；即使是经过化学腐蚀的样品，也会由于腐蚀出现的表面不平整或起伏造成断裂强度的下降。电子显微镜原位观测不同尺寸的硅悬臂梁结构的断裂，发现断裂表面的形貌与样品中存在裂纹与否有关。当样品表面存在作为弱化源的裂纹时，断裂面往往是平整光滑的；反之，则会有不规则的断裂面出现。同时，悬臂梁结合处的弯角半径、断裂凹槽的开口角度都会影响断裂强度。根据 Griffith 理论，不论是内部裂纹还是表面损伤或表面不平整处，受外力作用时，均会在裂纹尖端或不平整处产生应力集中；这种局部区域中，当应力达到理论强度时，裂纹就迅速扩展，导致断裂。

2.3 杂质对硅单晶断裂的影响

杂质原子的存在会影响到半导体材料的断裂行为。理论计算表明，杂质对原子键的断裂的影响来自于两个方面：杂质的引入使费米能级发生迁移和杂质原子与基体原子间的键能发生变化。其中，杂质原子对 Shockley 表面态的效应（如双扭折形核或原子迁移）对断裂实验中表面能的作用可达20%。一般而言，杂质原子引起的晶格效应，则由于杂质原子掺入量相对较小（$<10^{20}/cm^3$）而可忽略不计；但是，当掺入的杂质原子数量很高时，就会有晶格效应的产生，而且还会带来电子能级的变化，也就是应变 ε 对电子结构的改变和掺杂对费米能级的变化。对于重掺 n 型单晶硅，如果 E_{CB}（ε）是被电子占据的导带对总内能所起的作用，那么 E_{CB}（ε）的斜率则是张应力的控制因素。由于重掺 n 型单晶硅的费米能级会向导带移动，造成 E_{CB}（ε）对单晶力学性能起到影响作用，使理想张应力减小。但对 p 型硅而言，掺杂浓度对理想张应力几乎无影响。

此外，杂质原子也会通过对位错的钉扎作用对硅单晶的断裂产生影响。这主要表现在三个方面，其一，杂质原子可能在硅中形成沉淀物，从而在裂纹扩展时，在裂纹应力场的作用下产生位错，钝化裂纹，使裂纹扩展增加额外的能量。

其二，杂质原子又能钉扎位错，例如氧在硅中聚集成团，氧团沿位错所造成的增强错配所引起的弹性交互作用构成钉扎能力，从而使硅单晶的断裂强度提高。同样，含氮的单晶中，随着氮浓度的增加，其单晶的抗弯强度也增加。另外，不同杂质原子对产生的裂纹的环境屏蔽作用不同，从而影响到裂纹扩展驱动力的大小和裂纹的扩展速度。再者，杂质原子或杂质形成的沉淀物也可能影响到裂纹的扩展路径，起到改变断裂阻抗的作用。

3　硅单晶的塑性变形

3.1　硅单晶的脆塑转变

尽管我们已知所有的半导体材料在室温下都是脆性的，可除了硅以外，其他半导体材料在什么温度下转变为塑性研究的却相对较少。对于硅材料，应变率和掺杂对脆塑转变（BDT）的影响业已被相当彻底地研究了。St. John 最先在这方面进行了广泛的研究，他指出对于无位错样品，BDT 现象仅发生在很窄的温度范围内（约 1℃）。而高于 BDT 转变温度，位错就会在裂纹尖端大量的产生。进一步的研究表明，转变温度取决于应变率和掺杂浓度。

（1）应变率的影响

St. John 最先明确地给出了应变率与 BDT 温度之间的关系，在超过两个数量级的应变范围内，掺硼的单晶硅的 BDT 变化达到 250℃。在所有的情况下，这种转变都是很陡峭的，先在 1 到 3℃之间变化，然后立即笔直地向上升，并出现一个屈服点（见图 2.3-5）。同时，在高于转变温度时，样品断裂失效的可能性减小，而趋向于塑性变形。从应变关系来看，St. John 认为高于转变温度时，BDT 是一个激活能约为 1.9 eV 的热激励过程，并受控于位错滑离裂纹尖端的速度，而非受控于位错的形核。而 Hirsch 和 Roberts 则在不同尺寸的样品中观测到了在与 St. John 同样的加载率下与 BTD 温度的关系。

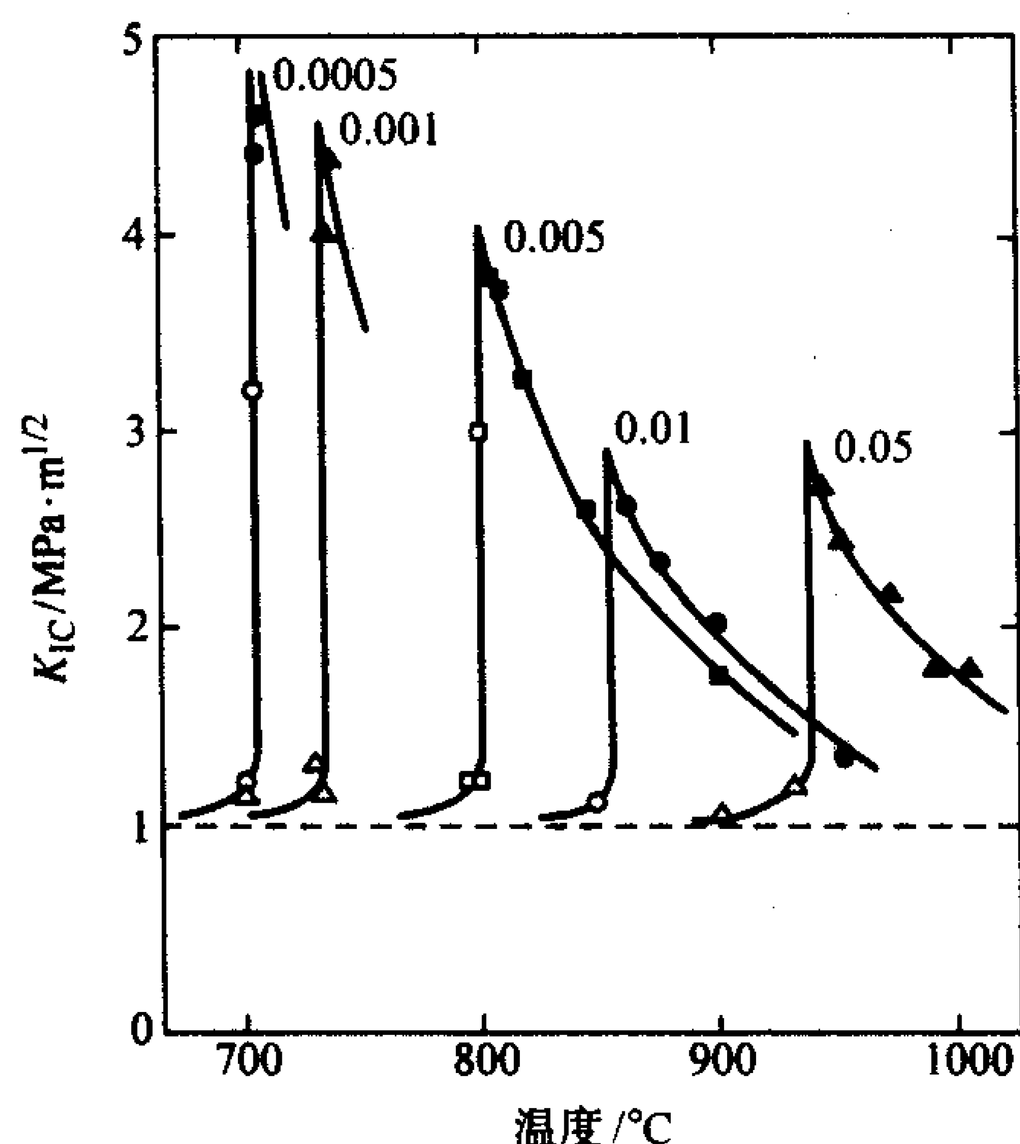


图 2.3-5　不同温度下应变率与断裂阻抗的关系

（2）掺杂对转变温度的影响

BDT 的激活能接近于位错的滑移能的发现，促进了对不同掺杂水平的硅单晶的 BDT 的研究。这方面的研究主要分为两类，发现可能的弹性效应和可能的电子掺杂效应。

通过研究氧对 BDT 的作用，发现氧含量高的样品的转变温度也高。因而在相近的应变下，CZ 硅要比 FZ 硅表现出高的转变温度，而且 CZ 硅的激活能（2.4 eV）也比 FZ 为高（2.0 eV）。同时，溶于基体中的氧和形成小的沉淀的氧都会通过固溶强化作用来钉扎位错，降低位错移动速率。对 p 型 CZ 硅单晶进行预热处理以生成氧沉淀，研究氧沉淀对 BDT 的影响则发现具有最大尺寸的氧沉淀的样品的 BDT 温度最低，但原因则不是很清楚。因为氧沉淀既可以降低位错的速度，也可以在裂纹的应力场作用下成为位错源。也有人倾向于认为沉淀周围的层错会带来高密度的位错，从而降低了 BDT 温度。

研究掺杂的电子效应对 BDT 的影响则是为了揭示 Patel 效应，即 n 型掺杂相比于本征和 p 型掺杂会加速位错运动，得到的结果归结于图 2.3-6 中。

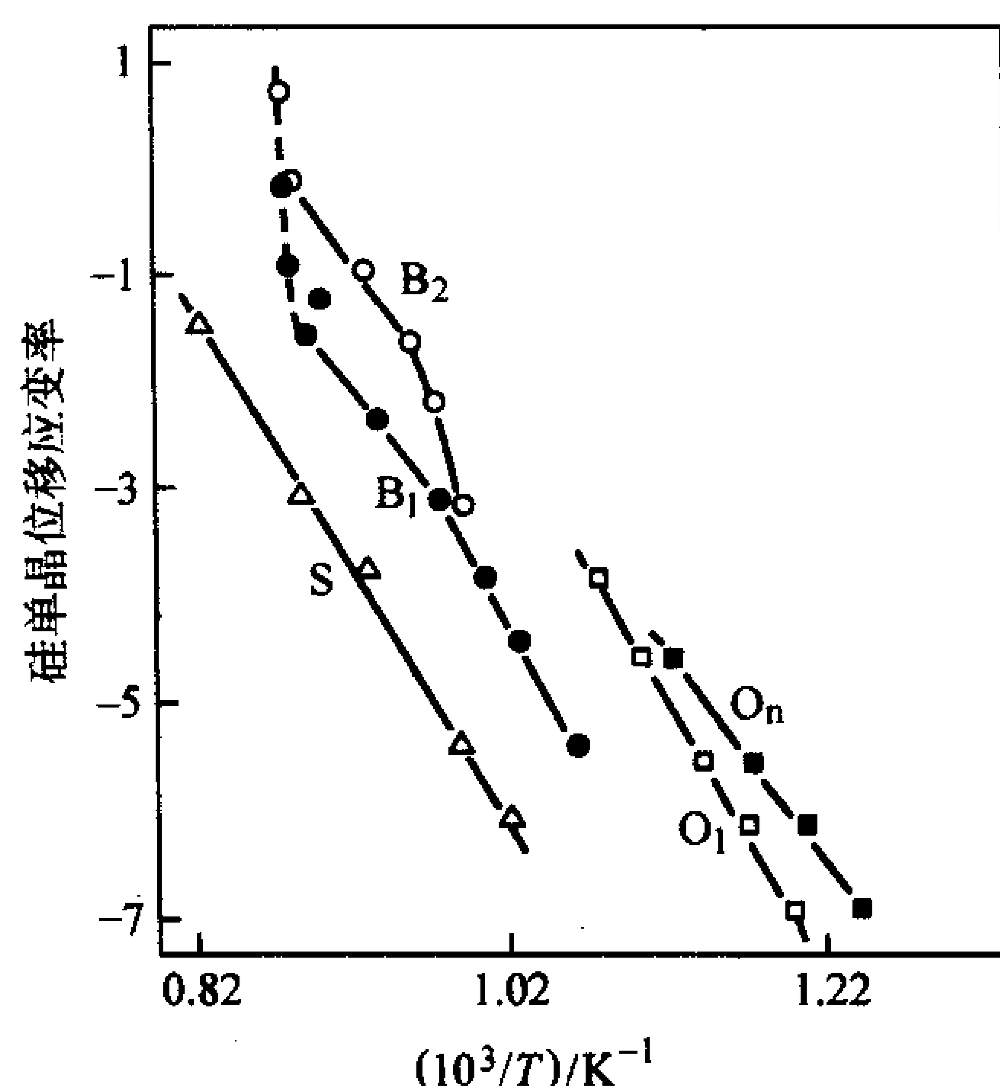


图 2.3-6　硅单晶 BDT 时不同温度下位移应变率的 Arrhenius 图

重要的一点是，所有实验中的掺杂量都未能达到影响室温下的断裂阻抗。因此，可以认为所观测到的 BDT 温度的变化是源于位错运动速度的改变，而非材料的本征断裂强度的改变。同时，对重掺 p 型硅单晶的研究尚未见报道。

3.2　硅单晶的塑性变形

半导体材料的塑性变形特性在过去的 40 年中被广泛的进行了研究。而这一领域的研究意义有两方面：其一是要了解在晶体生长过程中和器件制造过程中位错的产生和增殖机制，这对于实际生产尤为重要；另一方面就是如何从宏观的位错特性得出宏观的塑性形变行为的基本物理问题，在这一领域中半导体材料具有独特的可研究单独位错的速度、增殖和相互作用的特性。

在众多的研究塑性变形的方法中，只有两种被用来研究半导体材料：常应变率下变形和常应力下的变形。而且，所有的研究中使用的都是单晶材料。对于常应变率下的变形，特别倾向于使用 <123> 晶向的样品。因为这一晶向适于单滑移；同时，这一晶向可以更好的反应出应力-应变曲线中的不同硬化和回复阶段。而对称性的 <111>、<110> 和 <001> 晶向则会或多或少的导致无结构性的抛物线型应力应变曲线，并且在变形初始会有多滑移性形变产生。当然，对于蠕变研究，<111> 晶向更具优越性。

（1）塑性变形的一般特性

1）对应塑性变形的材料特性　金刚石立方结构的元素半导体晶体具有很强的共价键，这使它们有了高的 Peierls 势垒，导致位错的运动能力随温度的下降呈指数形式下降，并在较低的温度呈现出脆性。考虑到键能的不同，通常将流变应力和应变强化参数通过弹性模量来规则化，对于立方晶格，以各向同性的剪切模量 $G=[(C_{11}-C_{12})C_{44}/2]^{1/2}$ 来表示。不论元素还是化合物半导体，滑移平面和滑移方向均分别为 {111} 和 <110>；而这类材料的柏氏（Burgers）矢量也相当的大，这也是会导致交滑移行为的原因。表 2.3-8 中给出了一些半导体材料的熔点（T_m）、Burgers 矢量（b）、层错能（γ）以及自扩散参数 Q^{SD} 和 D_0 数据。金刚石立方晶格

具有较低浓度的本征点缺陷（包括空位和自间隙）的特点，因而给出了自扩散参数。但化合物半导体的高浓度的本征点缺陷却有着复杂的行为，自扩散参数很难测量。

表 2.3-8　半导体材料塑性变形参数

材料	T_m/K	$b/10^{-10}$ m	γ/mJ·m^{-2}	Q^{SD}/eV	D_0/m^2·s^{-1}
Si	1 685	3.84	58	4.03	6×10^{-5}
Ge	1 210	4.0	75	3.14	2.5×10^{-3}
InSb	800	4.58	38	—	—
InP	1 335	4.15	18	—	—
GaAs	1 513	4.0	55	—	—
GaP	1 740	3.85	41	—	—

2）应力-应变曲线　硅单晶 <123> 晶向的应力-应变曲线具有五个变形阶段，较低温度时伴随着明显的屈服点产生的：低加工硬化阶段（Ⅰ），强加工硬化阶段（Ⅱ）和弱化阶段（Ⅲ）；而在高温时还会出现：新的加工硬化（Ⅳ）和二次回复阶段（Ⅴ）。通常用应力-应变曲线中的对应点的应力来表示各个特性点：τ_{1y}、$\tau_{Ⅱ}$、$\tau_{Ⅲ}$、$\tau_{Ⅴ}$ 和 τ_s，如图 2.3-7 所示。在低温时如果Ⅳ和Ⅴ阶段不出现，此时在Ⅲ阶段就会达到 τ_s。而强加工硬化阶段Ⅱ和Ⅳ通常用斜率 $\theta_{Ⅱ}$ 和 $\theta_{Ⅳ}$ 来表示。实验还发现在Ⅲ阶段，θ 是随着应力如图 2.3-8 所示的线性变化的；而在Ⅴ阶段 θ 与应力的关系则是非线性的。

3）应力-应变和蠕变曲线的平衡　我们应该注意应力-应变曲线中的一些特殊点：下屈服点和Ⅴ阶段 τ_s 时的变形（或在低温时的Ⅲ阶段中）。它们的特点在于加工硬化系数变化为0；而这种情形通常就是所谓的稳态（或静态）变形（如图 2.3-7）。而有些文献也对上屈服点进行了研究，尽管应力和应变及温度的对应关系在某种程度上是类似于低屈服应力，但不会有平衡的位错密度；同时实验条件，如材料的初始位错密度和变形所使用机器的硬度等也会起到极大的作用，这意味着上屈服点并不是在准静态变形情形下得到的。

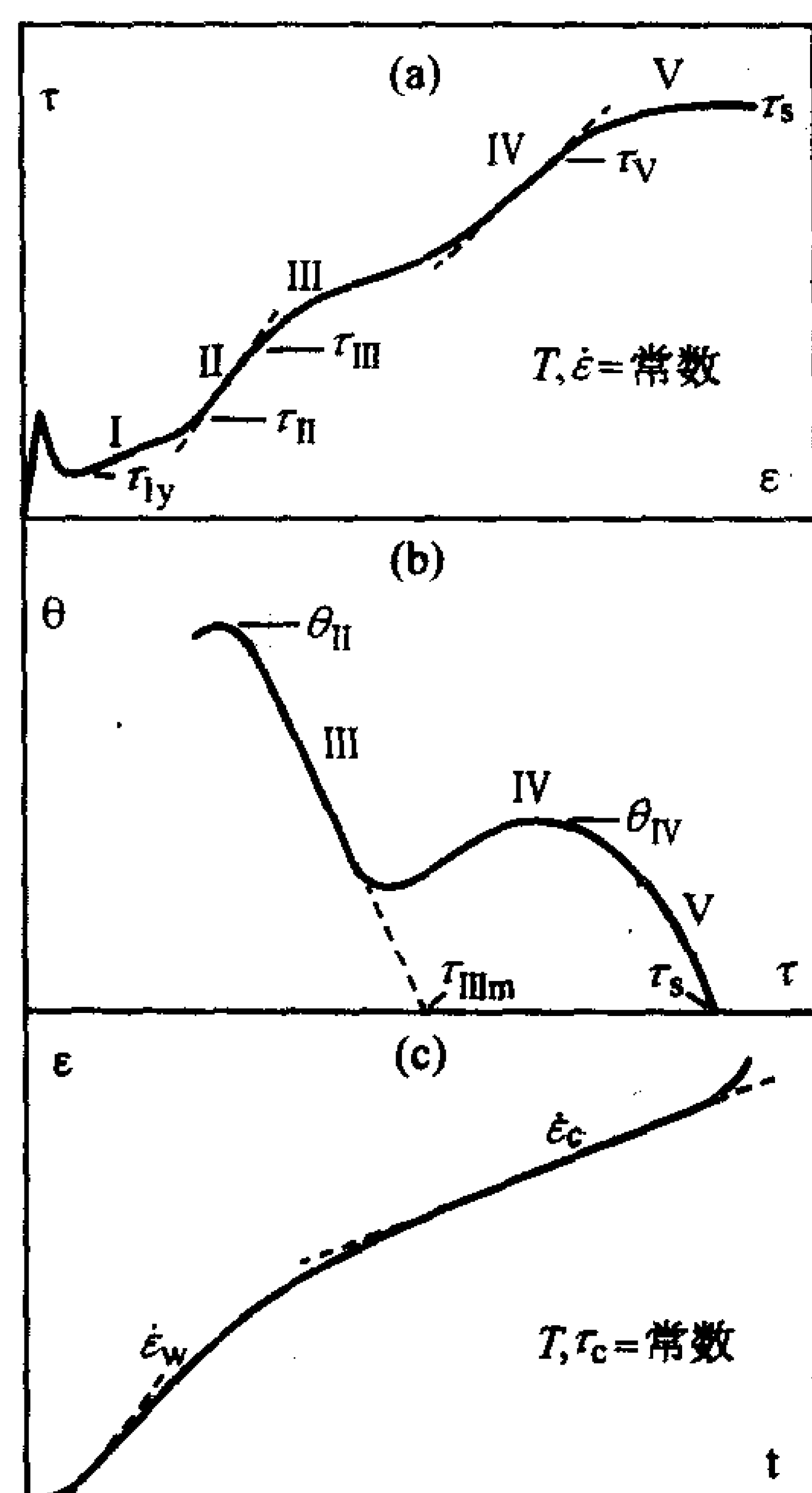


图 2.3-7　半导体单晶材料 <123> 晶向应力应变（a）、加工硬化系数（b）和蠕变曲线（c）示意图

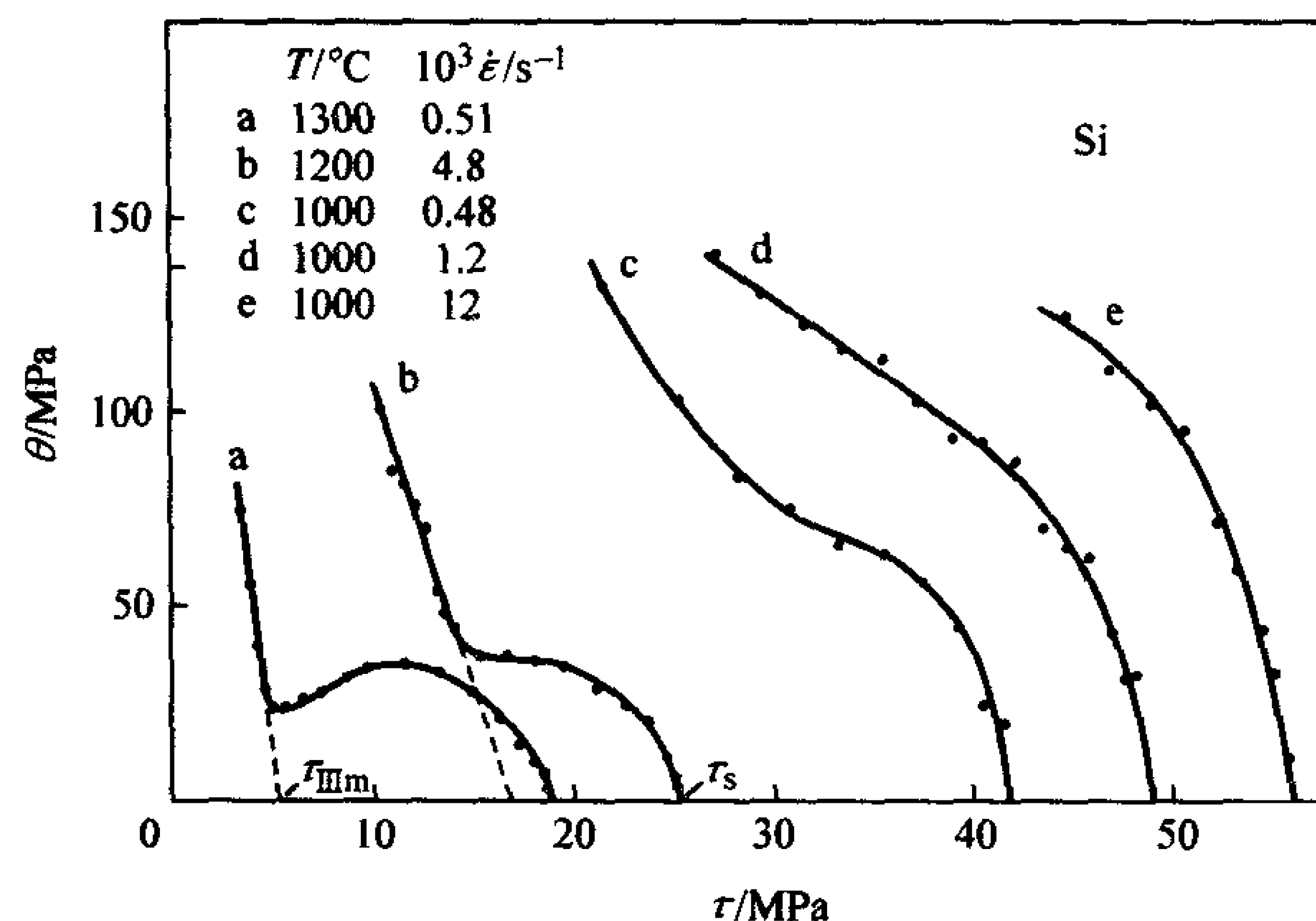


图 2.3-8　Si 单晶 <123> 晶向在Ⅲ阶段加工硬化系数随应力的变化

（2）下屈服点和变形点的蠕变

Alexander 和 Haasen 对硅单晶的下屈服点应力 τ_{1y} 和变形点的蠕变率 $\dot{\varepsilon}_w$ 的关系使用了如下的公式进行表示：

$$\tau_{1y}=C_{1y}\dot{\varepsilon}^{1/(2+m)}\exp\left[\frac{U}{(2+m)\ kT}\right] \tag{2.3-2}$$

$$\dot{\varepsilon}_w=C_w\tau^{(2+m)}\exp\left(-\frac{U}{kT}\right) \tag{2.3-3}$$

$$C_{1y}=C_w^{-1/(2+m)} \tag{2.3-4}$$

其中 U 和 m 是激活能和应变指数。同时，假设位错在 Peierls 势垒中通过形核和弯结的迁移而移动的速度为：

$$v=B\tau_{eff}^m\exp\left(-\frac{U}{kT}\right) \tag{2.3-5}$$

而有效应力 τ_{eff} 则是考虑了位错间的相互作用，与所施加的应力和内应力的关系为：

$$\tau_{eff}=\tau-A\sqrt{N} \tag{2.3-6}$$

公式中的 C_{1y}、C_w、A 和 B 为常数，而 N 为位错密度，k 为 Boltzmann 常数。而对屈服点附近的硅中位错结构的分析，则得出有效应力应该与低屈服应力相当。

式（2.3-2）业已被实验证实，是对高应力下的硅和锗中 60°和螺型位错运动的正确描述；但当低应力和温度接近 $0.75T_m$ 时，位错的激活能依赖于应力，而应力指数则随温度而变化。

表面和预处理情况也会对屈服应力等造成影响。图 2.3-9 表示了硅单晶在不同保护气氛下的低屈服应力。虚线及空心符号表示在 90% N_2 和 10% H_2 气氛下的数据；而实心符号则是氩气保护下的数据。可见，虚线和实心的数据是一致的，而空心符号的数据则有所偏差。这主要是因为在 1 150 到 1 300℃ 之间，样品表面会形成一层可能是 Si_3N_4 的薄膜，造

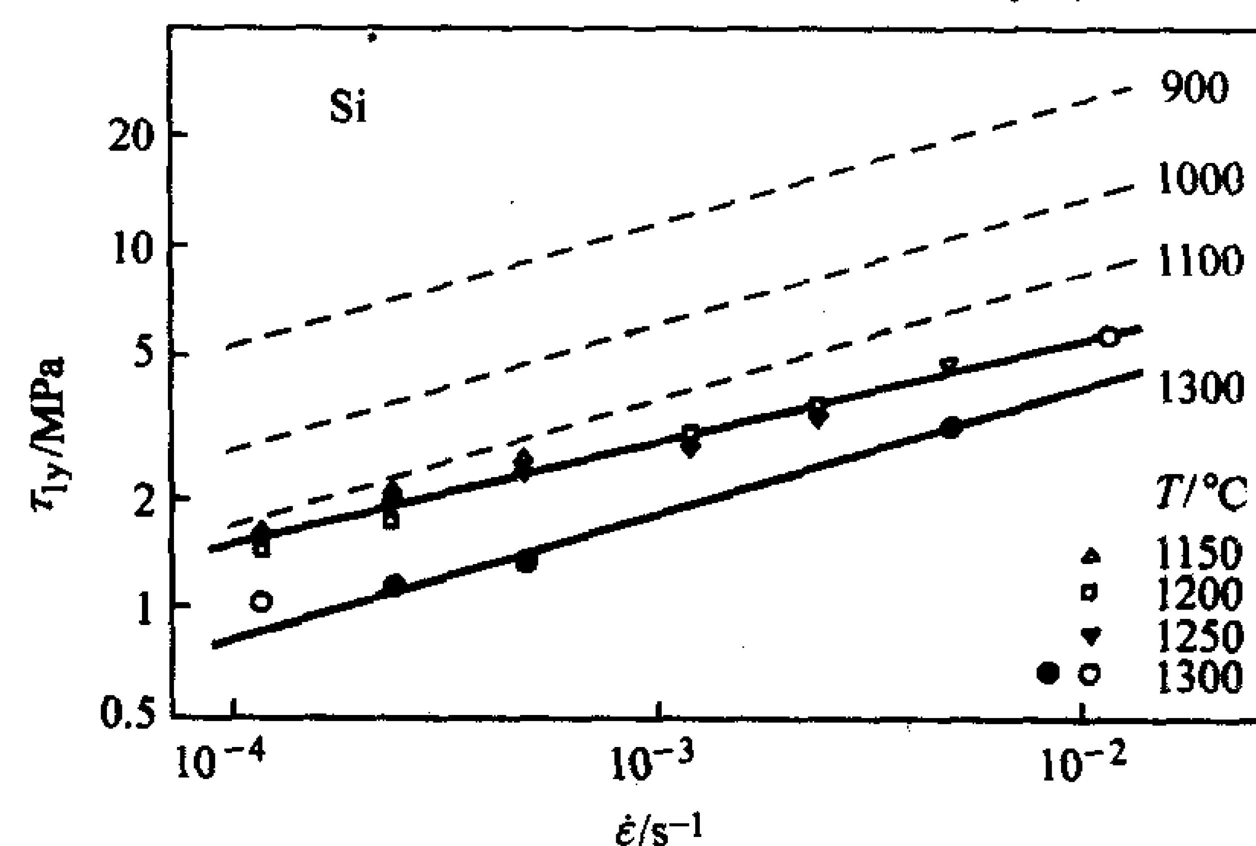


图 2.3-9　氩气（实心）和混合气氛（90% N_2 和 10% H_2，空心和虚线）保护下硅单晶 <123> 晶向的低屈服应力与应变率的双对数图

成表面效应对低屈服应力的影响。Omri 等则研究了以 $\varepsilon=0.07$ 应变预处理的硅单晶的屈服点。根据式（2.3-2），他们得到依赖于应变率的激活能 $U/(2+m)=0.65$ eV，而参数 $(2+m)$ 则会由 600℃的 2.7 变为 750℃的 3.8。因而，可知这与未经预处理的变形特点不同。但是，这种预处理的影响会或多或少的在重掺杂的硅单晶中被抑制或加强。

(3) 动态回复

前面业已描述了蠕变和常应变率实验中的动态回复的基本特性，可以看出：初始的回复阶段只能在应力-应变曲线中被观测到。

1) 初始回复阶段　图 2.3-10 表示了硅单晶稳态流变应力 $\tau_{Ⅲ}$ 在初始回复阶段与应变率的关系。在Ⅲ阶段的回复被认为是扩散控制攀移机制：刃型位错克服滑移势垒在滑移面内通过攀移方式运动并消失，从而释放内应力。攀移过程包括了发射或吸收点缺陷，同时攀移为点缺陷的自扩散所控制。而 Alexander 则认为在Ⅲ阶段的动态回复是滑移和交滑移的混合过程，在这一过程中，非平衡点缺陷在先前的变形中被吸收，而且这一过程的激活能是双空位迁移能和位错滑移激活能的总和。但后者却无法解释位错滑移激活能在下屈服点与应力的依赖关系。无论如何，如果要了解回复和加工硬化行为，模型都要引入亚结构。

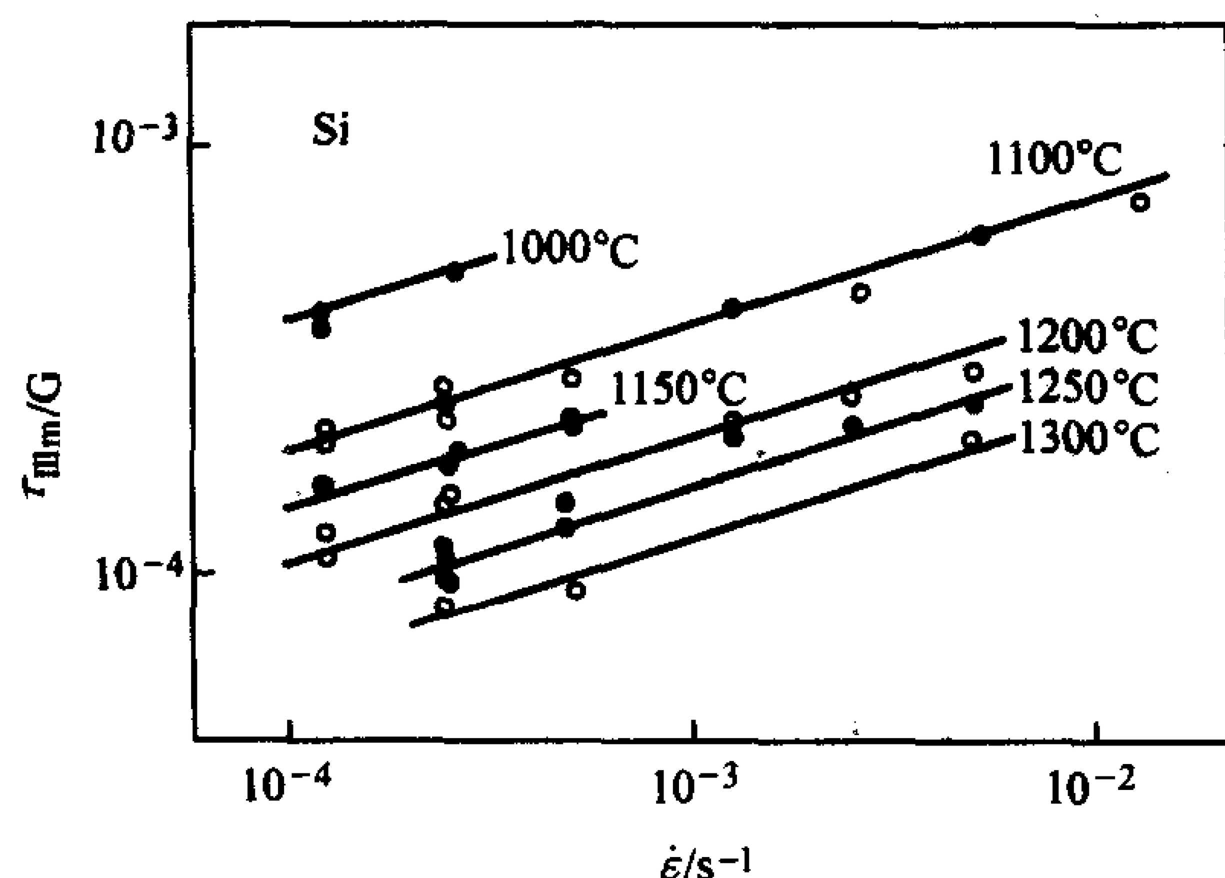


图 2.3-10　硅单晶 <123> 晶向在Ⅲ阶段的稳态流变应力与应变率的双对数图

2) 二次回复阶段　Siethoff 认为，在Ⅴ阶段的交滑移过程也许就是二次回复过程，同时得到：

$$\tau=\tau_0\left(1+\frac{kT}{E_Q^0}\ln\frac{\dot{\varepsilon}}{\dot{\varepsilon}_0}\right) \tag{2.3-7}$$

$$E_Q^0=\frac{G^2b^4}{1\,875\gamma}\left[\ln\left(\frac{Gb}{14.5\gamma}\right)\right]^{1/2} \tag{2.3-8}$$

可见，最大交滑移能 E_Q^0 与 Burgers 矢量直接相关，并对应着半导体材料在高温下的二次回复阶段。

3) 稳态蠕变　上文曾指出应力应变曲线和蠕变曲线达到稳态时遵循相同的回复过程。硅单晶的高温蠕变遵循着式(2.3-7)，而且在单对数坐标的应力-应变图中具有直线特征。图 2.3-11 中的实线表示的就是这一行为。

3.3　掺杂效应

(1) 轻掺杂杂质对塑性变形的影响

杂质对机械强度的影响，从 CZ 硅片抗热应力引起的位错滑移和翘曲的能力比 FZ 硅片大的多就可以看出。这种差异是 CZ 硅中含量高达 $10^{18}/cm^3$ 数量级的氧原子与位错的相互作用造成的。Sumino 等用原位 X 射线术观测了位错随周围杂质气团的发展以及杂质对位错钉扎能力的影响。他们发现，在掺有各种杂质的硅晶体中引入单个位错并热处理时，位错开始运动所需的应力与热处理温度和时间有关。

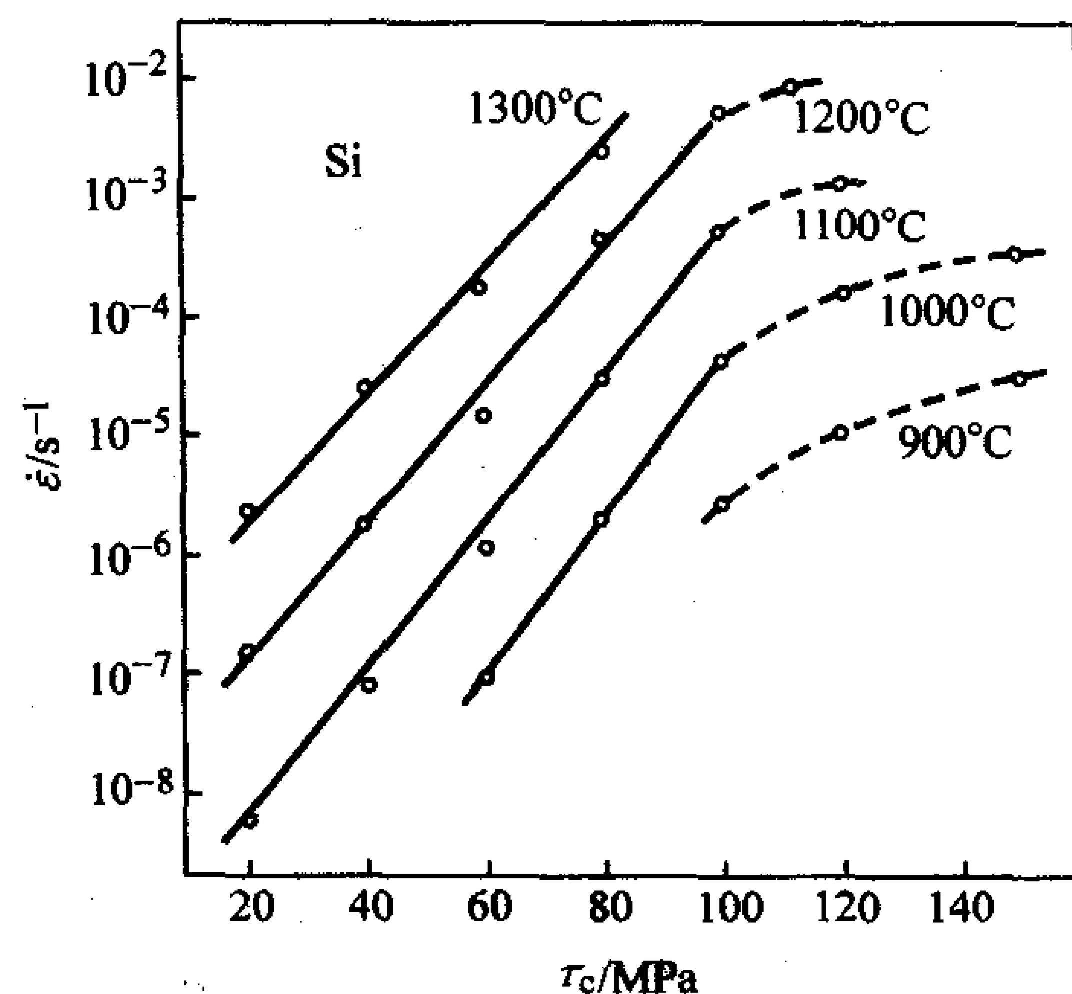


图 2.3-11　硅单晶 <111> 晶向稳态蠕变时蠕变率与应力关系的单对数图

氧、氮和碳等轻杂质具有较强的钉扎位错能力。热处理时间不是很长时，对位错的钉扎能力大体随着热处理时间成线性增加。如果杂质种类和浓度一定，在任一温度下测得的钉扎力仅跟聚集在位错单位长度上的杂质原子的数目有关。因此，杂质浓度较高，以及热处理温度较高时，钉扎力的增长速率也较高。当氮浓度为 $5.4\times10^{15}/cm^3$ 时，氮原子的钉扎能力大致相当于氧浓度为 $1.5\times10^{17}/cm^3$ 时的。可见，氮比氧具有更强的钉扎位错能力。磷的钉扎能力也比氧强，不过磷的扩散系数过小，比氧的扩散系数小三个数量级，因此，它的钉扎效应未能引起研究者的关注。而对于碳的作用，则有着不同的看法。

Imai 和 Sumino 用数值法求解杂质在位错应力场的扩散问题，得出聚集于位错单位长度上的杂质原子数与杂质种类、浓度以及热处理时间和温度之间的关系。从钉扎能力与聚集于位错上的杂质原子数的关系来看，钉扎力不是来自于单个杂质原子沿位错的弥散分布，而可能是来源于杂质原子沿位错成团所造成的增强错配引起的大的弹性交互作用。也有可能，位错与杂质原子或杂质原子团之间的静电交互作用在钉扎效应中扮了重要角色。

无位错 FZ 硅和 CZ 硅的应力-应变特性十分相似；但是，当晶体本身含有位错时，则有很大的差异。K.Sumino 对比了这两种有位错晶体的应力-应变曲线，指出跟 FZ 硅相比，CZ 硅的应力-应变曲线的特点是具有较高的上屈服应力和大的应力降落（从上屈服点至下屈服点）。而这是低位错密度晶体在形变中的特征，可见 CZ 硅的屈服行为与位错密度低两个数量级的 FZ 硅相当。这也就暗示着 CZ 硅中的位错只有不到 1%起着位错增殖中心的作用，这是因为 CZ 硅中的位错在形变之前已被氧原子或氧的复合物所钉扎住，从而失去增殖的能力。同时他也指出，两种晶体中的有效剪切应力几乎相等，这表明两种晶体的力学行为的差异不是由于位错迁移率的不同，而是由于杂质原子对位错的钉扎作用不同造成的。

硅晶体的塑性变形与含氧量也有很大的关系，当初始位错密度一定时，上屈服应力随氧浓度的增加而线性增加。氧浓度较低（$14\times10^{17}/cm^3$）的晶体的强度则随位错密度以及形变温度的降低而快速增加。含氧量为 $10^{17}/cm^3$ 数量级的位错密度较高的晶体，在高温时，氧原子的强化作用也相应很小。当表面粗糙时，即使晶体不含位错，也可以观察到两种晶体在形变上的差异。对比两种无位错晶体的屈服应力与加载速率的关系，Sumino 发现表面经化学抛光的两种晶体，在很大加载速率范围内强度上差异很小。然而，用金刚砂研磨后，在低加载速率下，CZ 硅的屈服应力比 FZ 硅的大。我们

知道，表面损伤处是位错优先产生的中心。在位错产生初期，位错的运动受到线张力以及位错间交互作用的阻碍，这使氧原子可以聚集在位错上。但当加载速率大于氧原子钉扎能力的增长速率时，则产生的位错大多数未被钉扎，因而此时CZ的屈服应力与FZ的一样。相反，当加载速率小于氧原子钉扎能力的增长速率时，CZ硅中的位错被有效的钉扎住了，使其屈服应力高于FZ硅。在表面化学抛光的晶体中，由于抛光的表面没有易于产生位错的大的不规则处，一切产生位错的过程都是在高应力下进行的，以致于位错被杂质钉扎的过程无法发生。这使得两种晶体具有相近的屈服强度。

氧沉淀同样会对硅单晶塑性变形产生影响。CZ硅晶体经900～1 100℃温度的热处理，会产生大量的氧沉淀，因此来源于固溶氧原子的高机械强度丧失。通常，随沉淀产生的同时，伴随沉淀会产生非本征层错和冲出位错环。含高密度位错源的硅晶体，具有类似于软晶体的应力-应变特征。经1 200℃以上高温处理，沉淀溶解，缺陷收缩，氧原子又可产生钉扎作用，晶体恢复高强度。而经1 300℃热处理后，氧以间隙物形式分布于单晶中，不论氧浓度如何，对高温拉伸性能无任何影响。可见，这种应力-应变行为的变化是位错源密度减少而引起的。因此，作为位错源缺陷的产生是造成晶体软化的起因。

上屈服应力与层错密度间的关系在沉淀和融解过程中是不一样的，这说明层错不是导致晶体软化的位错源。上屈服应力会随着沉淀下来的氧量的增加而迅速下降，这一现象是无法用沉淀粒子作为位错产生中心的模型来解释的。Yonenaga和Sumino认为，此时冲出型位错才是主要的位错源；在沉淀产生后期，冲出型位错密度变高，而溶解于基体的氧原子已经很少了。因此，大多数冲出型位错没有受到氧原子的钉扎，反而成了新的位错源，造成晶体的软化。

(2) 重掺硅单晶的变形特性

当掺杂浓度高达10^{19}～$10^{20}/cm^3$时，电活性杂质与相反电性的位错的强烈的相互作用就会体现出来。图2.3-12表示了重掺硅单晶在应变率为$4.8\times10^{-4}/s$时的应力应变曲线中出现的锯齿状起伏，这是由于大量位错从杂质气氛中脱离出来时产生的。应力应变曲线中出现的锯齿状起伏有两种，一种是在屈服区域（a和b），另一种出现在应力-应变曲线的Ⅰ和Ⅱ阶段之间。第一种情况是与位错在样品中的分布相关的，如图2.3-13所示。位错密度由零陡然升至一个很高的值，并且在变形过程中沿着样品迁移的奇特结构就是所谓的Lüders带。带的前沿是由相同的纯刃型位错构成的多边形的弯结带，并且垂直于主要的滑移平面，导致宏观样品上的

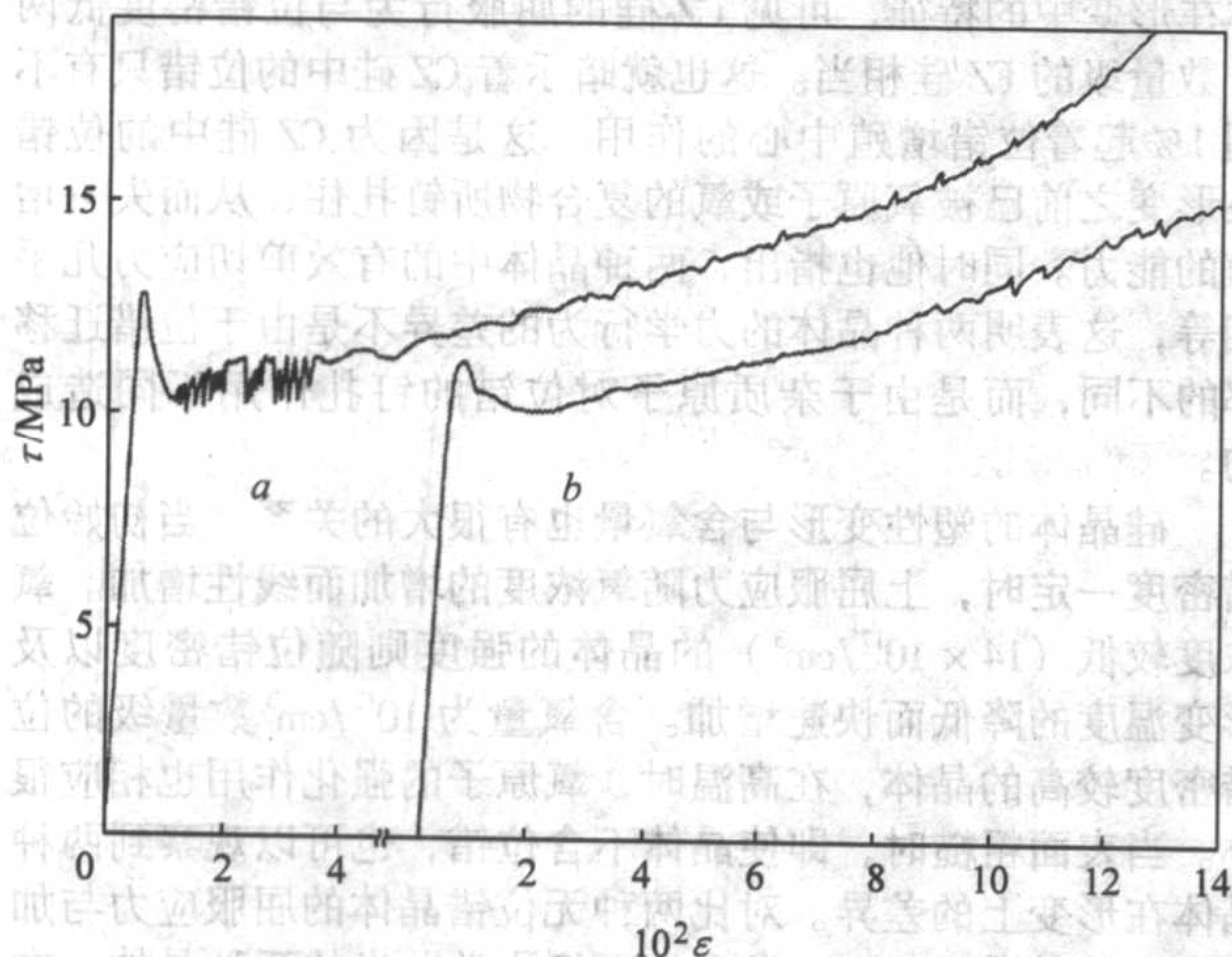
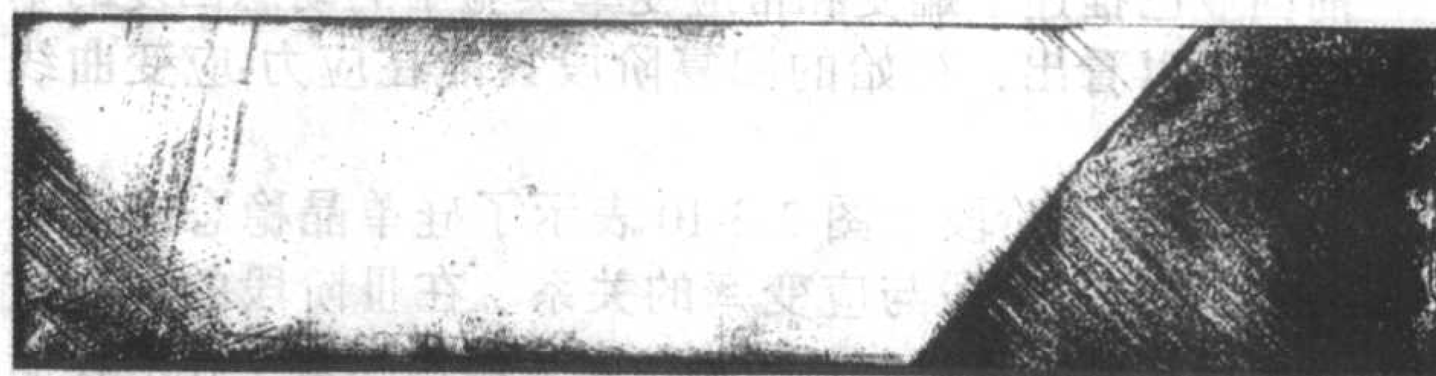
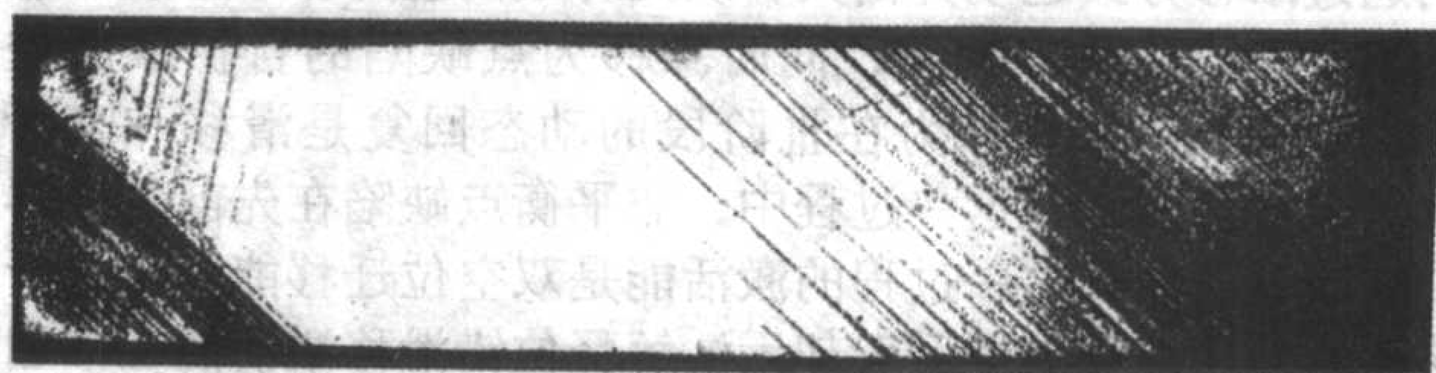


图2.3-12　重掺B硅单晶（$p=1.25\times10^{20}\ cm^{-3}$）在屈服区域和Ⅰ阶段的应力-应变曲线

弯折。这种K型Lüders带的移动是不连续的，从而产生图2.3-12中应力-应变曲线的应力起伏。偶尔，在相同的掺杂和变形情况下，也会发展成另一种G型的Lüders带。此时，带的前沿或多或少的更加平行于主滑移面（图2.3-12中曲线a），同时在低屈服应力下移动也是连续性的，从而没有锯齿状波动的出现（图2.3-12中曲线b）。而在此后阶段的应力的波折还没有进一步的研究。



(a) 重掺P($P=10^{20}/cm^3$)硅单晶在1 000℃, K型Lüders带



(b) 重掺B硅单晶($p=1.25\times10^{20}/cm^3$)在1 100℃的G型Lüders带

图2.3-13　硅单晶（111）面低屈服点的位错分布

高温时硅单晶的塑性变形是十分复杂的，影响因素很多。不仅单晶的晶向会影响应力-应变曲线；单晶表面光滑与否或是损伤情况、有无位错及位错密度、杂质种类含量及存在形态和加载形式都会对硅单晶的塑性变形产生影响。

4　器件工艺中的热应力及硅片翘曲

在集成电路器件的制造中，硅单晶材料不可避免地要经过不同的热处理工艺，而这些热循环过程很容易在硅片内部产生热应力。设想把硅片从室温下推入高温炉里时，由于存在着很大的温度差，在硅片上必然形成一个瞬间的温度梯度，而这样的一个温度梯度往往会在硅片上产生足够大的热应力，从而引起位错等缺陷。这些位错的产生及其滑移而形成的滑移带，会降低硅片的力学性能，引起硅片的翘曲。我们知道，翘曲的产生对于光刻工艺十分不利，它会造成图形套刻不准，而位错的存在则又会导致电路与器件的失效。

可见，对于硅片受热或冷却过程中热应力分布的掌握，可以很大程度上避免在硅片热处理过程中引入过大的热应力，降低或阻止造成硅片变形或产生位错。因此，对于硅片在受热过程中的力学行为就值得我们去重视和了解。

4.1　硅片热应力分布的影响因素

(1) 保护气体压力和温度差对热应力分布的影响

众所周知，硅片的翘曲是由于集成电路工艺热处理中的热应力或热处理过程中氧沉淀的生成而造成的。因此对硅片翘曲和热应力的研究，也主要是通过模拟硅片在热处理炉中的高温热退火过程进行。同生产工艺一样，热处理要在保护气氛下进行，保护气体通常为氮气或氩气。图2.3-14给出了硅片热处理的装置和硅片摆放示意图，一般硅片都被竖直放在石英舟内，并与热处理炉轴线垂直。除了考虑到耗费和可靠性，这样的模拟方法还保证了每片硅片厚度的均一性，以及硅片与硅片之间距离的均一性。

事实上，对于相同的条件得到的硅片而言，最重要的影响因素是热处理过程中硅片上温度的分布以及保护气体对硅片以及炉体内部产生的气压。保护气体的气流进入炉管时，气体把硅片包裹在一个圆柱体里，而气体则停留在硅片之间。相对于硅片的直径来讲，硅片之间的距离是很小的，所

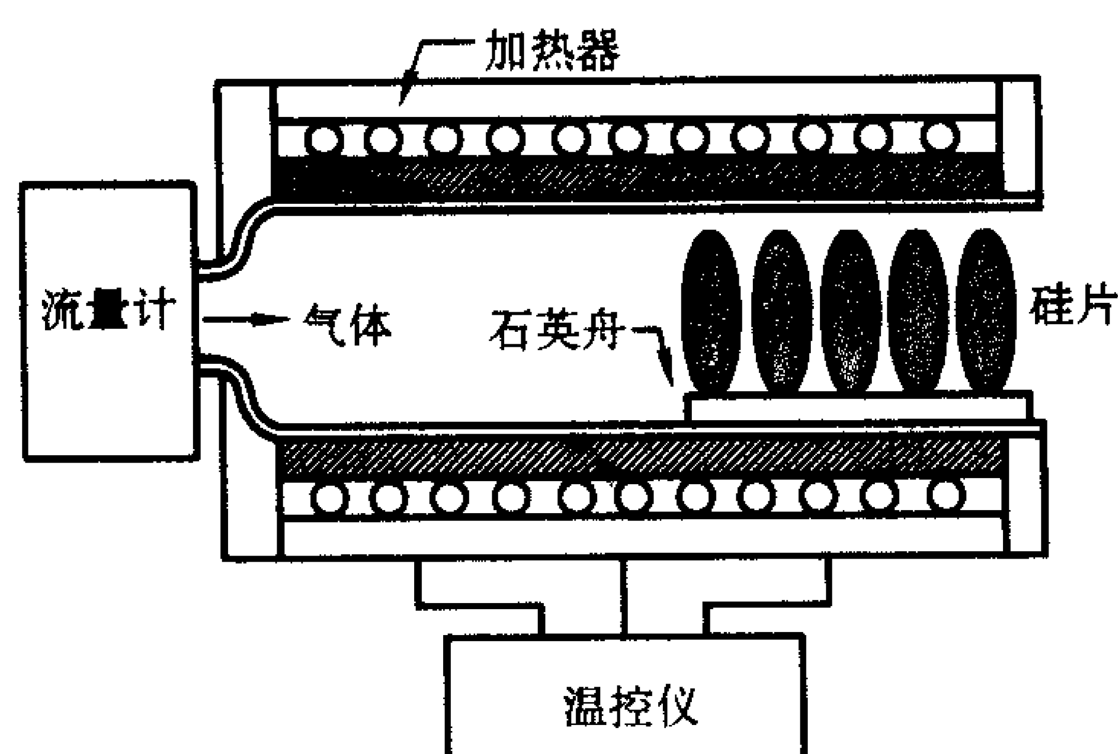


图 2.3-14 硅片热处理装置及硅片摆放示意图

以停留在硅片中的气体不存在被新进来的气体所交换的问题。因此，气流对硅片的温度几乎是没有影响的。这样，对硅片热处理而言，所需要考虑的只是硅片上的温度分布了。而温度的分布则与硅片进出热处理炉的过程的快慢以及进出时温度的差异具有很大的关系。

(2) 硅片直径与厚度比对热应力分布的影响

在一定的直径下，硅片越厚，则越不容易产生变形。这是因为硅片厚度越大，它所具有的热容量也越大，从而使硅片上所产生的温度梯度变小，温度分布更趋于均匀一致。显而易见，如果是一个很厚的单晶锭，要使它产生翘曲，是很不容易也几乎是不可能的。所以在工业上，为了防止硅片翘曲，有时候会采取增加硅片厚度的办法。但这种方法的缺点是会产生很大的浪费，使得相同长度的硅单晶锭所切的硅片数量大大减少，这对生产来讲是不可取的。但是，随着硅片直径的不断增加，在硅片的机械强度不能大幅度提高的情况下，为了防止翘曲，人们只能采用增加硅片厚度的方法，表 2.3-9 给出了硅片随直径的增大厚度变化的情况。

表 2.3-9 不同直径硅片的厚度

硅片直径/mm	300	200	150	125	100
硅片厚度/μm	775	725	675	525	375

(3) 氧沉淀对热应力分布的影响

一般情况下，氧沉淀在硅中以过饱和间隙氧的形式存在。但在热处理条件下，氧有可能会聚集成团，生成氧沉淀。一般认为，细小的氧沉淀能够抑制位错和滑移，并且减小硅片翘曲的产生。但是当氧沉淀长大到一定的尺寸时，会发射出大量的自间隙硅原子，导致位错、层错等缺陷。而位错在热应力的作用下会发生滑移，产生滑移带和滑移花样，从而降低硅片的力学性能，引起翘曲。

此外，氧沉淀的浓度还影响着硅片的临界应力。图 2.3-15 给出了不同氧沉淀浓度的硅片在不同温度下的临界应力。可见，在相同温度下，氧浓度越高，临界应力越小，即硅片抵抗翘曲的能力越弱；而在相同的氧浓度下，温度越高，临界应力也越小，也就是说高温下硅片易翘曲。而图 2.3-16 则是不同的氧沉淀量随热处理时间对硅片翘曲的影响。从图中可以看到，随着氧沉淀浓度的增加，硅片的翘曲度增加；而且热处理时间越长，其翘曲度也变得越大。

事实上，实验中 Yasutake 等也发现氧沉淀的大小对硅片的力学性能和翘曲有很大的影响。K.Sueoka 等的研究则表明：氧沉淀的形态会随热处理温度的不同从板状变到多面体，而且氧沉淀尺寸越大，硅片临界应力越小；当氧沉淀尺寸大于 200 nm 时，会产生滑移位错；小于 200 nm 时，可以不考虑氧沉淀密度的因素，不会在实际生产中产生影响。而且他们发现滑移位错只在没有产生冲出型位错的板状氧沉淀中发生。这些现象都证明了氧沉淀可能成为位错的形核中心，

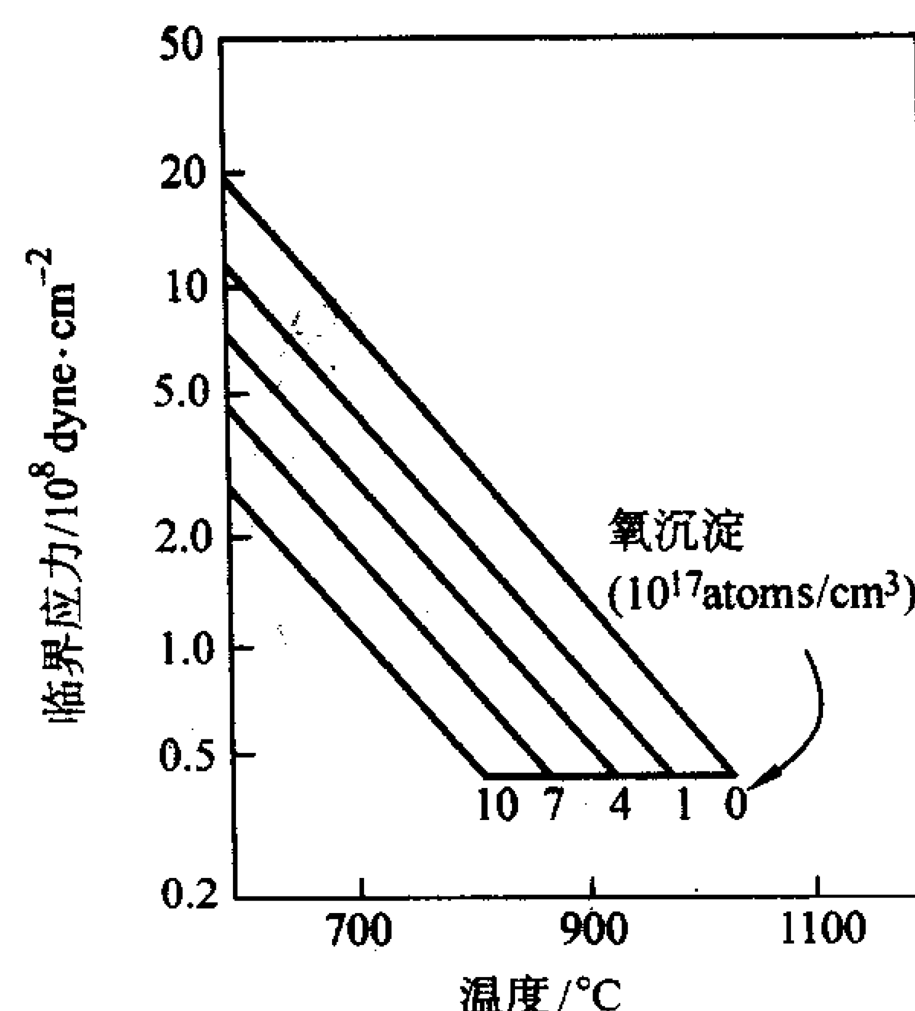


图 2.3-15 不同氧沉淀浓度的硅片的临界应力

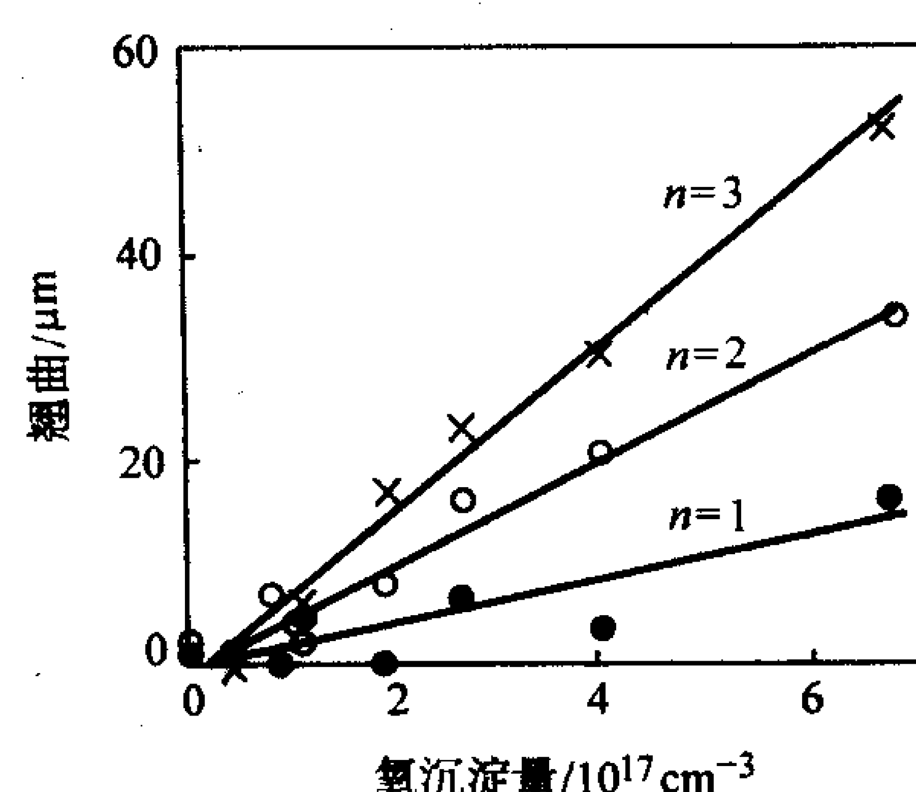


图 2.3-16 不同氧沉淀量随热处理时间对硅片翘曲的影响

产生更多的位错，从而降低硅片的力学性能。当然，氧在硅中表现得十分复杂，它既有提高的力学性能的一面，又会有诱生位错降低机械强度的一面，对于氧在硅中的行为，将在第 8 章中详细论述。

4.2 硅片热处理中的热应力分布

从上节的分析可知，硅片厚度和硅片中的缺陷是影响其在热处理中翘曲和热应力的两个主要因素。但是对一般的模拟和实际工艺而言，热处理温度和温度梯度对于硅片热应力的分布具有更为重要的影响。因而，人们对硅片的温度及温度梯度进行了大量的实验及理论研究。在对硅片上的热应力分布进行模拟时，常假定硅片是一个各向同性的弹性体，这样就可以把硅片的热应力分布看成是一个平面应力问题。其平面应力组元 $\{\sigma\} = \{\sigma_{xx}, \sigma_{yy}, \sigma_{xz}\}^T$，用三角常应变元的有限元方法可以计算得到。图 2.3-17 是对半片硅片（另外一半是对应的）的有限元划分示意图，其中的每一个三角单元都可以用温度模型计算得到三个结点的温度，比如 T_{wi}，T_{wj} 和 T_{wk}，则三角单元的温度为 1/3（$T_{wi}+T_{wj}+T_{wk}$）。利用这个温度与任一标准温度的偏差，即可获得初始应变。用这个初始应变条件和每个单元必须遵循的平衡条件，以及边界条件即可推导出硅片上各点的热应力分布。与此同时，从得到的热应力分布，我们就可以计算硅片上由于热应力的引入位错的分布了。

S.M.Hu 最早研究硅片热处理过程中的温度分布。他在真空条件下热处理硅片，通过对硅片中心翘曲度的测量来获得硅片径向上的温度分布以及热应力对硅片翘曲的影响。但是他认为温度对硅片的影响来自硅片本身的辐射、硅片之间的辐射交换以及硅片内部的热扩散三个方面，忽略了炉管壁也是一个热扩散源。之后，为了改进 Hu 的理论，以及建立

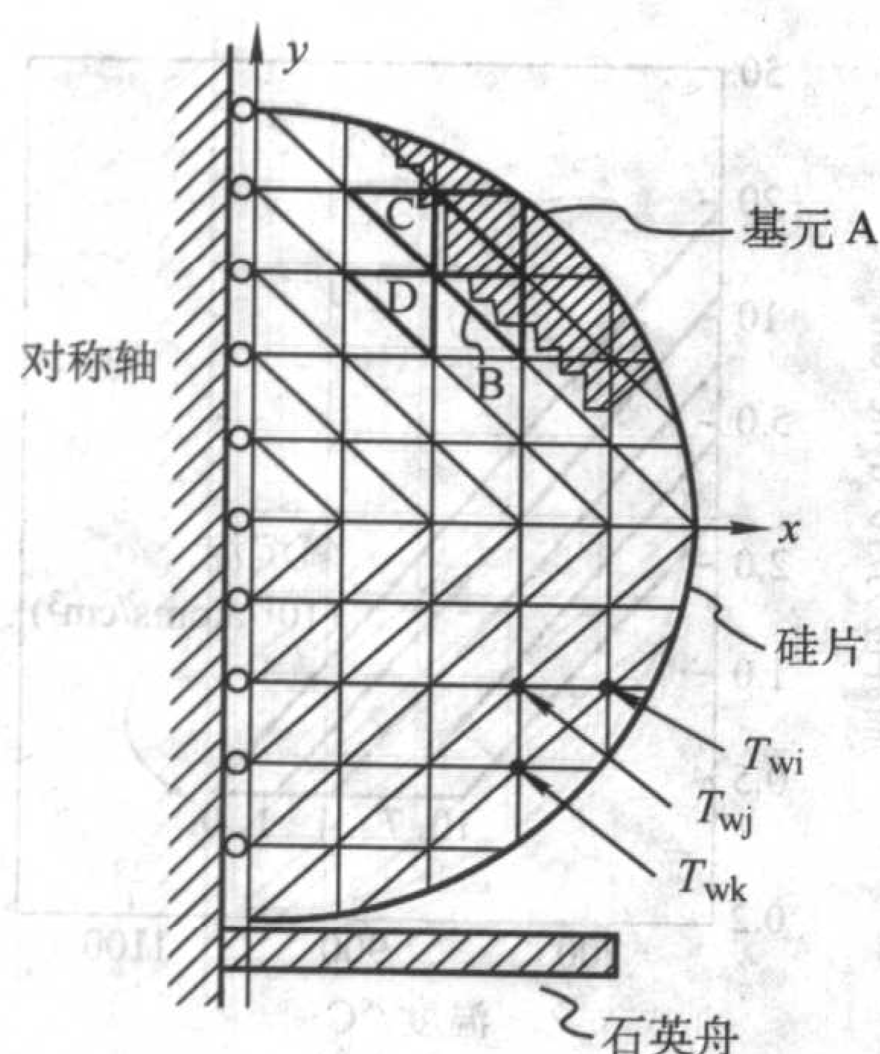
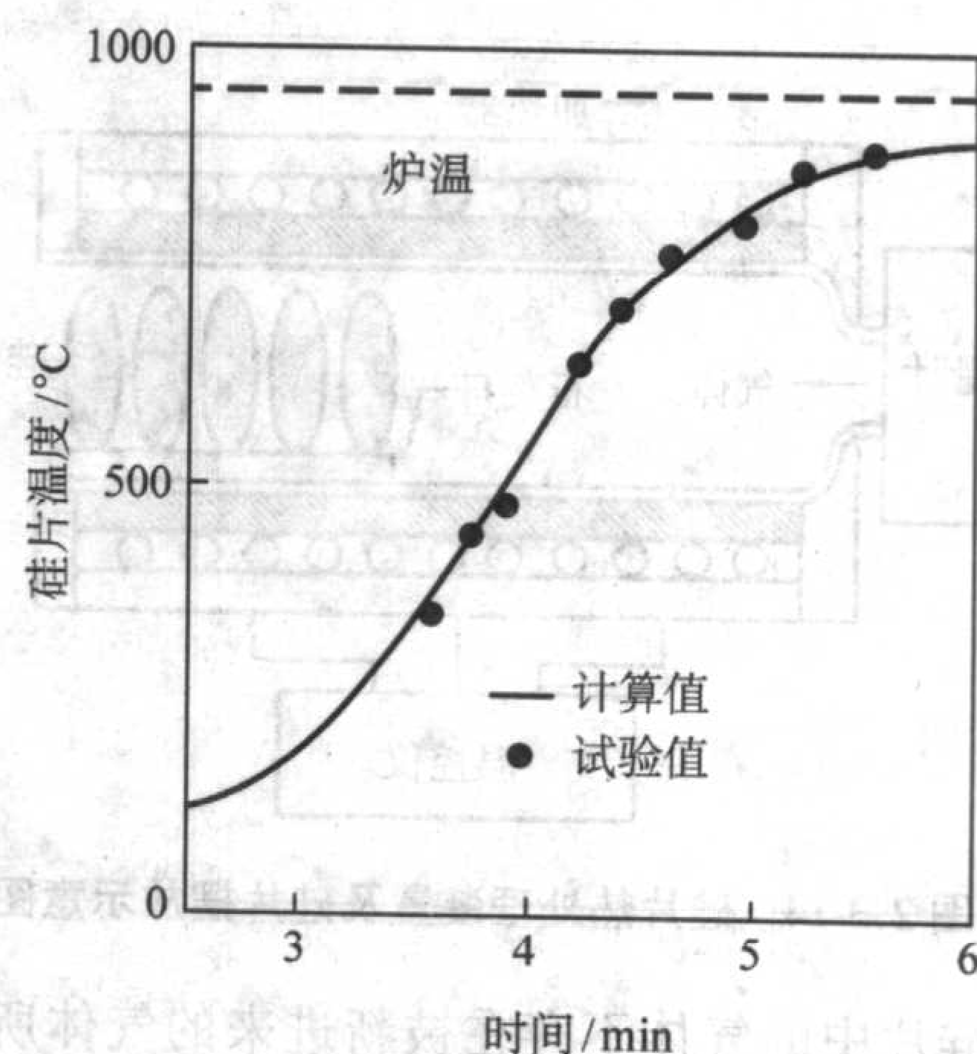


图 2.3-17 硅片热应力分布模拟有限元划分示意图

一个实际的模拟过程，Matsuba 等提出了一个硅片在炉中稳定状态下的温度分布模型。但是，不论 Hu 还是 Matsuba 等，都把硅片上温度的分布看成理想状态。事实上，在硅片进炉的过程中温度的分布并不是对称的，而是沿石英舟支撑物呈现圆周状分布的。因此在这一过程中必须考虑到石英舟上热量的辐射作用；硅片瞬间温度分布由热处理过程中的炉温 T_f、进炉速度 v 和硅片间距 H 等参数决定。这些参数的研究对硅片温度分布以及由于温度梯度产生的应力和缺陷非常重要。

图 2.3-18 是硅片中心温度随时间变化的模拟曲线和实际情况的对比。模拟情况下，硅片之间的间距为 $H = 9.2$ mm，炉温为 $T_f = 950$℃，进炉的速率为 $v = 20$ cm/min，模拟的结果与实际测得的曲线一致。而图 2.3-19 则表示不同时间 152.4 mm（6 in）硅片中轴线方向上温度分布的模拟和实测结果，这些数据显示，硅片最上方存在最大的温度梯度，热应力也会最大，而位错则很容易在这个部位产生。从上面的模拟和实际测量值的对比我们也可以看出，硅片的温度梯度是在进出炉的瞬间过程中产生的。而且，还可以看出与石英舟接触的地方的热梯度最小，离石英舟越远，热梯度越大。而温度梯度的产生及其分布是与硅片本身与石英舟的热容比有很大关系的。所以，为了保证硅片温度分布的均匀性，应该尽可能的降低石英舟的热容。

在实际器件工艺中，热场不均匀分布，会导致硅片上热梯度的存在，最终导致热应力的产生。很显然，要减小热应力，使其不会超过硅片的临界应力导致位错生成，最关键的就是减小硅片上的温度梯度，也就是使硅片尽量的受热均匀，并减少热冲击。



温度	速度	间距
950°C	20cm/min	9.2mm

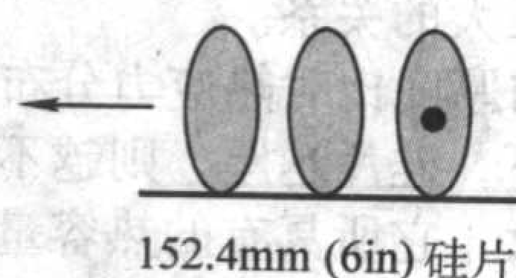
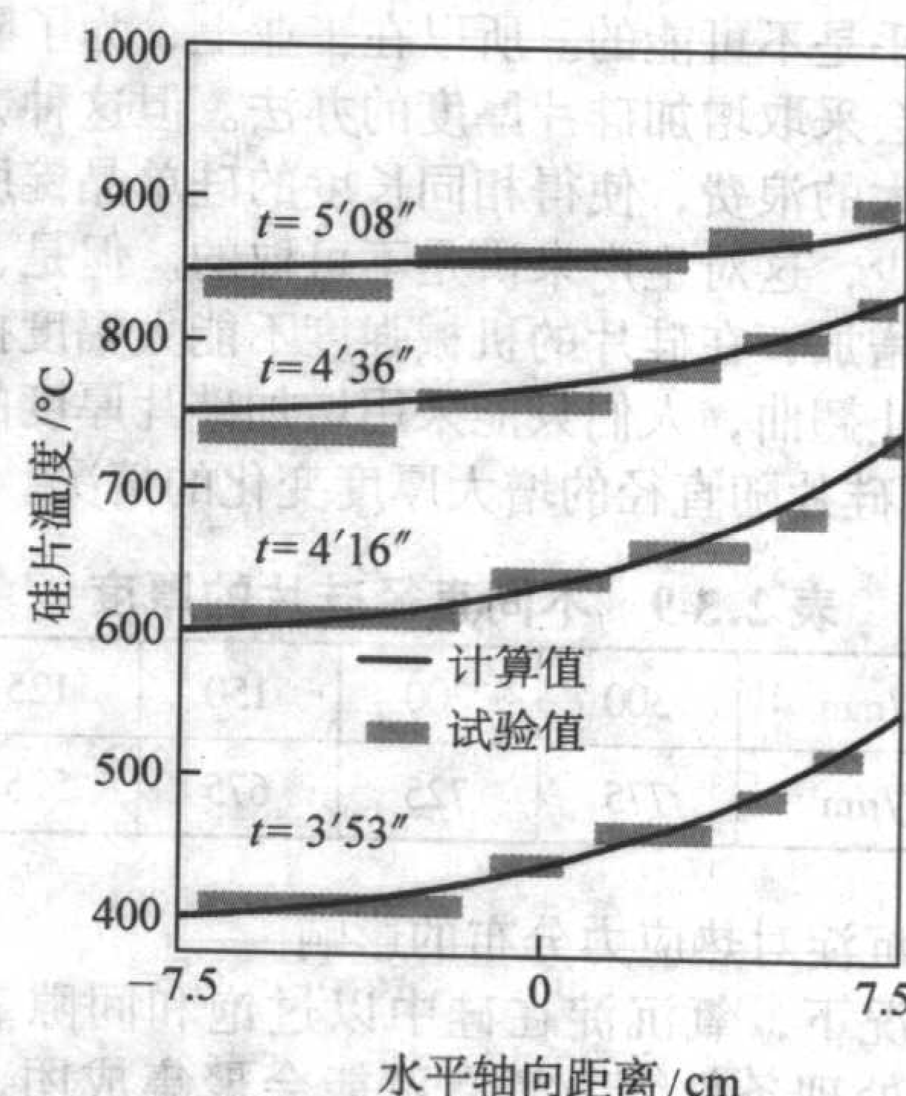


图 2.3-18 硅片中心温度随时间变化的模拟曲线和实际情况的对比



温度	速度	间距
950°C	20cm/min	9.2mm

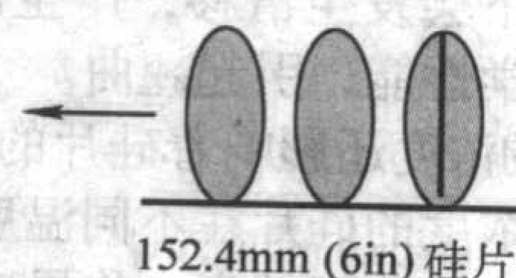


图 2.3-19 不同时间下 152.4 mm（6 in）硅片轴线方向上温度分布的模拟和实测结果

编写：李东升（浙江大学）

第 4 章　硅晶体表面性质

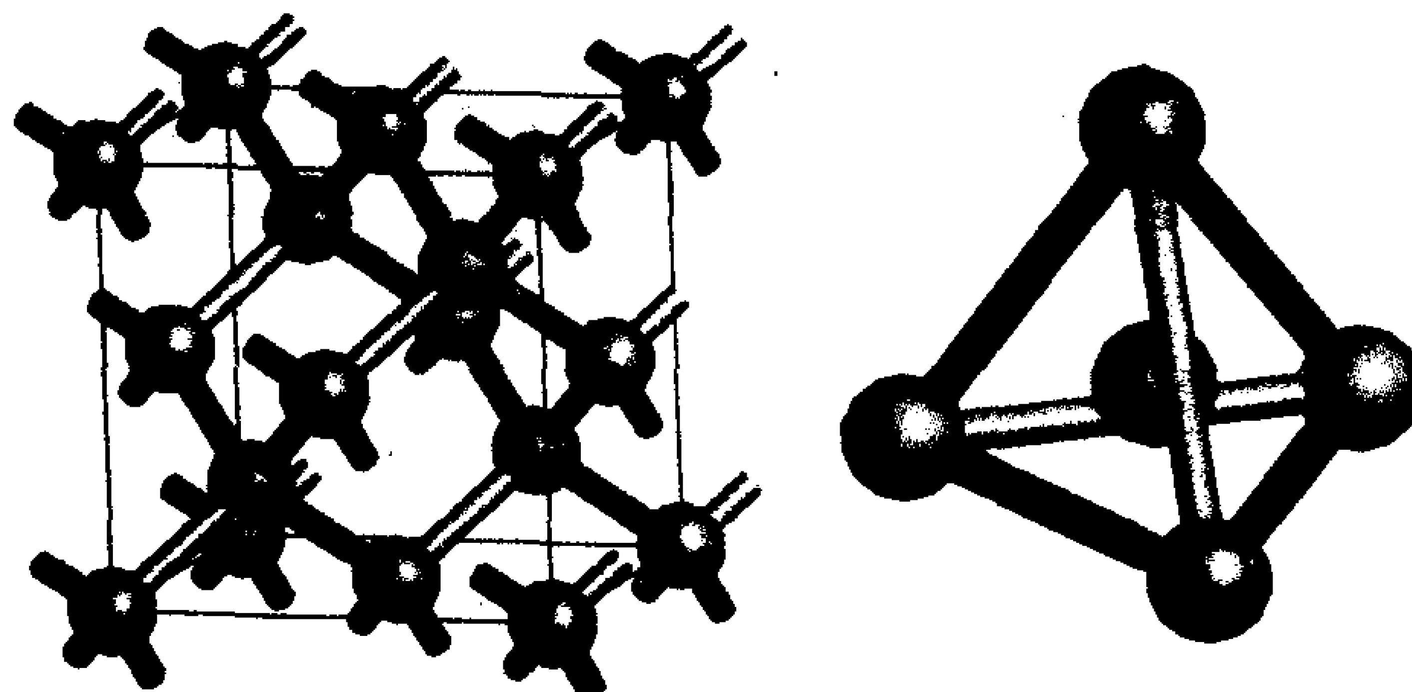
硅材料是当今微电子工业最重要和应用最广泛的半导体原材料，目前 90% 以上的半导体电子器件使用的都是硅单晶。随着现代半导体工艺的进步，以硅为基础的半导体器件尺寸越来越小，也越来越薄，目前的特征线宽已经达到几十纳米的级别，这就对硅单晶的性质如力学性能、缺陷密度、杂质浓度等提出了更高的要求。特别是硅基半导体器件都是在硅表面制造而成，所以硅单晶的表面性质在半导体工艺中具有重要的意义和作用。集成电路工艺对硅表面性能的要求主要包括表面平整度、粗糙度、金属密度、颗粒密度、表面缺陷密度和大小等。

在硅单晶片的制造过程中，硅单晶的拉制、切片、研磨、腐蚀、抛光等工序都会对硅片的表面状态造成影响，而不同的硅表面状态对于外延、表面钝化、后期集成电路的制备亦会产生决定性的影响和作用。半导体器件中存在的各种界面如肖特基二极管中硅与金属的界面、金属氧化物半导体器件（MOS）中硅与氧化层界面等对器件的性能影响很大。还有一些半导体器件如表面发光器件、电荷耦合器件等更是利用硅的表面效应制得。因此对硅表面性质的研究具有重要的意义。特别是对半导体器件性能的改进、稳定性的增强以及新型器件的设计都具有重要的作用。此外，从基础研究的角度来说，硅单晶片由于具有较大的单晶尺寸，较好的表面清洁度以及便于处理等优点，常被用来作为各种表面研究工作的对象和衬底材料，如表面催化反应、表面腐蚀、污染、薄膜生长、纳米材料生长以及摩擦、真空等方面。所以硅的表面研究也具有重要的科研意义。

本章将重点阐述硅表面的一些基本性质。首先介绍了硅表面的概念及硅各种晶向的原子结构；然后以硅表面原子结构为基础，介绍了硅的表面态的形成、特点以及硅表面的各种再构形式；其次介绍了硅表面最常见的硅与二氧化硅的界面层及界面电荷；最后对硅表面的钝化工艺和常用的钝化膜材料如二氧化硅、氮化硅等进行了描述。

1　硅晶体的表面

硅晶体的表面性质从本质上说主要决定于它的表面微观原子结构。硅单晶体与其他四族元素（碳、锗）一样，属于金刚石结构。完美硅晶体原子结构如图 2.4-1a 所示，可以看出它是由两组面心立方结构的硅原子沿体对角线方向移动 1/4 长度套构而成。这种结构的硅晶体的特点是每一个硅原子都有 4 个最近邻的硅原子，形成一个正四面体的 4 个顶点，见图 2.4-1b。



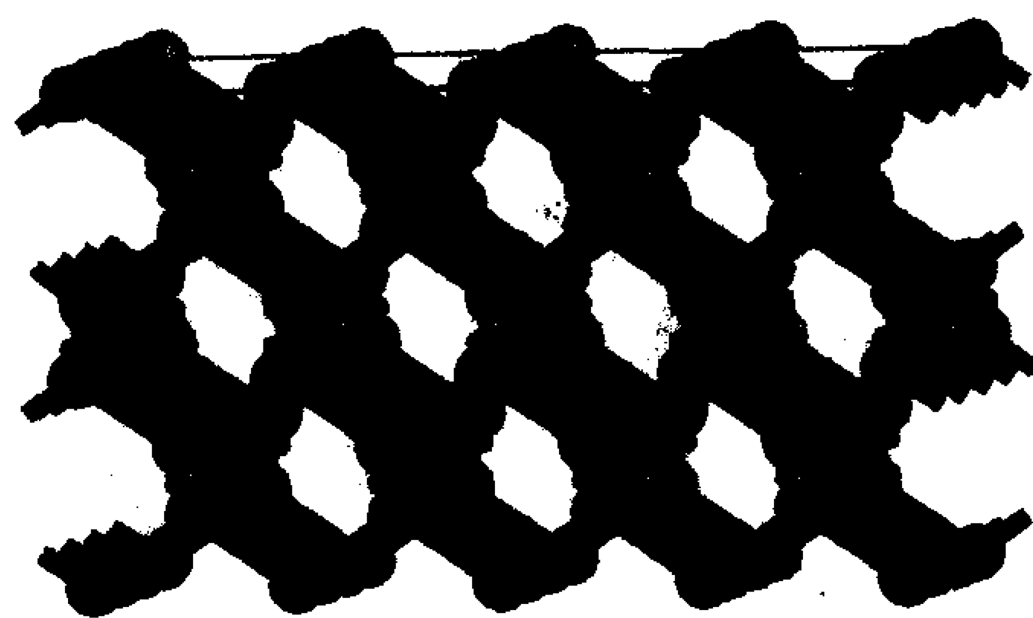
(a) 硅晶体立方单元　　(b) 硅原子最小四面体结构单元

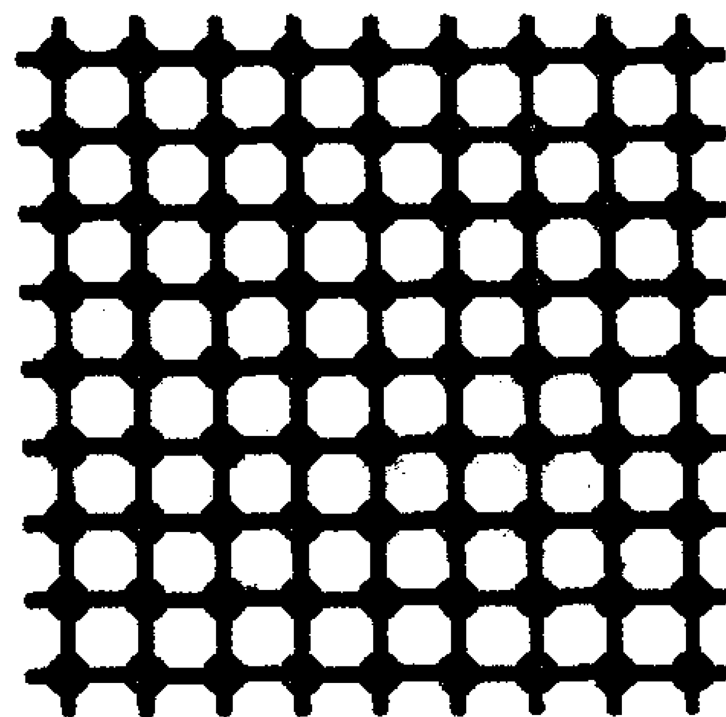
图 2.4-1　硅晶体原子结构

从图 2.4-1 可知，由于硅晶体结构具有方向性，沿不同的方向截断硅晶体，就会形成不同原子排列方式的硅表面，在晶体学中主要用晶面指数来标志不同方向的晶面。图 2.4-2 列出了一些常见的硅指数面的侧视图和顶视图，包括低指数面（111）、(100)、(110)，也包括了一些高指数面如（112）、(103）、(113)、(115)、(313）等。

需要指出的是，图 2.4-2 所示的硅的不同指数面都是理想状况下的原子结构，没有考虑表面原子的重新排布。在实际情况中，当通过解理或其他手段从体硅材料获得硅表面时，由于垂直于表面方向的周期性遭到破坏，使表面原子能态与体内不同，造成硅的表面几个原子层的原子产生位移，形成不同于体内的原子结构（例如表面层间距离缩小），这是由表面原子趋向能量最低状态的本质决定的。硅的低指数面往往对应着较低的表面能，因此可以通过自然解理等方法获得，性质较稳定，在集成电路工艺中使用的硅片一般也以这些低指数面为主。而高指数面则一般表面能量较高，结构不稳定，有些高指数方向在晶体截断后趋于形成方向相近的低能面与台阶的组合。还有一些高指数面，在自然条件下是不存在的或在目前实验条件下还无法得到的。

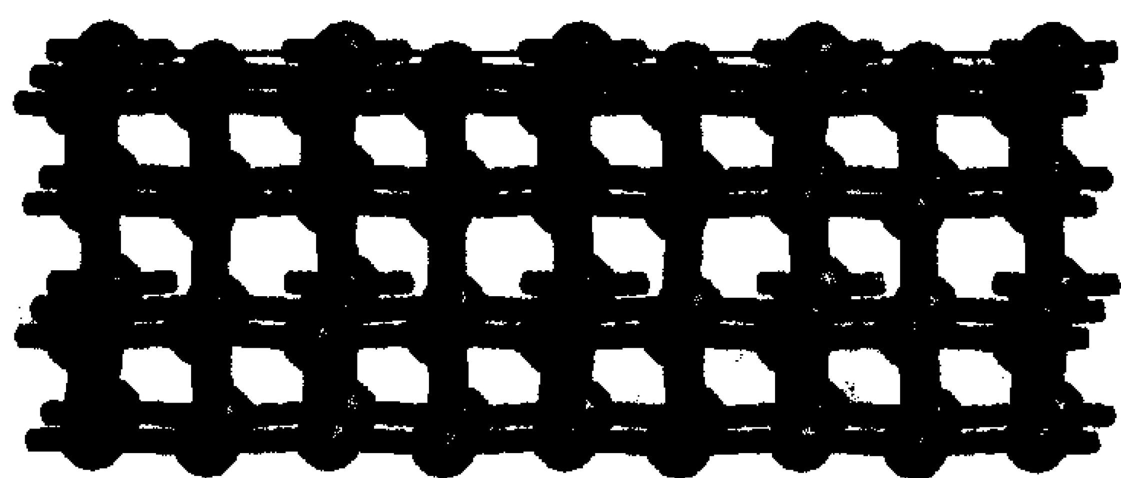
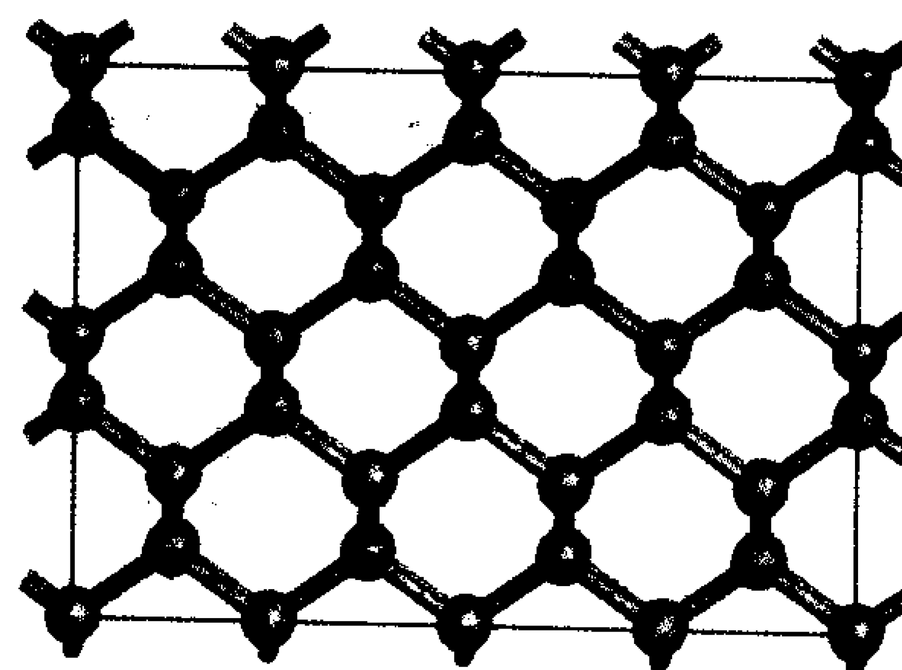
硅表面具有与体内硅原子不同的结构和性质，还应归因于在表面处存在着与外界环境的相互作用。在实际情况中，由于大气中存在着各种原子和离子，它们会与表面硅的原子相互作用。最常见的就是硅表面会与大气中的氧气作用，形成一层自然氧化层（一般约几纳米厚），所以在大气中的硅片表面总是含有氧的。而且在硅表面往往还存在着缺陷、金属杂质等非周期性的局域结构，这些都会使硅表面原子结构更加复杂。显然，硅的表面原子结构直接联系着硅的表面态和表面能级，它们会影响半导体器件的性能和稳定性。



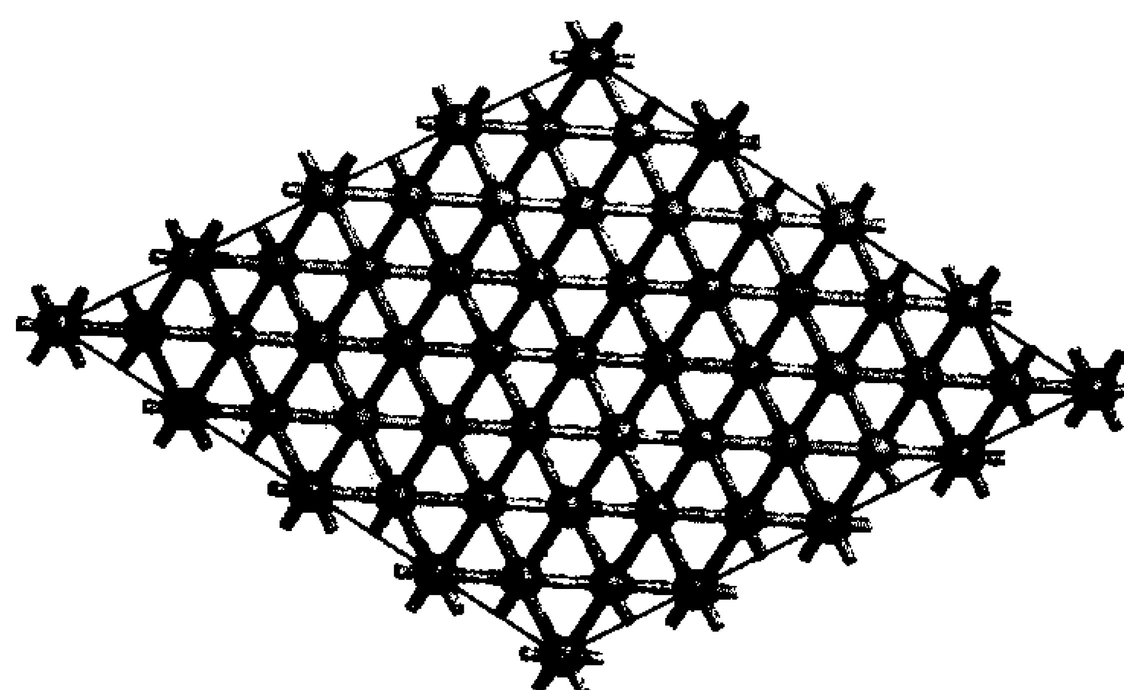


(a) Si(100)面

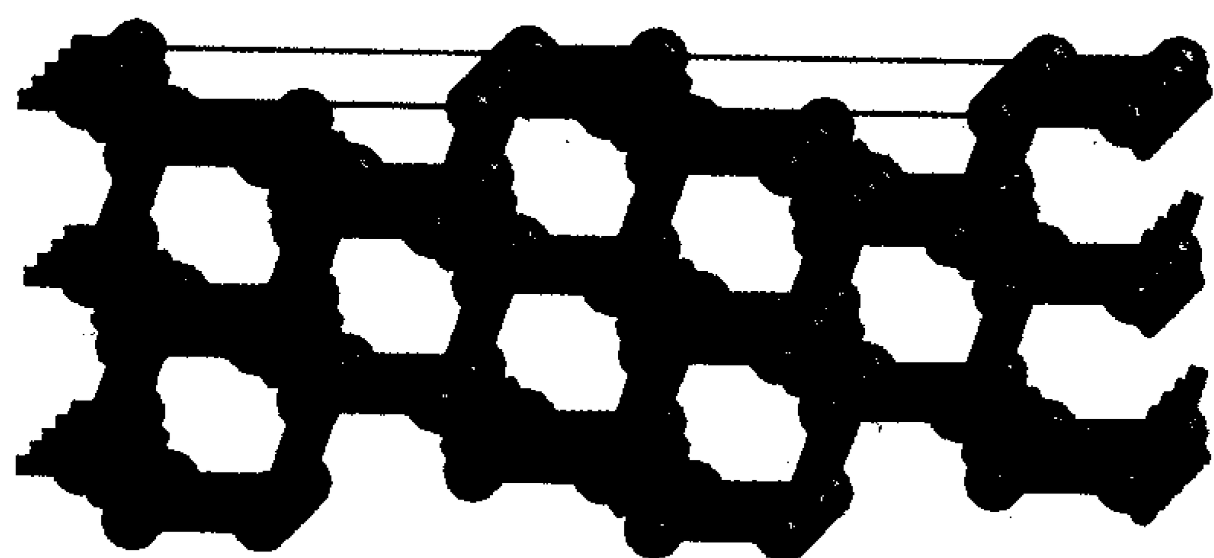
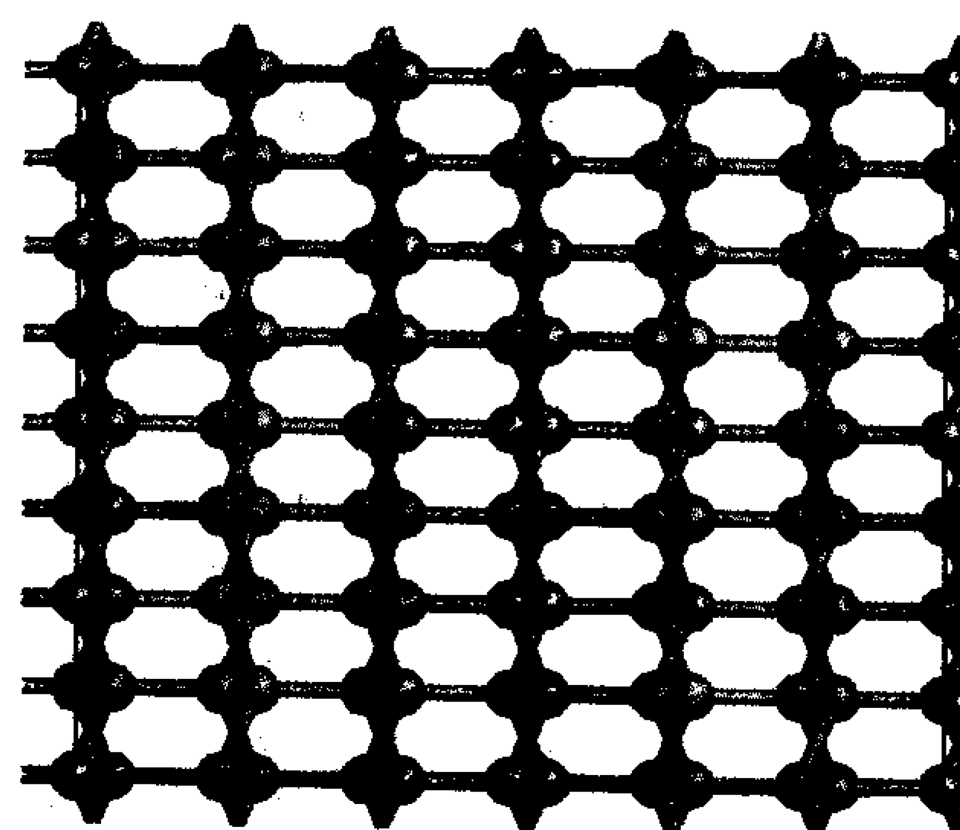
图 2.4-2　硅晶体不同指数面原子结构示意图（左边为侧视图，右边为顶视图）

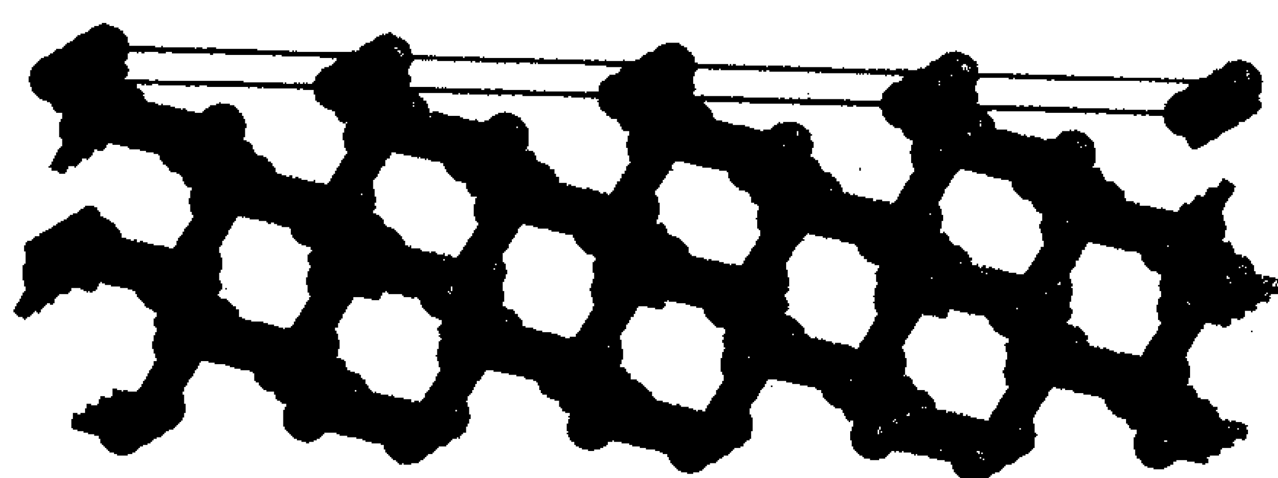
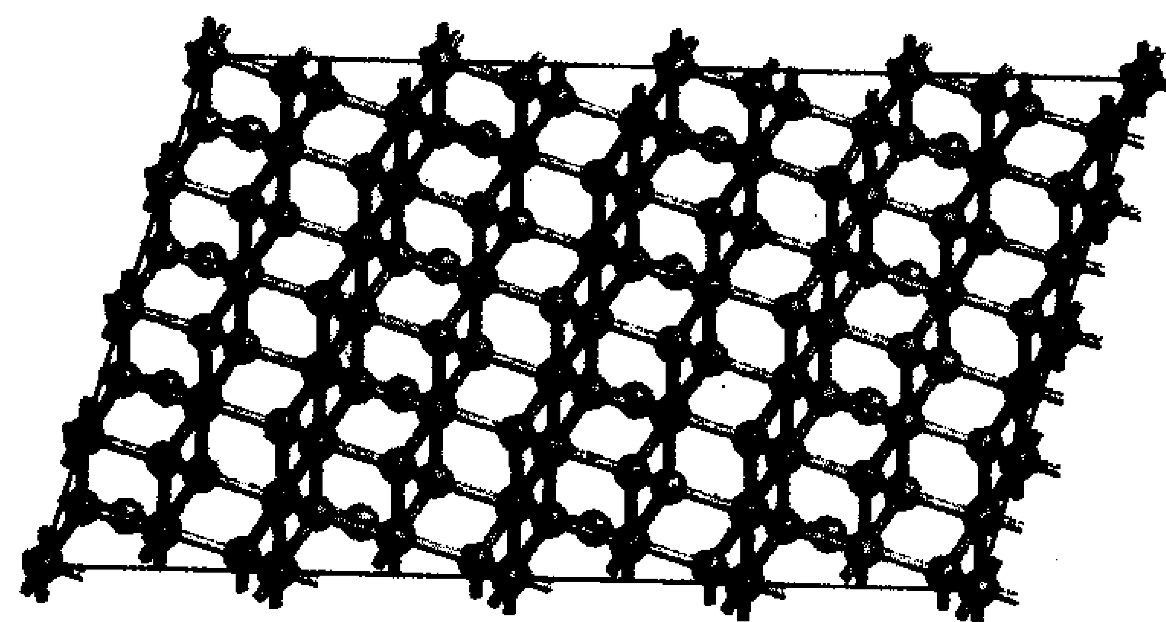
(b) Si(110)面

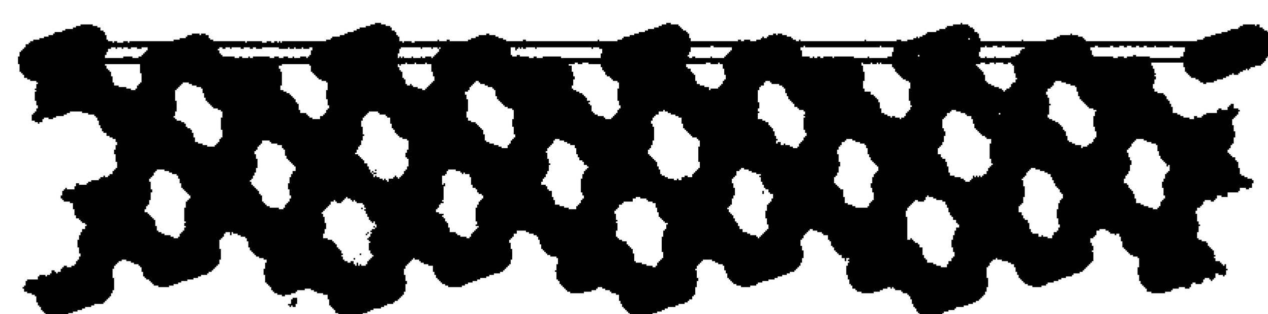
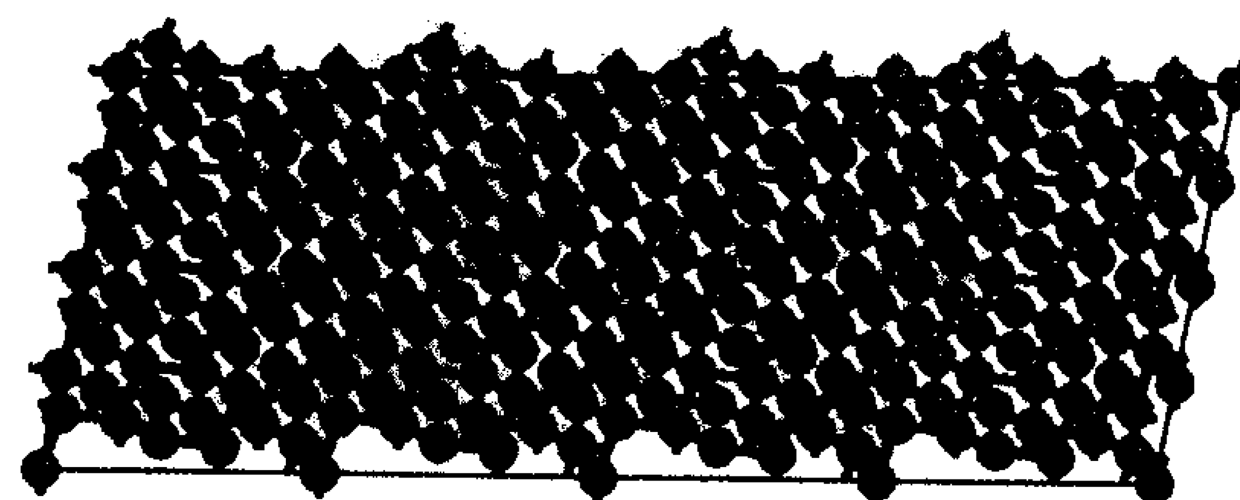
(c) Si(111)面

(d) Si(112)面

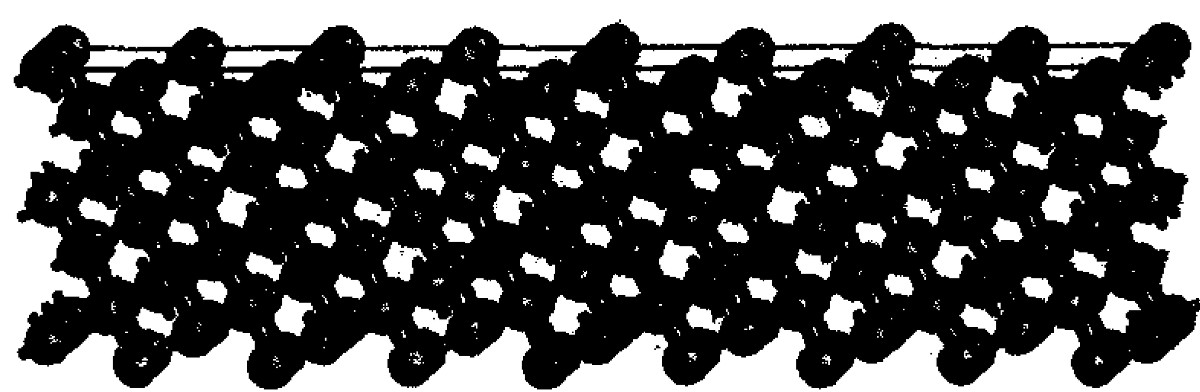
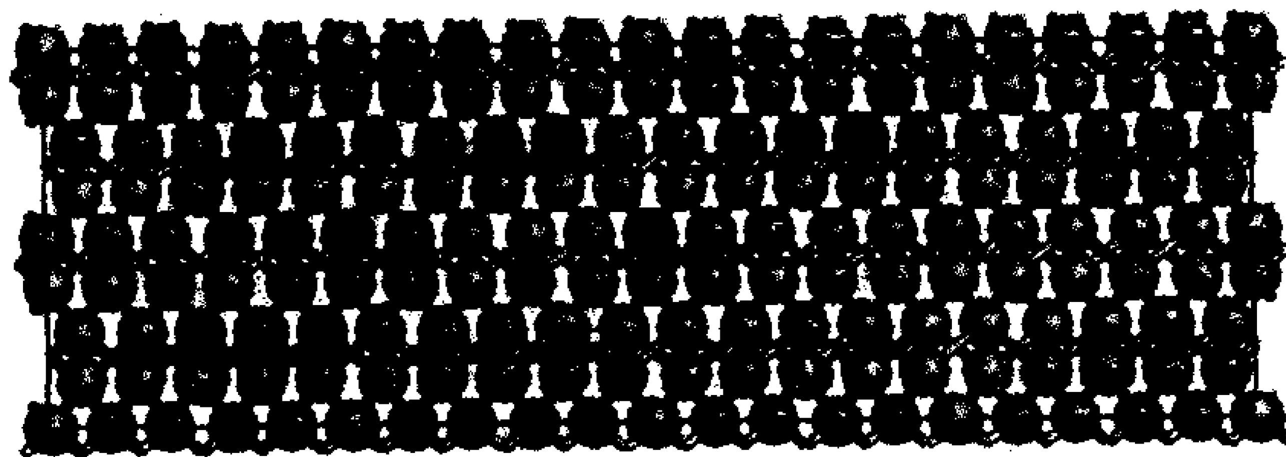



(e) Si(113)面

(f) Si(115)面

续图 2.4-2

(g) Si(103)面

(h) Si(313)面

续图 2.4-2

2 硅的表面态及表面原子结构

2.1 硅的表面态

晶体的表面本质上是周期性的晶体势场在垂直于表面方向的中断，这就会引起相应的表面能态出现，被称为表面态，表面态对应的能级被称为表面能级。对晶体硅而言，体内每一个硅原子都与 4 个最近邻硅原子成键，构成饱和的 4 面体结构单元（见图 2.4-1b)）。当晶体硅沿某一方向突然截断时，就形成了某个方向的硅表面。硅表面最上面一层的原子失去了最近邻的 4 个硅原子中的一个或几个，这样就会形成未配对的电子，即不饱和键，也称悬挂键，这些悬挂键对应的能态和能级就是表面态和表面能级。另外，不但最上层的悬挂键可以构成表面态，表面原子与第二层原子之间的背键以及表面原子之间的桥键，由于受到表面状态的影响，也与体硅的内部成键不同，它们也可能形成表面态。大量的表面能级组成了表面能带，位于表面禁带之中。

还有一种表面态，是指在表面区域中杂质或缺陷周围形成的局域电子态，在硅表面这种缺陷通常比体内多，这样形成的表面态称为外来表面态。而上面所说的，由于晶体的周期性势场中断造成的表面态也被称为本征表面态。

表面态由肖克莱首先从实验中发现，态密度与表面硅原子密度数量级大致相当（约 $10^{15}/cm^2$）。从实验测量中可以知道，表面能级可以分为施主能级和受主能级，分别靠近导带底和价带顶。由于硅表面态能量较高，悬挂键容易与其他粒子成键（特别是氧），造成表面态的改变。所以对表面态的实验测量要在清洁表面状态下进行。但即使在超高真空条件下，也只能在较短时间内保持清洁表面状态。经过数小时后，硅表面上仍会形成一层吸附原子层，这层吸附层主要由氧原子组成，它使表面的硅悬挂键被饱和，这时测试得到的态密度会比理论值低得多。

硅的表面态对半导体器件的性能有直接的影响。例如由于表面悬挂键的作用，硅表面可以与体内交换电荷。对于 n 型硅单晶而言，表面硅原子可以从体内吸收电子，使表面带负电。这些负的表面电荷排斥表面层中的电子，使表面层成为耗尽层甚至反型，从而对器件性能造成重要的影响。

硅的本征表面态从微观上来说是由于硅表面原子结构不同于体内造成的，正是由于硅表面原子结构的不饱和性才形成了悬挂键。而表面缺陷、杂质等形成的微观局域结构就是外来表面态的成因。硅的表面原子结构十分复杂多样，理解它的性质对实际生产中的半导体工艺具有一定的指导作用。

2.2 硅的表面原子结构

当晶体暴露在环境中时，其表面会受到外来粒子的影响。为了降低这种影响，研究者在超高真空条件下（$p < 10^{-6}$ Pa）研究和考察表面的性质。一般认为，在超高真空下经过表面处理的样品，在一段时间内吸附外来粒子的作用可以忽略。通常，将外来沾污少到不能用一般方法探测到时的表面称为清洁表面。对清洁表面的研究，可以使人们得到研究对象表面的一些本质特性，具有重要的意义和价值。通常，获得清洁表面有如下几种方法。

1）离子轰击　用惰性气体的离子枪轰击表面，使表面沾污溅射掉。此方法较方便，但缺点是表面会造成轰击损伤，可通过退火进行一定程度的恢复。此法的另一个缺点是择优溅射效应使某些元素更容易被轰击掉，从而造成表面组分偏离。

2）高温处理　对一些耐高温材料可以用 1 000℃以上高温处理，使沾污脱附。例如对硅晶体，可以先使表面氧化，然后在超高真空条件下于 800～900℃处理，使氧化层挥发，得到清洁表面。

3）化学法　对一些不易脱附的杂质，如炭等，可加氧气使之氧化成一氧化碳脱附，然后加氢还原。

4）真空解理　对脆性晶体可使用此方法，如硅、锗、GaAs 等。此方法得到的表面清洁有序，但只对某些晶体适用，且只能得到一些特定的易解理的指数面。

5）场脱附　一般对尖端样品处理采用此法，如场离子显微镜（FIM）样品。该法是对样品尖端加高电压，使表面原子脱附。

6）分子束外延　此法制备的表面样品质量好，清洁度高，易控制。对前面所述方法都不适用的样品表面，如非解理面，可用此方法制备。缺点是设备较昂贵，成本高。

研究者对硅的表面研究由来已久，早期由于实验条件的限制（主要是真空度达不到要求），硅表面容易被其他粒子沾污，难以深入了解其微观结构。随着实验技术的进步，特别是真空技术的发展，对于硅清洁表面的研究取得了一系列的进展，这也促进了人们对硅表面基本性质的了解和应用。在实验上，获得硅清洁表面一般可采用真空解理或高温脱附的方法，具体采用哪种方法要根据需要的表面方向和用途。

目前实验室大都采用商业硅片作为表面样品来源，这样还需要进行一系列复杂的表面处理过程，以去除原先附着在硅表面的杂质并获得稳定的表面结构。一般获得清洁硅表面的处理步骤如下：先用去离子水冲洗硅片（可同时加超声波辅助），去除表面灰尘等大颗粒；然后用无水乙醇或丙酮清洗；在低浓度的氢氟酸中浸泡，去除表面氧化层（也可保留氧化层在后面的高温退火过程中去除），再用去离子水清洗；最后用氮气或其他惰性气体吹干表面。将处理后的硅片放入超高真空系统中，慢慢升温使表面吸附的一些气体分子逸出；在一定温度下保温若干小时，这时的硅表面已经比较干净，但有时候还需要真空高温快速退火（1 000℃以上几十秒时间）以得到稳定态的表面。需要说明的是，在半导体器件制备工艺流程中对硅单晶片的处理不需要这样的步骤，只要达到一定的表面洁净度使其不影响器件性能就可以了。

当硅晶体处于清洁表面状态下时，表面几个原子层厚度中的原子为达到较低的能量状态，会形成周期性的有别于体结构的表面原子再排列，通过低能电子衍射（LEED）、扫描隧道显微镜（STM）等手段可以观察此时表面原子的排列情况。研究发现，清洁表面的硅原子排列与体内的不同主要表现在以下两个方面。

1）表面几层原子的层间距与体内不同，这称为弛豫。通常表现为表面层间距缩小。

2）表面单层内原子排列与体内不同，这称为再构。再构后的表面具有二维周期性，可用二维晶格基矢来表征。

以晶体原始表面二维晶格为参考，假设原始晶格基矢为 a_1、a_2，再构后的表面晶格基矢为 b_1、b_2，则有：

$$b_1 = M_{11} a_1 + M_{12} a_2 \quad (2.4\text{-}1)$$

$$b_2 = M_{21} a_1 + M_{22} a_2 \quad (2.4\text{-}2)$$

从以上两式可见，可以用系数 M_{ij} 矩阵表示任意的表面二维再构。当再构后的晶格基矢夹角与原始晶格基矢夹角相等时，表征表面晶格周期性结构可以采用 Wood 符号 p（$m\times n$）Rz^0 或 c（$m\times n$）Rz^0 的形式，符号中 m 和 n 表示再构基矢 b_1、b_2 分别为原始基矢 a_1、a_2 的 m 和 n 倍。而 p 表示 primitive，即（$m\times n$）为表面原胞，c 则表示在（$m\times n$）单胞中心还有一个原子（centered）。Rz^0 表示再构后的基矢（b_1 或 b_2）相对于原始基矢（a_1 或 a_2）转过 z 角度，如两者方向相同，则省略 Rz^0。

当在硅的清洁表面，利用物理或化学气相沉积方法（PVD，CVD），制备一层有序的其他物质粒子时（如某些金属粒子 Ag、Al、Au 等），这些粒子也会形成周期性的二维结构，同样可以采用 Wood 符号来表征。

硅的不同表面取向（用晶面指数表示）分别存在着多种复杂的再构形式，它们随温度等条件变化。特别是当硅表面吸附一定数量和种类的外来原子、离子后，由于悬挂键被饱和，并发生电荷转移，会引起新的表面态，同时会使硅表面原子排列发生新的变化。所以在实际大气情况中，由于环境中存在大量氧分子、水蒸气、灰尘颗粒等，它们与表面相互作用会形成更加复杂的硅表面结构，从而影响器件性能。所以半导体器件工艺对环境的清洁度有一定的要求。

硅的不同晶面取向的表面原子结构不同，是形成不同类型再构形态的本质原因，而且导致其表面性质差别很大。以下将介绍几种硅典型指数面的表面原子结构和性质。

1）Si（111）面　Si（111）面在半导体器件中的应用范围之广仅次于 Si（100）面。从图 2.4-2 可以看出，<111> 方向有两种不同的层间距。自然解理时，较易从长间距的原子层间断开形成表面，因为这需要的能量较小。Si（111）面原子排列紧密，结构和性质都很复杂。在清洁表面情况下（超高真空），有（1×1）、（2×1），（7×7）的三种比较典型的表面再构形式。（1×1）结构不稳定，只有在特殊条件下（激光处理或离子吸附/高温脱附）才能获得。在超高真空条件下解理 Si（111）面会产生（2×1）再构，它为亚稳态结构，可在温度低于 573 K 的条件下稳定存在。而（7×7）再构为稳定态，可以通过高温退火（1 431 K）形成，这种结构最为稳定和常见。日本学者提出的（7×7）再构的二聚体-顶戴原子-层错（Dimer-Adatom-Stacking fault model，DAS）原子模型已得到公认，并与现有的表面分析结果一致。Si（7×7）再构表面的原子模型如图 2.4-3 所示。

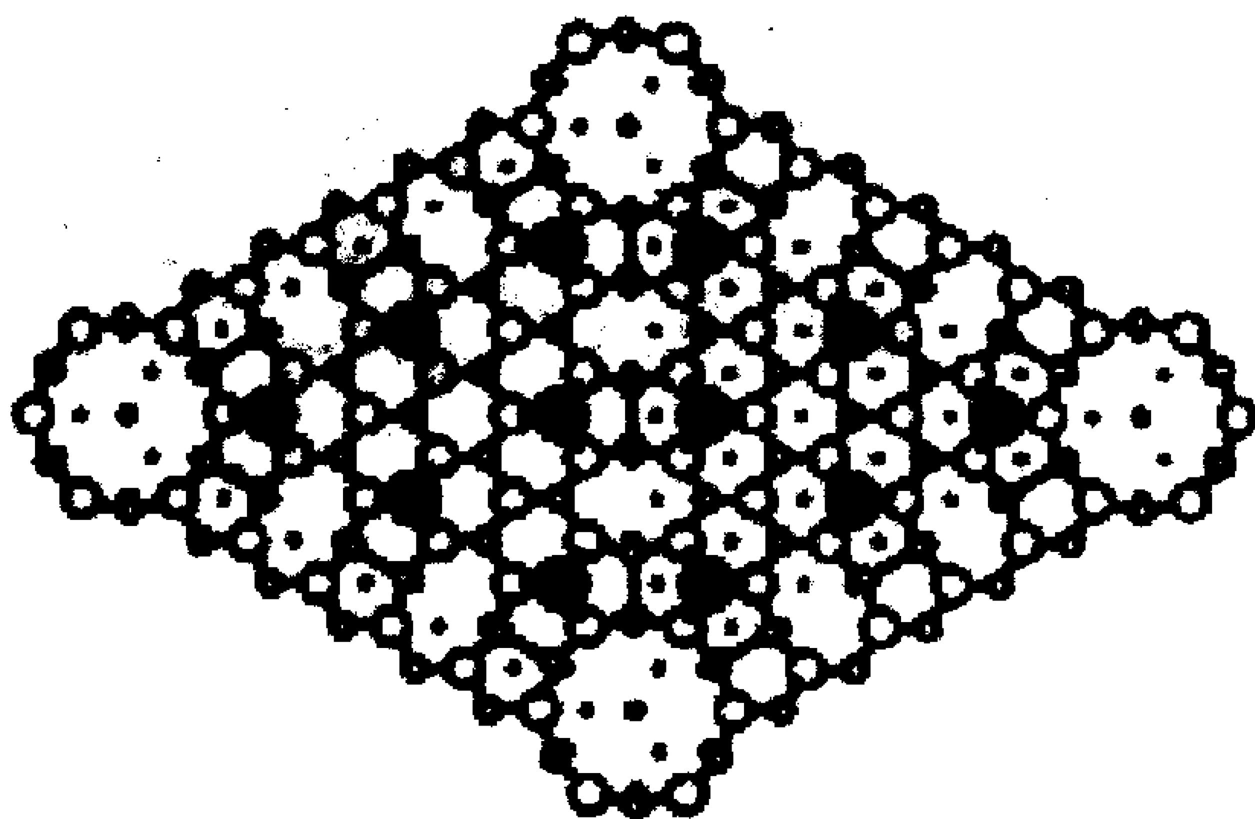


图 2.4-3　Si（7×7）再构表面的 DAS 原子模型示意图

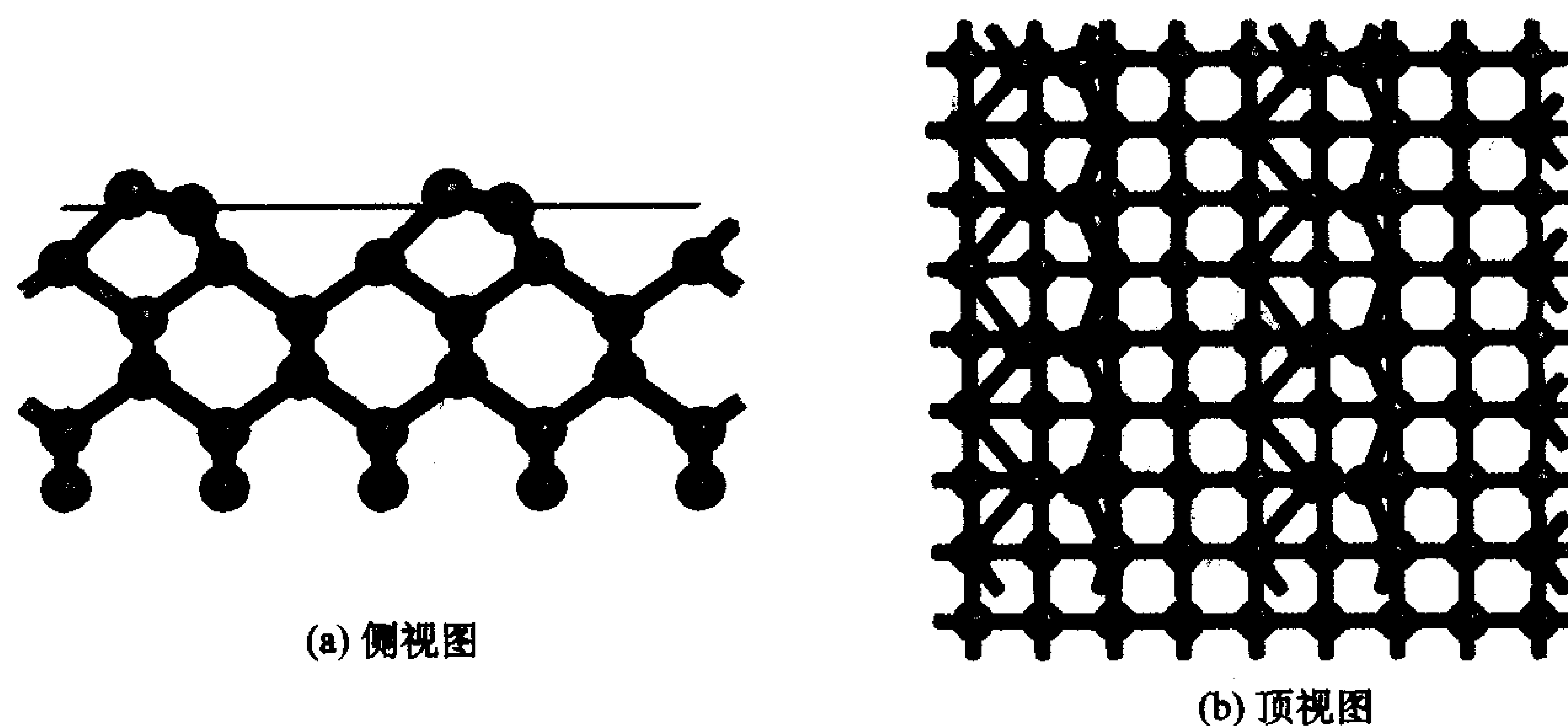
另外，硅（111）面在一些条件下还存在（3×3）、（5×5）、（9×9）、（11×11）、（2×2）、c（2×4）、c（2×8）、（$\sqrt{3}\times\sqrt{3}$）等再构，这些再构由于稳定性差，一般难以得到面积大、结构规则的实验样品。

Si（111）（7×7）表面是 Si（111）表面中最稳定的再构。由于（7×7）单位结构面积大，规则性好，常被人们用来作为自组织法制备阵列化纳米结构的模板。其他原子、离子在硅表面的吸附研究，也有很多是在此表面上进行的。外来原子由于受到 Si（111）（7×7）表面结构中的悬挂键、二聚物链（dimer）和堆错（stacking fault）等影响，往往具有选择性吸附的特点。当 Si（111）表面吸附与硅电负性相近的 Al、Ga、Ba、Cu 原子时，形成共价键吸附，可形成（$\sqrt{3}\times\sqrt{3}$）$R30^0$ 的结构。当吸附电负性差别较大的 Li、Na、Ag 等原子时，形成离子键吸附，在室温下形成不稳定的（7×7）结构。经过高温脱附处理后，可形成硅的（1×3）稳定结构。当吸附 Cl、Te 等电负性差别更大的原子时，经高温脱附可以形成硅的类（1×1）结构。

2）Si（100）面　Si（100）面表面能低，性能稳定，成为大多数半导体器件工艺所采用的基底面。最常见的 Si（100）清洁表面结构为（2×1）再构。其合理的原子模型为二聚物模型。主要特征是第一层的硅原子两两结合成键，形成二聚物，此二聚物键一般并不平行于表面而是稍有倾斜。Si（100）（2×1）再构如图 2.4-4 所示。

3）Si 高指数面　与于硅的（111）和（100）等低指数面相比，高指数面的研究较少，这是因为人们普遍认为高指数面能量高、不稳定。随着实验技术的发展进步，研究者发现一些高指数面也具有稳定的结构，例如 Si（103）、Si（112）、Si（113）和 Si（313）表面，并且这些高指数面具有特殊的性质和应用。近年来，Si（112）、Si（113）、Si（115）表面被用来进行半导体外延生长，获得了较好的结果。Si（112）表面外延 GaAs 已被用来制作器件，另外，Si（113）面也是半导体异质结外延生长的合适晶面。

在实际器件制备中，对硅片的处理无法达到清洁表面的程度，特别是在非真空条件下，硅晶体表面的悬挂键一般都会吸附大气中的氧原子而形成一层天然氧化层。此外，在器


(a) 侧视图

(b) 顶视图

图 2.4-4 Si（100）2×1 再构示意图

件生产过程中还需要对表面进行一些处理，如生长钝化层等。因此，对实际工艺中硅片表面清洁度的要求原则是：表面质量不影响半导体器件的性能。

3 硅/二氧化硅的界面性质

在半导体器件制备工艺流程中，对硅片的要求与所制造的器件和工艺水平有关，一般对表面颗粒数、金属杂质浓度、表面平整度等有一定的要求。而在硅半导体器件表面一般都存在氧化层或其他界面层（钝化层），这些界面层对器件的性能影响也较大，特别是二氧化硅层，必须加以重视。研究表明，在硅的界面和二氧化硅层中都有电荷存在，可分为界面态、可移动离子、固定电荷和电离陷阱电荷四种类型。

1）界面态　界面态是指位于硅和二氧化硅界面处的电子能态。界面电荷是由于界面态有施主或受主性质造成的，它能很快与半导体表面交换电荷达到平衡，弛豫时间小于 1 ms，所以又称为“快态”。

不论界面态能级在禁带中位置如何，若能级被电子占据时呈现电中性，释放电子后呈现正电性，则称为施主型界面态。相反，若能级被电子占据时呈现负电性，释放电子后呈现电中性，则称为受主型界面态。界面态电子分布函数性质与体内掺杂态相类似，在此省略不谈。

对硅和二氧化硅界面态的测量显示，界面态密度在禁带中呈“U”形分布，在禁带中部密度较低，在靠近导带底和价带顶处密度较高。而界面态密度也和不同晶体指数面取向有关，密度从大到小依次为（111）＞（110）＞（100）。所以半导体器件多采用（100）面也是为了减小界面态的影响。

实验发现，将硅片在氢气氛下退火（400～450℃），可以降低界面态密度。这是因为氢扩散较快，可以进入界面饱和更多的悬挂键，从而降低界面态密度。在晶体硅太阳能电池工艺中，常采用等离子体辅助气相沉积（PECVD）法生长含氢的氮化硅层界面，以饱和悬挂键，降低界面态，从而提高转换效率。另外，除了悬挂键引起以外，界面处的缺陷以及杂质也会引入界面态。

2）二氧化硅层中的可移动离子　二氧化硅层中的可移动离子主要是带正电荷的钠、钾、氢等离子，来源于化学试剂、玻璃容器、各种沾污等。这些离子在一定温度条件下可在二氧化硅层中移动，对器件稳定性造成不良影响，其中影响最大的是钠离子。通常，用热氧化法生长的二氧化硅层为无定型玻璃状结构，是一种网状结构。一般杂质原子（如磷、硼）处在硅替代位，而钠、钾等离子一般则处于网状结构的间隙位，可使网络结构变形。而且，钠离子容易和氧原子成键，破坏原来的网状结构，使二氧化硅层呈现多孔状，从而导致杂质容易扩散。另外，钠离子在二氧化硅层中的扩散系数远大于磷、硼等杂质，在高温下容易漂移，引起二氧化硅层中电荷分布发生变化，导致引起器件性能变化。

3）二氧化硅层中的固定电荷　在二氧化硅层中有一部分电荷离界面较远，与体内无电荷交换，被称为固定电荷。

固定电荷具有一定的特性。首先，这种电荷密度恒定，不随能带弯曲而变化，也不明显的受氧化层厚度的影响，即无法进行电荷转移。其次，它的位置一般在硅和二氧化硅界面的 20 nm 范围内。另外，其密度与氧化、退火及硅晶面指数取向有关。在一定的氧化条件下，对于晶体面（111）、（110）和（100），其二氧化硅层中的固定电荷密度比约为 3:2:1。

一般认为，硅和二氧化硅界面附近的过剩硅离子是固定电荷产生的根本原因。近年有实验通过注入氧到硅和二氧化硅界面处再热处理，发现固定电荷密度降低，这也证明了过剩硅离子产生固定电荷的模型。

4）二氧化硅层中的电离陷阱电荷　硅和二氧化硅界面附近，存在一些载流子陷阱。当各种辐射（如 X 射线、γ 射线、电子射线）照射硅和二氧化硅界面时，可产生电子-空穴对。如二氧化硅层存在电场，将导致电子移动，而空穴则被载流子陷阱捕获，从而整体表现出正电荷。通常，二氧化硅层中的电离陷阱电荷可以通过 300℃以上的退火消除。

此外，在二氧化硅层外表面也可能吸附新的原子、分子等形成外表面态，这些外表面态如果和硅交换电荷，则需要穿过二氧化硅层，因此需要的弛豫时间较长，称为“慢态”。

以上所述的这些类型的电荷，对半导体器件的性能都有重要影响。例如场效应晶体管，界面和氧化层电荷的变动会引起表面电导率的改变，因而造成晶体管特性改变。而在双极型晶体管中，在基区表面如果因为界面电荷造成了反型层，就会使发射极与集电极之间出现一个直通沟道，从而使器件失效。所以对硅表面的处理是器件工艺中的重要环节。

4 硅的表面钝化

随着集成电路集成化程度的不断提高，元器件特征尺度不断减小，布线密度越来越高，半导体器件的性能和稳定性越来越依赖于硅表面及其界面的微观质量。而用于隔绝晶体管及连接线路的绝缘钝化膜，也起到非常重要的作用。如前所述，由于半导体表面与内部结构的差异（表面原子存在悬挂键、再构、弛豫等），导致表面与内部性质的不同，而其表面状况对器件的性能具有重要影响。表面只要有微量的沾污（如有害的杂质离子钠离子、水蒸气、尘埃等），就会影响器件性能。而硅表面氧化层中的金属离子、界面电荷等都可能引起器件性能不稳定。如果氧化层中电荷密度过高，会造成 p-n 结特性不好或出现低击穿。为提高器件性能的稳定性和可靠性，必须把器件与周围环境气氛隔离开来，以增强器件对外来离子沾污的阻挡能力，控制和稳定半导体表面的

特征，保护器件内部的互连以及防止器件受到机械和化学损伤。为此，提出了半导体器件表面钝化保护的要求。硅的钝化膜有直接生长在硅晶体表面的，主要用途是饱和硅表面的悬挂键，稳定表面的性质；也有生长在器件上的，用来隔离杂质，对器件提供物理保护作用。

早期的半导体器件表面采用化学涂层作为保护层，随后二氧化硅成为最常用的钝化膜，使器件性能得到提高。但由于二氧化硅膜也会引起电荷积累，影响了它的钝化效果，人们开始探索各种新的钝化膜来替代二氧化硅。目前的钝化膜除二氧化硅外，还有氮化硅、磷硅和硼硅玻璃、氧化铝、非晶硅、多晶硅、金属氧化物、高分子有机材料等，不同的钝化膜具有不同的优缺点和用途，下面就几种主要的钝化膜进行一些介绍。

4.1 二氧化硅

这是半导体器件最传统也是最常用的一种钝化膜，具有性能稳定，工艺成熟，成本低等优点。它是一种十分理想的电绝缘材料，化学性质非常稳定，室温下它只与氢氟酸发生化学反应。二氧化硅在集成电路工艺中用途十分广泛，主要有：

1）在MOS电路中作为MOS器件的绝缘栅介质，是器件的组成部分；

2）扩散时的掩蔽层，离子注入的（有时与光刻胶、Si_3N_4层一起使用）阻挡层；

3）作为集成电路的隔离介质材料；

4）作为电容器的绝缘介质材料；

5）作为多层金属互连层之间的介质。

常用的二氧化硅膜制备方法有热氧化（干法和湿法）、干氧-湿氧-干氧（干湿干）氧化、氢氧合成氧化、溅射、热分解沉积法、化学气相沉积法（CVD）等。热氧化法应用最广泛，如用于外延表面晶体管、金属氧化物半导体（MOS）器件中的扩散掩膜，以及p-n结的表面钝化膜和电路的隔离层和绝缘栅等。图2.4-5是湿氧化的设备示意图。

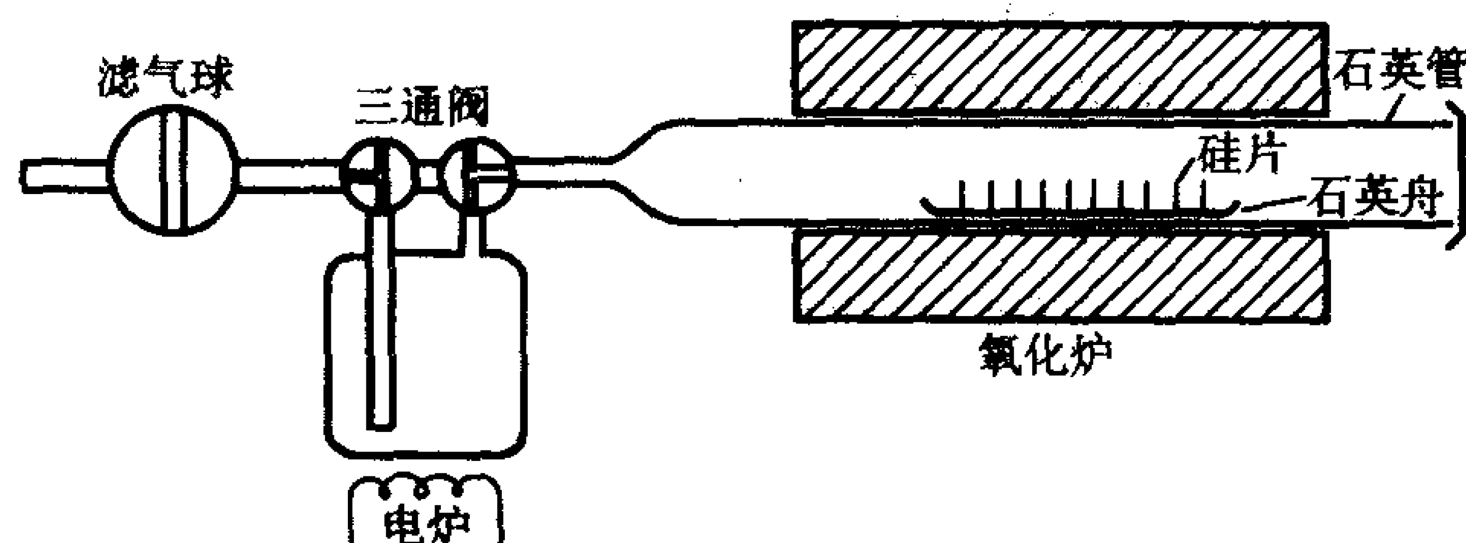


图2.4-5 湿氧化的设备示意图

直流溅射法多用于不宜进行高温处理的场合。射频溅射法则多用于集成电路的多层布线和二次钝化。化学气相沉积法则具有淀积温度低、薄膜成分和厚度易于控制、均匀性和重复性好、台阶覆盖优良、适用范围广、设备简单等一系列优点。并且除二氧化硅外，化学气相沉积法还可以沉积集成电路工艺中所需要的各种薄膜，例如多晶硅、非晶硅、氮化硅、金属（钨、钼）等。

单纯二氧化硅膜的缺点是防水蒸气和金属离子扩散的能力较差，所以人们发展了各种掺杂的二氧化硅膜以提高它的性能，如掺磷（磷硅玻璃）、掺硼（硼硅玻璃）、掺氯等。磷硅玻璃（PSG）是二氧化硅与五氧化二磷的混合物，可以用低温沉积的方法生长在氧化硅上，也可以在高温热生长制备二氧化硅时通入磷蒸气生成。磷硅玻璃针孔密度低，应力小，对金属离子（如钠离子）有较强的阻挡和提取作用。采用磷硅玻璃作为钝化膜必须注意厚度及磷含量，磷太少则钝化效果差，太多或磷硅玻璃太厚会发生极化和耐水性差等问题。在热氧化法制备氧化层时加入三氯氧磷可以制备掺氯氧化硅薄膜，对钠离子具有阻挡和固定作用。此外，氯也具有饱和硅悬挂键的能力，减少电荷和界面态密度；同时，氯也降低氧化层的缺陷密度，提高击穿电压。

4.2 氮化硅

氮化硅（Si_3N_4）薄膜是近年来发展很快、工艺日渐成熟、应用也越来越广泛的一种钝化膜。氮化硅是一种超硬陶瓷材料，由于其优越的力学性能，使得它成为空间科学和军事领域非常重要的高温结构材料。在机械工业中，可用做涡轮叶片、高温轴承、高速切削工具等；在冶金工业中，可用做燃烧嘴等；在化学工业中，用做耐腐蚀耐磨零件；在航空航天、原子能工业上，用做高温绝缘体、原子反应堆中的隔离体、核裂变物质的载体等。而在半导体硅工业中，氮化硅也是一种重要的薄膜材料，可用在硅太阳电池的制备和集成电路的制备上。近年来，人们在单晶硅和多晶硅太阳能电池上，采用氮化硅层作为减反射膜和钝化膜，提高了太阳电池的转换效率和稳定性，取得了较好的效果。在集成电路制备上，氮化硅还可以用做多层集成电路中的介电层材料。自Sterling和Swann报道氮化硅薄膜适用于硅集成电路以来，氮化硅薄膜在微电子领域的应用日益广泛，主要可用于以下几个方面。

1）杂质扩散掩蔽膜　由于B、P、As等杂质在氮化硅层的扩散系数远小于在硅和二氧化硅中的扩散系数，因此氮化硅是一种优秀的杂质扩散掩蔽膜的薄膜材料。

2）表面保护或钝化膜。

3）隔离介质或绝缘介质　微电子器件的击穿是常见的失效原因，而氮化硅薄膜的介电常数高，击穿电压高，在强电场或高的工作温度下比二氧化硅更加稳定。

4）电容介质材料。

5）MOS管的绝缘栅材料。

基于如此优异的性能，人们期望氮化硅可以代替二氧化硅，被应用在金属氧化物半导体场效应管（MOSFET）、存储电容等微电子器件之中，并能够有效地减小集成电路的尺寸。下面是二氧化硅和氮化硅薄膜的性能比较，从中可以看出氮化硅膜的优越性和发展前景：

1）二氧化硅对水的亲和力较大，水汽和其他气体在其中有较高的渗透率；氮化硅结构致密，可以大大的提高器件的防潮性能。

2）二氧化硅对碱金属离子（如钠离子）的阻挡效果差，由于氮化硅是强共价化合物，所以扩散系数很小，杂质在氮化硅中很难穿透，提高了器件的稳定性。所以，钠离子在氮化硅膜中的渗透要比同样条件下在二氧化硅膜中浅得多。因此，氮化硅薄膜常作为器件的最终钝化层。

3）薄二氧化硅膜缺陷密度很高，使击穿电压降低；氮化硅膜的绝缘性能很高。

4）二氧化硅膜不如氮化硅膜坚硬和耐磨。

5）二氧化硅的化学稳定性不如氮化硅，氮化硅膜在600℃下依然不会跟铝电极反应；而二氧化硅膜在500℃就跟铝电极有明显的反应。

6）在耐腐蚀性和耐辐射性方面，氮化硅膜也明显的好于二氧化硅膜，因此氮化硅膜非常适合用在对电子器件有特殊要求和工作环境恶劣的场合。

总的来说，氮化硅薄膜介电常数大，抗热振性好，化学稳定性高，致密性好，抗杂质扩散和防水汽渗透能力强，而且具有良好的力学性能和绝缘性能，以及抗氧化、抗腐蚀和耐摩擦等性能，因而氮化硅薄膜是半导体集成电路中最具应用前景的表面材料之一。但是，由于Si（100）/氮化硅结构的界面应力较大，且界面态密度高，因此还有一些问题有待

解决。因此，目前氮化硅还不能完全代替二氧化硅。

氮化硅薄膜常用的制备方法有物理和化学气相沉积（PVD，CVD）法。PVD 法包括直流和射频溅射，CVD 法包括常压化学气相沉积法和低压化学气相沉积（LPCVD）法。由于常用的制备方法温度较高（>800℃），容易引起杂质扩散、硅片翘曲等问题，因此希望能降低薄膜的制备温度；但是，所用的含硅气源又难以在低温下分解生长氮化硅，所以寻找有效的低温气源是解决这一难题的关键所在。另外一种解决方法是正在发展的等离子体辅助化学气相沉积（PECVD）法，可以在低温下生长氮化硅钝化膜。但存在等离子体对器件表面的轰击损伤，生长的薄膜应力和化学配比难以控制等缺点。

4.3　氧化铝

氧化铝膜具有强抗辐射能力的特点，对钠离子的阻挡能力也强。但缺点是不能用光刻方法制备，需要用二氧化硅做掩膜在高温磷酸中蚀刻，并且由于硬度大和韧性强，划片较困难。制备氧化铝膜主要也是 PVD 和 CVD 两种方法，但必须先生长一层较厚的二氧化硅膜。这是因为氧化铝与天然二氧化硅的界面以及氧化铝本身存在着一些电子缺陷能级，而硅片表面天然的氧化硅层又很薄，这样氧化铝/二氧化硅界面或氧化铝的缺陷会透过薄氧化硅层吸收硅表面电子，造成负电荷效应，使器件不稳定。所以生长一层较厚的二氧化硅，可以阻挡硅表面与氧化铝界面层的电荷转移。

4.4　非晶硅钝化工艺

非晶硅钝化工艺已经作为一种常规工艺大量应用于模拟集成电路制造中，一般采用 $SiO_2/\alpha\text{-}Si:H/Si_3N_4$ 三层复合结构。非晶硅钝化可以使集成运放的增益提高，噪声降低，原因就是非晶硅中所含的氢易于穿过二氧化硅层，到达硅/二氧化硅界面，并钝化界面附近的不饱和悬挂键和缺陷能级。同时，复合结构中的氮化硅层也有钝化作用，并且可以补偿硅/二氧化硅界面的应力，从而降低界面陷阱密度，还能阻挡非晶硅中氢的逸出。非晶硅钝化工艺中，复合结构 $SiO_2/\alpha\text{-}Si:H/Si_3N_4$ 三层的厚度取值将影响钝化的效果。当底层二氧化硅厚度在 400 nm、非晶硅 50 nm、最上层的氮化硅膜厚度为 100 nm 左右时，可以达到较好的钝化效果，这时的厚度比约为 4:0.5:1。

4.5　氢钝化

在半导体器件工艺前期的工序中，有时采用氢氟酸和其他化学溶液配合，清洗和腐蚀硅表面，使表面氧化层去除，这时硅的表面悬挂键将会被氢离子饱和。但此方法不能用在集成电路工艺后期的钝化膜制备中，这是因为氢钝化的硅表面不稳定，氢很容易逸出，造成界面态重新升高，其钝化效果只能持续很短时间。在实验研究中，也常采用含氟酸清洗或钝化硅表面，以进行表面实验或测试，这时表面会形成单氢硅键（SiH）、双氢硅键（SiH_2）或三氢硅键（SiH_3）等。

氢钝化结合钝化膜的制备在近年来得到开发和应用。例如，利用 PECVD 法在制备氮化硅钝化膜的同时，加入氢气或采用其他含氢气体（如氨气）作为气源，等离子状态的氢离子就可以很容易地扩散到硅表面、体内以及硅晶界处钝化表面态、杂质和缺陷等，降低态密度，而生长的氮化硅膜不仅起到钝化作用，还可以防止氢逸出，使钝化效果更得到增强。目前，在硅太阳电池的表面钝化工艺中已经采用了这一方法。

上面所介绍的各种集成电路工艺中常用的钝化膜，如二氧化硅、磷硅玻璃、氮化硅、非晶硅等薄膜，在过去常采用常压化学气相沉积法制备，现在一般都已采用低压气相沉积法。这是因为低压气相沉积法的产物致密性和均匀性都比较好，而且产量大，适合工业生产的需要。目前的钝化膜工艺和设备都在不断地改进发展，主要目的是为了提高薄膜的生长质量和速度，特别是提高薄膜的均匀性、改善表面的台阶覆盖、减少微粒的产生、消除加工时的热聚集以及提高晶体管栅、源、漏区的导电率，增加连接线材料的稳定性等。例如，为了降低工作温度，很多厂家采用了 PECVD 来生长钝化膜以及多层布线用的介质膜，这种方法的工艺温度一般在 200～300℃，可以有效避免器件中杂质的扩散、晶片损坏以及金属连线与硅或二氧化硅的相互作用。

编写：汪　雷（浙江大学）

第 5 章　硅晶体的腐蚀

从硅片机械加工后损伤层的去除到大规模集成电路的制备，几乎每一步都离不开晶体硅材料的腐蚀。一般来说，腐蚀硅片的方式有两种：湿法腐蚀和干法腐蚀。湿法腐蚀的过程是先用氧化剂溶液将硅片表面氧化，然后再通过化学反应使表面氧化物溶解到溶液中。在这个腐蚀过程中，硅由单质变成可溶性的化合态，存在着电子或空穴参予化学腐蚀，所以湿法腐蚀过程的实质就是一个电化学反应过程。如果腐蚀速率随单晶硅晶向而变化，那么这种腐蚀就称为各向异性腐蚀，如 KOH 溶液的腐蚀等。反之，则称为各向同性腐蚀，如采用 $HF + HNO_3$ 混合酸腐蚀。硅片表面腐蚀的过程，是一个动力学过程，所以腐蚀速率不仅会受到腐蚀液的温度和成分等外在因素的影响，而且还会受到硅片表面质量的影响。如果硅片表面上某些地方存在着缺陷，那么这些地方的腐蚀速率就比较快，所以只要选择合适的腐蚀液就能比较明显地显示出这些缺陷，这就是硅单晶缺陷的化学腐蚀显示。另外一方面，随着大规模集成电路的发展，硅单晶的干法腐蚀逐渐显示出它特有的优越性，干法腐蚀方法有很多种，如纯气相刻蚀，等离子刻蚀和激光辅助刻蚀等。本章主要介绍硅单晶湿法腐蚀（各向同性腐蚀和各向异性腐蚀）和干法腐蚀的腐蚀机理，腐蚀特点和腐蚀速率等。

1　单晶硅的各向异性腐蚀

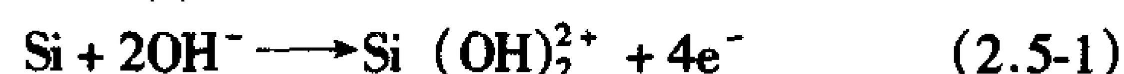
1.1　KOH 系

KOH 溶液对单晶硅的腐蚀性质与 NaOH 或 LiOH 溶液的腐蚀性质相似，所以主要以硅单晶的 KOH 溶液腐蚀为例，来介绍各向异性腐蚀。

（1）反应机理

单晶硅在 KOH 溶液中的腐蚀过程如下：

1）硅片表面的氧化



$$Si + 2OH^- \longrightarrow Si(OH)_2^{2+} + 4e^- \quad (2.5\text{-}1)$$

2）电子的转移　上述反应产生的四个电子先移动到晶体硅内部，存在于硅的导带中。由于轻掺的硅单晶中一般不存在深能级缺陷，所以这些电子在短时间内不会被复合掉。它会直接传输到水中，产生如下反应：



$$4e^- + 4H_2O \longrightarrow 4H_2O^- \quad (2.5\text{-}2)$$

3）带电水的分解



$$4H_2O^- \longrightarrow 4OH^- + 2H_2\uparrow \quad (2.5\text{-}3)$$

随着水分解成氢气和新的氢氧根离子，新产生的氢氧根离子又会重复式（2.5-1）的反应。所以从上面三个反应可以看出，即使反应过程中没有净电流产生，其反应的实质还是一个电化学反应过程。如果单晶硅是 p 型重掺，那么式（2.5-1）中所产生的电子就会被复合掉，从而阻止了反应的进行。

4）硅化物的解吸　经过前三步反应后所产生的硅化物 [$Si(OH)_2^{2+}$] 由于带正电荷，所以会被硅片表面带的负电荷所吸引，而吸附在硅片表面上，如果没有进一步反应就会阻止硅的腐蚀。然而事实上，还会存在下面的反应：



$$Si(OH)_2^{2+} + 4OH^- \longrightarrow SiO_2(OH)_2^{2-} + 2H_2O \quad (2.5\text{-}4)$$

这样带负电荷的硅化物 $SiO_2(OH)_2^{2-}$ 就会和硅片表面所带的负电荷相排斥而从硅片表面解吸。所以，硅单晶可以持续地进行腐蚀。

上面腐蚀总的化学反应方程式为：



$$Si + 2OH^- + 2H_2O \longrightarrow SiO_2(OH)_2^{2-} + 2H_2\uparrow \quad (2.5\text{-}5)$$

（2）硅单晶在 KOH 溶液中的腐蚀速率

除了受硅单晶中 B 的掺杂浓度的影响外，硅单晶在 KOH 溶液中的腐蚀速率主要受硅单晶的晶面、溶液成分和温度的影响。一般说来，硅单晶的（110）晶面具有最大的腐蚀速率，而（111）面具有最小的腐蚀速率，表 2.5-1 归纳了 70℃下硅单晶在不同 KOH 溶液中的腐蚀速率随晶向的变化。其次，硅单晶在低浓度和高浓度 KOH 溶液中的腐蚀速率较小，而在中等浓度下具有最大的腐蚀速率。然而，随着腐蚀溶液浓度的提高，硅单晶表面的粗糙度会降低。最后，随着腐蚀温度的升高，其腐蚀速率会变大。硅单晶（100）晶面的腐蚀速率（$v_{(100)}$）与浓度和温度之间的关系可以由下式表示：

$$v_{(100)} = K_0 [H_2O]^4 [KOH]^{0.25} \exp(-E_A/kT) \quad (2.5\text{-}6)$$

式中，$[H_2O]$ 和 $[KOH]$ 分别表示 H_2O 和 KOH 的摩尔浓度，E_A 和 k 分别表示反应激活能和玻耳兹曼常数。表 2.5-2 归纳了单晶硅的腐蚀速率随 KOH 溶液中成分和温度的变化。

表 2.5-1　70℃下硅单晶在不同浓度的 KOH 溶液中的腐蚀速率

晶面	在不同 KOH 浓度中的腐蚀速率/μm·min⁻¹		
	30%	40%	50%
(100)	0.797	0.599	0.539
(110)	1.455	1.294	0.870
(210)	1.561	1.233	0.959
(211)	1.319	0.950	0.621
(221)	0.714	0.544	0.322
(310)	1.456	1.088	0.757
(311)	1.436	1.067	0.746
(320)	1.543	1.287	1.013
(331)	1.160	0.800	0.489
(530)	1.556	1.280	1.033
(540)	1.512	1.287	0.914
(111)	0.005	0.009	0.009

表 2.5-2　KOH 溶液中单晶硅的腐蚀速率随成分和温度的变化

腐蚀溶液	温度/℃	晶面	腐蚀速率/μm·min⁻¹	使用说明
20% KOH + 80% H_2O	20	(100)	0.025	在同温度下具有最快的腐蚀速率
	40	(100)	0.188	
	60	(100)	0.45	
	80	(100)	1.4	
	100	(100)	4.1	
30% KOH + 70% H_2O	20	(100)	0.024	比低浓度更容易得到光滑的表面
	40	(100)	0.108	
	60	(100)	0.41	
	80	(100)	1.3	
	100	(100)	3.8	
	20	(110)	0.035	
	40	(110)	0.16	
	60	(110)	0.62	
	80	(110)	2.0	
	100	(110)	5.8	

续表 2.5-2

腐蚀溶液	温度/℃	晶面	腐蚀速率/$\mu m \cdot min^{-1}$	使用说明
40% KOH + 60% H_2O	20	(100)	0.020	
	40	(100)	0.088	
	60	(100)	0.33	
	80	(100)	1.1	
	100	(100)	3.1	
20% KOH + 80% (H_2O:IPA = 4:1)	20	(100)	0.015	加入 IPA 后腐蚀速率相对降低
	40	(100)	0.071	
	60	(100)	0.28	
	80	(100)	0.96	
	100	(100)	2.9	
44% KOH + 56% H_2O	120	(100)	5.8	
		(110)	11.7	
		(111)	0.02	
23.4% KOH:63.3% H_2O:13.3% IPA	80	(100)	1.0	对掺硼浓度很敏感
		(110)	0.06	

从前面的反应式（2.5-3）可以看出，采用 KOH 溶液腐蚀单晶硅，会产生大量的氢气，这些氢气会阻碍反应的进行。在极低的浓度下，当采用质量分数为 2.5% 的 KOH 溶液对（100）晶面进行表面织构化处理时，这种阻碍反应的作用显得尤为突出。即使在高浓度下，虽然阻碍反应的作用不是很明显，但是会明显影响硅片表面的腐蚀平整度。而在 KOH 溶液加入异丙醇（IPA）后，不仅可以改善低浓度下阻碍反应的作用，而且还可以显著降低不同晶面对腐蚀速率的影响，从而明显改善高浓度下对硅片的化学腐蚀抛光。

虽然采用 KOH 系的腐蚀比较方便实用，但是也存在着一些缺陷。比如，由于所有的碱溶液中必然存在着高浓度碱金属离子，而这些碱金属离子是 MOS 器件工艺所不容许的。另外，KOH 溶液会腐蚀铝，而铝是硅器件工艺中常用的金属。

1.2　TWAH 系

羟化四甲铵（TWAH）也是一类硅单晶各向异性腐蚀剂。相对于 KOH 系统，这类腐蚀剂具有氧化速率慢，无碱金属离子和几乎不腐蚀铝［如加入 $(NH_4)_2HPO_4$］，不腐蚀 Si_3N_4 和 SiO_2，可以和 CMOS 器件工艺相容。而且，羟化四甲铵具有无毒性。它对硅的腐蚀速率也是随温度、成分和晶面而变化的。表 2.5-3 和表 2.5-4 显示的是硅单晶在羟化四甲铵溶液中的腐蚀速率随晶向、成分和温度的变化。

表 2.5-3　80℃下硅单晶在羟化四甲铵溶液中的腐蚀速率

晶面	腐蚀速率/$\mu m \cdot min^{-1}$	与（111）面腐蚀速率的比值
(100)	0.603	37
(110)	1.114	68
(210)	1.154	70
(211)	1.132	69
(221)	1.142	69
(310)	1.184	72
(311)	1.223	74
(320)	1.211	73
(331)	1.099	67
(530)	1.097	66
(540)	1.135	69
(111)	0.017	1

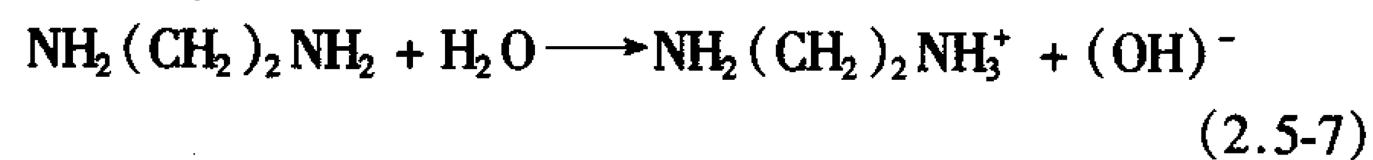
表 2.5-4　单晶硅在羟化四甲铵溶液中的腐蚀速率随成分和温度的变化

腐蚀溶液	温度/℃	晶面	腐蚀速率/$\mu m \cdot min^{-1}$
5% TMAH:95% H_2O	60	(100)	0.33
	70	(110)	0.48
	80	(111)	0.87
	90		1.4
	60		0.64
	70		0.74
	80		1.4
	90		1.8
	60		0.026
	90		0.034
10% TMAH:90% H_2O	60	(100)	0.28
	70		0.41
	80		0.72
	90		1.2
2% TMAH:98% H_2O	80	(100)	0.65
		(111)	0.41
5% TMAH:95% H_2O	80	(100)	0.63
		(111)	0.013
10% TMAH:90% H_2O	80	(100)	0.57
		(111)	0.014
22% TMAH:78% H_2O	90	(100)	0.9
		(110)	1.8
		(111)	0.018
22% TMAH:77.5% H_2O + 0.5% 表面活性剂	90	(100)	0.6
		(110)	0.12
		(111)	0.01
22% TMAH:77% H_2O + 1%表面活性剂	90	(100)	0.6
		(110)	0.1
		(111)	0.009

1.3　EDP 系

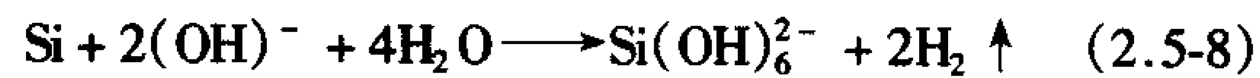
由乙二胺［$NH_2 \cdot (CH_2)_2NH_2$］，邻苯二酚［$C_6H_4(OH)_2$］和水组成的 EDP 混合液也是一种常用的硅各向异性腐蚀液，有时还会在该系统中加入对二氮杂苯（$C_4H_4N_2$）。与 KOH 水溶液相比，EDP 系对硅的腐蚀速率较慢，它们与硅的反应可以由下列反应方程式表示：

1）电离过程：



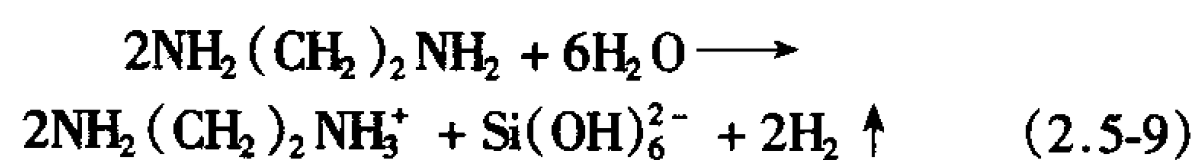
$$NH_2(CH_2)_2NH_2 + H_2O \longrightarrow NH_2(CH_2)_2NH_3^+ + (OH)^- \tag{2.5-7}$$

2）氧化还原过程：



$$Si + 2(OH)^- + 4H_2O \longrightarrow Si(OH)_6^{2-} + 2H_2\uparrow \tag{2.5-8}$$

总反应：



$$2NH_2(CH_2)_2NH_2 + 6H_2O \longrightarrow 2NH_2(CH_2)_2NH_3^+ + Si(OH)_6^{2-} + 2H_2\uparrow \tag{2.5-9}$$

从上面的反应可以发现，乙二胺和水是腐蚀剂的主要成分，而邻苯二酚的作用主要是提高该系统的反应速率。该系统对单晶硅的腐蚀速率随温度、晶向和成分的变化归纳于表 2.5-5。单晶硅在 EDP 系统的腐蚀速率对掺杂元素硼含量的敏感性比 KOH 系统对硼含量敏感性更强，而且不含有碱金属元素，但该腐蚀液具有一定的毒性。

表 2.5-5 硅单晶在 EDP 系统中的腐蚀速率随晶向、成分和温度的变化

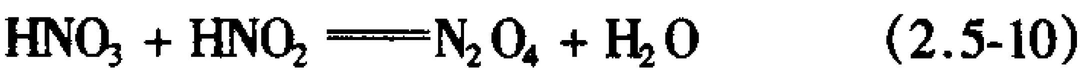
腐蚀溶液	温度/℃	晶面	腐蚀速率/$\mu m \cdot min^{-1}$
500 mL $NH_2(CH_2)_2NH_2$: 88 g $C_6H_4(OH)_2$: 234 mL H_2O	110	(100)	0.47
		(110)	0.28
		(111)	0.028
500 mL $NH_2(CH_2)_2NH_2$: 160 g $C_6H_4(OH)_2$: 160 mL H_2O	115	(100)	0.45
500 mL $NH_2(CH_2)_2NH_2$: 80 g $C_6H_4(OH)_2$: 3.6 $C_6H_4N_2$: 66 mL H_2O	50	(100)	0.075
	75	(100)	0.22
	95	(100)	0.43
	105	(100)	0.57
	110	(100)	0.75

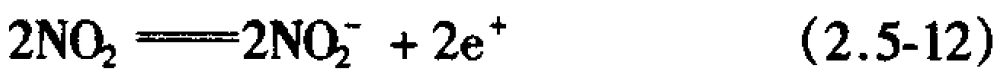
1.4 单晶硅各向异性腐蚀的原因

虽然到目前为止，还不能完全清楚地解释单晶硅的各向异性腐蚀，但是一般认为这种性质与硅的不同晶面的键密度、键结构等相关。对于硅（111）晶面，其表面原子裸露在外的有一个悬挂键，而在这个原子的背面有三个共价键，如果要将这个原子腐蚀掉，那么就必须打断其背面的三个键，所以硅（111）面的腐蚀速率最小。对于硅（100）晶面，表面原子有两个悬挂键，腐蚀掉该原子只需要打断背面的两个原子，因此相对于硅（111）面，硅（100）面的腐蚀速率较快。对于硅（110）面的腐蚀速率最快，可能还存在着以下两个原因，其一是硅（110）面原子的背键表面能较高，其二是水更容易穿透该面而促进了反应速率。

2 单晶硅的各向同性腐蚀

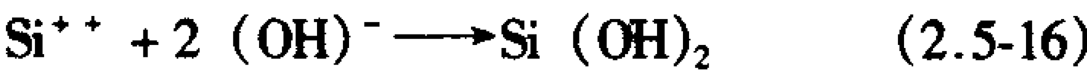
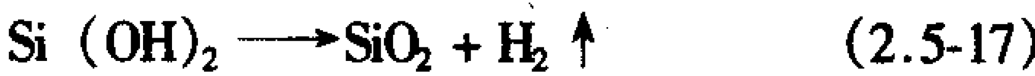
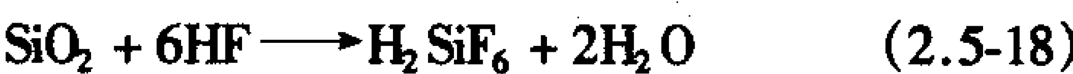
由 HNO_3、HF 和稀释剂（如水或 CH_3COOH）所组成的腐蚀剂是单晶硅各向同性腐蚀的最重要腐蚀剂。HNO_3 的作用主要是使硅单晶表面氧化，形成氧化物；而 HF 的作用主要是除去氧化物，形成可溶性络合物。当 HNO_3 的浓度较低时，氧化速率较慢，此时反应受反应机制控制；而当 HF 浓度较低时，除去硅片表面所形成的氧化物的反应就成为限制因素，所以反应受输运控制。因此只有当两者的比例合适时，反应速率可以达到最大。如果仅仅用 HNO_3 和 HF 腐蚀硅片，其腐蚀速率难以控制；特别是随着反应的进行，反应速率会加快；而加入水或醋酸的作用主要是降低反应的速率。然而事实上，硅同该腐蚀剂的反应机理很复杂，通常认为，可能发生了如下的反应：


$$HNO_3 + HNO_2 = N_2O_4 + H_2O \quad (2.5\text{-}10)$$

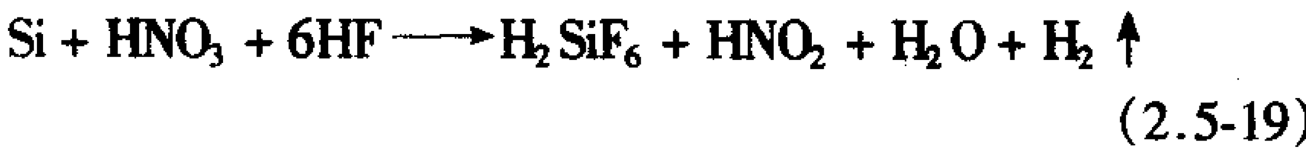
$$N_2O_4 = 2NO_2 \quad (2.5\text{-}11)$$

$$2NO_2 = 2NO_2^- + 2e^+ \quad (2.5\text{-}12)$$

$$2NO_2^- + 2H^+ = 2HNO_2 \quad (2.5\text{-}13)$$

$$Si + 2e^+ \longrightarrow Si^{++} \quad (2.5\text{-}14)$$

$$H_2O = (OH)^- + H^+ \quad (2.5\text{-}15)$$

$$Si^{++} + 2(OH)^- \longrightarrow Si(OH)_2 \quad (2.5\text{-}16)$$

$$Si(OH)_2 \longrightarrow SiO_2 + H_2\uparrow \quad (2.5\text{-}17)$$

$$SiO_2 + 6HF \longrightarrow H_2SiF_6 + 2H_2O \quad (2.5\text{-}18)$$

总反应为：


$$Si + HNO_3 + 6HF \longrightarrow H_2SiF_6 + HNO_2 + H_2O + H_2\uparrow \quad (2.5\text{-}19)$$

从反应式（2.5-10）到反应式（2.5-13）可以看出，HNO_2 的浓度会不断增加，其实质就是一个自催化过程。所以对于该腐蚀剂与硅的反应，开始的腐蚀速率比较慢，甚至需要一个孕育期，以后会不断加速，这不仅可能与反应系统温度变化有关，而且还可能与 HNO_2 的浓度不断增加有关。对于采用该腐蚀剂腐蚀硅片，如果再加入 $NaNO_2$，腐蚀速率会加快。

表 2.5-6 归纳了在不同配比下，硅在该腐蚀剂中的腐蚀速率，其中各腐蚀液的配比是以质量比配制的。然而，在实际之中，影响该反应速率的因素很多，如温度、腐蚀液浓度、气体的排放和光照等等。所以，很难非常准确地重复出相同的腐蚀速率。

表 2.5-6 不同各向同性腐蚀液中硅的腐蚀速率

腐蚀溶液	温度/℃	腐蚀速率/$\mu m \cdot min^{-1}$	使用说明
$7HNO_3$(69.5%): 3HF(49.25%)	25	127	
$21HNO_3$:4HF	25	13.8	
$25HNO_3$:1HF:$25H_2O$	25	0.36	晶体硅
	25	0.54	N 型重掺多晶硅
	25	0.69	多晶硅
$75HNO_3$:8HF:$17CH_3COOH$	25	5	
$5HNO_3$:3HF:$3CH_3COOH$	25	50~75	CP4
$40HNO_3$:1HF:$15CH_3COOH$	25	0.15{111}	
	25	0.20{100}	
$3HNO_3$:1HF:$10CH_3COOH$	25	3	对掺杂剂的种类和密度比较敏感
$27HNO_3$:27HF:$46CH_3COOH$	25	25	
$126HNO_3$:$60H_2O$:$5NH_4F$	20	0.15	(100)晶面
	20	0.31	N 型重掺多晶硅
	20	0.10	本征多晶硅
HF(48%)	25	0.000 03	单晶硅
	25	0.000 07	非晶硅
1HF(48%):$4H_2O$	25	0.000 047	
$7NH_4$(40%):1HF(48%)	25	0.000 04	
$5NH_4$:1HF	20	0.000 9	N 型重掺多晶硅
	20	0.000 2	本征多晶硅
$20H_2O$:H_2O_2:1HF	20	0.0012	N 型重掺多晶硅

3 硅单晶缺陷的腐蚀和显示

目前，生长无位错单晶硅已经不是很困难的事情，然而无位错单晶硅并不意味着单晶硅中没有缺陷。事实上，原生单晶硅中还存在着空位团和原生氧沉淀，在器件工艺过程中也会形成氧沉淀、位错或层错等缺陷。而随着超大规模集成电路的发展，特征线宽逐渐减小，对硅片缺陷和杂质的要求也越来越严格，因此，充分、有效地显示硅中的各种缺陷便显得非常重要。虽然观察缺陷的方法有很多，但是化学择优腐蚀结合光学显微镜观察法是最常用的，也是最重要的方法之一。化学择优腐蚀的原理与单晶硅各向同性腐蚀的原理非

常相似，其化学反应过程也是包括硅表面氧化和氧化物去除这两个步骤。由于采用合适的腐蚀液，使缺陷露头处的腐蚀速率远高于周围硅表面的腐蚀速率，形成腐蚀坑，从而有利于光学显微镜的观察。通常，这种择优腐蚀对单晶硅的不同晶向，掺杂浓度，腐蚀温度和搅拌等因素比较敏感。表 2.5-7 归纳了显示晶体硅中缺陷的不同种腐蚀液。

表 2.5-7 显示晶体硅中缺陷的腐蚀液

序号	腐蚀液	名称	使用说明	腐蚀时间
1	1 mL HF，1 mL Cr_2O_3（5 mol/L）	Sirtl	（111）面位错和旋涡缺陷	5 min
2	1 mL HF，3 mL HNO_3，1 mL CH_3COOH	Dash	可腐蚀各个晶面	8 h
3	2 mL HF，1 mL $K_2Cr_2O_7$（0.15 mol）	Secco	（100）晶面，需搅拌	5 min
	2 mL HF，1 mL Cr_2O_3（0.15 mol）	Secco	（100）晶面	5 min
4	200 mL HF，1 HNO_3		p-n 结	
5	60 mL HF，30 mL HNO_3，60 mL H_2O	Jenkins		6 周
6	60 mL CH_3COOH，30 mL（1 g CrO_3：2 mL H_2O）	Wright	（100）晶面位错	
7	2 mL HF，1 mL HNO_3，2 mL $AgNO_3$（0.65 M in H_2O）	Silver	外延层层错	
8	5 mg H_5IO_6，5 mg KI 在 50 mL H_2O 中，2 mL HF		p-n 结	5 ~ 20 s
9	（150 g/L（1.5 mol/L）CrO_3 对 H_2O）与 HF 1:1	Yang		
10	25 mL HF，18 mL HNO_3，5 mL CH_3COOH，0.1 g Br_2，10 mL H_2O，1 g Cu（NO_3）$_2$	SD1	各个晶面上刃型和混合位错的显示	2 ~ 4 min
11	（300 mL HNO_3，600 mL HF 2 g Br_2，24 g Cu（NO_3）$_2$）:H_2O = 10:1	Sailer	外延层层错	
12	（75 gCrO_3，1 000 mL H_2O）：48%HF = 1:2	Schimmel	适用于（100）面上位错显示	
13	5 g H_5IO_6，50 mL H_2O，2 mL HF，5 mg KI		p-n 结	
14	3HF，5HNO_3，3HAc	CP-4A	显示双晶，p-n 结	2 ~ 5 min

4 硅单晶的干法腐蚀

虽然湿法腐蚀简便、低成本、易操作，在硅材料和器件工艺的研究和生产中应用广泛，但是它存在着一些缺点：①很难制备精细的图案；②对晶体硅的晶向有很强的依赖性；③常常涉及有毒的化学药品或产物。这样，湿法腐蚀方法越来越不适应超大规模集成电路发展的要求，目前，作用越来越突出的是以等离子体技术为基础的干法腐蚀方法。这种方法是将被加工的硅片置于等离子体中，在带有腐蚀性或具有一定能量离子的轰击下，反应生成气态物质，从而达到对硅片进行有选择的、定向腐蚀的效果。到目前为主，有多种干法腐蚀方法，包括纯气相腐蚀法，溅射法，离子铣蚀法，反应离子刻蚀法，化学等离子刻蚀法，反应离子束法和激光辅助刻蚀法等。在这些方法中，有些主要以纯物理或纯化学的方式腐蚀硅片，不过更多的是两种方式兼有。

4.1 纯气相腐蚀法

纯气相腐蚀法（plasmaless gas-phase etch）是指采用气相卤化物直接腐蚀硅，从而达到对硅片进行腐蚀的效果。采用该方法所进行的腐蚀具有各向同性的特点。表 2.5-8 和表 2.5-9 分别归纳了在室温和高温条件下晶体硅在气相卤化物中的腐蚀速率。

表 2.5-8 在室温条件下晶体硅在气相卤化物中的腐蚀速率

腐蚀剂	温度/℃	压强/kPa	腐蚀速率/$\mu m \cdot min^{-1}$
BrF_3	室温		5（μm/min，133.322 Pa）
BrF_5	室温		0.15（μm/min，133.322 Pa）
ClF_5	室温		0.12（μm/min，133.322 Pa）
F_2	室温		0.03（μm/min，133.322 Pa）
IF_5	室温		0.22（μm/min，133.322 Pa）
O_2/4%O_3 + HF/H_2O/N_2	室温	66.66	0.084（磷掺杂硅）
			0.11（砷掺杂硅）
			0.042（硼轻掺杂硅）
			0.12（硼重掺杂硅）
XeF_2	室温		23（μm/min，133.322 Pa）
XeF_2	22	0.333 3	3 ~ 5
XeF_2	20	-0.346 6	0.3 ~ 0.6

表 2.5-9 在高温条件下晶体在气相卤化物中的腐蚀速率

腐蚀剂	温度/℃	压强/Pa	腐蚀速率/$\mu m \cdot min^{-1}$	备注
Cl_2	1 500	1.33	0.01	
CF_3Br	1 500	1.33	0.01	
F_2	220	226.64	0.5	

续表 2.5-9

腐蚀剂	温度/℃	压强/Pa	腐蚀速率/μm·min⁻¹	备注
$H_2+1\%\ SF_6$	1 060	101.32	1	100 L/min(H_2)
$H_2+5\%HCl$	1 150	101.32	2.0	(100)
	1 200	101.32	3.4	(100)
$H_2+5\%HCl$	1 280	101.32	4.8	6 L/min(H_2),(111)
$H_2+2\%HCl$	1 260	101.32	1.0	6 L/min(H_2)
$H_2+0.55\%H_2S$	1 200	101.32	2.1	100 L/min
$He+0.2\%\ Cl_2$	1 100	101.32	1.0	10 L/min
$He+20\%H_2+1\%HI+0.001\%HF$	900	101.32	1.0	10 L/min
SF_6	915	0.021	0.06	2.3 mL/min

4.2　溅射刻蚀法和离子束铣蚀法

溅射刻蚀法和离子束铣蚀法（sputtering and ionmilling etch）都是利用放电时所产生的高能惰性气体等离子体轰击硅片表面，从而达到硅片腐蚀的效果。所以，这两种方法主要是物理刻蚀方法。这两种方法的另外一个特点是：无论对硅片还是对硅片表面的掩盖材料都不具有选择性，即腐蚀速率相差不大。而两者的区别主要是后者是将离子加速系统与腐蚀材料分开放置。表 2.5-10 和 2.5-11 分别归纳了晶体硅的离子溅射刻蚀速率和离子束铣蚀速率。

表 2.5-10　晶体硅在不同的惰性等离子气体下的溅射刻蚀速率

溅射气体	压强/Pa (mtorr)	单位面积功率/W·cm⁻²	腐蚀速率/nm·min⁻¹	备注
Ar	2.67(20)	1.3	13.8	13.56 MHz
Ar	1.33(10)	0.5	1	13.56 MHz
Ar	4.00(30)	0.5	4	13.56 MHz
Ar	0.27～0.67(2～5)	1.0	53	100 V,5～12 mA/cm²
		2.0	140	200 V
		3.0	230	300 V
		6.0	400	600 V
He	10.67(80)	1.0	11	100 V,DC,＜15 mA/cm²
		2.0	34	200 V
		3.0	56	300 V
		6.0	110	600 V
Kr	0.53(4)	1.0	38	100 V
		2.0	90	200 V
		3.0	170	300 V
		6.0	480	600 V
Ne	5.33(40)	1.0	26	100 V,13～5 mA/cm²
		2.0	98	200 V
		3.0	190	300 V
		6.0	410	600 V
Xe	0.13(1)	2.0	60	200 V,2～8 mA/cm²
		3.0	160	300 V
		6.0	380	600 V

表 2.5-11　晶体硅在不同的惰性等离子气体下的离子束铣蚀速率

离子	能量/keV	入射角/(°)	腐蚀速率/nm·min⁻¹ mA·cm⁻²
Al	5		75
Ar	0.2	0	24.8
	0.5	0	51.1
	1.0	0	70
	10	0	119
Ar	0.5	0	22～50
	1.0	0	36～75
Ar	10	0	75
Ar	3	0	90
	3	45	210
	3	60	353
D	1		1.5
H	1		0.6
He	1		7.5
Kr	0.2	0	22
	0.5	0	53
	1.0	0	68.4
	10	0	158
N	5		37.6
Ne	0.2	0	34.6
	0.5	0	45.9
	1.0	0	62.4
	10	0	59.4
O	8	35	120
Xe	0.2	0	21
	0.5	0	60
	1.0	0	76
	10	0	188

4.3　化学等离子刻蚀法和反应离子刻蚀法

化学等离子刻蚀法（CAIBE）就是利用腐蚀气体分子在高频电场作用下，发生电离形成辉光放电，产生等离子体，利用离子与硅片表面的化学反应，生成挥发性物质，由真空抽走，从而达到刻蚀的目的。这种刻蚀法的腐蚀速率比较大，但是各向异性较差，适合微米级刻蚀。

反应离子刻蚀法（RIE）是在平板式反应器的基础上，使阴极与阳极的面积比为 2～（3:1），待加工的硅片放在阳极板上，被激励的等离子体与阳极板表面形成偏压，加速正离子溅射，进行刻蚀。反应离子刻蚀中，以物理溅射为主，即需要一个物理撞击硅片过程，同时兼有化学腐蚀。这种刻蚀有着比较好的各向异性，但刻蚀速率要小一些。反应离子刻蚀中的气体放电，不仅可以产生活性中性基、活性离子，而且可以产生惰性粒子。

这两种硅刻蚀的方法对很多因素都很敏感，如功率、压

强、气体流速、温度等。表 2.5-12 和 2.5-13 分别归纳了硅　在这两种刻蚀方法下的刻蚀速率。

表 2.5-12　硅在化学等离子刻蚀下的刻蚀速率

通入气体	功率/W·cm^{-2}	压强/Pa	流量/cm^3·s^{-1}	频率/MHz	腐蚀速率/nm·min^{-1}
CF_4	0.38	79.99	30	13.56	50
C_2F_6	0.32	46.67	200		3
C_3F_8	<0.5	40		DC，1	<40
C_4F_{14}	5	133.32	100	0.05	800
F_2	20 W	66.66	45		200
NF_3	0.3	20		0.38	1 800
SF_6	0.36	26.66	50		1 750
SF_6	2 W/cm^3	0.93	1.5	7	3 000
Cl_2	0.6	40	35		50
Cl_2	0.6	133.32	35	1	600
CCl_4	0.19	13.33	25		45
CCl_4	0.38	33.33	40	0.37	95
CF_3Cl	0.16	46.66	200		10~100
CF_2Cl_2	0.38	24	50		130
$CFCl_3$	0.19	13.33	25		43
C_2ClF_5	0.36	20	50		25
H_2	10 W/cm^3	26.66		30	25~50
$CBrF_3$	0.3	66.66	500	25~150	25~75
SO_2F_2	1	13.33			560
CF_4/H_2（>10%）	0.16	22.66	20		<30
CF_4/O_2（16%）	0.16	46.67	200		450
CF_4/O_2（50%）	680 W	16		2 450	600
CF_4/He（50%）	50 mA	33.33	55	DC	6
CF_4/N_2（20%）	40 W	1.33	100		60
CF_4/N_2O（20%）	40 W	1.33	100		140
CF_4/CF_3Cl（6%）$/O_2$（1%）	5	466.62			1 000
C_2F_6/Cl_2（20%）	0.32	46.66	200		120
C_2F_6/CF_3Cl（50%）	0.44	53.33	200		98
C_6F_{14}/H_2（20%）	5	133.32	100	0.05	5
C_6F_{14}/N_2（50%）	5	133.32	100	0.05	500
CHF_3/N_2（20%）	5	133.32	100	0.05	180
F_2/He（80%）	250 V	66.66			200
NF_3/He（50%）	50 mA	33.33	55	DC	500
NF_3/O_2（25%）	80 mA	13.33		DC	2 000
SF_6/H_2（20%）	0.16	26.66	20		280
SF_6/H_2（20%）	1.8	133.32	27	27	>1 000
SF_6/H_2（65%）	0.5	20	450		800
SF_6/Ar（99%）	0.16	26.66	20		100
SiF_4/O_2（20%）	(150)	133.32			30
CCl_4/O_2（20%）	0.38	33.33	40	10.4	100
CCl_4/Cl_2（40%）	500 W	10			55
CF_2Cl_2/C_2H_6（23%）	0.38	24	65		<10
CF_2Cl_2/H_2（50%）	0.19	24	50		0
CF_3Br/He（30%）	0.28	40	200		100
CF_3Br/SF_6（30%）	0.36	20	50		510
C_2ClF_5/SF_6（50%）	0.36	20	50		510
C_3F_8/CF_4（6%）/Ar（80%）	3	30.66		0.1	50

续表 2.5-12

通入气体	功率/$W\cdot cm^{-2}$	压强/Pa	流量/$cm^3\cdot s^{-1}$	频率/MHz	腐蚀速率/$nm\cdot min^{-1}$
NF_3	500 W	2.66		13.56	360
NF_3	500 W	13.33		13.56	480
CF_4	500 W	2.66		13.56	60
CF_4	500 W	13.33		13.56	140
SiF_4	500 W	2.66		13.56	12
SiF_4	500 W	13.33		13.56	36
Cl_2	500 W	2.66		13.56	340
Cl_2	500 W	13.33		13.56	66
HBr	500 W	2.66		13.56	160
HBr	500 W	13.33		13.56	130
SF_6	0.5	33.33	25	13.56	170
SF_6	0.5	33.33	25	13.56	280
SF_6	0.8	20	80	13.56	580
SF_6	0.8	20	80	13.56	540
SF_6:He	0.17	33.33	13:21	0.05	30
SF_6:He	0.17	33.33	13:21	0.05	73
SF_6:He	0.17	33.33	13:21	0.05	67
SF_6:He	0.43	50	175:50	13.56	640
SF_6:He	0.43	50	175:50	13.56	700
SF_6:He	0.71	50	175:50	13.56	840
SF_6:He	0.71	50	175:50	13.56	920
Cl_2:He	0.71	56.66	180:400	13.56	500
Cl_2:He	0.71	56.66	180:400	13.56	570
Cl_2:He	0.71	56.66	180:400	13.56	320
HBr:Cl_2	0.51	40	70:70	13.56	45
HBr:Cl_2	0.51	40	70:70	13.56	46
CF_4:CHF_3:He	1.29	373.30	90:30:120	13.56	190
CF_4:CHF_3:He	1.29	373.30	90:30:120	13.56	210
CF_4:CHF_3:He	2.43	373.30	90:30:120	13.56	220
CF_4:CHF_3:He	2.43	373.30	90:30:120	13.56	170

表 2.5-13 硅在反应离子刻蚀下的刻蚀速率

通入气体	功率/$W\cdot cm^{-2}$	压强/Pa	流量/$cm^3\cdot s^{-1}$	频率/MHz	腐蚀速率/$nm\cdot min^{-1}$
CF_4	1.3	2.66		13.56	90
CF_4	0.3	40	25	13.56	40
CF_4	1.67	6.67	43	13.56	240
CF_4	1.0	1.33		13.56	180
CF_4	(60 W)	0.066		2 450	20
C_2H_6	0.64	40	25	13.56	14
C_2H_6	(60 W)	0.07		2 450	10
C_3H_8	0.1	2.66	25	13.56	2.5
C_3H_8	(60 W)	0.07		2 450	10
C_4H_8	(60 W)	0.07		2 450	3
C_4H_{16}	(60 W)	0.07		2 450	9
NF_3	0.2~0.6	6.67		13.56	300~500
SF_6	0.16	26.66	20	13.56	520
SiF_4	0.64	40	10	13.56	10
Cl_2	0.67	1.33	10	13.56	400
HCl	2.2	133.32	600	13.56	450~600

续表 2.5-13

通入气体	功率/W·cm^{-2}	压强/Pa	流量/cm^3·s^{-1}	频率/MHz	腐蚀速率/nm·min^{-1}
BCl_3	0.2	10	90	13.56	14
CCl_4	0.67	1.33	10	13.56	240
$SiCl_4$	0.3	8		13.56	100
CF_3Cl	(150 W)	26.66		13.56	5
CF_2Cl_2	1.3	2.66		13.56	220
CF_2Cl_2	0.27	3.33	5	13.56	40
$CFCl_3$	1.3	2.66		13.56	167
CHF_3	0.37	40	30	13.56	7
CHF_3	1.6	6.67		13.56	100
$CHClF_2$	1.3	2.66		13.56	143
$CHCl_2F$	1.3	2.66		13.56	41
$(CCl_2F)_2$	1.3	2.66		13.56	128
C_2HCl_3	1.3	2.66		13.56	33
CCl_3F_3	1.3	2.66		13.56	202
$(CBrF_2)_2$	1.3	2.66		13.56	185
SO_2F_2	1.0	8		13.56	349
PF_5	1.0	8		13.56	350
CBF_3	0.48	40	15	13.56	100
CF_4/H_2 (40%)	0.26	4.67	28	13.56	<1
CF_4/O_2 (20%)	0.48	40	50	13.56	310
CF_4/O_2 (20%)	1.0	1.33		13.56	300
CF_4/Cl_2 (60%)	0.2	5.33	30	13.56	45
CF_4/I_2 (20%)	0.32	2.66	15	13.56	53
CF_4/C_2F_4 (20%)	1.0	2.66	600	13.56	2
CF_4/C_2H_4 (10%)	0.64	2.66	28	13.56	10
NF_3/HCl (25%)	0.2	6.67	20	13.56	400
NF_3/CCl_4 (25%)	0.2	6.67	20	13.56	40
NF_3/Cl_2 (50%)	2.0	1.33	80	13.56	500
NF_3/Ar (60%)	0.27	8	10	13.56	200
NF_3/N_2 (60%)	0.27	8	10	13.56	180
SF_6/Ar (50%)	3.0	1.33	80	13.56	1 600
SF_6/H_2 (20%)	0.16	26.66	20	13.56	370
SF_6/N_2 (50%)	0.5	2		13.56	100
SF_6/O_2 (20%)	0.16	26.66	20	13.56	650
SF_6/O_2 (20%)	2	1.33	80	13.56	1 500
SF_6/O_2 (20%)	(2 A)	0.27		DC	1 100
SF_6/Cl_2 (10%)	0.55	30.66	28	13.56	840
SF_6/HCl (25%)	0.2	6.67	20	13.56	170
SF_6/CCl_4 (20%)	0.09	9.33		13.56	50
$SF_6/CFCl_3$ (20%)	0.55	30.66	28	13.56	540
SF_6/CF_2Cl_2 (50%)	3	1.33	80	13.56	900
SF_4/Cl_2 (50%)	0.64	40	10	13.56	50
$SiCl_4/H_2$ (50%)	0.34	8	100	13.56	70
$SiCl_4/H_2$ (50%) $/Cl_2$ (25%)	0.34	8	100	13.56	100
$SiCl_4/O_2$ (50%)	0.3	2.66	3	13.56	110
Cl_2/He (50%)	0.34	8	100	13.56	40
Cl_2/Ar (96%)	0.16	12	50	13.56	140
Cl_2/H_2 (25%)	1.6	26.66	130	13.56	320

续表 2.5-13

通入气体	功率/$W \cdot cm^{-2}$	压强/Pa	流量/$cm^3 \cdot s^{-1}$	频率/MHz	腐蚀速率/$nm \cdot min^{-1}$
Cl_2/H_2（43%）	1.0	6.67	50	13.56	800
Cl_2/H_2（2%）/CH_4（4%）	1.6	26.66	100	13.56	320
$Cl_2/CHCl_3$（45%）	1.6	26.66	105	13.56	400
BCl_3/Cl_2（10%）	0.2	10	90	13.56	33
CCl_4/O_2（25%）	0.69		200	13.56	300
C_2F_6/C_2H_4（10%）	0.64	40	28	13.56	9
C_2F_6/He（69%）	1.25	266.64	58	13.56	250
CF_2Cl_2/O_2（20%）	1.3	2.66		13.56	500
CF_2Cl_2/O_2（20%）	0.45	40	20	13.56	40
CF_2Cl_2/Cl_2（50%）	2	1.33	80	13.56	300
CF_2Cl_2/NH_3（30%）	0.3	9.33	63	13.56	105
CHF_3/NH_3（4%）	0.5	40	12	13.56	3
CHF_3/O_2（8%）	0.25	40	30	13.56	20
CHF_3/CO_2（8%）	0.25	40	30	13.56	5
CHF_3/H_2（20%）	1.5	6.67	40	13.56	100
Cl_2		0.07		（ECR）	1 300

4.4　反应离子束法

反应离子束法（RIBE）是改进的离子束刻蚀，加入离子源的气体不是惰性气体，而是反应气体。这两种刻蚀方法都是通过一个栅电极，从等离子体中萃取离子而形成离子束，避免了硅片与等离子体直接接触。栅电压是可以调节的，以控制离子能量，通过控制等离子体的电离程度来控制离子束密度，从而控制刻蚀速率。刻蚀的形状则根据压力的不同而呈现各向同性到各向异性。表 2.5-14 总结了硅在不同的反应离子束刻蚀下的刻蚀速率。

表 2.5-14　硅在反应离子束刻蚀下的刻蚀速率

腐蚀离子	能量/keV	压强/Pa	腐蚀速率/$nm \cdot min^{-1}$	产出比（原子/离子）
F^+	0.5	1.33×10^{-6}	45	0.6
F^+	1	1.33×10^{-6}	72	0.96
Cl^+	0.5	1.33×10^{-6}	83	1.1
Cl^+	1	1.33×10^{-6}	98	1.3
Br^+	0.5	1.33×10^{-6}	92	1.22
Br^+	1	1.33×10^{-6}	143	1.9
CF^+	0.5	1.33×10^{-6}		−0.7
CF^+	1	1.33×10^{-6}	23	0.3
CF_2^+	0.5	1.33×10^{-6}	23	0.3
CF_2^+	1	1.33×10^{-6}	38	0.5
CF_3^+	0.5	1.33×10^{-6}	45	0.6
CF_3^+	1	1.33×10^{-6}	90	1.2
BF^+	0.5	1.33×10^{-6}		0
BF^+	1	1.33×10^{-6}	23	0.3
BF_2^+	0.5	1.33×10^{-6}	23	0.3
BF_2^+	1	1.33×10^{-6}	53	0.7
PF^+	0.5	1.33×10^{-6}	30	0.4
PF^+	1	1.33×10^{-6}	68	0.9
SF^+	0.5	1.33×10^{-6}	23	0.3

续表 2.5-14

腐蚀离子	能量/keV	压强/Pa	腐蚀速率/$nm \cdot min^{-1}$	产出比（原子/离子）
SF^+	1	1.33×10^{-6}	53	0.7
P^+	0.5	1.33×10^{-6}	19	0.25
P^+	1	1.33×10^{-6}	60	0.8
S^+	0.5	1.33×10^{-6}	53	0.7
S^+	1	1.33×10^{-6}	75	1
CF_4^+	0.5	1.33×10^{-2}	15	0.2
CF_4^+	1	1.33×10^{-2}	20	0.27
CF_4^+	1	1.33×10^{-2}	60	0.8
CF_4^+	3	0.11	18	
$C_2F_6^+$	1	1.33×10^{-2}	25～60	0.3～0.8
$C_2F_6^+$	3	0.11	21	
$C_3F_8^+$	3	0.11	1	
SF_6^+	3	0.11	39	0.52
Cl_2^+	0.5	1.33×10^{-2}	90	1.25
Cl_2^+	1	1.33×10^{-2}	130	1.8
Cl_2^+	1	0.07	150	2
CCl_4^+	1	0.07	90	1.2
XeF_2/Ar^+	0.5	1.33×10^{-2}	128	1.7
Cl_2/Ar^+	0.45	0.05	117	1.55

4.5　激光辅助刻蚀法

无论是在纯化学腐蚀法中，还是在反应离子刻蚀法中，激光都可能会促进其腐蚀速率，故可以用激光辅助刻蚀法（laser-assisted etch）。激光的波段可以从高能量的紫外光到较低能量的红外光。表 2.5-15 和表 2.5-16 分别总结了硅的激光辅助化学腐蚀速率和硅的激光辅助等离子刻蚀速率。

表 2.5-15　硅在激光辅助化学腐蚀下的腐蚀速率

激光（波长）	能量密度	腐蚀气体	压强/Pa	腐蚀速率/$nm \cdot s^{-1}$
Ar（448 nm）	30 W/cm^2	Br_2	1 866.51	0.006
Ar（448 nm）	30 W/cm^2	Br_2	23 997.96	0.1
Ar（448 nm）	（7 W）	Cl_2	26 664.	6 000
Ar（448 nm）	（<4 W）	XeF_2	1.33×10^{-3}	0.6
Ar（448 nm）	1 MW/cm^2	KOH	液态	15 000
灯（550 nm）	53 $\mu W/cm^2$	9HF（48%）：19H_2O	液态	2.6
CO_2（10.6）	20 MW/cm^2	HF	133.32	0.15 nm/pluse
CO_2（10.6）	20 MW/cm^2	XeF_2	133.32	0.07 nm/pluse
N_2（337 nm）	12 MW/cm^2	Cl_2	13.33	1.9（100）晶面
N_2（337 nm）	12 MW/cm^2	Cl_2	13.33	1.3（111）晶面
ArF（193 nm）	85 mJ/cm^2	COF_2	34 663.72	0.13
XeCl（308 nm）	1.5 W/cm^2	Cl_2	2 266.47	6.7
KrF（248 nm）	1 J/cm^2	Cl_2	1.01×10^{-5}	3 nm/pluse
D_2 灯（115 ~ 350 nm）	1.61 W/cm^2	SF_6	453.30	0.05

表 2.5-16　硅在激光辅助等离子刻蚀下的腐蚀速率

激光（波长）/nm	辐照能量密度	腐蚀气体	压强/Pa	腐蚀速率/$nm \cdot s^{-1}$
Ar（514）	120 kW/cm^2	CF_4/20%O_2	16	8
Ar（514）	10 kW/cm^2	NF_3	13.33	12
KrF（248）	0.15 W/cm^2	Cl_2	26.66	0.7

编写：席珍强（浙江大学）

第6章　硅晶片的加工工艺

晶体生长得到的硅单晶锭不能直接用于半导体器件制造，只有将圆柱形的晶锭经过一系列的加工形成硅片，才能在半导体制造中发挥作用。而硅片加工（wafer process）最简单的定义就是：将所生产的硅单晶锭，经过一系列的机械化学工序形成硅片的过程。硅片加工作为超大规模集成电路最基本的工序，对其之后的器件工艺有着重要的影响，而其后的各道工艺也对硅片加工提出了相应的要求，特别是在硅片平整度和杂质颗粒数量等方面。硅片加工的具体过程包括了切断（cropping）、滚圆（rounding）、切片（slicing）、晶向定位（orientation）、倒角（edge Contouring）、研磨（lapping）、抛光（polishing）、化学腐蚀（etching）以及清洗（cleaning）等多道工序，其工艺流程如图 2.6-1 所示。

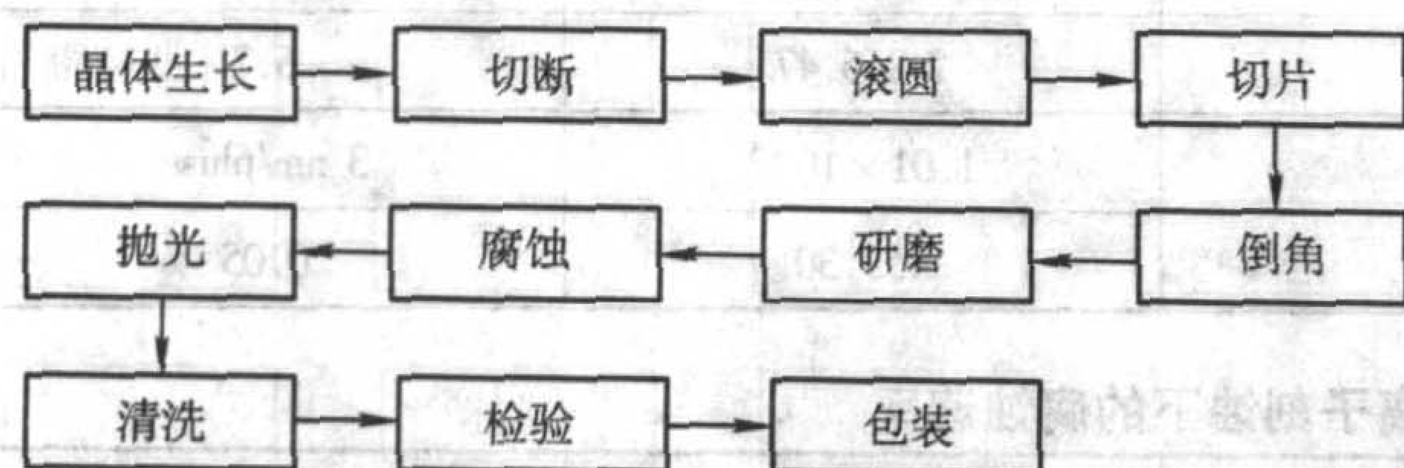


图 2.6-1　硅片加工工艺流程示意图

随着超大规模集成电路的发展，对硅片的要求也越来越严格，以满足芯片设计和器件制造的高标准要求。对硅片加工的要求主要是如下的三点：硅片的几何尺寸和形状（直径、平整度、翘曲度等）；表面完整性（粗糙度、光散射性等）；硅片的洁净度（表面颗粒数、金属杂质浓度等）。

本章先介绍晶体生长得到的硅单晶如何通过切割分段得到晶锭；然后如何对晶锭进行切片加工并通过研磨来使硅片具有一定的平整度和平行度；而经过研磨的硅片还需要通过抛光工艺过程才能达到集成电路所要求的质量；最后，还将对抛光硅片所应达到的质量和包装运输进行简要的描述。

1　切断和滚圆

现代的电子工业广泛采用了各种片架式加工设备，这就要求硅片要具有相同的直径。但是，在硅单晶生长过程中，人们不可能把单晶的直径控制在一个精确的范围内；而且，硅单晶晶锭的表面还存在着扁棱或突起的生长棱线。因此硅单晶在晶体生长完成之后，首先要进行的就是对其外形进行处理，包括切割分段和滚圆。

对于生长好的单晶锭，一般要将其头尾部分（即籽晶和肩部、尾部）、电阻率或完整性不符合要求的部分使用外圆切割机切除，切除的部分作为冶金级硅回收（目前此部分硅材料已成为太阳能用硅材料的重要来源）。同时，切断还起到了将硅单晶棒分割成切片设备可以处理的长度的作用。此外，在此阶段，一般要切取一定的试片，来进行电阻率、氧含量、以及氧化诱生层错等的检验。目前，工业用单晶切割设备主要是外圆切割机和带式切割机。由于外圆切割机切割大直径硅单晶时，需要的刀片厚度较厚，造成切割的硅材料损耗也相应较大，因此大直径硅单晶最好使用带式切割机进行切割。对于 <100> 晶向的单晶，切割过程中因为比较容易出现切缝根部破损，常使用石墨条粘贴在切缝的根部，并且将切割速率保持在 7 mm/min 以下，来避免切割裂纹。通常，切断过程中都会采用流体冷却的方式，除了降低晶锭和刀片的温度，还会带走切割时产生的锯屑。至于流体的选择，则取决于是否会沾污晶锭和腐蚀刀片等。

切割分段完毕的硅晶锭，要经过滚圆和定位边研磨使其直径达到要求和标明晶向。由于晶体生长时不可能做到精确控制晶体的直径和圆度，因此晶锭一般都会生长得大一些，并通过其后的径向研磨（即滚圆）来达到所需直径（大于最终抛光片直径 1 mm 以上，以配合后面的倒角等过程的磨损量）。滚圆时，使用金刚石磨轮沿着晶锭表面来回运动磨削表面，如图 2.6-2 所示。金刚石磨轮在磨削表面时，会在晶锭表面层中产生微缺陷；磨轮磨粒越粗，磨削深度越大，其缺陷层的深度也越深。因此，在滚圆过程中，必须先使用粗磨轮，然后使用细磨轮进行磨削。一般而言，现在的滚圆设备上都是同时装配着两个磨粒粗细度不同的磨轮，粗磨轮在前，细磨轮在后，对晶锭进行滚圆加工。当然，滚圆过程中也需要流体冷却和冲走碎屑。

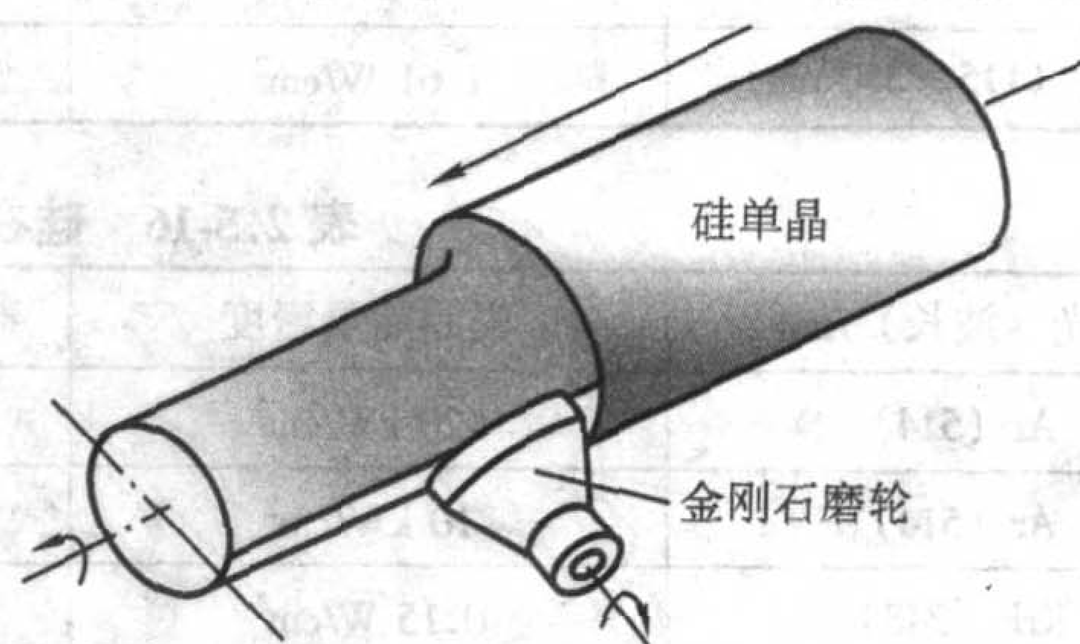


图 2.6-2　硅单晶滚圆示意图

滚圆过程中晶体表面多少会受到一些损伤，这些损伤在其后的机械加工过程中，有可能会在外力作用下在晶锭或硅片的边缘产生微裂纹，造成硅片在加工过程中破损。因此，在滚圆工艺之后通常都会对硅单晶锭表面进行化学腐蚀处理，去除损伤层，并使硅单晶锭最终达到规格所要的尺寸。事实上，硅片加工的各步骤中，都会有相应的腐蚀工艺来去除损伤层，使其在下一道工序中不会因为损伤层的存在而破损。

为了在器件加工过程中，对硅片进行精确定位，硅单晶片需要制备定位面（参考面），以标明晶体的结构和硅片的晶向，而这就要求进行定位边（参考面）研磨。定位边也是使用滚圆设备来加工，只不过使用磨粒颗粒较小的磨轮来磨边。一般而言，主参考面较大，是（110）面。主定位边（参考面）用来作为机械定位的参考面，次定位边标明硅片结晶轴方向和导电类型。图 2.6-3 和图 2.6-4 分别是硅片定位边加工和定位边与晶向、导电类型的关系的示意图；表 2.6-1 则给出了主、次参考边的规格。

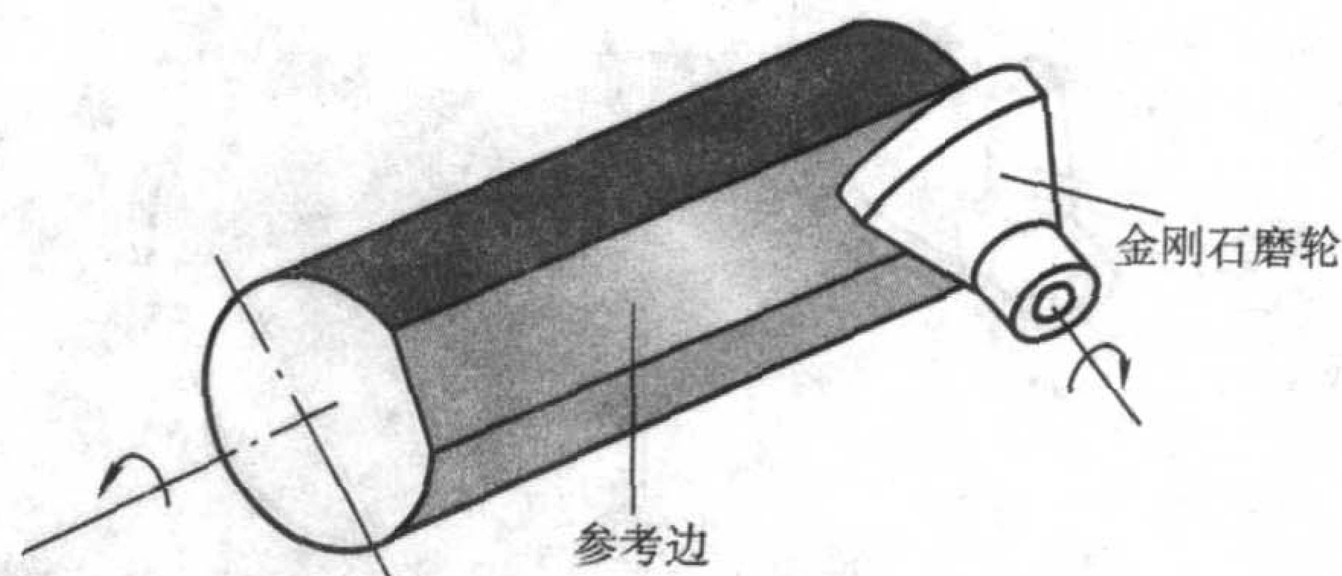


图 2.6-3　硅单晶参考边加工示意图

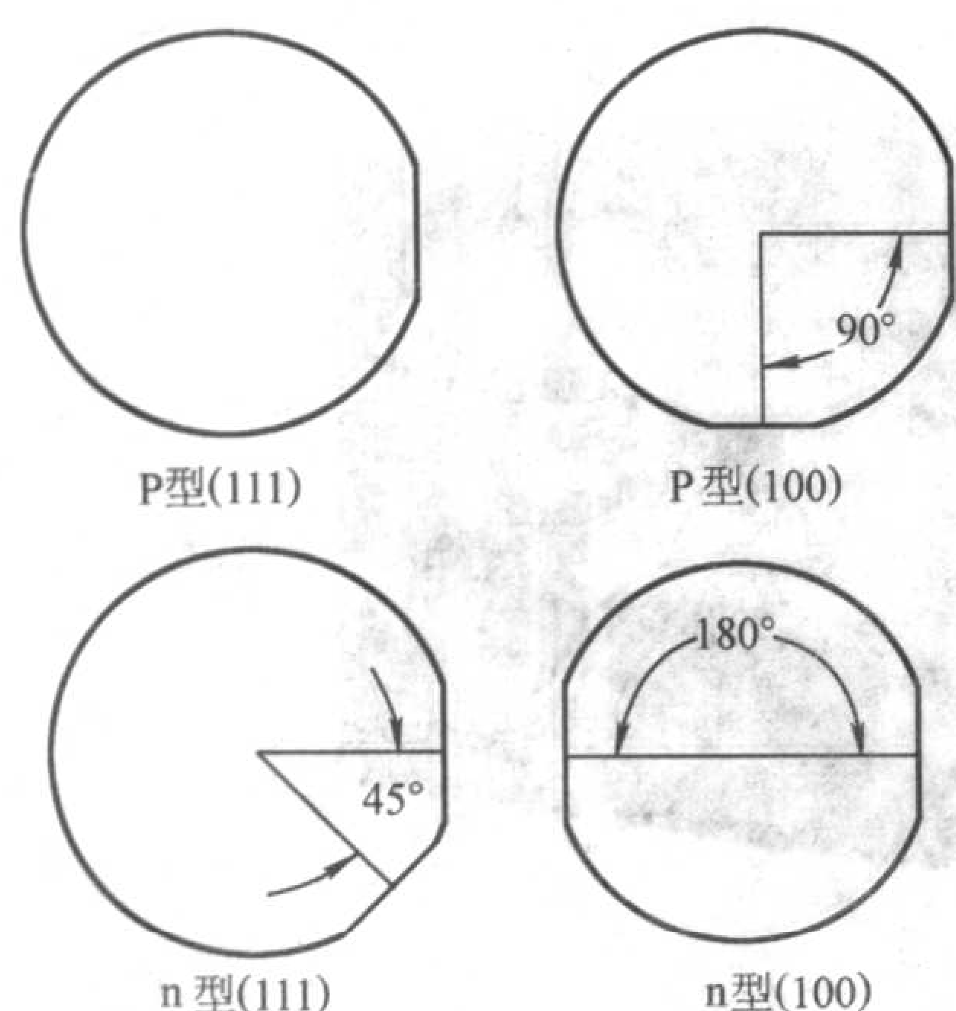


图2.6-4　硅片参考边与导电类型的对应关系

表2.6-1　硅片参考边规格

主参考边		次参考边	
直径/mm	长度及公差/mm	直径/mm	长度及公差/mm
100	32.5±2.5	100	18.0±4.0
125	42.5±2.5	125	27.5±4.0
150	47.5±2.5	150	37.5±4.5

目前，直径在200 mm以上的硅片基本上都以定位槽（V形槽）代替了定位边；定位槽和附近一小块区域上的激光标记，构成了硅片的基本信息。而对于300 mm的硅片而言，激光打标业已成为业界的标准。激光打标一般位于硅片背面靠近边缘区域，即硅片固定质量区域（制造芯片的区域）之外，这一区域一般为距边缘3 mm左右。

2　切片和倒角

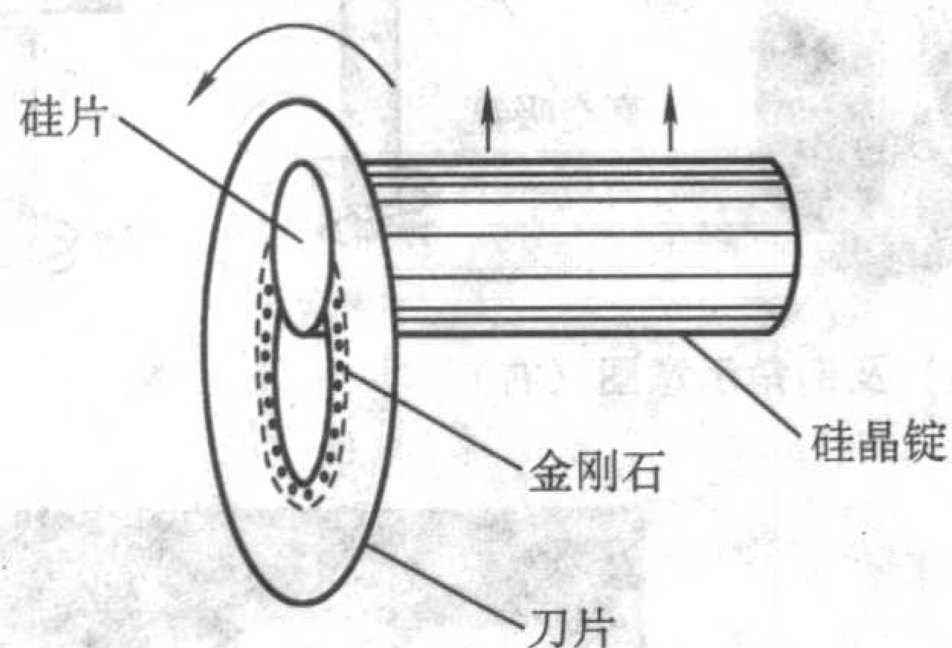
晶锭外形达到要求后，切片工艺就可以进行了，其具体的工艺有晶锭黏着、X射线定位、切片、硅片拆卸清洗、检验等几个步骤。在这些工艺中，硅片的晶向（surface orientation）、厚度（thickness）、斜度（taper）、翘曲度（warpage）和平行度(parallelism)都被决定下来了，可见，切片工艺在硅片生产工艺中是非常重要的一个环节。

切片过程中，晶锭要稳定地固定在切片机上并避免边缘的破损，就必须将晶锭黏着在石墨条上加以稳定；同时石墨条还会起到修正锯片的效果。黏着前，先用三氯乙烯或专用清洗剂将单晶锭表面的有机物清洗干净，再与石墨条一起放入烘箱，在150℃左右 烘烤1 h；然后取出并在在80℃下使用黏结剂黏结。此时，应注意晶锭的方向，头尾应有标记，不要倒置。待冷却后再将晶锭放在切割机上，按规格要求进行切割机调试和试切片。

硅单晶生长时的方向一般为<100>或<111>，晶锭的轴向与这两个晶向平行或是偏差一个固定的角度。因此，在晶锭切片前，应利用X射线定位的方法来确定晶锭在切片机上的正确位置。首先按常规工艺试切一片，测定此片的晶向，并以此为根据来调整晶锭的方向；然后再试切第二片和定向，直至达到要求为止。定向结束后就可以正常切片了。一般定向后的切片的晶向误差，以不影响器件特性为准。切片结束后，将石墨条去除，对硅片进行清洗，检测硅片厚度、翘曲度和平行度。

目前，对于直径在200 mm以下的硅晶锭，其切片主要是使用带有金刚石切割边缘的内圆切割机来进行。之所以使用内圆切割机，是由于其在切割过程中锯刃能够保持稳定，不易颤动，能够得到平整的切割面。图2.6-5给出了内圆切割机及其切片示意图。

而对于300 mm的硅片来说，内圆切割机不再能保证切割的质量，而且刀锯造成的切割损耗问题也较严重，因此，线切割被广泛地用来切割大直径的硅单晶（线切割设备及其切割示意图见图2.6-6和图2.6-7)。由于线切割是以带有陶瓷磨料的浆料覆盖的金属线来进行，硅单晶的切割损失由于锯刃厚度的减小而降低。但是，线切割得到的硅片的表面平整度质量要比内圆切割机差，这也是线切割设备亟待解决的问题。表2.6-2给出了线切割和内圆切割特性的比较。



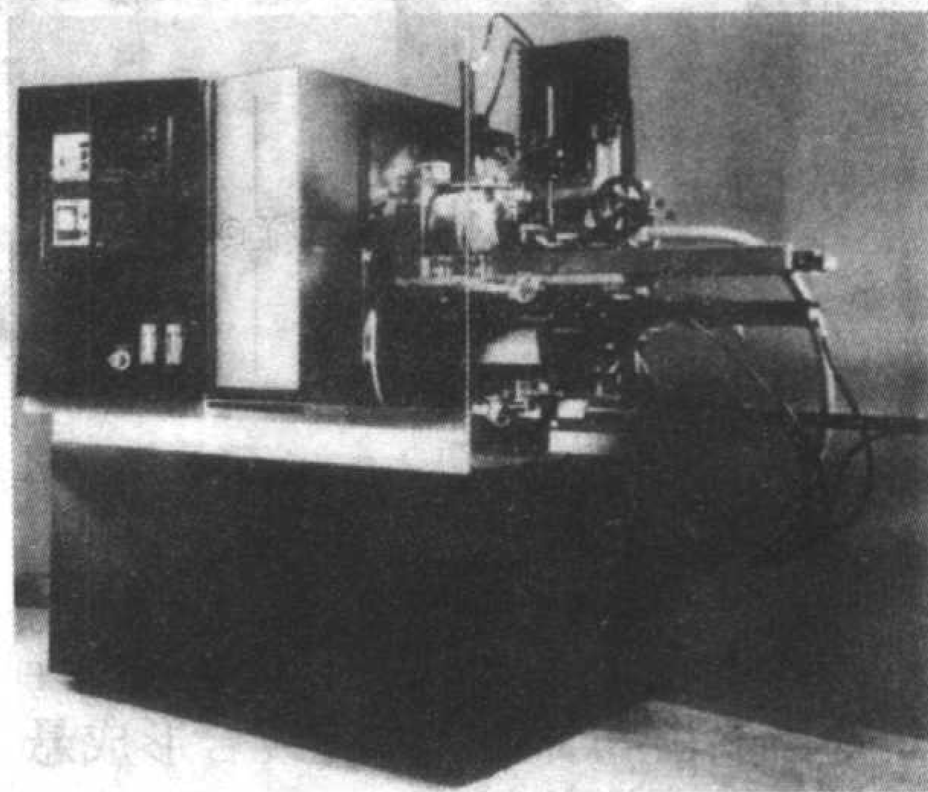


图2.6-5　内圆切割示意图及内圆切割机实物图

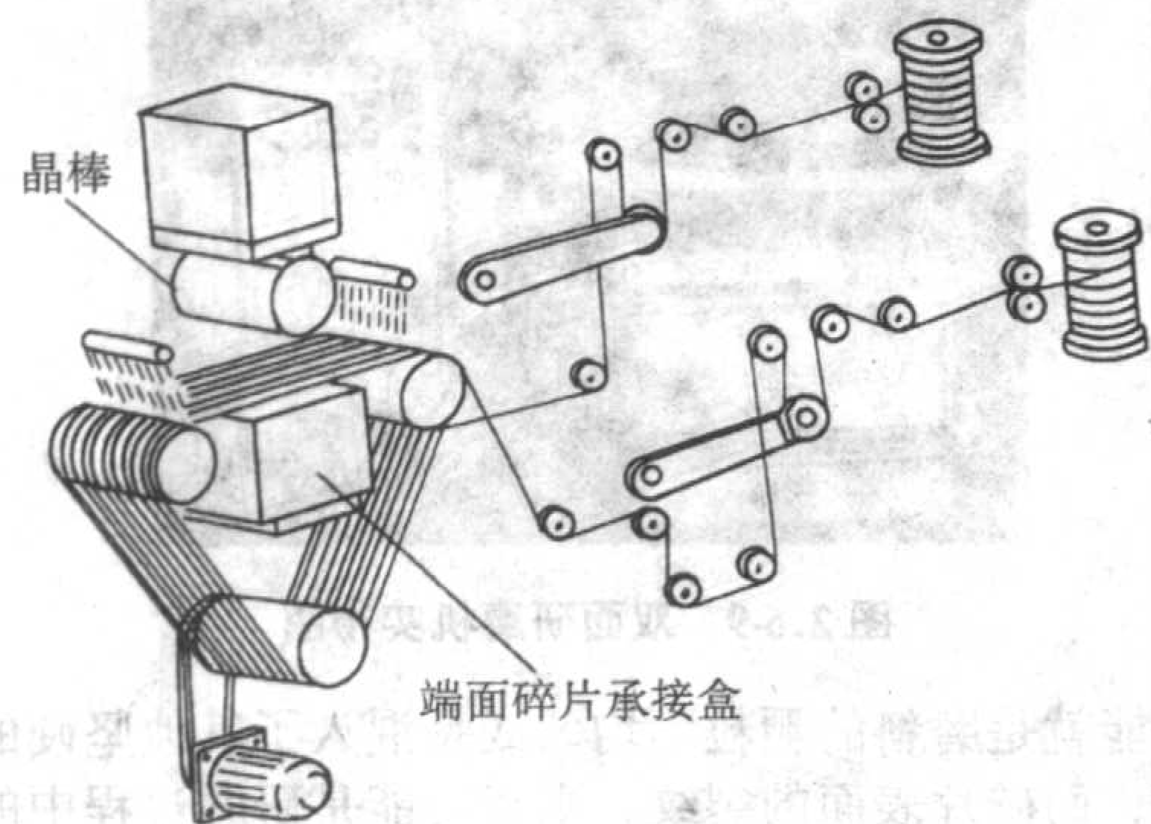
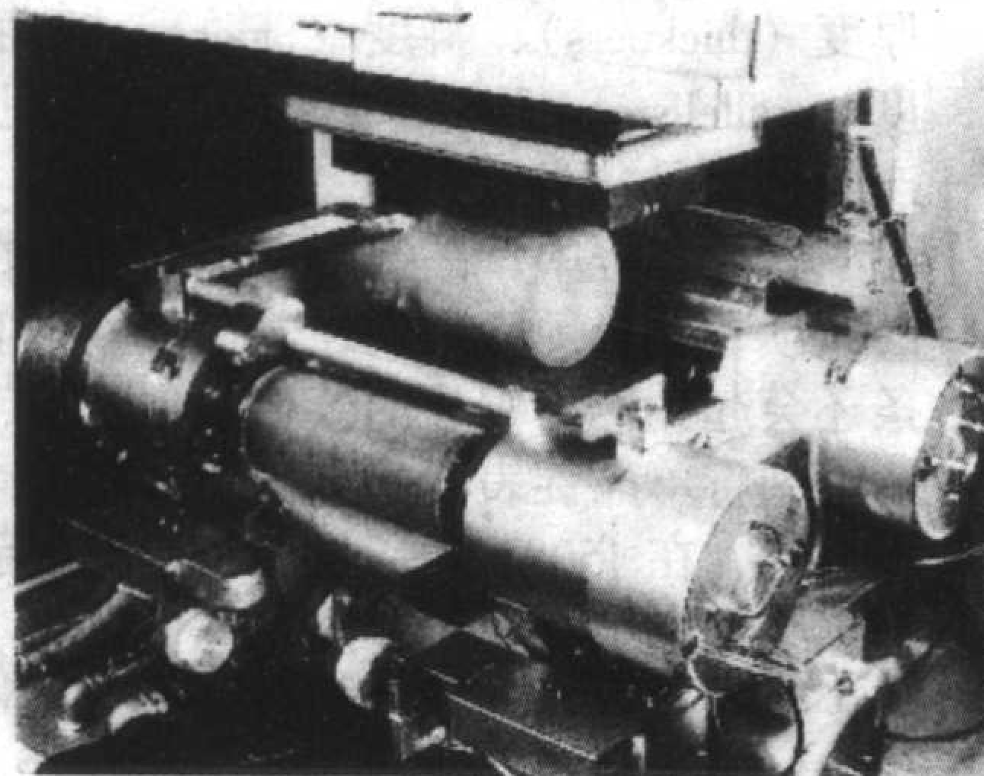


图2.6-6　线切割示意图

此外，硅材料在室温下是脆性材料，因此硅片边缘的裂痕等损伤会在机械加工中形成应力集中，造成硅片破裂，也会在高温过程中在硅片中引入位错。因此，需要对硅片边缘进行处理，称为倒角。而对硅片边缘进行倒角（图2.6-8)，就可以最大限度的降低这些裂痕等损伤带来的问题。倒角可以在硅片进行研磨之前或之后进行，其主要作用是将硅片边缘抛光修整，使其边缘平滑，并可以在后继的器件生产中显著的提高成品率。而且边缘倒角会有利于增加外延层和光刻胶在硅片边缘的平坦度。一般，商用的硅片边缘的倒角形状有两种：圆弧形和梯形。圆弧形边缘与石英舟是点接触，容易产生应力集中，因此，多数硅片使用梯形边缘。



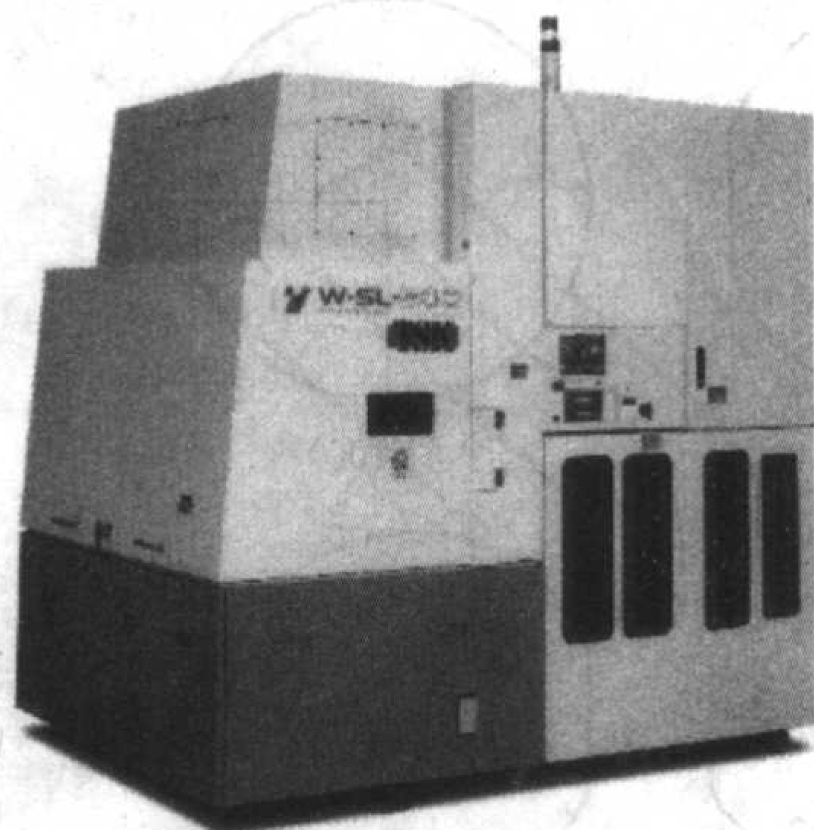


图 2.6-7　线切割设备

表 2.6-2　线切割和内圆切割特性比较

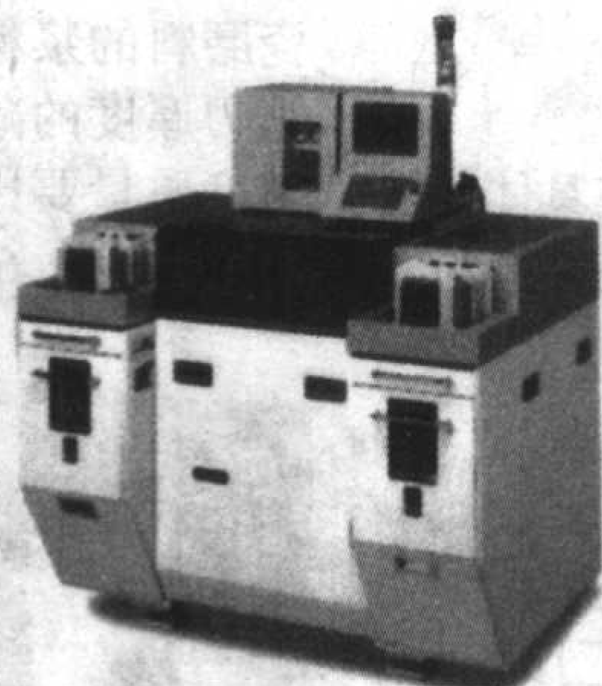
性能	线切割	内圆切割
切割方法	自由磨削加工	固定研磨加工
切片表面	线锯痕迹	切痕、裂纹、碎屑
损伤层深度/μm	5 ~ 15	20 ~ 30
切片效率/$cm^2 \cdot h^{-1}$	110 ~ 220	10 ~ 30
每次切片数	200 ~ 400	1
损耗/μm	150 ~ 210	300 ~ 500
可切片最薄厚度/μm	200	350
可切晶锭最大直径/mm	300 以上	200
切片翘曲度	轻微	严重

3　研磨和腐蚀

硅片在切片过程中，表面会有一定程度的形变损伤以及微裂纹。同时，由于切片机步进精度的限制，硅片表面厚度也会有差别，无法达到半导体集成电路制造所要求的平整度、平行度和翘曲度。这就要求进行硅片研磨，目的是去除由于切割对硅片上下表面带来的损伤，并使硅片上下表面的平行度和表面平整度达到要求。经过研磨工艺之后，硅片的总厚度偏差（TTV）可以达到数微米以下，为下面的抛光工艺带来可以处理的平坦度。

磨片机通常都为行星式结构，具有上磨盘自转、上磨盘公转、下磨盘自转和硅片自转四种运动，可以对硅片正反面同时进行均匀的研磨。研磨过程中上磨盘压力应逐步增加，最终达到一定的值。与此同时，研磨过程中还要不断地加入研磨料。由于硅的硬度很高，所以用于研磨硅片的磨料的硬





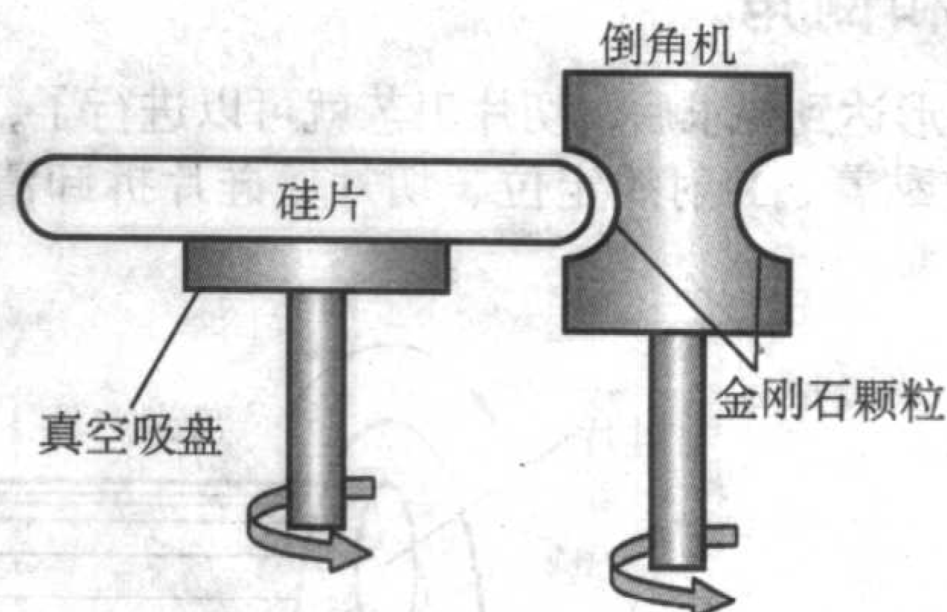


图 2.6-8　硅片倒角机（左）及倒角示意图（右）

度必须比硅还高。而可以作为硅片研磨磨料的材料主要有氧化铝、氧化锆、碳化硅和碳化硼等，其中以氧化铝和碳化硅使用最多。实际使用中，研磨料要和甘油、水等混合形成悬浮液，同时磨料的颗粒尺寸也应严格控制。

目前，大多采用双面研磨机进行硅片的研磨，研磨过程是硅片在压力下在垫片和研磨浆料中旋转完成的（见图 2.6-9）。硅片研磨过程的控制，是通过对研磨盘转速与压力的控制来实现的。图 2.6-10 为研磨过程中研磨压力与时间的关系。首先，研磨压力由小慢慢增加，这样使研磨浆料能够均匀分布，并在此过程中去除硅片上的凸出点。接着压力进入稳定段，这一时段一般在 10 ~ 15 min，之后压力慢慢降低。研磨的完成是以定时或定厚度为主；对于定厚度的方法，是研磨机利用一厚度探针测量硅片的厚度，一旦达到设定的厚度就停止研磨。

从上可见，硅片研磨质量是与磨料的性质、粒度、硅片研磨过程中的压力、研磨的时间等因素相关，而研磨过程中出现的质量问题也就与上述因素相对应了。如硅片表面的划伤，可能就是磨料的颗粒不均匀或是混入了其他坚硬的颗粒造成的；而硅片表面的裂纹，则很可能是研磨过程中的压力过大所致。

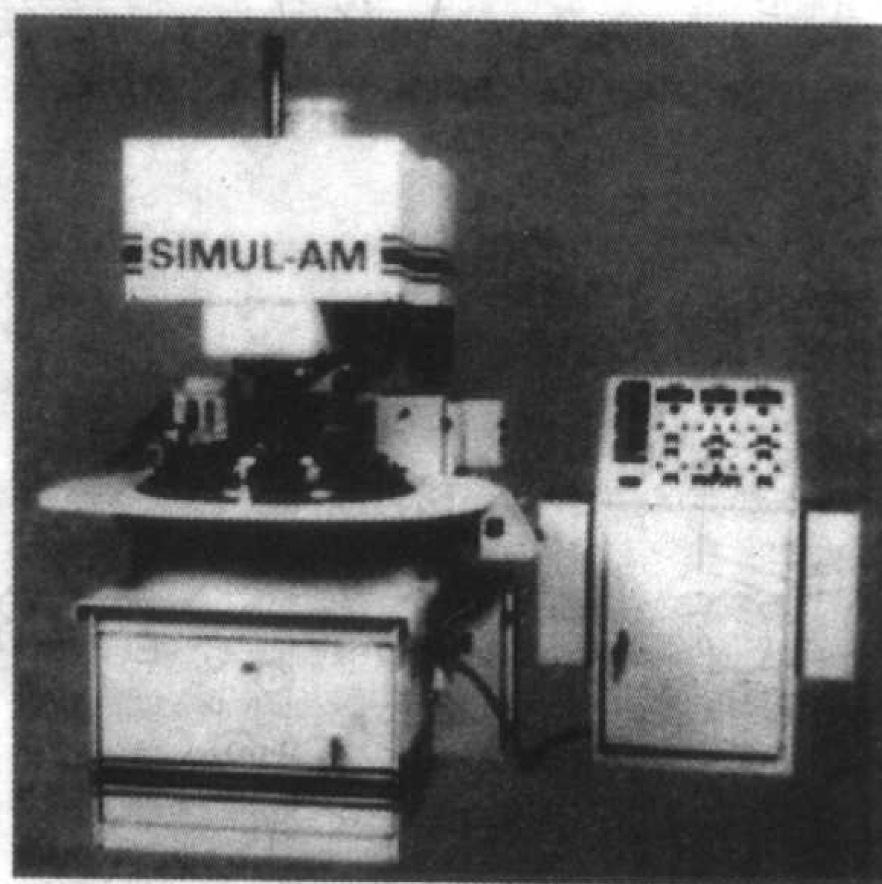


图 2.6-9　双面研磨机实物图

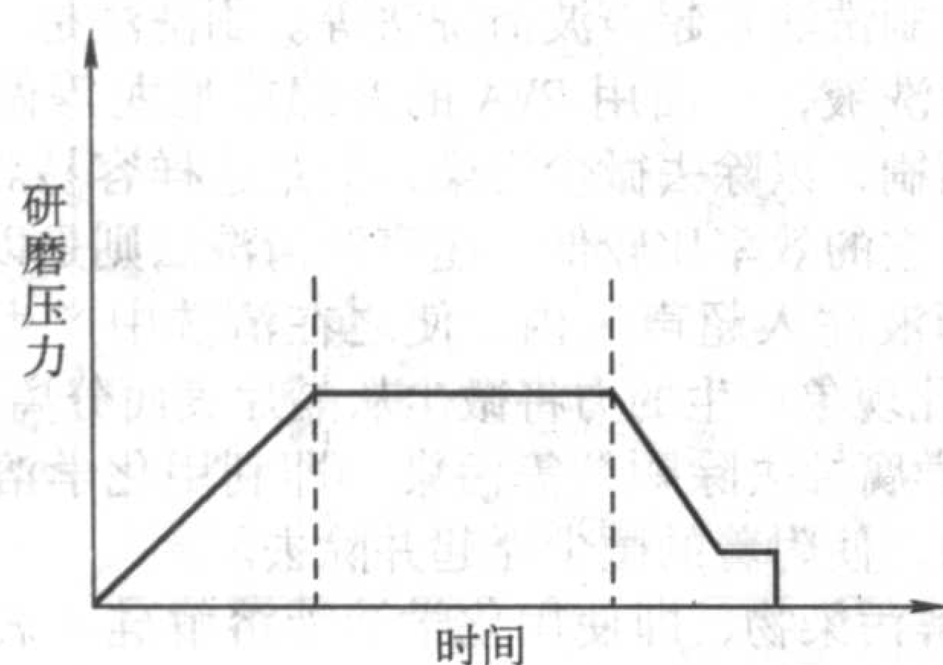


图 2.6-10　研磨压力与时间

机械加工工艺，包括硅片研磨，都会对硅片表面和边缘带来损伤和沾污，一般机械加工对硅片带来的损伤有几到十几微米。为了除掉损伤和沾污，对硅片要进行湿法化学腐蚀。一般都要将硅片表面腐蚀掉 20 μm 左右，来保证彻底去除掉损伤和沾污。至于是使用碱性还是酸性化学腐蚀，则取决于硅片具体的用途，二者的对比见表 2.6-3，具体腐蚀方法和配比可参考第 5 章。

表 2.6-3　硅片酸、碱腐蚀对硅片的影响

项目	酸性腐蚀	碱性腐蚀
反应热量	放热反应	吸热反应
腐蚀方向性	各向同性	各向异性
金属污染程度	小	大
硅片平坦度	需旋转硅片来改善平坦度	好
粗糙度	小，与硅片存在的损伤程度有关	大，与硅片存在的损伤程度有关
硅片表面残留颗粒	难以去处本身存在的表面颗粒，但不易于吸附颗粒	较易去处本身存在的表面颗粒，但也易于吸附颗粒
成本	高（为碱性的 2 倍）	低
腐蚀槽使用时间	较短	较长

4　硅片的抛光

硅片经过研磨后，初步具备了一定的表面平整度和上下表面平行度，但是其表面平整度还是无法达到集成电路工艺的要求，这就要求进一步增加其表面光滑程度；而且，研磨也会造成一定的表面损伤，同样需要去除；因此，对硅片还要进行化学机械抛光（CMP）。一般 200 mm 以下的硅片，仅进行单面抛光即可；但是当硅片直径达到 300 mm 时，通常都需要进行双面抛光。硅片表面抛光分为粗抛和精抛两个步骤。粗抛主要是为了除去损伤层，一般要除去硅片表面 10 ~ 20 μm；而精抛的作用则是改善硅片表面的微粗糙度，一般去除量在 1 μm 以下，具体对比见表 2.6-4。

表 2.6-4　硅片粗抛和精抛的对比

项目	粗抛	精抛
磨除厚度/μm	10 ~ 20	< 1
磨除率/μm·min^{-1}	1 ~ 2	0.1 ~ 0.2
研磨浆料	二氧化硅、KOH(或 NH_4OH)、水 pH = 10.5 ~ 12	同左，但浓度较稀
研磨垫修整	二氧化硅、碳化硅	尼龙刷

硅片抛光是在抛光机中进行的，其抛光示意图如图 2.6-11 所示。硅片通过石蜡黏着或真空吸附的方式固定在载片盘上，抛光时将硅片加压在一旋转中的抛光垫上，同时加入适当的抛光液，通过硅片与抛光垫的摩擦来获得镜面抛光效果。

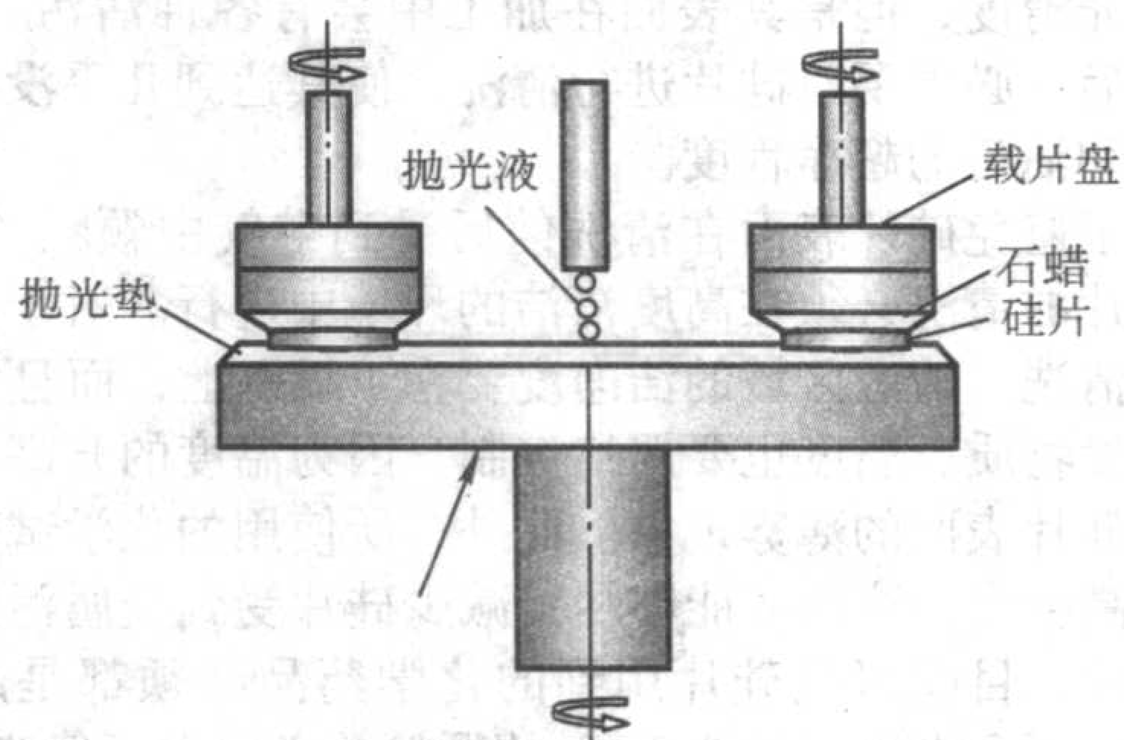


图 2.6-11　硅片抛光原理图

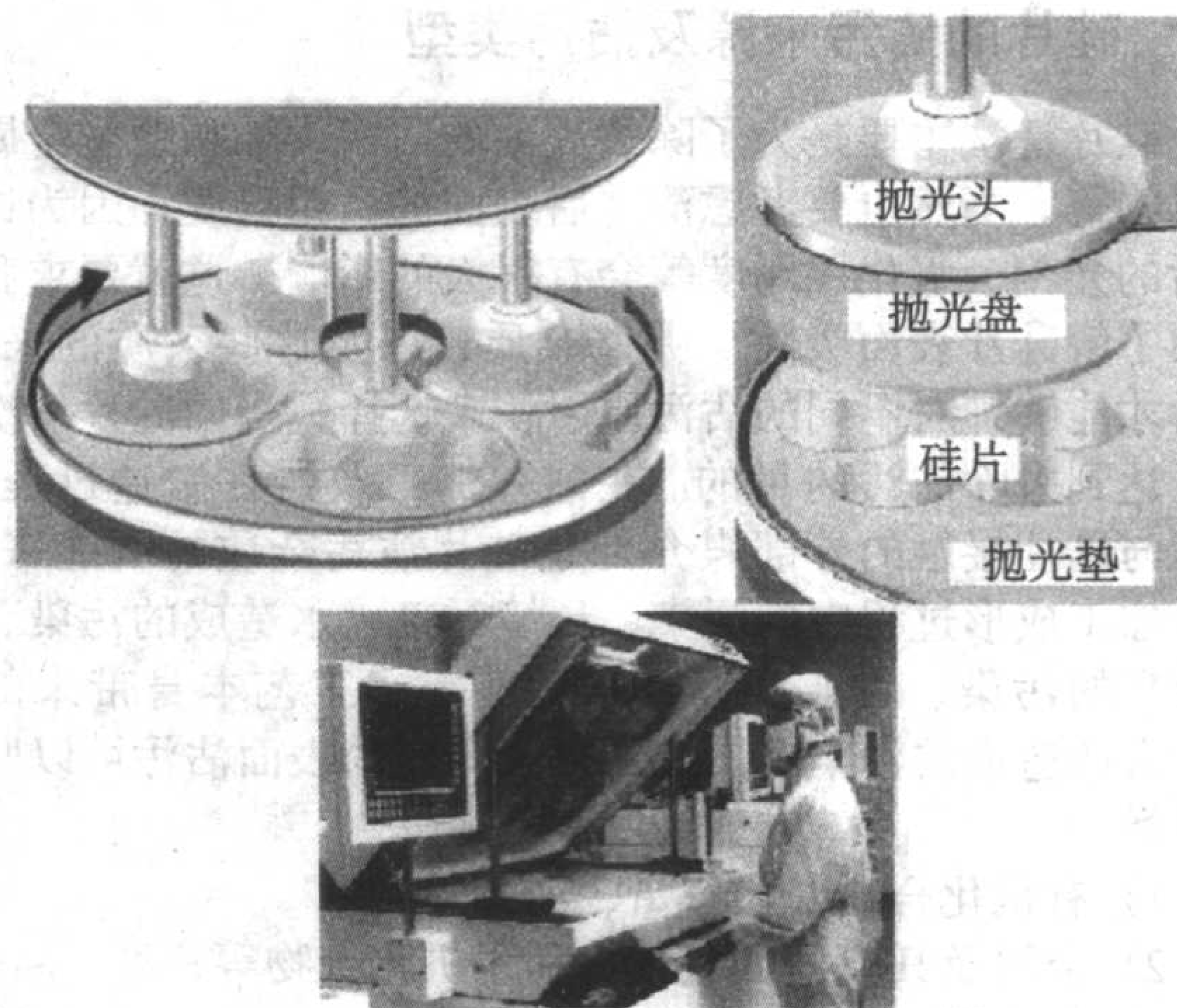
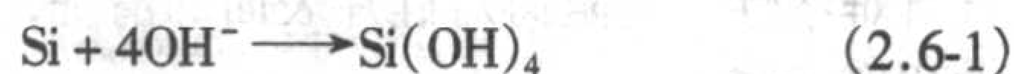


图 2.6-12　硅片抛光设备及装片示意图

其实，抛光过程不仅仅是硅片与抛光垫间的物理摩擦过程，还包括了化学过程。硅片抛光所用的抛光液，是由具有二氧化硅微细颗粒的硅酸胶体和 NaOH（或 NH_4OH、KOH）等所组成的。这样，在抛光过程中就包含了如下的化学反应过程：



$$Si + 4OH^- \longrightarrow Si(OH)_4 \qquad (2.6\text{-}1)$$



$$Si(OH)_4 \longrightarrow SiO_2 + 2H_2O \qquad (2.6\text{-}2)$$

同时，借着抛光垫、硅酸胶体以及硅片之间的机械摩擦作用，把上述氧化反应得到的氧化层去除，进而使得反应得以继续。最佳的反应机制就是使得机械抛光过程与化学反应过程相互平衡，使得抛光过程得以实现镜面抛光。由上可见，抛光过程中抛光垫的特性、抛光液、压力、转盘的旋转速度、温度等都会对抛光过程产生影响。为确保抛光硅片的质量，在抛光过程中应该注意以下几点：

1）抛光前应对硅片进行腐蚀，并按厚度分挡；

2）选用合适的硅片贴片工艺。一般而言，有蜡贴片容易获得高精度的 TTV、TIR；而无蜡贴片虽然 TTV、TIR 精度稍差，但它避免了有蜡工艺的贴片和去蜡的工艺，并减少了石蜡和其他有机物的沾污机会。

3）应根据所加工硅片的规格、品种来选用合理的抛光工艺。

硅片抛光以后，还要对其进行严格的检验。全部硅片都要进行厚度、平行度测试，并抽样测量翘曲度；此外还要在聚光灯下，对其表面进行缺陷检测。只有硅片表面无划痕、蚀坑、沾污、崩边、裂纹、凹坑、小丘、橘皮、雾和微粒等

缺陷，才视为合格。

5 硅片的化学清洗

硅片抛光完成之后，尽管具备了器件制造所需的平行度和表面光滑度，但是其表面在加工中会有各种沾污。因此，在抛光后，必须要对硅片进行清洗，使其达到几乎没有颗粒附着物和沾污的超净程度。

为了避免硅片表面在清洗前后受到空气中颗粒的污染，抛光硅片的清洗必须在高度清洁的环境中进行。对于高质量硅片的清洗，清洗区域的洁净度要在1级以上，而且空气中各种挥发物质、温度也要严格控制。因为温度的升高，有可能造成硅片表面的薄雾现象。此外，所使用的化学试剂也应当保持高纯度，这样才能够尽量减少硅片受到金属污染的机会，因此，目前清洗硅片用到的化学药品必须都是超纯级的，其中所含大小超过0.2 μm的颗粒数必须少于每毫升200颗，金属含量通常也要小于0.1×10^{-9}。

5.1 硅片的沾污来源及沾污类型

硅片清洗主要是为了除去表面的沾污，如颗粒、金属或有机物等，当然也要考虑清洗后表面的微粗糙度，因为这对其后的光刻、氧化层厚度等会有很大的影响。这就要求我们必须了解硅片表面吸附了哪些杂质，以及这些杂质的来源，然后才能够针对不同的沾污原因，来选择适当的硅片清洗方法，达到去除沾污的目的。在硅片加工及器件制造过程中，所有与硅片接触的外部媒介都是硅片沾污杂质的可能来源：硅片加工成形过程中的污染、环境污染、水造成的污染、试剂带来的污染、工业气体带来的污染、工艺本身带来的污染、人体造成的污染等。大致来说，硅片表面沾污可以归结为三类：

1）有机化合物（如石蜡、油脂等）；

2）金属及其离子，氧化物和无机化合物等；

3）灰尘颗粒以及一些可溶性物质。

而对于硅片本身而言，其表面沾污可以按引入方式分为三类：

1）分子型沾污　主要是由于在切、磨、抛等机械加工过程中所使用的石蜡、油脂等引入。当然，操作人员的皮肤以及盛放硅片的容器，也会引入有机物质。而这些物质会由于微弱的静电引力，黏附在硅片表面，而且这些物质一般都具有难溶性，会阻碍对硅片表面的清洗，因此必须在清洗的最初就去除。

2）离子型沾污　主要指金属离子和Cl^-、F^-、I^-等离子。这些沾污主要来自于酸碱腐蚀液，它们是硅片表面与这些腐蚀液接触过程中，由于物理的或是化学的吸附作用而沉积在硅片表面。相对应物理吸附而言，化学吸附造成的沾污更难以去除，必须通过包含化学反应的过程才能去除。

3）原子型吸附　主要来源于酸性腐蚀液中的Au、Fe、Cu和Cr等过渡金属元素。去除这些沾污，也需要采用化学反应，使用化学试剂溶解它们，并形成可溶性的络合物。

5.2 硅片的清洗原则

对硅片的污染原因和沾污类型有了了解，就可以针对这些原因来进行硅片的清洗。抛光硅片的清洗通常都会遵循着如下的原则：首先使用有机溶剂，去除覆盖在硅片表面的有机物；然后通过溶解或与氧化剂反应以及形成络合物的方法，去除离子型和原子型杂质；最后通过去离子水，来冲洗、去除残留在表面的杂质、灰尘和颗粒等。根据以上的污染原因、沾污类型以及硅片的清洗原则，目前对硅片的清洗主要有以下几种原理。

1）物理去除法　即利用外力从晶片表面去除颗粒等污染，主要有刷洗法及超声波清洗法等。刷洗法是一边在晶片表面加上清洗液，一面用PVA的海绵或尼龙等做成的刷子在晶片表面刷，以除去微尘污染，但是这样容易对硅片造成损伤，而且它的效率比较低。超声波清洗法则是以纯水或碱性药水的药液注入超声波内，使之在清洗中产生“气穴现象”，利用此现象产生的力将微尘从晶片表面分离。

2）化学腐蚀去除颗粒等污染　即利用化学溶液对硅片表层的腐蚀，使附着的微尘浮起并除去。

3）溶解污染物，即使用化学溶液溶解硅片表面的污染物（有机物和无机物）。

4）防止污染物的再附着　晶片清洗是为了去处污染，然而防止清洗中的污染反过来粘附在晶片上，或是已经去除掉的污染再附着，也是非常重要的。

5.3 硅片的清洗工艺

实际的硅片清洗工艺不是以上几种方法的单一使用，往往是将以上的几种原理方法综合使用。下面首先着重介绍半导体产业中最为常用、也是最为重要的湿法化学清洗法，然后对再其他的清洗方法进行简单的介绍。

在半导体产业中，最为重要的清洗方法就是RCA湿法化学清洗法。在硅片和硅器件生产中，大约有20%的工序和硅片清洗有关，而不同工序的清洗要求和目的也是各不相同的，这就必须采取各种不同的清洗方法和技术手段，以达到清洗的目的。由此也产生了很多种不同的清洗技术，但是RCA工艺依然是其中极为重要的一个技术。自1960年Kern和Puotinen发明RCA配方以来，硅片的清洗工艺一直使用这一配方或是对其稍微改变。目前，也有一些新的清洗工艺应用到了硅片的清洗中，如干式清洗、气相清洗等。

RCA清洗包括SC1和SC2清洗步骤：

SC1（Standard cleaning1）：NH_4OH-H_2O_2-H_2O混合液，比例在1:1:5到1:2:7之间，最合适的清洗温度在70～80℃之间。由于SC1具有较高的pH值，可以通过氧化来有效地去除硅片表面的有机物。

SC2（Standard cleaning1）：HCl-H_2O_2-H_2O混合液，比例在1:1:6到1:2:8之间，最合适的清洗温度在70～80℃之间。由于SC1具有较低的pH值，可以有效地去除硅片表面的金属。

结合前面的硅片沾污类型和硅片的清洗原则，对RCA工艺进行具体的分析。首先，RCA配方中的过氧化氢，在溶液中既是强氧化剂又可作为还原剂。它对有机物、非金属和大多数金属都有氧化能力，利用过氧化氢的强氧化性，可使一些低价化合物氧化为高价化合物，同时还可以使一些难溶物质发生氧化，转变为可溶的物质。其中，SC1可去除IB、IIB族和Au、Ag、Cu、Ni、Cd、Co、Cr等金属杂质，而SC2则可除掉碱金属离子、Al$(OH)_3$、Fe$(OH)_3$、Mg$(OH)_2$等氢氧化物的金属离子。其次，RCA配比中还有络合剂的成分（NH_4OH、HCl），一些难氧化的金属以及其他难溶物质，都可以通过与络合剂作用，形成稳定的可溶性络合物而得以去除。可见，SC1和SC2溶液不仅可以有效地去除分子型沾污，还可以有效地去除离子型沾污。此外，SC1中H_2O_2和NH_4OH，则可以有效地氧化和溶解有机物。对比其他的清洗液，RCA配方具有如下的优点：

1）酸性和碱性的过氧化氢清洗液，除了能去除无机杂质外，还能去除硅片上残存的石蜡、松香等有机物；而且，对一些重金属杂质如金、铜等，也有较好的清洗效果。

2）可减少钠离子沾污。

3）清洗过程中不会发生有害的化学反应。

4）与浓硫酸、浓硝酸、王水以及铬酸等相比，SC1和

SC2具有操作安全，使用和处理都十分方便的优点。

其他可用来对硅片表面的颗粒、金属、有机物和无机物等进行清洗的化学溶液，见表2.6-5。

表2.6-5 常用硅片清洗液

污染源种类	清洗方法	
微粒	湿法化学清洗	APM（$NH_4OH-H_2O_2-H_2O$）
	机械式清洗	超声波
		刷洗
		喷射刷洗
金属	湿法化学清洗	HPM（$HCl-H_2O_2-H_2O$）
		SPM（$H_2SO_4-H_2O_2-H_2O$）
		DHF（$HF-H_2O$）
		FPM（$HF-H_2O_2-H_2O$）
	干式化学清洗	Cl_2 + UV（$\lambda < 400$ nm）
有机物	湿法化学清洗	SPM（$H_2SO_4-H_2O_2-H_2O$）
		APM（$NH_4OH-H_2O_2-H_2O$）
		臭氧-H_2O
	干式化学清洗	UV/O_3
		O_2 等离子体
自然氧化物	湿法化学清洗	DHF（$HF-H_2O$）
		BHF（$HF-NH_4F-H_2O$）
	干式化学清洗	HF蒸气

目前的硅片清洗技术，除了上面提到的湿法化学清洗法外，还有以下几种方法。

1）机械擦洗法　即当硅片表面沾有微粒或有机物残渣时，常用擦片的方法清洗。擦片法被认为是去除化学机械抛光液残余物的最有效的办法之一，一般分为手工擦洗法和机械擦洗法两种方法。

2）超声波清洗法　超声波清洗是半导体工业中广泛应用的一种清洗方法，该方法清洗效果好，操作简单，对于复杂的器件和容器也能清除；但噪声较大、超声换能器容易坏。

3）超声波清洗法　用0.8～1.0 MHz的声波去除水浴中晶片上的颗粒，去除效率是清洗时间和颗粒尺寸的函数。清洗时不形成超声波清洗那样的气泡，只以高速的流体波连续冲击晶片表面，使硅片表面附着的污染物和微粒被强制除去，并进入到清洗液中。这种方法能同时起到机械擦片和化学清洗两种方法的作用，已成为抛光片清洗的一种有效方法。

4）激光清洗法　就是利用激光把表面沾污物浮起，然后利用流动的惰性气体将杂质带走。这种方法可以不消耗水和化学试剂，不受亲水性限制，也不会产生有害的废料。

5）旋转喷淋法　即利用机械方法将硅片以较高的速度旋转起来，在旋转过程中不断向硅片表面喷液体（高纯去离子水或其他清洗液），而达到清洗硅片的目的。

当然，各种清洗方法都有其优点和缺点，采取那种方法对硅片进行清洗，取决于具体的半导体工序以及对清洗的要求和目的。

此外，硅片化学清洗一般都是在清洗机中进行的，目前主要有：浸泡式、喷洗式和密闭式化学清洗机，对于硅片清洗大多采用浸泡式清洗机（见图2.6-13）。而浸泡式清洗也包含：SC1＋超声波清洗、去离子水淋洗、SC2清洗、去离子水淋洗、超声波＋去离子水清洗以及烘干等六个基本步骤。



图2.6-13　硅片清洗机

6　检验包装

硅片包装出厂之前，都要严格按照客户要求的规范，来检验其质量是否达到要求，最关键的标准包括物理尺寸、平整度、表面颗粒数等，具体说明如下。

1）物理尺寸　为了达到器件制造的要求以及适合硅片自动传输设备的要求，硅片的物理尺寸必须合乎相应的器件制造和传送设备的要求。

2）平整度　光刻工艺对硅片平整度十分敏感，因而这是硅片最主要的参数之一。

3）微粗糙度　是实际硅片表面同规定平面的偏差，为表面起伏差值的均方根。

4）氧含量　硅中的氧对硅片的力学性能和电学特性都有很大的影响（具体见第3和第9章），因而控制硅中氧就非常重要。除了要使硅片的氧含量达到器件制造的要求外（一般在$24 \times 10^{-6} \sim 33 \times 10^{-6}$间），其径向均匀性也有相应的要求。

5）晶体缺陷　指硅片体内原生或工艺诱生的缺陷。

6）颗粒　硅片表面颗粒的存在会使器件的成品率下降，因而对于硅片表面的颗粒应尽量去除。典型的要求如：200 mm的硅片表面颗粒数应少于0.13个/cm^2；而检测仪器可测量到的每个颗粒的尺寸应在0.08 μm左右。

7）体电阻率　主要是电阻率是否达到要求，和电阻率在硅片径向的均匀性。

合格的抛光硅片还要对其包装、存储、运输等采取严格措施。首先，抛光片要进行超净防静电包装。包装时要保证一定的温度、湿度、洁净度和良好的气氛环境。包装材料要能保证硅片在其中不会受到挤压、擦伤和沾污。一般情况下，抛光片会采用符合洁净度的内包装袋、金属复合膜防静电外包装袋和净化外包装盒相结合的包装方式。而且还会进行真空或充氮气等方式保护，然后进行热压焊封。此外，由于抛光硅片表面具有很高的化学活泼性，尽管进行了真空或充氮包装，对于抛光片的存储时间还是不宜过长。

总之，硅片加工是一个非常严格的工艺过程，每一道加工工序都会对其后的加工或是器件生产带来影响，因此，硅片的加工要保证严格的质量控制，以适应集成电路产业的要求，表2.6-6给出了集成电路产业发展对硅片关键参数的要求（ITRS-Roadmap）。同时，硅片的加工还要能够做到提高硅单晶锭的利用率，将硅单晶材料的浪费降低到最低的程度。

表 2.6-6 集成电路产业发展对硅片关键参数的要求

参数	2002年	2005年	2008年	2011年	2014年
最小线宽/nm	130	90	65	50	35
硅片直径/mm	300	300	300	300	450
表面颗粒数	65	50	35	25	25
颗粒和 COP 密度/cm^{-2}	⩽0.12	0.10	0.10	0.10	0.10
表面金属密度/10^{9} cm^{-2}	⩽8.8	⩽4.9	⩽4.2	⩽3.6	⩽3.0
局部平整度/nm	⩽130	⩽100	70	60	35
中心点氧含量/10^{17} cm^{-3}	±9.0/15.5	±9.0/15.5	±9.0/15.5	±9.0/15.5	±9.0/15.5
Fe 浓度/10^{10} cm^{-3}	<1	<1	<1	<1	<1
氧化诱生层错密度/cm^{-2}	⩽2.8	⩽1.9	⩽1.1	0.7	
氧化诱生层错密度/cm^{-2}	⩽1.5	⩽1.0	⩽0.6	⩽0.4	
复合寿命/μs	⩾325	⩾325	⩾350	⩾350	⩾400

编写：李东升（浙江大学）

第 7 章　硅单晶的缺陷

集成电路的发展对硅单晶的完整性提出了越来越高的要求，一般而言，如果在有源区中的缺陷尺寸是集成电路特征线宽的三分之一到二分之一时，它们就会恶化器件的性能，从而降低集成电路的成品率。从固体物理学的角度而言，只要偏离晶格完整性就被视为缺陷；而从固体电子学的角度而言，只有那些对器件性能和成品率不利的缺陷，才被视为缺陷。对于用来制造集成电路的直拉硅单晶而言，由点缺陷和非故意引人的氧杂质演化而来的微缺陷最值得关注，它们在过去的几十年间得到了广泛的研究。目前，对各种微缺陷的形成及其本质已经有了较为全面的认识。

本章主要介绍除了氧沉淀以外的各种缺陷，关于氧沉淀及其诱生缺陷在其他的章节中有专门的描述。在原生缺陷方面，先介绍点缺陷的性质，然后从点缺陷在硅晶体中的聚集行为出发，介绍空洞（void）型缺陷以及与空位相关的氧化粒子等原生缺陷的产生及其形成机理。在工艺诱生缺陷方面，介绍了氧化诱生层错以及热工艺导致的位错。最后，简要地介绍了辐照缺陷。

1　硅单晶中的点缺陷

1.1　点缺陷的基本性质

现实上的完美晶体是不存在的，从热力学上来说，本征点缺陷一定会出现在晶体中。对于有位错的晶体，大部分点缺陷会被位错吸收。而对于无位错的硅单晶来说，由于没有吸收源，处于过饱和状态的点缺陷在某些特征温度下会聚集而形成微缺陷。事实上，硅单晶中的大部分缺陷（包括氧沉淀）的形成都与点缺陷有关。人们对于微缺陷与点缺陷的关系有较深刻的认识，是从发现 FZ 硅单晶中的旋涡缺陷（swirl defect）开始的。旋涡缺陷分为两种：较大尺寸的 A-swirl 和较小尺寸的 B-swirl。对于旋涡缺陷的本质，曾经有很多的争论，但是由于透射电子显微术的发展，人们对于 A-swirl 的本质已经有了明确的认识，即它是由自间隙硅原子聚集形成的插入型位错排。而对于 B-swirl 的本质，目前虽然没有定论，但它的形成与点缺陷有关是肯定的。在后来的研究中，还发现在 FZ 硅单晶中存在由空位聚集而形成的空洞型缺陷，它被命名为 D 缺陷。D 缺陷同样在 CZ 硅中被发现，尤其在大直径直拉硅单晶中更容易出现。关于直拉硅中的 D 缺陷在后面将进行更为详细的介绍。

在 CZ 硅晶体中的本征点缺陷的平衡浓度是随着温度的降低而降低的，如下式表示：

$$C_{Ie}=C_{I0}\exp\left[-\frac{E_i}{kT}\left(\frac{1}{T}-\frac{1}{T_0}\right)\right] \qquad (2.7\text{-}1)$$

$$C_{Ve}=C_{V0}\exp\left[-\frac{E_V}{kT}\left(\frac{1}{T}-\frac{1}{T_0}\right)\right] \qquad (2.7\text{-}2)$$

其中 C_{Ie}、C_{Ve} 分别是自间隙原子和空位的平衡浓度，C_{I0}、C_{V0} 分别是自间隙原子和空位在熔点温度时的平衡浓度，E_i、E_v 分别是自间隙原子和空位的生成能，k 是玻耳兹曼常数。但是由于点缺陷的检测缺乏直接的手段，对于点缺陷浓度的定量计算一直没有完全认可的公式。然而大量的研究结果表明，在相同温度下，$D_v C_{Veq} \approx D_I C_{Ieq}$，如图 2.7-1 所示。

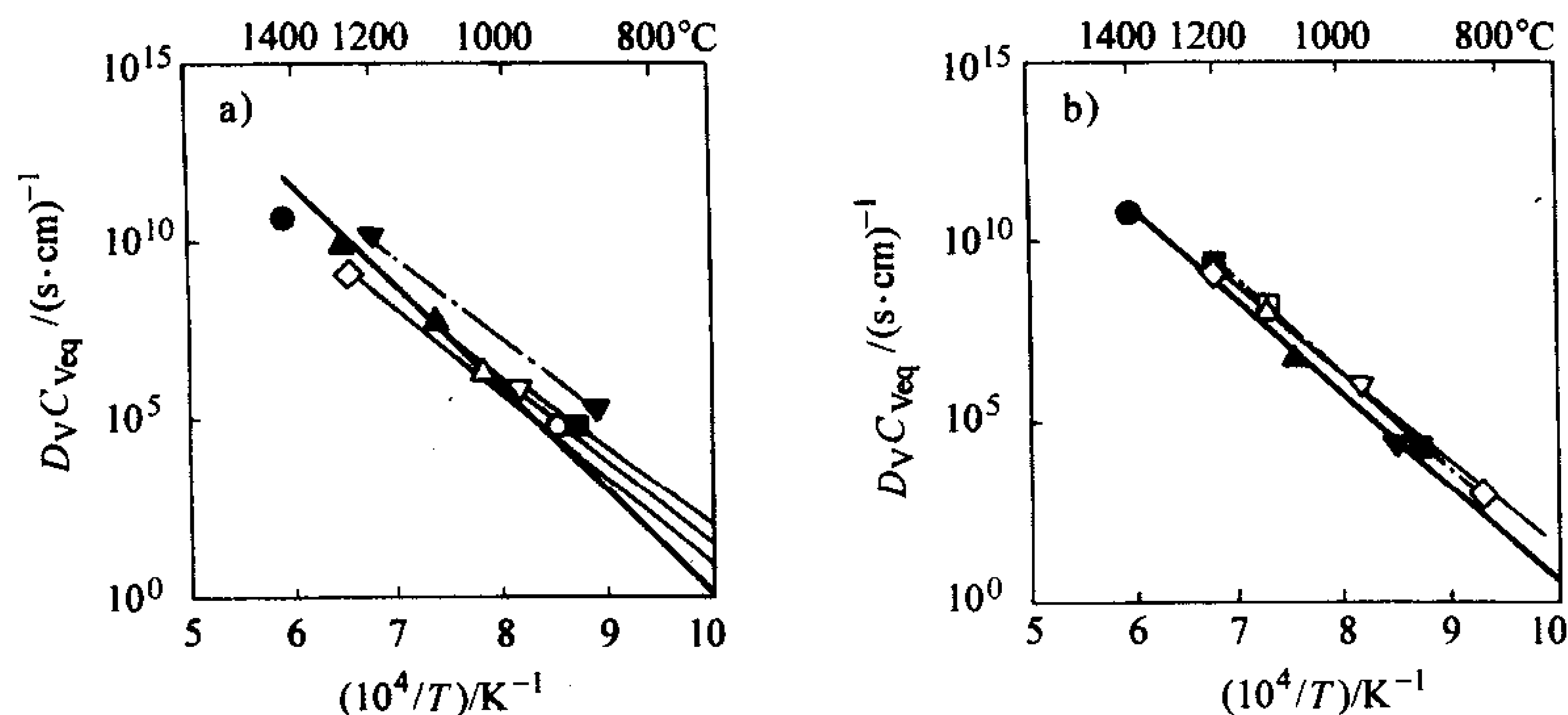


图 2.7-1　空位（a）和自间隙原子（b）的自扩散系数与温度的关系

最近，Voronkov 等通过实验和理论计算得出了在高温范围内 log（$C_{Veq}-C_{Ieq}$）与温度的关系，如图 2.7-2 所示。并且给出了在熔点附近，空位的平衡固溶度 C_{Veq} 为 1×10^{15}/cm^3，自间隙硅原子 C_{Ieq} 为 7.7×10^{14}/cm^3；空位的扩散系数 D_V 为 7×10^{-5}/cm^2·s，自间隙硅原子 D_I 为 3×10^{-4}/cm^2·s。由此可见，在高温范围，空位的平衡浓度要大于自间隙硅原子，而扩散速率要小于自间隙硅原子，这一点已经得到了实验的证实。美国 MEMC 公司的科研人员正是利用点缺陷的这一性质，开发出所谓的“魔幻洁净区”（MDZ）硅片。

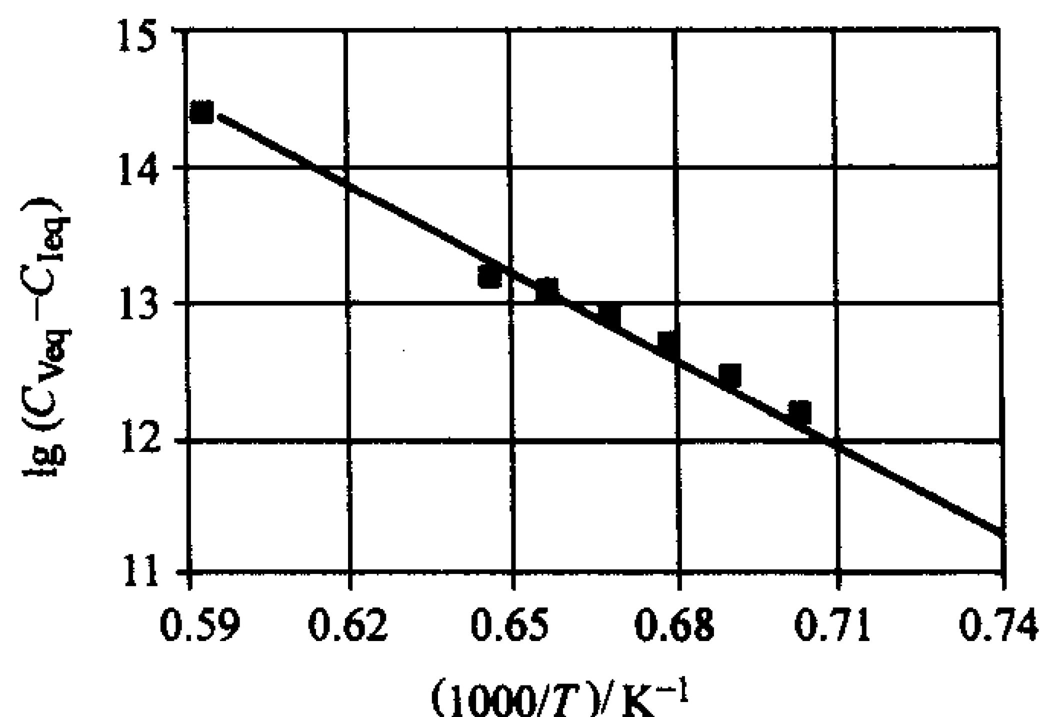


图 2.7-2　lg（$C_{Veq}-C_{Ieq}$）与温度的关系

1.2　点缺陷在硅晶体生长过程中的运动

在硅的熔点时，空位和自间隙硅原子的浓度是相当的。当晶体离开固液界面，温度下降时，两者将快速复合，形成与固液界面附近轴向温度梯度 G 成正比的浓度梯度，因此导致了点缺陷从固液界面到晶体的扩散通量，它叠加在由于晶体提升引起的和生长速率 v 相关的点缺陷的对流通量上，所

以晶体中占主导地位的点缺陷取决于 v/G 的值。在较大 v/G 时，由 v 控制的对流通量起主导作用，由于空位在熔点的平衡浓度 C_{Vm} 大于自间隙硅原子 C_{Im}，因此，在一定的温度范围内，在生长的晶体中存在过饱和的空位；而当 v/G 较小时，由 G 控制的轴向的扩散通量将起主导作用，由于自间隙硅原子的扩散比空位快，在生长的晶体中保留的是过饱和的自间隙硅原子。因此，存在一个 v/G 的临界值 ξ_{crit}，它是决定在某一温度之上晶体中存在的点缺陷类型的特征参量，如下式所示：

$$\xi_{crit}=\left(\frac{E}{KT_m^2}\right)\left(\frac{D_{Im}C_{Im}-D_{Vm}C_{Vm}}{C_{Vm}-C_{Im}}\right) \tag{2.7-3}$$

式中 D_{Im} 和 D_{Vm} 分别是自间隙硅原子和空位在 T_m 的扩散系数，$E=\frac{E_I+E_V}{2}$ 是点缺陷形成的平均自由能，通过上式可以计算出这个临界值为 $1.34\times10^{-3}\ cm^2/min\cdot K$。为了方便，通常定义临界生长速率 $v_{crit}=\xi_{crit}G$，来描述晶体中点缺陷由自间隙硅原子（$v<v_{crit}$）转为空位（$v>v_{crit}$）的过程。当 $v>v_{crit}$ 时，晶体中的空位浓度 C_v 由下式表示：

$$C_{Vs}=\left(\frac{v-v_{crit}}{v+Av_{crit}}\right)(C_{Vm}-C_{Im}) \tag{2.7-4}$$

式中，$A=0.15$。上式也适用于自间隙硅原子，只需在右边加上一个负号。

由于晶体的散热从中间到边缘逐渐变得容易，因此温度梯度 G 沿着生长界面的径向逐渐增大，v_{crit} 也随之逐渐增大。应该指出的是，随着晶体直径的增大，总体来说，G 变得更小；对于同一根晶体来说，随着晶体生长的进行，G 变得越来越小，这是由于坩埚裸露部分不断增加，对晶体的热反射在不断增强。当晶体的生长速率足够大时，即在晶体生长过程中，在生长界面的任何位置都满足 $v>v_{crit}$ 时，则在整个晶体中会形成空位型的缺陷，反之，在晶体中将形成自间隙型的缺陷。在某些生长速率下，由于温度梯度 G 从生长界面的中间到边缘径向增大，会出现如下情况：在生长界面的中间部位满足 $v>v_{crit}$，而在边缘满足 $v<v_{crit}$，此时，在晶体中将出现不同类型的原生缺陷区，即：在晶体的中间将出现空位型缺陷，而在晶体的外围将出现间隙型缺陷，在这两种类型缺陷区之间形成环型的氧化粒子（oxide particle）带（P-带），若硅片经氧化后，氧化粒子带将转化成 OSF 环（Ring-OSF）。关于晶体中不同类型缺陷的形成及其机制将在下面详细描述。

2　硅单晶中的原生缺陷

2.1　原生缺陷的类型

根据形成原生缺陷或者参与形成原生缺陷的点缺陷类型的不同，原生缺陷可以分为空位型缺陷和自间隙型缺陷两种。图 2.7-3 给出了晶体在不同生长速率下形成的原生缺陷的示意图以及空位型缺陷和自间隙型缺陷的透射电子显微镜（TEM）的照片，该图还表明在两种缺陷的过渡区域存在着一个所谓的氧化诱生层错环（R-OSF）。Voronkov 则根据消耗空位能力的不同，把空位型缺陷区分为 void 区、P-带（对应于 R-OSF 环）和 L-带（位于 P 带和 v/i 界线之间），如图 2.7-4 所示。Voronkov 还根据自间隙型缺陷尺寸的不同，把它们分为 A-/B-两种类型的缺陷。

2.1.1　Void（空洞）型缺陷

Void 从本质上来说是空位的聚集体。如同直拉硅单晶中的过饱和间隙氧随着温度的下降会聚集形成氧沉淀一样，硅单晶中的空位随着温度的降低出现过饱和而开始形核，在某个特征温度 T_n 附近的一个较窄的温区，void 的形核速率很

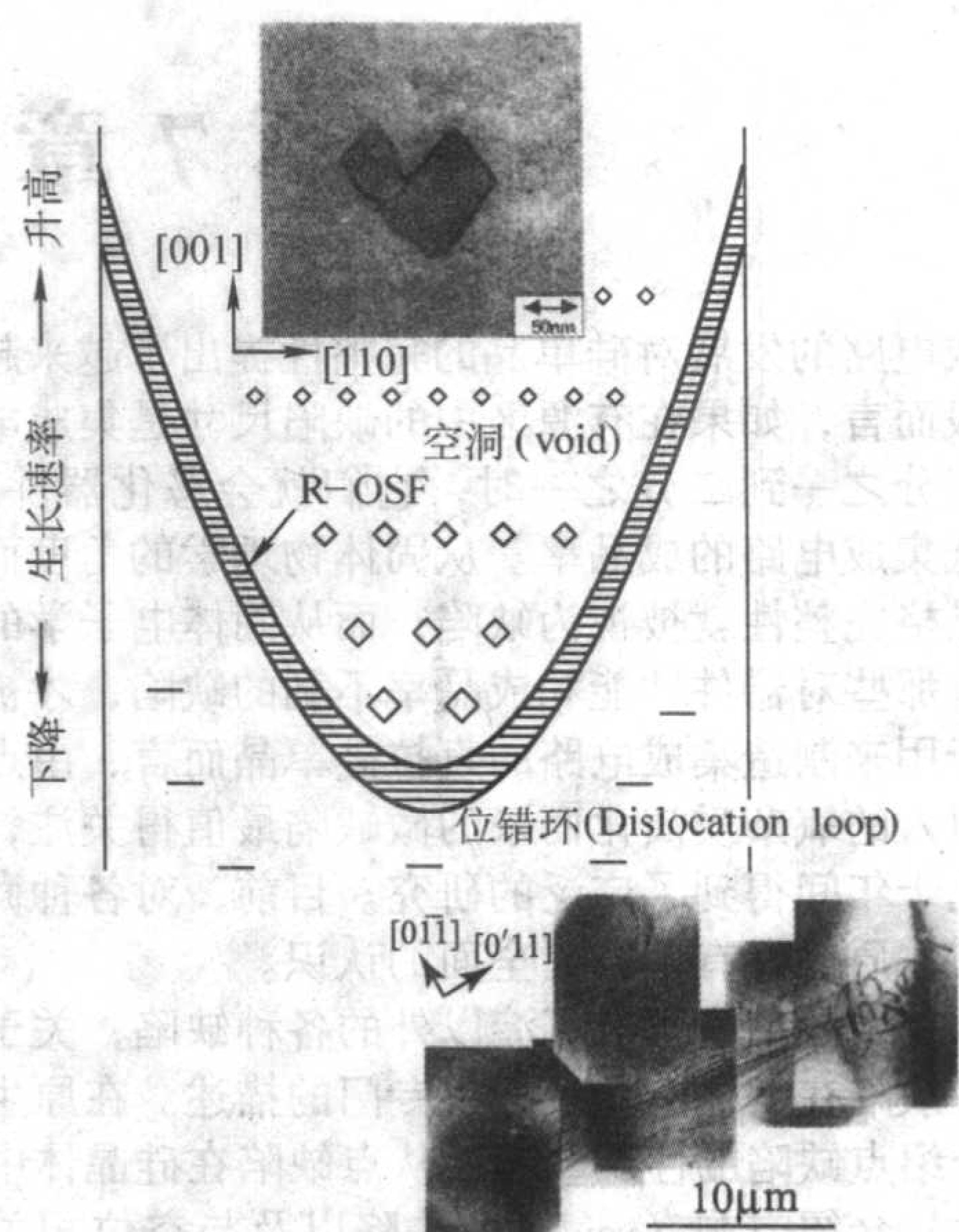
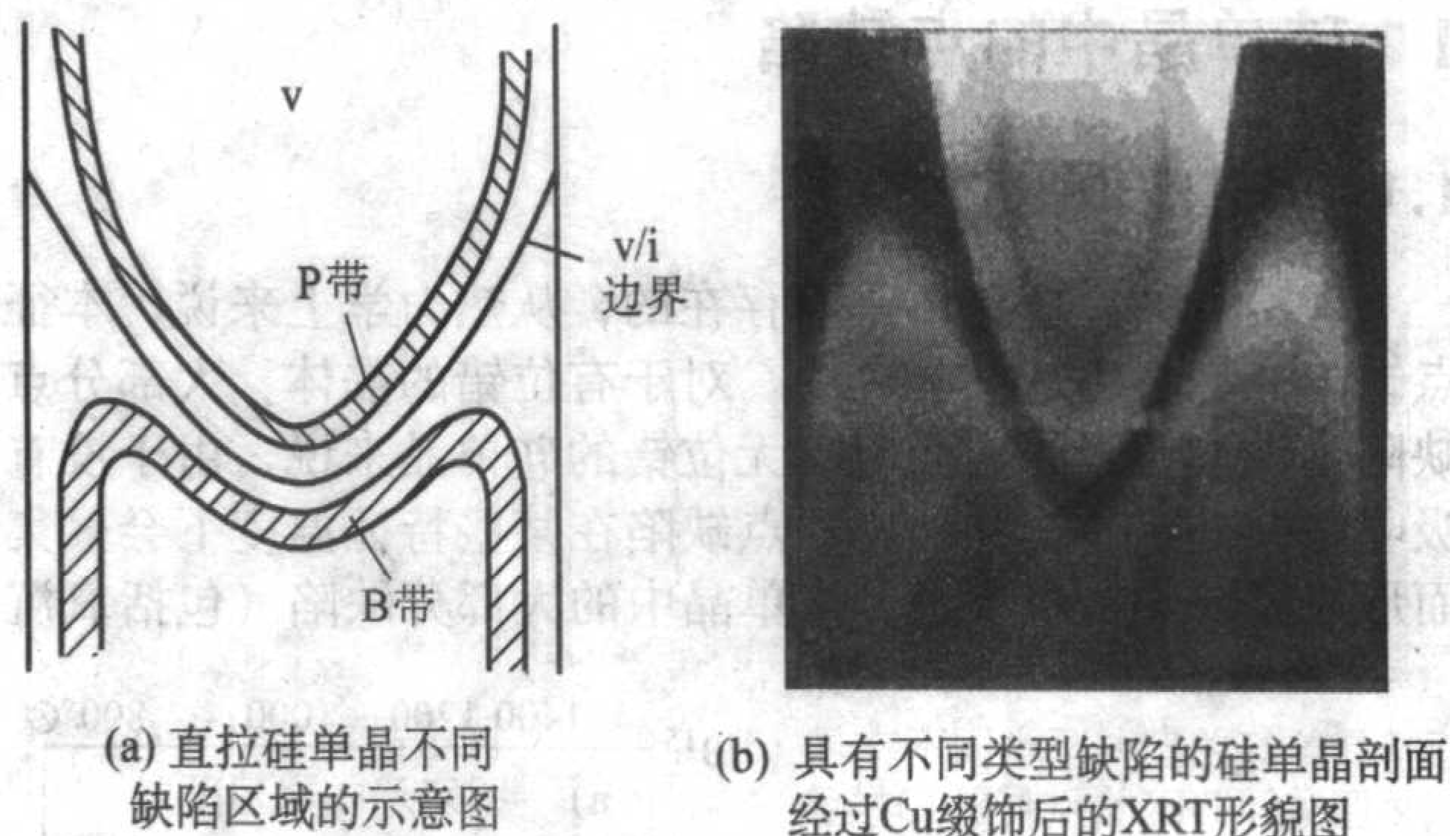


图 2.7-3　直拉硅单晶在纵向上的原生缺陷随着生长速率演变的示意图，图中还给出了空洞（void）型缺陷和自间隙型（位错环）的 TEM 照片



(a) 直拉硅单晶不同缺陷区域的示意图　(b) 具有不同类型缺陷的硅单晶剖面经过Cu缀饰后的XRT形貌图

图 2.7-4　空位型缺陷

快增加。void 的形成消耗了晶体中绝大部分的空位。研究表明，在通常的晶体生长条件下，T_n 在 1 100℃左右，而 void 的典型密度为 $2\times10^6/cm^3$，尺寸在 80～200 nm 之间。对通常的大直径 CZ 硅单晶来说，void 的密度主要依赖于在形核温区范围内的冷却速率 q，与 $q^{3/2}$ 成正比。由于 void 是当前大直径直拉硅片中重要的原生缺陷，关于它的形成过程及其机制稍后将进行详细讨论。

void 缺陷依据检测方法的不同而表现出不同的形式，它们分别称为：COP，FPD 和 LSTD，以下对它们分别进行简单介绍。

1）COP　COP 是 Crystal Originated Particle 的简称，实际上是 Void 缺陷经过 RCA 一号液（$NH_4OH:H_2O_2:H_2O=1:1:5$）处理后出现的小腐蚀坑，它们在激光扫描颗粒度仪器的测试中表现为颗粒的形式。在 1990 年在 152.4 mm（6 in）硅片的清洗时首次发现 COP，当初曾以为是硅片加工过程中引入的颗粒，但后来发现即使硅片经过反复清洗，颗粒不但没有减少反而增加，而且颗粒尺寸增大，这才意识到这些颗粒是晶体本身带来的，并把它们起名为 COP。原子力显微镜（AFM）观察的结果表明：COP 是大小在 100～200 nm 左右的凹坑，如图 2.7-5 所示。

2）FPD　FPD 是 Flow Pattern Defect 的简称。FPD 的检测方法很简单，即：将硅片垂直浸入 Secco 溶液中腐蚀 10～30 min，腐蚀液与硅在 Void 处反应产生的氢气泡，影响了 Secco

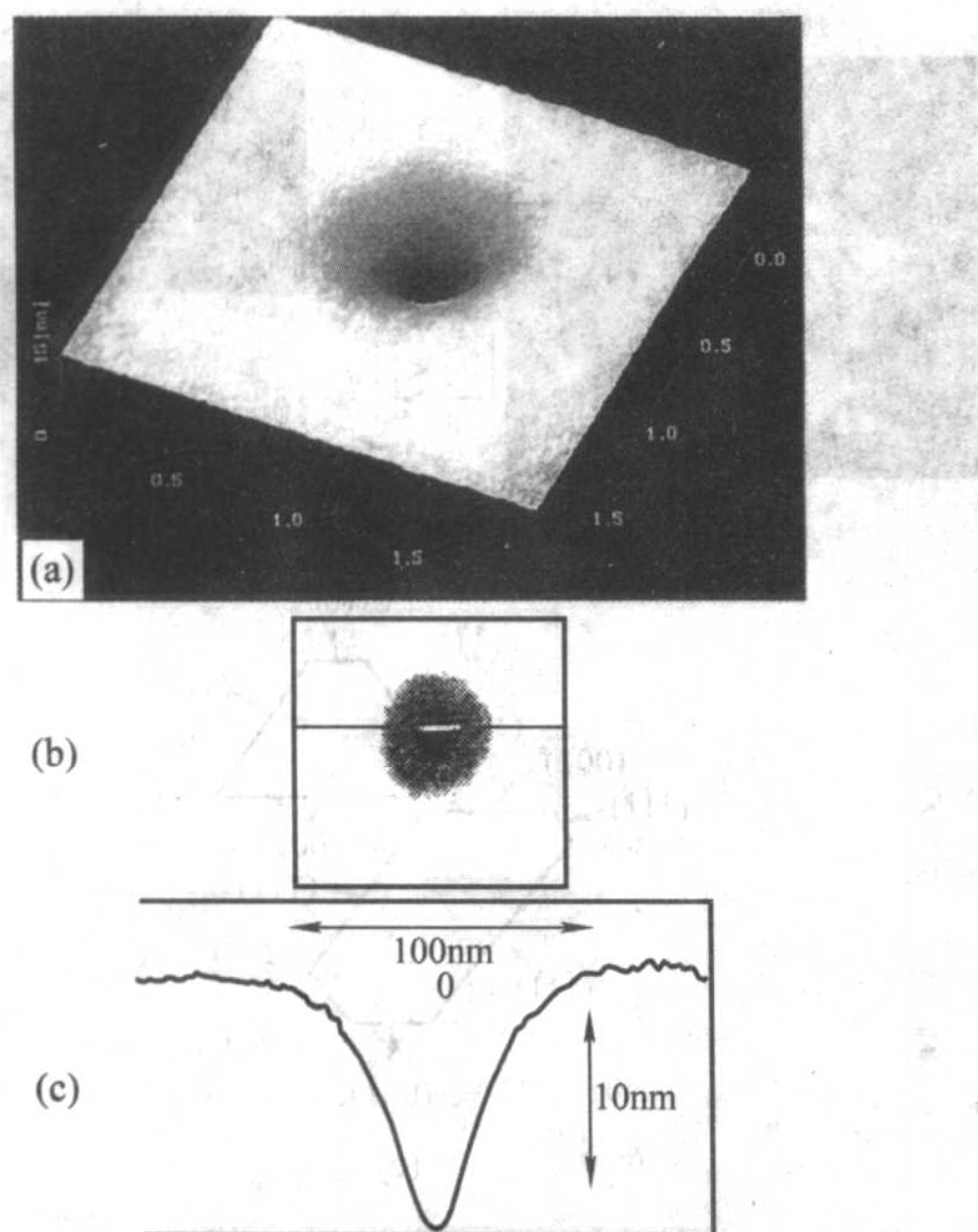
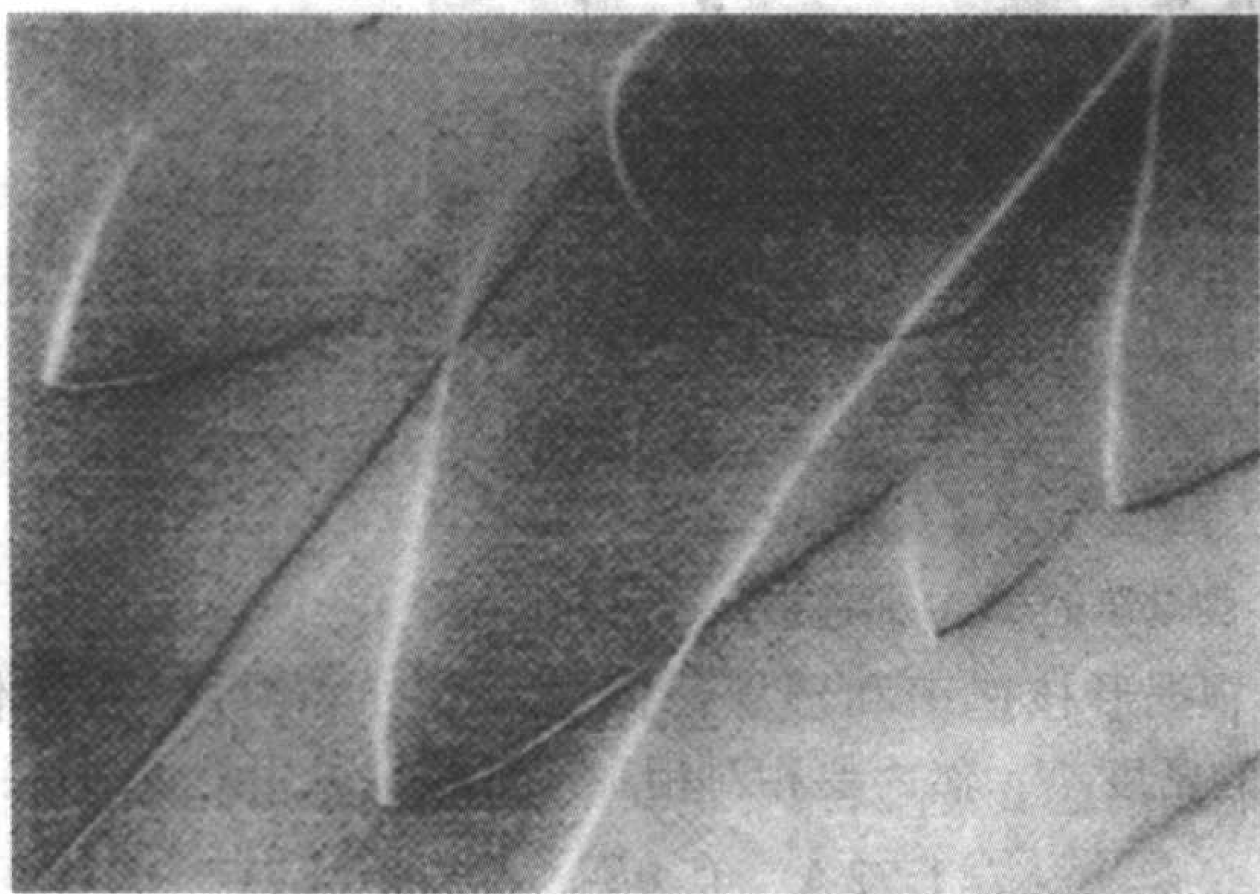



图 2.7-5 COP 缺陷的原子力显微镜（AFM）图像

溶液的垂直流动，从而产生了 V 字形的图形花样，由此形象地把它们称为流动图形缺陷，如图 2.7-6 所示。

图 2.7-6 流动图形缺陷（FPD）的光学显微镜照片

3）LSTD（Laser Scanning Tomography Defects） LSTD 是用激光断层扫描技术观察到的缺陷，它在定量地检测缺陷密度方面具有优势，它所能观察到的微缺陷尺寸的大小约为数十纳米。在 CZ 硅中所能检测到的 LSTD 密度在 $10^6/cm^3$ 的数量级。应该指出的是，用 LST 观察到的缺陷中除了 Void 缺陷外，还可能包含氧沉淀，因此在对结果的分析上，要注意区分它们。LST 的原理如图 2.7-7 所示。

2.1.2 P-带（氧化粒子带）

空位在直拉硅中也能与氧结合形成氧化粒子（oxide particle），它们在晶体的截面上分布在一个环型的区域中，该区域被称为 P 带。氧化粒子实际上就是细小的氧沉淀，空位一方面参与了氧化粒子的形成，另一方面为氧化粒子的生成提供了应力释放的空间。由于氧化粒子的形成是由空位和氧共同作用的，不像 void 那样完全依赖于空位，所以氧化粒子与 void 的形核速率比将随着空位浓度的降低而增大，也就是说，在浓度较高时，空位易于聚集形成 void，而当浓度较低时，空位易与氧结合形成氧化粒子。若在生长界面的某些位置处，晶体的生长速率 v 稍微大于 v_{crit}，则空位的浓度较低，这时空位不能聚集形成 Void，而是与氧结合形成氧化粒子。应该指出的是，氧化粒子的形核温度为 1 020℃左右，它比

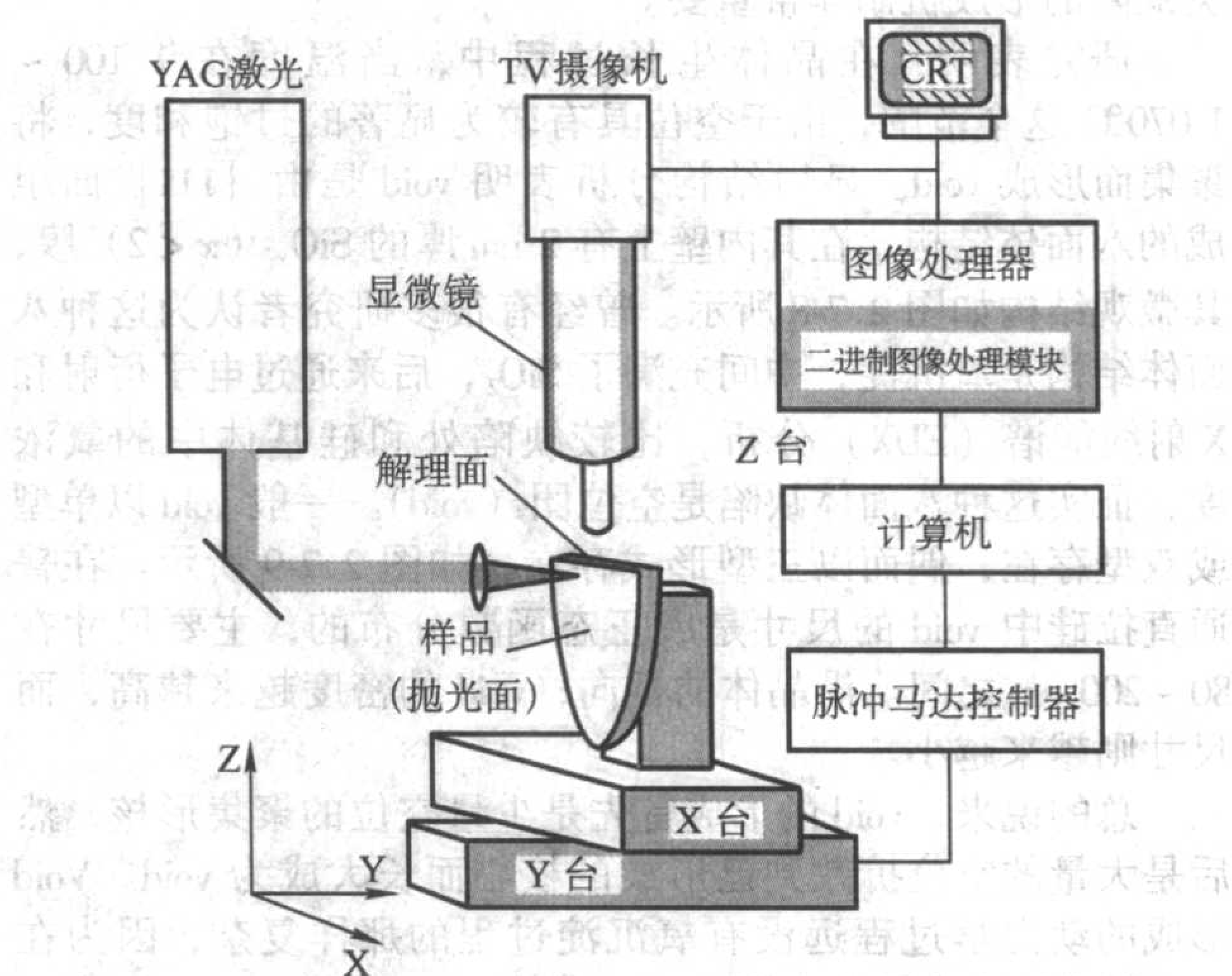


图 2.7-7 激光断层扫描（LST）检测缺陷的原理图

void 的形核温度要低，这是可以理解的，因为只有在较低的温度下，空位和氧才具有较大的过饱和度，从而有足够的驱动力聚集在一起形成氧化粒子。因此，实际上空位区被分成了 void 区和氧化粒子区（P 带），这个 P 带在氧化后就形成了 OSF 环，其成核中心就是氧化粒子。

2.1.3 L-带

如上所述，氧化粒子的形成需要一定的空位过饱和度，在空位浓度更低的地方，如果要形成氧化粒子，那就需要在更低的温度。然而，这时氧的扩散速度显著变慢，氧的聚集变得困难，因此，在 P-带的外面存在另外一个窄的低浓度的空位区，这就是所谓的“L-带”，在这个区域内氧沉淀的成核在 650℃左右。通常在较低的温度下，低浓度的空位不仅在 L-带中保留，而且在 void 区和 P-带中也存在。只是 P-带中剩余的空位浓度非常低，因为高密度的氧化粒子消耗了几乎全部的空位；而在 void 区，由于 void 的密度较低，它们消耗空位的能力没有氧化粒子强，所以在 void 区中仍然存在一定浓度的空位。实验证实，L-带中具有比 P-带中氧化粒子密度高很多的小氧沉淀核心，这是由于 L-带中的空位浓度在 $10^{12}/cm^3$ 左右，它们显著促进了低温下氧沉淀的成核。

同 L 带中的空位一样，Void 区中剩余的空位也可以在低温下促进氧沉淀核心的形成。这里需要说明的是，Voronkov 认为，void 区和 L 带中的空位不是以自由空位的形式存在，而是在 1 020℃以下全部与氧结合形成 O_2V 复合体。

2.1.4 A-/B-缺陷

A-/B-缺陷是自间隙型缺陷，它们是自间隙硅原子的聚集体。当晶体的生长速度 v 远远小于 v_{crit} 时，晶体中自间隙硅原子浓度很大，这时将形成较大尺寸的位错环，这就是 A-缺陷，它的密度远比 void 小，这是由于自间隙硅原子具有较高的扩散速率导致的。由于 A-缺陷尺寸大，所以单个 A-缺陷对器件的危害性比 void 要大很多。当自间隙硅原子浓度较低时，B-缺陷将形成，它的尺寸较小而密度较高，这与在空位区中氧化粒子取代 void 的行为相类似，图 2.7-4 中的 B 带（B-and）就是由 B-缺陷组成的。遗憾的是，关于 B-缺陷的微观结构和其对器件的影响目前还不清楚。在实际的晶体生长中，通常采用尽可能高的拉速，以避免自间隙型缺陷的形成。

2.2 空洞型缺陷的形成

由于空洞型缺陷是大直径硅片中的一类重要缺陷，它对 MOS 器件中的栅氧化层的完整性有不良的影响，因此理解这

类缺陷的形成机制非常重要。

研究表明：在晶体生长过程中，当温度在 1 100～1 070℃ 这个范围，由于空位具有较为显著的过饱和度，将聚集而形成 void。显微结构分析表明 void 是由 {111} 面组成的八面体结构，在其内壁上有 2 nm 厚的 SiO_x（$x<2$）膜，其微观结构如图 2.7-8 所示。曾经有很多研究者认为这种八面体结构是氧沉淀，中间充满了 SiO_2，后来通过电子衍射和 X 射线能谱（EDX）分析，比较缺陷处和硅基体中的氧浓度，证实这种八面体缺陷是空位团（void）。一般 void 以单型或双型存在，偶而以三型形式存在，如图 2.7-9 所示。在普通直拉硅中 void 的尺寸是成正态函数分布的，主要尺寸在 80～200 nm 之间。沿晶体的径向，void 的密度越来越高，而尺寸则越来越小。

总的说来，void 的形成首先是少量空位的聚集形核，然后是大量的空位扩散到已形成的核心而长大成为 void。Void 形成的动力学过程远没有氧沉淀过程的那样复杂，因为在 void 形成过程中不需要释放任何的应力。

与氧沉淀的形核不同，void 的形核温度在一个比较窄的范围内。其形核的驱动力是空位的化学势 f，也就是空位的过饱和度。因为 void 的形核过程是个总能量降低的过程，对于具有金刚石结构的硅晶体而言，由 {111} 面组成的八面体结构的 void 是能量最低的，因此可以用经典形核理论求出 void 的形核速率 I，如下式所示：

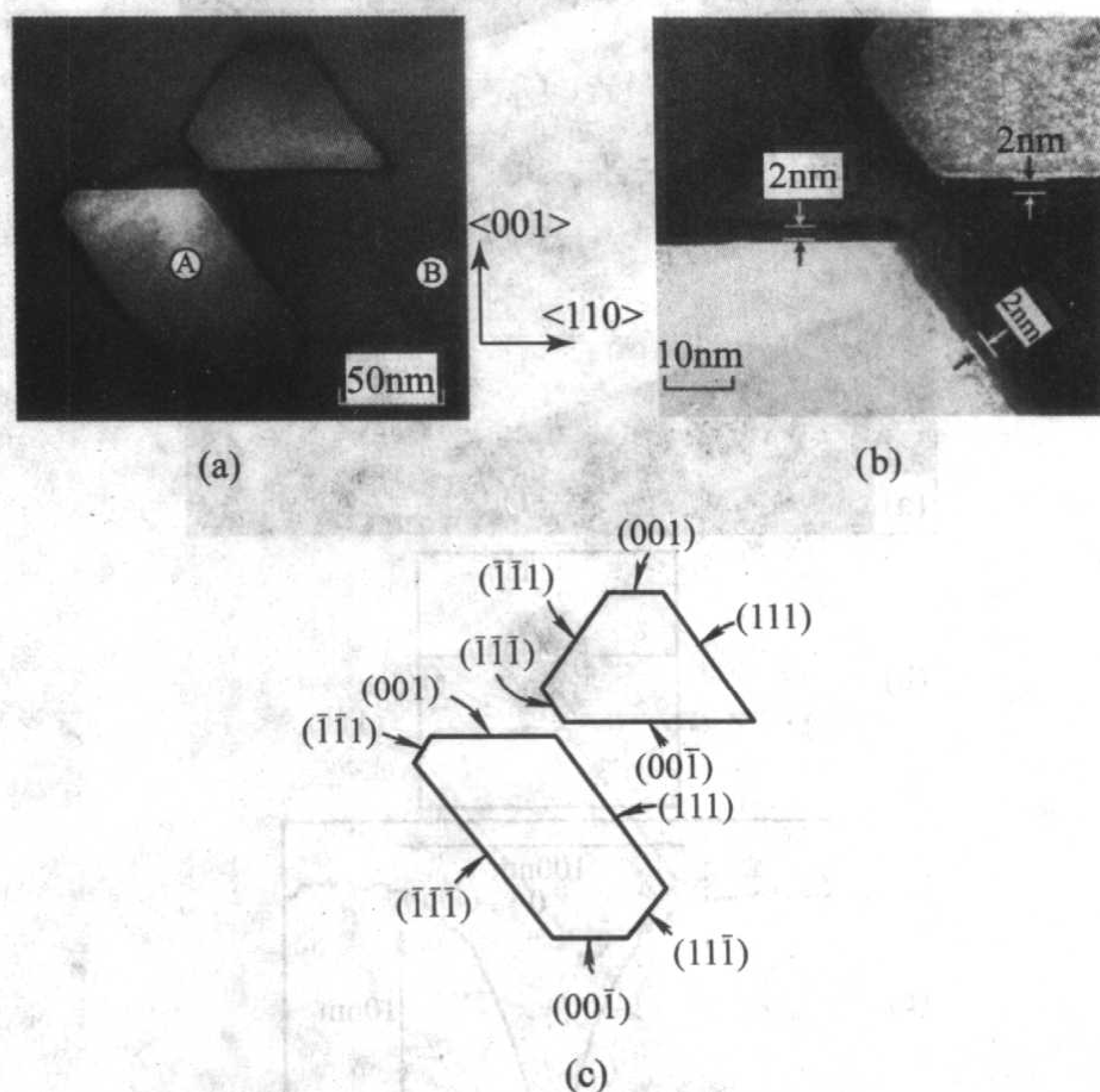


图 2.7-8　空洞（void）型缺陷的 TEM 照片及其结构示意图

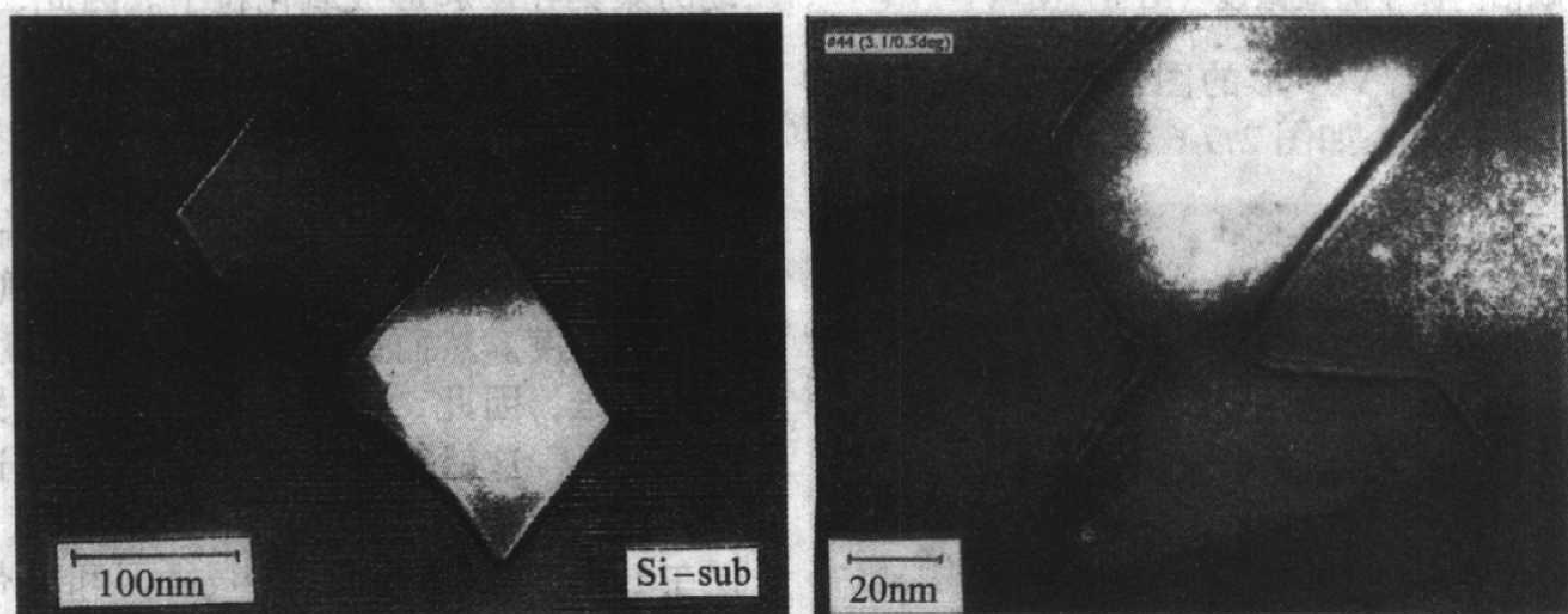


图 2.7-9　双型和三型的空洞（void）型缺陷的 TEM 照片

$$I = (4\pi R^* D_T C_0) Z\rho\exp\left(-\frac{F_m^*}{k_B T}\right) \qquad (2.7\text{-}5)$$

式中，R^* 是临界形核尺寸；D_T 是扩散系数；C_0 是形核前的实际空位浓度；Z 是 Zeldorich 因子；$\rho = 5\times10^{22}\ cm^{-3}$ 为硅原子的密度；T 是温度；$F_m^* = \frac{4\lambda^3}{27f^2}$ 是 void 的形核能；λ 是表面能系数；$f = k_B T\log\left(\frac{C_0}{C_e}\right)$ 是空位的化学势；C_e 是平衡空位浓度；k_B 是玻尔兹曼常数。void 的特征形核温度 T_n，如前所述，一般在 1 100～1 070℃之间。当温度 $T=T_n$ 时，void 的形核速率很快；当 $T<T_n$ 时，形核速率减小，主要是空位扩散到核心处，使 void 长大。

在特征形核温度 T_n 附近，void 的形核速率 I 与时间 t 满足下面关系，

$$\frac{\mathrm{dlg}I}{\mathrm{d}t} = \frac{1}{\tau} + md\frac{\mathrm{lg}C}{\mathrm{d}t} \qquad (2.7\text{-}6)$$

式中，m 为形核的空位数目；$\tau = \frac{k_B T^2}{qE^*}$ 为形核所需时间；E^* 为临界形核的结合能；q 为冷却速率，$q = -\frac{\mathrm{d}T}{\mathrm{d}t}$。当上式右边为零时，形核速率 I 达到最大值，随后进一步冷却，形核速率 I 将减少，到一定的时候形核被抑制，主要是 void 的核心吸收空位长大，空位减少的速率由扩散到所有核心处的扩散流决定。

根据形核速率和形核时间的乘积 $I_n\tau$，可以粗略估计 void 的密度 N，然而要相对精确地计算，可用下式求得：

$$N = \left(\frac{1.72}{4\pi m^*}\right)\times\left(\frac{qE^*}{Dk_B T^2}\right)^{\frac{3}{2}}\times\left(\frac{2C_0}{\rho}\right)^{-\frac{1}{2}} \qquad (2.7\text{-}7)$$

式中，m^* 是临界形核所需的空位数目。由上式可知，它的密度主要由冷却速率 q 控制，次之由原始的空位浓度 C_0 决定。N 与 $q^{\frac{3}{2}} C_0^{-\frac{1}{2}}$ 成正比，q 的增加或 C_0 的减少将导致 void 密度的增加，这看起来有些奇怪，但实际上是容易理解的，一方面通过足够快速的冷却，void 形核的驱动力增大；另一方面 C_0 的降低导致 void 的尺寸减小，因而就能形成比较高密度的 void。

由于晶体中大部分空位都被消耗形成 void，所以它们的平均尺寸约等于$\frac{C_0}{N}$，将 void 近似为球形，于是可得：

$$R = 1.35\ (m^*)^{\frac{1}{3}}\left(\frac{C_0 Dk_B T^2}{qE^*}\right)^{\frac{1}{2}} \qquad (2.7\text{-}8)$$

由此可知 void 的尺寸 R 与$\left(\frac{C_0}{q}\right)^{\frac{1}{2}}$成正比，温度 T 对 void 尺寸的影响不如对密度的影响那样显著。

上面介绍的是由空位聚集形成 void 的过程。如前所述，void 的内壁还存在着氧化层。一般认为，该氧化层是在 void 形成（1 070℃）之后氧从硅基体中进入到 void 中导致的，这一过程可以持续到温度下降至 900℃左右。图 2.7-10 形象地表示了 void 及其内壁氧化层形成的过程。

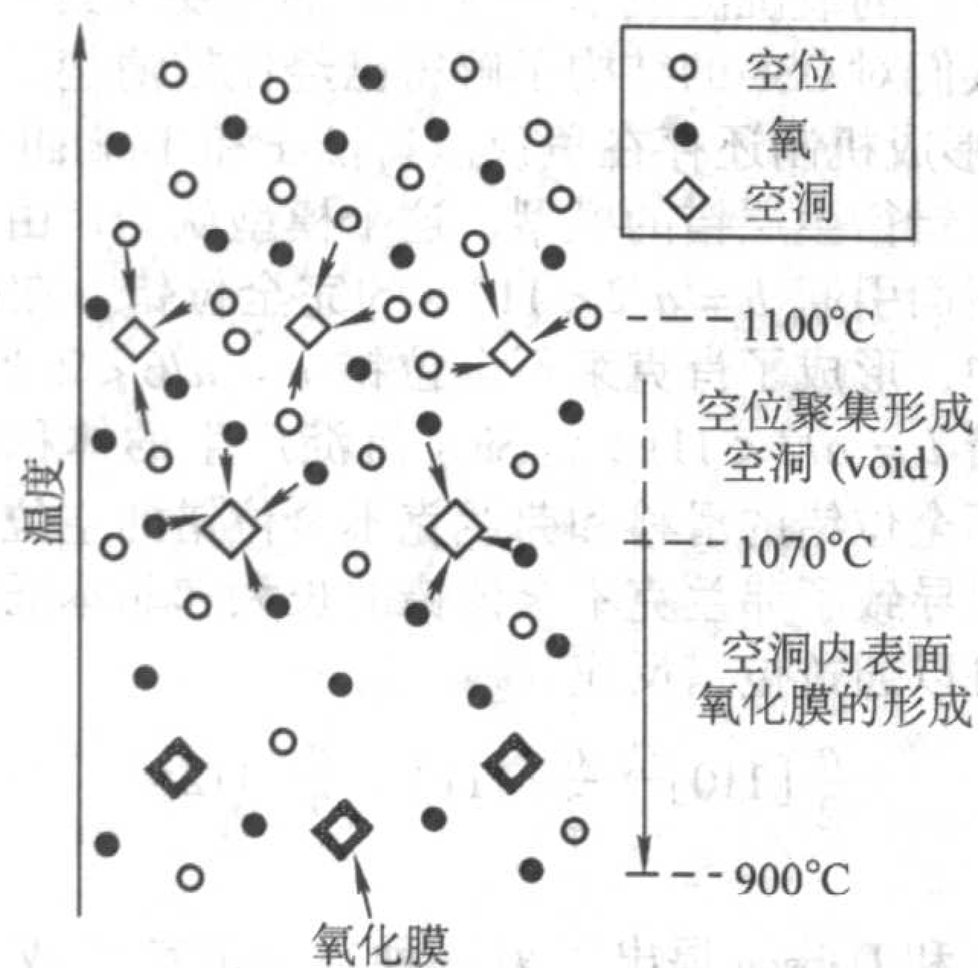


图 2.7-10　直拉硅单晶中空洞（void）型缺陷及其内壁氧化膜形成过程的示意图

2.3　void 的控制

从以上的介绍中可以知道，晶体的原生缺陷类型和浓度由晶体生长过程中 v/G 的值决定。随着 v/G 的减小，晶体中的缺陷类型从空洞型缺陷（void）逐渐转化成间隙型缺陷（A-/B-缺陷），当 v/G 的值减小到略小于临界值（v/G）OSF-ring 附近，即 $C_V = C_I$ 时，此时在晶体中不产生任何微缺陷。所以，可以通过设计热场，使固液界面处的每个位置的 v/G 值都在临界值附近，从而得到所谓的"完美晶体"。然而生长"完美晶体"的条件过于苛刻，对于热场设计和晶体生长而言要求很高，因此在大规模生产中，还很少采用"完美晶体"技术。在实际生产中，目前提出了以下几种控制和消除 void 的方法：①硅片在 H_2 气下高温退火，可减少甚至消除硅片中的 void，这就是所谓的"HAI 硅片"。②提高晶体生长后的冷却速率（这可以通过快速提拉工艺来实现），产生高密度小尺寸的 void。从这样的晶体中制备得到的硅片通过在 Ar 下高温退火，可以得到无 void 的洁净区，从而消除 void 对集成电路性能和成品率的危害。③通过在晶体中掺氮来改变 void 的尺寸、形貌和密度分布。图 2.7-11 给出了普通直拉硅和掺氮直拉硅中 void 的 TEM 图片。从图中可以看出，掺氮硅中的 void 呈平板状，与普通单晶硅中的 void 的典型结构——八面体有所不同，而且尺寸变小了。进一步的实验还证实：在直拉硅中掺氮，可以减小 void（或 COP）的尺寸而增加其密度，因而可以在更低的温度下消除掺氮直拉硅片中的 void（COP）缺陷。图 2.7-12 显示了掺氮直拉硅片和普通直拉硅片中的 COP 经退火后的变化情况。从图中可以看出，

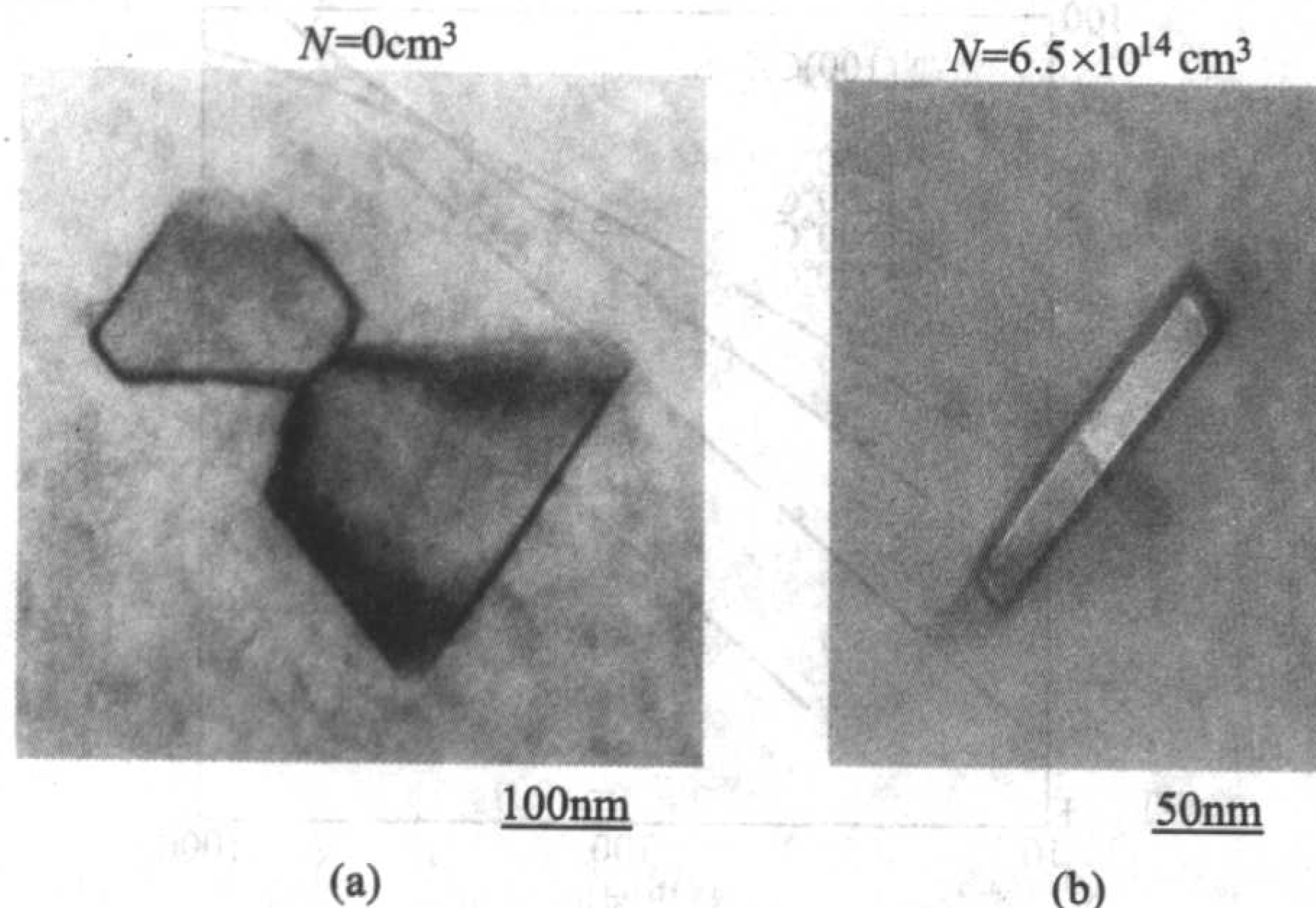


图 2.7-11　普通直拉硅单晶（a）和掺氮直拉硅单晶（b）中空洞型缺陷的 TEM 照片

掺氮直拉硅片中原生 COP 的密度要比普通直拉硅片高得多，但是它们可以在更低的温度下被消除，显示了掺氮直拉硅的优点。

	原生	1150℃,2h 退火	1200℃,1h 退火
普通直拉硅片			
掺氮直拉硅片			

图 2.7-12　普通直拉硅片和掺氮直拉硅片在原生状态和高温退火后的 COP 密度变化情况

3　硅单晶中的位错

生长大直径硅单晶的首要关键是无位错生长。晶体生长过程中，位错的产生主要与热应力相关，尤其是固液界面的热应力。硅晶体为金刚石结构，从熔体凝固成晶体时膨胀约 10%。在晶体生长过程中，若整根晶体中的热梯度均匀，就不会产生热应力；但是，不均匀的热梯度将导致晶锭中产生局域晶格膨胀或收缩，从而在晶体中造成一定的热应力。如果晶体中的热应力超过弹性极限，将导致位错的产生和增殖。对于给定径向某处 r 的温度梯度$\frac{\partial T}{\partial r}$，产生的应力可由产生密度为$n(r)$的位错所释放：

$$n(r) = \frac{\beta}{b} \times \left(\frac{\partial T}{\partial r}\right) \tag{2.7-9}$$

其中 β 是硅的线胀系数，b 是柏格斯矢量。随着晶体直径的增大，由于热应力而产生位错的几率将大大增加，它将成为 300 mm 以上硅晶体生长中棘手的问题。

出现在固液界面的 SiO 颗粒或者其他颗粒，很容易在晶体生长过程中诱生位错。一旦位错产生，在冷却应力的作用下，位错将增殖和运动，迅速蔓延整个晶体的截面并进入到生长好的晶体中，而进一步生长的晶体将呈现多晶化，图 2.7-13 是上述过程的示意图。

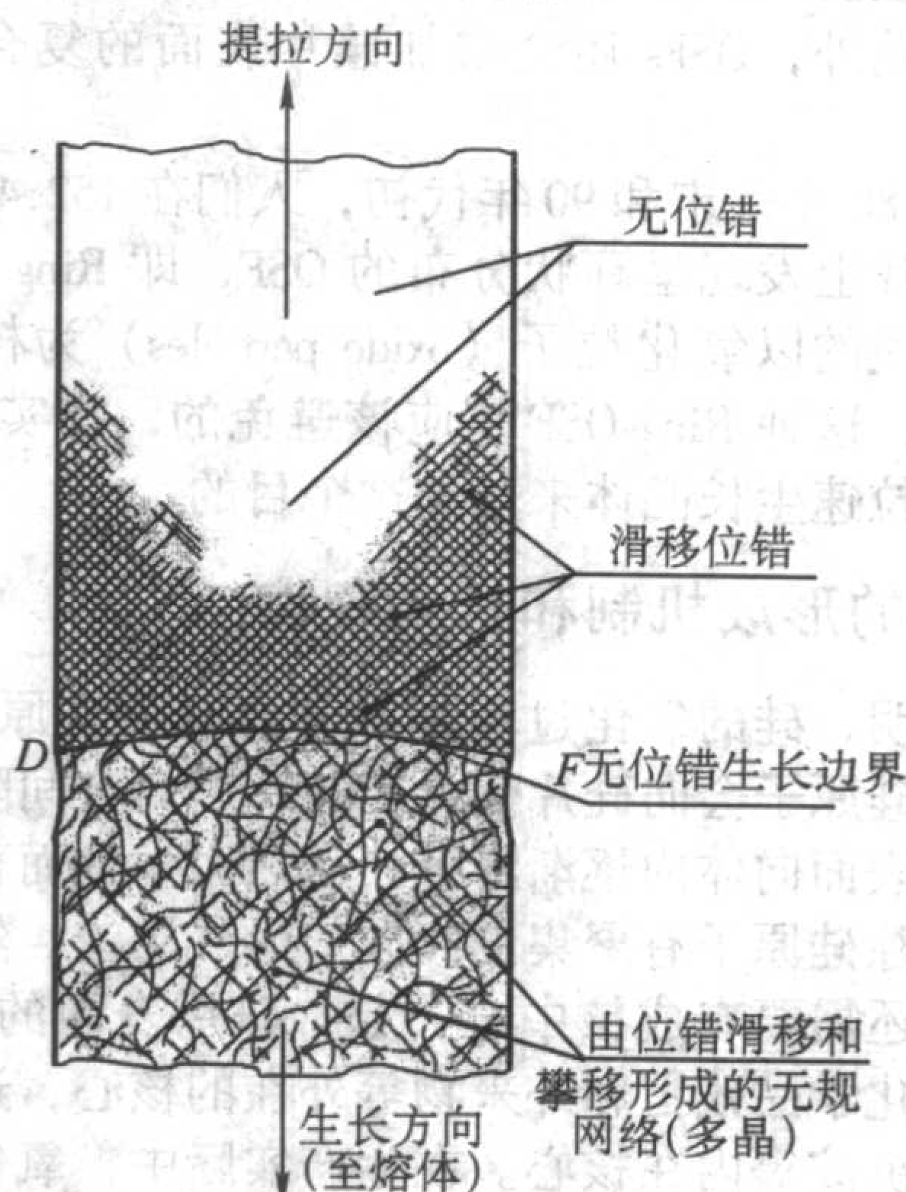


图 2.7-13　直拉硅单晶生长中由某种原因引起的位错产生、增殖和滑移的示意图

尽管原生直拉硅片中没有位错，但是直拉硅中含有 10^{18} cm^{-3} 数量级的氧杂质，在一定温度下热处理时会产生氧沉淀，由于氧沉淀（SiO_x，$x<2$）的比体积大于硅本体的，因而氧沉淀会对硅晶格产生压应力。当应力足够大时，氧沉淀会产生出所谓的冲出型位错环。图 2.7-14 给出了一张 TEM 照片，图中的方形氧沉淀躺在｛100｝面上，它在四个〈110〉方向上冲出位错环，位错的柏格斯（Burgers）矢量为 $a/2$〈110〉。

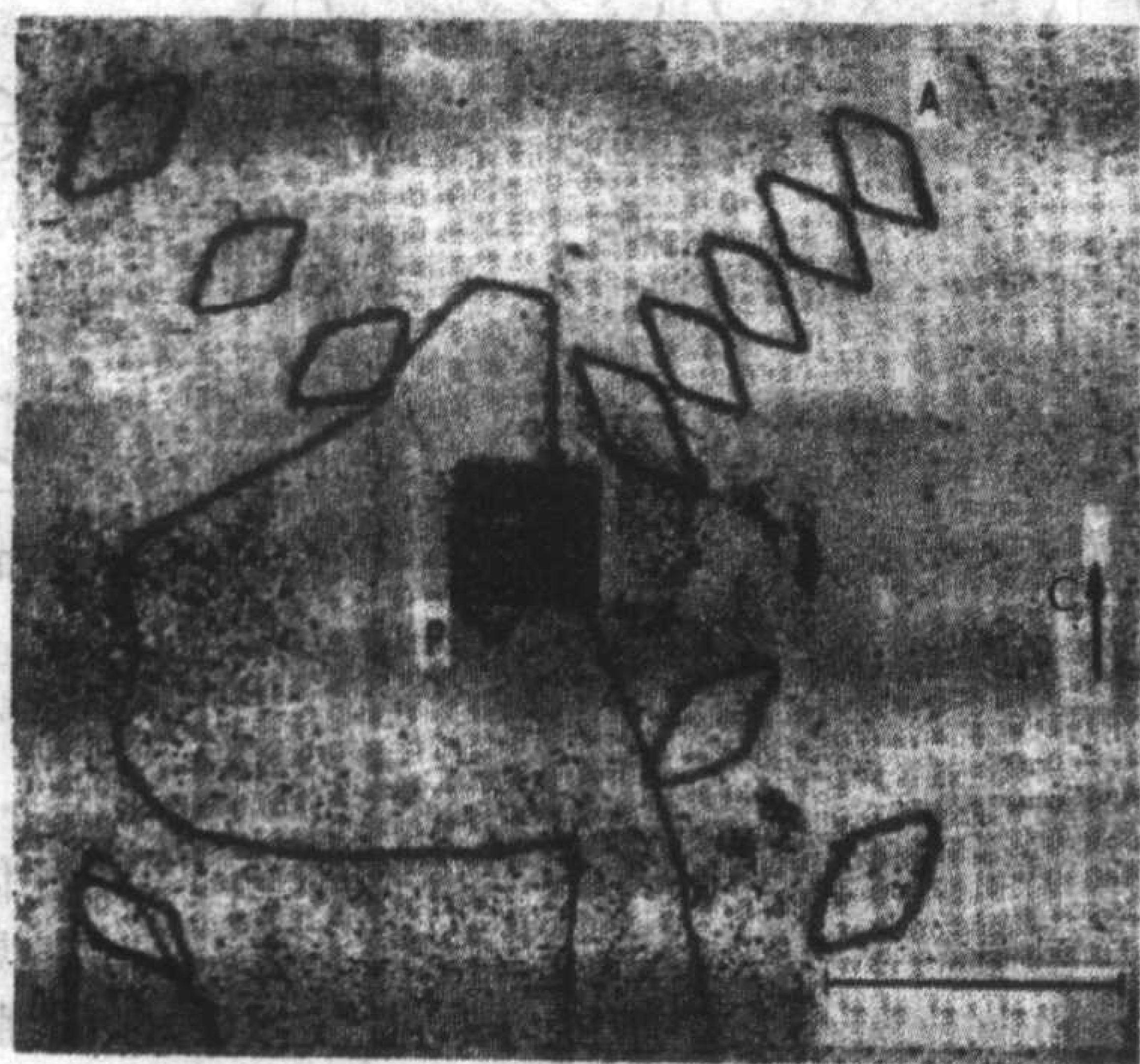


图 2.7-14　硅单晶中由氧沉淀冲出位错环的 TEM 照片

4　硅单晶的氧化诱生层错

硅片在 900～1 200℃热氧化处理后，在表面处经常产生层错，这就是通常所说的氧化诱生层错（OSF 或者 OISF）。由于它们会劣化器件的性能，因此自从 1963 年被首次发现以来，人们就致力于 OSF 的产生和消除的研究。在硅外延层中也会产生层错，这类层错通常被称之为外延层错，它们的结构和形成机制与体单晶的氧化诱生层错不同。外延层错主要形核于衬底表面或者亚表面的不完整区域，并生长到外延层中。此外，硅中氧沉淀长大也可以诱生出层错，这些层错称之为体层错，事实上，氧沉淀过程相当于硅片体内的氧化过程，只不过这个氧化过程比起在氧气氛下的表面热氧化过程要缓慢一些。在双极型器件中，当 OSFs 贯穿 p-n 结时，将增加漏电流。在 MOS 器件中的 OSFs 则会降低动态随机存储器的恢复性能，OSFs 还会使 MOS 器件中的栅极氧化膜完整性变差。此外，OSFs 还会增加硅片表面的复合速率并降低体寿命。

20 世纪 80 年代末和 90 年代初，人们在 152.4 mm（6 in）及以上的硅片上发现呈环状分布的 OSF，即 Ring-OSF。它们就是前面所说的以氧化粒子（oxide particles）为核心形成的层错。显然，这种 Ring-OSF 是应该避免的，在实际生产中，通常采用高拉速生长晶体来达到这个目的。

4.1　OSF 的形成机制和长大规律

业已证明，硅的氧化过程是产生自间隙硅原子的过程，这些自间隙硅原子会向硅片体内扩散，因此自间隙硅原子的过饱和度由表面向体内逐渐降低。从热力学上而言，过饱和状态的自间隙硅原子有聚集的倾向，形成层错。然而最终要形成层错，还需要有成核中心，如：硅片表面的机械损伤、金属沾污、化学品残留和外来物等外在的核心，还有硅片表面附近的氧沉淀等内在核心。在生产实际中，氧化诱生层错的检查是必需的，它是检验硅片晶体质量和加工质量的重要手段。应该指出的是，现在的硅片加工和清洗技术已经相当成熟，引发 OSF 的外部原因可以说基本被消除，通常情况下硅片表面附近的氧沉淀成了产生 OSF 的主要原因。

虽然人们对 OSF 的结构了解得已经比较清楚了，但是关于 OSFs 的形成机制还存在争议。Bppker 和 Tunstall 首先提出了由完全位错衍生层错的模型，这个模型认为，由于机械原因在硅片表面引起 $b=a/2<110>$ 的完全位错，在随后的热处理过程中，形成了肖克莱不全位错 $b=a/6<211>$ 和弗兰克不全位错 $b=a/3<111>$。SiO_2 沉淀产生的体积变化，通过肖克莱不全位错的滑移和弗兰克不全位错的空位释放得以缓解，由此导致了弗兰克不全位错的长大和非本征型层错的产生，这可以通过位错反应：

$$\frac{a}{2}[110]\rightarrow\frac{a}{3}[111]+\frac{a}{2}[11\bar{2}] \qquad (2.7\text{-}10)$$

来表示。

Sanders 和 Dobson 提出了另一种空位消耗形成层错的模型。他们认为，空位流不断通过 SiO_2-Si 界面，扩散到硅片表面，参与由氧扩散控制的氧化层形成，因此氧化过程中，硅片表面的空位不断的被消耗，从而促进了非本征型 OSFs 的长大。

Ravi 和 Varker 认为，｛111｝面上多余的自间隙硅原子局部崩塌也可以形成 OSFs。由于机械损伤造成硅片表面增加和局部空位浓度下降，导致多余的自间隙硅原子发生聚集而形成非本征型层错。

OSF 的密度强烈依赖于硅片的晶向，(100) 面的 OSF 密度通常大于 (111) 面和其他晶面的。这是由于 (100) 面比密排面 (111) 更易于受到机械的或化学的损伤。也有人认为：从微观上来说，(111) 面比其他面具有更多的台阶，在台阶的扭折处可以吸收自间隙原子，因此减少了 OSF 形成的机会。另外，n 型硅片的 OSF 密度通常要比 p 型硅片高一个数量级，其原因还没有彻底清楚。有一种观点认为：相比于 p 型硅，n 型硅的有效空位密度较低（这是由于平衡空位浓度较高），这样在氧化过程中，形成的自间隙硅原子的过饱和度较高，从而产生更多的 OSF。在实际生产中，n 型 (100) 硅片的 OSF 控制通常是一个头痛的问题，采用高拉速拉晶是解决的途径之一。

OSF 的长大和很多因素有关，包括氧化温度、时间、气氛、晶向和杂质浓度。图 2.7-15 显示了 n 型 (100) CZ 硅片在纯氧气氛下不同温度处理时层错长度和氧化时间的对数坐标关系。一般的，层错长度 L（μm）可以由下面的公式给出：

$$L=At^{n}\exp(-Q/kT) \qquad (2.7\text{-}11)$$

其中，A 是常数，t 是热氧化时间（h），n 是这个对数函数关系的斜率决定的指数系数，可以通过最小二乘法确定，Q 是 OSF 生长的激活能。研究表明，$n=0.8$，$Q=2.3$ eV。另外，OSF 的长大速率随氧化速度和温度的升高而增加。

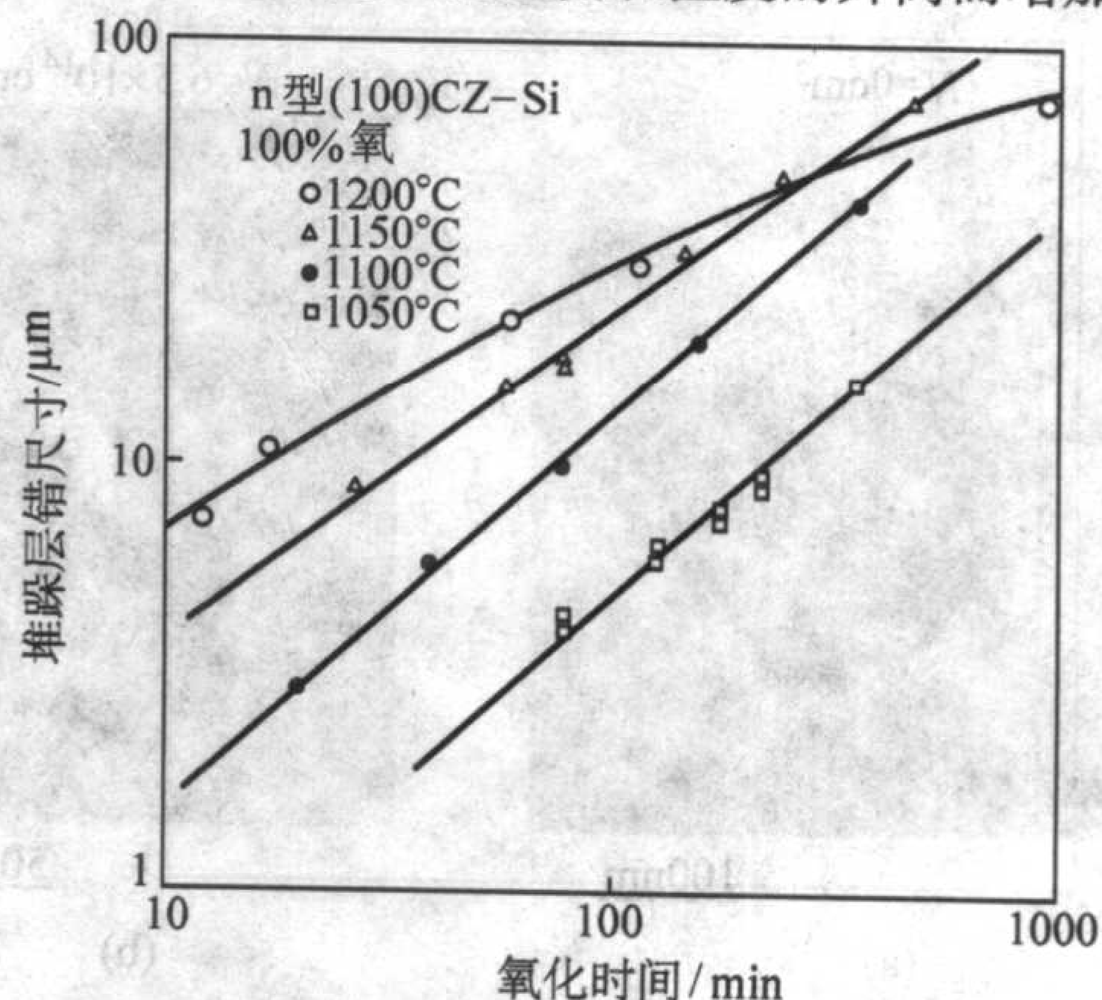


图 2.7-15　n 型（100）CZ 硅片在不同温度下产生的层错长度与氧化时间的关系

OSF的长大还与晶向有关，图2.7-16给出的是不同晶向的n型硅片经过不同温度氧化3 h后OSF长度的变化情况。在图中，有两个具有不同动力学特征的区域，即长大区域和收缩区域。从图中可以看出，(100)硅片和偏离(100)晶向5°的硅片的OSF生长规律几乎相同，但是后者OSF的收缩发生在更低的温度下。从图中还可以看出，(111)硅片的OSF生长速率比(100)硅片要快2倍左右。表2.7-1给出了(111)和(100)硅片在干氧和湿氧条件下氧化时公式(2.7-11)中的生长常数A值。

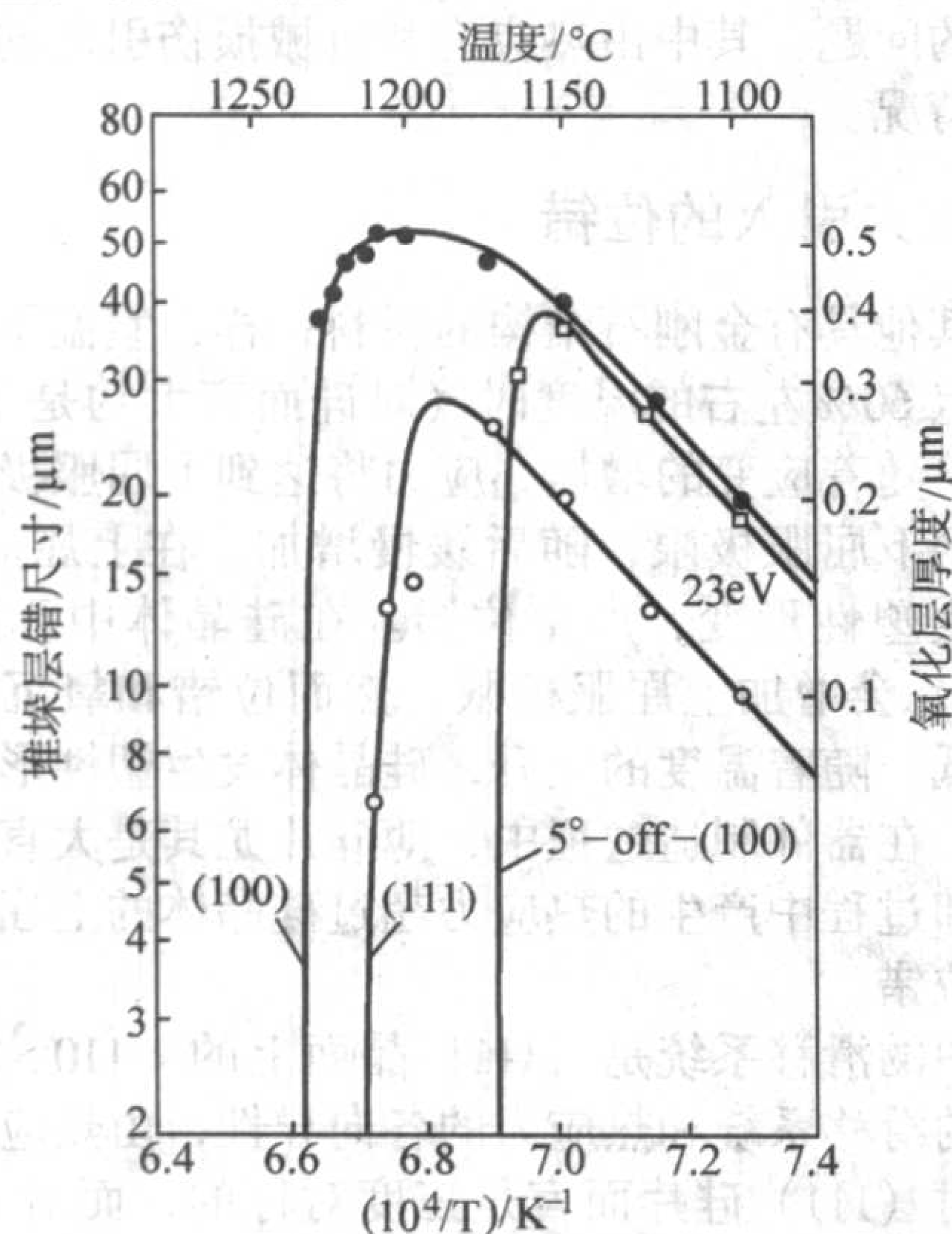


图2.7-16 n型不同晶向的硅片在不同温度下氧化3 h后OSF长度的变化

表2.7-1 硅片在干氧和湿法氧化时OSF生长常数A的值($L=At^n\exp(-Q/kT)$)

晶向	干氧	湿氧
100	2.28×10^9	4.16×10^9
111	1.09×10^9	1.53×10^9

4.2 OSF的收缩

存在OSF的硅片在非氧化气氛高温热处理后，可以观察到OSF的收缩。图2.7-17显示了n型(100)和n型(111) CZ硅片在氮气氛下高温热处理时，OSF的收缩与热处理时间和温度的关系，其结果符合Arrhenius方程。从图中可以看出：①OSF随热处理时间的延长而线性收缩，②温度越高收缩速率越大，③(111)硅片的OSF收缩速率大于(100)硅片的。另外，在氢气和氩气气氛下高温热处理也得到了类似的结果。目前对OSF的收缩提出了以下两种机制：①涉及空位吸收和自间隙发射的位错攀移机制；②涉及肖克莱不全位错形核和运动的可逆反应机制。

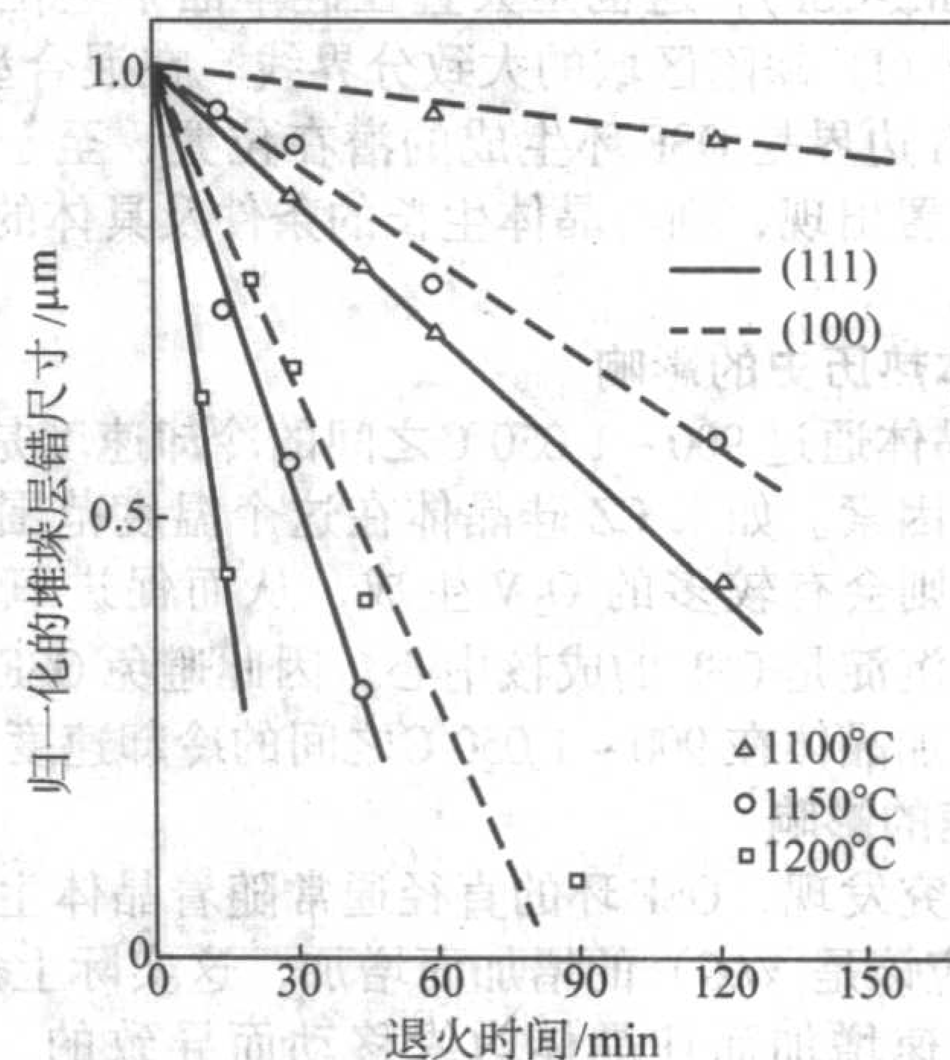
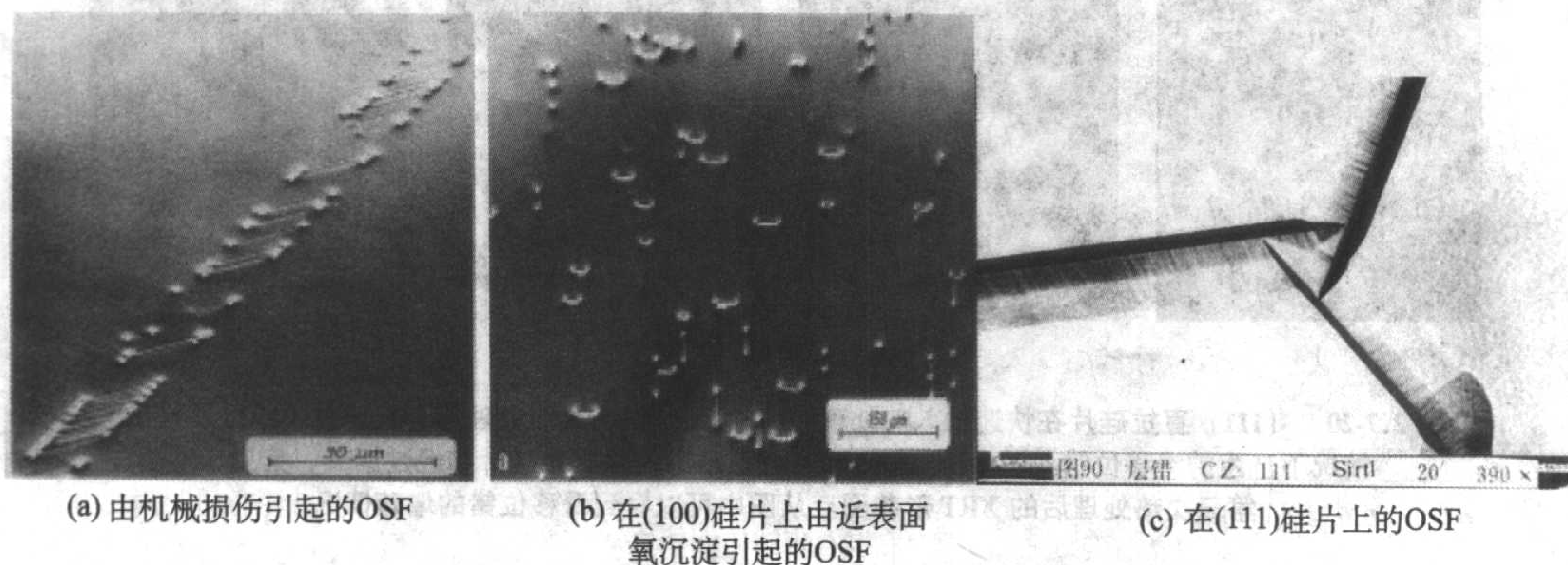


图2.7-17 n(100)和n(111) CZ硅片在氮气氛下不同温度处理时OSF的收缩和热处理时间的关系

4.3 OSF的形貌

由于腐蚀液的不同、OSF的成核机制不同等原因，OSF的形貌可能有所不同。通常情况下，OSF经化学腐蚀后，在光学显微镜下观察，呈火柴杆状(或哑铃状)，直线部分是OSF和表面交线的腐蚀坑，而两头的腐蚀坑是由围绕OSF的不全位错和表面相交的腐蚀露头。进一步地说，由表面损伤引起的OSF的长度通常是均匀的，如图2.7-18a所示，这样的OSF通常称为表面OSF。由氧沉淀等引起的OSF通常呈哑铃状，如图2.7-18b所示，这是由在层错两边的不全位错所引起的腐蚀特征。通常把由在硅片体内的成核中心引起的OSF称为体OSF。由于体OSF的成核中心离硅片表面的距离不尽相同，因此，体OSF的长度不像表面OSF那样均匀。硅单晶的OSF发生在(111)面上，因此OSF将与(100)面相交在<110>方向上。由于在(100)面上<110>方向彼此互相垂直，所以在(100)硅片上所观察到的OSF都是互相平行或垂直的。OSF与(111)面同样相交在<110>方向上，在(111)面上<110>方向相交成60°，因此在(111)硅片上的层错腐蚀坑可以相交成正三角形，如图2.7-18c所示。需要指出的是，无论是对于(111)硅片还是对于(100)硅片而言，OSF的形貌都不只有一种表现形式，它与具体的形成条件和腐蚀工艺有关，限于篇幅，这里不作赘述。



(a) 由机械损伤引起的OSF　(b) 在(100)硅片上由近表面氧沉淀引起的OSF　(c) 在(111)硅片上的OSF

图2.7-18 OSF的形貌

4.4 环状 OSF

在大直径［通常在 152.4 mm（6 in）及以上］的 CZ 硅晶体中的 OSF，有时会呈现环状的分布，称为 OSF 环（OSF-Ring 或者 Ring-OSF），这也是大直径硅单晶中空位（V）、自间隙硅原子（I）缺陷区域的大致分界线。在混合型的 CZ 硅晶体中的 v/i 边界是 OSF 环生成的潜在位置，至于 OSF 环是否会在该位置出现，则与晶体生长的条件及具体的热处理条件有关。

4.4.1 晶体热历史的影响

CZ 硅晶体通过 900～1 050℃之间的冷却速度是影响 OSF 产生的关键因素。如果 CZ 硅晶体在这个温度范围内的冷却速度较慢，则会有较多的 O_2V 生成，从而促进氧沉淀的形成，这些氧沉淀是 OSF 的成核中心。因此避免 OSF 环的方法之一就是增加晶体在 900～1 050℃之间的冷却速度。

4.4.2 拉速的影响

一些研究发现，OSF 环的直径通常随着晶体生长时拉速（严格说来应该是 V/G）的增加而增加，这实际上是由于 v/i 边界随着拉速增加而往晶体边缘移动而导致的。图 2.7-19 显示了 OSF 环的产生和消失与拉速的关系。应该指出的是，当拉速很慢时，OSF 环会消失在晶体中心，这时晶体截面上的缺陷是自间隙型的。一般而言，v/i 的位置越往中心移动，OSF 环越容易生成，这是由于 v/i 边界位置越靠近中心时，由于冷却速度慢而产生了更多的 O_2V，因而促进了作为 OSF 成核中心的氧沉淀的形成。

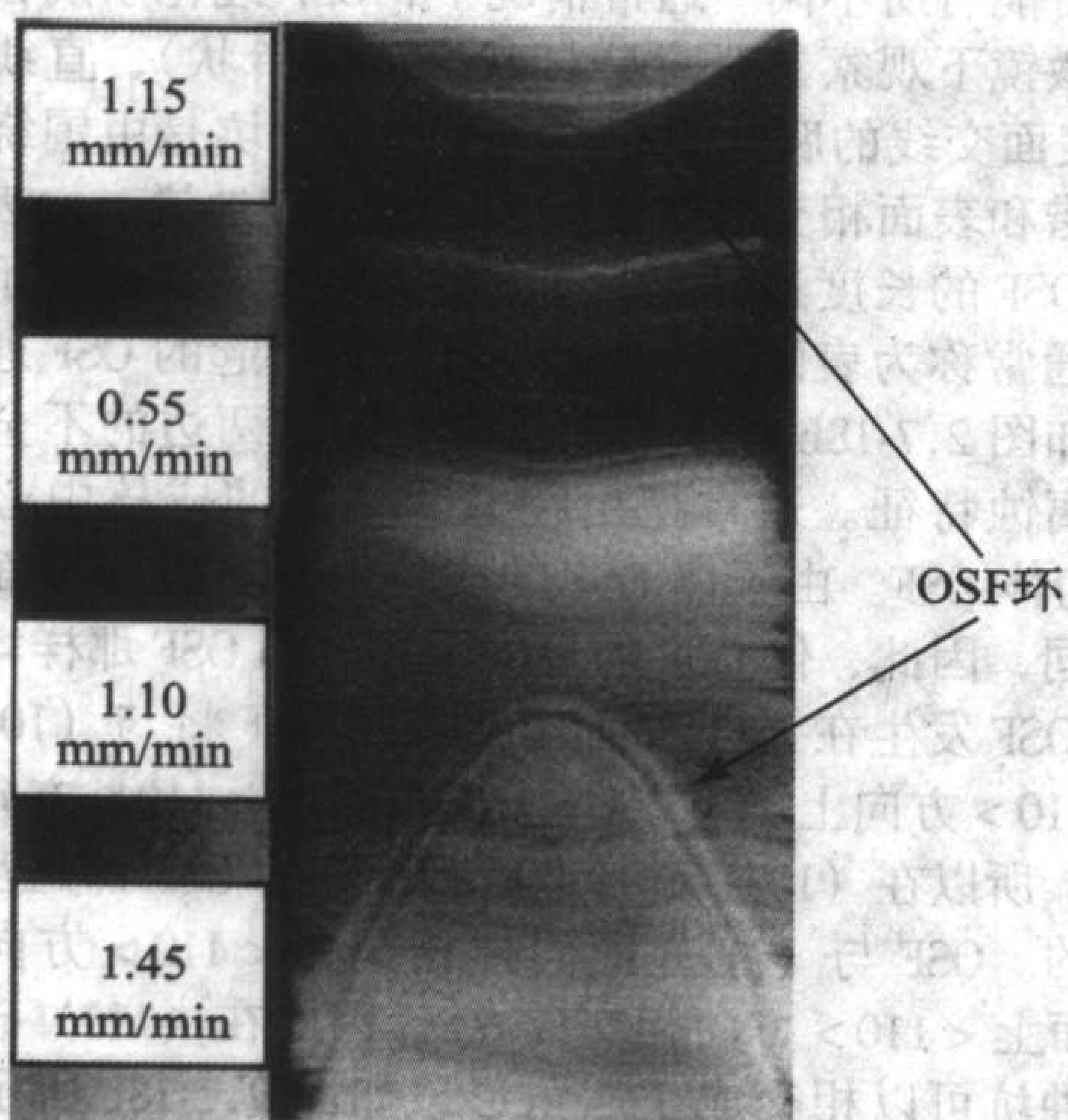


图 2.7-19 OSF 环的产生和消失随着晶体拉速变化的情况

5 硅单晶的工艺诱生缺陷

硅片在器件制造过程中经历了多道热处理工艺，在这些工艺中直拉硅片会产生氧沉淀并诱生出二次缺陷；如果硅片的表面质量不好或氧浓度和原生氧沉淀控制不好，则会产生如前所述的氧化诱生层错；如果硅片的机械加工存在问题，比如在硅片的边缘存在机械损伤，则会产生滑移位错，等等。考虑到氧沉淀及其诱生缺陷在其他的章节中已有详细描述，在本节中将重点关注工艺诱生位错，这也是器件工艺中经常出现的问题。其中由热应力和机械损伤引起的位错是两种常见的情况。

5.1 热应力引入的位错

硅和其他具有金刚石结构的材料一样，室温下易碎，但是在其熔点 60%左右的温度时（对硅而言大约是 740℃）则呈现塑性。随着应变的增加，应力将达到上屈服极限，然后迅速下降到下屈服极限，随后缓慢增加。在上屈服极限点，硅晶体发生塑性形变，产生位错。在硅晶体中弥散的杂质（如氧和氮）会增加上屈服极限，然而位错和氧沉淀等缺陷会使其降低。随着温度的上升，硅晶体发生塑性形变所需的应力下降。在器件制造过程中，薄硅片尤其是大直径硅片在加热和冷却过程中产生的热应力超过硅晶体的上屈服极限时就会产生位错。

硅片中的滑移系统是｛111｝晶面上的＜110＞方向。考虑到硅片的滑移系统和热应力的各向异性，由热应力产生的滑移位错对（111）硅片而言是三度对称的，而对（100）硅片而言则为四度对称。在两种硅片中，＜110＞方向都是位错滑移的主要方向。图 2.7-20 显示了某一（111）硅片经过 3 次快速入炉和出炉的 1 000℃热处理后的 XRT 形貌像。经过多次热处理后滑移位错更容易产生，和硅片中央处相比，边缘处更容易产生位错，这也反应了应力在硅片上的分布，同时也说明在硅片边缘的机械损伤位置可以作为应力集中的区域。

总的说来，滑移位错的产生还和其他很多因素有关，比如冷却气氛、热处理温度、直径厚度比和氧沉淀量等。滑移位错可以诱生硅片翘曲。

5.2 机械损伤引入的位错

正如上面所述，机械损伤处可以提供热诱生位错的形核位置。将一硅片的边缘作机械研磨，其中右侧经过化学腐蚀处理以消除机械损伤，然后经过 1 100℃/100 min 热处理，并且以 75 mm/min 的速度出炉。由这样的热过程导致的滑移位错如图 2.7-21 给出其 XRT 形貌像，图中黑色部分代表滑移

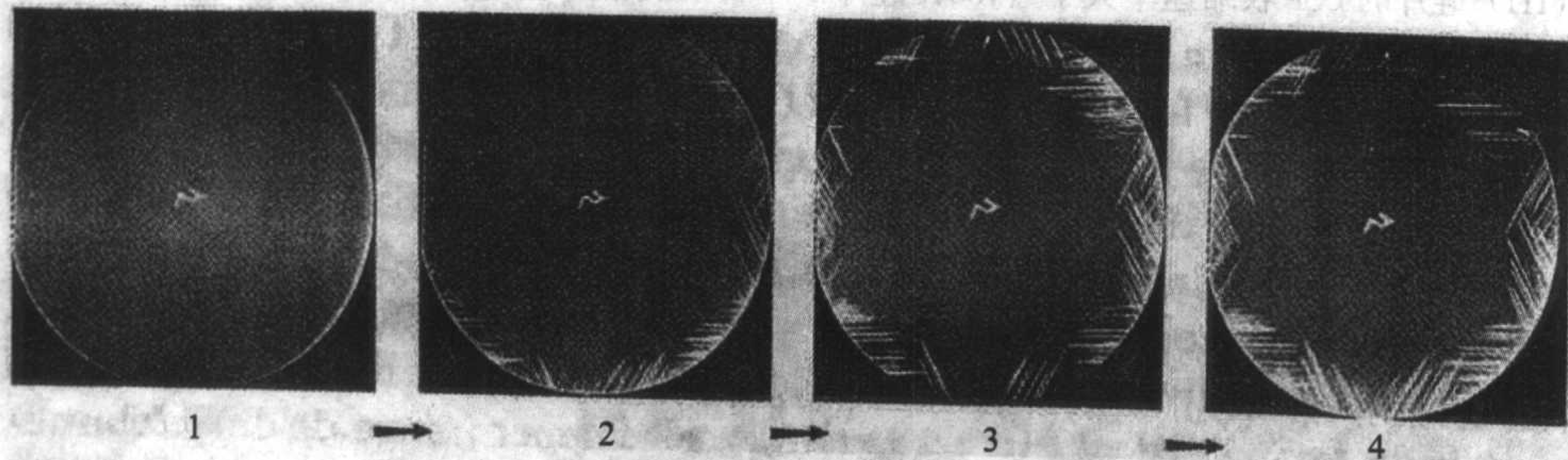


图 2.7-20 （111）直拉硅片在快速推入热处理炉中并经过 1 000℃热处理后，快速拉出热处理炉的情况下产生的滑移位错。图中 1、2、3 和 4 分别给出的是原生硅片和经过第一、第二和第三次热处理后的 XRT 形貌图。从图中可以看到滑移位错的增殖情况

位错，从图中可知，在机械损伤严重的部位产生了明显的滑移位错。众所周知，背面机械损伤可以产生外吸杂效应。但是，在背面的机械损伤可以诱生出滑移位错，甚至传播到硅片正面。如下的实验事实可以清楚地说明这一点：在一硅片

的背面用研磨造成机械损伤，然后硅片的右侧经过化学腐蚀处理以消除机械损伤，接着硅片经过1 000℃高温热处理并快速出炉降到室温。图2.7-22是硅片的XRT形貌图。从图中可以明显的看到，在硅片左侧机械损伤严重的区域，滑移位错的密度很高。因此，在利用背面机械损伤的外吸杂作用时，应该尽量把热应力降到最低。

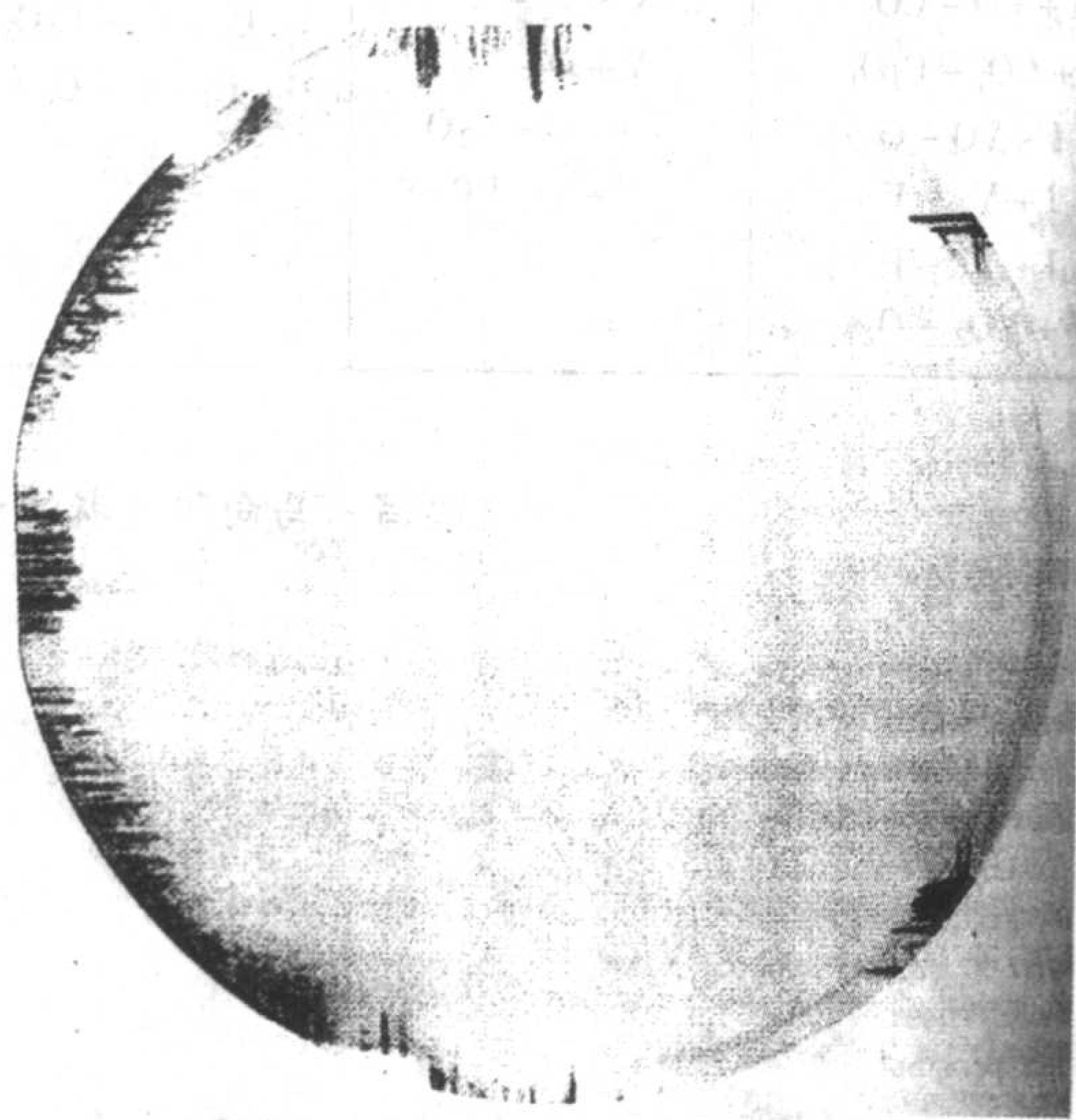


图2.7-21 由硅片边缘机械损伤引起的滑移位错的XRT形貌图

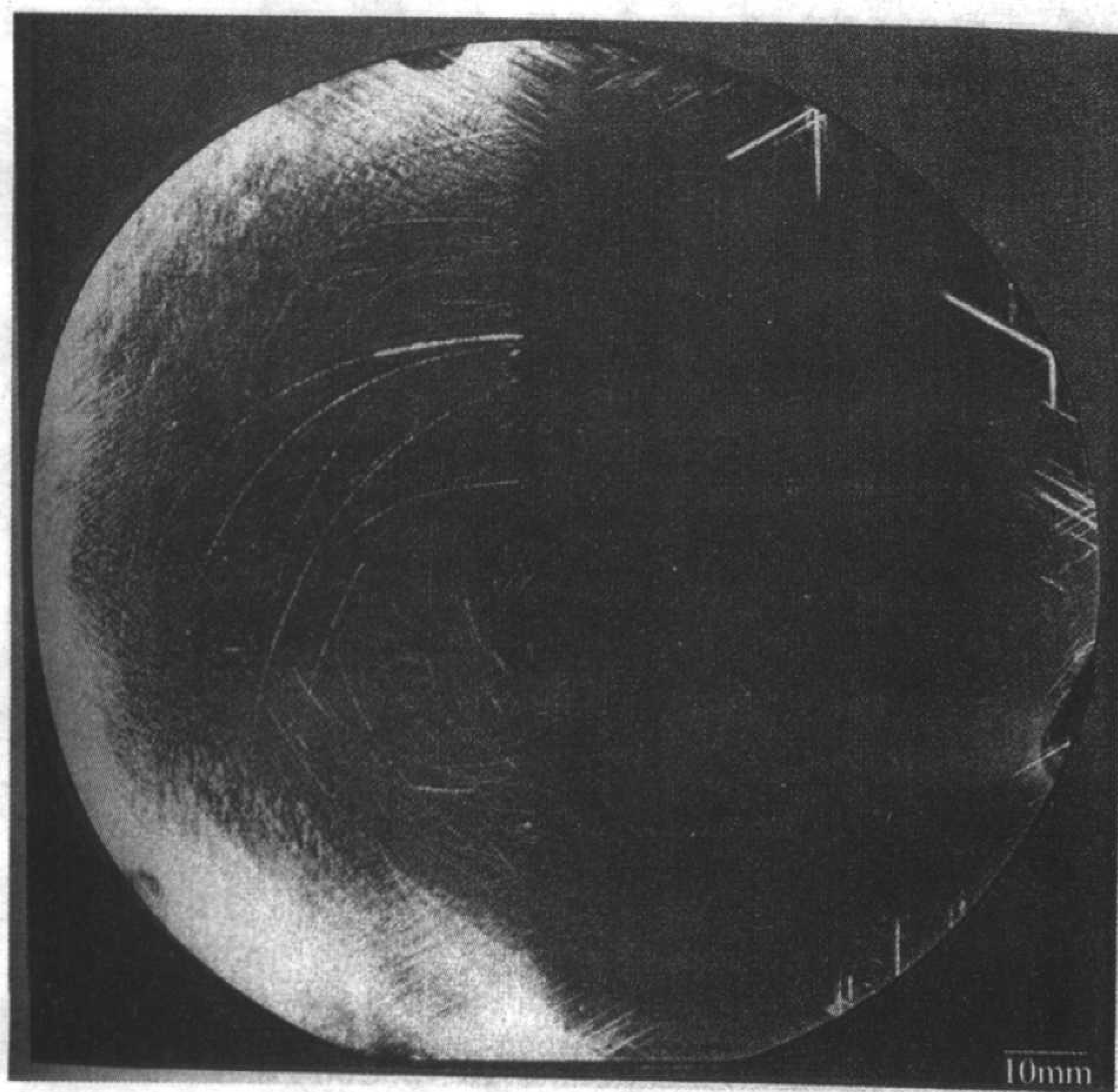


图2.7-22 由硅片背面损伤引起的滑移位错传播到硅片正面的XRT形貌图（硅片右边的背面损伤在热处理前已被消除）

6 硅单晶的辐照缺陷

早在20世纪50年代，人们就发现辐射对半导体会造成损伤，但是当初并没有意识到其危害性，因而没有引起重视。1963年发现人造卫星穿越范艾伦辐射带时，卫星内部电子系统的晶体管因受辐射而失效，这才引起人们对半导体辐射损伤的重视。在冷战时期，人们对半导体器件在核辐射条件下的稳定性问题予以了高度的关注，经过多年的努力，已经形成了一门独立的学科（即抗辐射电子学）。它是以原子物理和核物理为基础，分析辐射与半导体材料的相互作用，并从半导体物理的角度分析这些作用对材料电学性能的影响及器件内部发生的各种效应，同时还研究辐射损伤机制和如何提高电子元件和系统的抗辐射能力的一门学科。显然，在本节中只能非常简要的介绍硅单晶的辐照缺陷，有兴趣的读者可以参阅更专业的文献。

半导体辐射效应涉及的辐照环境有太空辐照、核爆炸辐照、实验室辐照及生产中的工艺辐照四种。宇宙空间中的辐照有宇宙射线、范艾伦带、太阳耀斑、太阳电子辐照和极光辐照。核武器爆炸产生的快中子、γ和X射线也对半导体形成辐照环境。实验室环境是模拟太空或核爆炸环境中某一单一的辐照源来进行的。而生产中的工艺辐照是对半导体材料进行中子、电子、离子等的辐照来形成损伤，以达到生产工艺的要求。

单晶硅受到辐照后，能量在晶体中传递的两种主要机制为：电子过程和原子过程。根据粒子能量的不同有以下的情况：当能量远大于超过晶格原子位移能量阀值时，会在晶体内引起级联效应，严重时会引起硅单晶完全无序化而形成非晶结构。当粒子能量处于某一合适的范围时，会在晶体中产生位移效应，使晶格原子的能量超过其周围原子的束缚，脱离晶格位置，形成单缺陷。以上两种情况都属于原子过程。当粒子能量低于晶格原子的位移能量阀值的时候，不会引起硅单晶的物理损伤，粒子只造成晶格原子在其平衡位置的振动或表面效应，属于能量传递的电子过程。电子过程使晶体内产生瞬态扰乱，对晶格原子没有影响，但对材料形成加热效果。

能量大于硅的位移能量阈值的粒子可通过库仑散射，在硅晶体原生反应区产生孤立的空穴-间隙对缺陷，以及在体内产生大量的空位（V）和自间隙硅原子（I）。辐照后，部分空位和自间隙原子可直接复合而恢复硅的晶格；部分空位和自间隙原子可以在硅中进行扩散运动，并与硅中其他的缺陷或杂质（氧、碳等）相互作用生成空位型或间隙型辐照缺陷。

位移损伤缺陷不仅可以充当复合中心和散射中心，引起载流子寿命和迁移率的退化，而且在n型和p型硅中都产生使材料反型的深能级，引起硅单晶的电阻率升高，掩盖掺杂效果。另外，空位和自间隙硅原子还可以和其他杂质作用，在晶体中形成各种二次辐照缺陷，其中空位和自间隙硅原子与掺杂剂形成的复合体是辐照单晶硅中主要的二次缺陷。

目前已经探明硅单晶中近60种位移缺陷中的约30种微观结构，这些缺陷均会在硅中引入复合能级，影响材料的电学性质。例如，在硅单晶中，空位和空位沿〈111〉方向成键，形成一个锯齿状的多空位链，这种链状结构根据长短可以形成三个缺陷族：空位型缺陷族、类替位氧-空位型缺陷族、替位杂质-空位型缺陷族。随着链长的增加，其结构就越稳定，如类替位氧-空位型缺陷比空位型缺陷族的稳定性好。实验表明，辐照电子的能量小于5 MeV时，在硅中只产生［V_2］、［V+O］、［V+P］等简单缺陷，它们均匀地分布在样品中，并且由于彼此距离较远，不易形成复杂的结构。而经过快中子等高能粒子辐照后，损伤区内缺陷密度很高，对样品进行退火后，可以形成包括简单缺陷以外的［V_4］、［V_5］、［V_3+O］、［V_3+O_2］、［V_3+O_3］等复杂缺陷，这是电子辐照与中子等辐照的最大区别。辐照缺陷可以与直拉硅中的杂质磷、氧和碳等杂质发生各种反应，生成复合体，下面两个表给出了中子辐照缺陷的原生反应和热处理后扩散反应的情况。

对于表2.7-2，表示单晶硅在辐照后，辐照原生反应区域内的可移动空位与自间隙硅原子之间的相互反应。由于辐照产生的单缺陷有较高的能量，它们可以克服原子之间的势垒而结合，这些反应无需外界对材料的热处理或时效作用。

表 2.7-2 中子辐照缺陷的原生反应

I反应	V反应	CI反应
I + V→Si	$V + V = V_2$	—

从表 2.7-3 中可以看到，对辐照样品进行热处理后，辐照区域的自间隙硅原子、空位、杂质原子和复合体，可通过扩散与直接辐照区域外的杂质或缺陷反应。自间隙硅原子的扩散速度快，它能与几乎全部的杂质或缺陷反应；与空位相关的反应，限于空位之间以及空位与杂质原子之间；而杂质原子的扩散较慢，它们只能与扩散过来的点缺陷或与周围的缺陷反应。

表 2.7-3 中子辐照缺陷的扩散反应

I反应	V反应	CI反应
$I + C_S - C_I$		
$I + CC - CC_I$		
$I + CC_I - C_IC_I$	$V + V - V_2$	
$I + CO - CO_I$	$V + V_2 - V_3$	$C_I + C_S - C_IC_S$
$I + CO_I - C_IO_I$	$V + O - VO$	$C_I + O - C_IO$
$I + VO - O$	$V + VO - V_2O$	
$I + V_2 - V$	$V + P - VP$	
$I + VP - P$		
$I + VO_2 - O_2$		

编写：马向阳（浙江大学）

第8章　硅单晶中的轻元素杂质

硅晶体中轻元素杂质包括氧、碳、氮、氢，主要是在硅晶体生长、加工和器件制备过程引入的，特别是在晶体生长过程中。虽然这些杂质都是非金属轻元素杂质，但是它们在硅晶体中的存在状态、结构特征以及对硅晶体性能的影响都是不相同的。而且，这些在不同情况下引入的轻元素杂质，可能和晶体中的点缺陷（空位和自间隙硅原子）作用，也可能互相作用，或者和硅中金属杂质作用，产生各种各样的复合体、沉淀，诱生位错和层错缺陷，严重影响硅晶体和器件的性能。在硅晶体利用的早期，一般认为这些非金属轻元素杂质及相关缺陷对硅晶体是有害的，因此，人们千方百计想办法降低这些杂质的含量，以减轻它们的危害；后来，研究者发现，这些杂质在晶体生长、加工和器件制备过程中并不能完全去除，但是，如果控制得当，使这些杂质对器件性质不产生危害，而且能够控制金属杂质沉淀、缺陷的形态和大小，称之为“缺陷工程”，即通过控制和利用缺陷，使得它们不再危害器件性能，达到改善器件性能的目的。

氧是直拉硅晶体中的主要杂质，它来源于晶体生长过程中石英坩埚的污染，是属于直拉硅单晶中不可避免的轻元素杂质；但是，区熔硅单晶不使用石英坩埚，所以区熔硅的氧浓度很低，常常低于氧的红外探测极限（$1\times10^{16}\ cm^{-3}$），因此，对于区熔硅单晶，氧并不是一个很重要的杂质。可是，在直拉硅晶体中，氧可以和空位结合，形成微缺陷；也可以团聚，形成氧团簇，具有电学性能；还可以形成氧沉淀，引入诱生缺陷；这些都对硅器件的性能产生严重的影响。如果将氧和氧沉淀控制得当，使氧沉淀出现在体内，可以造成硅单晶近表面器件有源区无缺陷，形成所谓的“吸杂效应”，会有利于硅器件性能的改善。碳是直拉硅单晶中的另一种轻元素杂质，主要来源于晶体生长系统中石墨加热器碳的挥发，到目前为止，研究者都认为碳对硅器件性能有破坏作用，应该尽量避免，现代直拉硅单晶中的碳含量已经比较低，接近或低于红外探测极限。至于氮和氢杂质，它们都不是硅单晶中固有的杂质，而是在晶体生长和器件加工过程中，人们有意识加入的，主要是利用氮、氢和空位、氧等杂质缺陷的互相作用，来达到控制和利用缺陷的目的。

本章阐述了硅晶体中氧、碳、氮、氢轻元素杂质的基本性质，介绍了它们的来源、存在形式、结构特征、测试和分析，说明了它们之间的相互作用，以及它们对硅材料和器件性能的影响。

1　硅单晶中的氧杂质

氧是直拉（Czochralski）硅单晶中最主要和最重要的杂质，从20世纪50年代开始，人们一直认为它是有害杂质，采用各种技术，想方设法降低直拉硅单晶中的氧浓度；直到70年代末，研究者发现，利用它的沉淀性质，可以达到吸除硅中金属杂质、提高器件产品生产率的作用；从此，人们对直拉硅单晶中的氧开始了有控制的利用。

氧是在直拉硅单晶的晶体生长过程中，由于高纯石英坩埚被腐蚀而引入的，通常，它在硅晶体中呈过饱和状态。在硅晶体生长和冷却时，直拉硅单晶已经经历了类似热处理的过程；另外，在硅器件的制造工艺过程中，硅晶体片也会经历数十道各种各样的热处理工艺；因此，这些过饱和的氧就会在硅晶体中偏聚和沉淀，形成了氧施主、氧沉淀和诱生缺陷。这些和氧有关的缺陷，对硅材料和器件具有有利和不利的两个方面，有利的方面是它们能结合器件工艺，形成内吸杂，可以吸除金属杂质、氧杂质和细小的氧沉淀，还能钉扎位错，提高硅片机械强度。不利的方面是，氧可以和空位作用，形成微缺陷；当氧沉淀尺寸过大时，还会导致硅片的翘曲；而且，氧沉淀还能引入大量的位错、层错等二次缺陷，对硅材料和器件的电学性能有破坏作用。所以，在实际工艺中，需要较精确地控制氧浓度和巧妙地利用热处理工艺，以达到趋利避害的效果。

1.1　硅单晶中氧的基本性质

直拉硅单晶中氧来源于石英坩埚的污染，是很难避免的，图2.8-1显示了氧从石英坩埚到硅晶体的传输过程。从图中可以看出，在直拉硅单晶晶体生长时，需要利用高纯石英坩埚装载多晶硅；当多晶硅熔化成液态硅时，熔硅在高温下会侵蚀石英坩埚，有少量的氧以SiO形式进入硅熔体中，其化学作用式为：



$$Si + SiO_2 \longrightarrow 2SiO \qquad (2.8\text{-}1)$$

进入硅熔体的SiO，绝大部分通过热对流和强迫对流方式输送到硅熔体表面以SiO气体形式挥发，仅有少量的部分（约1%）在熔硅中分解，以氧原子形态存在于液体硅中，最后随着硅的结晶，而进入直拉硅晶体中，其分解作用式为：



$$SiO \longrightarrow Si + O \qquad (2.8\text{-}2)$$

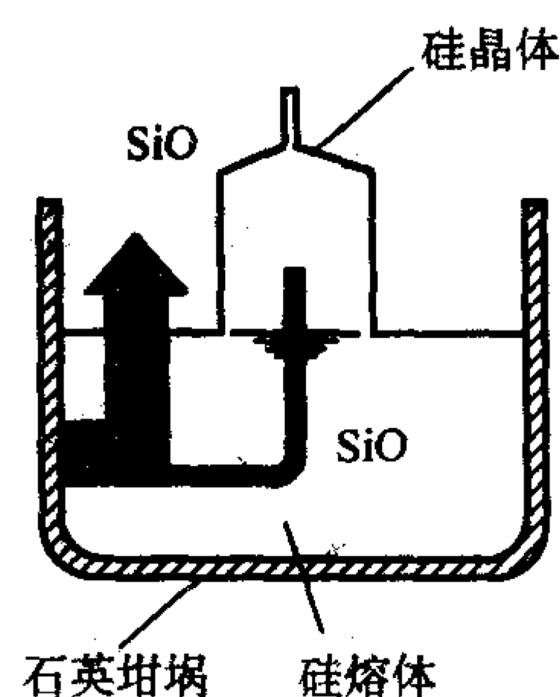


图2.8-1　氧从石英坩埚到硅晶体的传输过程示意图

一般来说，氧在硅晶体中的浓度要受到固溶度的限制，为$10^{18}/cm^3$数量级左右。在硅的熔点温度附近，氧的平衡固溶度约为$2.75\times10^{18}/cm^3$。随着硅晶体温度的降低，硅中氧的固溶度会逐渐下降，在高温1 000℃以上其表达式为：

$$C(O) = 9\times10^{22}\,e^{-1.52\ eV/kT}\ cm^{-3} \qquad (2.8\text{-}3)$$

其中$C(O)$是硅中氧的浓度，k是玻尔兹曼常数，T是绝对温度。图2.8-2表示的是氧的固溶度随温度的变化曲线。

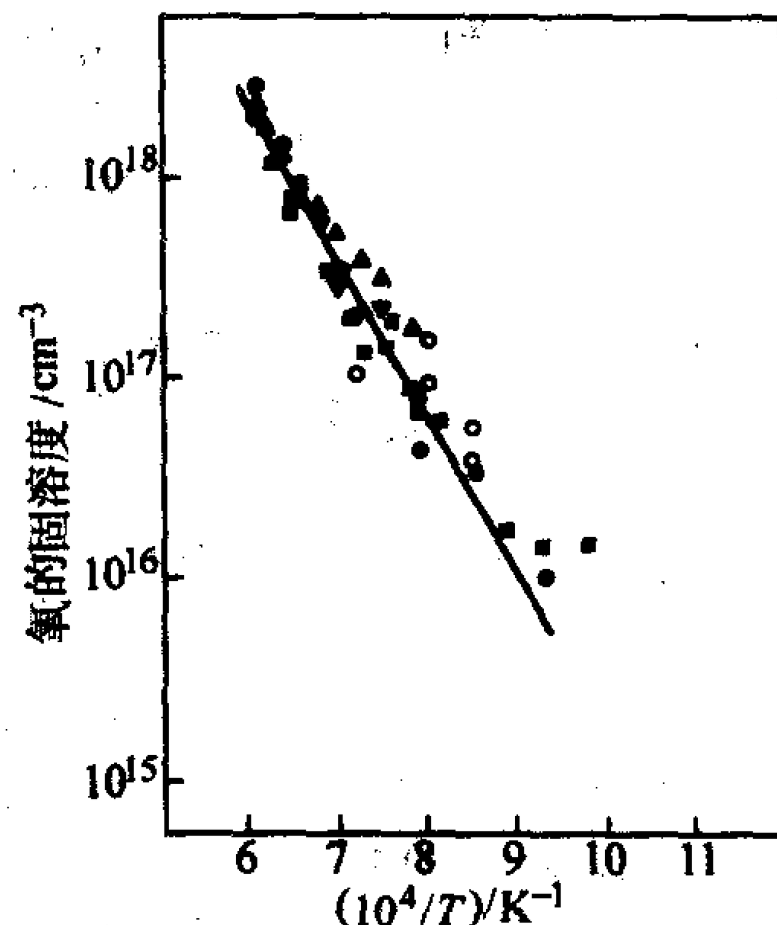


图2.8-2　硅晶体中氧的固溶度曲线

因为难以测定硅晶体生长时固液界面处的实际氧浓度，所以，氧在硅中的分凝系数至今仍有争议，然而大多数研究者都相信其值为1.25。在实际直拉硅单晶中，氧浓度也表现为头部高尾部低，图2.8-3表示的是氧浓度沿晶体生长方向的分布，从图中可以看出，氧浓度从头部开始到尾部逐渐降低，在收尾处氧浓度有所上升，这是晶体生长工艺变化的影响。当然，不同的晶体生长工艺，其氧浓度分布会有所不同，但是其头高尾低的趋势是不变的。

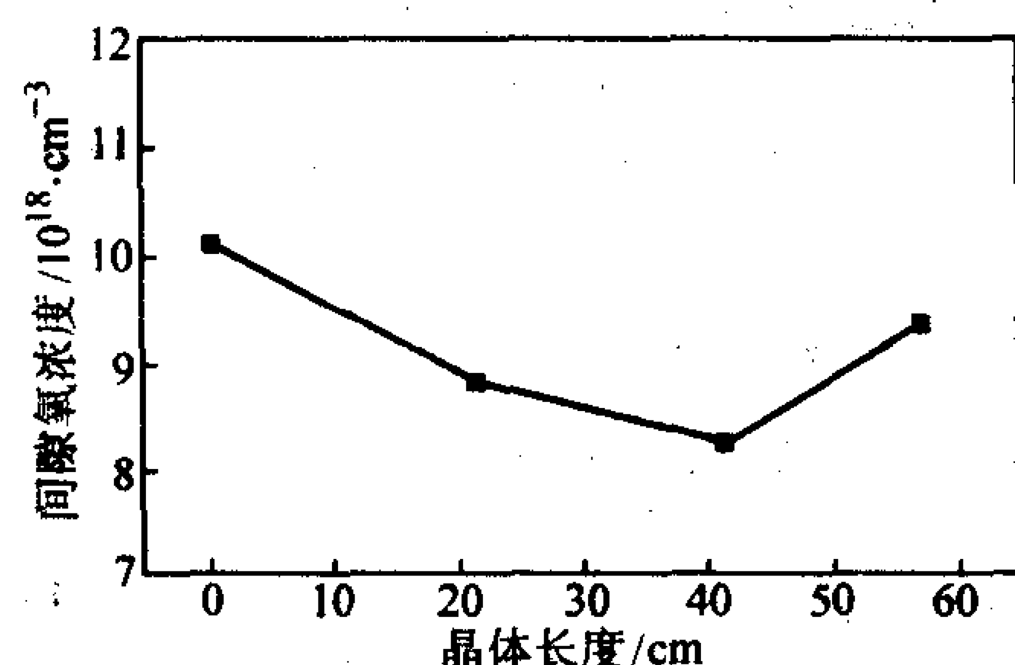


图2.8-3 直拉硅单晶中氧的轴向分布

氧是第VI族元素，如果在第IV族的硅晶体中以替代位存在，将成为施主杂质，对硅晶体提供电子。但是，硅中氧是以间隙态存在的，位于硅-硅键中间偏离轴向方向，键角为129°，它和周围的两个硅原子以共价键结合，所以间隙态的氧原子在硅中是中性的，其原子结构如图2.8-4所示。

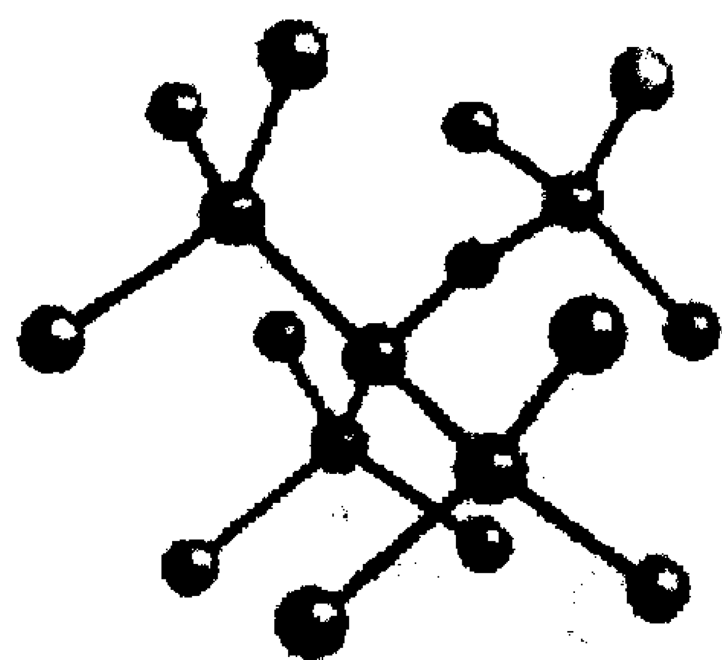


图2.8-4 硅单晶中间隙氧的原子结构示意图

由于氧在硅中处于间隙位置，在高温扩散时以间隙形式扩散，因此它是一种快扩散杂质，其扩散系数为：

$$D=0.13e^{(-2.53eV/kT)} \tag{2.8-4}$$

式中，D为扩散系数（cm^2/s），k是玻尔兹曼常数，T是绝对温度。在300～1 280℃温度区间，其具体的扩散系数为10^{-9}～10^{-22} cm^2/s。图2.8-5显示了氧的扩散系数随温度的变化关系，从图中可以看出，在700℃以上高温和400℃以下低温，实验值和扩散系数表达公式的理论曲线吻合得很好，但是，在400～700℃左右的温度范围内，没有实验值支持这个公式。这是因为在此温度区间，氧产生异常扩散，其实际扩散系数远远大于理论估计值。研究者认为，氧之所以在此温度范围扩散很快，是因为它并不是以间隙形式扩散的，而是形成一种特殊的扩散体结构。人们为此提出多种扩散体模型，如氧-空位扩散体模型，氧-自间隙原子扩散体模型以及分子氧扩散体模型，而分子氧扩散体模型得到了较多研究者的支持。

硅晶体中间隙氧的测量主要是利用红外光谱法，这种方法操作简便，样品制备方便。图2.8-6是直拉硅单晶的室温红外光谱图，其1 107/cm峰是Si-O-Si的反对称伸缩红外局域振动模式吸收，其半高宽约为32/cm，和间隙氧在中红外波段的另外两个红外吸收峰515和1 720/cm相比，该峰的强度最大，常用来在室温下计算硅中间隙氧的浓度，其表达式为：

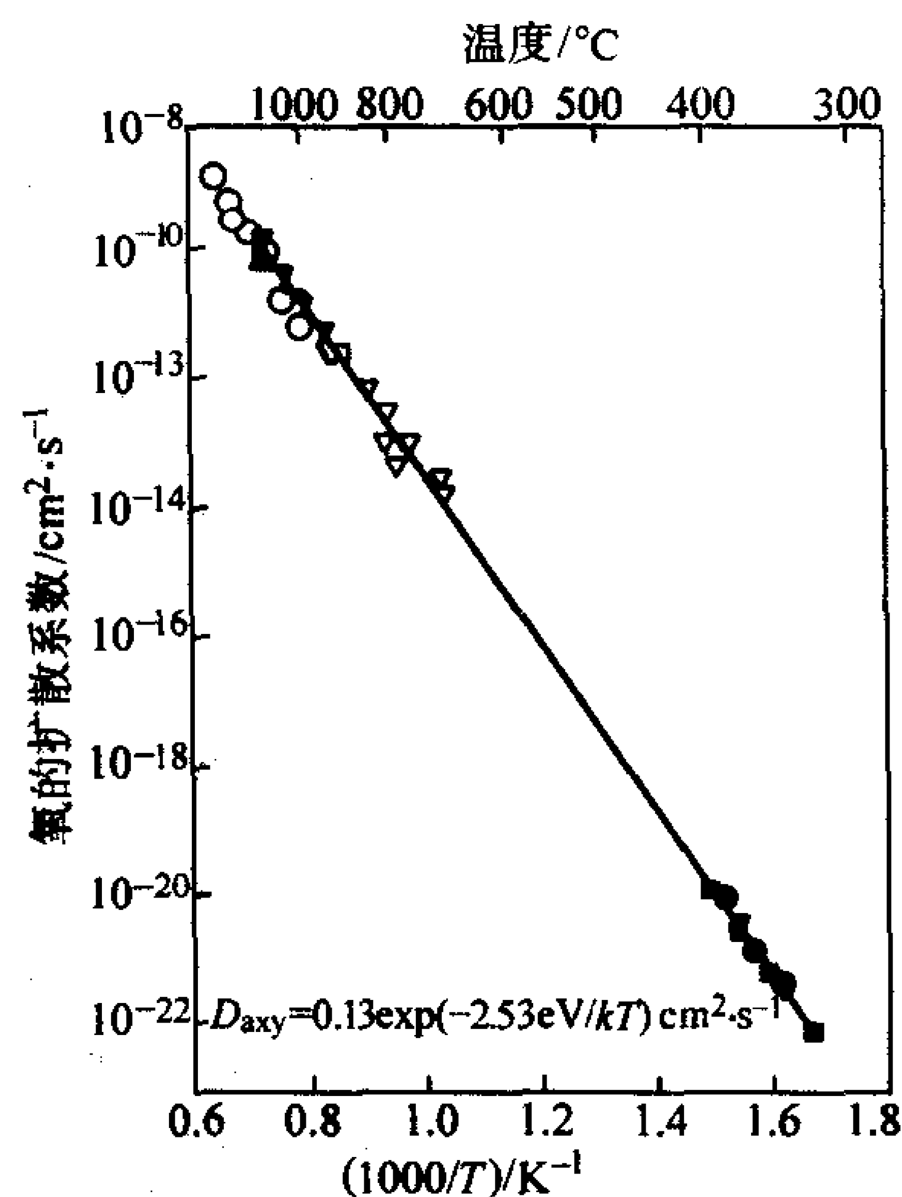


图2.8-5 氧的扩散系数随温度的变化

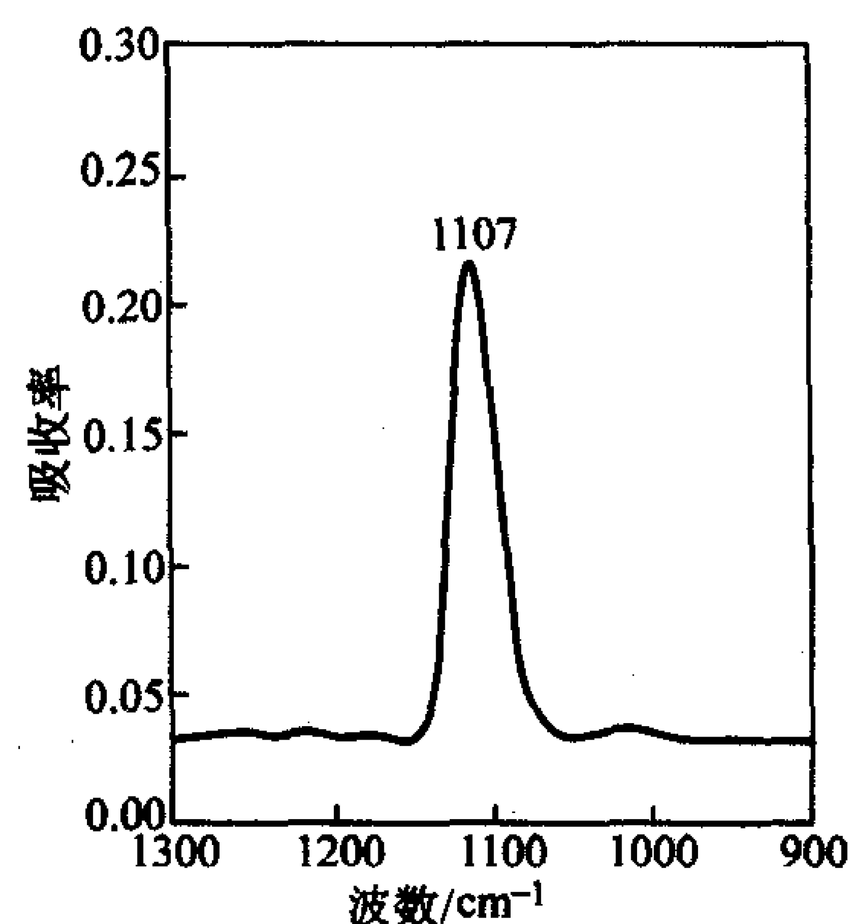


图2.8-6 直拉硅单晶室温红外光谱图，1 107 cm^{-1}峰是间隙氧的局域振动吸收

$$[O_i]=C\times\alpha_{max}\times10^{17}/cm^3 \tag{2.8-5}$$

式中，C为校正系数，α_{max}为1 107/cm峰的最大吸收系数。显然，校正系数的确定对硅中间隙氧的精确测量至关重要。早期，不同的国家有不同的标准，以美国ASTM标准为例，曾先后采用4.81，2.45和3.14作为校正系数。1989年，Boghdadi等人利用国际间的合作，在多个实验室对校正系数进行了精确测量，建议其为3.14±0.09，目前得到了广泛应用。

在硅中氧的红外测量时，硅片表面的粗糙度、测量温度、自由载流子浓度和参比样中残留的氧浓度，都会对测量精度有所影响。因此，测量时硅片要双面机械抛光或精细化学抛光，并保持一定的温度。同时，样品的厚度以2 mm为宜。但是，对于电阻率小于0.2～1 Ω·cm的硅单晶，由于载流子的吸收影响，室温红外方法不能得到精确的氧浓度，需要利用其他方法。除了红外技术外，另外有三种技术可以测量硅晶体中的微量氧浓度。一是带电粒子活化法（Charger Particle Active Analysis，CPAA），这种方法可以测量硅中总的氧浓度，但是方法繁杂，费用昂贵，一般仅在特殊研究中使用；二是溶化分析法（Fusion Analysis，FA），这种方法费时费力，而且精度不高，现在已不太使用，主要应用在重掺硅单晶的氧浓度测量上；三是二次离子质谱法（Second Ion Mass Spectroscopy，SIMS），这种方法制样方便，也能测量硅中所有形态氧的总含量，但是它的设备昂贵，测量精度较低。

利用红外技术测量的仅仅是间隙氧的浓度，氧在硅晶体

中还可以以其他形式存在，如复合体或沉淀。由于间隙氧是以过饱和形态存在于硅晶体中，在晶体生长完成后的冷却过程中以及在硅器件制备工艺的热处理过程中，过饱和的氧会以各种形式和其他杂质、缺陷作用，或者相互聚集，形成复合体、氧施主和氧沉淀等氧缺陷。因此，如果要利用红外技术测量硅晶体中总的氧浓度，需要将硅晶体在高温 1 300℃以上短时间热处理并快速降温，使氧沉淀等重新溶解到硅基体中，以间隙氧形态存在；或者利用 SIMS 等上述的其他三种测量技术。

1.2　硅单晶中氧浓度的控制

直拉硅单晶中氧浓度通常都低于熔点时的固溶度，但又远大于室温时的固溶度，一般在（5～20）$\times 10^{17}/cm^3$ 范围，以过饱和间隙状态存在于硅晶体中。作为硅晶体中最重要的杂质，氧对硅晶体和器件的性质有好和坏两方面的作用，因此，需要对其进行控制。在实际晶体生长时，人们采用不同的技术来控制直拉硅单晶中的氧，包括控制氧的总体水平、氧浓度的轴向均匀性和径向均匀性。

由于硅晶体中的氧主要来自石英坩埚的污染，其浓度主要由石英坩埚的腐蚀面积、腐蚀速率决定。在实际工艺中，硅晶体中的总体氧浓度主要受到下列因素的影响：①熔硅中的热对流；②熔硅和石英坩埚的接触面积；③晶体生长时的机械强制对流；④SiO 从熔硅表面的蒸发；⑤氧和晶体中点缺陷的作用。

在实际工艺中，主要的控氧技术包括：①改变晶转和埚转等晶体生长参数，减少熔硅和石英坩埚的接触和坩埚溶解速率，如晶转的增加和埚位的下降都能使氧浓度降低，氧浓度的径向均匀性改善；②在石英坩埚表面增加氮化硅、碳化硅等高熔点高纯涂层，也能隔绝熔硅和石英坩埚的直接接触和减少坩埚的溶解速率；③增加导流筒，改变 SiO 从熔硅表面的蒸发；④增加磁场，包括纵向磁场、横向磁场和勾形磁场，以减少熔硅的热对流等。这些技术的综合使用，能够有效地控制直拉硅晶体中的氧浓度。

从图 2.8-3 可知，氧浓度在沿晶体生长方向的轴向分布是从晶体头部到尾部逐渐降低，而径向分布则是从晶体的中心向边缘逐渐降低，如图 2.8-7 所示。

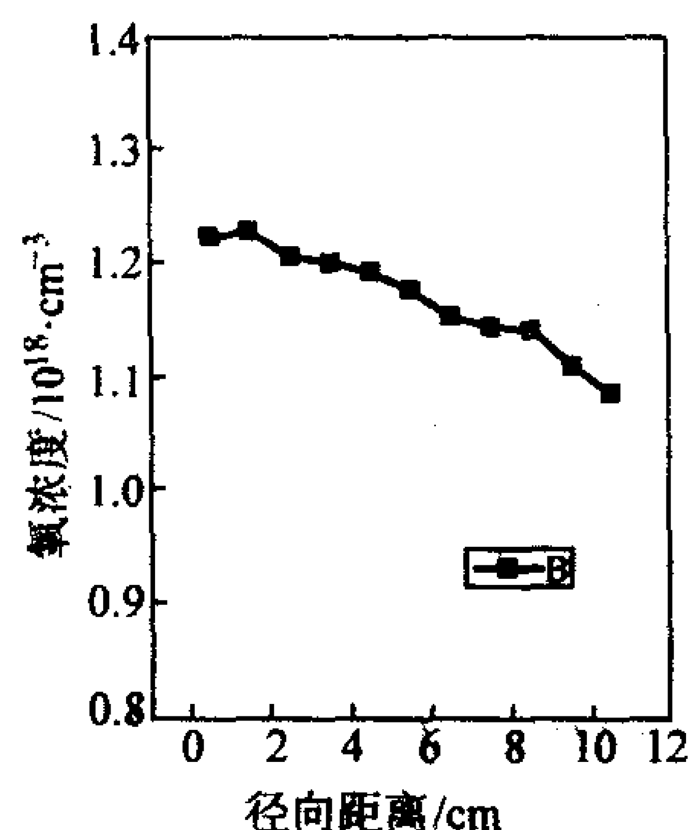


图 2.8-7　200 mm 直径直拉硅单晶的径向氧浓度分布

根据国际半导体协会指南（ITRS roadmap）的建议，现代大直径硅单晶的氧浓度一般要求控制在（6～10）$\times 10^{17}/cm^3$ 范围内，整根硅单晶的氧浓度在中心部分的浓度差控制在 $\pm 1\times 10^{17}/cm^3$ 左右，而晶向氧浓度差控制在 10%以内。

1.3　硅单晶中的氧施主

当直拉硅单晶在 300～500℃和 550～800℃之间热处理时，人们发现有和氧杂质相关的施主出现，导致 n 型硅晶体的电阻率下降，p 型硅晶体的电阻率上升，施主效应严重时，甚至能使 p 型硅晶体转化为 n 型，称为氧的施主效应。但在这两种温度区间生成的氧施主的结构、性质又有所不同，前者称为热施主，而后者称为新施主。

1.3.1　热施主

早在 20 世纪 50 年代末，Füller 和合作者首先发现了硅中的热施主效应，引起了人们的重视。其基本事实是，在 300～500℃温度热处理时，n 型直拉硅单晶的电阻率随时间的延长而降低，说明了载流子浓度随时间延长而增加；而 p 型直拉硅单晶的电阻率的变化正好相反，严重时可以导致硅单晶变成 n 型，说明有大量的电子出现。这是由于在热处理时，有和氧杂质相关的施主（即热施主）生成，而且随着热处理时间的延长而增加。图 2.8-8 是 n 型直拉硅单晶在 450℃热处理时产生的热施主随时间的变化图。

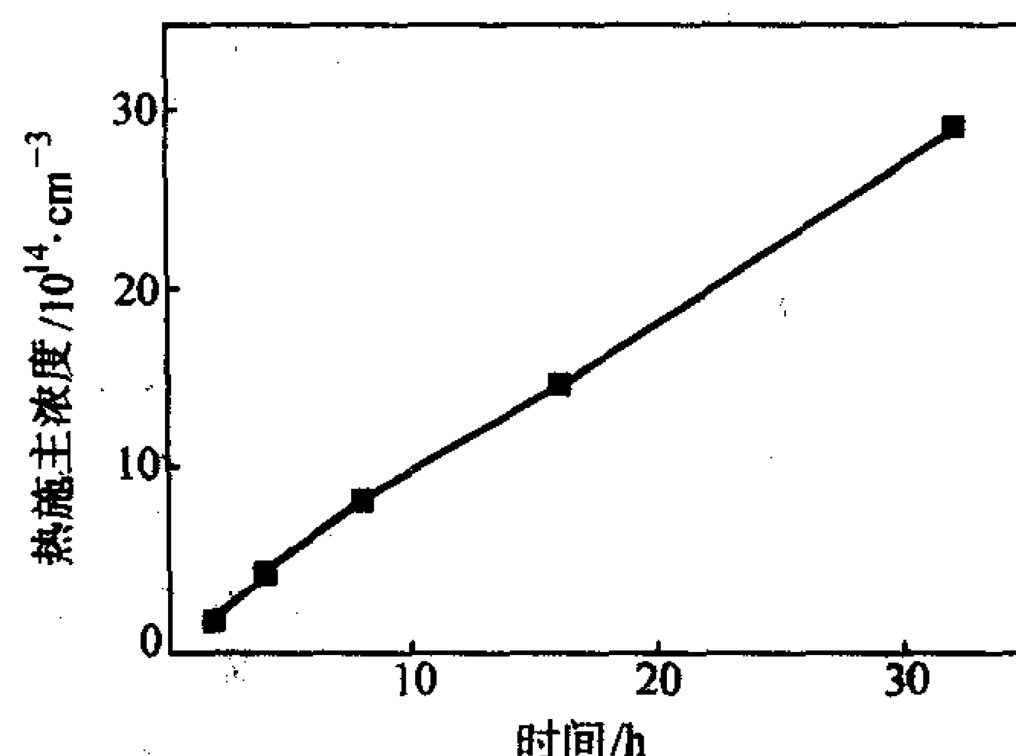


图 2.8-8　n 型直拉硅单晶的热施主浓度随 450℃热处理时间的变化

几十年来，人们发现了许多和热施主相关的实验事实，其重要性质如下：

1）热施主在 300～500℃温度范围生成，并随热处理时间的延长而增加，在 100～160 h 前后达到最大值，约为 $1\times 10^{16}/cm^3$ 左右，然后随着时间的延长而逐渐降低；450℃左右是热施主形成的最有效温度。

2）热施主可以在 550℃以上进行短时间的热处理消除，其常用的热施主消除温度是 650℃。

3）除温度外，热施主浓度主要取决于硅单晶的初始氧浓度；其初始形成速率和氧浓度的四次方成正比，其最大浓度和氧浓度的三次方成正比。

4）热施主是双施主，即可以向硅基体提供两个不同能级的电子，其能级在导带下 0.06～0.07 eV 和 0.13～0.15 eV 处；随着热处理时间的延长，能级向价带漂移。

5）红外研究表明，热施主可能有 16 种形态，每种形态的能级相差约 2 meV 左右；但短时间热处理时，常常只有 2～3 种热施主形态出现。图 2.8-9 是 n 型直拉硅单晶的远红外光谱图，其中的峰线是热施主的电子激发谱。

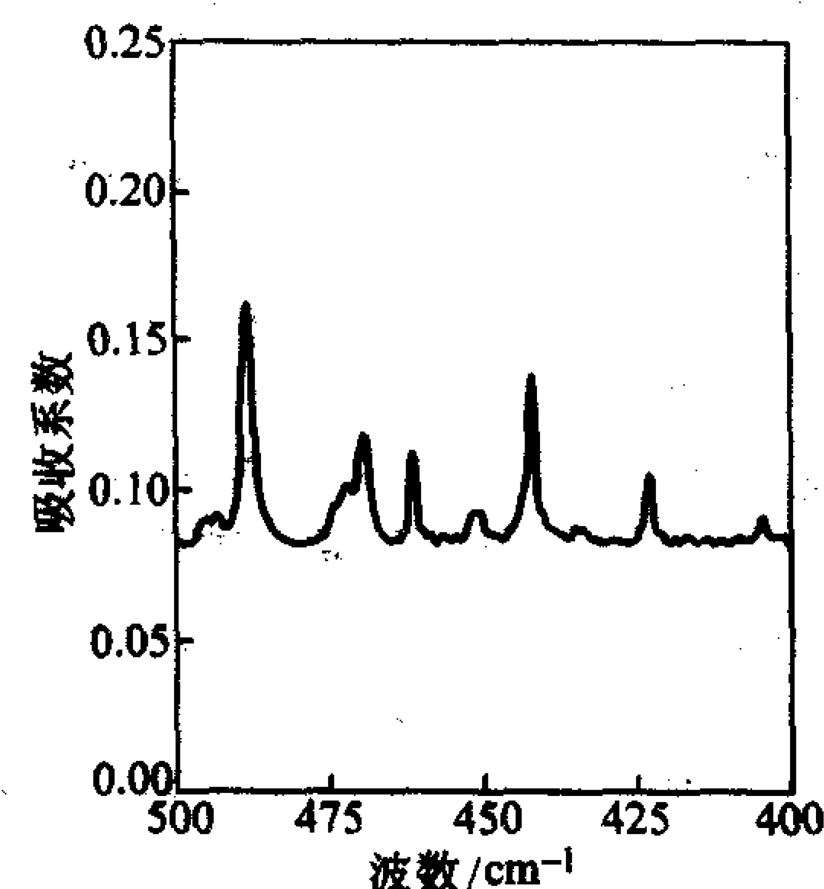


图 2.8-9　n 型硅单晶的低温（6 K）远红外光谱图，图中峰线是热施主的电子激发

6）硅单晶中的其他轻元素杂质对热施主形成有影响，碳和氮对热施主有抑制作用，而氢有促进作用。

7）硅中受主型重掺杂质对热施主的形成、最大浓度都有促进作用；而施主型杂质则几乎没有影响。

在直拉硅单晶晶体生长完成后，硅单晶在晶体生长炉内逐渐冷却到室温后才被取出炉外。因此，原生的直拉硅单晶在炉内会经历300～500℃的温度范围，将形成原生的热施主，存在于原生直拉硅单晶中，使得刚制备的直拉硅单晶的电阻率不是真正的电阻率，而包含了原生热施主的贡献。所以，在直拉硅单晶晶体生长完成后，一般需要进行650℃×0.5 h的热处理，以去除原生热施主，回复真实电阻率。

从20世纪50年代发现热施主以来，研究者提出了众多的热施主模型，尽管如此，热施主的结构、形态到现在仍然没有解决，但它是间隙氧原子的偏聚已被公认。人们提出了四个间隙氧的结合体模型、空位-氧模型，自间隙硅原子-氧模型，以及双原子氧模型。

1.3.2　新施主

直拉硅单晶在650℃短时间热处理，可以消除热施主；但是，研究者在20世纪70年代发现，随着热处理时间的增加，又出现新的和氧有关的施主，称为新施主。和热施主一样，新施主也能导致n型硅单晶电阻率的降低，p型硅单晶电阻率上升。图2.8-10是n型直拉硅单晶在650℃热处理时，新施主浓度随热处理时间的变化。因为新施主形成温度区间，正是硅器件制造工艺需要应用的，所以新施主的产生和消除显得很是重要。

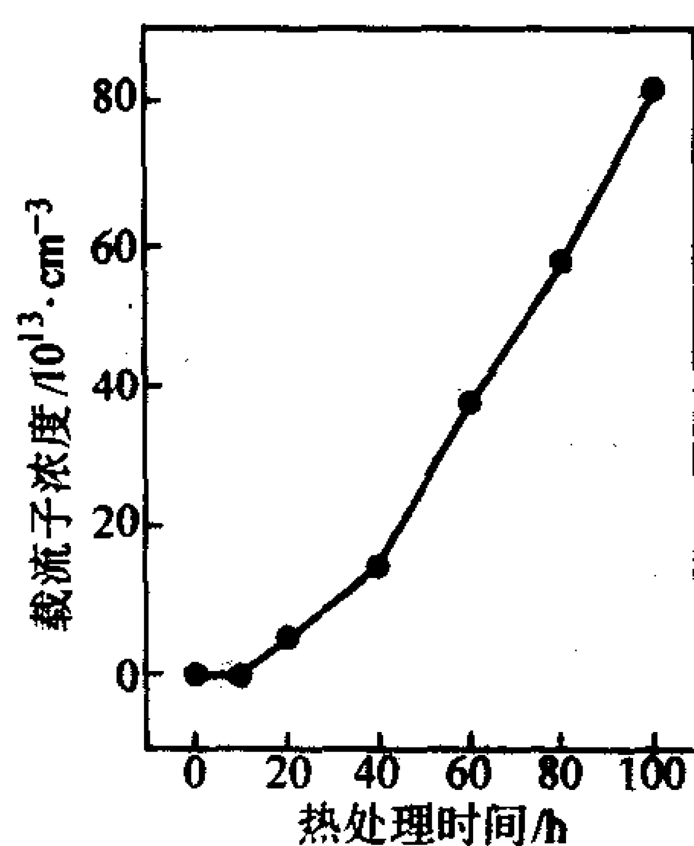


图2.8-10　n型直拉硅单晶热处理时，新施主浓度随热处理时间的变化

对于新施主，有如下的基本性质：

1）新施主是在550～800℃温度区间形成，随着热处理时间的增加，新施主浓度也在不断增加，在100 h以后达到最大值，约为$1\times10^{15}/cm^3$左右，然后随着时间的延长而降低。在650℃左右，新施主的形成速率为最大。和热施主相比，新施主的形成速率比较慢，一般需要较长的时间，需要超过10 h的孕育期，而且最大浓度比热施主低约一个数量级。

2）和热施主相比，新施主比较稳定。新施主形成后，在800℃以下热处理几乎不变，需要在1 000℃以上进行短时间热处理才能将其消除。

3）新施主浓度主要由硅单晶中初始氧浓度决定，氧浓度越高，新施主浓度的生成率和最大浓度越高；但氧浓度低于$5\times10^{17}/cm^3$左右时，新施主几乎不再产生。

4）硅中的碳杂质能促进新施主的生成，有研究表明：当碳浓度低于$1\times10^{16}/cm^3$时，新施主不会产生；而氮和氢杂质则抑制它的产生。

5）新施主和热施主由一定的关联，热施主的生成会促进后来新施主的产生；初始热施主的浓度越高，在其后550℃以上温度退火时，新施主的浓度也越高。

6）和热施主一样，硅中受主型重掺杂质对新施主有促进作用；而对施主型杂质的影响不大。

虽然硅单晶中新施主的基本性质已经基本清楚，但是由于缺少微观结构的探测手段，新施主结构依然是个谜。研究者提出了棒状氧沉淀模型、碳-氧复合体模型、界面模型和位错环模型等，有待今后的进一步研究。

1.4　硅单晶中的氧沉淀

1.4.1　氧沉淀的基本性质

通常，氧以过饱和间隙态存在于直拉硅单晶中，在晶体生长完成后的冷却过程和硅器件加工过程中，硅单晶经历不同的热处理过程，在低温热处理时，过饱和的氧聚集形成氧施主，在相对高温热处理或多步热处理循环时，过饱和的氧脱溶形成氧沉淀。氧沉淀是非常复杂的问题，它不仅涉及到硅晶体中的初始氧浓度，氧浓度分布，氧的存在状态，而且涉及到碳氮及其他杂质原子的浓度、分布和原始晶体生长条件，还涉及到其后的热处理过程，如气氛、温度、时间、次序等。在某温度下形成的氧沉淀可以用下列简单的函数表示。

$$\Delta[O_i]=f(D,S,N,F,t) \tag{2.8-6}$$

式中，D为该温度时的氧扩散系数；S为氧的过饱和度；N是大于临界形核半径的晶核数；F是晶体缺陷引入的悬挂键的数目；t是热处理时间。

氧沉淀可以定量表示，它是热处理前后间隙氧浓度之差，即在热处理过程中，间隙氧聚集形成氧沉淀，导致间隙氧浓度降低。因此，用红外技术测量的氧浓度的降低量就是氧沉淀的量。图2.8-11显示的是直拉硅单晶900℃热处理时氧沉淀随热处理时间的变化，由图可见，随着热处理时间的延长，氧沉淀量不断增加。通常，直拉硅单晶在高温形成氧沉淀时，有三个阶段，在初期首先是氧沉淀少量形成，表现出一个孕育期；然后快速增加；最后，氧沉淀量增加缓慢，接近饱和，此时间隙氧浓度趋近该温度的饱和固溶度。

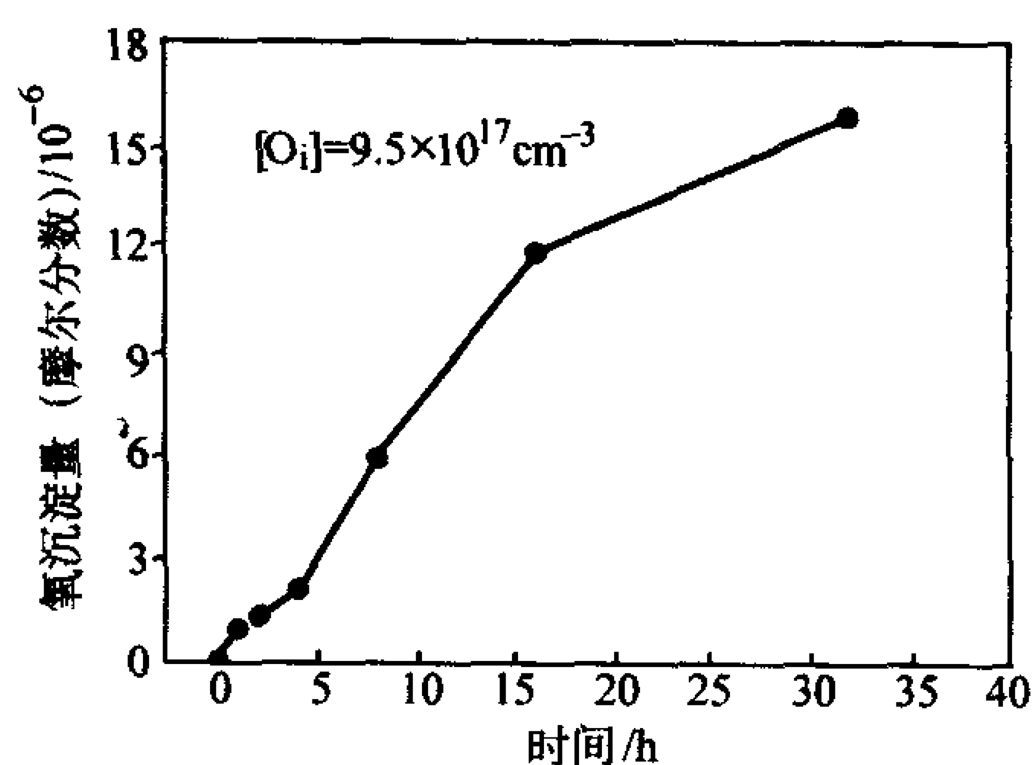


图2.8-11　直拉硅单晶900℃热处理时氧沉淀随热处理时间的变化

初始氧浓度是影响氧沉淀的主要因素，Chiou及其合作者曾详细地研究过初始氧浓度和氧沉淀的关系。他们发现初始氧浓度和氧沉淀的关系曲线像“S”形，如图2.8-12所示。当氧浓度小于某个极限时，氧沉淀几乎不产生，氧浓度和氧沉淀关系的曲率为0；当初始氧浓度大于某个极限时，氧沉淀大量产生，形核率均匀，曲线的斜率基本为1；当初始浓度适中时，曲线的斜率在3～7之间。当热处理温度降低、热处理时间增长或碳浓度增加时，能使整个曲线向左移动，氧沉淀形成的域值降低，即使是较低的初始氧浓度也能形成氧沉淀；反之，则“S”曲线向右移动，氧沉淀形成的浓度域值升高。

温度是影响氧沉淀的另一个重要因素。众所周知，在晶体中脱溶形成第二相的必要条件是具有过饱和度，即在某温度时，杂质的浓度必须大于此温度的饱和固溶度，也就是说，

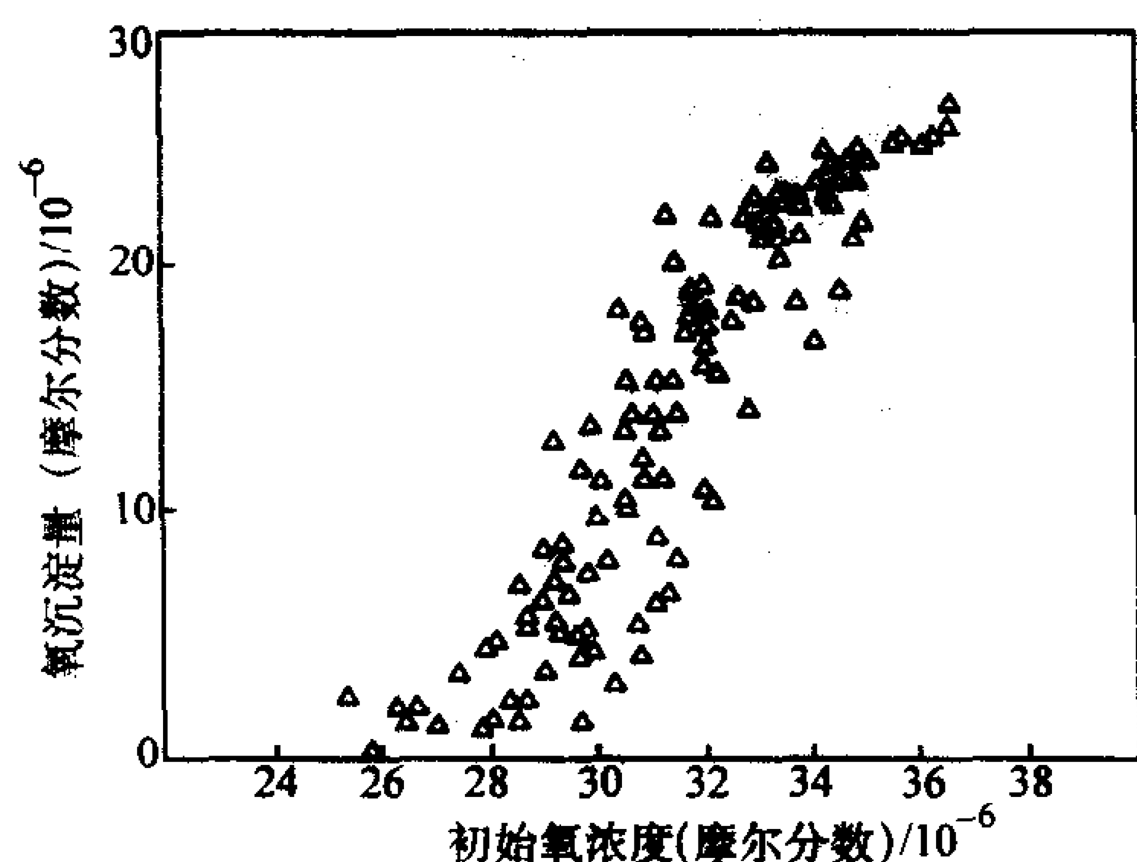


图 2.8-12　初始氧浓度和氧沉淀的关系曲线

间隙氧的过饱和是氧沉淀的必要条件。同时，研究表明，氧沉淀的过程也是氧的扩散过程，是受氧扩散控制的。而温度不仅影响到氧的过饱和度，而且影响到氧的扩散。当温度较低时，间隙氧的过饱和度大，形核驱动力强，但是氧的扩散速率较低；而温度较高时，氧的扩散速率大，易于形成氧沉淀，但是间隙氧的过饱和度小，形核驱动力弱。因此，在不同温度的氧沉淀是氧的过饱和度和氧的扩散竞争的结果。图 2.8-13 是直拉硅单晶在不同温度热处理 24 h 氧浓度的变化，氧浓度的降低是由于氧沉淀的产生。从图中可以看出，在 750℃以下，氧浓度几乎没有变化，氧沉淀产生很少；在750～1 050℃温度区间，氧浓度大幅度降低，有大量氧沉淀生成；在 1 050℃以上，氧浓度也降低，但是氧浓度降低的幅度较小，有一定量的氧沉淀生成。

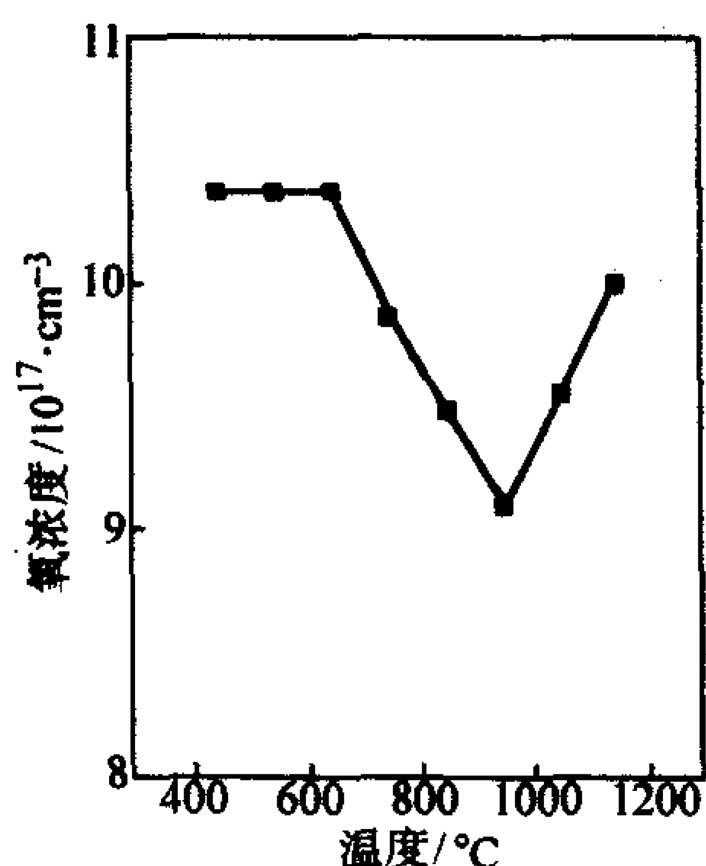


图 2.8-13　直拉硅单晶热处理 24 h 氧浓度与温度的关系

1.4.2　原生氧沉淀

当硅晶体生长完成后，需要冷却到室温后取出，此时晶体尾部能迅速降温到 400℃以下，而晶体头部、中部在晶体生长期间在炉内的时间较长，相当于经历了一定程度的热处理。有研究指出，晶体的冷却过程相当于 3.5 h 的 700～1 000℃ 和 3.7 h 的 400～700℃热处理。因此，在原生晶体中可能有原生氧沉淀生成，这些原生氧沉淀和晶体长度、半径、生长时间和其他生长工艺参数紧密相关。

图 2.8-14 是原生直拉硅单晶在 1 270℃热处理 0.5 h 前后的氧浓度，由图可知，在热处理前原生硅单晶的氧浓度为 $9.3\times10^{17}/cm^3$，而热处理后，氧浓度增加，变为 $9.6\times10^{17}/cm^3$，这是由于原生硅单晶中原生氧沉淀的溶解，重新以间隙态存在于硅单晶中，所以氧浓度增加。这也直接证明了原生氧沉淀的存在。

硅晶体的热历史和原生氧沉淀会对后来热处理工艺中的氧沉淀产生和性质产生重要的影响，显然，晶体的初始条件是氧沉淀的决定因素之一。在实验时，由于研究者的晶体拉

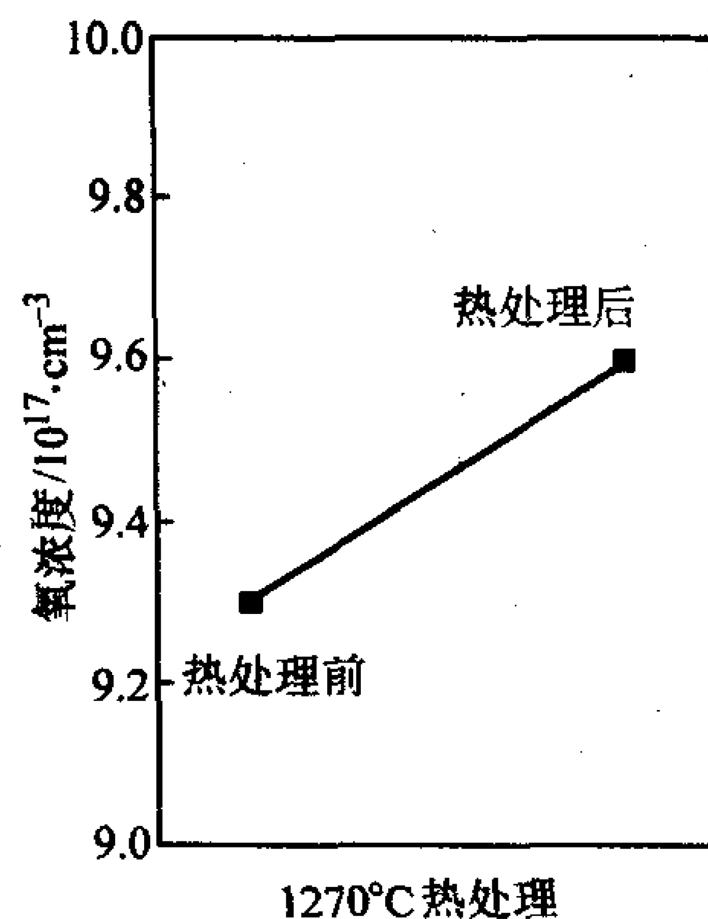


图 2.8-14　原生直拉硅单晶在 1 270℃热处理 0.5 h 前后的氧浓度

晶条件不尽相同，晶体冷却过程也不一致，因此晶体的原生状态相差很大，常常会得出不同的结论。因此，为了消除原生氧沉淀和热历史的影响，一般需要将硅单晶在 1 300℃左右热处理 1～2 h，并迅速冷却，以溶解原生氧沉淀和消除热历史。

在硅晶体生长时，熔体温度的起伏、晶体周期性的旋转等因素都会导致硅晶体中的杂质呈条纹状分布，这也会引起氧浓度和原生氧沉淀的条纹状分布，在进一步热处理时，氧沉淀则也形成不均匀分布。另外，原生硅晶体中的点缺陷（空位、自间隙硅原子）分布也会对以后氧沉淀的产生有影响，对于大直径的硅单晶，一般在晶体的中心部位是空位缺陷区，而在边缘区域是自间隙硅原子缺陷区，在两区域的交界处，氧沉淀的性质和前两者都不相同，在氧化时，会形成著名的“氧化诱生层错环”（OSF-Ring）。

1.4.3　氧沉淀的热处理性质

在硅晶体初始条件一定时，热处理的温度、时间、气氛、次序就是决定氧沉淀的主要因素，图 2.8-11 和图 2.8-13 描述了氧沉淀随热处理时间和温度的变化。相对而言，温度对氧沉淀起决定性的作用，根据氧沉淀的形成规律和结构，一般可分为低温（600～800℃）、中温（850～1 050℃）和高温热处理（1 100～1 250℃），这种温度的分段并非严格界定，在各退火温度段的重叠处，氧沉淀往往表现出两者的性质。

1）低温热处理　在低温热处理时，间隙氧的过饱和度大，形核临界半径小，氧沉淀易于形核，且沉淀密度较大，但由于温度较低，氧的扩散很慢，所以氧沉淀的核心极小，很难长大，在电镜下也难以分辨，需要热处理的时间相当长，才能观察到它的存在。这个温度区间又称为“氧沉淀形核”温度。

在这个温度区间，虽然有大量的氧沉淀核心生成，但是，其需要的间隙氧原子数目和总的氧浓度相比还是比较少，所以对总的氧浓度没有影响，如图 2.8-13 所示。此时氧沉淀的形态主要是棒状（rod-like），又称针状（need-like）或带状（ribben-like），认为是 SiO_2 的高压相柯石英（coesite）所构成，在（100）晶面上生长，沿「110」方向拉长，柏氏矢量为「100」，其横截面大小为数十纳米，长度可达数微米。这类沉淀始终处于紧张状态，对晶体有较大应力，往往伴随着有 60°、90°的位错偶极子，或在（113）晶面上出现位错环。但是，有研究者认为棒状沉淀不是氧沉淀，而是一种棒状的硅自间隙团，即是硅晶体中自间隙原子团在局部变成六方晶型的硅结构，可这个推论不能说明低温长时间退火间隙氧浓度的减少。

2）中温热处理　中温热处理时，氧的过饱和度大，扩散能力也强，氧沉淀的核心极易长大，氧沉淀量大增，此时

的热处理温度区间又被称为“氧沉淀长大”温度。

此时的氧沉淀形态主要是片状（platelet）沉淀，电镜研究说明：沉淀的组成是 SiO_x，x 接近于2；沉淀通常位于(100)晶面，呈片状正方形，四边平行于「110」晶向，对角线长30～50 nm以上，厚度1.0～4.0 nm，氧沉淀的大小与热处理时间的0.75次方成正比。而且，在氧沉淀形成时，由于 SiO_x 的体积是硅原子的2.25倍，所以氧沉淀周围存在应力场。为了释放应力，自间隙原子被发射到硅基体中去，产生位错环、位错偶极子，如图2.8-15所示；在950℃以上热处理时，从氧沉淀发出冲压式棱柱状位错环，沿「110」方向，柏氏矢量为1/2「110」，环面法线为「110」。

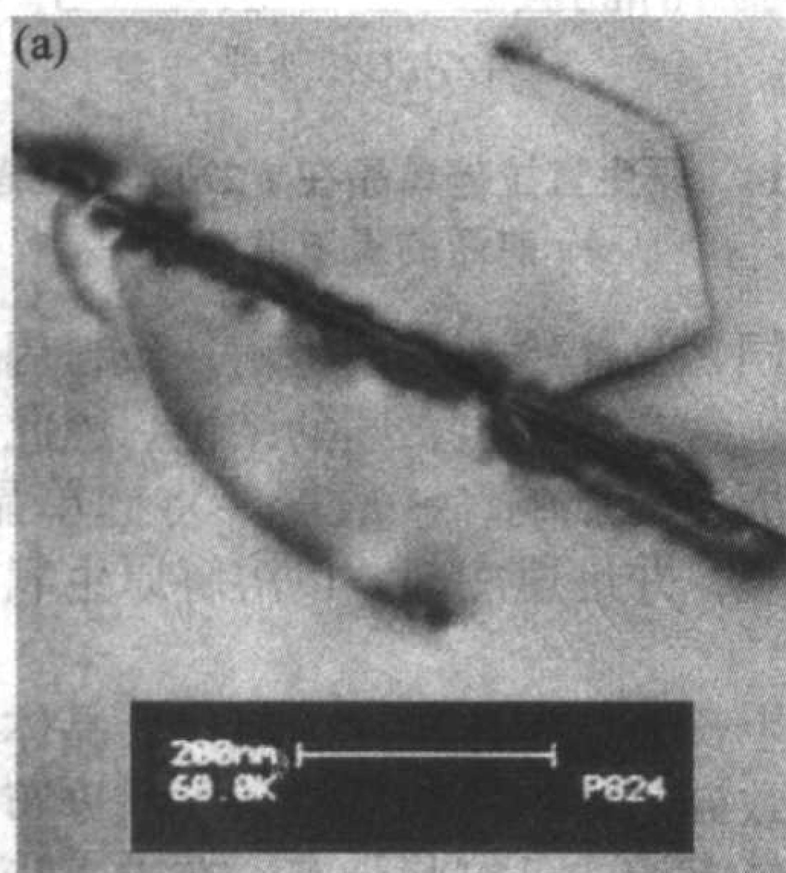


图2.8-15 直拉硅单晶在800℃热处理225 h后的片状氧沉淀和位错的电镜照片

研究者还发现，片状沉淀和红外光谱中的1 224/cm吸收峰相对应，如图2.8-16所示。图中显示的1 107/cm是间隙氧的吸收峰，而1 224/cm则和片状氧沉淀相关。

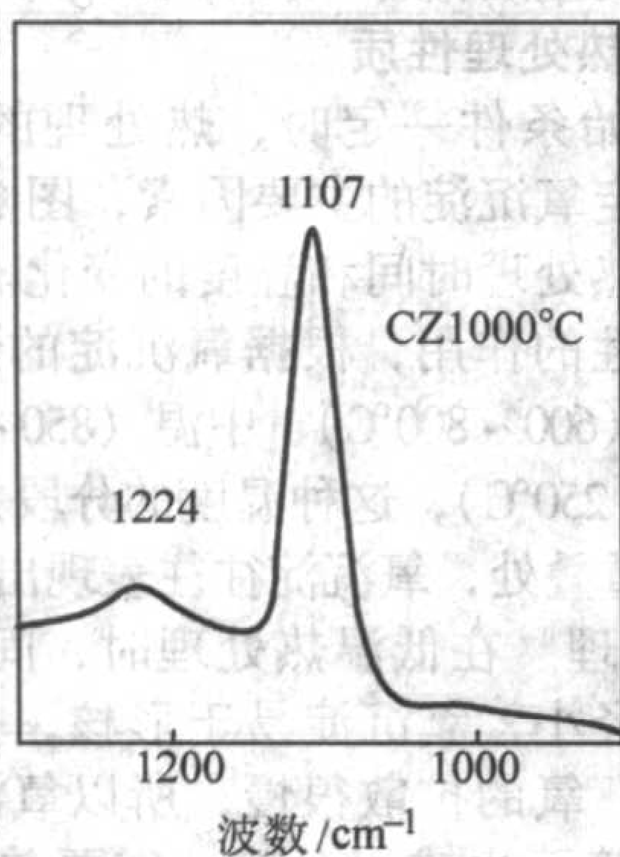


图2.8-16 直拉硅单晶在1 100℃热处理225 h后的红外光谱图

3）高温热处理　高温热处理时，氧的扩散速率高，利于氧沉淀的形成和长大；但是，此时的氧过饱和度低，氧沉淀的驱动力弱，沉淀的临界形核半径大，所以，实际产生的氧沉淀量很少；而且热处理温度高，导致小于临界形核半径的氧沉淀核心会收缩，重新溶入硅基体中去，从而使氧沉淀的核心密度小，最终氧沉淀量较少。

在高温热处理产生的氧沉淀主要是多面体（poly-hedron）沉淀，沉淀由无定形硅氧化物构成，已有两种形态的多面体沉淀被报道。一种是由八个（111）面所组成的八面体结构，在（001）、（010）、（111）晶面上分别呈方形、菱形和六角形。另一种形态是八个（111）面和四个（100）面所构成，在（100）晶面上呈六边形。这些多面体沉淀的大小约在1.50～100 nm（150～1 000 Å）左右，在多面体沉淀产生的同时，形成大量的外插型层错，其边缘被Frank不全位错所包围，如图2.8-17所示。

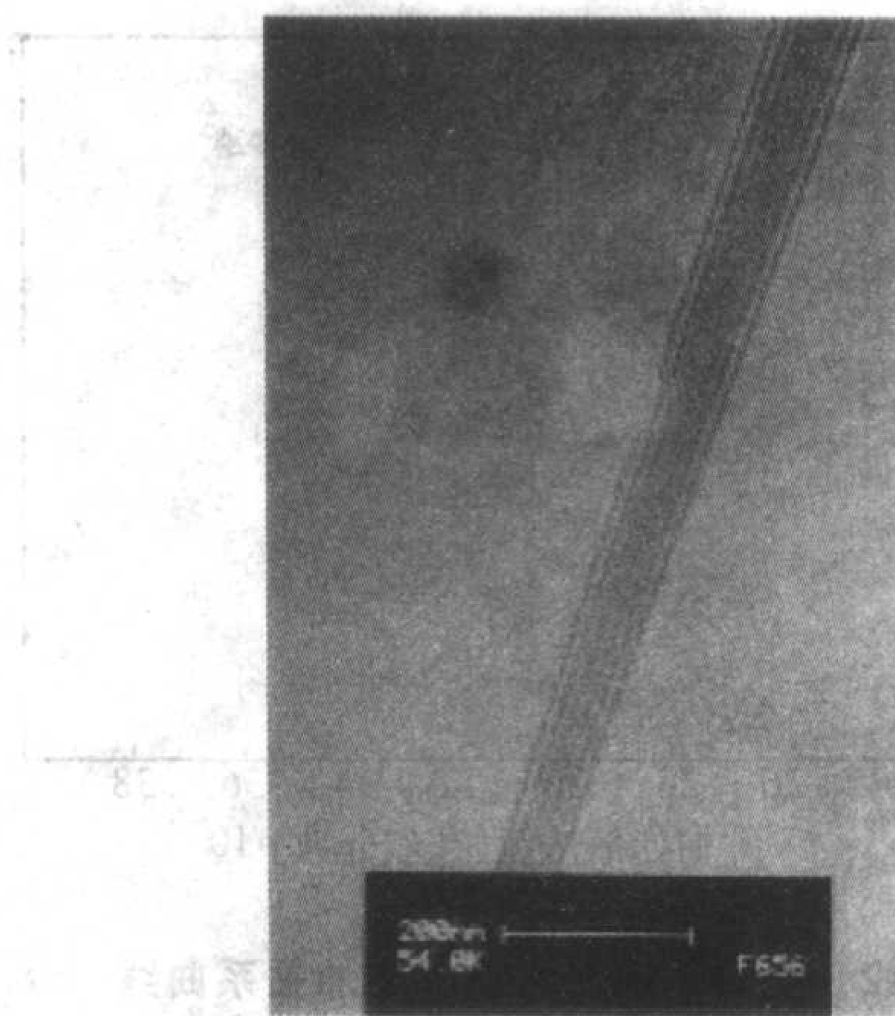


图2.8-17 直拉硅单晶在1 150℃热处理64 h后的电镜照片

在实际退火中，并不是只有一种形态的氧沉淀出现，而是可能会有两种氧沉淀形态同时出现，只是其中一种占主要而已。不仅如此，硅器件的制备过程包括了数十步高温热处理工艺，氧沉淀的形态在这些多步热处理时还可以互相转化。研究表明：在低温生长的棒状沉淀，在随后的高温处理中，于其基础上有多面体沉淀生成；在中温退火形成的片状沉淀，于随后的高温处理时，通过自间隙原子的发射，也可以转变为多面体沉淀。

除了热处理温度、时间、次序对氧沉淀有影响，热处理时的气氛也会产生作用。通常，硅片的热处理的保护气氛或反应气氛为高纯的氩气、氮气、氧气、氨气和乙烷等，其中氩气为惰性气体，化学活性很弱，对氧沉淀几乎没有附加影响，在实验中往往被当作衡量其他气氛对氧沉淀影响的标准。一般认为，纯氧化气氛（如干氧、湿氧）抑制氧沉淀，主要原因是氧化时在硅表面生成 SiO_2 层，有大量的自间隙硅原子从表面进入体内，导致氧沉淀被抑制。而氧氮化气氛对氧沉淀有促进作用，这是因为氮化可能产生大量的空位，扩散到体内，对氧沉淀有促进作用。

在氧沉淀形成时，可以均质形核，也可以异质形核。因此，点缺陷、杂质、掺杂剂都可能提供氧沉淀的异质核心而影响氧沉淀的形成。在重掺硅晶体中，研究者指出硼能够促进氧沉淀，锑则是抑制氧沉淀，但具体的原因没有被很好地理解。

1.5 硅晶体的内吸杂工艺

在硅集成电路工艺中，有可能引入各种金属杂质，这些金属杂质在随后的热处理工艺中能够沉积在硅片表面，造成集成电路的失效。因此，在现代集成电路的制造过程中，除了尽量净化工艺环境和材料，为了去除已进入硅片的金属杂质的影响，还必须引入吸杂工艺。

所谓的吸杂是指在硅片的内部或背面造成晶体缺陷，以吸引表面器件有源区的金属杂质在这些缺陷处沉淀，而在表面形成一个无杂质、无缺陷的洁净区。长期以来，尽管氧能够增加硅片的机械强度，鉴于它的其他有害作用，人们一直都把硅中的氧及氧沉淀作为有害因素，努力降低硅中氧的浓度。20世纪70年代末，Tan等人重新认识了氧沉淀的作用，首先提出了利用氧沉淀的特性建立内吸杂工艺的理论。其原理就是：利用氧在热处理时沉淀的性质，首先在硅表面外扩散，在近表面形成无缺陷的洁净区，而在晶体的内部产生大量的氧沉淀以及位错和层错等二次缺陷，由于应力场的存在，晶格能量较低，因此能吸引硅片表面的重金属杂质在此沉淀。

内吸杂一般采用高温—低温—高温三步热处理工艺，如

图 2.8-18 所示。第一步是高温热处理过程，温度在 1 000℃左右；因为高温热处理时，在硅片表面的氧浓度约等于该温度氧的固溶度，约为 $2.5\times10^{17}/cm^3$，远低于体内的间隙氧浓度；由于浓度梯度，使得氧原子从体内向表面外扩散，在近表面区域形成大约 10～20 μm 的低氧浓度区域（如图 2.8-18a 所示）。第二步是低温热处理，温度一般低于 800℃；此时的低温热处理使硅晶体内部产生高密度的氧沉淀核心，但是，在近表面由于氧浓度较低，低于氧沉淀形核的阈值，所以没有核心形成（图 2.8-18b）。第三步是高温热处理，温度一般高于 900℃；其目的是使在低温热处理形成的氧沉淀核心迅速长大，并产生大量的二次诱生缺陷（图 2.8-18c），而在近表面区域，则没有任何氧沉淀及诱生缺陷出现。这样，金属杂质被吸引沉淀到体内氧沉淀和产生的二次缺陷上，从而达到在近表面器件有源区形成一层无缺陷、无杂质的洁净区的目的。

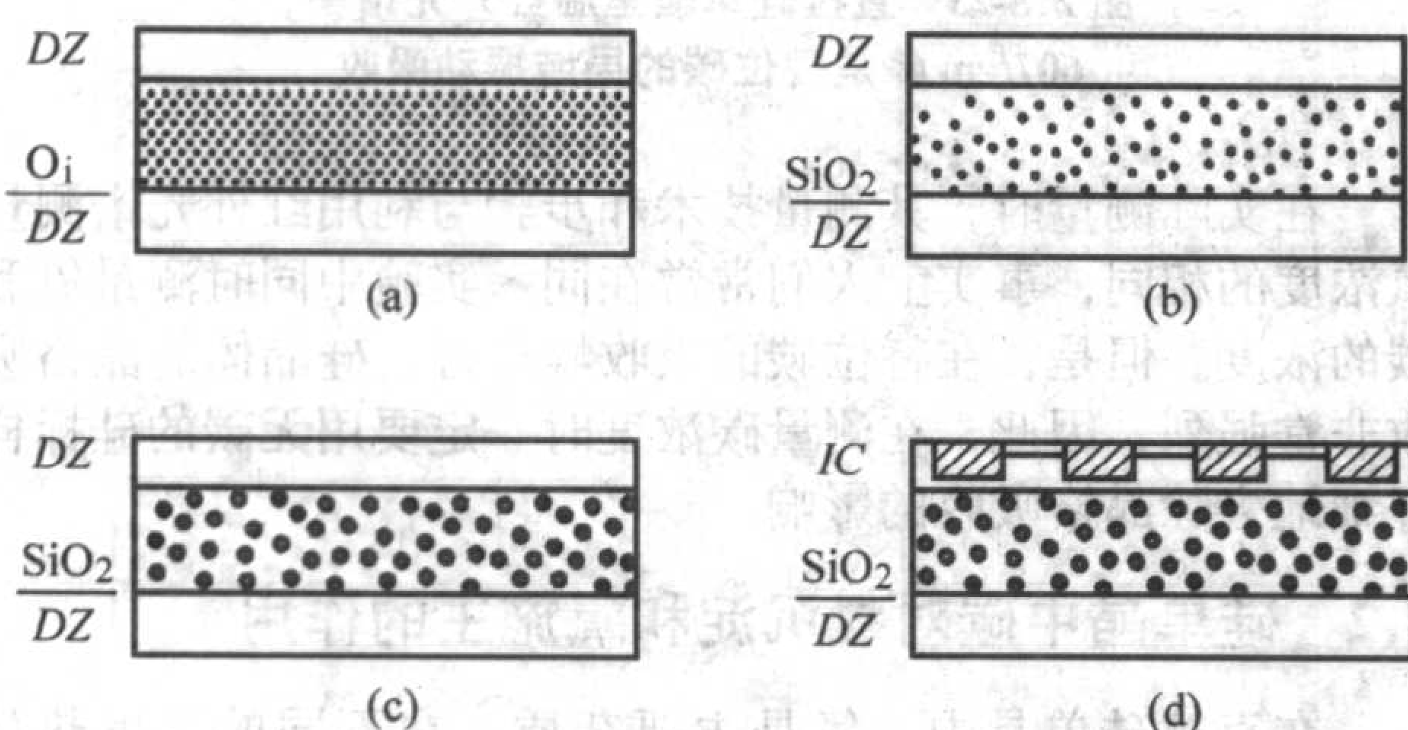


图 2.8-18　内吸杂工艺示意图

图 2.8-19 显示的是直拉硅单晶片经历高温—低温—高温热处理的内吸杂工艺后的截面的光学显微镜照片。从图中可以看到，在硅片的近表面有一层约 30 μm 的无缺陷区域，即洁净区，而在硅片的内部有高密度的腐蚀坑，这与氧沉淀及二次缺陷直接相关。

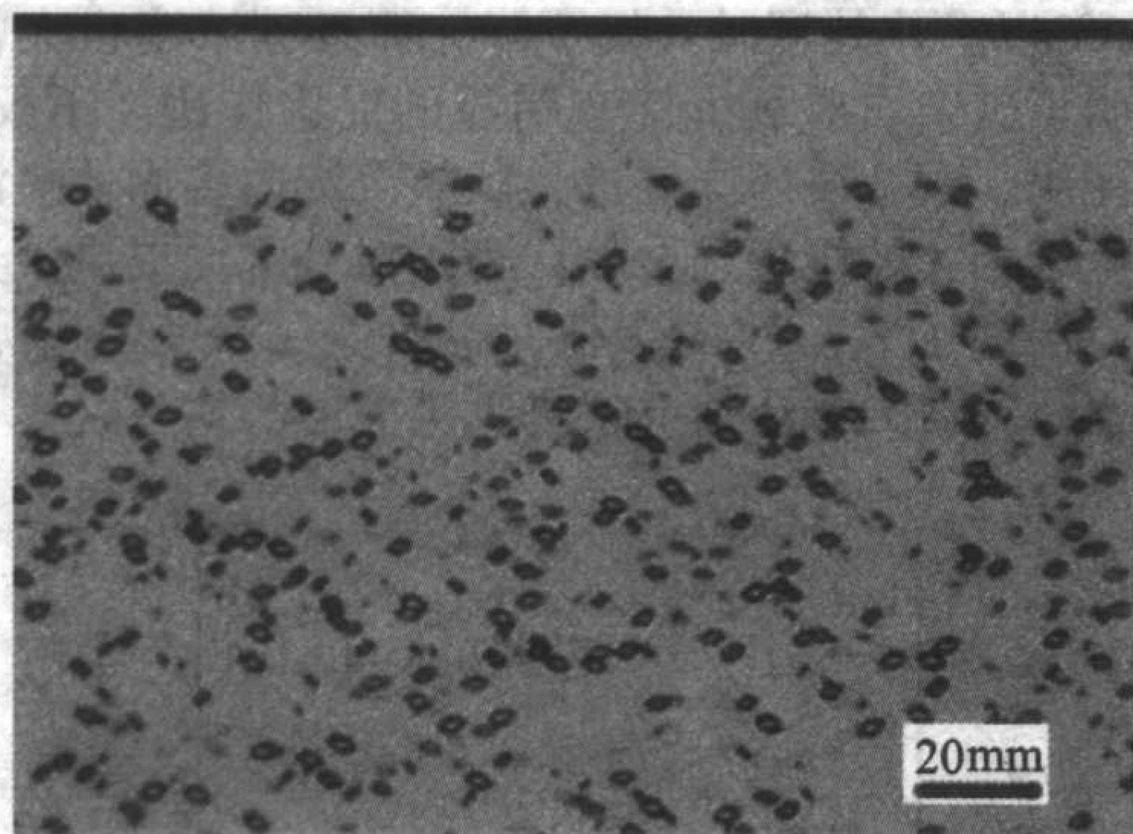


图 2.8-19　直拉硅单晶片在内吸杂工艺（1 150℃，4 h + 800℃，8 h + 1 050℃，16 h）处理后的截面光学照片

在内吸杂工艺中，为了在体内产生足够的氧沉淀及二次缺陷作为吸杂点，直拉硅单晶中的初始氧浓度有一定的要求，应比 1 000℃温度时的氧的饱和溶解度要高，一般大于 $7\times10^{17}/cm^3$。同时，洁净区要有一定宽度，以确保集成电路元器件建立在洁净区内；但是为了提高吸杂效率，氧沉淀引起的吸杂点又要尽可能靠近有源区，以便金属杂质以最短的途径被吸除；因此，一般而言，洁净区的宽度应达到 10～15 μm 左右，这主要由内吸杂工艺中的第一步高温热处理温度和时间所决定。在第一步高温热处理温度为 1 000℃时，洁净区宽度计算经验公式为：

$$D = 5.6 + 7.4\,(t)^{1/2} \tag{2.8-7}$$

式中，D 是洁净区宽度（μm）；t 是退火时间。

图 2.8-20 是初始氧浓度为 $7\times10^{17}/cm^3$ 的硅片，其洁净区宽度与高温热处理的温度和时间的关系。

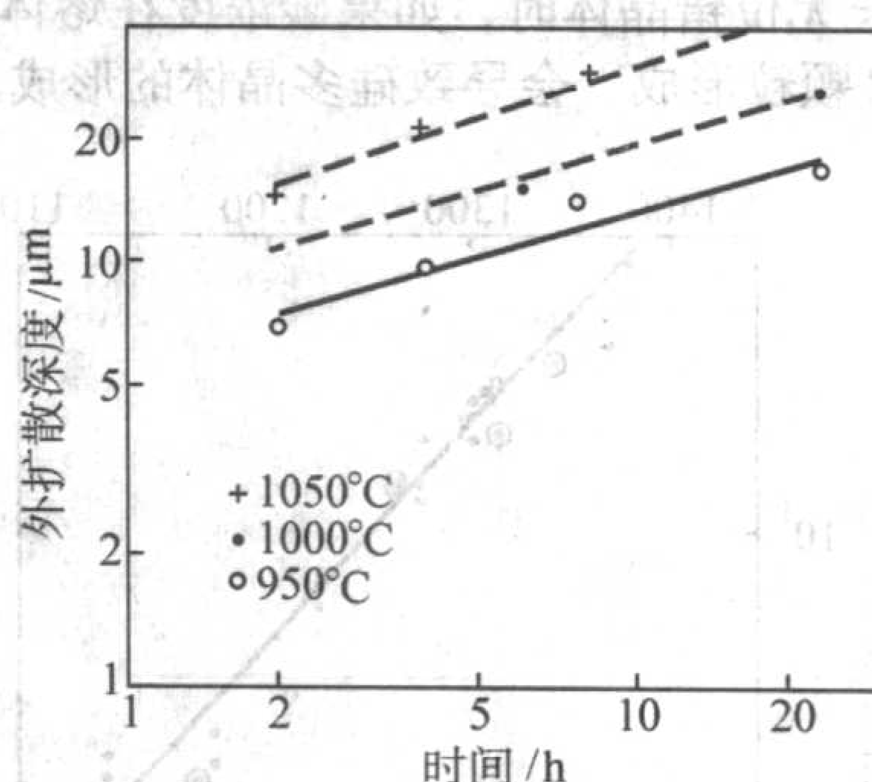


图 2.8-20　直拉硅单晶洁净区宽度与高温热处理的时间和温度的关系

在高温-低温-高温热处理工艺的基础上，人们也可以结合集成电路的具体工艺进行一些改进，如第二步的低温热处理和第三步的高温热处理可以结合，利用缓慢升温后高温热处理工艺；也可以利用快速热处理工艺进行第一步高温热处理，以节约时间和电力。在集成电路制造工艺中，内吸杂工艺可以直接结合原有的器件工艺进行，而不增加过多的热处理工艺。但为了取得最佳的吸杂效果，一般在工艺流程的开始就进行内吸杂处理，或者硅片生产厂直接提供经过内吸杂的硅片。

目前，内吸杂已经成为现代大规模集成电路工艺中的重要步骤，它能有效地吸除金属杂质，提高器件的成品率，和外吸杂相比，内吸杂具有很多有利因素，它不用附加的设备和附加的投资，也不会因吸杂而引起额外的金属杂质污染，而且，吸杂效果能够保持到最后工艺。

2　硅单晶中的碳杂质

碳是硅晶体中的另外一种重要轻元素杂质，它主要存在于直拉硅单晶中，在区熔硅单晶中偶尔也能观测到。硅中的碳杂质能使硅器件击穿电压大大降低，漏电流增加，对器件的质量有负面作用，在晶体生长中应尽力避免碳杂质的引入。在硅晶体研究和生产的早期阶段，碳严重地破坏器件的性能，经过多年的努力，在目前的集成电路用直拉硅单晶中，碳杂质已能被很好地控制，浓度可以在 $5\times10^{15}/cm^3$ 以下。如果碳浓度较高，在单晶生长时，碳原子将和自间隙硅原子以及空位结合，以条纹状存在于晶体中，当条纹中碳浓度超过固溶度时，就会有微小的碳沉淀生成，实验证明，碳杂质是引起漩涡缺陷的重要原因。

2.1　硅单晶中碳的基本性质

硅单晶中的碳杂质主要来自多晶硅原料、晶体炉内的剩余气体以及石英坩埚与石墨加热件的反应。在直拉硅单晶生长时，石英坩埚与石墨加热件的热化学反应起决定性作用，其反应式是：



$$C + SiO_2 \longrightarrow SiO + CO \tag{2.8-8}$$

反应生成的 CO 气体，不易挥发，大都进入硅熔体，从而和熔硅反应，生成单质碳，表达式为：



$$CO + Si \longrightarrow SiO + C \tag{2.8-9}$$

SiO 大部分从熔硅表面挥发，少量的留在硅熔体中，而和熔硅反应后生成的碳杂质留在熔硅中，最终进入硅晶体。

在硅熔点附近，碳在硅熔体和硅晶体中的平衡固溶度分别为 $40\times10^{17}/cm^3$ 和 $4\times10^{17}/cm^3$，其固溶度随温度变化为：

$$C\,(C) = 3.9\times10^{24}\,e^{-2.3eV/kT}/cm^3 \tag{2.8-10}$$

其中 C (C) 是硅中碳的浓度，k 是玻尔兹曼常数，T 是绝对温度。图 2.8-21 表示的是硅中碳的固溶度随温度的变化曲线。在生长无位错晶体时，如果碳浓度在熔体中超过固溶度，会有 SiC 颗粒形成，会导致硅多晶体的形成。

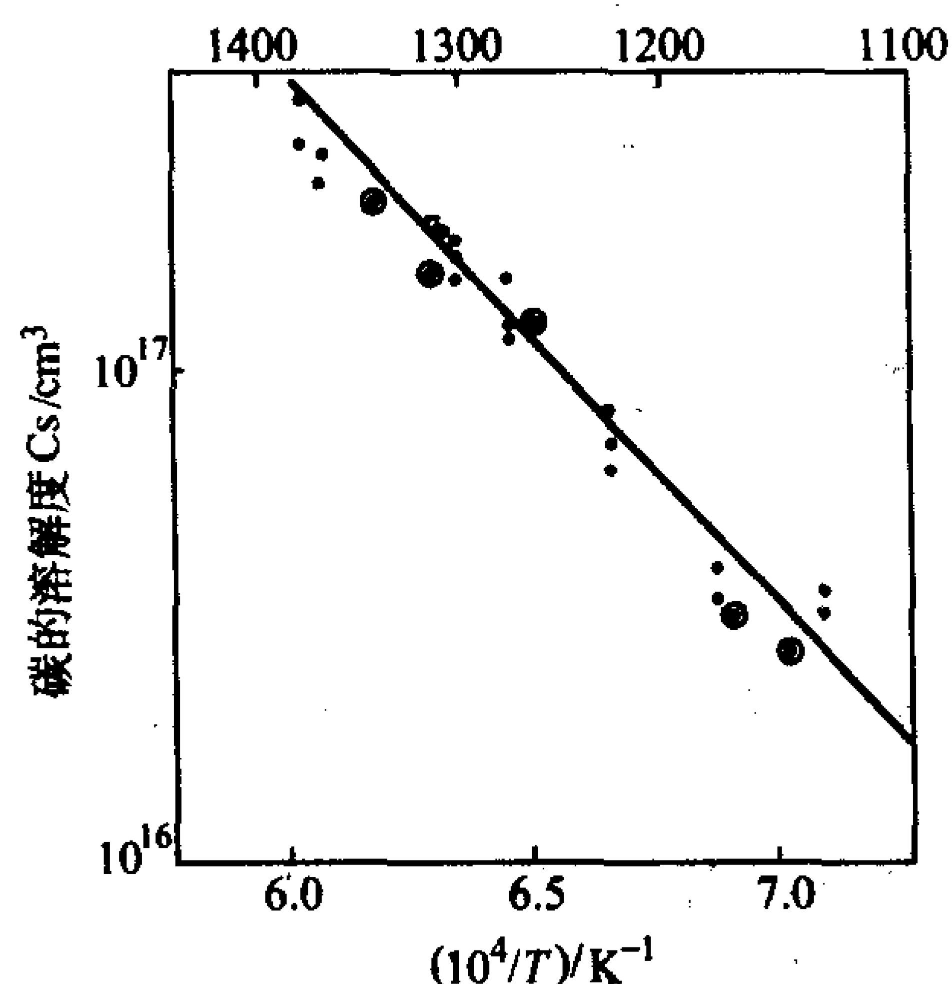


图 2.8-21 硅晶体中碳的固溶度曲线

而碳在硅中的分凝系数很小，一般认为是 0.07。在硅晶体生长时，和氧浓度的分布相反，晶体头部的碳浓度很低，而晶体尾部的碳浓度很高。如果晶体生长的速度很快，会使碳的实际有效分凝系数大大增加，甚至接近 1。

碳在硅中主要处于替位位置，由于是四价元素，所以在硅晶体中属于非电活性杂质。特殊情况下，碳在硅晶体中也可以间隙态存在。当碳原子处于晶格位置时，因为碳的原子半径小于硅的原子半径，就会引入晶格应变。而且，和氧相比，碳在硅中的扩散要慢得多，它的扩散系数为：

$$D = 1.9e^{(-3.04\text{eV}/kT)} \tag{2.8-11}$$

式中，D 为扩散系数，cm^2/s；k 是玻尔兹曼常数；T 是绝对温度。图 2.8-22 显示了替位碳的扩散系数随温度的变化关系。

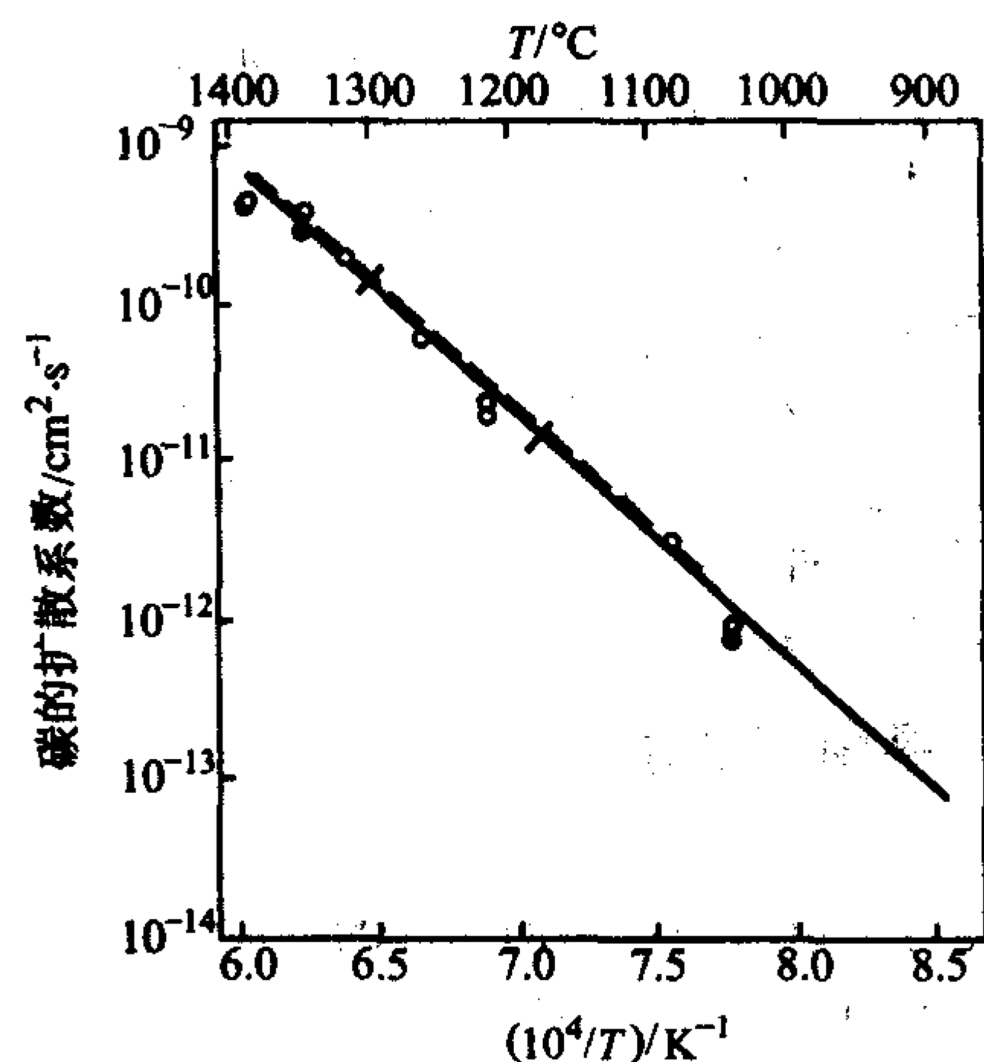


图 2.8-22 硅晶体中替位碳的扩散系数

硅中替位碳的测量手段也可以利用带电粒子活化法和二次离子质谱法，和氧的测量一样，其常规的测试方法是红外光谱法。和替位碳相联系的红外吸收峰在室温下位于 607 cm¹处，如图 2.8-23 所示，其计算公式为：

$$[C_s] = C \times \alpha_{max} \times 10^{17}/cm^3 \tag{2.8-12}$$

式中，C 为校正系数；α_{max} 为 607/cm 峰的最大吸收系数。对于硅中替位碳而言，其校正因子一般采用 1.0，它的探测极限约为 $5\times10^{15}/cm^3$。

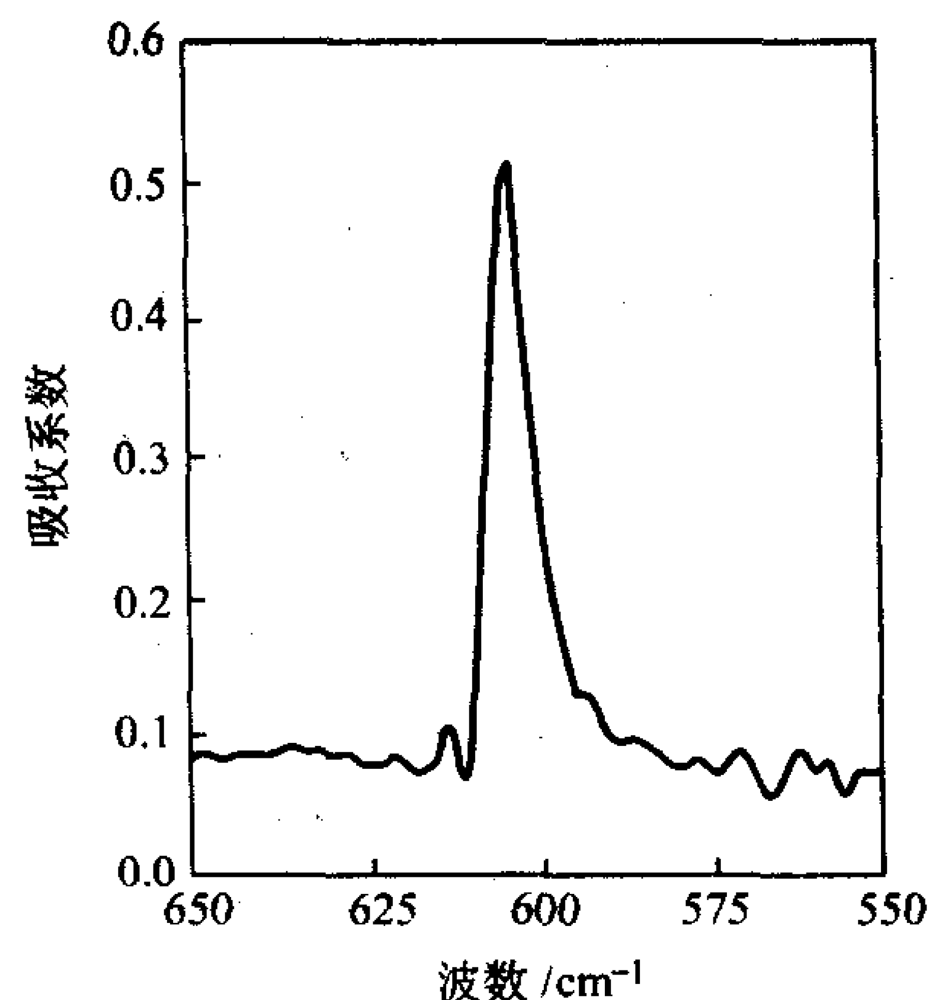


图 2.8-23 直拉硅单晶室温红外光谱图，607/cm 峰是替位碳的局域振动吸收

在实际测量时，其测量技术和步骤与利用红外光谱测量氧浓度的相同，事实上人们常常在同一实验中同时测量氧和碳的浓度。但是，在替位碳的吸收峰附近，硅晶体的晶格吸收非常强烈，因此，在测量碳浓度时一定要用无碳的硅标样仔细地去除晶格吸收的影响。

2.2 硅单晶中碳对氧沉淀和氧施主的作用

在直拉硅单晶中，氧是主要杂质，在不同的温度热处理时，过饱和的氧会产生氧沉淀和氧施主。如果直拉硅单晶中碳的浓度较高，碳将会对氧沉淀和氧施主的性质产生影响。

图 2.8-24 显示的是高碳硅单晶和低碳硅单晶在不同温度热处理 64 h 后的氧浓度变化和碳浓度变化。从图中可以看出，对于低碳硅单晶，在 900℃以下热处理仅有少量氧沉淀，和图 2.8-13 的结论相似。但是，对于高碳硅单晶，氧浓度在 600℃以上热处理时大幅下降，而且碳浓度也大幅度下降，说明了碳杂质对氧沉淀有明显的促进作用。不仅如此，有研究证明，碳杂质还能促进片状氧沉淀向多面体氧沉淀的转变。至于相关的机理，一般认为碳对氧沉淀提供了异质形核中心，促进了氧沉淀的形核，也改变了氧沉淀核心的结构；但也有人认为碳还能够促进氧沉淀的长大。

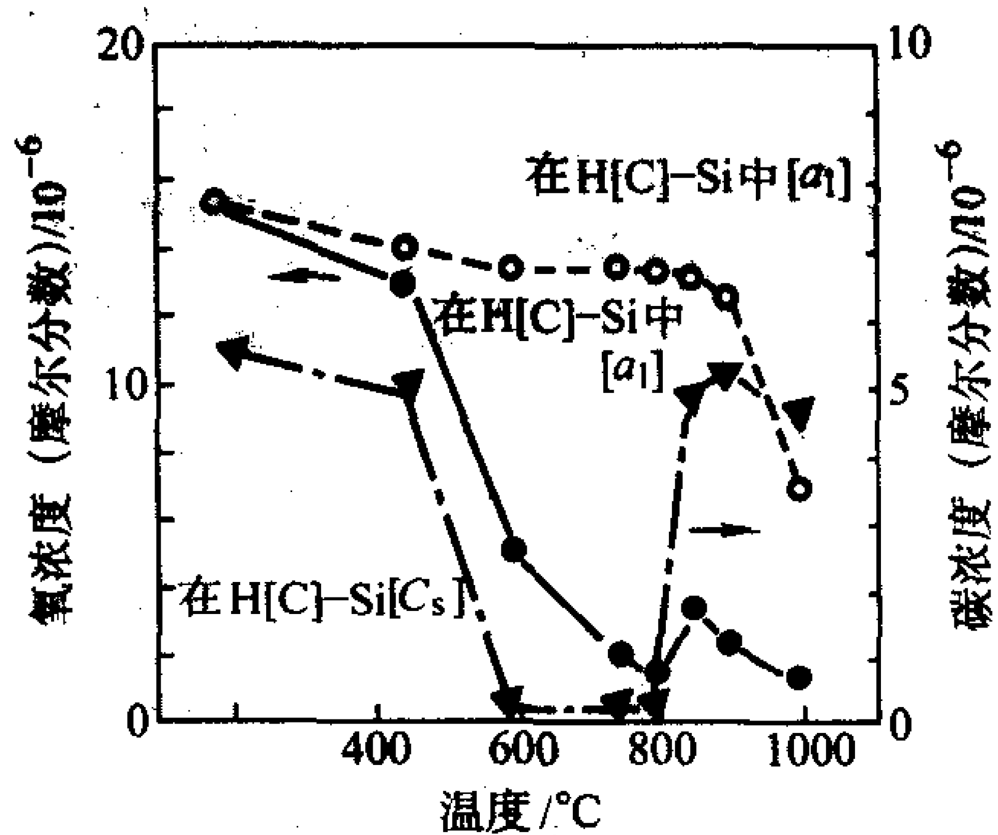


图 2.8-24 高碳（H（C））和低碳（L（C））硅单晶在不同温度热处理 64 h 后的间隙氧和替位碳浓度变化

碳在直拉硅单晶对热施主有抑制作用，但对新施主有促进作用，图 2.8-25 表示硅单晶在 650℃热处理 200 h，新施主的浓度随着碳浓度的变化。从图中可以看出，随碳浓度的增加，新施主浓度迅速增加，说明了碳对新施主的促进作用。

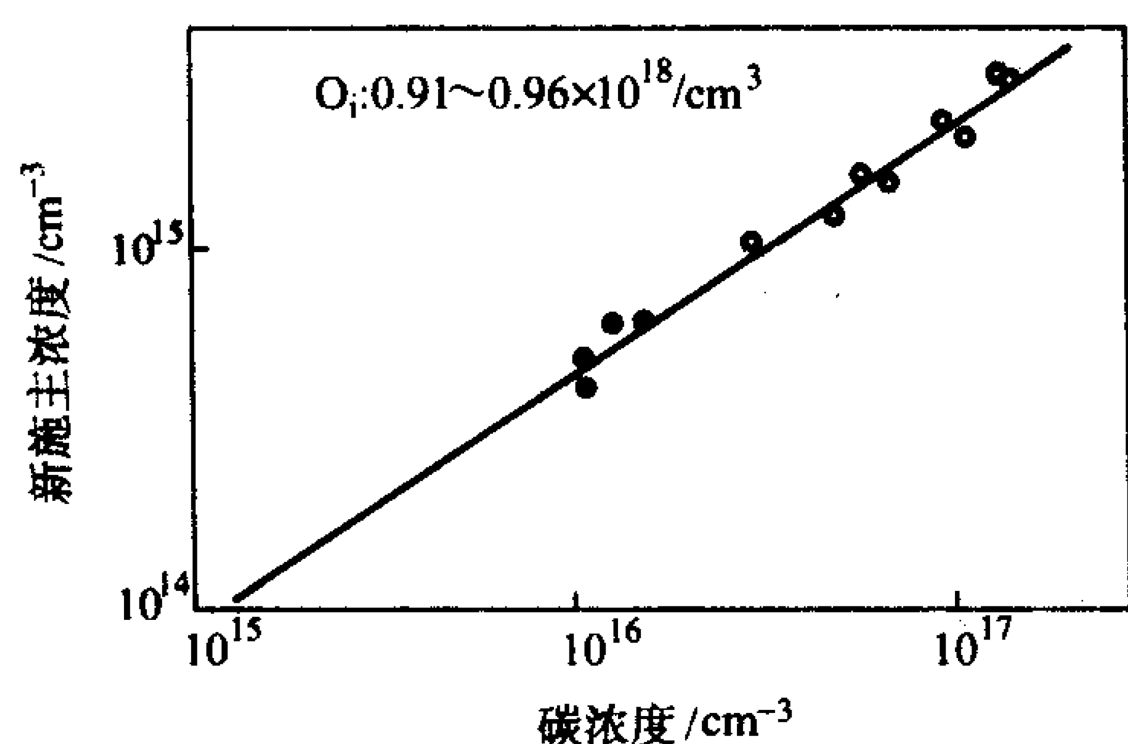


图 2.8-25 直拉硅单晶在 650℃热处理 200 h，新施主的浓度随着碳浓度的变化

碳对氧沉淀和氧施主的作用，其主要原因在于氧原子和碳原子在氧聚集的初期形成了大量的 C—O 复合体，到目前为止，这些复合体结构、性质还没有完全弄清楚。但是，可以用低温红外光谱进行探测和表征，如 1 104/cm 和 1 108/cm 峰被认为是由一个替位碳和一个间隙氧的组合，而 1 052/cm，1 099/cm，1 012/cm，1 026/cm 则被以为是一个替位碳原子和两到三个间隙氧原子组成。

3 硅单晶中的氮杂质

氮是硅单晶中的一种重要杂质，在硅晶体研究的早期，它并没有引起人们的重视。最近 20 年来，由于氮在硅器件制备工艺中的应用增加，如硅表面形成氮化硅膜，作为绝缘层；氮被离子注入到硅基体中，通过热处理来形成绝缘层；氮被掺入硅晶体，以抑制微缺陷和增加机械强度；因此，硅中氮的性质引起了广泛的兴趣。

在区熔硅单晶中，氮被发现抑制微缺陷和提高机械强度。对于现代超大规模集成电路用大直径硅单晶，由于晶体生长时空位缺陷的聚集，会形成对器件性能有致命作用的空洞（void）型微缺陷；而氮杂质的掺入，可以有效改变 void 型缺陷的大小和密度，导致 void 型缺陷可以容易、方便地被去除，从而使得超大规模集成电路的成品率提高。因此，掺氮单晶已经成为现代硅单晶材料的重要类型。

3.1 硅单晶中氮的基本性质

氮不是硅单晶中不可避免的杂质，一般是通过不同途径故意加入的。对于区熔硅单晶，在晶体生长的氩气保护气中，加入 0.1% ~ 10% 的氮气，氮原子能在晶体生长过程中进入硅晶体。而对于直拉硅单晶，有三种方法可以在晶体中掺入氮，一种是浙江大学阙端麟等人发明的减压充氮生长硅单晶技术，即利用高纯氮气作为保护气生长硅单晶；另一种方法是在多晶硅料中加入适量的氮化硅颗粒，它和多晶硅一起熔化而使氮进入硅单晶体。第三种方法是在石英坩埚的内壁涂一层氮化硅层，在晶体生长时，熔硅接触和融蚀氮化硅，使之熔入硅熔体，导致氮的掺入。

在氮保护气生长单晶时，通常氮气和硅熔体并不发生反应，而是和 1 300℃以上的固体硅表面反应。在晶体生长过程中，在靠近熔区的多晶硅温度很高，多晶硅表面和氮气反应，生成一层薄薄的氮化硅而熔入硅熔体，由于氮在熔硅中极难挥发，最终会进入硅晶体中。如果熔硅中氮的含量超过熔点温度时的饱和固溶度，有氮化硅颗粒会在熔硅中形成，会影响无位错单晶硅的生长。另外，在氮气氛下高温热处理，氮也可能被引入硅晶体。

硅晶体中氮的饱和固溶度比较低，在硅熔点 1 420℃时约为 5×10^{15}/cm^3，所以和硅中的氧、碳杂质相比，氮浓度显得很低。同时，氮在硅晶体中的分凝系数也非常小，约为 7×10^{-4}，因此，氮在固相、液相中的分凝现象特别明显，晶体生长时，氮浓度从晶体头部到晶体尾部逐渐增加，晶体尾部的氮浓度要远远大于晶体头部的氮浓度，图 2.8-26 显示的是熔硅中不同氮浓度时，氮杂质沿晶体轴向生长方向的理论浓度分布。

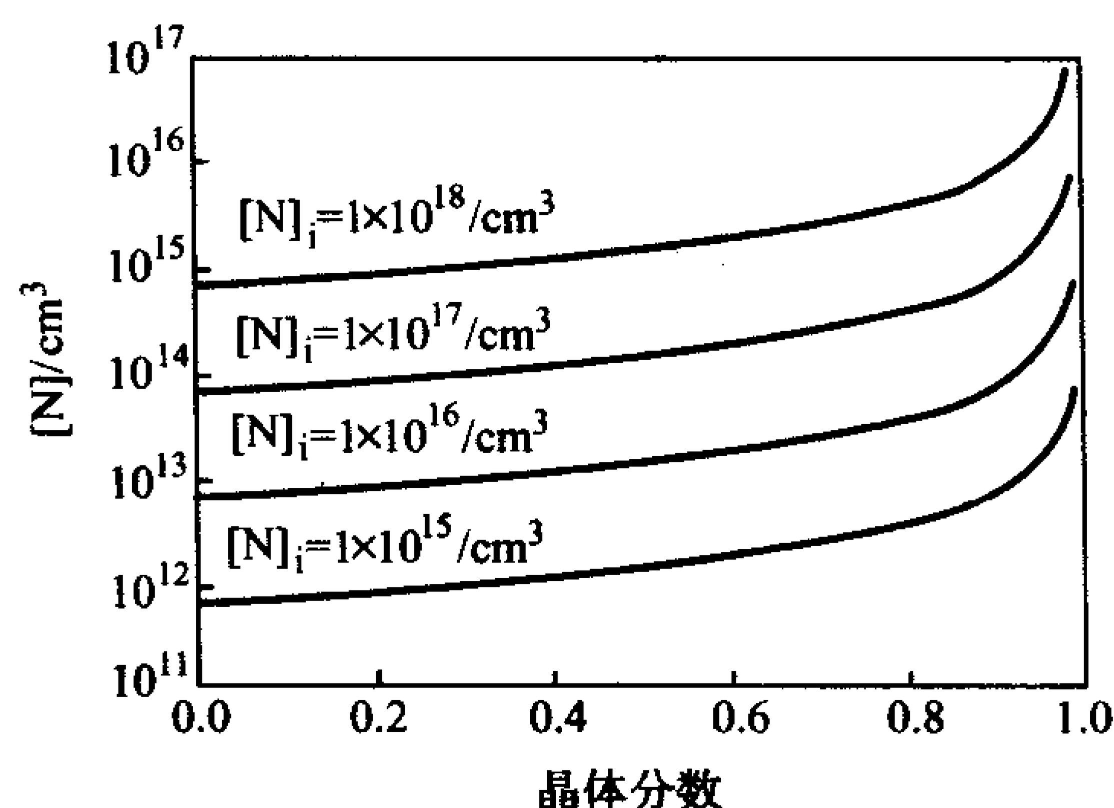


图 2.8-26 硅晶体中氮杂质沿晶体轴向生长方向的理论浓度分布

早期，硅中氮的扩散系数被认为是：

$$D = 0.8e^{(-3.29eV/kT)} \qquad (2.8\text{-}13)$$

式中，D 为扩散系数，cm^2/s；k 是玻尔兹曼常数；T 是热力学温度。这个数值比较低，因此，氮被认为在硅晶体中扩散很慢。但是，Abe 和合作者根据二次离子质谱和红外光谱的研究结果，提出新的扩散系数：

$$D = 2.7e^{(-2.8eV/kT)} \qquad (2.8\text{-}14)$$

在高温 1 100℃时，这个扩散系数要比原先的值（式(2.8-13)）高五个数量级，也比同温度下间隙氧的扩散要快，他们建议原先的值是替位氮的扩散系数，而后者是氮对在硅中的扩散系数，这就说明，氮对在硅中的扩散很快，后来氮的快扩散得到作者和其他研究者的证实。

氮和硅晶体中的其他 V 族元素（如磷、砷）的性质不一样，在硅中不呈施主特性，通常也不引入电学中心。研究表明，仅有 1% 左右的氮原子在硅晶体中处于替位位置，其浓度低于 1×10^{13}/cm^3，对硅材料和器件的性能影响极小，所以常常把它忽略。替位氮处于硅晶格 <111> 方向稍偏离轴心的替位位置，能引起电子顺磁共振信号 SL5，在红外光谱中，有 653/cm 吸收峰和它对应。

氮在硅晶体中存在的主要形式是氮对，这种氮对有两个未配对电子，和相邻的两个硅原子以共价键结合，形成了中性的氮对，对硅晶体不提供电子。到目前为止，有两种可能的氮对结构模型被报道。一种是一个替位氮原子和一个间隙氮原子沿硅晶格 <100> 方向的结合，具有 D_{2d} 结构；另一种模型是在 <100> 方向两个氮原子处于间隙位置，分别和硅原子相连，同时两者又互相结合，形成氮对。

和氧、碳的测量一样，硅中氮的测量可以用带电粒子活化分析法和二次离子质谱法，这两种方法能探测氮在硅中的各种形态的总浓度，但是费用昂贵，操作复杂，在常规分析中很少应用，它们的探测极限约为 3×10^{14}/cm^3。而红外光谱法是硅中氮测量的常用方法，这种方法测量的是硅中氮对的浓度，而不是氮的所有总浓度。在红外光谱中，963 和 766/cm^1 吸收峰被认为和硅晶体中氮对相关，如图 2.8-27 所示（其他峰和氮氧复合体有关），其中 963/cm 吸收峰被用来计算硅中氮的浓度，计算公式为：

$$[N] = C\times\alpha_{max}\times10^{17}/\text{cm}^3 \qquad (2.8\text{-}15)$$

其中 C 为校正系数，α_{max} 为 963/cm 峰的最大吸收系数。对于硅中氮而言，其校正因子一般采用 1.83，它的探测极限约为 5×10^{14}/cm^3。

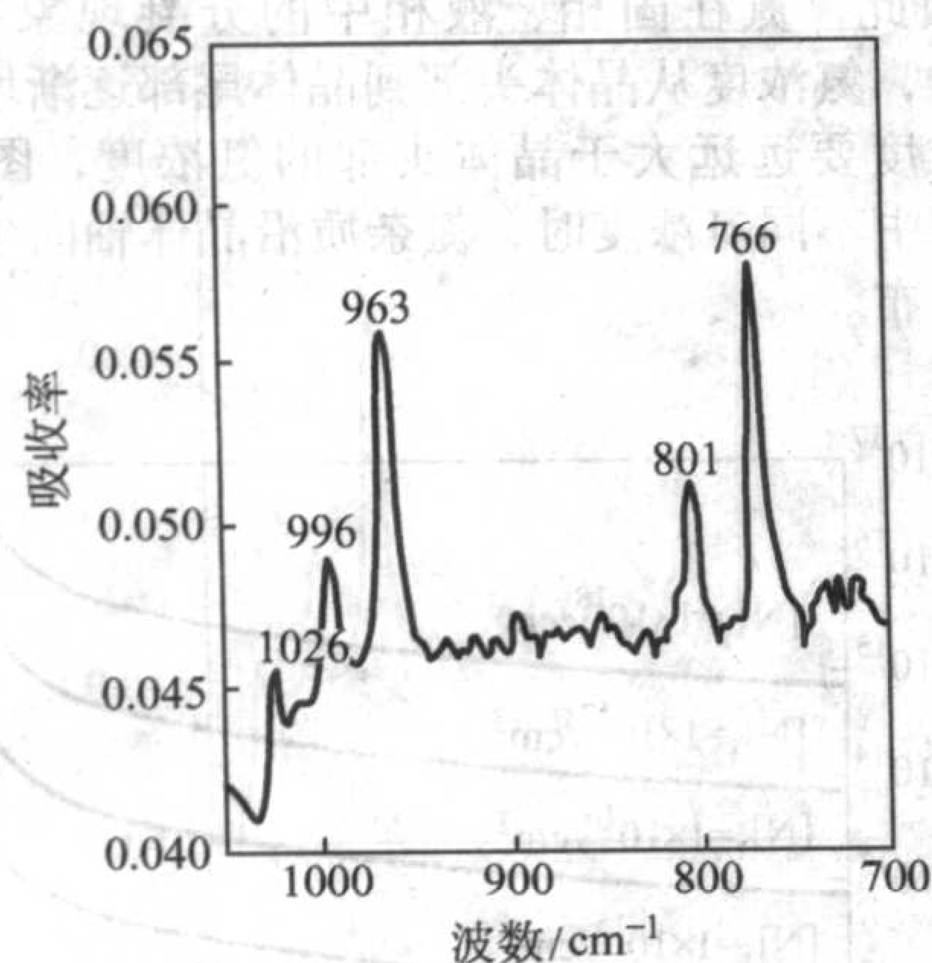
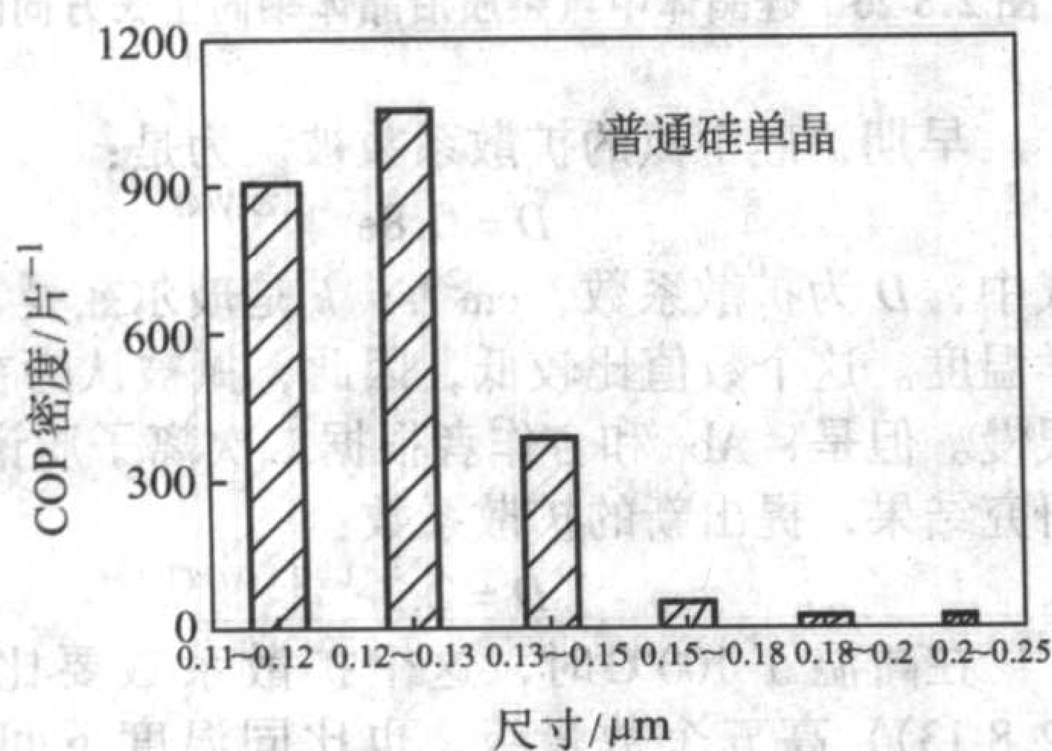


图 2.8-27 掺氮直拉硅单晶室温红外光谱图，963/cm 和 766/cm 峰是氮对的局域振动吸收，1 026/cm，996/cm 和 801/cm 是氮-氧复合体的吸收峰

3.2 硅单晶中氮对微缺陷的作用

在区熔硅单晶中，主要的微缺陷类型有漩涡缺陷、*D* 缺陷和 *I* 缺陷等，这些微缺陷可能和过饱和自间隙硅原子、空位或杂质有关，当氮杂质被引入硅晶体后，漩涡缺陷和 *D* 缺陷明显被抑制，但是其机理尚不是很清楚，可能是氮的进入，导致自间隙硅原子、空位浓度的改变，从而使这些微缺陷难以生成。

在现代超大规模集成电路用大直径直拉硅单晶中，存在有空位聚集而成的空洞（void）型缺陷，表现为晶体原生颗粒（COP）、流动花样缺陷（FPD）等，对集成电路的成品率构成了致命的影响。研究发现，氮的掺入可以降低 void 型缺陷的尺寸，增加它的密度，如图 2.8-28 所示。图中显示的 COP 密度是来自具有几乎完全相同热历史、加工历史和氧浓度的硅片，一片是掺氮，一片是没有掺氮，有图可知，掺氮硅单晶的 COP 密度要大于普通硅单晶，但是，其尺寸要小于普通硅单晶。



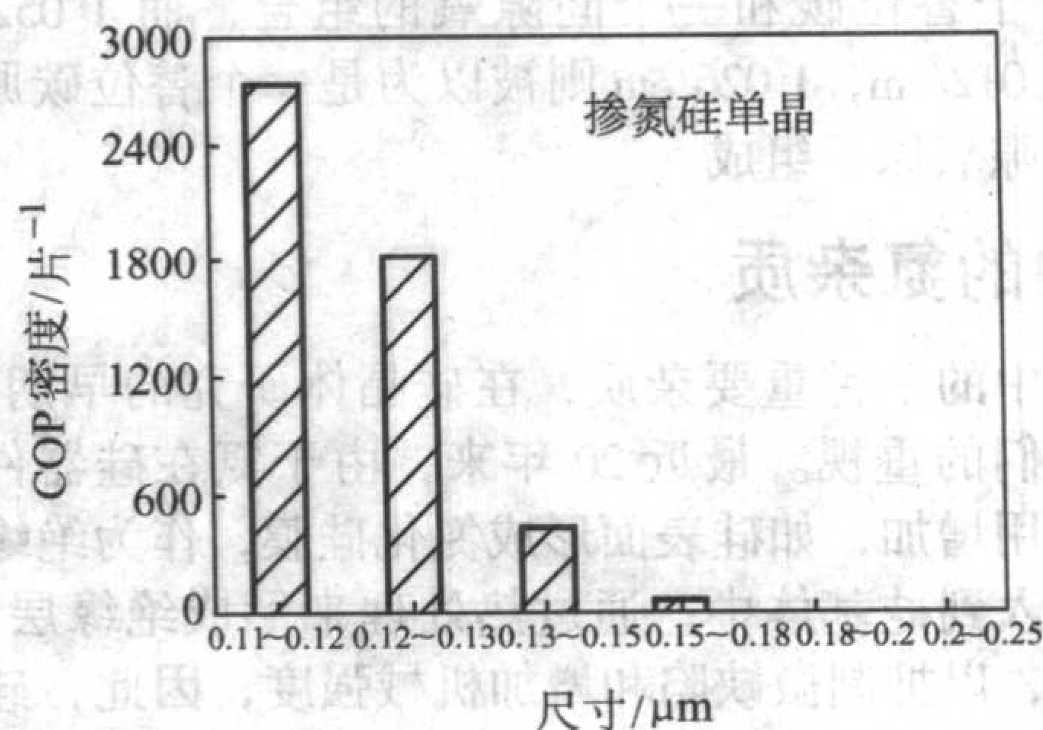


图 2.8-28 普通直拉硅单晶和掺氮直拉硅单晶的 COP 密度

图 2.8-29 显示的是掺氮和普通硅单晶片在氢气氛下不同高温处理前后 COP 缺陷图。从图中可以看出，在原生硅片中，掺氮硅单晶的 COP 密度要高于普通硅单晶；在氢气氛中 1 150℃热处理 2 h 后，普通硅单晶依然保留大量的 COP，但是掺氮硅单晶中 COP 几乎完全消失；在氢气氛中 1 200℃ 热处理 1 h 后，普通硅单晶中绝大部分 COP 被消除，而掺氮硅单晶则基本上没有 COP 了；显然，掺氮直拉硅单晶中 COP 易于消除，有利于超大规模集成电路成品率的提高。

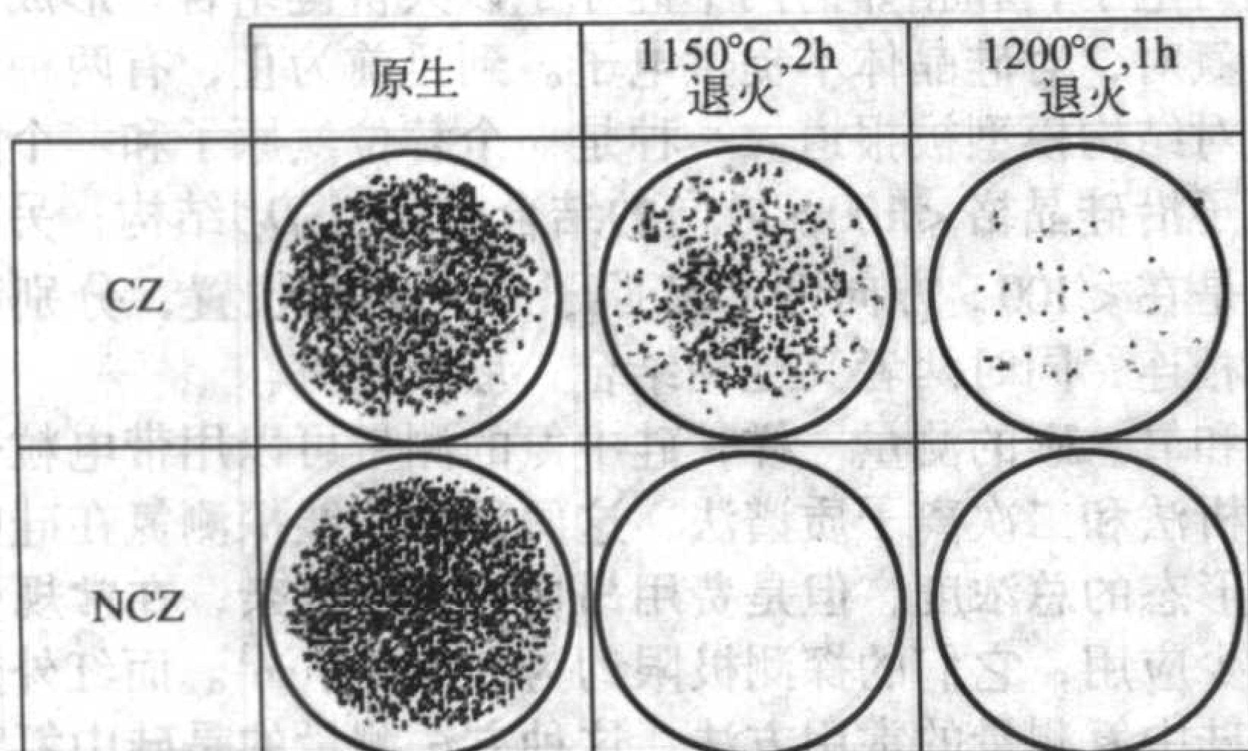


图 2.8-29 掺氮（NCZ）和普通（CZ）硅单晶片在氢气氛下不同高温处理前后的 COP 缺陷图

3.3 硅单晶中氮对机械强度的作用

硅单晶中掺氮的一个主要优点是能够增加硅单晶的机械强度。一方面，硅晶体生长完成后，需要进行切磨抛加工，形成抛光硅片；在加工过程中，硅单晶机械强度的改善会减少硅片的破损率和碎片率，降低生产成本。另一方面，在硅器件的制备工艺中，要经历数道直至数百道的高温热处理工艺，在这些热处理工艺的升温和降温时，从硅片边缘到中心的温度梯度很大，存在热应力，使硅片易产生翘曲，并引入滑移位错；因此，随着硅片直径的增大，硅片的厚度必须随着增加，硅材料的耗费量也增加，最终导致生产成本的增加；而机械强度的增加，可以增加硅片抵抗翘曲和产生滑移位错的能力，还可以适量减少硅片的厚度，以降低生产成本。

图 2.8-30 显示的是掺氮区熔硅单晶和普通区熔硅单晶屈服强度，由图可知，区熔硅单晶中掺氮可以有效地提高屈服强度，提高机械强度。图 2.8-31 显示的是掺氮直拉硅单晶和普通直拉硅单晶的室温断裂强度，从图中可以看出，掺氮硅单晶的室温断裂强度要高于普通硅单晶。多种机械强度的试验都证实，掺氮硅单晶的机械强度要大于普通硅单晶。

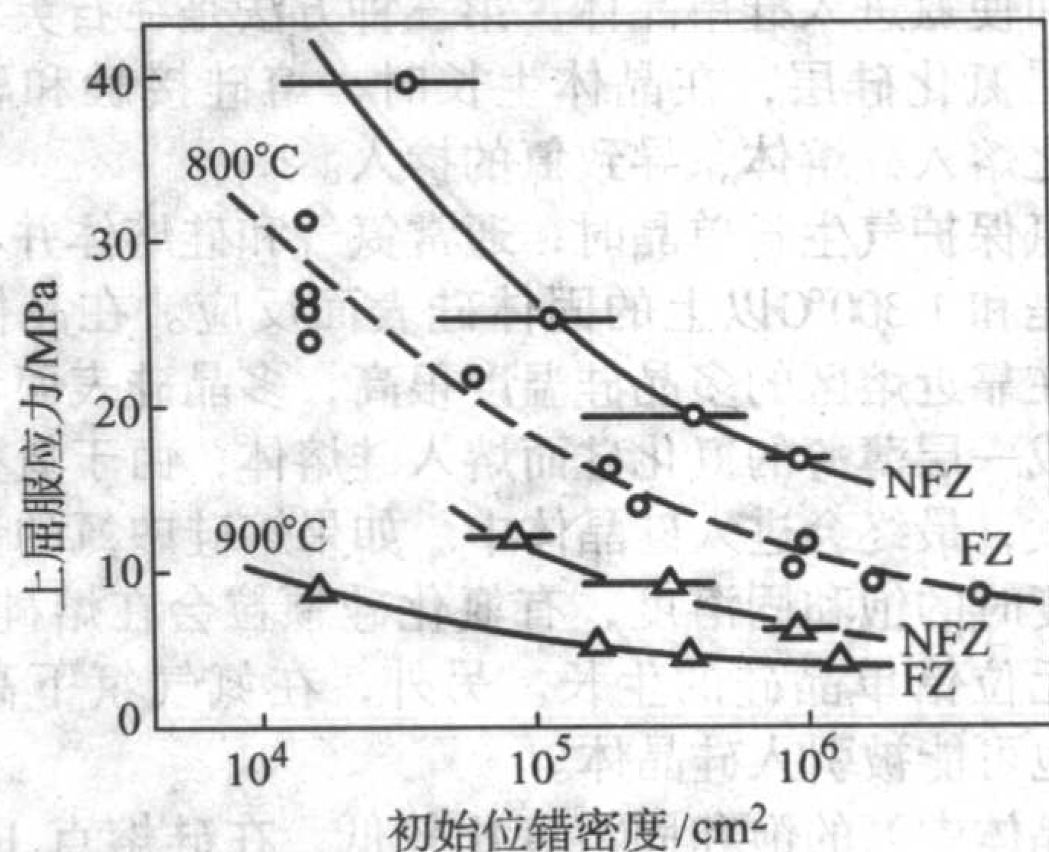


图 2.8-30 掺氮和普通区熔硅单晶的屈服强度

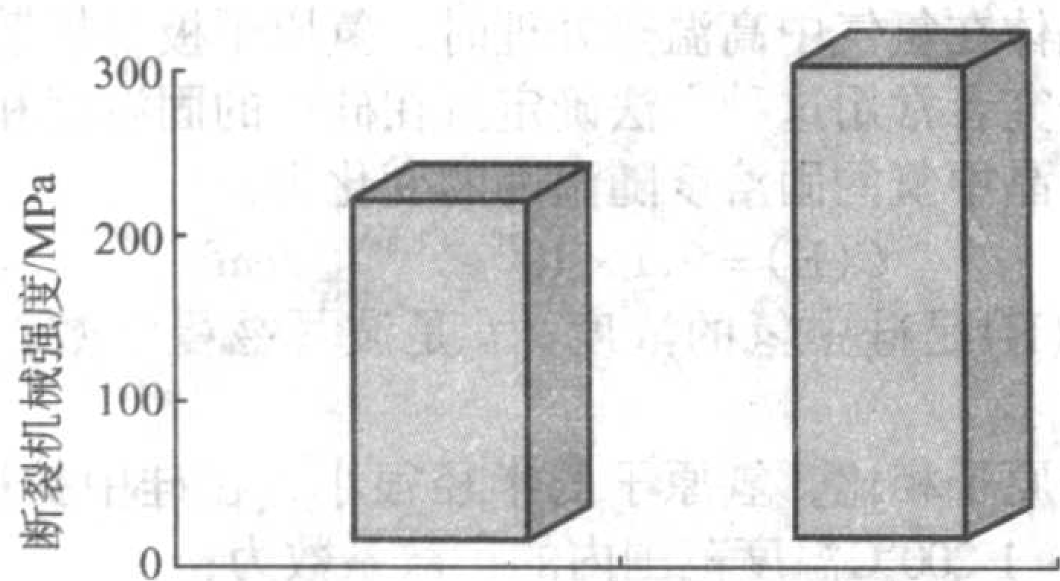


图 2.8-31　掺氮和普通直拉硅单晶的室温断裂强度

一般认为，当硅单晶中位错产生时，氮杂质能够弥散偏聚在位错上，起到钉扎位错和阻止它运动的作用，增加了位错滑移的能量，导致了掺氮硅单晶机械强度的增加。理论计算表明，氮是硅中钉扎位错能力最强的杂质，其钉扎能力明显大于间隙氧原子。在掺氮硅单晶中，如果氮浓度比间隙氧浓度低两个数量级，则它们对位错的钉扎能力几乎相同，此时硅单晶的机械强度最终取决于氮杂质，而不是氧杂质。

3.4　硅单晶中氮对氧沉淀、氧施主和内吸杂的作用

和硅单晶中的碳原子一样，硅中氮原子也能促进氧沉淀的形成，图 2.8-32 表示的是掺氮和普通直拉硅单晶在 1 000℃ 长时间热处理时氧浓度的变化，从图中可以明显看出，随着热处理时间的延长，掺氮直拉（NCZ）硅单晶的氧浓度快速下降，而普通硅单晶的氧浓度则相对缓慢下降，说明硅中的氮对氧沉淀有促进作用。

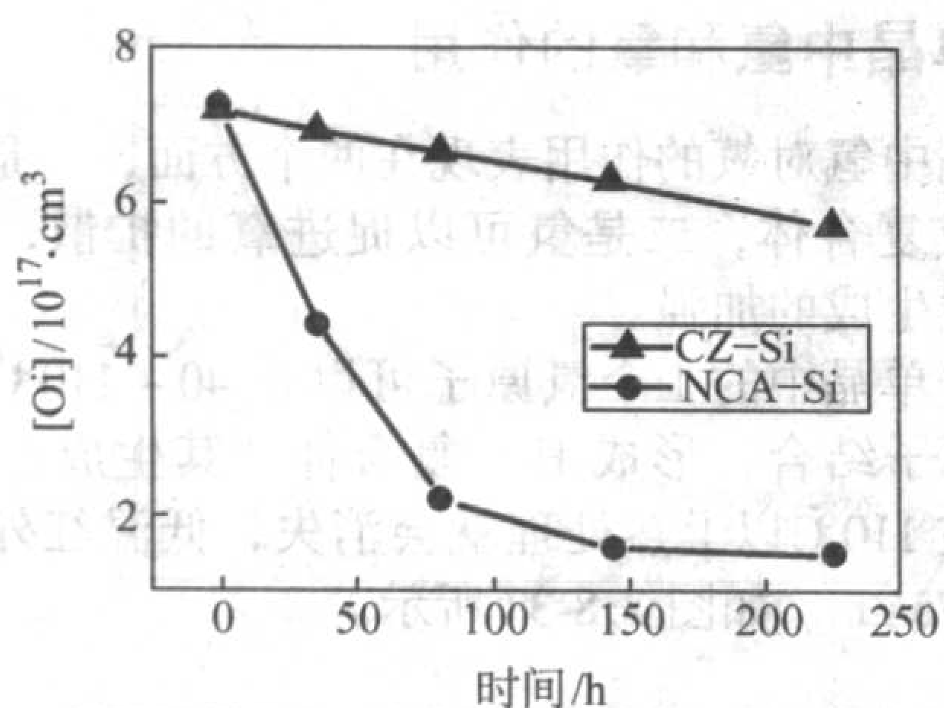
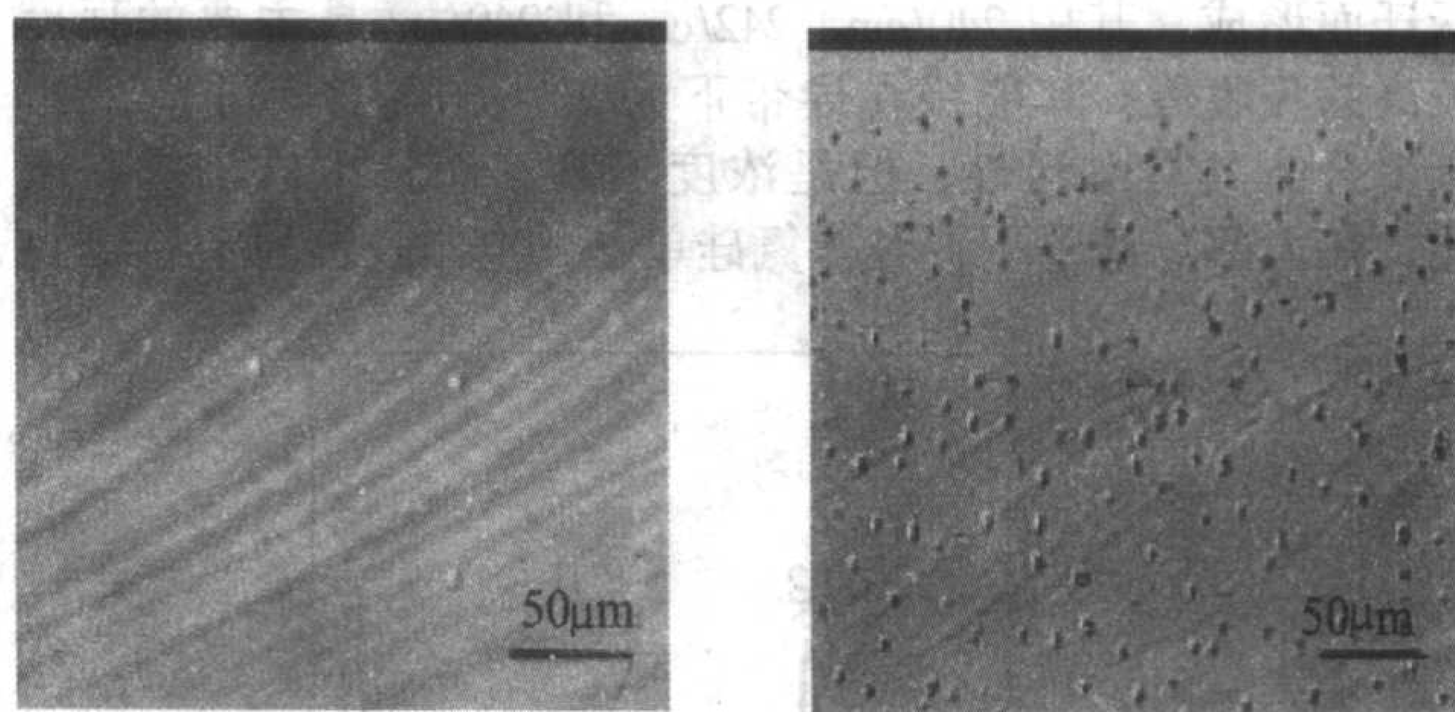


图 2.8-32　掺氮和普通直拉硅单晶在 1 000℃热处理时氧浓度的变化

由于氮的掺入，不仅促进了氧沉淀，而且影响了氧沉淀的形态。掺氮硅单晶在经历 700℃，4 h 预处理后再经历在 1 050℃，16 h 热处理，其氧沉淀的形态与普通直拉硅单晶中的不同，它是由 4 个（111）晶面和 2 个（100）晶面组成的小立方体形，其边长为 30～50 nm（300～500 Å），对基体有明显的应力，在硅晶体中还发现有层错同时存在，但没有冲出型位错。

研究还表明，硅中氮原子在短时间低温热处理时，可以抑制热施主，而在长时间热处理时，对热施主的总浓度影响不大。不仅如此，硅中的氮原子还可以抑制新施主的产生，在 650℃长时间热处理时，掺氮硅单晶几乎没有新施主产生。

利用氮可以促进氧沉淀的性质，掺氮硅单晶的内吸杂工艺可以改造，杨德仁等人提出了掺氮硅单晶的一步内吸杂工艺，图 2.8-33 显示的是掺氮和普通直拉硅单晶片在经历 1 150℃，4 h 热处理后的截面光学显微照片，由图可知，对于普通直拉硅单晶，体内仅有少量的沉淀，没有洁净区和大量吸杂点的形成，而掺氮直拉硅单晶片中，可以明显看出在近表面有 20 μm 的洁净区，在体内有大量的氧沉淀。显然，一步热处理内吸杂工艺可以有效地节约热处理时间和工艺，降低集成电路的生产成本。



(a) 普通直接硅单晶片　　(b) 掺氮直接硅单晶片

图 2.8-33　掺氮和普通直拉硅单晶片在经历 1 150℃，4 h 热处理后的截面光学显微照片

3.5　硅单晶中氮-氧复合体

硅单晶中氮对氧沉淀、氧施主和内吸杂工艺的影响，其根本原因在于氮和氧的互相作用。在热处理过程中，氮首先和氧作用，形成氮氧复合体，如图 2.8-27 掺氮直拉硅单晶室温红外光谱所示，其中 963/cm 和 766/cm 峰是氮对的局域振动吸收，1 026/cm，996/cm 和 801/cm 是氮-氧复合体的吸收峰。氮-氧复合体的形成是在 450～750℃ 的温度范围内，在这个温度范围内热处理，氮对的浓度会逐渐下降，氮-氧复合体的浓度会逐渐增加，图 2.8-34 显示的是掺氮硅单晶在 450℃、550℃和 650℃热处理 24 h 后的红外光谱图，从红外光谱中可以知道，和氮相关的 963/cm 吸收峰强度在热处理中下降，而 1 026/cm、996/cm 和 801/cm 氮-氧复合体吸收峰出现，而且在 550℃热处理后，还有 1 018/cm 和 810/cm 与氮-氧复合体相关的吸收峰存在，这说明氮-氧复合体有多种形态，可能有五种不同的类型。

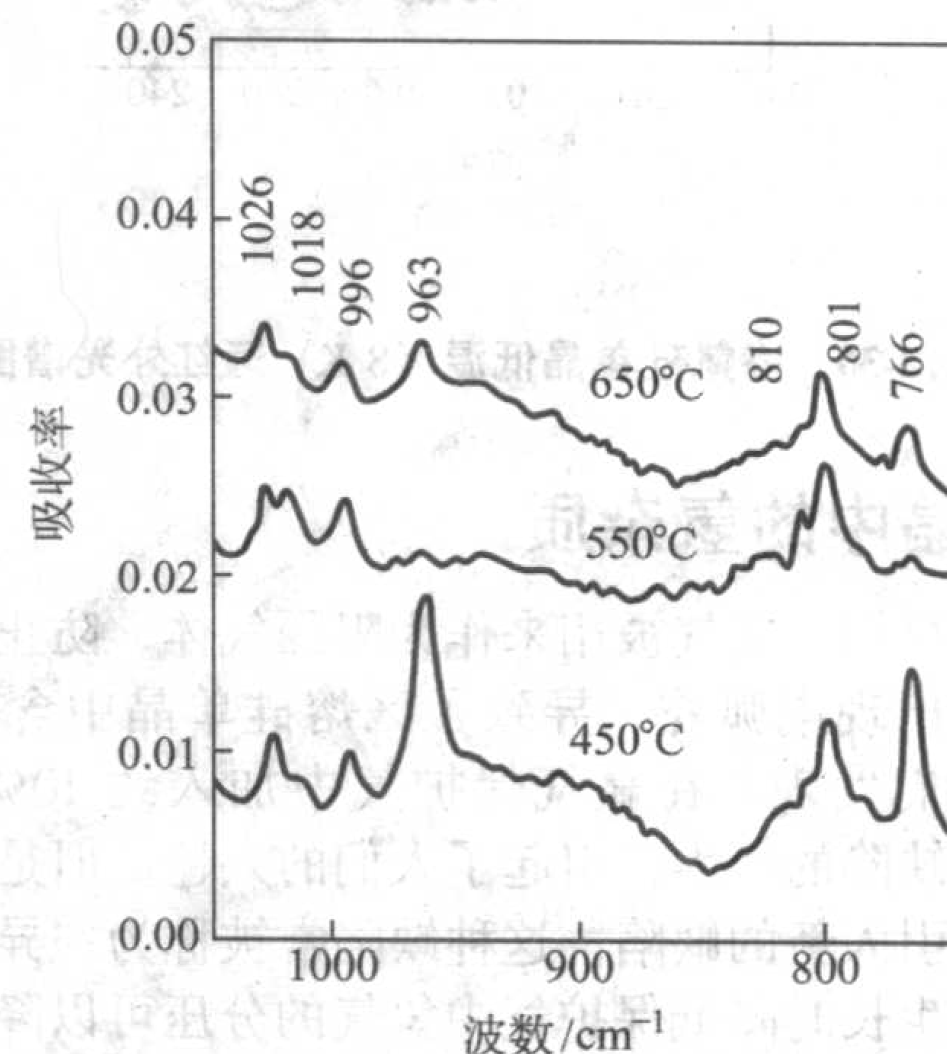


图 2.8-34　高温 1 260℃预处理 1 h 后，掺氮硅单晶在 450℃、550℃和 650℃热处理 24 h 后的红外光谱图

而含有氮-氧复合体的掺氮硅单晶在 750℃以上热处理时，氮-氧复合体会逐渐消失，热处理温度越高，去除氮-氧复合体所需要的时间就越短。图 2.8-35 是含有氮-氧复合体的掺氮硅单晶在 850℃热处理 2 h 前后的红外光谱图，很明显，在热处理后，图谱中和氮-氧复合体相关的 1 026/cm、996/cm 和 801/cm 吸收峰都消失，和氮对相应的 963/cm 和 766/cm 吸收峰依然存在，说明即使氮对杂质仍然存在，氮-氧复合体也能被高温热处理去除。

到目前为止，硅中氮-氧复合体的结构仍然有争议，但是它已经被证明是一种单电子的浅热施主，可能有多种类型，图 2.8-36 显示的是掺氮硅单晶的低温（8 K）远红外光

谱图，这些吸收峰是由于氮-氧复合体在低温下的电子激发跃迁而形成，其中 240/cm、242/cm 和 249/cm 是主要的强度较高的吸收峰，其能级在导带下为 30～60 meV。虽然，氮-氧复合体具有电活性，但是浓度不高，而且可以消除，因此，在大部分情况下，对掺氮硅单晶的电学性能没有影响。

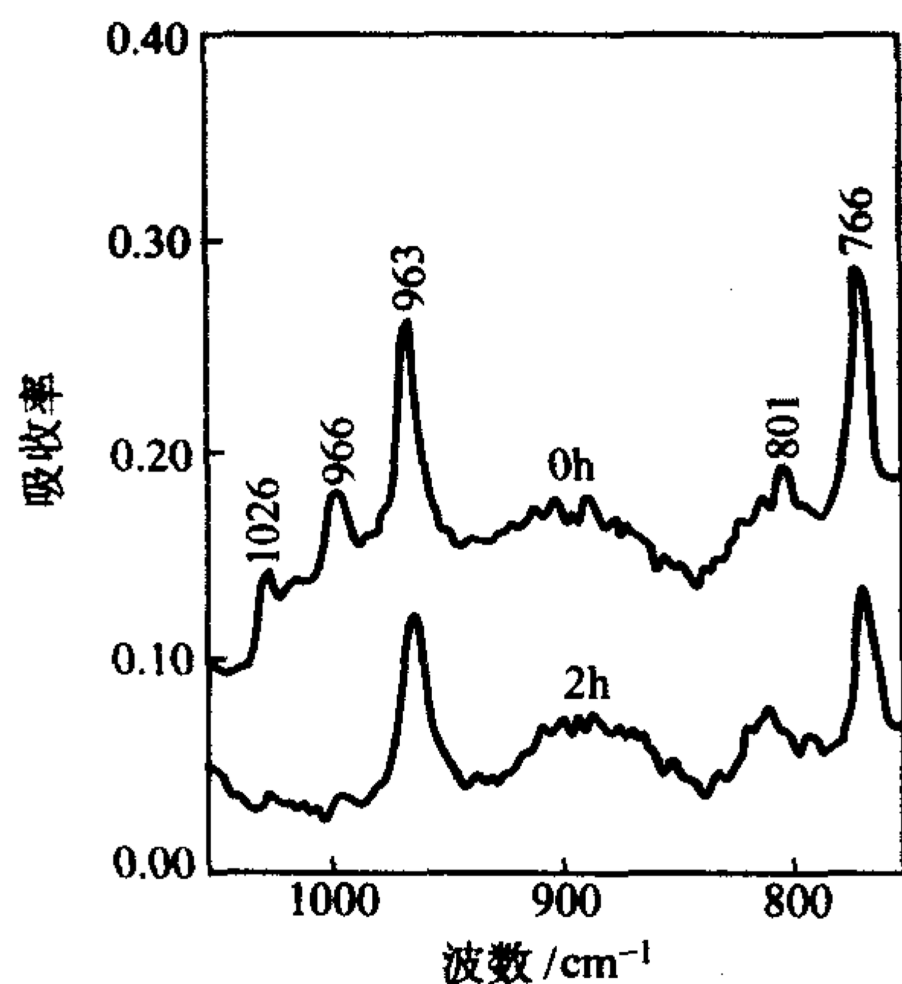


图 2.8-35　掺氮硅单晶在 850℃热处理 2 h 前后的红外光谱图

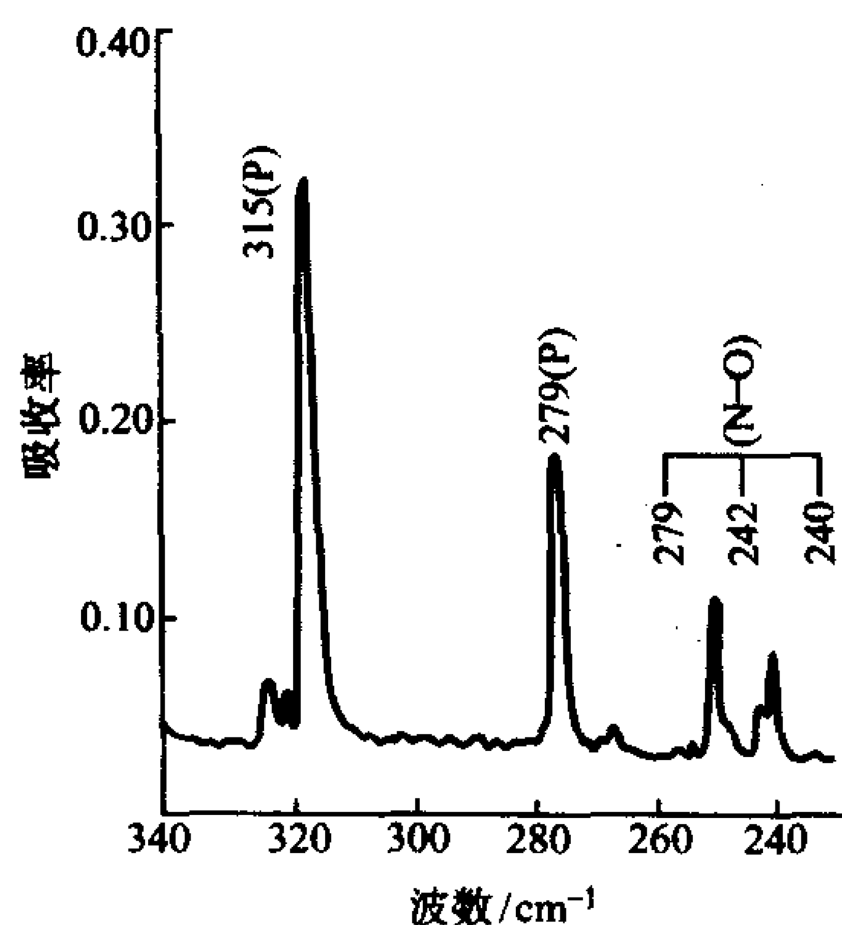


图 2.8-36　掺氮硅单晶低温（8 K）远红外光谱图

4　硅单晶中的氢杂质

在研究早期，氢气被用来作为阻隔气体，防止感应线圈和晶体之间出现电弧花，导致了区熔硅单晶中含有少量的氢；后来人们发现，在氩气保护气中加入约 10% 的氢气，能抑制漩涡缺陷的产生，引起了人们的兴趣。但是，区熔硅中的氢也能引入新的缺陷，这种缺陷常被称为“异常缺陷”，尽管在晶体生长时降低保护气中氢气的分压可以降低区熔硅中的氢浓度，可仍然不能避免这种缺陷，会导致硅单晶中出现微裂纹，因此，在现代区熔硅单晶生长工艺中，已很少利用氢气作为保护气。但是，自 20 世纪 70 年代以来，研究者又发现，对硅单晶和硅多晶进行氢化处理，可以钝化硅晶体中的杂质和缺陷的电活性，能够改善它的电学性能。因此，硅晶体中氢的性质又得到广泛注意。

4.1　硅单晶中氢的基本性质

区熔硅单晶在晶体生长时，通过在保护气中加入少量氢气，可以在区熔硅单晶中引入氢原子。除此而外，氢原子基本上是在器件工艺过程中进入硅晶体的，主要是通过硅晶体在氢气、等离子氢气氛或空气中热处理而引入。研究证明，硅单晶在水汽或含氢气体或空气中于低温（450℃左右）热处理，氢原子就可能进入硅晶体。

硅晶体在氢气中高温热处理时，氢原子极易扩散进入硅晶体，研究者常用这种方法确定氢在硅中的固溶度和扩散系数。硅单晶中氢的固溶度随温度的变化为：

$$C(\mathrm{H}) = 9.1\times10^{21}\,\mathrm{e}^{-1.8\mathrm{eV}/kT}/\mathrm{cm}^3 \qquad (2.8\text{-}16)$$

式中，$C(\mathrm{H})$是硅中氢的浓度；k 是波耳兹曼常数；T 是绝对温度。

和硅原子相比，氢原子的半径很小，在硅中扩散很快。其在 970～1 200℃温度范围内的扩散系数为：

$$D = 7.9\times10^{-3}\,e^{-0.48\mathrm{eV}/kT} \qquad (2.8\text{-}17)$$

实际上，在室温下硅中的氢不能以单独氢原子或氢离子的形式出现，而是以复合体的形式存在，因此，氢在硅中的扩散还受其他因素的影响，有研究指出，在富氧的硅单晶中，氢扩散相对较慢，因为氧或氧沉淀可能和氢结合，阻碍了氢的扩散；而在富碳的材料中，氢扩散则较快。当氢和空位点缺陷结合时，它的扩散可能要比通常高几个数量级。

虽然在低温液氮以下，氢原子是占据着硅晶格点阵的间隙位置，以正离子或负离子的两种形态出现；但室温时，氢以复合体形式存在；而且在室温附近，硅中氢的固溶度较小，如 250℃时的平衡固溶度仅为 $6\times10^3/\mathrm{cm}^3$ 左右，这就给硅中氢浓度的测量带来了困难。McQuaid 等人利用高硼浓度掺杂的硅单晶样品，在高温下氢气中热处理，然后快速淬火，使氢和硼原子结合形成 H-B 复合体并保持在晶体中，而这种复合体是可以被红外光谱所探测，和低温红外光谱中的 1 904/cm 吸收峰相对应，从而可以间接地测量氢的固溶度。

4.2　硅单晶中氢和氧的作用

硅单晶中氢对氧的作用表现在两个方面，一是氢和氧作用能结合成复合体，二是氢可以促进氧的扩散，导致氧沉淀、氧施主生成的加强。

直拉硅单晶中的 1 个氢原子可以在 40～110℃温度之间和 1 个氧原子结合，形成 H-O 复合体，其生成速率在 80℃时最大，在 110℃以上热处理就会消失，低温红外光谱中的峰位为 1 075/cm，如图 2.8-37 所示。

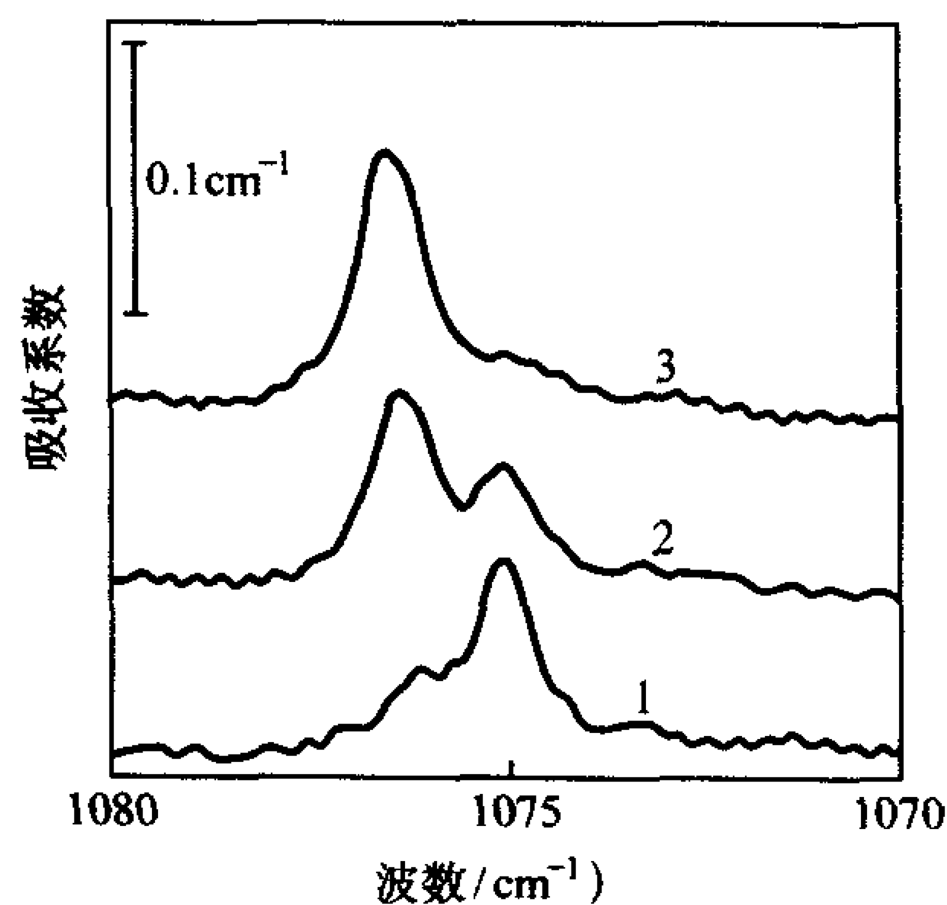


图 2.8-37　含氢硅晶体在 70℃热处理 50 min 后的 H-O 复合体的低温（7 K）红外光谱图
1—氢掺杂；2—氢和重氢同时掺杂；3—重氢掺杂

硅单晶中的氢还会以一种媒介作用，促进氧的扩散，最终促进硅单晶中的氧沉淀或氧施主的形成。图 2.8-38 显示的是直拉硅单晶分别在氩气和氢气中 650℃热处理时，新施主浓度随热处理时间的变化。从图中可以看出，随热处理时间的增加，新施主浓度增加，而在氢气氛中热处理的硅片的新施主浓度在初期始终大于氩气氛中热处理硅片的新施主浓度，说明了氢对新施主产生的促进作用。

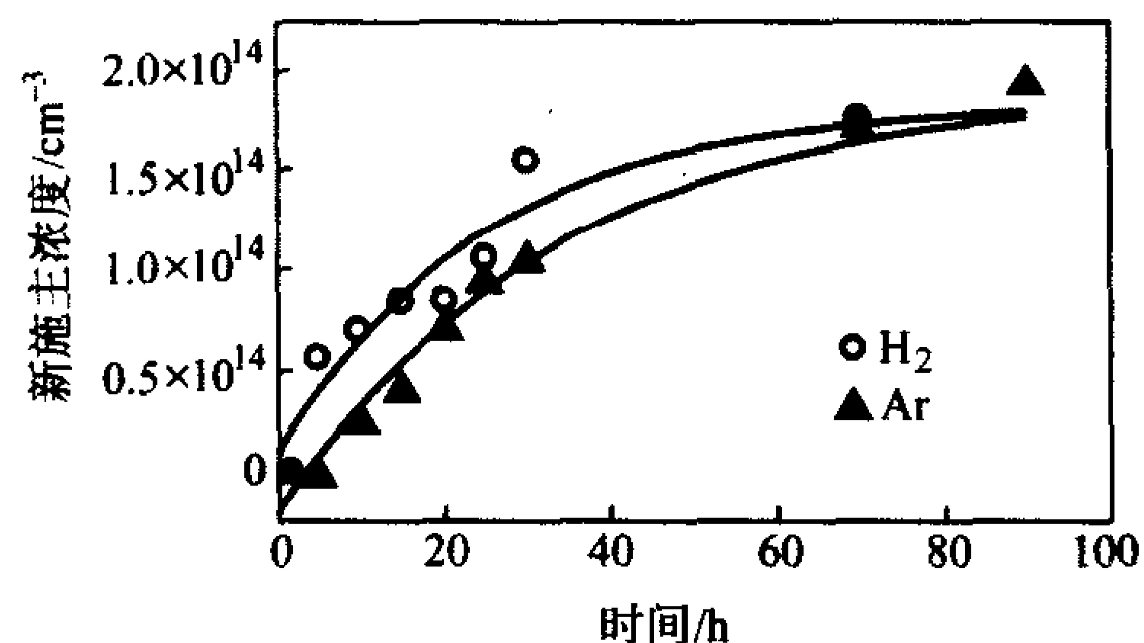


图 2.8-38 直拉硅单晶分别在氢气和氩气中 650℃热处理时，新施主浓度随热处理时间的变化

4.3 硅单晶中氢对电活性缺陷的钝化作用

在硅单晶中可能存在由各种杂质、复合体和缺陷引起的浅施主、浅受主和深能级中心，对硅单晶的少数载流子寿命等造成重要的影响，而导致硅单晶和器件性能的下降。研究已经证明，氢的掺入，可以和这些杂质以及缺陷作用，有效地钝化电活性，导致硅单晶和器件质量的改善。

硅中的氢和浅施主结合，形成 $D_- - H_+$ 中心，和浅受主结合，形成 $A_+ - H_-$ 中心，而和钴、铂、金、镍等深能级金属结合，形成复合体，去除或形成其他形式的深能级中心，在高浓度掺硼的硅单晶中，氢容易和硼原子结合，形成氢硼复合体（H-B），它还能和位错上的悬挂键结合，达到去除位错电活性的目的。它也和空位作用，形成 VH_n 复合体；它与自间隙原子结合，会产生 IH_2 复合体。氢还能钝化由氧化而引入的点缺陷，改善器件的性能。

图 2.8-39 是 p 型掺磷区熔硅单晶的深能级瞬态谱，由图可知，硅单晶中存在金杂质，深能级瞬态谱图中在 270 K 左右有一个相关的峰；在 300℃氢气中热处理 2 h，其金杂质的状态并不改变；而在氢等离子气氛中 300℃处理 2 h，相应的金杂质峰在深能级瞬态谱图中就消失；说明了离子氢和金杂质作用，钝化了其电活性。而在 400℃继续热处理 2 h，部分氢-金复合体会分解，导致部分金金属恢复电活性，在深能级瞬态谱图中又出现相应的峰。

氢还可以钝化硅晶体的表面或界面。硅的表面和界面含有大量的悬挂键，这些悬挂键可以形成表面态或界面态，从而引入复合中心，降低少数载流子的寿命。当氢原子进入硅晶体时，它和悬挂键结合，消除了表面态和界面态，能改善材料的性能。图 2.8-40 是二极管在反向电压时的 *I-V* 特性曲线，从图中可以看出，表面经过氢钝化的二极管的反向电流要比表面经过常规 SiO_2 钝化的二极管的反向电流低得多，即使在 500℃热处理 30 min 后，部分氢已经外扩散，其二极管的反向电流仍然要比表面经过常规 SiO_2 钝化的二极管的反向电流低得多，这说明了氢对表面态的钝化作用。而且，即使在经过 SiO_2 钝化的表面再进行氢化处理，硅器件的性能还能有所改善，这是因为硅原子的半径较大，在表面会有相当的悬挂键没能及时被氧钝化，此时的氢原子可以起拾遗补漏的作用。

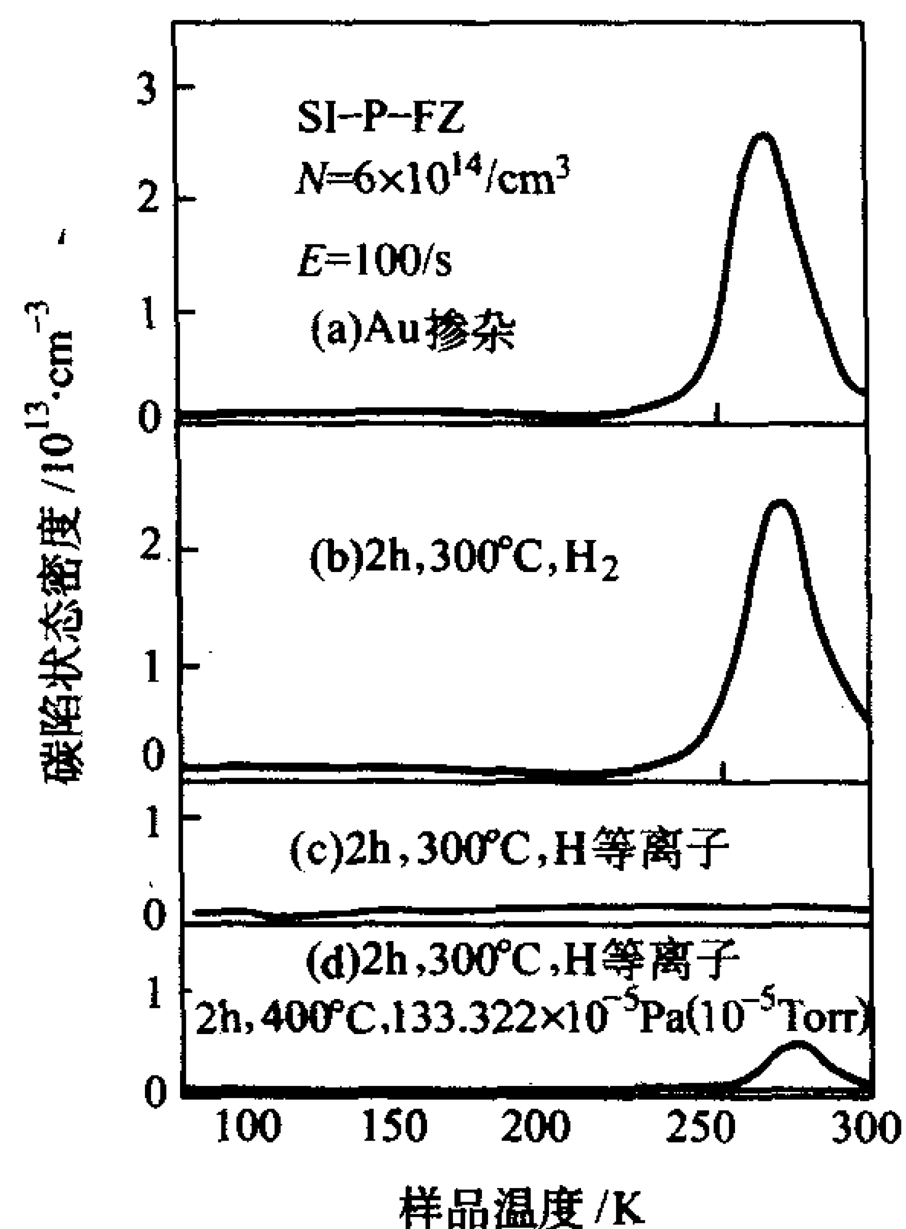


图 2.8-39 磷掺杂区熔硅单晶的深能级瞬态谱图。它们分别为原生金杂质掺杂硅晶体、在 300℃氢气中热处理 2 h、在氢等离子气氛中 300℃处理 2 h 和 300℃处理后 + 400℃热处理 2 h

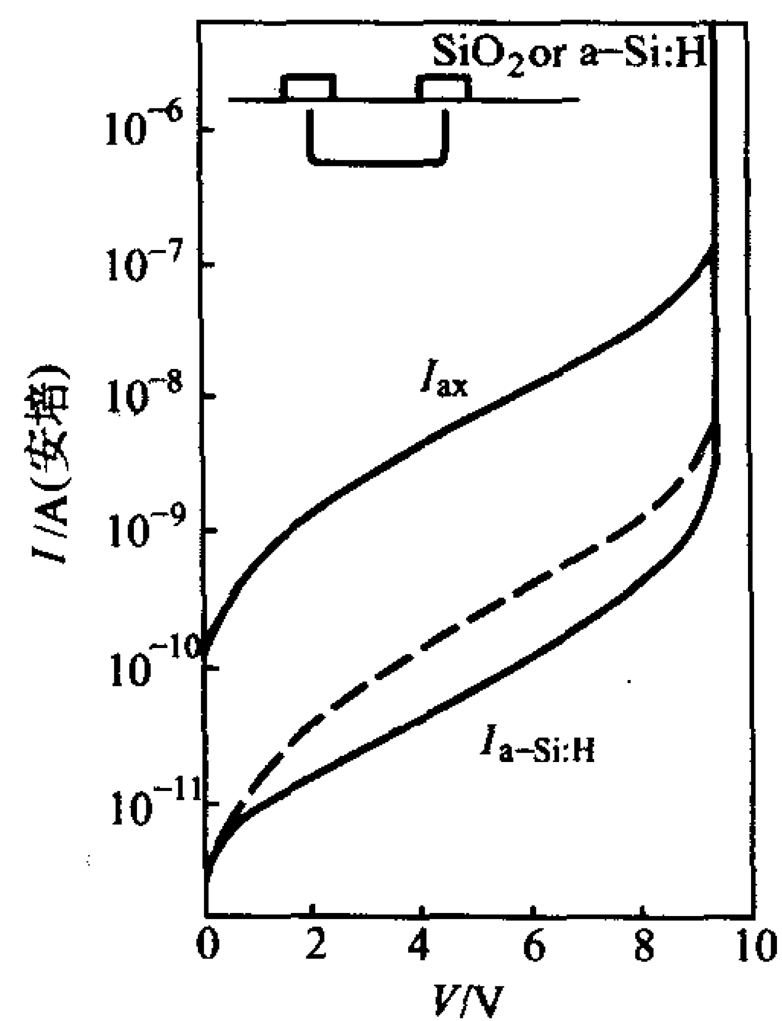


图 2.8-40 二极管在反向电压时的 *I-V* 特性曲线
$I_{ax}SiO_2$ 钝化；I_a-Si:H 氢钝化；
虚线是氢钝化样品经过 500℃热处理 30 min

氢不仅可以钝化有害杂质和缺陷的电活性，而且可以钝化硅单晶中掺杂剂，造成对硅单晶电阻率的影响。掺硼的 p 型硅单晶在不同温度热处理时，会形成 H-B 复合体，使得硅单晶中硼浓度降低，造成电阻率的升高。而且其他施主杂质，如铝、镓、铟等，也能和氢形成复合体，导致电阻率的上升。进一步地，氢也和受主结合，形成氢-受主对，如在 130℃氢等离子热处理 n 型掺磷硅单晶后，有 H-P 复合体形成，在 150℃左右其形成速率达到最大值。但是，由于硅中氢的浓度不高，一般情况下，氢的掺入对硅单晶的电阻率影响不大。

编写：杨德仁（浙江大学）

第 9 章　硅单晶中的过渡族金属杂质和吸杂

过渡族金属是硅材料中非常重要的杂质元素。由于采用很纯的多晶硅原材料和很小的分凝系数，所以过渡族金属主要是在硅片加工或器件制备过程中沾污硅片的，比如在硅片滚圆、切片、倒角、磨片等硅片制备过程中，在硅片清洗或湿化学抛光过程中，使用不够纯的化学试剂，工艺过程中来自于不锈钢设备的沾污以及铜引线的使用等。这些过渡族金属在硅中可能以不同的化学态存在，如间隙态，替代态，复合体或沉淀。但是，不论以何种形式的化合态存在于硅中，它们都很可能会导致硅器件的性能降低，甚至失效，具体表现为：降低硅材料或器件中少数载流子的寿命；增加 pn 结的漏电流；降低双极性器件的发射极效率；导致 MOS 器件的氧化层被击穿等等。然而以不同形式存在的过渡族金属对硅材料或器件有着不同程度的影响，而它们的存在形式又主要取决于硅中过渡族金属的固溶度、扩散速率等基本的物理性质和材料或器件的热处理工艺，特别是热处理温度和冷却方式。

本章主要介绍过渡族金属在硅中的固溶度和扩散系数；过渡族在硅中的重要存在形式、复合体和沉淀的形成规律；讲述过渡族金属对材料电学性能的影响；最后介绍过渡族金属的外吸杂和内吸杂工艺和机理。

1　过渡族金属在硅中的固溶度

在本征硅中，大部分过渡族金属（如 Cu，Ni 和 Fe 等）主要占据的是间隙位置，而 Zn，Pt 和 Au 在硅中则主要是以替位位置存在。在共晶温度以下，以间隙态存在的金属的化学势与以金属硅化物存在的金属的化学势平衡，所以在共晶温度以下时，以间隙态存在的过渡族金属在本征硅中的浓度 $[M_i]^{sol}$ 为：

$$[M_i]^{sol} = 5\times10^{22}\exp\left(\frac{\Delta S_{sil}^0}{K}-\frac{\Delta H_{sil}}{KT}\right) \tag{2.9-1}$$

式中，ΔS_{sil}^0，ΔH_{sil} 分别表示过渡族金属从金属硅化物转变为自间隙金属而导致的熵变和焓变，K 为玻尔兹曼常数。图 2.9-1 显示的是在共晶温度下以间隙态存在的过渡族金属的固溶度随温度的变化图。从图中可以发现，硅中过渡金属的固溶度随温度的降低而迅速下降。根据图中金属固溶度的变化趋势进行外推，可以大略估计到，在室温下过渡族金属在硅中的浓度仅为每立方厘米几个原子，所以在高温下被金属沾污的硅片，体内的过渡族金属很容易在随后的冷却过程中沉淀下来或形成复合体。同时，从图中还可以发现，即使在相同的温度下，不同金属的固溶度也不同，相差可以达到几个数量级。在硅中饱和固溶度最大的过渡族金属是铜和镍，其浓度大约为 $10^{17}/cm^3$。

在共晶温度以上时，与固态平衡的是浓度随温度变化的液相，所以在共晶温度以上时，以间隙态存在的过渡族金属在本征硅的浓度 $[M_i]^{sol}$ 为：

$$[M_i]^{sol} = [M_{liq}]\exp\left(\frac{\Delta S_M^0-\Delta S_M^{fus}}{K}-\frac{\Delta H_M-\Delta H_M^{fus}}{KT}\right) \tag{2.9-2}$$

式中，$[M_{liq}]$ 表示的是在熔硅中过渡金属所占的摩尔分数，ΔS_M^0 和 ΔH_M 分别代表的是由固态金属原子转变为自间隙态金属的熵变和焓变，而 ΔS_M^{fus} 和 ΔH_M^{fus} 则表示的是过渡族金属熔化熵和焓。表 2.9-1 和表 2.9-2 分别总结了本征硅中过渡族金属与固溶度有关的参数。

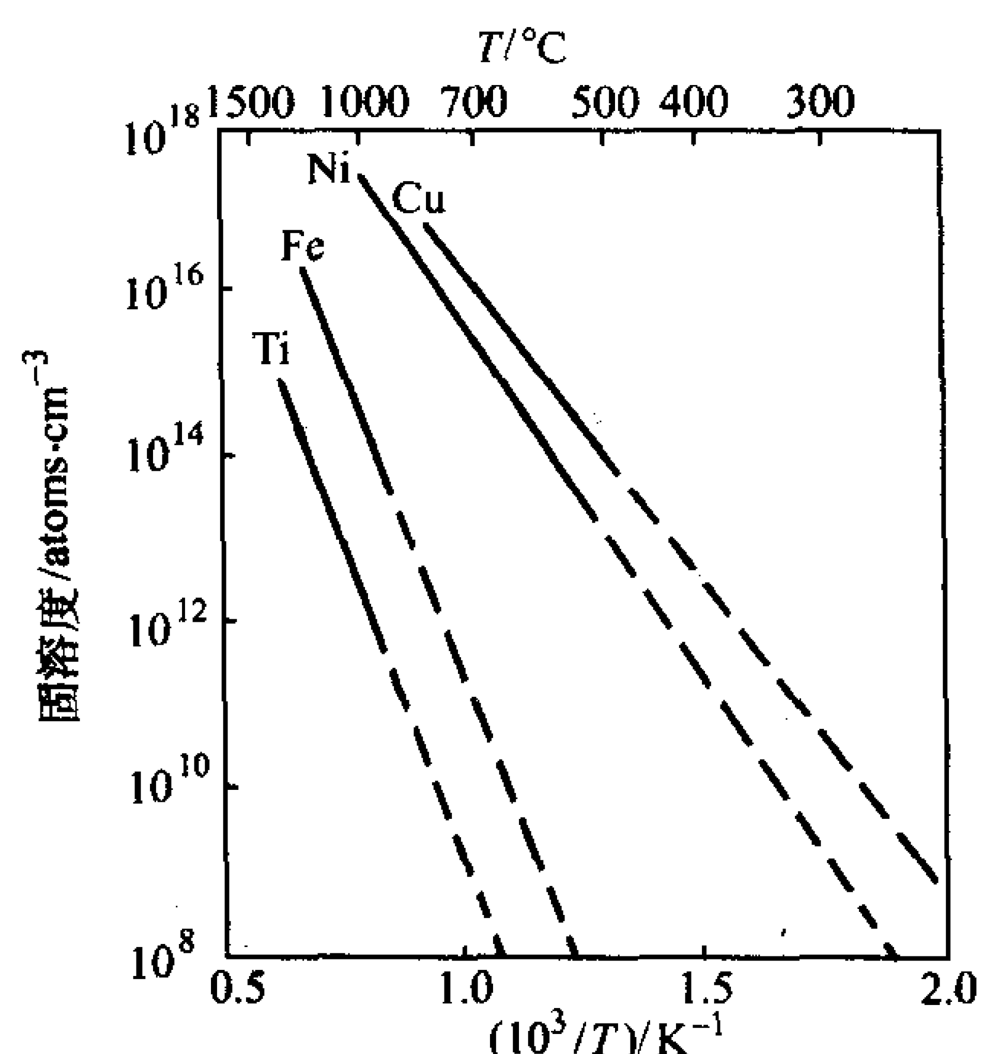


图 2.9-1　共晶温度下硅中一些典型过渡族金属的固溶度随温度的变化（实线代表实验数据，虚线代表根据实验数据外推得到的数据）

表 2.9-1　本征硅中共晶温度以下间隙态过渡族金属固溶度的有关参数

元素	共晶温度 /℃	化学态	ΔH_{sil} /eV	$\frac{\Delta S_{sil}^0}{K}$	温度范围 /℃
Ti	1 330	间隙	3.0	3.9	1 000 ~ 1 200
		间隙	3.05	4.2	950 ~ 1 200
V	1 400	间隙	4.04	11.0	950 ~ 1 200
Cr	1 335	间隙	2.79	4.7	900 ~ 1 200
Mn	1 142	间隙	2.81	7.3	900 ~ 1 142
		间隙	2.78	6.9	920 ~ 1 078
Co	1 259	间隙	2.99	7.5	1 000 ~ 1 250
		间隙	2.83	7.6	700 ~ 1 200
Ni	993	间隙	1.68	3.2	500 ~ 993
Cu	802	间隙	1.75	4.9	650 ~ 802
		间隙	1.49	2.5	500 ~ 802
Pd	892	间隙	1.64	1.2	600 ~ 892

表 2.9-2　本征硅中共晶温度以上间隙态过渡族金属固溶度的有关参数

元素	$\Delta H_M-\Delta H_M^{fus}$/eV	$\frac{\Delta S_M^0-\Delta S_M^{fus}}{K}$
Mn	1.92	1.18
Fe	2.4	4.1
Ni	1.25	-0.17
Cu	1.6	3.4
Pd	1.34	-0.8

除了温度外，掺杂剂浓度也会显著地影响过渡族金属在硅中的固溶度。在掺杂硅中过渡族金属在硅中的固溶度 $[M_i^{(\sigma)}]^{sol}$ 可以表示为：

$$[M_i^{(\sigma)}]^{sol} = \exp\left(\frac{\Delta S_{sil}^0}{K}-\frac{\Delta H_{sol}}{KT}-\frac{\sigma\,(E_F-E_F^i)}{KT}\right) \tag{2.9-3}$$

式中，σ 表示过渡族金属的化合价，E_F 和 E_F^i 分别表示实际的和本征的费米能级。

由此可见，掺杂浓度对实际费米能级的影响，导致了金属在硅中固溶度的变化。图2.9-2表示的是在700℃时过渡族金属在硅中的固溶度随费米能级的变化。从图中可见，不论是在p型硅中还是在n型硅中金属的固溶度都有显著地增加，而且在n型中更为明显。

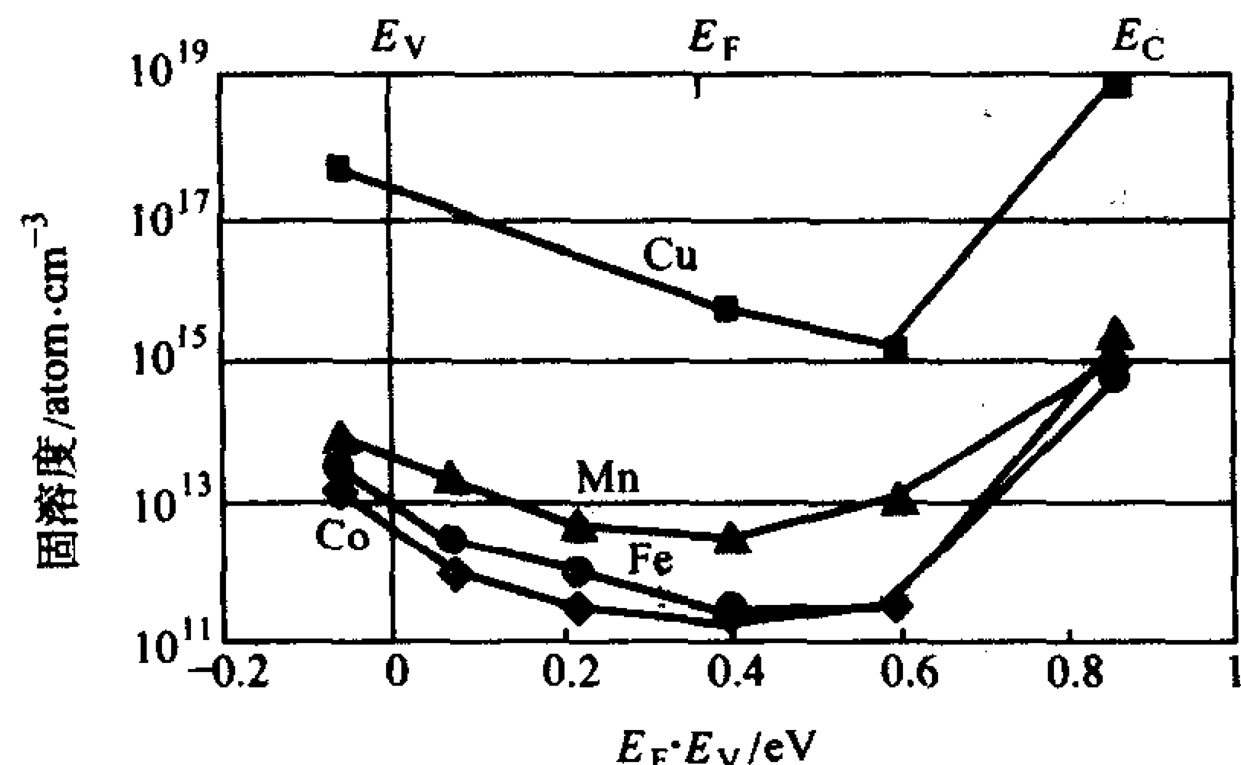


图2.9-2　700℃下过渡族金属的固溶度随费米能级的变化

对于Zn、Pt和Au，它们在硅中主要是以替位位置存在，所以它们在本征硅中的固溶度主要是替位态金属的浓度，也是通过实验来测定的，具体测试数据见表2.9-3。

表2.9-3　本征硅中替位态过渡族金属固溶度的有关参数

元素	化学态	$\Delta H_M-\Delta H_M^{for}$/eV	$\frac{\Delta S_M^0-\Delta S_M^{for}}{K}$
Zn	替代	2.61	8.2
Pt	替代	1.46	−0.1
	替代	1.6	0.82
Au	替代	1.92	2.8

2　过渡族金属在硅中的扩散

与硅中的掺杂剂磷或硼相比，过渡族金属在硅中的扩散速度很快，最快的扩散系数可达10^{-4} cm^2/s^{-1}。比如Cu，在室温下它可以在一个小时内在硅中扩散几个甚至几十个毫米，而在高温下它可以在10 s内穿透650 μm厚的硅片。

大部分的过渡金属在硅中主要是以间隙态存在的，如Cu和Fe等。它们在硅中的扩散系数可以根据实验来获得，如图2.9-3。从图中可以观察到，对于Cu，它的扩散系数随温度的下降而下降，但下降得并不是很快，在室温下仍然具有很高的扩散速度。这些金属在硅中的扩散还可以用式2.9-4表示：

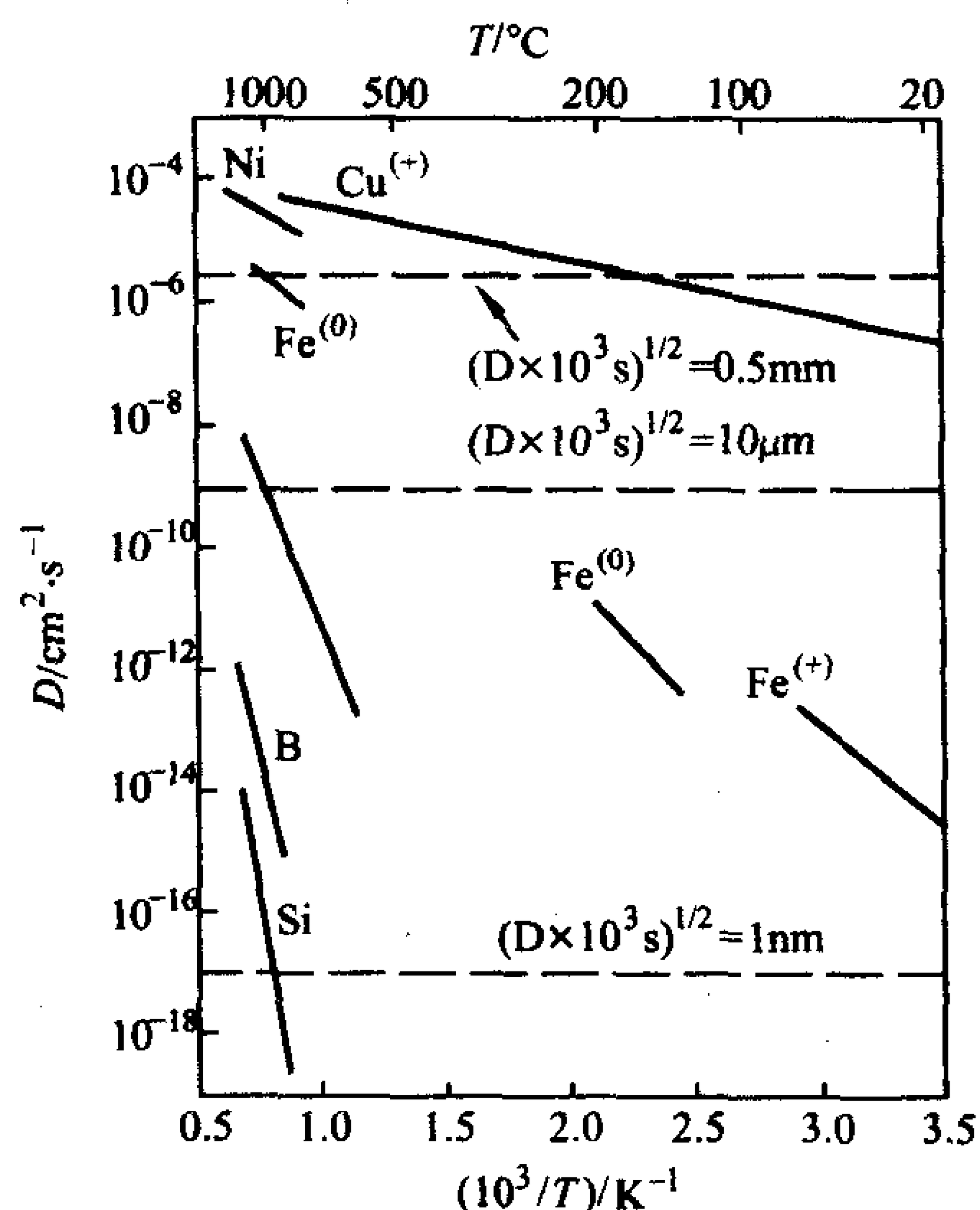


图2.9-3　硅中过渡族金属的扩散系数随温度的变化

$$D=D_0\exp(-H_m/KT)\qquad(2.9\text{-}4)$$

式中，H_m是迁移焓；D_0是扩散因子。

Cu，Ni和Co在硅中具有较大的扩散系数，所以又称它们为快扩散金属；而Fe，Mn，V，Ti，Cr和Sc在硅中则被称为慢扩散元素。它们扩散速度的不同被认为是由于前者在六面体间隙中的位置更稳定，因而具有更低的迁移焓H_m，而后者在四面体间隙中的位置更稳定，但需要克服很大的迁移焓H_m。表2.9-4示出了硅中间隙态过渡金属的扩散系数。

表2.9-4　硅中间隙态过渡族金属的扩散系数

元素	$D_0/10^{-2}$ cm^2·s^{-1}	H_m/eV	温度范围/℃
Ti	1.45	1.79	950～1 200
	12	2.05	600～1 150
V	0.9	1.55	600～1 200
Cr	1.0	1.0±0.3	900～1 250
	3.0	1.1±0.3	850～1 050
	1.3	0.85	20～100
	0.26	0.81±0.02	30～1 050
Mn	(0.069±0.022)	0.63±0.03	900～1 200
	0.24	0.72	14～90
	0.13	0.70	14～1 200
Fe	0.62	0.87	1 000～1 250
	0.095	0.65	800～1 070
	2.3	0.77	30～85
	0.11	0.66	0～1 070
	0.13	0.68	30～1 250
Co	0.097	0.37	900～1 100
Ni	0.2	0.47	800～1 300
Cu	0.5	0.4	400～700
	0.3	0.15	
	0.45	0.39	−95～900
	0.03±0.003	0.18±0.01	−8～900
Pd	8	0.89	950～1 150
	0.03	0.22	

而其他如Zn、Pt和Au等，在硅中则主要是以替位位置存在的，它们在硅中的扩散一般需要点缺陷的帮助。其扩散机理可以分为两种：踢出原理和分离原理。自间隙的金属M_i取代硅原子在晶格中的位置，从而形成替位位置的金属M_s和自间隙的硅原子I，这就是所谓的“踢出原理”，其反应可以通过如下公式表示：



$$M_i\leftrightarrow M_s+I\qquad(2.9\text{-}5)$$

另外一种机制便是分离机制，即替位的金属M_s移动至间隙位置，产生一个间隙态的金属M_i和一个空位V，这个反应可以表示为：



$$M_s\leftrightarrow M_i+V\qquad(2.9\text{-}6)$$

其中式（2.9-5）是吸热反应，而式（2.9-6）则是放热反应。

用实验测试替代态过渡族金属在硅中的扩散系数，一般有两种方法：一种是在无位错单晶中，用过渡族金属的外扩散法测试，其测试结果见表2.9-5。另外一种方法是在高位错密度的单晶中，由于高密度位错的存在，使得点缺陷的浓度为一个固定值，然后采用无限源的扩散法测试替代态过渡

族金属在硅中的扩散系数，其测试结果见表2.9-6。

表2.9-5　用无位错单晶硅中过渡族金属外扩散法所测试的替位位置过渡族金属的扩散系数

元素	$D_0/10^{-2}\ cm^2\cdot s^{-1}$	H_m/eV	温度范围/℃
Zn	1.1×10^3	3.11 ± 0.53	900～1 200
	5.3	2.54 ± 0.04	870～1 208
Pt	5.9	3.97	1 000～1 300
Au	2.3×10^2	3.03 ± 0.07	800～1 192

表2.9-6　用高位错单晶硅中过渡族金属无限源扩散法所测试的替位位置过渡族金属的扩散系数

元素	$D_0/10^{-2}\ cm^2\cdot s^{-1}$	H_m/eV	温度范围/℃
Zn	6.9	2.14 ± 0.12	849～1 200
	0.64	1.85 ± 0.07	870～1 208
Pt	2.13	1.79 ± 0.28	954～1 119
Au	44	2.23 ± 0.18	907～1 154
	0.46	1.70 ± 0.08	950～1 291

3　金属复合体

从图2.9-1可以发现：过渡族金属在硅中的固溶度随着温度的降低而急剧下降，所以在高温下扩散进入硅中的过渡族金属，冷却到室温后会导致很大的过饱和浓度。一方面，从热力学上说，这些过饱和的过渡族金属原子是不稳定的；另外一方面，即使在室温下，过渡族金属在硅中的扩散速度也比较大。所以，这些过饱和过渡族金属会在硅中形成复合体或沉淀相。至于是以复合体为主还是以沉淀为主，这主要决定于过渡族金属的扩散速度和热处理方式。对于Cu、Ni和Co这些快扩散元素，在硅中比较容易形成沉淀相，而对其他的慢扩散元素，如Fe，在硅中更容易形成复合体。

硅中可能形成的金属复合体很多，如铁、铬、锰都能和硼、铝、镓、铟分别反应，形成过渡族金属与掺杂元素复合体，同时铁也能和金、锌等金属反应，生成复合体。经过几十年的研究发现，硅中与铁相关的复合体就有30多种。但除铁金属和硼掺杂剂以外，其他杂质在硅中非常少见，因此，它们的复合体及其引起的缺陷在硅材料和器件中也比较罕见，所以对它们的研究并不是很多，硅中最常见和最重要的金属复合体是铁-硼对。

自1957年Collins和Carlson提出铁-硼对以来，人们对它的研究可以说是在所有过渡族金属复合体中最为深入的。B是p型硅中最常用的掺杂元素，作为受主杂质，一般是带负电荷。在室温时，硼原子处于晶格的替位位置，很难移动，但处于间隙态的带正电荷的铁原子可以短距离迁移。因此，在正负电荷静电吸引的作用下，铁原子和硼原子在硅晶格的<111>方向结合，形成铁-硼对（Fe^+B^-），其反应式为：



$$[Fe^+]+[B^-]\rightarrow[Fe^+B^-] \qquad (2.9\text{-}7)$$

需要说明的是铁-硼对不是化合物。铁和硼之间的距离为0.235 nm，这是三角系中最近邻的距离。铁-硼对在室温下形成速度很快，如通常的5～10 Ω·cm的硼掺杂p型硅材料，铁浓度在$10^{14}/cm^3$左右，假设将样品快速冷却到室温并在室温下保持一天后，硅中几乎所有的铁都会形成铁-硼对。其形成速度主要是受扩散过程控制，由于硅中硼的浓度远远高于铁的浓度，硼的浓度决定了铁和硼之间的距离，所以该反应速度主要取决于硅中硼的浓度。这样，高浓度硼掺杂的低阻硅中，铁硼复合体的形成速度总是很快。关于硅中铁-硼对结合能的大小，前人的研究结果很分散，分布在0.45 eV～0.65 eV之间，而分解能则大约为1.2 eV。当硅样品在200℃以上退火或在强光照射下，铁-硼对会重新分解。

不论是间隙铁，还是铁-硼对，它们都会在硅的禁带中引入深能级，从而导致少数载流子寿命的降低。铁-硼对在硅中会引入$E_v+0.1$ eV的施主能级和$E_c-0.25$ eV左右的受主能级。室温下，铁-硼对对电子的捕获面积为2.5×10^{-15} cm^2，而对空穴的捕获面积为3×10^{-14} cm^2。由于间隙铁和铁-硼对对硅中少数载流子的复合强度不同，所以可以通过测试铁-硼对分解前后少数载流子扩散长度的变化来测试硅中间隙铁的浓度，其计算公式如下：

$$N_{Fe}=1.06\times10^{16}\times(L_1^{-2}-L_0^{-2}) \qquad (2.9\text{-}8)$$

式中L_0和L_1分别表示铁-硼对分解前后少数载流子的扩散长度。需要指出的是，公式（2.9-8）只适用于表面光电压的低注入测试，前面的系数1.06×10^{16}也只适用于电阻率为5～10 Ω·cm的晶体硅，如果掺杂浓度不同，该系数会变化。

除了铁硼复合体之外，铁金复合体在硅材料和器件中偶尔也能观察到，这种复合体一般在200～300℃左右生成，它的结合能很大（为1.22 eV），因此，在低温下它很稳定，一旦形成，只有在高温下才能分解。它也会强烈降低少数载流子的寿命，在器件工艺中应尽量避免。

研究硅中过渡族金属复合体规律的常用手段有深能级瞬态谱（DLTS）、表面光电压法（SPV）和电子顺磁共振（EPR）。

4　金属沉淀

除了可能形成复合体外，过渡族金属在硅片冷却过程中及其室温保存下还比较容易形成沉淀，特别是快扩散过渡族金属铜，镍和钴。沉淀机制可以是均匀成核机制，也可以是非均匀成核机制。如果硅片中存在有位错，层错等缺陷，那么从热力学讲，这些金属会优先在缺陷处沉淀；如果是相对完美的单晶，那么硅片表面则可能是金属优先沉淀的地方。在快冷的情况下，金属一般以均匀形核为主；而在慢冷条件下，金属则主要以非均匀形核为主。通常情况下，两种成核机制都会存在，至于哪种机制占主导地位，则不仅依赖于热处理的温度和冷却速度，还会依赖于金属杂质在硅中的扩散速度。如果硅片中存在不同的缺陷种类，不同缺陷处金属沉淀的规律也不完全相同，吸杂能力也不同。如在硅中利用氧沉淀的内吸杂工艺中，究竟是氧沉淀吸杂能力强，还是氧沉淀诱生的位错或层错的吸杂能力强？对于不同的金属，吸杂机理是否一样？至今这些问题都存在着很大的争议。

大部分金属在硅中会形成稳定的金属硅化物沉淀相。对于3d金属而言，一般形成MSi_2（M=Ti，Co，Ni，Fe）的富硅化合物，而铜和钯是例外，它一般被认为形成Cu_3Si或Pd_2Si的富金属化合物。这些金属硅化物一般都具有CaF_2结构，因此在结构上能够与硅晶体很好的吻合。然而这些金属沉淀的晶格常数与硅晶体的晶格常数往往不同，所以在沉淀和硅基体间会产生晶格失配，从而引入局部应力。经研究发现，$FeSi_2$，$CoSi_2$和$NiSi_2$的晶格常数小于硅晶体的晶格常数，所以对硅基体产生张应力，需要吸收自间隙硅原子；而Pd_2Si和Cu_3Si的晶格常数远大于硅晶体，故对硅基体产生压应力，需要发射自间隙硅原子以释放压力。表2.9-7显示的是金属沉淀时由于晶格失配而需要发射或吸收的自间隙硅原子的数目。

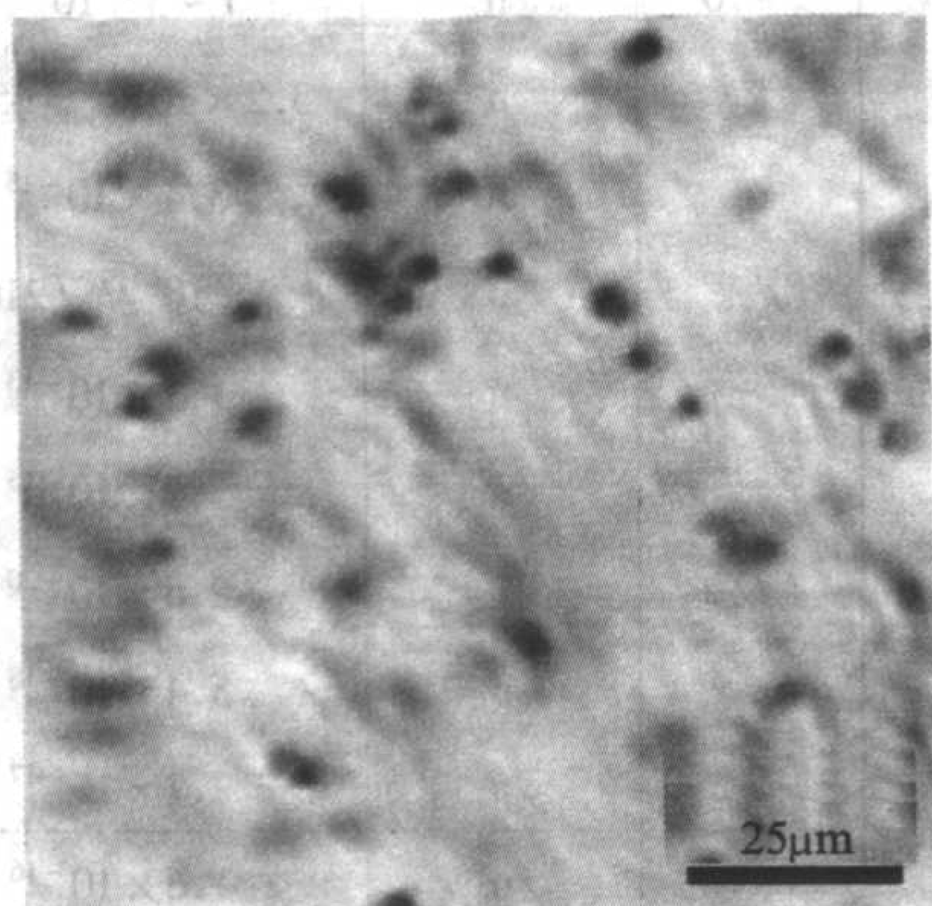
在过去的几十年中，人们对单晶硅中的过渡族金属沉淀规律做了大量的研究，限于篇幅，下面主要介绍硅中铁，铜和镍的沉淀规律。

表 2.9-7　过渡族金属沉淀相与硅基体之间的体积差值

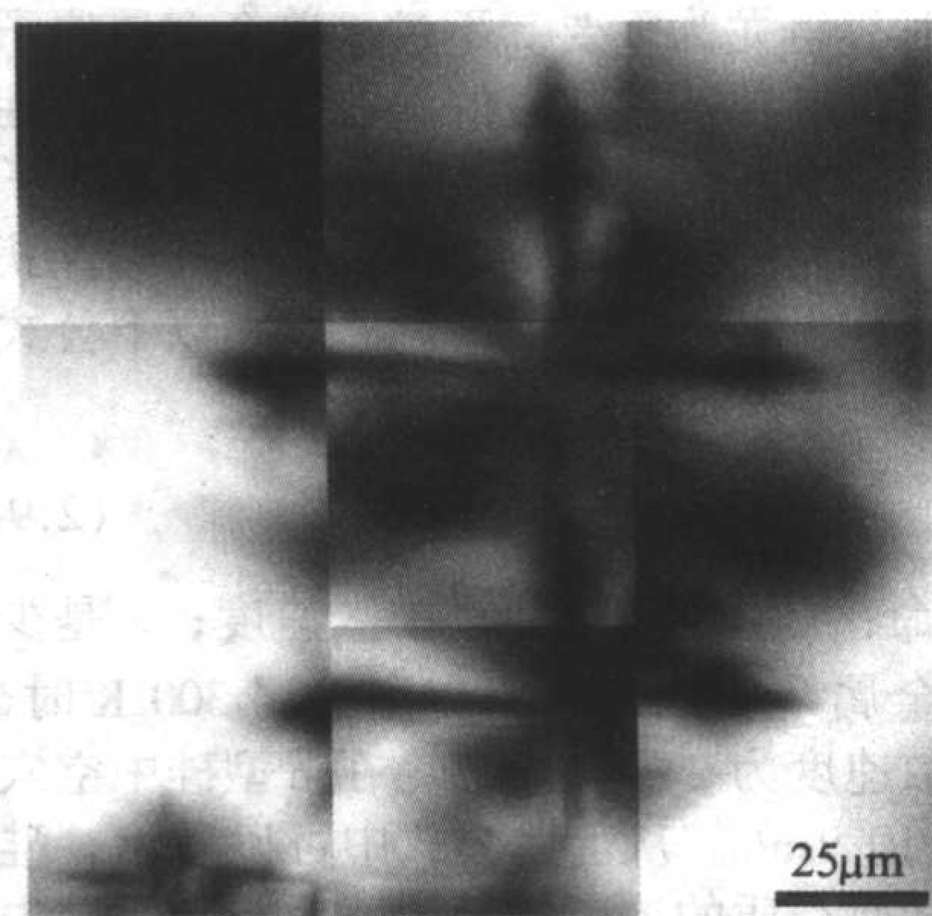
元素	沉淀相	发射或吸收的自间隙硅原子数目	温度/℃
铁	α-$FeSi_2$	吸收 0.11 个硅原子	25
钴	$CoSi_2$	吸收 0.08 个硅原子	25
		吸收 0.03 个硅原子	1 000
镍	$NiSi_2$	吸收 0.025 个硅原子	25
		吸收 0 个硅原子	450
		吸收 0.036 个硅原子	1 000
铜	Cu_3Si	发射 0.5 个硅原子	
钯	Pd_2Si	发射 0.55 个硅原子	

硅中的铁是最常见的金属杂质，一般很难在高质量的单晶硅中均匀形核形成沉淀。这是因为：首先，在相同的高温下，硅中铁的固溶度远小于硅中铜或镍的固溶度，这样随后冷却过程中铁沉淀的驱动力较小；其次，铁容易和硼之类的受主杂质形成铁-硼对等，显著降低铁沉淀形成的驱动力；还有，铁在硅中扩散系数比较小，导致不容易形成较大的铁沉淀，所以在硅中很难观察到铁的沉淀；最后，铁沉淀所引起的局部应力很小，所以不论用透射电镜（TEM）还是用红外扫描仪（SIRM）都很难观察到硅中的铁沉淀。尽管如此，也有人报道说用透射电镜观察到了大约为 0.5 μm 长、直径为几十纳米的棒状铁沉淀。当单晶硅中存在有缺陷时，如位错、层错、氧沉淀等，铁就比较容易沉淀于这些异质形核中心处。一般认为，铁沉淀的稳定相是 α-$FeSi_2$，它的晶格常数小于硅晶体的晶格常数 4%，所以硅中的铁沉淀会对硅基体产生很小的张应力。

铜在硅中的沉淀规律显著地受冷却速度的影响，当快速冷却或淬火时，由于温度的迅速下降，自间隙铜的过饱和度很大，产生很大的铜沉淀驱动力，其他缺陷如位错，晶界或表面处所提供的缺陷能显得作用很小甚至可以忽略不计，所以在这种情况下铜沉淀以均匀形核为主，形成大小为 30～200 nm，片状的铜沉淀均匀地分布于硅片的体内，密度可达 $10^{13}/cm^3$，如图 2.9-4（a）所示。这些片状的铜沉淀一般位于｛111｝晶面上，它们的边缘存在着很强的应力场。当慢速冷却时，在无位错的单晶硅中，一般会在硅片的近表面形成星状的铜沉淀团，然后向体内延伸，如图 2.9-4（b）所示。这些铜沉淀团的大小在 0.5～80 μm，由直径大约为 7 nm 的细小铜沉淀组成，且边缘被非本征刃型位错所包围。星状铜沉淀团的每一个“肢臂”一般会沿 <110> 呈线状延伸，有时是 <100> 方向。其沉淀机理可以由所谓的“重复形核模型”来解释。该模型的主要内容为：随着温度的缓慢下降，先有低密度的铜沉淀形成，由于铜沉淀与硅基体存在着很大的应力，所以会发射出自间隙原子，形成非本征刃型位错，这些位错在高温下会沿着一定的晶向（硅中一般为 <110> 方向）滑移，新的铜沉淀就在这些位错上形核长大，同时又继续发射新的自间隙硅原子，产生位错，形成新的铜沉淀，这样重复下去，一个很大的并且有规则形貌的铜沉淀团便形成了。当慢冷时，在有点缺陷存在的晶体硅中，由于低的形核阻力，所以过饱和自间隙铜原子会迅速扩散到这些缺陷处沉淀下来，而在缺陷周围形成“洁净区”，这也是所谓的“铜缀饰”方法，可以成功地用于检测普通单晶硅中的原生缺陷，但是对于检测微氮直拉单晶硅中的原生微缺陷则效果不明显。



(a) 空冷条件下



(b) 慢冷条件下

图 2.9-4　空冷（30 K/s）和慢冷条件（0.3 K/s）下大直径单晶硅中铜沉淀的红外扫描仪照片

另外，有大量的研究显示，铜能够在位错、层错、氧沉淀诱生的冲出型位错上或氧化诱生层错上，以及离子注入引起的空洞里沉淀。当有几种缺陷同时存在时，铜沉淀的地点则主要依赖于冷却速度。除此之外，硅单晶的导电类型也会显著影响铜沉淀规律，铜一般容易在 n 型硅中沉淀，在轻掺杂的 p 型硅中铜沉淀温度为 800℃，当低于该温度时，铜以外扩散为主，这主要是由于带相同电荷类型的铜沉淀与间隙铜之间的静电排斥作用占主导作用的结果。一般认为，硅中铜沉淀的稳定相是 η''-Cu_3Si，相对于基体硅的分子体积 0.02 nm^3（20 $Å^3$），η''-Cu_3Si 有着很大的分子体积 0.046 nm^3（46 $Å^3$），这就意味着每生成一个铜沉淀 η''-Cu_3Si，就会有一个自间隙硅原子产生，同时对硅基体产生很大的压应力，所以铜沉淀形核时最大的阻力便是铜沉淀和基体之间的应力，这也是单晶硅中本征点缺陷类型影响铜沉淀规律的重要原因。

虽然都是快扩散金属，但是镍在硅中的沉淀规律显著不同于铜在硅中的沉淀规律。在高质量的区融硅或直拉单晶硅中，快速冷却下，近表面的镍会被表面上先形成的镍沉淀吸杂到表面上去沉淀，从而导致在硅片近表面处形成“洁净区”；慢速冷却下，镍几乎都沉淀于硅片的表面，而不像铜会在硅片的体内沉淀。如果硅片的体内存在有扩展缺陷（如位错，晶界和氧沉淀等），镍也会在这些缺陷处沉淀下来。另外，镍也很容易沉淀于 H，He 或 O 等注入硅中所形成的空洞中。所以，有人建议用镍沉淀缀饰的方法来鉴定大直径掺氮硅中的原始微缺陷。对镍沉淀微观结构研究发现，片状镍沉淀的两个面通常都是平行于｛111｝，由伯格斯矢量为 $\vec{b}=\frac{a}{4}\langle 111\rangle$ 的位错环包围，界面是由 Si-Si 键连接。这种片状镍沉淀的直径在 20～900 nm 范围内。它的形成直接涉

及到硅晶体的晶格错移，从而导致位错 $\vec{b}=\frac{a}{4}\langle 111\rangle$ 的形成。如果将含有这种镍沉淀的样品在200～400℃退火，镍沉淀会变得很紧凑，呈多面体形状。如果继续在高于500℃退火，发现镍沉淀又会变成片状，但是更厚，而且直径也变得更大。研究还发现有立方/立方型（A型）和孪晶型（B型），这两种界面类型的沉淀存在。这两种界面的界面能也不同，有研究表明：B型的界面能比A型的高0.14 eV，这可能是由于界面处键的不同松弛程度所致。普遍认为，在硅中所形成的镍沉淀为 $NiSi_2$ 相，它具有 CaF_2 结构，而且晶格尺寸与硅基体差不多（仅小于硅晶体晶格常数的0.46%），所以与铜相比，镍沉淀的阻力大为减小。在低温下，由于镍沉淀中镍的固溶度远远大于镍在硅中的固溶度，所以镍沉淀对自间隙镍存在有显著的"自吸杂效应"，这也是慢冷条件下镍很难在硅片体内沉淀的原因。镍沉淀的另外一个显著特征便是在大约气压为400 MPa（4 kPa）的氢气作用下，硅中的镍沉淀会明显地溶解。

研究硅中过渡族金属沉淀规律的主要手段有透射电子显微镜（TEM），光学显微镜结合化学腐蚀法（如haze）和红外扫描仪（SIRM）。

5　硅中过渡族金属对材料电学性能的影响

经过几十年的研究，人们发现无论以何种形式存在的过渡族金属杂质都会对硅单晶的电学性质产生负面的影响。但是以不同形式存在的这些过渡族金属对硅单晶电学性质影响程度是不同的，其机理也不尽相同。

如果过渡族金属原子以替位的形式存在于硅单晶中，如Zn、Pt或Au，那么这些过渡族金属杂质就会起到掺杂剂的作用，从而可能导致硅单晶电阻率的大幅度漂移。这在用高阻单晶硅制备器件时显得尤为重要。不过，单个金属原子对器件性能的影响，更主要地体现在它的深能级复合中心性质上，它对硅中少数载流子有较大的俘获截面，而导致少子寿命大幅度降低，并且不同的金属原子对少子有不同的俘获截面，金属杂质浓度越高，其影响越大，这可以用以下公式表示：

$$\tau_0=\frac{1}{v\sigma N}\tag{2.9-9}$$

式中，τ_0 是少子寿命；v 是载流子的热扩散速度；σ 是少子的俘获截面；N 是金属杂质浓度，cm^{-3}。室温300 K时，p型硅中电子的热扩散速度为 2×10^7 cm/s，在n型硅中空穴的热扩散速度为 1.6×10^7 cm/s。从上述公式中可以看出，硅中少数载流子寿命和金属杂质的浓度成反比。对于单晶硅中的Cu、Ni、Co和Pd，它们容易沉淀，所以只有不到1%的以单质态影响单晶硅的性质。表2.9-8总结了硅中过渡族金属的带电状态，对载流子的捕获截面和能级位置。

当过渡族金属在硅单晶中形成复合体后，也会在硅的禁带中引入缺陷能级。表2.9-9归纳了部分过渡族金属复合体的捕获截面和能级位置。

表2.9-8　硅中过渡族金属单质的带电状态，捕获截面和能级位置

元素	带电状态	硅导电类型	少子的俘获截面/cm^2	能级位置/eV
Sc	0/+	n	$\geqslant6.7\times10^{-14}$ (105 K)	
	0/2+	n	2.8×10^{-14} (240 K)	
	2+/3+	p	8.4×10^{-20}	$E_v+0.20$
Ti	−/0	n	2.5×10^{-14} (45 K)	
		n	5.1×10^{-14}	$E_c-0.079$

续表2.9-8

元素	带电状态	硅导电类型	少子的俘获截面/cm^2	能级位置/eV
Ti	0/+	n	3×10^{-15}	$E_c-0.26$
		n	2.4×10^{-14} (160 K)	
		n	2.6×10^{-14}	$E_c-0.271$
	+/2+	p	6.2×10^{-17}	$E_v+0.26$
		p	1.1×10^{-16}	$E_v+0.255$
		p	6.0×10^{-18}	$E_v+0.28$
		p	4.4×10^{-17}	$E_v+0.245$
V	−/0	n	8.8×10^{-17} (115 K)	$E_c-0.18$
		n	1.2×10^{-16}	$E_c-0.20$
		n	2.6×10^{-16}	$E_c-0.15$
	0/+	n	5.3×10^{-15}	$E_c-0.45$
		n	$>1\times10^{-14}$	$\approx E_c-0.43$
		n	1.6×10^{-14} (220 K)	
	+/2+	p	4.1×10^{-18}	$E_v+0.29$
		p	1.2×10^{-16}	$E_v+0.34$
		p		$E_v+0.35$
		p		$E_v+0.31$
Cr	0/+	n		$E_c-0.23$
		n	1.4×10^{-14}	$E_c-0.22$
Mn	−/0	n	$1\sim3\times10^{-14}$	$E_c-0.1$
		n	3.2×10^{-15} (65 K)	
		n	3.4×10^{-15}	$E_c-0.12$
	0/+	n	4.7×10^{-15} (210 K)	
		n	1.3×10^{-13}	$E_c-0.42$
		n	5.2×10^{-15}	$E_c-0.41$
	+/2+	p	2.6×10^{-20}	$E_v+0.27$
		p	5.4×10^{-18}	$E_v+0.23$
		p	2.7×10^{-17}	$E_v+0.32$
Fe	0/+	p	1.6×10^{-16}	$E_v+0.39$
		p	2.0×10^{-16}	$E_v+0.38$
		p		$E_v+0.39$
		p	5.6×10^{-16}	$E_v+0.37$
Co	−/0	n	1.6×10^{-15}	$E_c-0.40$
		n	1.7×10^{-15} (225 K)	
	0/+	p	1.8×10^{-14}	$E_v+0.23$
		p	4.2×10^{-18}	$E_v+0.40$
Ni	2−/−	n	6.4×10^{-18} (45 K)	
	−/0	n	1.8×10^{-16}	$E_c-0.45$
		n	6.0×10^{-17}	$E_c-0.38$
	0/+	p	2.7×10^{-14}	$E_v+0.15$
		p	9.7×10^{-15}	$E_v+0.16$
		p	1.5×10^{-14} (88 K)	$E_v+0.39$

续表 2.9-8

元素	带电状态	硅导电类型	少子的俘获截面/cm²	能级位置/eV
Cu	2-/-	n	8.5×10^{-18}	$E_c-0.16$
	-/0	p	1.1×10^{-14}	
	0/+	p	2.3×10^{-14}	
Zn	-/2-	p	$>2.7\times10^{-15}$	
	0/-	p	$>2\times10^{-15}$	
Mo		p	4.3×10^{-16}	
		p	7.1×10^{-16} (175 K)	$E_v+0.265$
Pd	-/0	n	3.2×10^{-15}	
		n	3.9×10^{-15} (120 K)	
		n	5×10^{-15}	$E_c-0.22$
	0/+	p	2.4×10^{-16}	$E_v+0.28$
		p	9.5×10^{-16}	$E_v+0.265$
		p	8×10^{-16}	$E_v+0.31$
	+/++	p	8.8×10^{-17}	
		p	1.0×10^{-14}	$E_v+0.11$
Ag	0/-	n	6.4×10^{-17} (300 K)	$E_c-0.545$
	0/+	p	6.6×10^{-16}	$E_v+0.37$
Pt	0/-	n	5×10^{-15}	
		n	5×10^{-15} (300 K)	
		n	7×10^{-15}	$E_c-0.231$
		n	5.5×10^{-15} (120 K)	
		p	5×10^{-15}	
	0/+	p	9.7×10^{-16} (135 K)	
		p	1.2×10^{-14} (300 K)	
		n	1.5×10^{-15}	$E_c-0.314$
		p	5.4×10^{-16} (160 K)	
		p	1.2×10^{-16}	
	+/2+	p	2.1×10^{-17} (68 K)	
		p	8.4×10^{-17}	
		p	2×10^{-17}	
Au	0/-	n	1.3×10^{-16}	$E_c-0.560$
		n	$(9\pm2)\times10^{-17}$	$E_c-0.555$
		n	$(0.7\sim1.7)\times10^{-16}$	$E_c-0.553$
		n	8.5×10^{-17}	$E_c-0.55$
		n	2×10^{-16}	$\approx E_c-0.43$
		n	1.2×10^{-16} (300 K)	
	0/+	p	1.6×10^{-15}	
		p	1.1×10^{-14}	$E_v+0.340$
		p	1.1×10^{-15} (158 K)	
		p	3.3×10^{-15} (170 K)	
		p	3.6×10^{-15}	$E_v+0.340$

表 2.9-9 硅中过渡族金属复合体的捕获截面和能级位置

复合体的名称	硅导电类型	少子捕获截面/cm²	能级位置/eV
AuCr	p		$E_v+0.35$
AuFe	n	2×10^{-15}	$E_c-0.35$
	p	2.6×10^{-15}	$E_v+0.43$
AuMn	n		$E_c-0.24$
	p		$E_v+0.57$
AuV	n		$E_c-0.20$
	p		$E_v+0.42$
FeAl	p		$E_v+0.19$
	p		$E_v+0.13$
FeB	p		$E_v+0.10$
	n		$E_c-0.23$
FeGa	p		$E_v+0.24$
	p		$E_v+0.14$
FeIn	p		$E_v+0.27$
	p		$E_v+0.16$
FeZn			$E_c-0.47$

一般来说，对于铜和镍这些快扩散过渡族金属，经过高温热处理后，在硅中主要以沉淀存在为主。而这些沉淀会在硅的禁带中引入深能级带，如图 2.9-5 所示，在 n 型硅中铜所引起的深能级瞬态谱峰（DLTS）会出现在 100～150 K 之间。而且峰的宽度和位置依赖于热处理条件和冷却速度，非常快速地淬火导致非常宽化的 DLTS 峰；而且这个峰所对应缺陷能带的位置会随冷却速度而变化，当冷却速度为 2 000 K/s 时，能带的位置在 $E_c-0.15\sim-0.35$ eV 之间。同样的，镍沉淀也会在硅的禁带中引入缺陷能带，一般从 $E_c-0.4\sim-0.6$ eV，甚至可能延伸到 $E_v+(0.2\sim0.3)$ eV，其 DLTS 谱中峰的宽度和位置也是主要依赖于热处理工艺。

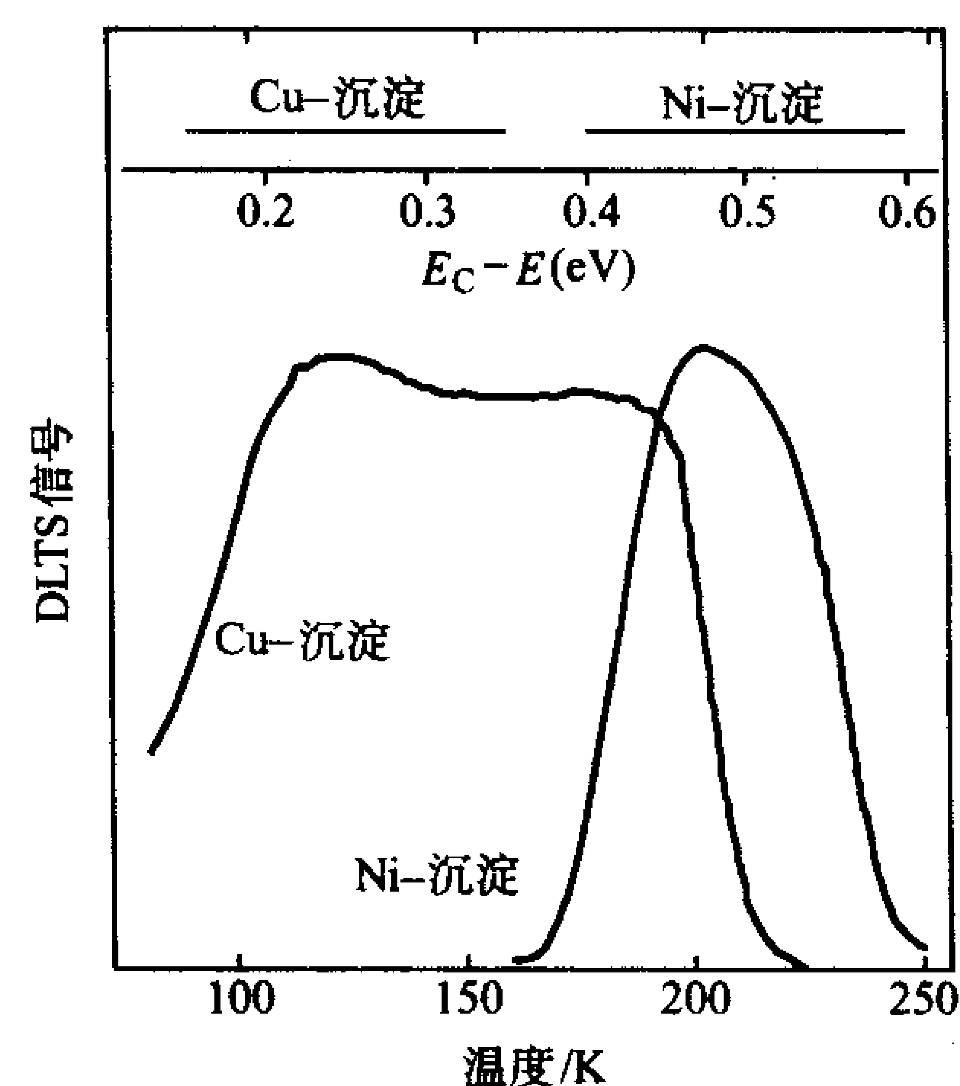


图 2.9-5 N型单晶硅经 850℃分别扩铜或扩镍，尔后在 NaOH 溶液中淬火冷却后的深能级瞬态

硅单晶硅中少子扩散与沉淀的密度也是相关的，比如少子的扩散长度与镍沉淀密度的关系可以表示为：

$$L_D\cong0.7\times N_V^{-1/3} \tag{2.9-10}$$

式中 L_D 和 N_V 分别表示扩散长度和镍沉淀的密度。

关于金属沉淀对少数载流子存在显著复合的现象，目前有三种机理解释这种强的复合强度。第一种就是金属沉淀在晶体硅的禁带中引入的深能级，并且接近禁带的中央，根据Shockley-Read-Hall理论，这种深能级对少子有着非常强的复合作用。关于铜沉淀和镍沉淀的大部分实验现象都可以用此机理解释。第二种机理就是在金属沉淀周围可能会引入空间电荷区，从而吸引载流子。第三种机理便是界面复合机理，由于金属沉淀和硅基体之间存在界面态，这种界面态也可能作为复合中心。事实上，也可能还存在着别的复合机理，比如金属沉淀与硅晶体之间存在着晶格失配，铜沉淀便是典型例子，这种晶格失配会导致位错或层错等扩展型缺陷的生成，它们也可能会对少数载流子产生很强的复合作用。

研究硅中过渡族金属对材料电学性能影响的手段主要有深能级瞬态谱（DLTS），表面光电压仪法（SPV）或微波光电导少数载流子寿命仪（μ-PCD）和电子束诱生电流仪（EBIC）。

6 硅中过渡族金属的吸杂原理

硅中过渡族金属的沾污途径很多，而且是很难避免的。虽然从理论上讲，建立很好的超净房，采用完全干净的硅片或超高纯的化学试剂等等，可能可以得到“零”浓度的金属沾污，但是从经济角度上却行不通。在现代超大规模集成电路的制备工艺中，硅片表面的金属沾污浓度都要求控制在 $10^{10}/cm^2$ 以下（体浓度大约为 $10^{11}/cm^3$）。尽管如此，少量的金属杂质依然影响着硅材料和器件的性质。因此，在现代微电子工艺过程中，一方面要尽力避免金属的沾污，而另外更重要的一方面便是采用内吸杂和外吸杂等工艺，以提高产品的成品率。所谓吸杂工艺就是指采用合适的工艺，将硅基器件区的过渡族金属杂质吸引到非工作区处沉淀或稳定下来，导致工作区处形成一个无过渡族金属杂质的洁净区。从这个定义中，我们可以看到吸杂过程其实包含了三个步骤：①器件有效工作区内的过渡族金属处于非平衡状态，而且是可以自由扩散的；②过渡族金属从有效工作区扩散到非工作区内；③过渡族金属在非工作区内沉淀或者稳定下来。上面三个步骤中速度最慢的步骤会限制整个吸杂过程，所以速度最慢的步骤被称为限制步骤。如对于铁或金这些慢扩散过渡族金属元素，其扩散过程就成为吸杂的限制过程，所以考虑吸杂工艺时就必须考虑其需要足够的扩散时间。

吸杂工艺的种类很多，按照不同标准，其分类不同。按照吸杂机理来分，吸杂主要分为分凝吸杂和松弛吸杂。按照吸杂点引入的方式来分，主要分为内吸杂，外吸杂和短程吸杂。下面我们主要介绍硅中过渡族金属的吸杂机理，随后按照吸杂点引入方式来介绍各种内外吸杂技术工艺。

6.1 松弛吸杂机理

如果在硅器件的非工作区内，已经存在有高密度的异质形核中心，那么在高温热处理后的冷却过程中，过渡族金属就会在这些异质形核中心处择优沉淀，导致非工作区内过渡族金属的浓度一直处于瞬间的平衡固溶度。而在工作区内，由于过渡族金属不能形成沉淀，但是其浓度却总是处在瞬间过饱和状态下，这样工作区内过渡族金属浓度总是高于非工作区内过渡族金属的浓度，所以过饱和过渡族金属就会从工作区扩散到非工作区内，从而使得工作区内过渡族金属最终被吸杂到非工作区内。这就是硅中过渡族金属的松弛吸杂机理。从上面可以看出，松弛的内涵就是指在冷却过程中，促使工作区内过渡族金属由过饱和态不断地逼近瞬间平衡态，降低其过饱和度。

在集成电路工艺中用的最多的内吸杂工艺主要就是采用该原理。它通过在直拉单晶硅硅片的体内形成氧沉淀及其诱生缺陷，作为过渡族金属的异质形核中心，从而能够在硅片的表面形成优质的洁净区。其次，在硅片背面沉积多晶硅薄膜，使高密度的晶界或位错作为过渡族金属的异质形核点，也能达到松弛吸杂的效果。

6.2 分凝吸杂机理

比较硅和其他物质中杂质的固溶度时，会发现硅中过渡族金属的固溶度远低于同温度下某些物质中（如铝）的固溶度。即使在硅中，不同的掺杂浓度下过渡族金属的固溶度也是不同的，如重掺磷晶体硅中过渡族金属的固溶度就明显高于本征硅中过渡族金属的固溶度。于是，利用固溶度不同的性质，对硅基器件区内的过渡族金属进行吸杂，这就是分凝吸杂的本质。利用分凝吸杂原理时，需要注意选择好吸杂的温度。在低温下，由于快速冷却，导致金属在硅与吸杂区间分凝系数会增大，可以增加吸杂能力；但是低温下硅中过渡族金属的扩散速度又较小，特别是对于慢扩散过渡族金属元素。

在硅器件工艺中，外延片重掺衬底吸杂、磷吸杂、硼吸杂和铝吸杂工艺的吸杂机理主要就是利用分凝吸杂的原理。

7 硅中过渡族金属的吸杂工艺

7.1 内吸杂工艺

通常，直拉单晶硅中氧的浓度大约为 $10^{18}/cm^3$，远高于器件制备工艺下硅中氧的固溶度。所以，在器件制备工程中，体内过饱和氧原子会扩散聚集在一起形成氧沉淀。而氧沉淀的单位体积比基体硅的单位体积大，因此，在形成氧沉淀过程中会诱生层错或位错等缺陷以释放应力。这样，氧沉淀及其诱生缺陷就可以作为过渡族金属的异质形核点，利用松弛吸杂机理从而达到吸杂的作用，这就是内吸杂的基本原理。

目前，内吸杂有两种具体的热处理工艺：高温—低温—高温热处理和快速热处理（RTP）—低温—高温热处理。前者是普通热处理工艺，第一步一般选择在1 000℃以上的高温热处理以达到氧的外扩散效果；第二步在750℃热处理，以在硅片体内形成高密度的氧沉淀核心；第三步在1 000℃左右热处理使氧沉淀长大并诱生出高密度的缺陷。后者的工艺是先采用快速热处理在1 250℃热处理60 s左右，产生一定量的空位，在硅片近表面区域的空位外扩散，而在硅片体内形成大量的氧-空位复合体，第二步低温和第三步热处理和上面普通“高—低—高”工艺的作用相同。从上面可以看出，这两种工艺存在着原理上的不同，普通的“高—低—高”工艺中，主要利用的是氧的外扩散机制以形成洁净区，而快速热处理“RTP+低+高”工艺中，则主要利用的是空位的外扩散机制以形成洁净区。材料的热历史，初始氧浓度和材料中其他杂质等对采用普通“高—低—高”工艺形成洁净区的质量有很明显的影响，而采用快速热处理工艺则不存在这些问题而且成本较低。

7.2 外吸杂工艺

（1）磷吸杂工艺

通常的磷吸杂工艺是采用 $POCl_3$，PBr_3 或 P_2O_5 等作为扩散源，在一定温度下热处理，在硅片表面形成重掺磷层达到了吸杂的效果。如果有氧气氛存在，就会在硅片表面形成磷硅玻璃，它会起到真正的扩散源作用。磷吸杂的主要机理是分凝吸杂，由于重掺磷的硅中过渡族金属的固溶度高于本征硅中固溶度，导致良好的吸杂效果，特别是对于整个硅片作为器件工作区时。另外，磷硅玻璃形成时，在界面形成的位

错网络也会对金属起到松弛吸杂的作用。

现在，磷吸杂工艺已经广泛地应用到集成电路工艺中以提高材料的电学性能。在晶体硅太阳电池制备过程中，磷吸杂和pn结的形成可以同时进行，所以成为制备低成本高效率电池的必备工艺。如果磷吸杂和铝吸杂结合使用，吸杂效果会更好。

(2) 铝吸杂工艺

在硅片的表面沉积一层铝或铝硅薄膜，然后在高于铝硅共晶温度（577℃）热处理，那么在硅片的镀铝面就会有液态的铝硅合金生成。由于铝硅合金中过渡族金属的固溶度远高于其在硅中的固溶度，比如，在750～950℃之间，铝硅合金中铁的固溶度大概是硅中铁的固溶度的10^5～10^6倍，所以分凝吸杂效果就很明显。

由于在晶体硅太阳能电池工艺中，铝不仅可以作为背电极和形成背面场，而且还有显著的吸杂作用，所以铝吸杂可以应用于高效率太阳能电池制备工艺中。

(3) 背面损伤吸杂和背面多晶硅吸杂

背面损伤吸杂和背面多晶硅吸杂的具体工艺包括：在硅片背面进行机械损伤（如喷砂处理），硅片背面激光损伤，硅片背面沉积多晶硅薄膜或沉积氮化硅薄膜等。经过这些处理后，硅片背面会形成位错网络、层错或晶界等高密度缺陷。其吸杂机理可以归纳为三类：

1）背面存在高密度的缺陷作为过渡族金属的异质形核点，从而起到松弛吸杂的效果；

2）背面缺陷应力导致过渡族金属在背面的固溶度高于其在硅基体中的固溶度，所以导致偏析吸杂的效果；

3）背面缺陷可以吸收内吸杂工艺中形成的大量自间隙硅原子，从而促进了内吸杂效果；

从目前微电子工艺的发展来看，采用背面机械损伤的工艺会逐步被淘汰，因为在损伤过程中会引入杂质，而背面多晶硅吸杂等工艺依然会作为重要的吸杂工艺而被采用。

7.3　短程吸杂

(1) 离子注入吸杂

现代集成电路工艺越来越重视离子注入吸杂工艺，因为这种吸杂工艺中吸杂区接近于器件工作区，因此可以节约热预算成本。注入原子包括硅，磷，硼，碳，氧，氮，氩，氢，锗，氯和铝等，主要是轻元素，以避免离子注入时硅片表面的非晶化。离子注入能量范围从50 keV到10 MeV，注入剂量从$10^{13}/cm^2$到$10^{17}/cm^2$。离子注入的机理包括松弛吸杂原理和分凝原理。离子注入后在硅片体内靠近器件工作区附近形成空洞等缺陷，作为过渡族金属的异质形核中心，从而起到松弛吸杂的效果；不同离子注入，吸杂效果也不同，通常氩原子注入所起到的吸杂效果最好。另外一方面，对于高浓度注入离子，容易形成第二相，利用固溶度不同，可以达到分凝吸杂的效果。对于离子注入吸杂中的这两种吸杂机理，一般认为利用分凝吸杂比利用松弛吸杂的效果好。

离子注入吸杂越来越广泛地应用集成电路工艺中，但是它也会引入一系列问题。比如，离子注入会产生大量点缺陷，从而影响硅中掺杂元素的扩散速度。其次，大剂量离子注入需要较长的离子注入时间。

(2) 重掺吸杂

硅片外延技术越来越受到重视，除了外延层的质量比体单晶更好外，利用重掺衬底的吸杂作用也是一个重要原因。重掺外延是指在重掺硼、磷或砷的直拉单晶硅衬底上，外延大约10 μm厚的低或中浓度掺杂的单晶层，然后在外延层中制备器件。由于重掺衬底作为吸杂区，离器件工作区距离很短，从而可以提高吸杂效率。其具体的吸杂机理有三种。首先，重掺衬底中过渡族金属的固溶度高于其在外延层中的固溶度，起到了分凝吸杂的效果；其次，重掺促进氧沉淀及其诱生缺陷的形成，从而提高内吸杂的效果；最后，重掺硅和外延层的界面上存在有失配位错，它也会起到松弛吸杂的效果。最近的研究显示，采用重掺外延片制备硅基器件可以明显提高产品的成品率。与其他的吸杂技术相比，重掺衬底吸杂正成为最有效的吸杂工艺之一。

(3) 表面和界面吸杂工艺

没有其他异质形核中心存在时，过渡族金属一般会在硅片的表面或在Si/SiO_2界面沉淀。所以，表面或界面也可以作为一种吸杂技术。对于键合硅片来说，这种吸杂技术就会显示出一定的作用。作为一种非常重要的制备SOI工艺，键合技术越来越吸引人们的目光。实验发现，如果不存在内吸杂中心时，过渡族金属一般会择优沉淀于键合界面上，而一旦存在有内吸杂中心时，过渡族金属则会择优沉淀于内吸杂中心处。

编写：席珍强（浙江大学）

第 10 章 其他硅材料

硅材料最重要的形式是硅单晶，包括直拉硅单晶和区熔硅单晶，它们在微电子工业和太阳能光伏工业已经广泛应用。但是，除此之外，还有多种其他形式的硅材料，包括铸造多晶硅、非晶硅薄膜、多晶硅薄膜、微晶硅薄膜、纳米硅薄膜、纳米硅镶嵌 SiO_2 薄膜、纳米硅丝和纳米硅管等，应用在不用的领域，其中铸造多晶硅、非晶硅薄膜和多晶硅薄膜在工业界已经大量应用。

铸造多晶硅是利用铸造技术制备的多晶硅体材料，具有和单晶硅相同的电学特性，而且它的成本和能耗大大低于直拉硅单晶。因此，对于追求低成本高效率的太阳能光伏工业而言，铸造多晶硅是一个理想的代替高成本直拉硅单晶的材料，到目前为止，它已经成为最主要的太阳电池材料，占到太阳电池材料市场份额的 50% 以上。但是，由于晶体生长方式不同，铸造多晶硅具有大量的晶界和位错等微缺陷，制约了其太阳电池的光电转换效率。所以，研究者在晶体生长和器件工艺过程中，对铸造多晶硅的杂质和缺陷给予了特别的关注。

非晶硅薄膜是另一种重要的太阳电池材料，它一般利用化学气相沉积技术，通过硅烷等气体的热分解，在廉价的衬底上沉积而成。它具有制备方法简单、工艺成本低、制备温度低、可以大面积的制备等优点，已经在太阳电池上大规模应用。但是非晶硅的原子结构是短程有序和长程无序，存在大量的结构缺陷，主要是具有电学活性的硅悬挂键，严重影响了材料的性能和稳定性，特别是利用非晶硅制备的太阳电池具有光致衰减缺陷，导致非晶硅太阳电池效率的相对较低和不稳定。

多晶硅薄膜既具有单晶硅的电学特性，又具有非晶硅薄膜成本低、设备简单，可以大面积制备等优点，在集成电路和液晶显示领域已经广泛应用，同时也是最具有前景的新型太阳电池材料之一。多晶硅薄膜可以通过化学气相沉积直接制备，也可以通过固相晶化、激光晶化和快速热处理晶化等技术，将非晶硅薄膜晶化而制备；无论哪种技术，制备的多晶硅薄膜应该具有晶粒大、晶界内缺陷少等性质。

本章主要阐述铸造多晶硅、非晶硅薄膜和多晶硅薄膜的研究和发展，指出材料的特点和性质，阐述材料的制备方法，并说明相关杂质和缺陷的性质以及对材料性能的影响。

1 铸造多晶硅

1.1 铸造多晶硅的研究和开发

直拉硅单晶不仅可以应用于微电子工业，而且可以应用于太阳能光电转换，即作为太阳电池的基础材料。在太阳电池的发展和应用的早期，人们一般研究和应用的是直拉硅单晶。直到 20 世纪 90 年代，太阳能光伏工业还是主要建立在硅单晶的基础上。虽然硅单晶电池的成本在不断下降，但是和常规电力相比还是缺乏竞争力，因此，不断降低成本是光伏工业追求的目标。1975 年前后，德国的瓦克（Wacker）公司和美国的 Solarex 公司在国际上首先研究铸造多晶硅（multicrystalline silicon，简称 mc-Si）材料，用来制造太阳电池。从此以后，铸造多晶硅增长迅速，20 世纪 80 年代末期它仅占太阳电池材料的 10% 左右，而至 1996 年底已占整个太阳电池材料的 36% 左右。它以相对低成本、高效率的优势不断挤占单晶硅的市场，成为最有竞争力的太阳能用电池材料，到 21 世纪初，已占到 50% 以上，成为最主要的太阳电池材料。

和直拉硅单晶相比，铸造多晶硅的主要优势是材料利用率高、制备成本低。首先，直拉硅单晶是圆柱状，其硅片制备的圆形太阳电池不能有效地利用太阳能组件的空间，相对增加了太阳电池组件的成本；如果将直拉硅单晶圆柱切成方柱，制备方形太阳电池，其材料浪费增加，同样增加了太阳电池组件的成本。而铸造多晶硅是利用铸造技术在坩埚中制备方形硅多晶材料，很容易直接切成方形硅片，材料的损耗小。而且其晶体生长简便，易于大尺寸生长。同时铸造多晶硅生长时相对能耗小，促使了材料的成本进一步降低。进一步而言，铸造多晶硅对硅原材料的纯度容忍度要比直拉硅单晶高。但是，其缺点是具有晶界、高密度的位错、微缺陷和相对较高的杂质浓度，其晶体的质量明显低于硅单晶，从而降低了太阳电池的光电转换效率。表 2.10-1 是铸造多晶硅和直拉硅单晶的比较。

表 2.10-1 铸造多晶硅和直拉硅单晶的比较

晶体性质	直拉硅单晶（CZ）	铸造多晶硅（MC）
晶体形态	单晶	多晶
晶体质量	无位错	高密度位错
能耗/$kW\cdot h\cdot kg^{-1}$	>100	约 16
晶体大小	约 300 mm	>700 mm
晶体形状	圆形	方形
电池效率/%	15~17	14~16

自铸造多晶硅发明以后，技术不断改进，质量不断提高，应用量也不断增加。在材料制备方面，平面固液界面技术和氮化硅涂层等技术的应用、材料尺寸的不断加大；在太阳电池方面，酸腐蚀制备绒面技术、氢钝化技术、吸杂技术的开发和应用，使得铸造多晶硅材料的电学性能有了明显的改善，其太阳电池的转换效率也得到了迅速的提高，在实验室里的效率从 1976 年的 12.5% 提高到 21 世纪初的 20.3%。而在实际生产中的铸造多晶硅太阳电池的最高效率也达到 17.7% 左右，接近直拉硅单晶太阳电池的光电转换效率。正是由于铸造多晶硅好的性能价格比，它的产业规模和应用不断扩大，目前，铸造多晶硅已占太阳电池材料的 53% 以上，成为最主要的太阳电池材料。

1.2 铸造多晶硅的制备

利用铸造技术制备硅多晶体有两种主要的工艺。一种是浇铸（casting）法；即在一个坩埚内将原料硅材料熔化，然后浇铸在另一个经过预热的坩埚内冷却，通过控制冷却速度，采用定向凝固技术制备大晶粒的铸造多晶硅。另一种直接熔融定向凝固（directional solidification）法，简称直熔法，又称布里奇曼（Bridgeman）法；即在坩埚内直接将多晶硅熔化，然后通过坩埚底部热交换等方式，使熔体冷却，采用定向凝固的方法制造多晶硅。后一种技术在国际产业界得到最广泛的应用，而前一种主要有德国太阳公司（Deutscher Solar）和日本的京瓷（Kyocera）公司。两种技术从本质上讲，没有根本的区别，都是铸造法制备多晶硅，只是采用一只或两只坩埚而已。

图 2.10-1 是浇铸法制备铸造多晶硅的示意图，图的上

部是预熔坩埚。晶体生长时，首先将硅原料在此熔化，然后注入到下部的凝固坩埚进行结晶。

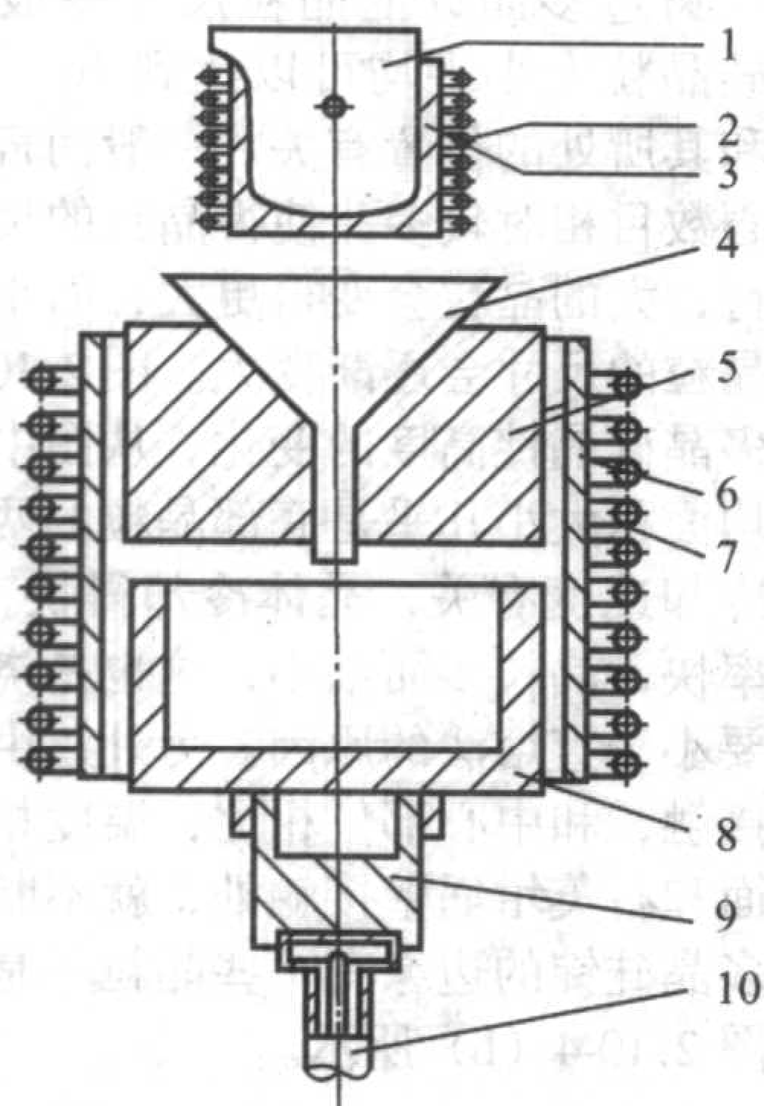


图 2.10-1 浇铸法制备铸造多晶硅的示意图

1—预熔坩埚；2、7—感应加热器；3、6—保温层；4—漏斗；8—石墨坩埚；5、9—支架；10—旋转轴

图 2.10-2 是直熔法制备铸造多晶硅的示意图。图中可以看到，硅原料首先在坩埚中熔化，然后在同一个坩埚中结晶。

铸造多晶硅制备完成后，是一个方形的铸锭，然后切成面积为 100 mm × 100 mm 或 150 mm × 150 mm 的柱体，如图 2.10-3 所示，高质量的浇铸多晶硅没有裂纹、孔洞等宏观缺陷，表面平整。目前，铸造多晶硅的质量可以达到 250 ~ 300 kg，尺寸达到 700 mm × 700 mm × 300 mm。由于晶体生长时的热量散发问题，多晶硅的高度很难增加，所以，要增加多晶

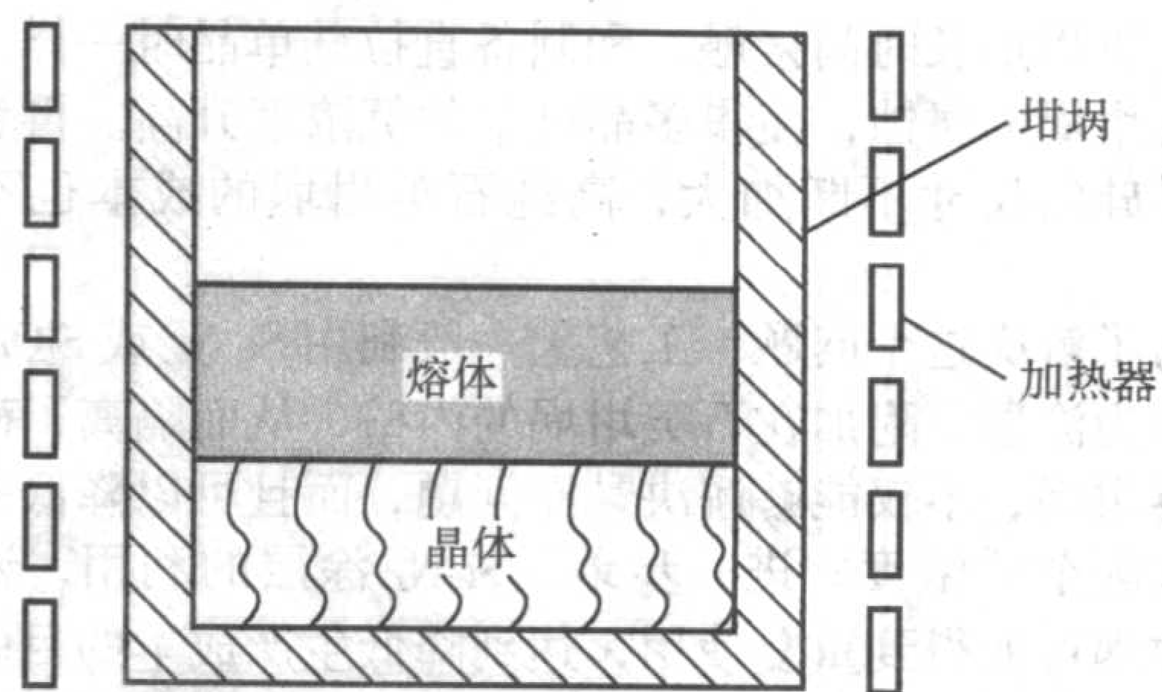


图 2.10-2 直熔法制备铸造多晶硅的示意图

硅的体积和质量的主要方法是增加它的边长。但是，边长尺寸的增加也不是无限的，因为在多晶硅晶锭的加工过程中，目前使用的外圆切割机或带锯对大尺寸晶锭处理显得很困难；其次，石墨加热器和其他石墨件需要周期性的更换，晶锭的尺寸越大，更换的成本越高。

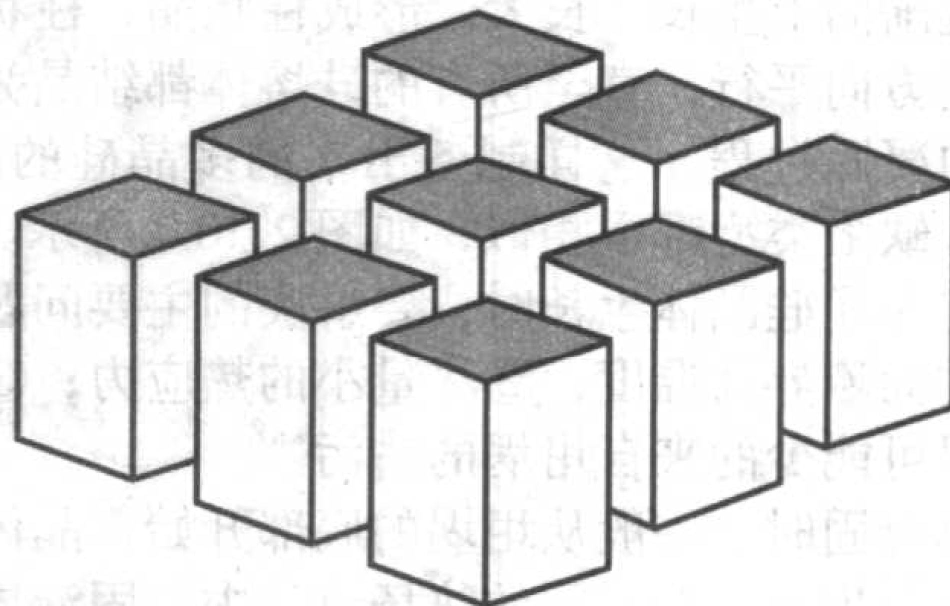
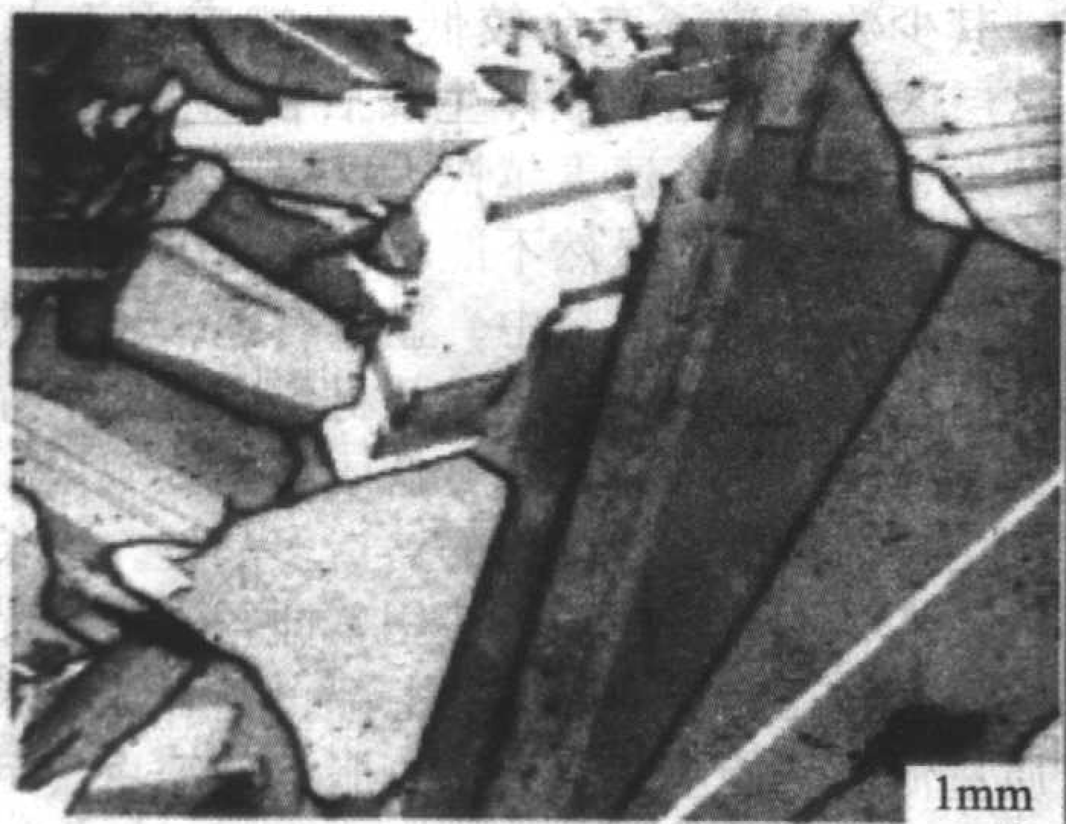
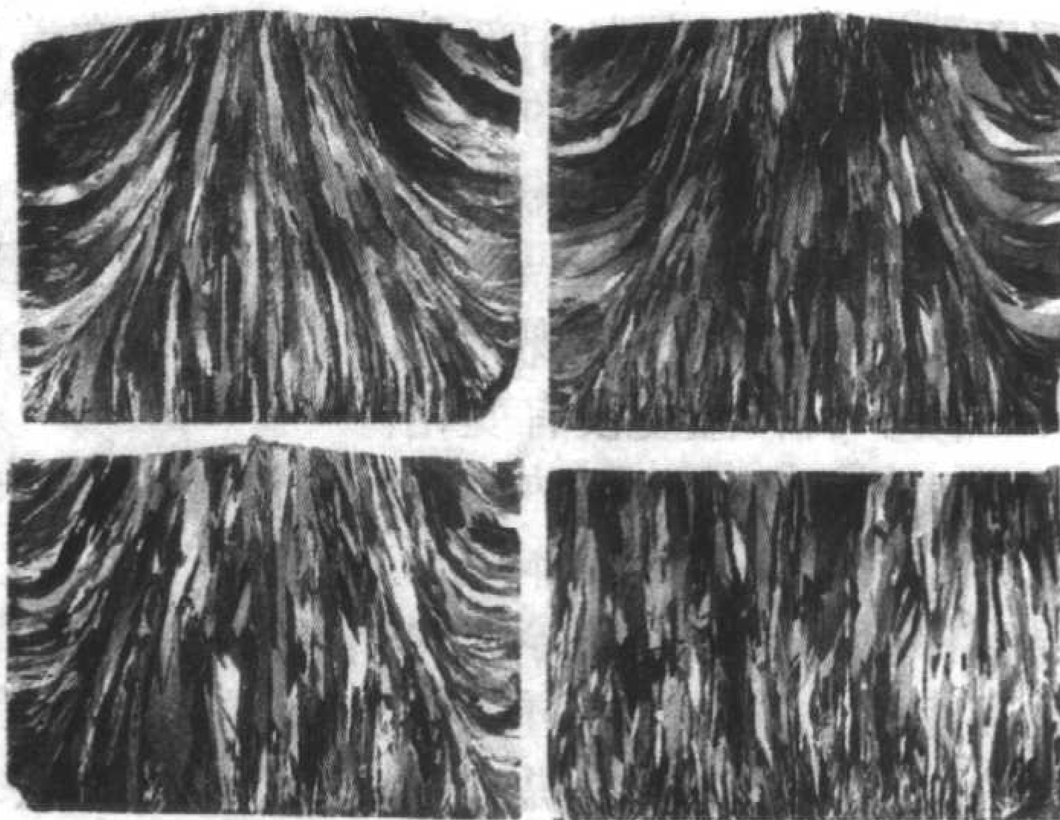


图 2.10-3 铸造多晶硅晶锭的外形图

从正面观看，铸造多晶硅呈多晶状态，晶界和晶粒清晰可见，其晶粒的大小可以达到 10mm 左右；从侧面观看，晶粒呈柱状生长，其主要晶粒从底部到上部几乎垂直于底面生长，如图 2.10-4 所示。



(a) 正面



(b) 剖面

图 2.10-4 铸造多晶硅的正面俯视和剖面图

(1) 原材料

铸造多晶硅的原料可以用半导体级的高纯多晶硅，也可以用微电子工业用硅单晶生产中的剩余料，包括质量相对较差的高纯多晶硅，硅单晶棒的头尾料，以及直拉硅晶体生长完成后剩余在石英坩埚中的埚底料等。和前者相比，后者的成本低，但是质量相对较差，尤其是 n 型和 p 型掺杂单晶混杂，容易造成铸造多晶硅电学性质的不合格，需要精细控制。

和直拉、区熔硅晶体生长方法相比，铸造的方法对硅原料的不纯具有更大的容忍度，所以铸造多晶硅的原料更多地使用电子工业的剩余料，从而原料来源可以更广，价格可以更便宜。而且，在多晶硅晶片制备过程中剩余的硅材料，还可以重复利用。有研究表明，只要原料中剩余料的比例不超过 40%，就可以生长出合格的铸造多晶硅。

(2) 坩埚

在铸造多晶硅晶体制备过程中，可以利用方形的高纯石墨作为坩埚，也可以利用高纯石英作为坩埚。高纯石墨的成本比较便宜，但是有较多可能的碳沾污和金属杂质沾污；高纯石英的成本较高，但污染少，要制备优质的铸造多晶硅就必须利用石英坩埚。

但是，石英坩埚也有问题。主要问题是晶体制备时，在原材料熔化、硅晶体结晶的过程中，硅熔体和石英长时间接触，会产生黏滞作用，由于两者的热线胀系数不同，在晶体冷却时很可能造成硅晶体或石英坩埚破裂；同时，由于硅熔

体和石英坩埚长时间接触，和制备直拉硅单晶时一样，会造成石英坩埚的腐蚀，使得多晶硅中的氧浓度升高。再者，铸造多晶硅的尺寸不断加大，高纯石英坩埚的成本也不断增加。

为了解决这个问题，工艺上一般利用 Si_3N_4 或 SiO/SiN 等材料作为涂层，附加在石英坩埚的内壁，从而隔离了硅熔体和石英坩埚，不仅能够解决黏滞问题，而且可以降低多晶硅中的氧碳杂质浓度；进一步地，Si_3N_4 涂层的利用，还使得石英坩埚可能得到重复使用，达到降低生产成本的目的。对于浇铸法制备多晶硅，一般预熔坩埚是利用普通石英坩埚，而结晶坩埚是具有 Si_3N_4 涂层的石英坩埚。

(3) 晶体生长

和直拉硅单晶不同，铸造多晶硅结晶时不需要籽晶。在晶体生长过程中，一般从坩埚底部开始降温，当硅熔体的温度低于熔点（1 414℃）时，在接近坩埚底部处，熔体首先凝固，形成许多细小的核心，然后横向生长，当核心互相接触时，再逐渐向上生长、长大，形成柱状晶，柱状的方向和晶体凝固的方向平行，直至所有的硅熔体都结晶为止。这是典型的定向凝固过程，这样制备出来的多晶硅的晶粒大小、晶界结构、缺陷类型都很相似，如图 2.10-4 所示。

在铸造多晶硅晶体生长时，要解决的主要问题包括：①尽量均匀的固液界面温度；②尽量小的热应力；③尽量大的晶粒；④尽可能少的来自坩埚的沾污。

在晶体凝固时，一般从坩埚的底部开始，晶体在底部形核并逐渐向上生长。在不同的热场设计中，固液界面的形状呈凹形或凸形，由于硅熔体和硅晶体的密度不同，此时地球的重力将会影响晶体的凝固过程，产生晶粒细小、不能垂直生长等问题，影响铸造多晶硅的质量。为了解决这个问题，需要特别的热场设计，使得硅熔体在凝固时，从底部开始到上部结束，其固液界面始终保持和水平面平行，称为平面固液界面技术，如图 2.10-2 所示，这样可以有效地避免界面的影响。

在晶体凝固过程中，晶体的中部和边缘部分存在着温度梯度，温度梯度越大，多晶硅中的热应力就越大，会导致更多体内位错生成，甚至导致晶锭的破裂。因此，铸造多晶硅在生长时，生长系统必须很好地隔热，以便保持熔区温度的均匀性，没有较大的温度梯度出现；同时，保证在晶体部分凝固，熔体体积减少后，温度没有变化。

影响温度梯度的因素，除了热场本身的设计外，冷却速度起了决定性的作用。通常，晶体生长速度越快，劳动生产率越高，其温度梯度越大，最终导致的热应力越大，而高的热应力会导致高密度的位错，严重影响材料的质量。因此，既要保持一定的晶体生长速率，提高劳动生产力；又要保持尽量小的温度梯度，降低热应力和晶体中的缺陷。通常，在晶体生长刚开始的时候，晶体生长速率尽量小，使得温度梯度尽量小，以保证晶体以最少的缺陷密度生长；然后，在可以保持晶体固液界面平直和温度梯度尽量小的情况下，尽量地高速生长，以提高劳动生产率。对于现代质量为 250 ~ 300 kg 的铸造多晶硅而言，一般晶体生长的速度约为 1 ~ 2 cm/min，其晶体生长的时间约为 35 ~ 45 h。

对于直熔法和浇铸法制备多晶硅，两者的冷却方式稍有不同，晶体结晶凝固的速度也不同。在直熔法中，石英坩埚逐渐向下移动，慢慢脱离加热区，使熔体的温度从底部开始降低，而固液界面始终基本保持在同一个水平面上，晶体结晶的速度约为 1 cm/h，即大约 10 kg/h；而在浇铸法中，是控制加热区的加热温度，形成从上部到底部的温度梯度，底部首先低于硅熔点的温度，开始结晶，上部始终保持在硅熔点以上的温度，直到结晶完成，在整个制备过程中，石英坩埚是不动的。在这种结晶工艺中，结晶的速度可以稍快些。

对于铸造多晶硅而言，晶粒越大越好，这样晶界的面积和作用都可以减少，而这主要是由晶体生长过程所决定的。在实际工业中，铸造多晶硅的晶粒尺寸一般在 1 ~ 10 mm，高质量的多晶硅晶粒大小平均可以达到 10 ~ 15 mm。另外，晶粒的大小还和其所处的位置有关。一般而言，硅晶体在底部形核时，核心数目相对较多，使得晶粒的尺寸较小；随着晶体生长的进行，大的晶粒会变得更大，而小的晶粒会逐渐萎缩，因此，晶粒的尺寸会逐渐变大。图 2.10-5 显示的晶粒的平均面积随多晶硅晶锭高度的变化，从图中可以看出，上部的晶粒的平均面积大小几乎是底部晶粒的两倍。晶粒的大小也和晶体的冷却速度有关，晶体冷却得快，温度梯度大，晶体形核的速率快，晶粒多而细小，这也是浇铸法制备多晶硅的晶粒尺寸要小于直熔法的原因。另外，由于坩埚的四周壁也和硅熔体接触，和中心部位相比，温度相对较低；在结晶时，固液界面和石英坩埚壁接触处，就不断会有新的核心生成，导致在多晶硅锭的边缘有一些晶粒不是很规整，相对也比较小，如图 2.10-4 (b) 所示。

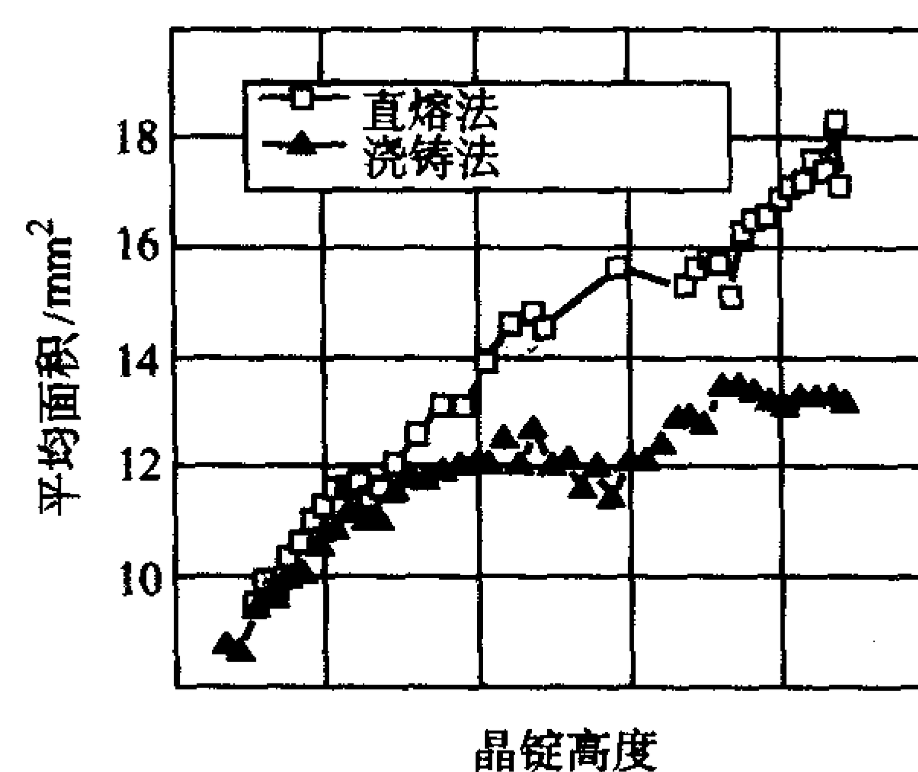


图 2.10-5 铸造多晶硅的平均晶粒面积随晶锭高度的变化

另外，在铸造多晶硅晶锭的周边区域存在一层低质量的区域，其少数载流子寿命较低，不能应用于太阳电池的制备。这层区域和多晶硅晶体生长后在高温的保留时间有关，一般认为，晶体生长速度越快，这层区域越小，可利用的材料越多。这部分材料虽然不能制备太阳电池，但是可以回收使用。但是，在回收边料中，显然有越来越多的碳化物和氮化物，这些杂质量过多，会导致材料质量的下降。所以，在多晶硅晶体生长时，尽量减少低质量的区域。

利用定向凝固技术生长的铸造多晶硅，生长速度慢，坩埚是消耗件，不能重复循环使用，即每一炉多晶硅需要一件坩埚；而且，在晶锭的底部和上部，各有几厘米厚度的区域由于质量低而不能应用。为了克服这些缺点，电磁连续拉晶（electromagnetic continuous pulling，EMCP）法或电磁感应冷坩埚加热法被开发。其原理就是利用电磁感应的冷坩埚来熔化硅原料，这种技术没有污染、没有坩埚的消耗，还可以连续浇铸，可望今后大批量工业化生产。

(4) 掺杂

和直拉硅单晶一样，铸造多晶硅需要进行有意掺杂，使得硅材料具有一定的电学性能。虽然有多种掺杂剂可以被利用，但是考虑到生产成本、分凝系数和太阳电池制备工艺等因素，在实际产业中，主要制备 p 型铸造多晶硅，硼是主要的掺杂剂。由于硼氧复合体对高效硅太阳电池的效率有衰减作用，最近，掺镓的 p 型和掺磷的 n 型铸造多晶硅也引起了大家的注意。

对于 p 型掺硼铸造多晶硅，电阻率在 0.1 ~ 5 Ω·cm 范围内，都可以用来制备太阳电池，但最优的电阻率在 1 Ω·cm 左右，硼掺杂浓度约为 $2\times10^{16}/cm^3$。在晶体生长时，适量的 B_2O_3 和硅原料一起被放入坩埚，熔化后 B_2O_3 分解，从而使

硼溶入硅熔体，最终进入硅多晶体，其反应方程式为：



$$2B_2O_3 \longrightarrow 4B + 3O_2 \qquad (2.10\text{-}1)$$

由于硼在硅中的分凝系数为0.8，所以，从晶体底部开始凝固部分到上部最后凝固部分，硼的浓度相当均匀，使得整个铸造多晶硅晶锭中的电阻率也比较均匀，图2.10-6是铸造多晶硅晶锭电阻率的理论和实际分布曲线。

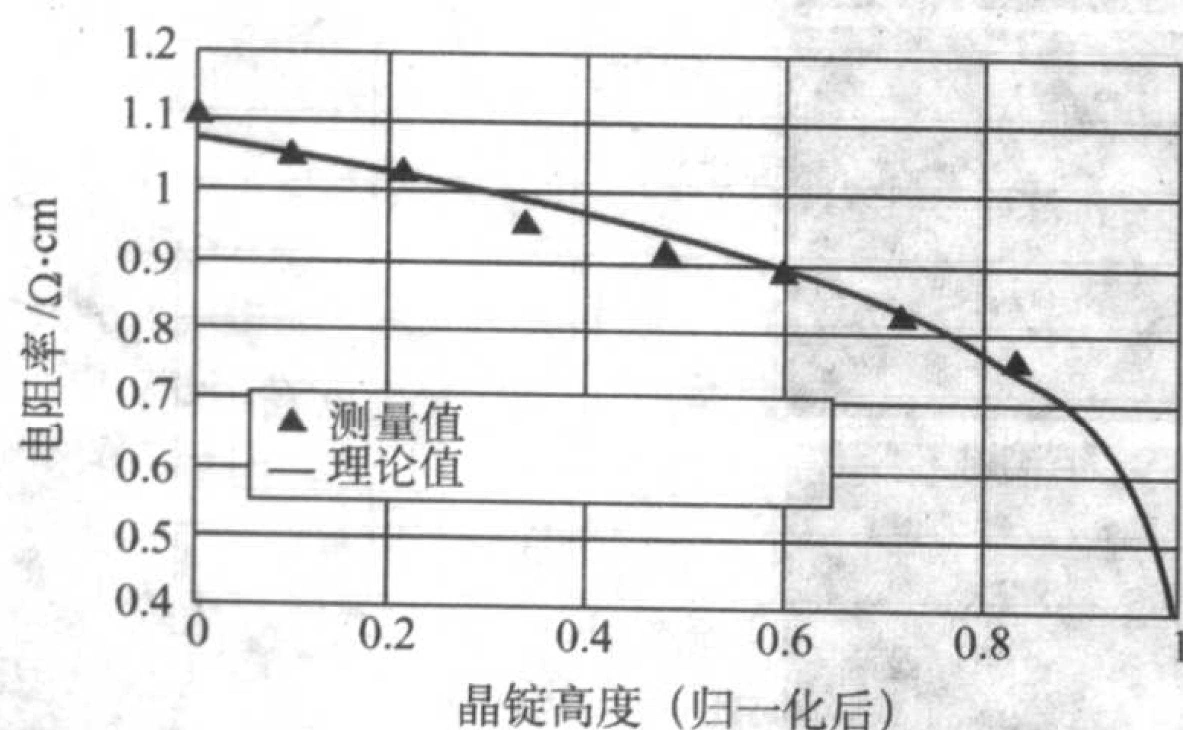


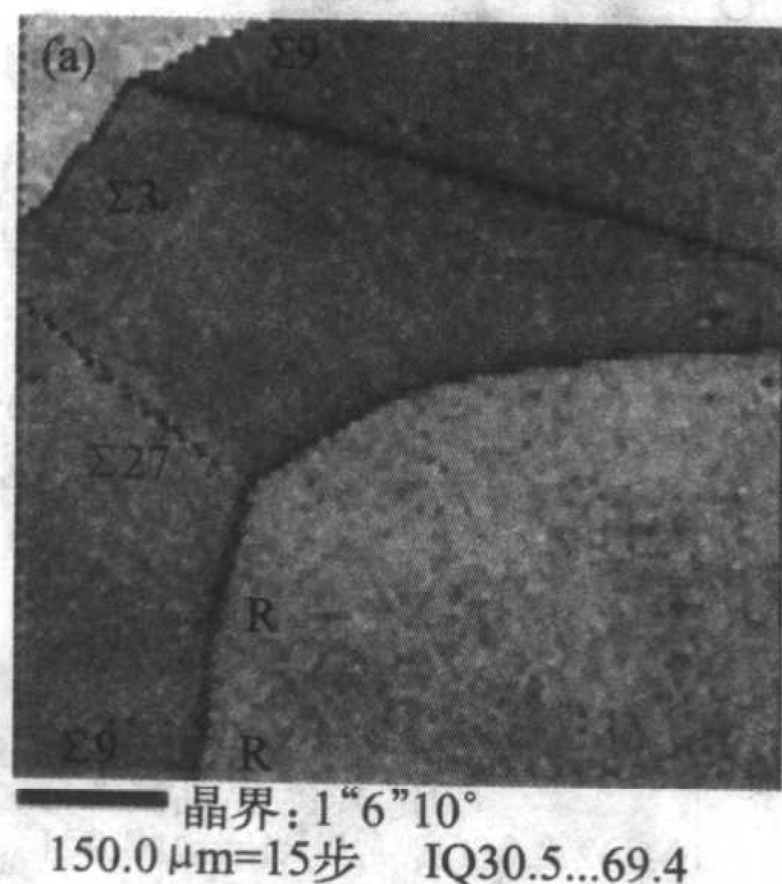
图2.10-6　铸造多晶硅晶锭电阻率的理论和实际分布曲线

1.3　铸造多晶硅的缺陷和杂质

铸造多晶硅不仅具有大量的晶界和位错，而且氧、碳浓度和其他金属杂质浓度相对控制困难，这些缺陷和杂质的浓度和电学性能都对材料的性能以及太阳电池的性能具有重要影响。

(1) 晶界

铸造多晶硅是由许多晶向不同的晶粒组成，晶粒的大小一般在10 mm左右。在晶粒的相交处存在着晶界，此处硅原子的有规则排列被打断，出现悬挂键。根据晶界结构的不同，可以分为小角晶界和大角晶界两种，前者是指两相邻晶粒之间的旋转夹角小于10°的晶界，而后者是指旋转角大于10°的晶界，在实际铸造多晶硅中，绝大部分的晶界（>80%）是大角晶界，只有少量的小角晶界。根据共位晶界模型，大角晶界又可以分为特殊晶界（CSL，用Σ值表示）和普通晶界（random，用R表示），其中特殊晶界又可以分为Σ3，Σ9和Σ27型等晶界，在所有的大角晶界中，Σ3晶界占到30%～50%，其次是R晶界比较多。图2.10-7显示了多晶硅中存在的各种典型晶界。



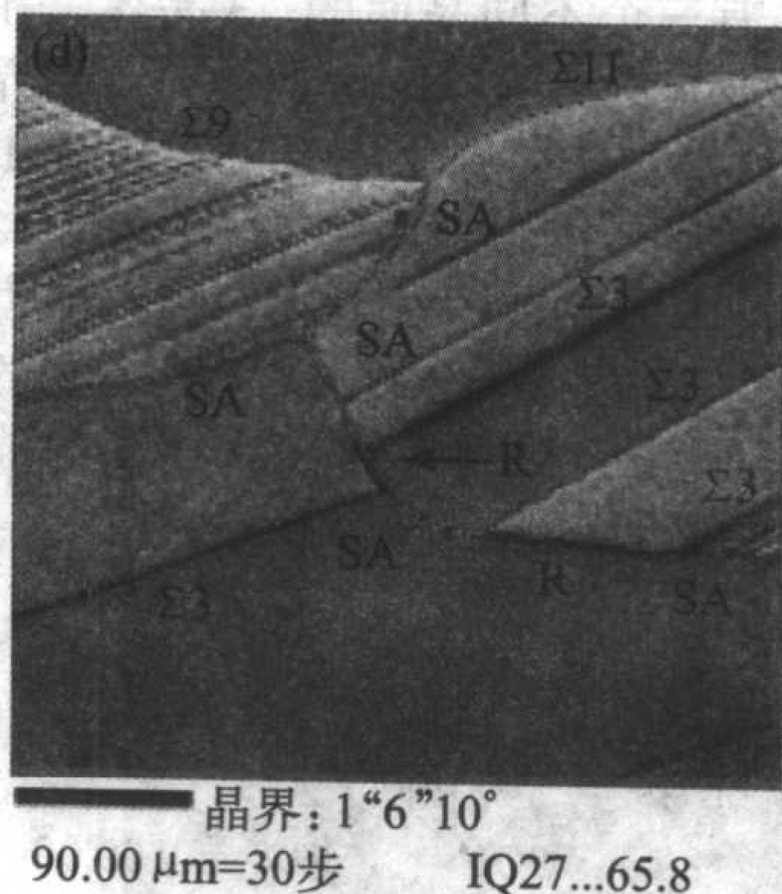
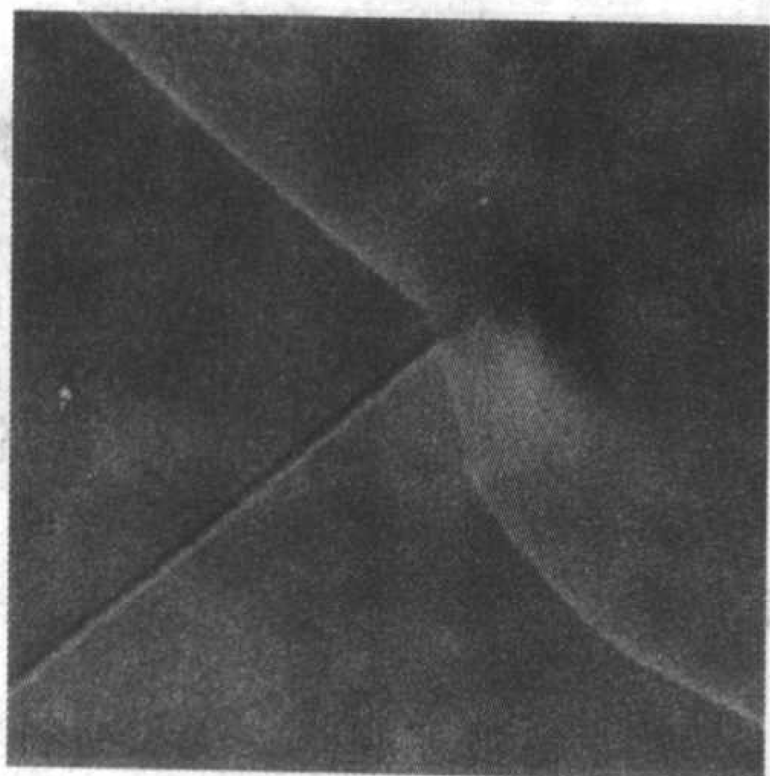
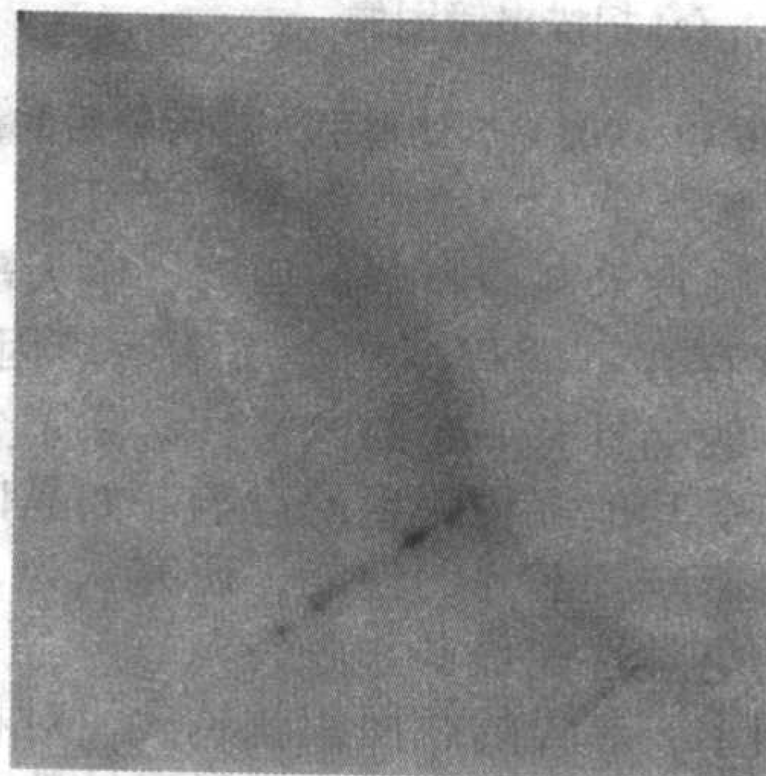


图2.10-7　多晶硅的电子束背散射衍射图像

早期的研究发现认为，晶界的缺陷能级是深能级，是少数载流子的强复合中心，会导致材料性能的降低。后来，研究者发现晶界的电学性质与晶界结构、特征有关，如Σ3型的晶界是浅能级复合中心，而其他晶界则是深能级复合中心。进一步的研究表明，晶界的电活性和金属的污染紧密相关，没有金属缀饰的纯净晶界不具有电活性，或者说电活性很弱，不是载流子的俘获中心，并不影响多晶硅的电学性能。图2.10-8是几乎没有金属污染的铸造多晶硅晶界的室温扫描电镜（SEM）和电子束诱生电流（EBIC）图像，从扫描电镜照片中可以看到明显的晶界，但是在EBIC图像中，晶界处显示出淡淡的痕迹，和晶界内相比衬度差不明显，说明此时晶界的电活性很弱。



(a)



(b)

图2.10-8　没有金属污染的铸造多晶硅晶界的扫描电镜
(a) 和室温电子束诱生电流 (b) 图像

当杂质（主要是金属杂质）偏聚到晶界上时，晶界将具有电活性，会影响少数载流子的扩散长度，从而影响材料的光电转换效率。一般而言，金属杂质的浓度越高，对晶界的影响越大，导致材料的性能越差。研究已经证明，同类的晶界对不同金属具有不同的吸杂能力；而不同的晶界，吸引金属杂质沉积的能力也不同，最终形成的电活性也不同。

将具有纯净晶界的原生铸造多晶硅分别浸入$CuCl_2$和$FeCl_3$的饱和溶液中，然后取出晾干，分别在400℃和900℃

的温度下热处理，使得金属杂质能够从铸造多晶硅表面扩散到体内，多晶硅随炉慢速冷却后，在配有电子束诱生电流图像功能的扫描电镜中观察。图 2.10-9 是金属污染后的铸造多晶硅晶界的扫描电镜（SE）和室温电子束诱生电流（EBIC_300 K）图像，从图中可以看出，铜在晶界上的沉积能力较强，同样是400℃热处理，铜污染的多晶硅样品的 EBIC 图像中可以看出明显的晶界，而铁污染的多晶硅样品的晶界衬度比较弱，说明了不同的金属在晶界上的沉积能力不同，换句话说，晶界对不同的金属具有不同的吸引（或吸杂）能力。

从图中还可以进一步看出，同样是铁污染的样品，在 EBIC 图像中 900℃污染的样品显示出明显的晶界衬度，而 400℃铁污染的铸造多晶硅样品只有淡淡的衬度，说明此时的晶界电活性很弱。由于铁在硅中的固溶度随温度的上升而快速上升，因此相比于 900℃污染的样品，400℃热处理的样品中铁杂质的浓度要低得多，说明了金属杂质浓度越高，对晶界的电活性影响就越大。

不同的晶界结构对金属的吸杂能力也是不同的。经过 $FeCl_3$ 浸泡的样品，在 900℃热处理引进铁污染后的扫描电镜和室温电子束诱生电流图像如图 2.10-10 所示。从扫描电镜图中可以看出，中间晶粒具有三个不同晶面的 Σ3 晶界，在引入铁污染后，在 EBIC 图像中 Σ3｛110｝和 Σ3｛112｝晶界显示出明显的衬度，而 Σ3｛111｝晶界则没有衬度，表现出铁易于在 Σ3｛110｝和 Σ3｛112｝晶界上沉淀，而很难在 Σ3｛111｝晶界沉淀，说明了不同的晶界结构对金属的吸杂能力不同。实验证实，普通晶界（random）吸引金属杂质沉积的能力要大于高 Σ 的晶界，而低 Σ 的晶界吸引金属杂质的能力最弱。

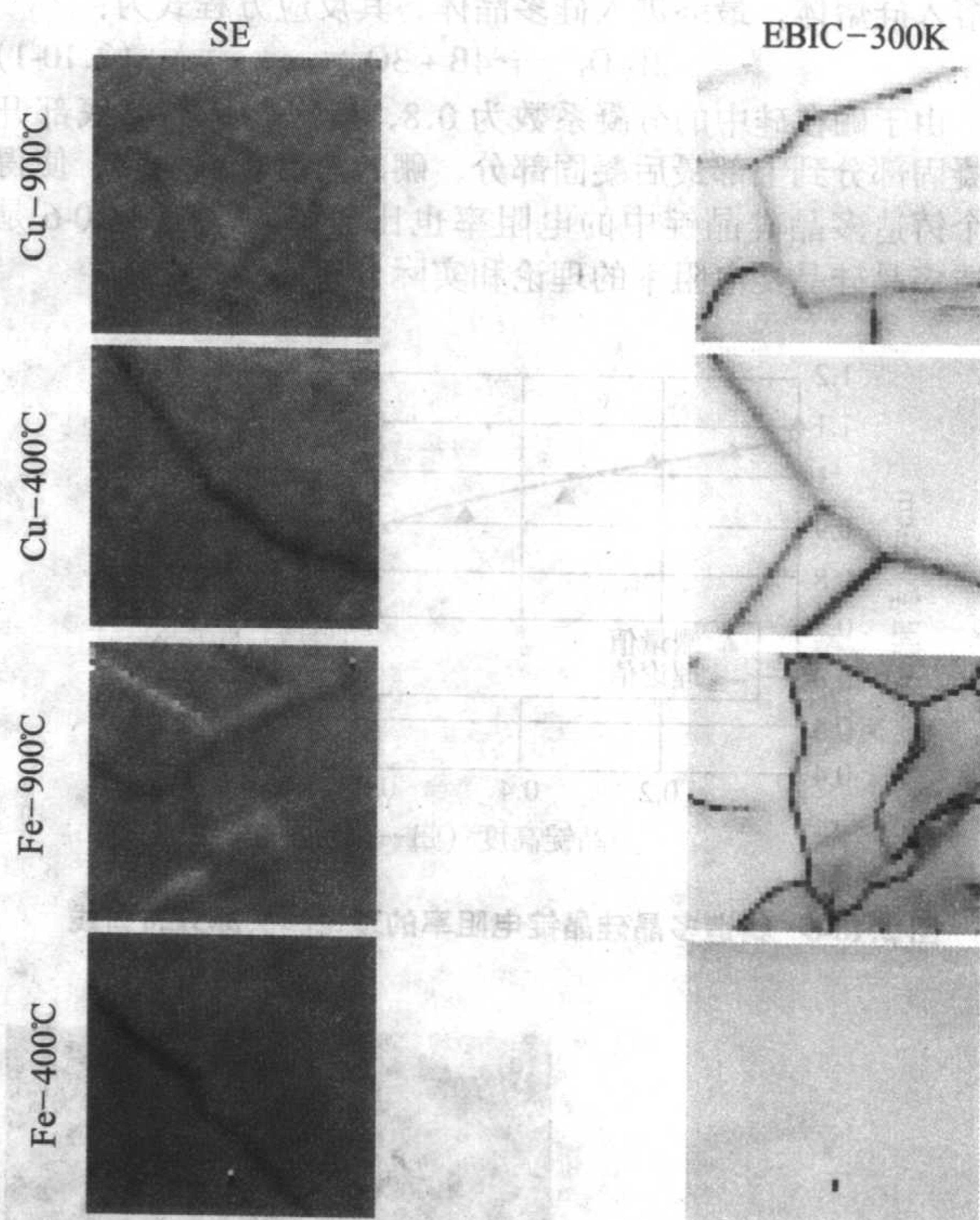
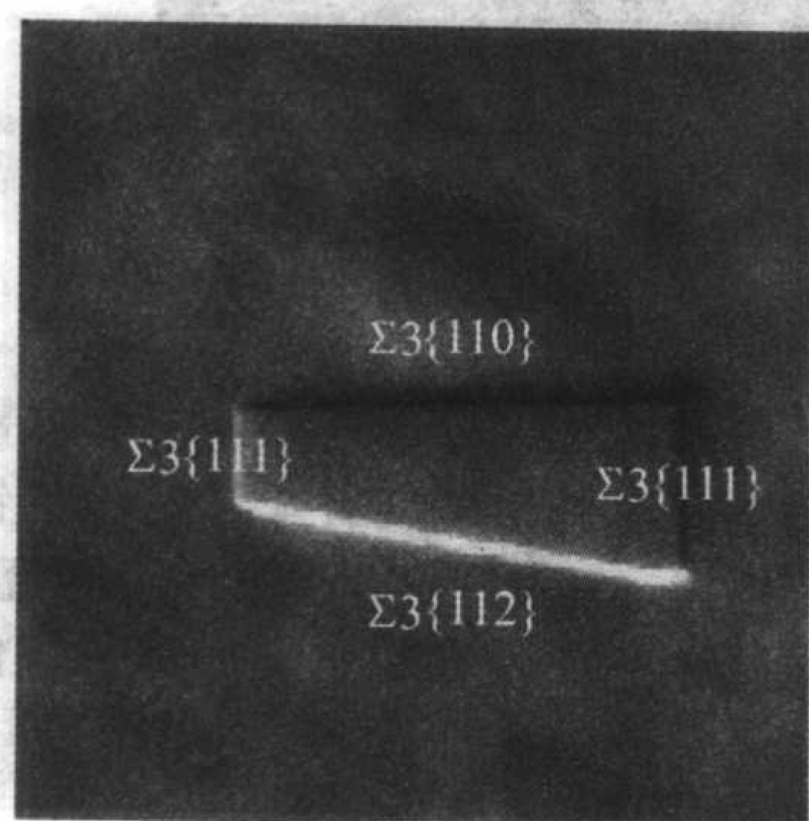
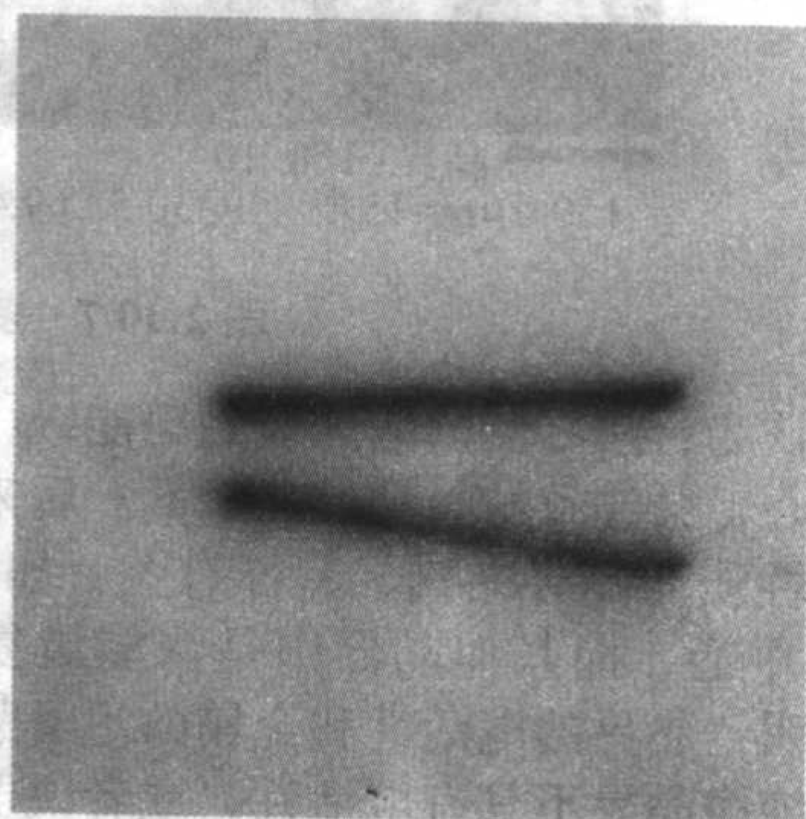


图 2.10-9　金属污染后的铸造多晶硅晶界的扫描电镜（SE）和室温电子束诱生电流（EBIC－300 K）图像



(a) 扫描电镜图像



(b) EBIC图像

图 2.10-10　900℃热处理引入铁污染后的铸造多晶硅晶界的扫描电镜和室温电子束诱生电流图像

事实上，由于晶体生长技术和原材料的原因，绝大部分的原生铸造多晶硅本身就存在不同程度的金属沾污。因此，原生铸造多晶硅的晶界一般都具有一定的电活性，除了金属杂质外，电活性的大小还受其他多种因素的影响。如晶体生长时的固液界面形状也会影响到晶界的性能，研究认为，平直的固液界面导致晶界的电学性能最弱。

一般而言，晶粒越细小，晶界的总面积就越大，对材料性能的影响也越大；因此，当晶粒较小时，晶界对铸造多晶硅的光电转换效率有严重的限制。但是和化学气相沉积的多晶硅薄膜相比，铸造多晶硅晶粒要大得多，具有很小的表面积与体积比，因此，铸造多晶硅中晶界的影响要稍弱。特别是晶锭的上部，随着高度的增加，通过兼并邻近的晶粒，晶粒逐渐增大，可以达到 10 mm 以上，此时的晶界量变少，晶界对材料的光电转换效率的影响很小。

研究还表明，当晶界垂直于器件的表面时，对光生载流子的运动几乎没有阻碍作用，此时晶界对材料的电学性能几乎没有影响。现代铸造多晶硅晶柱的生长方向基本上都垂直于生长界面，晶锭切割后，晶界的方向便能垂直于硅片表面。因此，在现代优质铸造多晶硅中，晶界已不是制约材料电学性能的主要因素。

（2）位错

位错是铸造多晶硅中的另一种重要的晶体结构缺陷。在晶体生长过程中，由于存在温度梯度，从而产生热应力。由于热应力的作用，会在晶粒中产生大量的位错，根据晶体生长的方式和过程不同，铸造多晶硅中的位错密度大约在 10^3～$10^8/cm^2$ 左右，典型的位错密度约为 $10^6/cm^2$。图 2.10-11 显示的是化学腐蚀后铸造多晶硅的光学显微镜照片，从照片中可以看出，铸造多晶硅中存在大量的位错。由于多晶硅的晶向各种各样，因此，腐蚀坑一般显示为圆形或椭圆形，很难得到像单晶硅中位错腐蚀后的规整腐蚀坑形状。

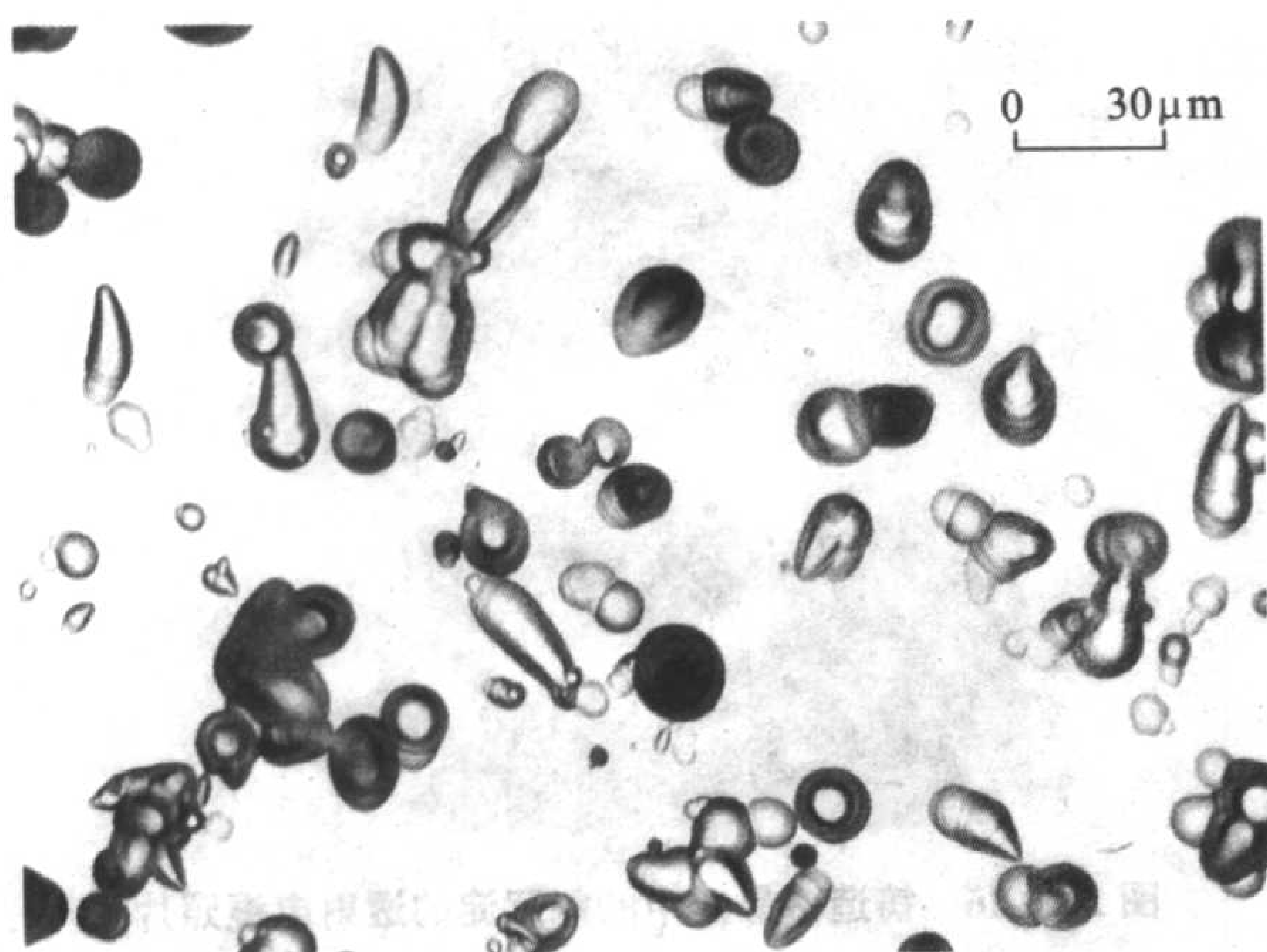


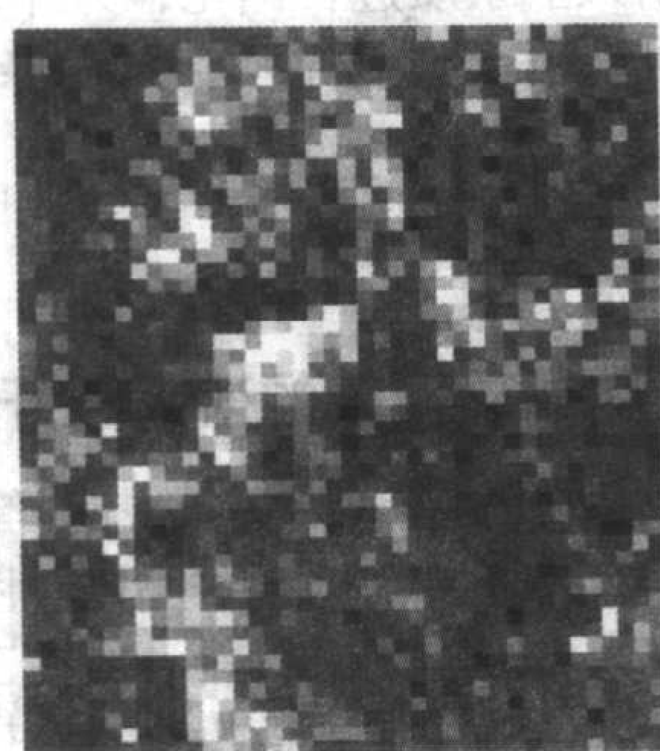
图 2.10-11　含有高密度位错的铸造多晶硅的光学显微镜照片

铸造多晶硅中位错位于不同的滑移面上，或者纠结成位错团，或者组成小角晶界，这主要取决于热应力。位错具有高密度的悬挂键，存在很强的电活性，可以直接作为复合中心，导致少数载流子的寿命或扩散长度大幅度降低；更进一步地，金属杂质和氧碳等杂质易于在位错上偏聚、沉淀，造成新的电活中心，也造成电学性能的不均匀，从而影响材料的质量。

位错和多晶硅材料的扩散长度有明显的关系，图 2.10-12（a）是铸造多晶硅中的位错密度的分布图，而图 2.10-12（b）是相应位置的少数载流子的有效寿命分布图。从图中可以看出，位错密度高的地方，少数载流子的寿命就低；反之亦然。

（3）氧杂质

氧是铸造多晶硅中的主要杂质之一，其浓度在 1×10^{17} ~ $1\times10^{18}/cm^3$。氧的来源主要有两个，一是来自于原材料，因为铸造多晶硅的原料常常是微电子工业中的头尾料，本身就



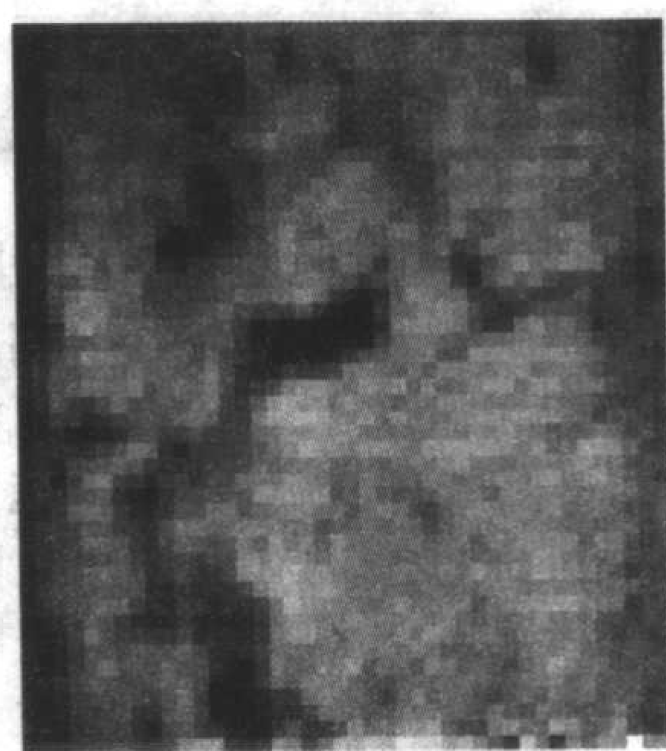



图 2.10-12　铸造多晶硅的位错密度（a）和少数载流子的有效寿命（b）的分布图

包含有一定量的氧杂质；二是来自于石英坩埚的污染，其原理和直拉硅单晶中氧的引入很相似，是由于熔硅和石英坩埚的作用，导致氧熔入硅熔体，如下式所示：

$$Si + SiO_2 \longrightarrow 2SiO \tag{2.10-2}$$

生成的 SiO 一部分溶解在硅熔体中，结晶后，最终进入多晶硅晶体；而另一部分 SiO 将从硅熔体的表面挥发，此时硅熔体表面的蒸气压起着决定性的作用。和直拉硅单晶生长不同的是，铸造多晶硅的晶体生长，一般在真空中进行，或者有保护气，但保护气不能及时更新，因此，SiO 的挥发要比直拉硅单晶生长时的挥发少得多；但是，在铸造多晶硅制备过程中，没有强烈的机械强迫对流，只有热对流，使得硅熔体对石英坩埚壁的侵蚀小；所以，铸造多晶硅中氧的浓度受多方面的因素影响。

氧在硅中的分凝系数为 1.25 左右，因此，在铸造多晶硅中氧浓度一般从先凝固的晶锭底部到最后凝固的上部逐渐降低，如图 2.10-13 所示。由图可知，在晶锭的最底部接近石英坩锅处的氧浓度可以高达 $1.3\times10^{18}/cm^3$，随着晶锭高度的增加，氧浓度迅速降低，接近 $3\times10^{17}/cm^3$。

由于晶体生长和冷却过程的不同，铸造多晶硅中氧浓度也有不同，表 2.10-2 是浇铸法和直熔法制备的多晶硅的氧浓度的比较，可以看出浇铸多晶硅的中部和上部的氧浓度相对较低。

由于多晶硅晶体生长系统中没有机械强迫对流，仅仅靠热对流，氧在熔体中的扩散是不充分的，因此，硅熔体中氧

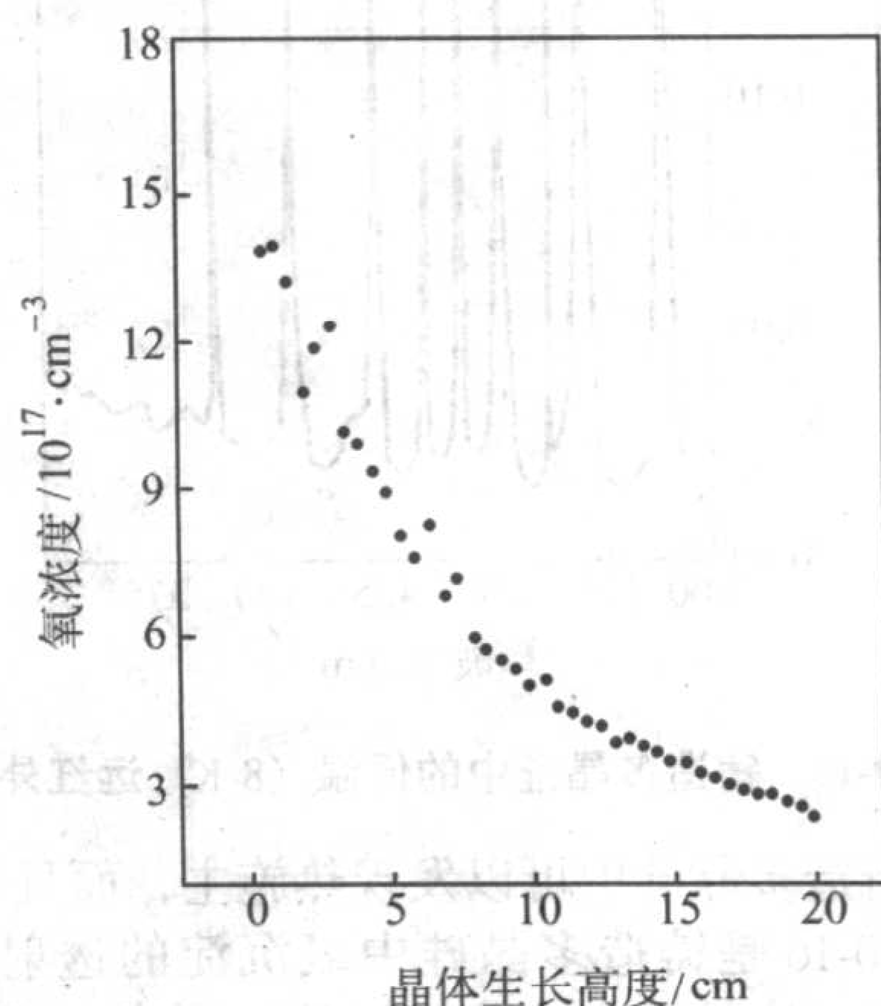


图 2.10-13　铸造多晶硅中氧浓度沿晶体生长方向的浓度分布

表 2.10-2　多晶硅不同位置处的氧浓度

晶体位置	间隙氧 [O_i] /$10^{17}\cdot cm^{-3}$	
	浇铸法	直熔法
底部	6.5	6
中部	0.9	3.5
上部	0.5	2

的分布可能是不均匀的，在靠近坩埚壁的硅熔体中，氧浓度的含量会高一些。同时，相对于中心部位而言，坩锅壁附近的熔体首先凝固。所以，间隙氧浓度的浓度从边缘到中心也是逐渐降低的，如图 2.10-14 所示。

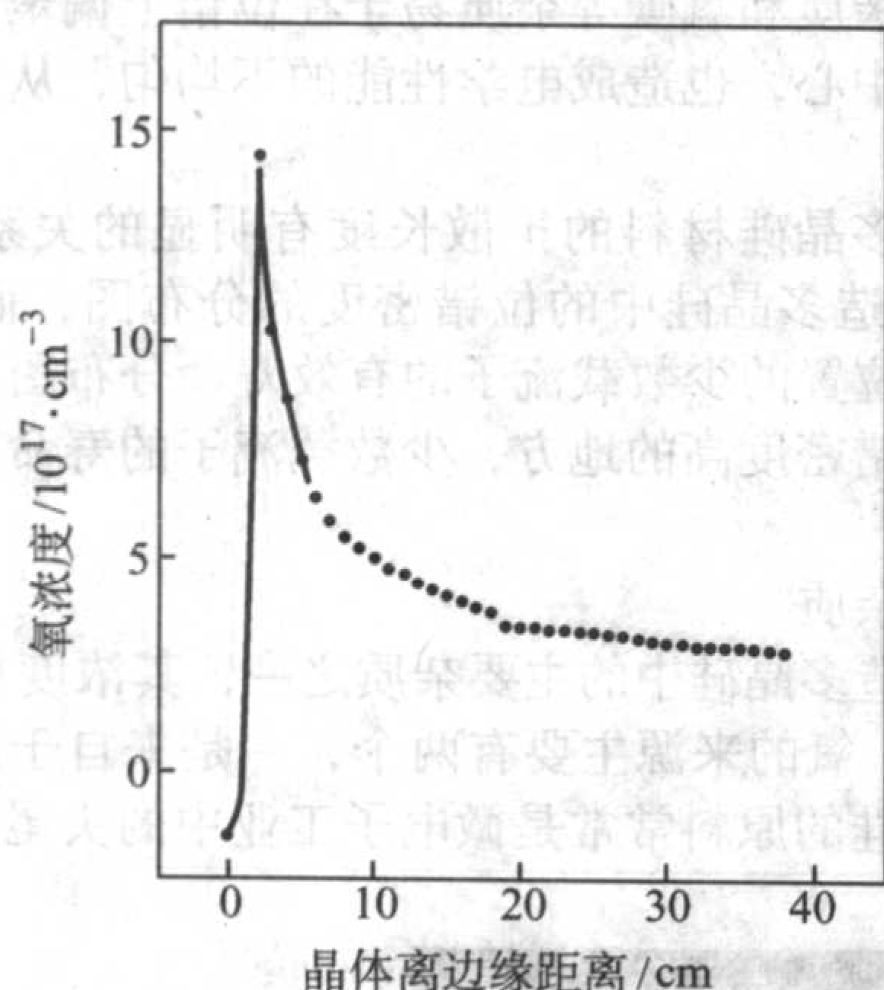


图 2.10-14 铸造多晶硅中氧浓度从边缘到中心的分布

由于铸造多晶硅的晶体生长和冷却耗时超过 30 多小时，使得晶体生长完成后的晶体底部在高温中等待较长时间，相当于经历了从高温到低温的不同温度的热处理。如果氧浓度比较高，那么，就很容易在原生铸造多晶硅中产生氧施主和氧沉淀。图 2.10-15 是铸造多晶硅的低温远红外谱，由图可知，在红外光谱的 350 ~ 500 波数范围内，有多个明锐的吸收光谱峰，证明了硅多晶中热施主的产生。这些热施主一般是铸造多晶硅在 350 ~ 550℃温度区间热处理时，由于间隙氧的聚集而形成的。

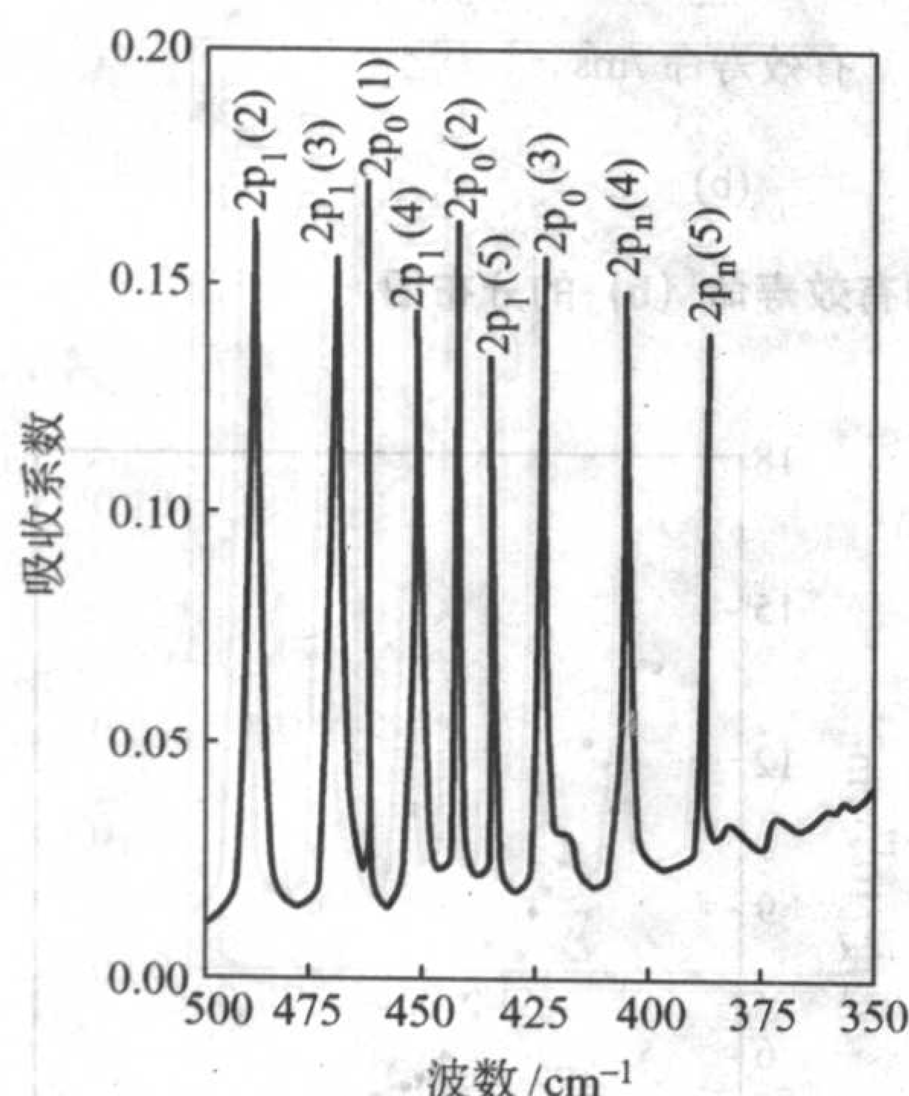


图 2.10-15 铸造多晶硅中的低温（8 K）远红外图谱

不仅在铸造多晶硅中可以发现热施主，而且可以发现氧沉淀。图 2.10-16 是铸造多晶硅中氧沉淀的透射电镜照片，从照片中可知，这是两个片状氧沉淀，厚度小于 10 nm，长度在 100 ~ 200 nm 之间，沉淀对基体具有较大应力，因此，在电镜照片中存在着应力衬度。

和直拉硅单晶中氧一样，间隙氧本身对铸造多晶硅的性能影响不大，但是，一旦形成热施主或氧沉淀，就会导致材料少数载流子寿命的降低。而且，铸造多晶硅中的氧可以和掺杂剂硼原子作用，会形成 BO 对，导致相关太阳电池光电转换效率的降低。因此，为了降低氧浓度，在实际工艺中常常使用具有 Si_3N_4 等涂层的石英坩埚，使熔硅和石英坩埚实现物理隔离，导致制造多晶硅中的氧浓度大幅度下降。目前，优质铸造多晶硅的氧浓度可以低于 $5\times10^{17}/cm^3$。

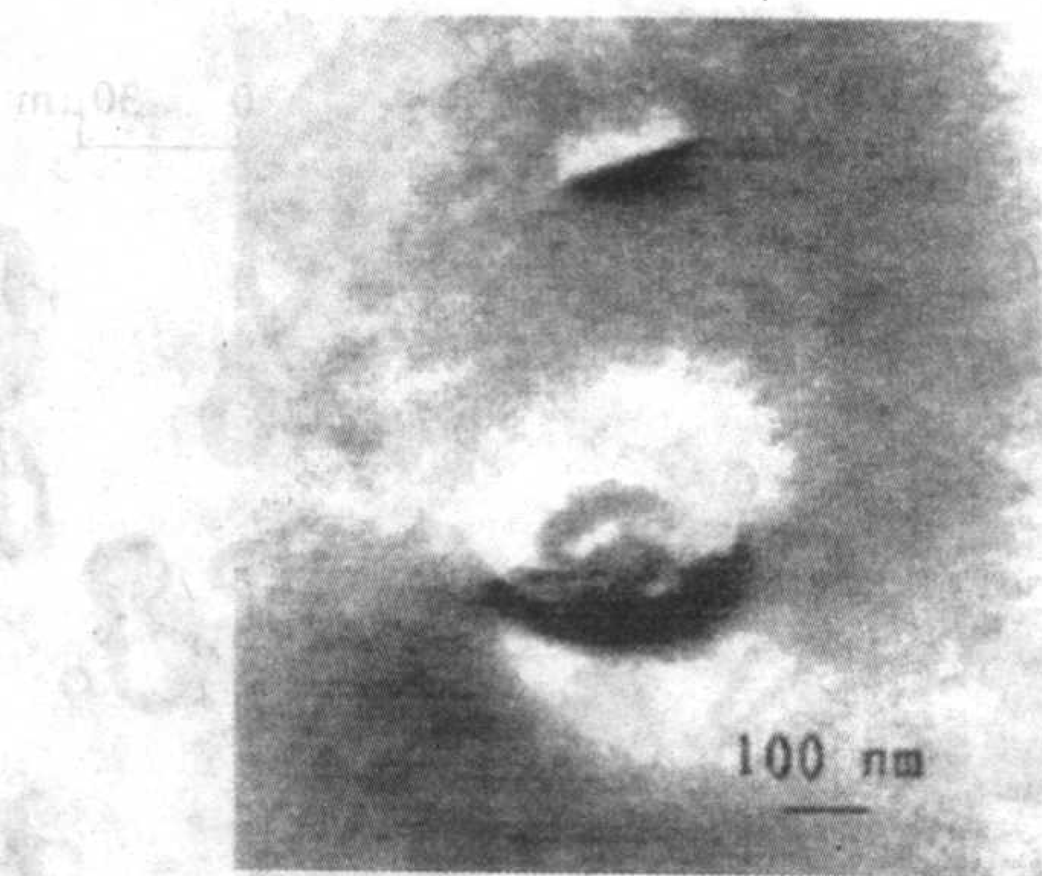


图 2.10-16 铸造多晶硅中的氧沉淀的透射电镜照片

在铸造多晶硅中，除了氧杂质，还有来自石墨加热器或石墨坩埚的碳杂质；为了降低位错和晶界的电活性，也有意识地引入氢杂质进行钝化；另外，在原材料或晶体生长过程中还可能引入金属杂质，这些杂质对材料的性能都有重要影响。

2 非晶硅薄膜

2.1 非晶硅薄膜的研究和开发

非晶硅（amorphous silicon，简称 a-Si）是重要的薄膜半导体材料，它具有独特的物理性能，可以大面积加工，因此，作为太阳能光电材料已经在工业界广泛应用，同时，它还在大屏幕液晶显示、传感器、摄像管等领域有着重要的应用。

早在 20 世纪 60 年代，人们就开始非晶硅的基础研究，到 70 年代，非晶硅就开始用作为太阳能光电材料。1976 年，卡尔松（D.E.Carlson）等人首先报道了利用非晶硅薄膜制备太阳电池，其光电转换效率为 2.4%。时至今日，非晶硅薄膜太阳电池已发展成为实用廉价的太阳电池品种之一，具有相当的工业规模。世界上非晶硅太阳电池的总组件生产能力达到每年 50 MW 以上，组件及相关产品的销售额在 10 亿美元以上。应用范围小到手表、计算器电源，大到 10 MW 级的独立电站，对太阳能光伏的发展起了重要的推动作用。

非晶硅没有块体材料，只有薄膜材料，所以，非晶硅即是指薄膜非晶硅或非晶硅薄膜。和晶体硅相比，非晶硅薄膜具有制备工艺简单、成本低和可大面积连续生产的优点。在太阳电池领域，其优点具体表现为：①材料和制造工艺成本低。这是因为非晶硅薄膜太阳电池在制备廉价的衬底材料上，如玻璃、不锈钢、塑料等，其价格低廉；而且，非晶硅薄膜仅有数百纳米厚度，不足晶体硅电池厚度的百分之一，这也大大降低了硅原材料的成本；进一步而言，非晶硅制备是在低温下进行，其沉积温度为 100 ~ 300℃，显然，规模生产的能耗小，可以大幅度降低成本。②易于形成大规模生产能力。这是因为非晶硅适合制作大面积无结构缺陷的薄膜，生产可全流程自动化，显著提高劳动生产率。③多品种和多用途。不同于晶体硅，在制备非晶硅薄膜时，只要改变原材料的气相成分或者气体流量，便可使非晶硅薄膜改性，制备出新型的太阳电池结构（如 PIN 结或其他叠层结构）；并且，根据器件功率、输出电压和输出电流的要求，可以自由设计制造，方便地制作出适合不同需求的多品种产品。④易实现柔性电池。非晶硅可以制备在柔性的衬底上，而且它的硅网结构力学性能特殊，因此，它可以制备成轻型、柔性太阳电池，易于和建筑集成。

但是，和晶体硅相比，非晶硅太阳电池的效率相对较低，在实验室电池的稳定最高转换效率只有 13%左右；在

实际生产线上，非晶硅太阳电池的效率也不超过 10%；而且，非晶硅太阳电池的光电转化效率在太阳光的长期照射下会有严重地衰减，到目前为止仍然没有根本解决。所以，非晶硅太阳电池主要应用在一些计算器、手表、玩具等小功耗器件中。

要改善非晶硅太阳电池的效率，一个是改善材料的性能，另一个是改善太阳电池的设计。从非晶硅材料方面，不仅需要增加非晶硅材料对太阳光的吸收，而且需要减少缺陷态密度，降低光生载流子的复合。因此，除了改变和优化非晶硅材料的制备工艺外，开发新型非晶硅合金材料也是一条重要的新途径，如 α-SiGe 和 α-SiC 合金等。

2.2　非晶硅薄膜的基本性质

从晶体结构来分类，材料可分为晶体和非晶体，其中晶体又包括单晶、多晶、微晶以及纳米晶，由于晶体和非晶体的原子结构排列的不同，即使同一元素组成的非晶材料和晶体材料的性质也有许多重大不同。对于硅材料而言，同样存在晶体结构与晶体硅不同的非晶硅，具有特殊的结构、性质和应用。

与晶体硅相比，薄膜非晶硅具有如下的基本特征和性质：

1）晶体硅的原子是在三维空间上周期性的有规则的重复排列，具有原子长程有序的特点；而非晶硅的原子在数纳米甚至更小的范围内呈有限的短程周期性的重复排列，而从长程结构来看，原子排列是无序的。

2）晶体硅是由连续的共价键组成，而非晶硅虽然也是由共价键组成，价电子被束缚在共价键中，满足外层 8 个电子稳定结构的要求，而且每一个原子具有 4 个共价键，呈四面体结构；但是，其共价键显示连续的无规则的网络结构。

3）单晶硅的物理性质是各向异性，即在各个晶向方向其物理特性有微小的差异；而多晶硅、微晶硅、纳米硅的晶向呈多向性，所以，其物理特性是各向同性；而非晶硅的结构也决定了它的物理性质具有各向同性。

4）从能带结构上看，非晶硅不仅具有导带、价带和禁带，而且具有导带尾带、价带尾带，其缺陷在能带中引入的缺陷能级也比晶体硅中显著，取决于非晶硅结构的无序程度。其电子输运性质也和晶体硅有区别，出现了跃迁导电机制，电子和空穴的迁移率很小，对电子而言，只有 1 cm^2/Vs，对空穴而言，约 0.1 cm^2/Vs。而且，室温下，非晶硅薄膜的电阻率很高。

5）晶体硅是间接带隙结构，而非晶硅是直接带隙结构，所以，非晶硅的光吸收率大。而且，禁带的宽度也不是晶体硅的 1.12 eV，而是 1.5 eV，并且在一定程度上可调。

6）在一定范围内，取决于制备技术，通过改变掺杂剂和掺杂浓度，非晶硅的密度、电导率、禁带等性质可以连续变化和调整，易于实现新性能的开发和优化。

7）非晶硅比晶体硅具有更高的晶格势能，因此在热力学上是处于亚稳状态，在合适的热处理条件下，非晶硅可以转化为多晶硅、微晶硅和纳米硅。实际上，后者的制备常常通过非晶硅的晶化而来。

2.3　非晶硅薄膜的制备

非晶硅的制备需要很快的冷却速度，一般要大于 10^5 ℃/s，所以，其制备通常用气相沉积技术，如：等离子增强化学气相沉积（PE-CVD）、溅射气相沉积（SP-CVD）、光化学气相沉积（photo-CVD）和热丝化学气相沉积（HW-CVD）等，而最常用的技术是等离子增强化学气相沉积技术，即辉光放电分解气相沉积技术。

（1）辉光放电的基本原理

在真空系统中通入稀薄气体，两电极之间将产生放电电流，产生辉光放电现象。图 2.10-17 是辉光放电系统中的 *I-V* 特性曲线，如图所示，其曲线可以分为几个阶段，包括汤森放电、前期放电、正常放电、异常放电、过渡区和电弧放电，其中能实现辉光放电功能的是具有恒定电压的正常辉光放电和具有饱和电流的异常辉光放电。在实际工艺中，人们选择异常辉光放电阶段。

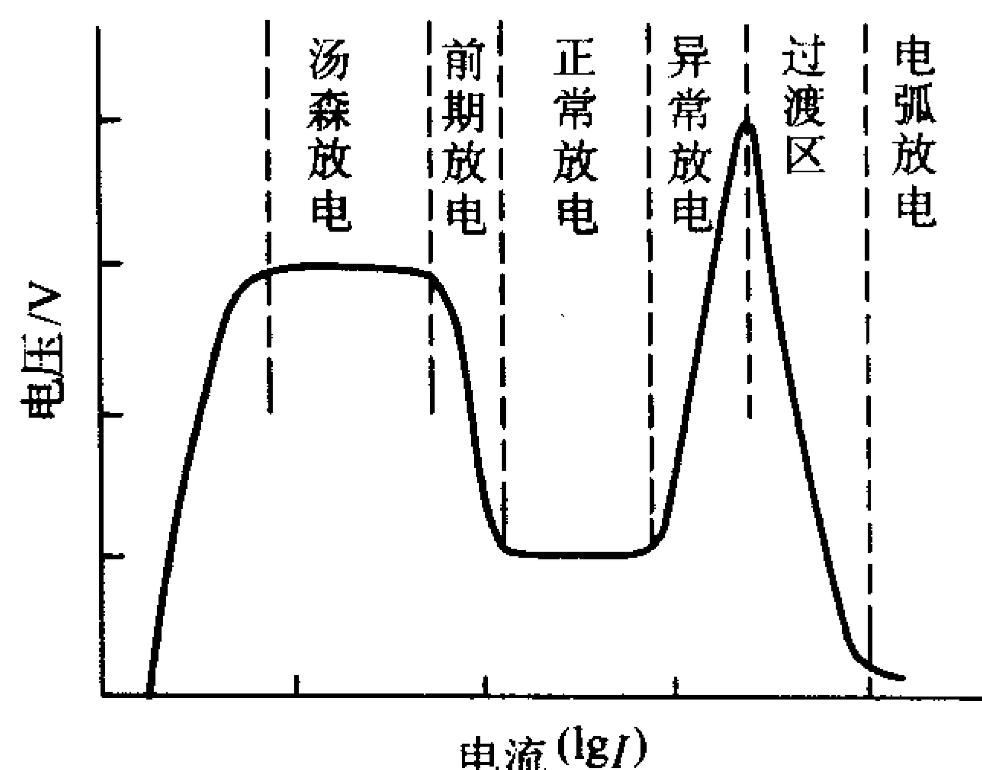


图 2.10-17　辉光放电系统的 *I-V* 特性曲线

辉光放电时，在两电极间形成辉光区，从阴极到阳极，又可细分为阿斯顿暗区、阴极辉光、克鲁克斯暗区、负辉光、法拉第暗区、正离子柱、阳极暗区和阳极辉光等区域，如图 2.10-18 所示。当电子从阴极发射时，能量很小，只有 1 eV 左右，不能和气体分子作用，在靠近阴极处形成阿斯顿暗区；随着电场的作用，电子具有更高的能量，可以和气体分子作用，使气体分子激发发光，形成阴极辉光区；其中没有和气体分子作用的电子被进一步加速，再与气体分子作用时，产生大量的离子和低速电子，并没有发光；造成克鲁克斯暗区；而克鲁克斯暗区形成的大量低速电子被加速后，又和气体分子作用，促使它激发发光，形成负辉光区。对于阳极附近区域，情况亦然。

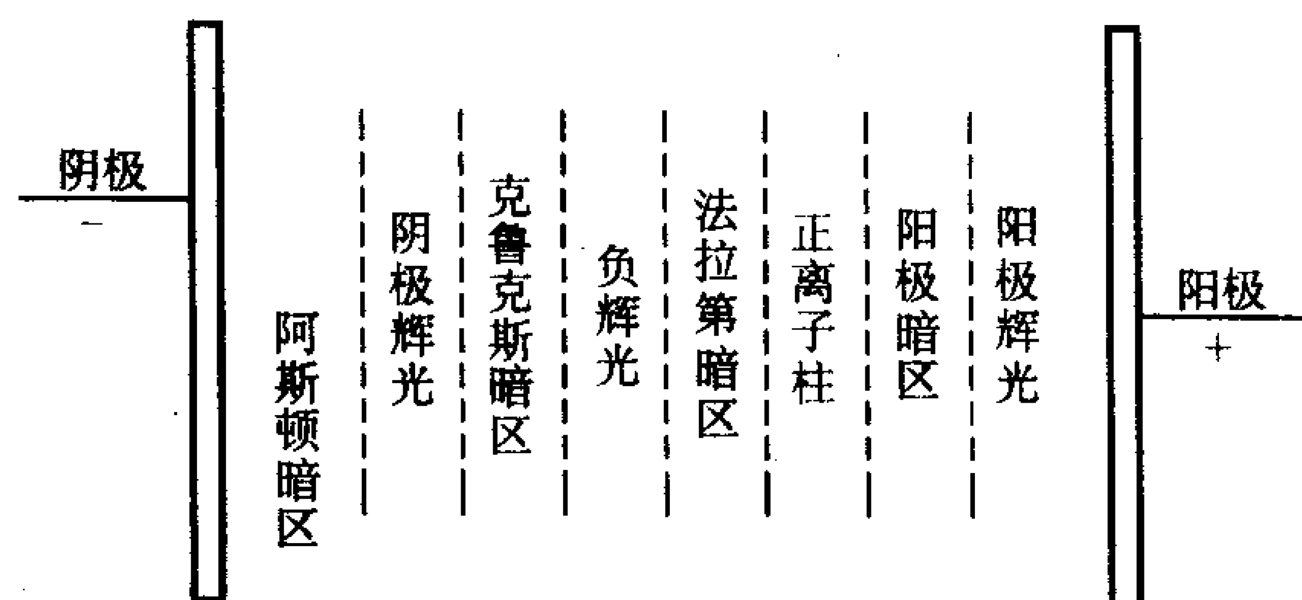


图 2.10-18　辉光放电系统的辉光区示意图

在两电极的中间存在一个明显的发光区域，称为正离子柱区（或阳极光柱区），在这个区域中，电子和正离子基本满足电中性条件，处于等离子状态。如果适当调整电极间距，可以使得等离子区域（即正离子柱区）在电极间占主要部分，所以辉光放电分解沉积又可称等离子增强化学气相沉积。

在辉光放电过程中，等离子体的温度、电子的温度和电子的浓度是关键因素。一般而言，辉光放电是低温过程，等离子体的温度在 100～500℃，而电子的能量在 1～10 eV 左右，电子的浓度达到 10^9～$10^{12}/cm^3$，电子的温度达到 10^4～10^5 K。

（2）等离子增强化学气相沉积制备非晶硅

图 2.10-19 是等离子增强化学气相沉积系统的结构示意图，由图可以看出，反应室中有阴极、阳极电极，反应气体和载气从反应室一端进人，在两电极中间受等离子体，产生化学反应，生成的硅原子沉积在被加热的电子撞击，形成衬

底表面，形成非晶硅薄膜，而生成的副产品气体则随载气流出反应室。实际工艺中，根据辉光放电的功率和频率不同，辉光放电可分为直流辉光放电、低频辉光放电（数百 kHz）、超高频辉光放电（70 ~ 150 MHz）、射频辉光放电（RF，13.56 kHz）、微波辉光放电。根据电极形式的不同，辉光放电的设备又可以分为外耦合电感式、外耦合电容式、内耦合平行板电容式和外加磁场式等等，而常用的设备是射频电容式。

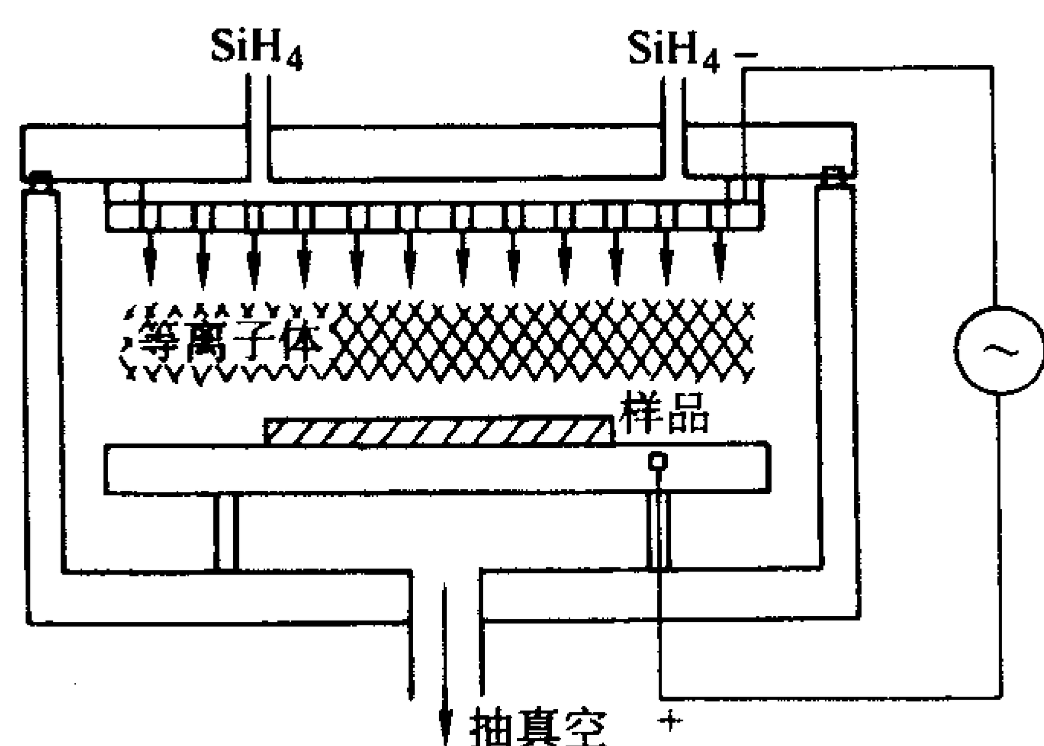


图 2.10-19　等离子增强化学气相沉积系统的结构示意图

利用等离子增强化学气相沉积制备非晶硅，主要是采用硅烷（SiH_4）气体的热分解，其反应方程式为：



$$SiH_4 \longrightarrow Si + 2H_2 \qquad (2.10\text{-}3)$$

由式（2.10-3）可知，硅烷分解成硅原子，沉积在衬底材料上形成非晶硅薄膜。如果在原料气体 SiH_4 中加入硼烷（B_2H_6），在硅烷分解的同时，硼烷也分解，硼原子掺入到非晶硅中，形成 p 型的非晶硅。同样，如果在原料气体 SiH_4 中加入磷烷（PH_3），就可以形成 n 型非晶硅。如果在非晶硅生长过程中，交替通入硼烷和磷烷，这样就可以制备出具有 p-i-n（或称 PIN）结构的非晶硅薄膜太阳电池。

实际上，在等离子增强化学气相沉积系统中的化学反应远比式（2.10-3）复杂。通常，硅烷是用氢气稀释的，在辉光放电产生的等离子体中，包括了 Si、SiH、H、H_2 等原子团、分子团或离子，还可能存在 SiH_2、SiH_3 等中性原子团，在非晶硅的沉积过程中，很可能有多种化学反应产生。而其中，SiH 和 H 原子团被认为最重要，有研究认为，在等离子增强化学气相沉积系统中实际发生的化学发应是：



$$SiH + H \longrightarrow Si + H_2 \qquad (2.10\text{-}4)$$

正是由于可能多种化学反应的存在，使得非晶硅的性能对制备的条件十分敏感，不同的设备都需要独特的优化工艺，才能制备出高质量的非晶硅。一般而言，衬度温度在 200 ~ 300℃，功率在 300 ~ 500 W/m^2，比较适宜制备非晶硅。

2.4　非晶硅薄膜的缺陷及钝化

通过硅烷分解而得到的非晶硅具有大量的结构缺陷，主要是硅的悬挂键，其次比较重要的缺陷是 Si-Si 弱键。硅的悬挂键具有电学活性，影响材料的性能；同时，这些悬挂键又非常不稳定，其密度和结构都会在后续处理中改变，使得非晶硅的电学性能不易控制。

在硅烷分解反应时，会产生一定量的氢原子，如式（2.10-3）和式（2.10-4）所示，这些氢原子在沉积时会进入非晶硅；同时，在制备非晶硅时，人们总是利用氢气来作为硅烷的稀释气体，这样在反应系统中直接引入了氢气，也会在非晶硅中产生一定的氢，从而得到含氢的非晶硅（简称 a-Si:H）。

研究发现，在含氢的非晶硅中，氢能够很好地和悬挂键结合，饱和悬挂键，降低其缺陷密度，去除其电学影响，达到了钝化非晶硅结构缺陷的目的。研究还发现，氢的加入不仅可以改变非晶硅缺陷态的密度，而且可以改变非晶硅的带隙宽度。随着非晶硅中氢含量的增加，其能隙宽度从 1.5 eV 可以增加到 1.8 eV。如在硅烷中掺入 5% ~ 15% 的氢气，用等离子增强化学气相沉积的方法制备非晶硅，光学带隙为 1.7 eV，悬挂键缺陷态密度为 10^{15} ~ 10^{16}/cm^3。

氢的加入虽然可以钝化非晶硅中的悬挂键，改善材料的光电性能。但是，氢在非晶硅中也会引起负面作用。研究指出，非晶硅中能够产生光致衰减的缺陷。非晶硅制备的太阳电池，在长期辐照下，其光电导和暗电导同时下降，导致光电转换效率的降低，而在 150 ~ 200℃热处理又可以恢复原来的状态，这种效应被称为 Staebler-Wronski 效应（S-W 效应）。暗电导的测量表明，光照时电导激活能增加，这意味着费米能级从带边向带隙中央移动，说明了光照在带隙中部产生了亚稳的能态或者说产生了亚稳缺陷中心，而这种亚稳缺陷可以退火消除。根据半导体载流子产生复合理论，禁带中央的亚稳中心的复合几率最大，具有减少太阳电池光生载流子寿命的作用；同时它又作为载流子的陷阱，引起太阳电池空间电荷量的增加，使光生载流子的自由漂移距离缩短，减少载流子收集效率；这些因素综合，就导致了使太阳电池的性能下降。

关于 S-W 效应的起因，人们先后提出了多种理论模型，如 Si-Si 弱键模型、电荷转移模型、再杂化双位模型、Si-H 弱键模型以及桥键模型等。尽管目前对 S-W 效应起因的解释还不一致，但其根本原因，被认为是和非晶硅中的氢的移动有关。人们相信，氢在非晶硅中不仅饱和了悬挂键，形成无电活性的 Si-H 键，而且存在硅氢键（SiHHSi）、分子氢（H_2）等其他形式，这些氢键在非晶硅中具有不同的结合能，在受到光照后，它们会产生不同的反应或分解，导致氢原子在体内的扩散和移动，从而产生新的亚稳缺陷中心，最终促使非晶硅性能的衰减。而这些中心的设立和性质，又和非晶硅中的氢含量、分布和键合形式紧密相关。

为了克服 S-W 效应，需要减少非晶硅中的 H 含量。在材料制备方面，研究者开发了电子回旋共振化学气相沉积（ECR-CVD）、氢化学气相沉积（HR-CVD）和热丝（HW）法沉积等；在制备工艺方面，采用了用 H 等离子体化学退火法、He 稀释法或掺入氩等惰性气体等；都可以有效地降低 S-W 效应。

3　多晶硅薄膜

3.1　多晶硅薄膜的特点

多晶硅（polycrystalline silicon）薄膜是指生长在不同衬底材料上的晶体硅薄膜，它是由众多大小不一和晶向不同的细小硅晶粒组成，直径一般在几百纳米到几十微米。它和铸造多晶硅材料相似，具有晶体硅的基本性质；同时，它又具有非晶硅薄膜的低成本、制备简单和可以大面积制备等优点，因此，多晶硅薄膜在大规模集成电路、液晶显示和太阳能光伏领域有着广泛的应用。

由于多晶硅薄膜具有和单晶硅相同的电学性能，在 20 世纪 70 年代，人们利用它代替金属铝作为 MOS 场效应晶体管的栅极材料，后来又作为绝缘隔离、发射极材料，在集成电路工艺中大量应用。人们还发现，大晶粒的多晶硅薄膜具有和单晶硅相似的高迁移率，可以做成大面积、具有快速响应的场效应薄膜晶体管、传感器等光电器件，于是，多晶硅薄膜在大阵列液晶显示领域也广泛应用。80 年代以来，在非晶硅的基础上，研究者希望开发既有晶体硅的性能，又有非晶硅的大面积低成本的新型太阳能光电材料；多晶硅薄膜不仅在长波长时具有高敏性，而且对可见光又具有很高的吸收系数；同时也具有晶体硅一样的光稳定性，不会产生非晶

硅中的光致衰减缺陷；进一步地，多晶硅薄膜和非晶硅一样，具有低成本、大面积和制备简单的优势；因此，它被认为是理想的新一代太阳能光电材料。

但是，多晶硅薄膜有其自身的弱点。它的晶粒细小，因此晶界的面积比较大，晶界引入的结构缺陷会导致电学性能的大幅度降低；同时，在制备过程中，由于冷却速度快，晶粒体内含有大量的位错等微缺陷，这些微缺陷也影响着多晶硅薄膜性能的提高。就多晶硅薄膜在太阳电池上的应用而言，正是这些缺陷，制约着多晶硅薄膜在产业上的大规模应用；到目前为止，尽管几十年的努力，多晶硅薄膜叠层太阳电池在实验室的最高光电转换效率也仅在 13% 左右，和晶体硅材料相比，还有相当的距离。

因此，在制备多晶硅薄膜时，要调整工艺参数，使得多晶硅的晶粒尽量大，晶界尽量少，而且晶粒尽量垂直于衬底表面，以降低晶界对多晶硅性能的影响；同时，要尽量减少晶界内的位错、层错等微缺陷。

3.2 多晶硅薄膜的制备

原则上，制备多晶硅薄膜的技术多种多样，凡是制备固态薄膜的技术，如真空蒸发、溅射、电化学沉积、化学气相沉积和分子束外延等，都可以用来制备多晶硅薄膜。但是，由于化学气相沉积（CVD）技术具有设备简单、工业成本低、生长过程容易控制、重复性好、便于大规模工业生产的优点，在工业界广泛应用，所以，目前研究和制备多晶硅薄膜，大都采用化学气相沉积技术。图 2.10-20 表示的是在玻璃衬底上化学气相沉积制备的多晶硅薄膜。

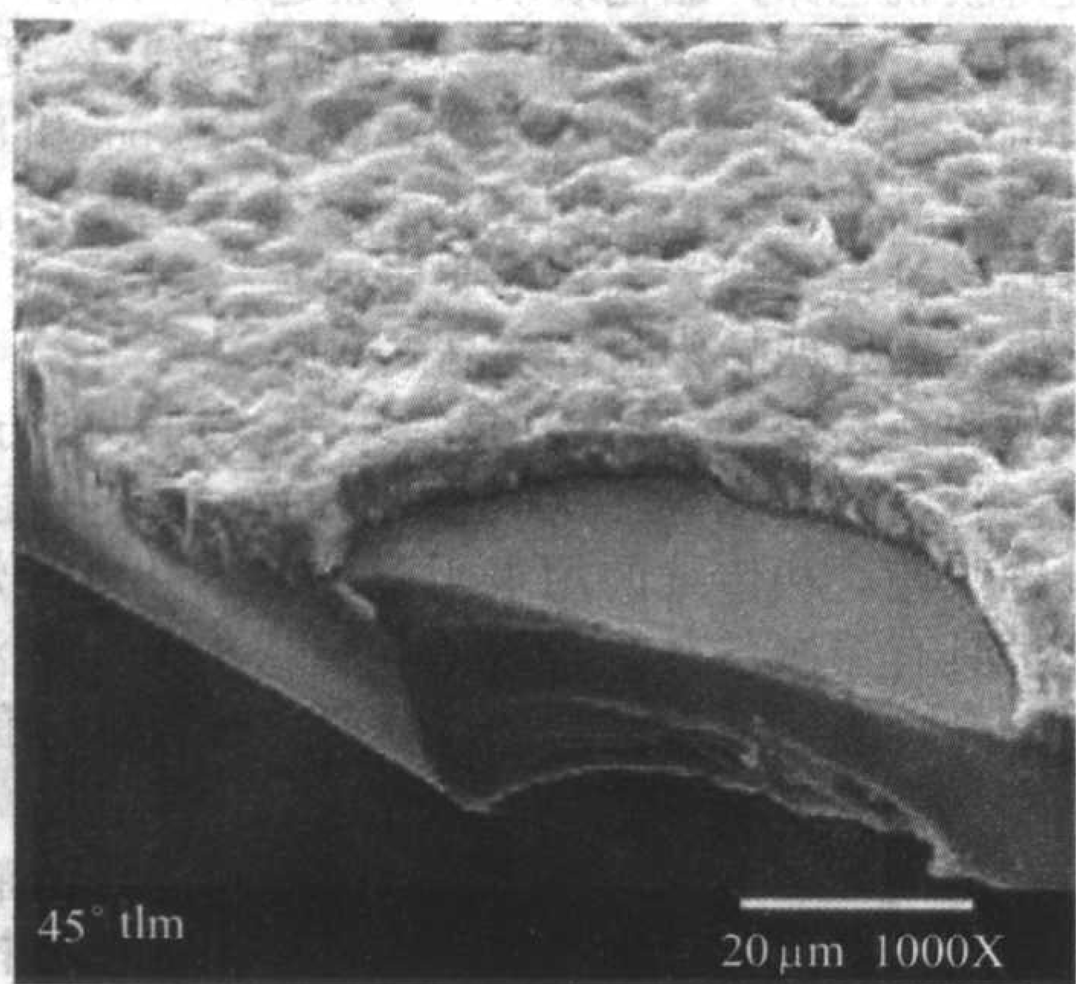


图 2.10-20 在玻璃衬底上的多晶硅薄膜的扫描电镜照片

常用的多晶硅薄膜的制备方法主要有两个，一个是利用化学气相沉积技术，和制备非晶硅薄膜一样，利用加热、等离子体、光辐照等能源，通过硅烷或其他气体的分解，在不同的衬底上采用一步工艺直接制备多晶硅薄膜；另一个是利用化学气相沉积技术，首先制备非晶硅薄膜，然后利用其亚稳的特性，通过不同的热处理技术，将非晶硅晶化成多晶硅薄膜，又称为两步工艺法。

3.2.1 化学气相沉积直接制备多晶硅薄膜

（1）等离子增强化学气相沉积制备多晶硅

非晶硅薄膜的制备通常利用等离子增强化学气相沉积技术（辉光放电技术），具有温度低（100～300℃）、能耗小的特点，但是在如此的低温条件下，制备多晶硅薄膜非常困难。在化学气相沉积的过程中，硅烷分解后，要使硅原子在衬底上顺利结晶，衬底的工作温度必须提高。一般而言，要利用硅烷分解制备高质量的多晶硅薄膜，衬底的温度需要在 500～600℃，其具体化学反应和非晶硅的制备相似。但是，由于辉光放电本身技术的原因，衬底的温度很难到达 550℃ 以上；因此，人们试图利用其他气源来代替硅烷，最常用的是卤硅化合物（如 SiF_4）或者是硅烷和卤硅化合物的混合气体（如 SiF_4、SiH_4 和 H_2）。因为 F-H 和 Si-F 的化学键能比 Si-Si 和 Si-H 的大得多，所以化学反应中是会产生大量的能量，从而诱导多晶硅低温形核，与硅烷气体作为源气体的反应相比，多晶硅的沉积温度可以下降到 200℃ 左右，生成的多晶硅晶粒较大（可达到 4～6 μm），而且有明显的择优取向。

（2）低压化学气相沉积制备多晶硅

除了等离子增强化学气相沉积技术外，低压化学气相沉积（LPCVD）是制备多晶硅薄膜的另一种常用技术。图 2.10-21 是低压化学气相沉积系统的示意图，由图可知，反应气体和载气从反应室一端进入，从受热的衬底表面流过并发生化学发应，生成的硅原子沉积在衬底表面，形成多晶硅薄膜，而生成的副产品气体则随载气流出反应室。和普通化学气相沉积不同的是，LPCVD 利用机械泵和减压泵，将反应室的压力降到 6.67～666.61 Pa（0.05～5 Torr），此时的反应温度相对较低（550～800℃），可以生长均匀性好的多晶硅薄膜。

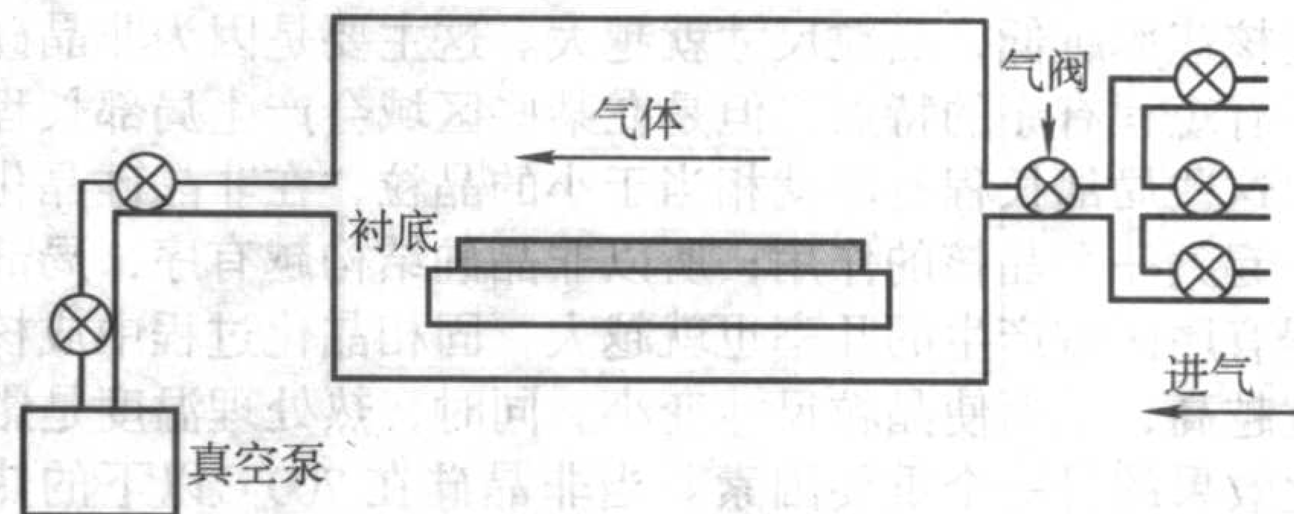


图 2.10-21 低压化学气相沉积（LPCVD）系统的示意图

LPCVD 直接制备多晶硅时，通常也是利用硅烷作为源气体，在低压条件下热分解源气体，从而直接在衬底上沉积多晶硅。比较典型的工艺参数为：反应室压力为 10～30 Pa，沉积温度为 580～630℃，此时多晶硅薄膜的生长速率为 5～10 nm/min。由 LPCVD 法生长的多晶硅薄膜，一般晶粒具有（110）择优取向，同时内部含有高密度的微孪晶缺陷，且晶粒尺寸小，载流子迁移率不够大。通过降低反应室压力，多晶硅的晶粒尺寸可以增大，但薄膜的表面粗糙度也会增加，从而对多晶硅的载流子迁移率以及电学稳定性产生影响。

（3）热丝化学气相沉积制备多晶硅

热丝化学气相沉积（HWCVD）是另一种重要的直接制备多晶硅薄膜的技术，它是在反应室的衬底附近约 3～5 cm 处，放置一个直径为 0.3～0.7 mm 的金属钨丝，呈盘状或平行状，然后通入大电流，使钨丝加热升温至 1 500～2 000℃，此时 SiH_4 等源气体在流向衬底的途中，受到钨丝的高温催化作用而发生热解，从而使硅原子直接沉积在衬底上形成多晶硅薄膜。其典型的工艺是：加热功率为 300～1 000 W，反应室压力为 0.67 Pa（0.005 Torr），此时衬底的温度可以低于 400℃。利用 HWCVD 技术制备的多晶硅薄膜的晶粒尺寸可以到达 1 μm 以上，具有柱状结构，并表现出强烈的（110）择优取向。

和其他直接制备多晶硅薄膜的技术相比，热丝化学气相沉积技术具有较多的优点：①该技术的衬底温度低，因此可以利用廉价的材料作为衬底；②高温钨丝可使硅烷充分分解，达到充分利用源气体的目的；③薄膜生长速率高；以上这些优点可以降低多晶硅薄膜的制备成本。同时，HWCVD 制备的多晶硅薄膜结构均匀，一致性高，载流子迁移率高，因此，HWCVD 制备多晶硅薄膜是一种相当有前景的技术。

除了上述的技术外，光子化学气相沉积法（PCVD）等技术也可以应用来直接制备多晶硅薄膜。

3.2.2 非晶硅晶化制备多晶硅薄膜

利用化学气相沉积直接制备多晶硅薄膜，工艺简单，操作方便。但是，由于硅薄膜沉积温度相对较高，要达500～600℃左右，而普通玻璃的软化温度在500～600℃，因此，利用化学气相沉积直接制备多晶硅薄膜，其衬底材料的选择受到很多限制。另一种制备多晶硅薄膜的技术，是利用成熟的等离子增强化学气相沉积制备非晶硅技术，首先在低温下制备非晶硅；由于非晶硅是亚稳状态，在后续合适的热处理条件下，会晶化形成多晶硅薄膜。

将非晶硅晶化制备多晶硅薄膜的途径有多种，其主要技术包括固相晶化、金属诱导固相晶化、激光热处理晶化以及快速热处理晶化等。

(1) 固相晶化制备多晶硅

固相晶化（SPC）是指非晶硅薄膜在一定的保护气中，在600℃以上温度进行常规热处理，其时间大约为10～100 h。此时，非晶硅可以在远低于熔硅晶化温度的条件下结晶，形成多晶硅。研究发现，利用该方法制得的多晶硅的晶粒尺寸与非晶硅薄膜的原子结构无序程度和热处理温度是密切相关的。初始的非晶硅薄膜的结构越无序，固相晶化过程中多晶成核速率越低，晶粒尺寸就越大。这主要是因为非晶硅虽然具有短程有序的特点，但是在某些区域会产生局部长程有序，这些局部长程有序就相当于小的晶粒，在非晶硅晶化过程中起到一个晶核的作用；所以非晶硅结构越有序，局部的长程有序区域产生的几率也就越大，固相晶化过程中成核率也就越高，从而使晶粒尺寸变小。同时，热处理温度是影响晶化效果的另一个重要因素。当非晶硅在700℃以下的热处理时，温度越低，成核速率越低，所能得到的晶粒尺寸就越大；而在700～800℃温度热处理时，由于此时晶界移动引起了晶粒的互相吞并，小的晶粒逐渐消失，而大的晶粒逐渐长大，使得在此温度范围之内，晶粒尺寸随温度的升高而增大。

为了改善多晶硅薄膜的质量，增加晶粒的尺寸。研究者提出分层掺杂技术，即是在非晶硅薄膜制备时，在第一层薄膜实施掺杂，称为成核层，具有少量的核心数目；在第二层薄膜不掺杂，称为生长层；在固相晶化时，成核层的核心数目得到控制，可以生长尺寸在2～3 μm的多晶硅薄膜。研究者提出的另一项技术是利用具有织构的衬底材料，在这种衬底上制备的多晶硅的晶粒尺寸要比通常的大1倍以上；如果利用等离子体对衬底进行预处理，使得衬底表面粗糙，那么可以取得同样的效果。

在改良的固相晶化技术中，金属诱导固相晶化（MISPC）技术最具有发展前途。所谓的金属诱导固相晶化技术就是在制备非晶硅薄膜之前、之后或同时，沉积一层金属薄膜（如Al、Ni、Pd），然后在低温下进行热处理，在金属的诱导作用下，使非晶硅低温晶化而获得多晶硅。以目前最常用的金属膜铝（Al）为例，其金属诱导晶化的主要原因是在低温晶化时，金属铝和非晶硅发生互相扩散，当金属Al原子扩散到非晶硅中时，形成间隙原子，这样在Si原子周围的原子数将多于4个，Si-Si共价键所共用的电子将同时被Al间隙原子所共有，从而Si-Si键所拥有的共用电子数少于2，使得Si-Si键从饱和价键向非饱和价键转变，因此，Si-Si键将由共价键向金属键转变，减弱了Si-Si键，使其转化成Si-Al键，导致Si-Al混合层的形成。由于金属Al与非晶态硅具有较低的共晶温度，Si在Al中的固溶度很低，过饱和的硅便以第二相核的形式析出，形成硅晶体的核心，最终长大成为多晶硅薄膜。通常，在580℃左右晶化时，只需10 min，多晶硅晶粒就可以达到1.5 μm。甚至在低温350℃热处理后即可得到多晶硅，比起传统的固相晶化技术，其晶化温度降低了约200～400℃。

金属诱导固相晶化制备的多晶硅薄膜主要取决于金属种类和晶化温度，而和非晶硅的结构、金属层厚度等因素无关，因此对非晶硅的原始条件要求不高，可以简化非晶硅薄膜的制备工艺，降低生产成本。但是，该技术会引进金属杂质，这些金属对半导体硅的电学性能也将产生致命影响。

除了金属诱导固相晶化，一般固相晶化技术的晶化温度都在600℃以上，因此对于衬底材料还是有一定的要求，另外，晶化时间长也是一个重要的弱点。

(2) 激光晶化制备多晶硅

激光晶化是指通过脉冲激光的作用，非晶硅薄膜局部迅速升温至一定温度而使其晶化，这也是非晶硅晶化制备多晶硅的一种方法，相对于固相晶化制备多晶硅而言更为理想。在激光晶化时，主要使用的激光器是ArF、KrF和XeCl，其波长分别为193 nm、248 nm和308 nm，脉冲宽度一般为15～50 ns，光吸收深度仅有数十纳米。由于激光具有短光波长和高能量的特点，可以使得非晶硅在数十到数百纳秒内升高到晶化温度，迅速晶化成多晶硅。而利用这种技术，衬底的温度很低，所以对衬底材料的要求并不严格。

激光晶化多晶硅薄膜的晶化效果和激光的能量密度和波长紧密相关。一般而言，激光的能量密度越大，多晶硅晶粒的尺寸也越大，当然，相应薄膜的载流子迁移率也就越大。但激光能量密度并不能无限增大，要受到激光器的限制，通常晶化非晶硅使用的激光能量密度范围在100～700 mJ/cm^2。也有研究指出，太大的能量密度反而使迁移率下降。另一方面，激光波长也对晶化效果有影响，波长越长，激光能量注入非晶硅薄膜就越深，晶化效果相对就越好。目前，激光晶化大都使用XeCl和KrF激光器，它们的光吸收深度分别是7 nm和4 nm，非晶硅薄膜的晶化深度可达15 nm和8 nm。

但是激光晶化技术也有明显弱点，主要是是设备复杂，生产成本高，难以实现大规模工业应用。

(3) 快速热处理晶化制备多晶硅薄膜

所谓的快速热处理（RTP）是指采用光加热的方式，在数十秒内能将材料升高到1 000℃以上的高温，并能快速降温的热处理工艺。和传统的用电阻丝加热的热处理炉相比，快速热处理具有更短的热处理时间，更快的升、降温速率；而且，由于升降温速度很快，被热处理的材料和周围环境处于非热平衡状态。

在RTP系统里，一般采用碘钨灯加热，其光谱从红外到紫外。灯光一方面可以加热材料，另一方面灯光中波长小于0.8 μm的高能量的光子对材料会起到增强扩散作用。除此之外，在快速热处理时，还会出现氧化增强效应、瞬态增强效应和场助效应作用等。因此，在快速热处理系统里，温度可以上升得很快。

早在1989年，R.Kakkad等人首先提出利用快速热处理晶化非晶硅来制备多晶硅薄膜的技术，他们利用等离子体增强化学气相沉积（PECVD）法，在250℃左右制备了非晶硅薄膜，然后利用快速热处理在700℃温度下，几分钟之内顺利地将非晶硅薄膜晶化。此时，无掺杂多晶硅薄膜的电导率与更高温度下常规热处理所得的无掺杂的多晶硅薄膜的电导率具有可比性，可以达到160 s/cm左右，而掺杂的多晶硅薄膜的迁移率也可以达到13 cm^2/V·s左右。说明了快速热处理晶化不仅可以制备本征多晶硅薄膜，而且可以制备重掺杂薄膜，使得制备的多晶硅薄膜可以在太阳能光电、集成电路的多晶硅发射极和场效应管等器件上得到应用。

多晶硅薄膜的性能主要受晶界和晶粒内部的缺陷影响，为了提高多晶硅薄膜的性能，必须增大晶粒尺寸和减少多晶硅薄膜的缺陷态密度。与常规热处理相比，快速热处理显著地减少了晶化热量（Thermal Budget）和晶化时间，但这种单

步热处理晶化的多晶硅薄膜的晶粒尺寸要比常规热处理所制得的小得多，严重影响了多晶硅的性能。为了解决这个问题，M.Bonnel等人和K.S.Nam等人提出了结合常规热处理和快速热处理的方式（即增加快速热处理工艺），减少常规热处理时间，以达到制备大晶粒高质量多晶硅薄膜的目的；然而，这种热处理方式晶化非晶硅仍然需要几个小时。最近，有研究者提出，采用两步或多步快速热处理技术，可以将非晶硅晶化时间减少到几分钟，而得到的多晶硅薄膜的晶粒尺寸与长时间常规热处理晶化得到的多晶硅薄膜的晶粒相近。

编写：杨德仁（浙江大学）

第 11 章　硅材料的发光

迄今为止，硅材料在电子器件方面依然占据着绝对的优势，单片集成电路可容纳 10^8 以上个器件，而且可以达到高速的互联水平：在目前集成电路特征线宽为数十纳米情况下，信号在各个晶体管和电子器件间的传播长度超过 15 km，而在未来的 10 年之内这一距离将达到 91 km。但是，如此高的集成度和互联度，会造成器件之间信号的延迟、过热。而克服这一互联瓶颈，则是硅基光电子集成的主要动力之一，也同时也成为硅基光电子的一个机遇。另一方面，基于化合物半导体材料的光电子器件的价格昂贵，直接制约了光通讯技术和工业的发展，这也迫切需要光电子硅基集成。硅基光电子集成就是将光器件和电子器件集成在同一块芯片中，不论是完全硅基的或硅基（与其他材料，如Ⅲ-Ⅴ族复合半导体）混合的光电子器件集成都是可行的。这样，就可以光互联替代电路互联，实现信号的高速传播，并且不会产生串音（cross-talk）现象，而且可以降低系统能耗，减少发热，具有极大的吸引力。同时，硅基发光的实现还可能带来廉价、高度集成的光通讯技术，对光通信工业将产生长远而且深刻的影响。

但是，硅作为间接带隙半导体材料，其光激发是典型的声子参与的低几率过程（其自发激发复合寿命为毫秒范围）。而且，在体硅材料中非激发复合的几率远高于激发复合；相应的，大多数激发产生的电子-空穴对都以非激发复合的形式复合了。因而，对于硅材料的发光而言，其内量子效率是非常低的（大约 10^{-6}）。但是，基于硅平面工艺的巨大优势和单晶硅材料在集成电路中的主导地位，实现硅或硅基发光，则具有极广泛的应用前景和巨大的经济价值，因此，在过去的 20 年中，硅基发光一直是众多研究者的目标和挑战。

本章将从硅材料的光学特性和本征复合发光着手，分析硅材料的发光特性；然后针对各种不同改进硅材料本身发光缺憾的思路和方法，介绍了等电子中心及掺铒硅、多孔硅以及纳米硅等材料体系的研究。

1　硅材料的光学特性

硅材料在可见波段是不透明的，但红外波段的光则可以透过。同时，硅材料具有很高的折射率和反射率，这些使得硅材料在一些使用近红外波段的光学元件中得到应用。当然，硅材料也可使用于红外、射线探测器以及太阳电池等方面。

对于大部分物质而言，其折射率通常是随着入射光波长的增加而减小的，但是硅材料的折射率则恰恰相反。图 2.11-1 给出了硅单晶折射率与入射光波长的对应关系，可见硅单晶的折射率是随着入射光波长的增加而增加的；而且，由图还可见，硅材料的折射率是相对比较高的。

至于硅的反射率，则可以由下面的经验公式给出：

$$R = 0.321\,4 - 3.565\times10^{-6}\,v + 3.149\times10^{-10}\,v^2 \quad (2.11\text{-}1)$$

式中 v 为波数（cm^{-1}），介于 1 000 ~ 15 000/cm 之间。图 2.11-2 则给出了硅单晶的反射率与入射光能量的对应关系。可见，硅单晶材料的反射系数也是很高的，这也会使得硅材料制备的光学元件以及太阳电池在使用中会有很大的一部分能量因反射而损失掉。因此，在实际的应用中，通常会在硅表面镀上一层减反射层（所镀介质的折射率最好在 1.8 ~ 1.9 之间），或是对硅表面进行绒面腐蚀，以增加对光的吸收。

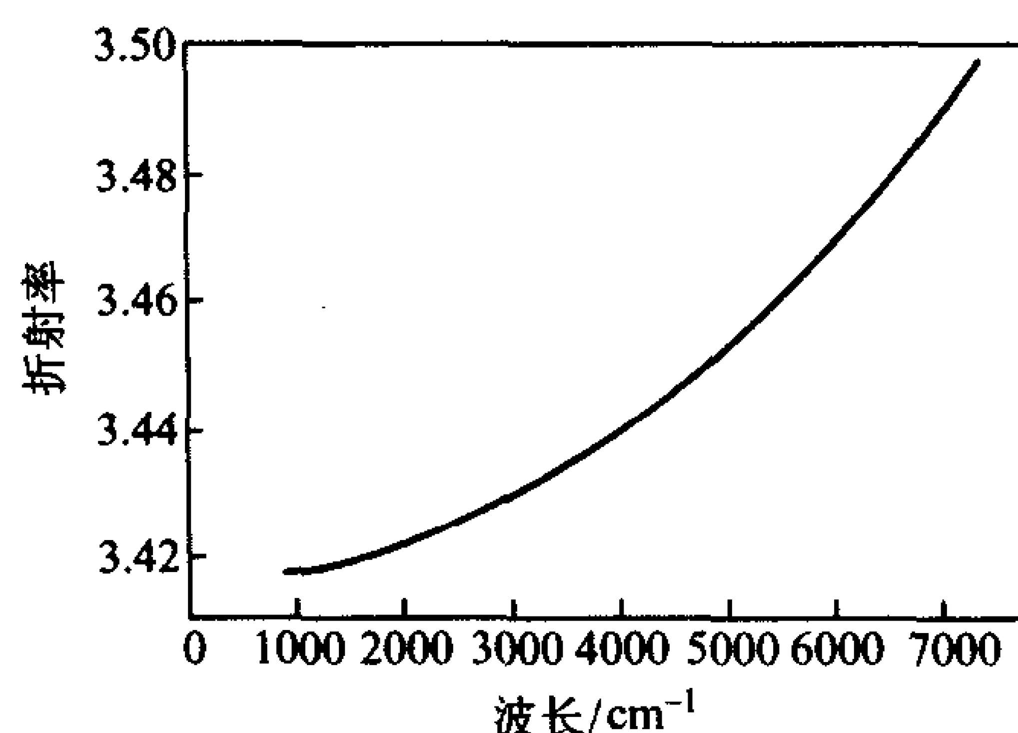


图 2.11-1　硅单晶折射率与入射光波长的关系

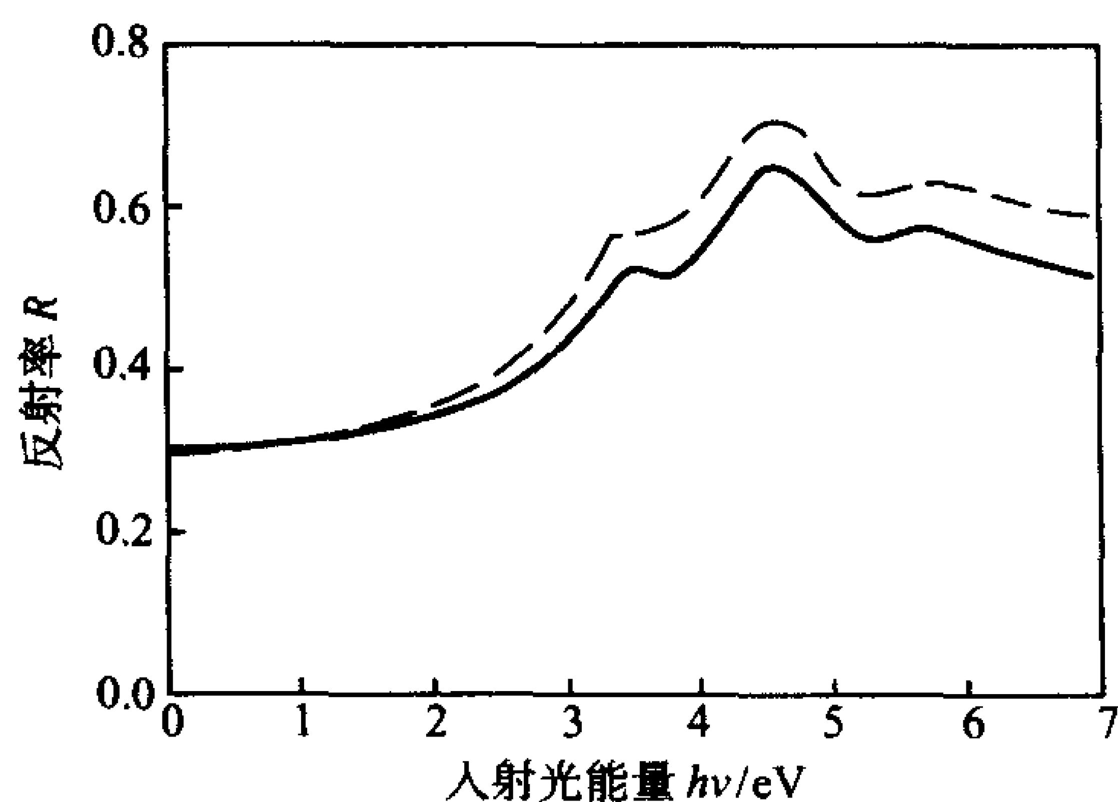


图 2.11-2　硅材料反射率与入射光能量的关系
（其中虚线为实验值，实线为理论计算值）

而硅单晶材料对于光的吸收和透射可由其吸收系数和硅片的厚度来决定，但是还应考虑到晶体中的晶格吸收、杂质吸收和自由载流子吸收。通常硅单晶在室温的吸收系数可由式 2.11-2 计算：

$$\alpha = (8.473\,2\times10^{-3}\,v - 76.417)^2 \qquad (2.11\text{-}2)$$

式中 v 为波数（cm^{-1}）。图 2.11-3 给出了不同温度下的高纯硅单晶的吸收系数。图 2.11-4 则是硅单晶的晶格吸收红外光谱，可见，硅单晶在 400/cm 到 1 600/cm 之间具有 9 个吸收峰，其中最强的一个在 610/cm。

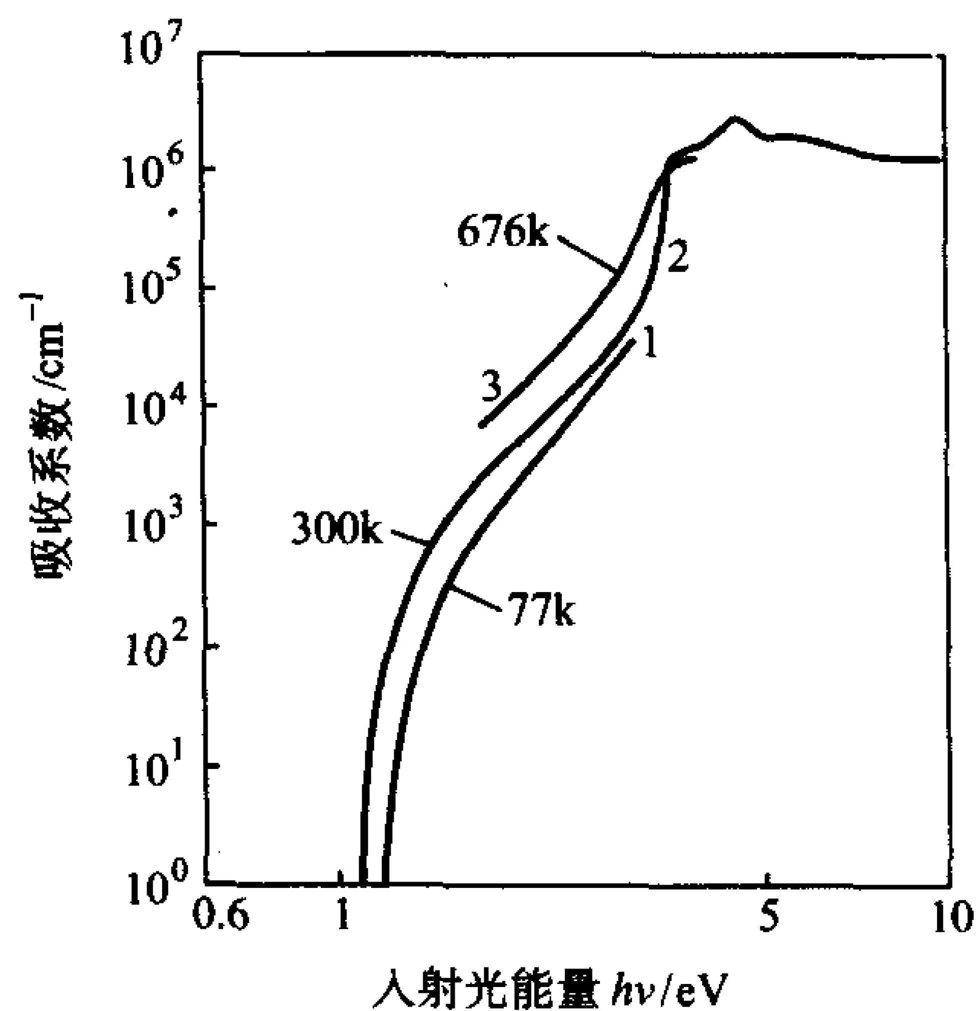


图 2.11-3　不同温度下的高纯硅单晶的吸收系数

当然，以上光谱都是高纯硅单晶所产生的，当硅中含有杂质时，杂质也会产生一些特定位置的吸收峰（如氮在 963/cm、

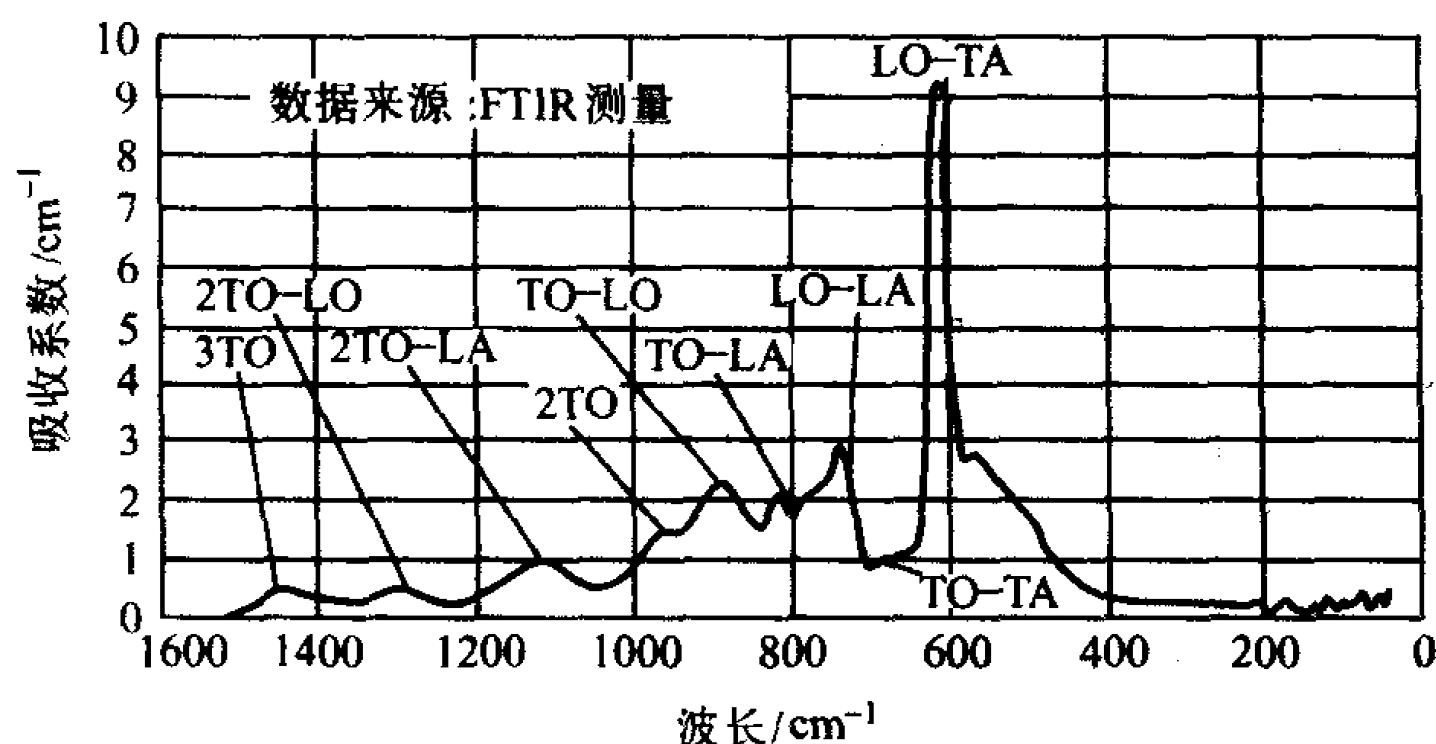


图 2.11-4　硅单晶晶格吸收红外光谱

766/cm；氧在 515/cm、1 107/cm 等)，而这些吸收峰往往会被用来测量它们在硅中的浓度。但是，对于重掺杂的硅单晶，由于强烈的自由载流子吸收的存在，而很难探测到杂质和晶格吸收。图 2.11-5 和图 2.11-6 分别给出了 n 型和 p 型硅单晶的室温自由载流子吸收随载流子浓度的变化图。由于空穴和电子产生的吸收与载流子的浓度和入射波长的平方成正比，因此波长越长，吸收也越大，这可以从图 2.11-5 和图 2.11-6 很明显地看出。

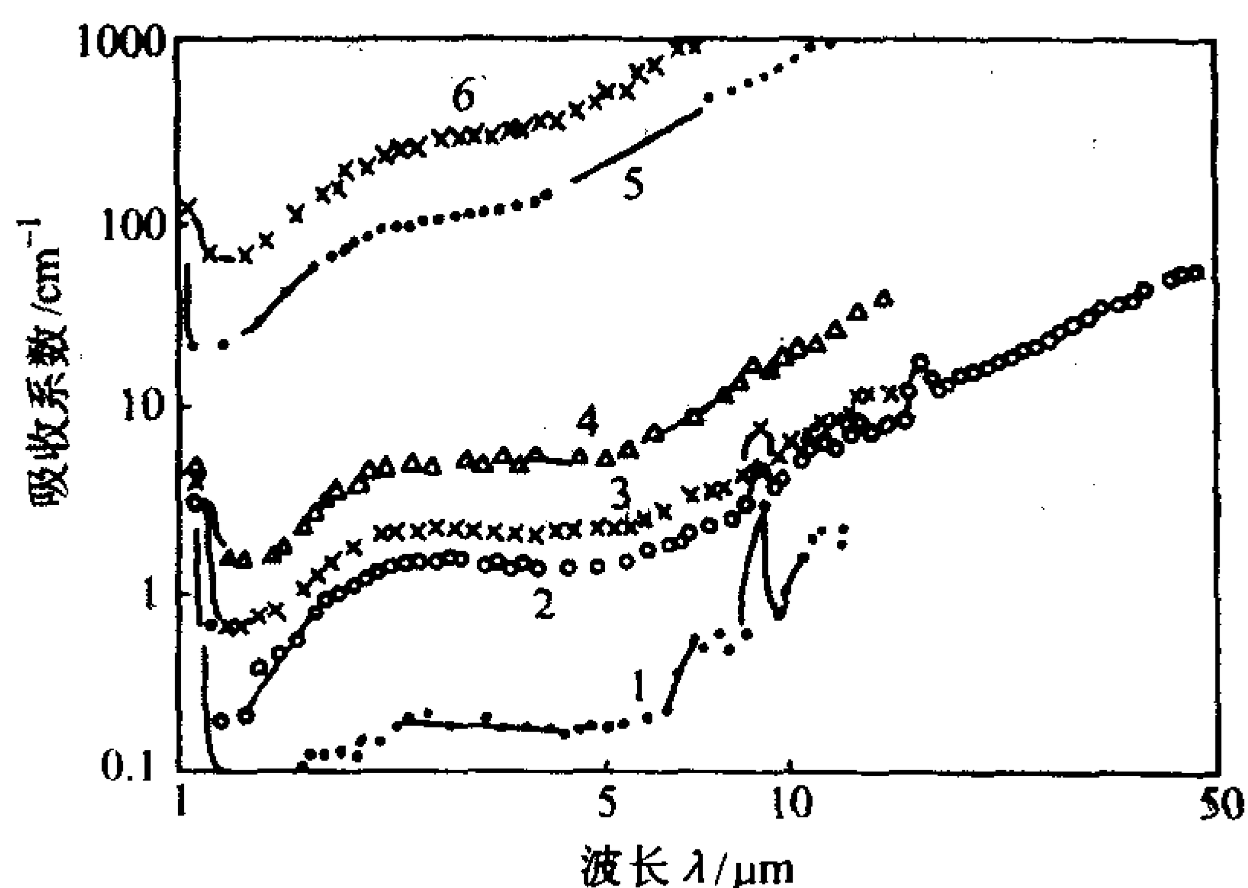


图 2.11-5　不同掺杂浓度 n 型硅单晶室温下自由载流子吸收谱

(掺杂浓度：1—$1.4\cdot10^{16}/cm^3$；2—$8\cdot10^{16}/cm^3$；3—$1.7\cdot10^{17}/cm^3$；4—$3.2\cdot10^{17}/cm^3$；5—$6.1\cdot10^{18}/cm^3$；6—$1\cdot10^{19}/cm^3$)

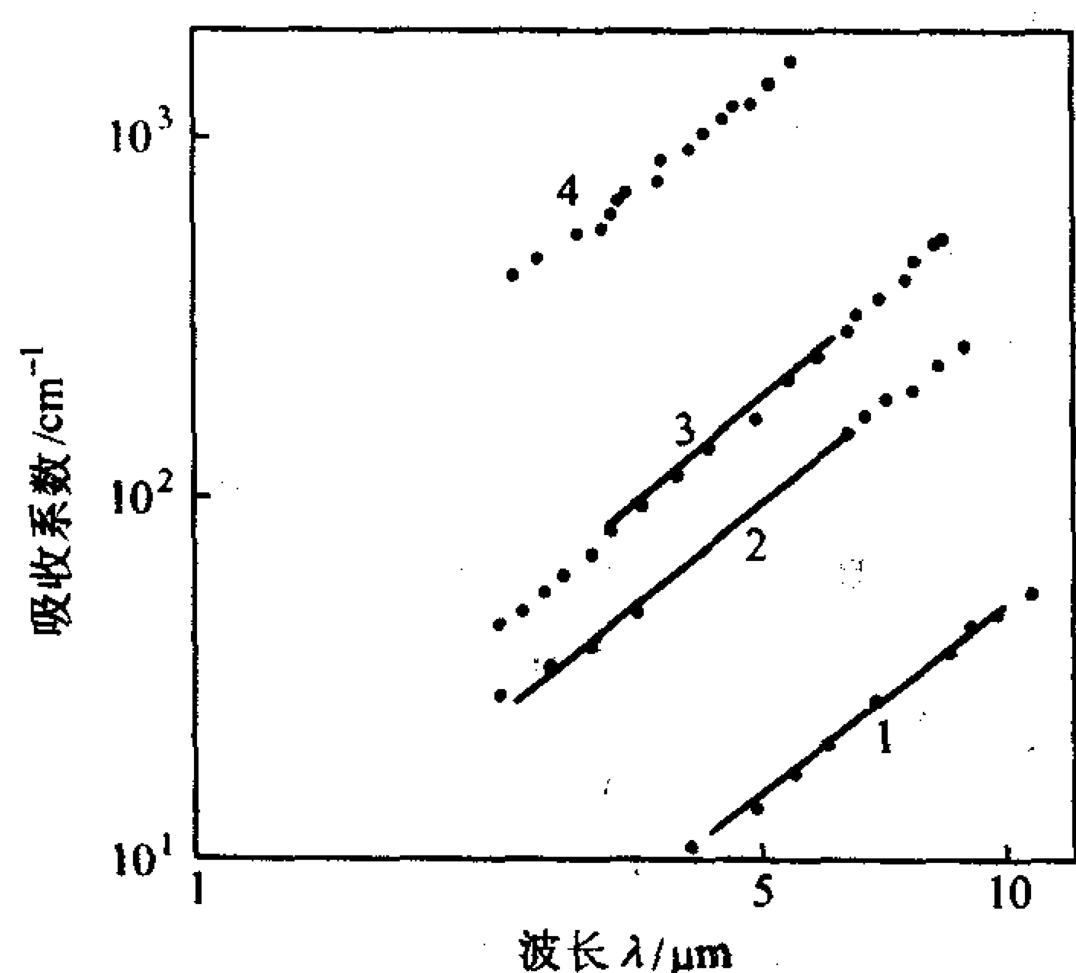


图 2.11-6　不同掺杂浓度 p 型硅单晶室温下自由载流子吸收谱

(掺杂浓度：1—$4.6\cdot10^{17}/cm^3$；2—$1.4\cdot10^{18}/cm^3$；3—$2.5\cdot10^{18}/cm^3$；4—$1.68\cdot10^{19}/cm^3$)

此外，硅材料还具有光电导效应，即硅单晶的导电性会随着电磁波吸收的增加而增加，被广泛的应用于红外器件、γ 射线探测器以及太阳电池等上面。

2　硅单晶中复合与发光

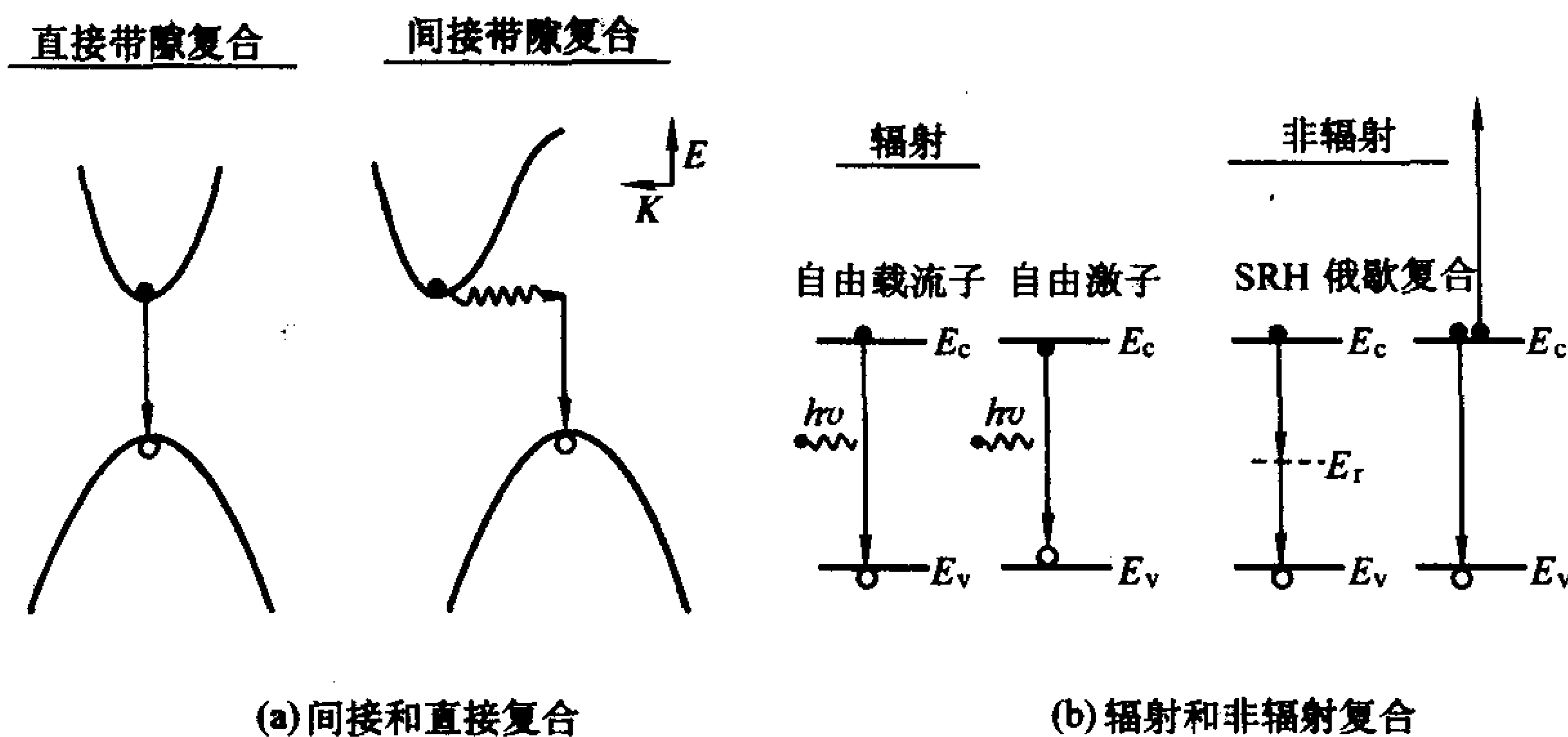
半导体材料的发光一般都是电子-空穴对复合产生的，所产生的光子的能量等于电子-空穴对复合所释放的能量，其复合过程如图 2.11-7 所示。从图 2.11-7a 中可以看出，如果在 K 空间中导带底和价带顶位置相同（$k=0$），那么，电子-空穴对复合过程将不涉及到动量变化，即不需要声子参与，这种半导体材料的能带结构被称为“直接带隙”；否则，就需要声子参与，以保持复合过程中的动量守恒，而这种半导体材料的能带结构称为“间隙带隙”。由于直接带隙材料中的电子空穴复合无需声子参与，其电-光能量转换效率高，适于作为发光器件；而间接带隙材料中的电子空穴复合有声子参与，使得部分能量会转变为晶格振动的热能，其电-光能量转换效率很低。

此外，半导体中电子空穴的复合并非都是像前面所述的那样由导带底的电子同价带顶的空穴进行带间复合而发射光子，还可以通过多种方式进行复合，而这些复合可以归结为图 2.11-7 (b) 所示的辐射复合和非辐射复合两类。辐射复合就是半导体中位于高能态的电子同位于低能态的空穴复合并产生一个光子辐射出去的过程。半导体材料中的辐射复合除了图 2.11-7 (b) 所示的带间复合和自由激子复合外，还有浅杂质同带间的复合、施主-受主复合、深能级复合以及等电子陷阱复合等多种辐射复合。而当电子和空穴的复合并不产生光子，而是通过产生声子的方式来消耗它们所具有的能量的过程就称为非辐射复合。半导体材料中的非辐射复合一般包括如图 2.11-7 (b) 所示的电子空穴在能带中深能级处 Shockley-Read-Hall (SRH) 的复合，和电子空穴复合能量通过第三个载流子在导带或价带内激发并进行多声子跃迁的俄歇复合，以及由电子空穴复合而产生的多声子跃迁、表面复合和界面态复合等。

通常人们会用内量子效率和外量子效率来表征发光过程中辐射跃迁与非辐射跃迁的竞争以及实际器件的总效率。内量子效率即辐射跃迁几率与全部跃迁（辐射和非辐射跃迁）几率之比，而考虑到实际应用当中材料对所发出光的吸收以及界面处折射率不同而引起的发射等材料的发光效率还会进一步降低，而这最终的发光效率即为外量子效率。

硅单晶的晶体结构为金刚石结构，其能带结构为间接带隙，即：价带顶位于 K 空间原点，而导带底则不在 K 空间原点（如图 2.11-8），电子-空穴对复合过程是一种电子、光子和声子三者同时参与的非直接跃迁过程。这样就极大地降低了这一过程产生的几率，其辐射复合寿命也在毫秒数量级（20 K 时为 100 μs）。同时，非辐射复合也会与之相互竞争，如在少子低注入区通过深能级复合的 SRH 复合和在高载流子密度下的俄歇（Auger）复合。非辐射复合过程相对都比较快（有些可达微秒级），这就导致晶体硅材料的发光内量子效率非常低（$10^{-6}\sim10^{-7}$）。

而对于发光器件而言，其辐射亮度是与辐射复合率成正比的，这就要求较短的辐射复合寿命。从这一角度出发，人们可以通过降低晶体硅材料的辐射复合寿命或增加非辐射复合的寿命，来增加晶体硅材料的发光效率。而且，短的辐射复合寿命，对于发光速率的调制是有利的。因此，克服由于间接带隙带来的硅单晶难以发光的困难的方法，可以从以下几个方面着手：使用高质量的硅衬底材料，如区熔硅单晶；利用二氧化硅层钝化表面，减少表面复合；金属电极区尽量小，而且高掺杂区域尽量限制在电极处，来减少 PN 结处的 SRH 复合；以及硅单晶表面织构化，增强体硅的光发射（表



(a) 间接和直接复合　　(b) 辐射和非辐射复合

图 2.11-7 半导体中的复合过程示意图

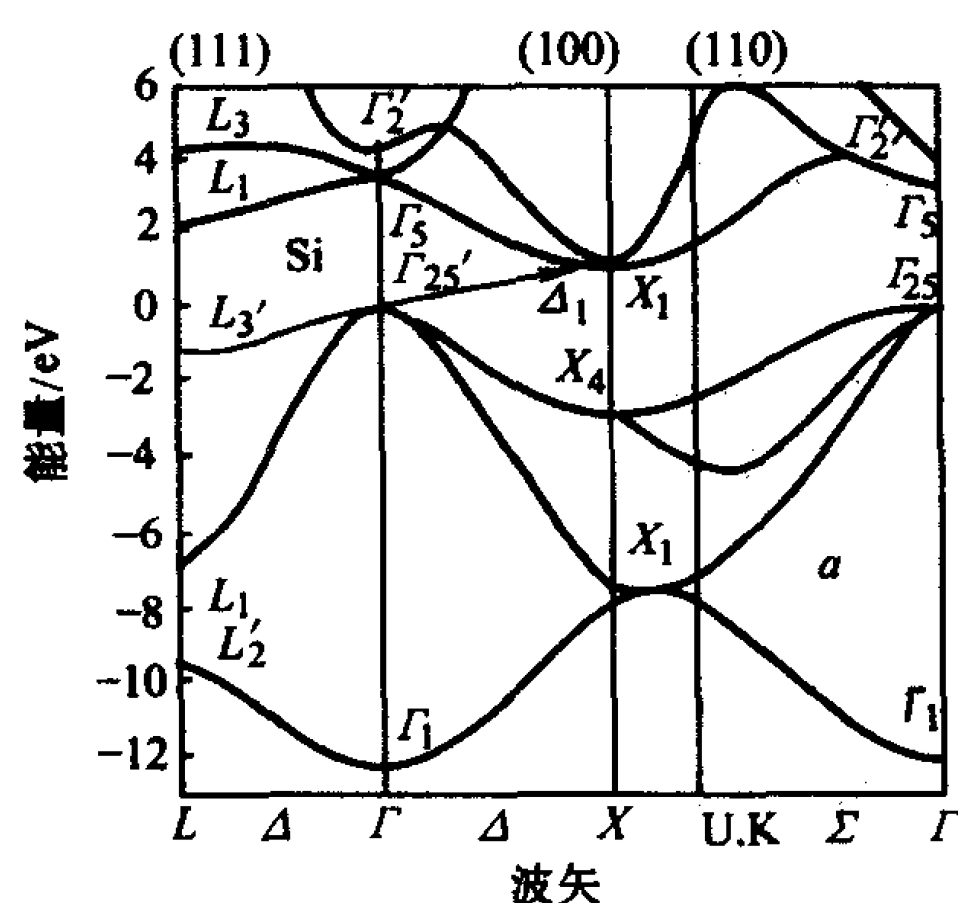
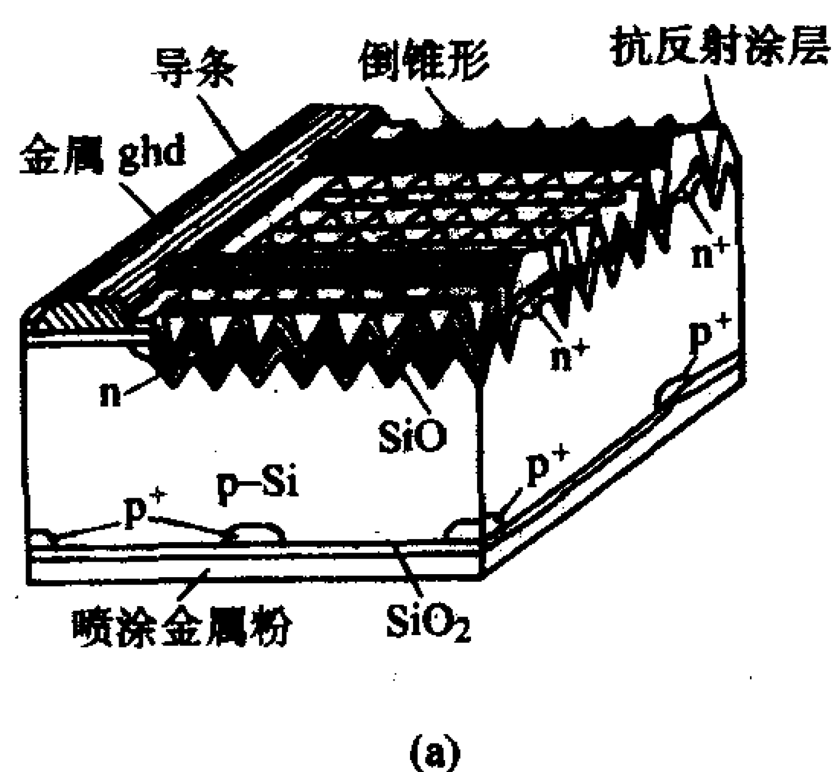


图 2.11-8 硅单晶能带结构，图中箭头所示即为最低能量传输过程

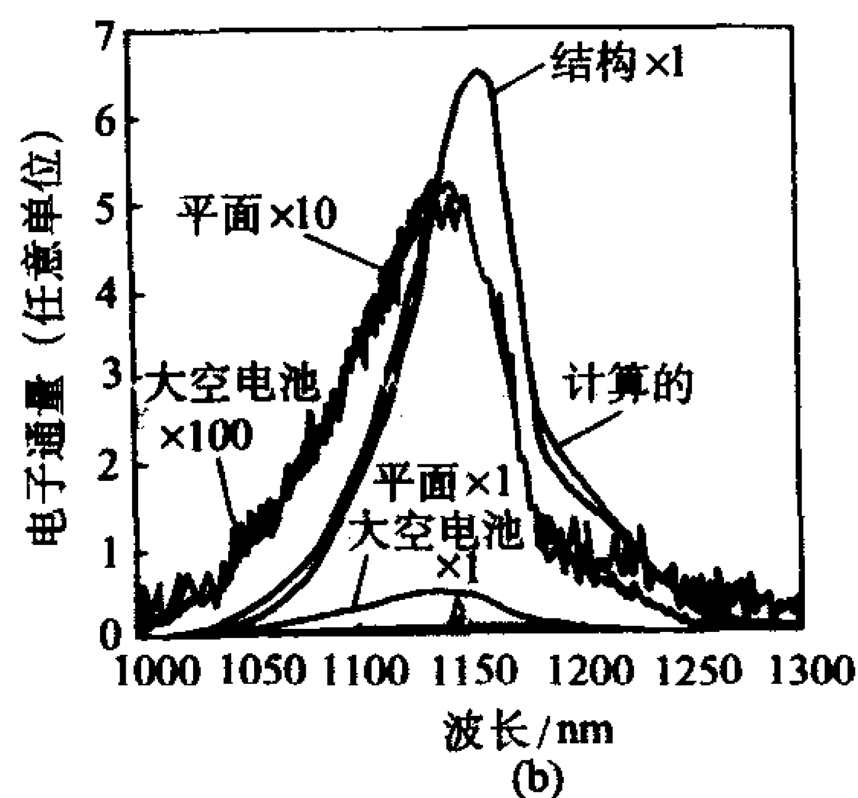
面织构是在减少光反射的同时，还可作为俘获光的部件来增加体内光的吸收）。在此基础上，M.A.Green 在实验室制备了目前为止电致发光效率最高（1%）的体硅发光二极管，其器件结构和电致发光谱图如图 2.11-9 所示。

尽管以上的体硅发光二极管得到了较好的电致发光效率，但是它需要使用高纯的区熔硅并对表面进行织构化，这很难与标准的 CMOS 工艺兼容。此外，对于体硅材料而言，由于快速的自由载流子吸收也很难实现激光发射所需的粒子数反转。可见，体硅发光还存在着很多期待改进的方面。

除了上述提高硅单晶发光效率的技术外，硅基发光的努力还包括：①通过杂质或利用缺陷处复合发光；②通过合金或分子调节发射波的波长；③利用量子限制效应或能带工程，通过增加电子-空穴复合的几率来增加发光效率；或者④采用硅基混合的方法将其他直接带隙材料与硅相结合。其中②和④方面，将在其他分册介绍。



(a)



(b)

图 2.11-9 体硅发光二极管结构（a）及其电致发光光谱（b）

3 硅中等电子中心和稀土铒的发光

对于间接带隙半导体材料，可以通过引入杂质来使得电子或空穴局域化并作为复合中心，增加非本征发光，提高发光效率，就如在 GaP 中掺入氮杂质。对于硅单晶而言，稀土元素、碳复合体、氧-硫复合体等都可以用来作为电子-空穴复合的中心，其中最具前景和最有可能应用于器件的则可能是硅中稀土（特别是铒）杂质。

3.1 硅中等电子杂质（复合体）的发光

硅中等电子杂质（复合体）是指硅中碳、锗和锡等同价电子的杂质或由多个原子构成的没有悬挂键的电中性的复合体。这些等电子杂质由于其核电荷数与硅不同，会产生很强的短程势能差；同时，由于它们的原子尺寸与硅原子不同，在硅中也引入了晶格的畸变。而短程势能差和晶格畸变可视为一种势阱，在硅中可以束缚自由激子，导致电子-空穴的复合几率增加。硅中等电子杂质引起的发光，在低温下内量子效率最高可达到 5%，其寿命可达 1 ms。不过，通过等电子杂质（复合体）复合的能量，可能以光的形式被释放，也可以通过声子或其他非辐射复合通道而释放。所以，如果控制得不好，等电子复合体虽然增加了电子-空穴的复合，但并不一定会增加光子产生效率，相反地会增加晶体发热。

图 2.11-10 给出了 In^+ 离子注入硅后的等电子中心束缚激子发射产生的光致发光和电致发光谱。由图可见，在 14 K 温度下，非声子（no-phonon）发射的尖锐发光峰在低于硅带隙宽度的 1.11 μm（1.12 eV）处。研究还证明，该发光峰的强度会随着温度的上升而下降。

但是，由于温度较高时，等电子杂质（复合体）所束缚的激子的脱缚以及其他非辐射复合的加强，通过等电子复合体产生的发光的强度和寿命会随着温度的上升而大大降低；而且这种束缚激子发光，在室温下的发光强度低；因而，很难应用于电致发光器件。

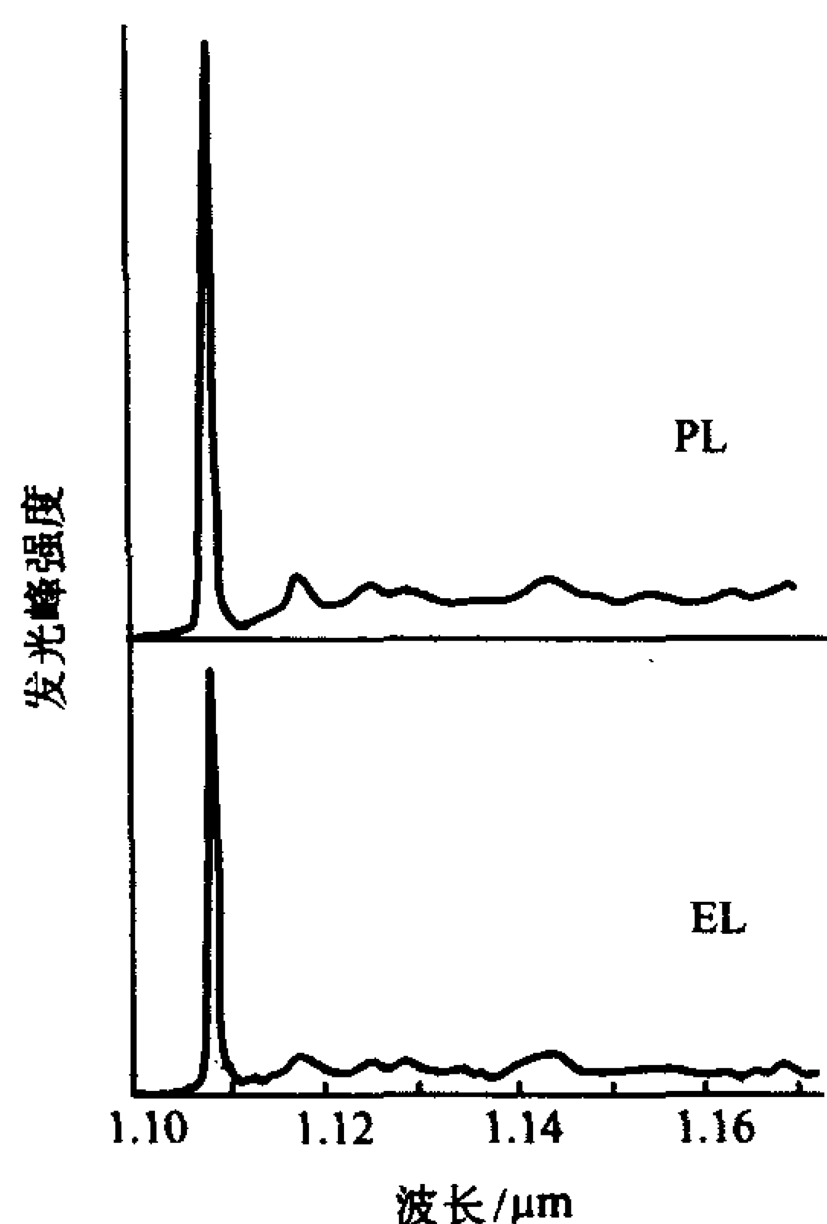


图 2.11-10 In 离子注入硅 14 K 温度下的光致发光和电致发光谱

此外，硅中等电子复合体的引入过程也有很大的不确定性。一般而言，处于间隙位或替代位的等电子复合体可以通过扩散的方式形成，但是其浓度总是受限于构成复合体元素在硅中的固溶度。而通过离子注入方法形成的复合体，则往往需要其经过 900℃以上的高温热处理来消除注入损伤。并且，即使复合体通过以上方法引入了硅中，也还要经过一个激活的过程，才能观测到等电子复合体的发光。可见，等电子复合体发光不仅形成困难，而且在室温发光强度和寿命低，使其很难得到实际的应用。

3.2 稀土铒的发光

固体中铒（Er）离子的发光特性早已为人们所知，其发光波长在 1.5 μm 附近，对应着光纤通讯中石英光纤的最低损耗波长区域，因此，硅中掺铒发光在光通讯等领域有着重大的潜在应用前景，引起人们的特别关注。

硅中铒的掺入一般通过离子注入的方式，分子束外延、化学气相沉积和液相外延也有所使用。铒掺入后，还需要经过适当的处理来使其具有发光特性。但是，要获得高效的掺铒硅发光系统，还受限于铒在硅中的固溶度（Er 在硅中的浓度高于 $1\times10^{18}/cm^3$ 时会形成沉淀）。因此，为了提高铒在硅中的固溶度，有研究者提出通过铒-氧/氟共掺，在硅中形成铒-杂质复合体，从而在硅中引入铒。这一方法既避免了 Er 在硅中形成沉淀，又能够有效的提高 Er 在硅中的固溶度。

作为稀土元素的 Er，其 4f 壳层中正三价态离子的分离态，具有类似于原子跃迁（$I_{13/2}\rightarrow I_{15/2}$）（如图 2.11-11 所示）的辐射发光特性，可发射波长 1.54 μm 的光。这一激发过程是很复杂的（如图 2.11-12 所示）：首先要在硅中引入高浓度的铒，并且不能形成沉淀，而且 Er 在硅中要以其具有发光特性的 3^+ 价态存在；其次是硅中要有电子、空穴载流子的产生并形成激子，而且激子要与 Er 的 4f 壳层间建立尽可能有效的连接；最后，Er 要能够形成辐射发光。在第二个过程中，激子与铒的连接过程要与电子-空穴对的 Auger 复合和深能级复合过程进行竞争，这就要求该过程更加高效。由于 Er 辐射发光过程是一个长辐射寿命过程（2 ms），它极有可能被短辐射寿命的非辐射发光过程所强烈抑制。

图 2.11-13 是掺铒硅的光致发光图谱，其发光是典型的第一激发态能级和不同基态能级间的跃迁过程，而且其发光完全独立于基体硅。不过，由于决定多重能级形成的 Stark 效应会受到 Er 原子周围原子的影响，硅中 Er 离子的发光会随着 Er 离子所处的化学环境而有所变化。图 2.11-14 为不同

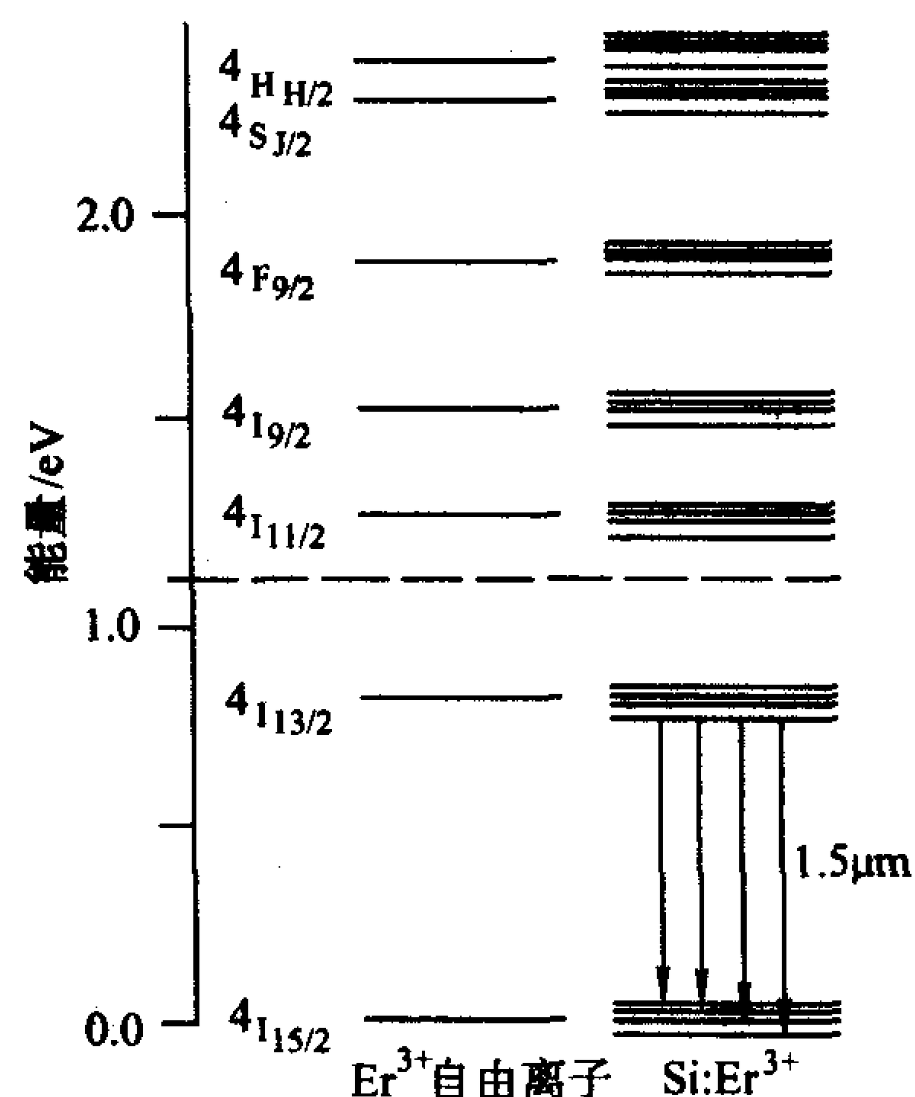


图 2.11-11 Er^{3+} 离子 4f 壳层能级示意图

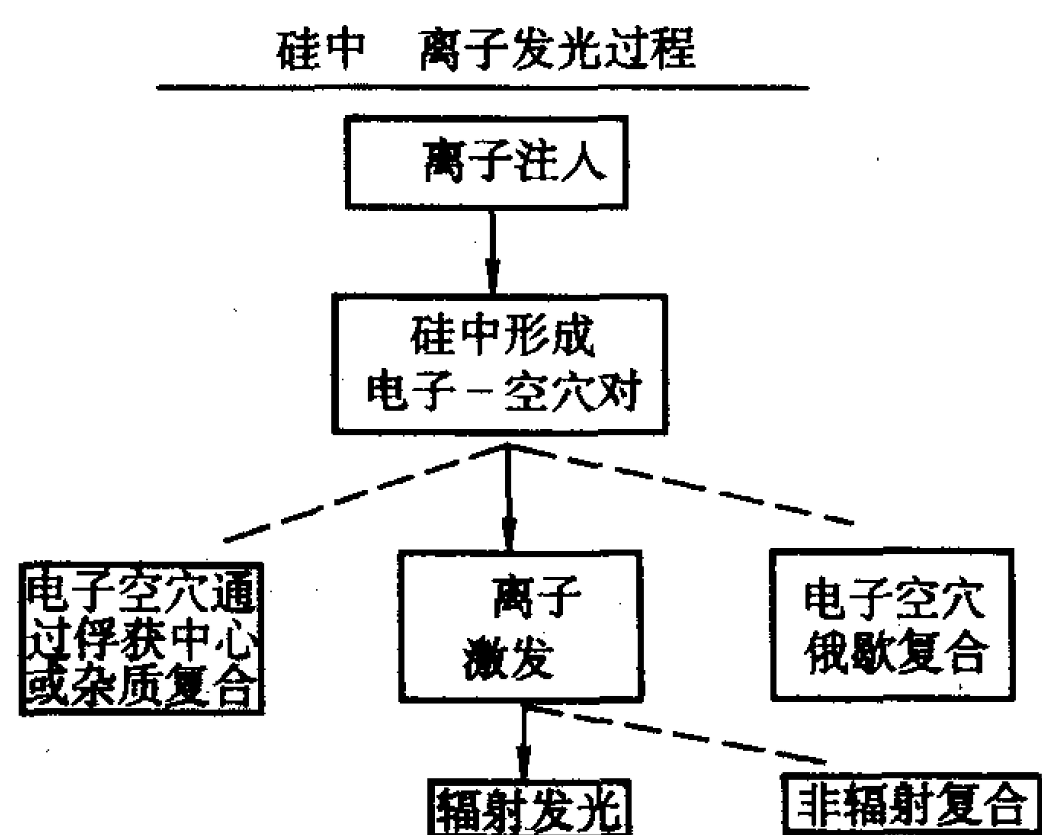


图 2.11-12 硅中 Er 发光过程示意图

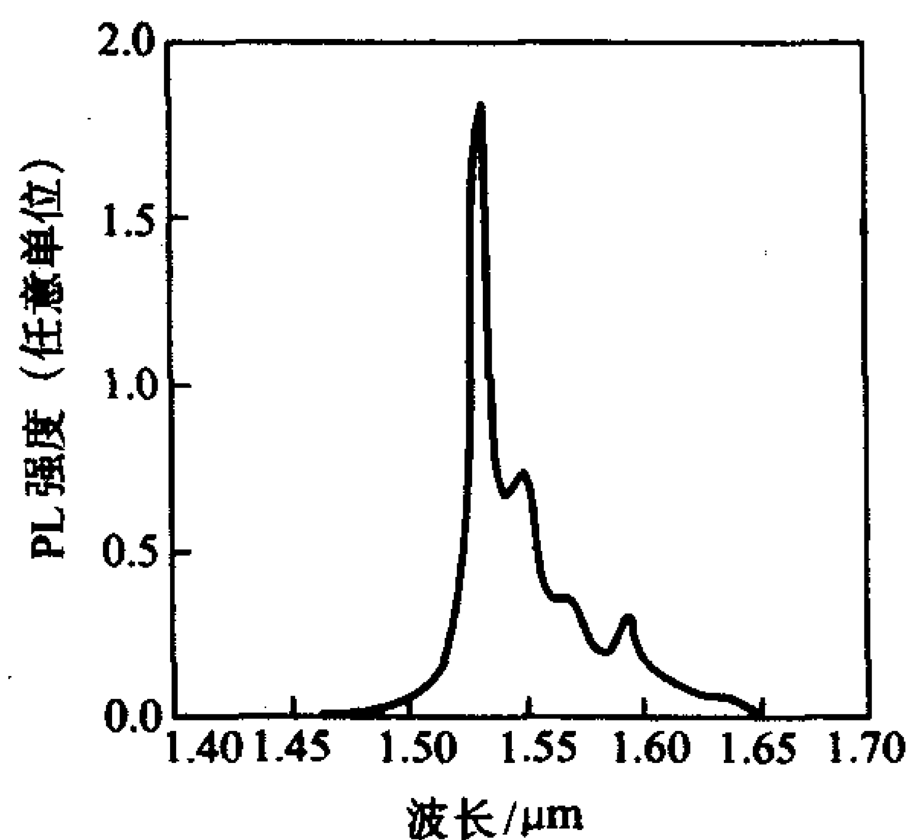


图 2.11-13 掺铒硅的光致发光

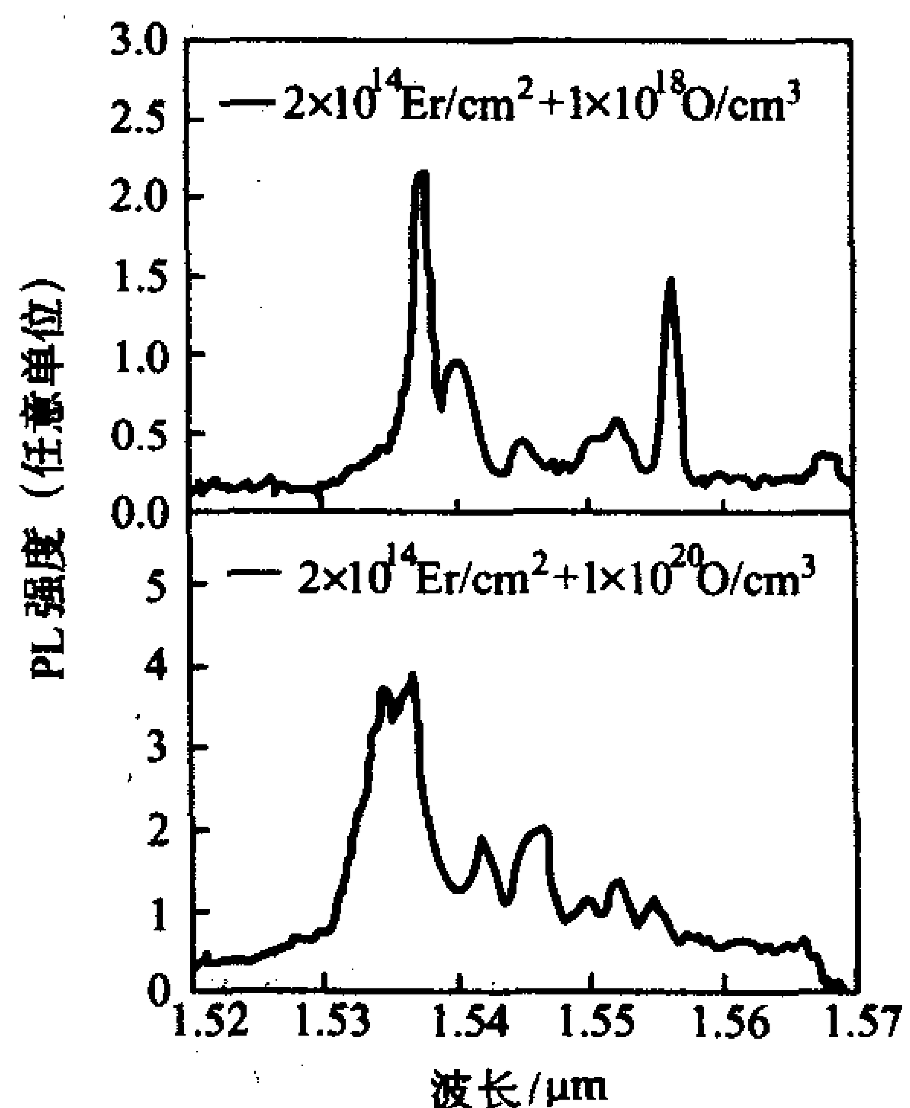


图 2.11-14 铒氧共掺体系高分辨光致发光谱

浓度铒氧共掺体系的发光光谱，可见由于氧浓度的变化，铒发光峰的位置有所改变。

利用掺铒硅可制备发光管、放大器，也有很多研究者认为掺铒硅还可能用来作为制造激光器的材料。第一个低温（77 K）掺铒硅发光管是1985年Ennen等人，采用分子束外延生长Si层的同时，注入Er离子的方法制成的。在77 K时，该发光管的量子效率估计为5×10^{-4}。之后，对掺铒硅的研究使得100 K时，发光管的量子效率可达到4%；而且在室温下，1.54 μm的发光线宽约为10 nm。此外，利用CMOS工艺，掺铒硅发光管已经可以和MOSFET在同一硅芯片上制造，这说明掺铒硅发光管是可以与超大规模集成电路（VLSI）集成的。后来，Kimerling等人采用标准的集成电路工艺，在SOI（Si-on-insulator）上将侧面光发射的掺铒硅发光管与硅波导集成在一起，这就意味着在硅芯片上有可能实现光互连。

但是，硅中铒的发光还要受到Auger淬灭和非辐射退激过程的影响。而且Er在硅中具有一定的施主特性，而这一特性往往会在硅的导带中引入自由载流子，这样，Er离子有可能通过传递能量给硅中自由电子或空穴的方式，而非通过辐射发光的方式来实现退激过程。同样地，Er离子也可以通过将能量向硅传输电荷的非辐射过程来实现退激。这样，硅中铒发光的量子效率就会受到很大的影响。而且，随着温度的上升，Auger和反向传输非辐射过程还会加强，这种特性在掺铒硅的电致发光中也体现的尤为明显，这也在很大程度上限制了掺铒硅体系的实际应用。

不过，近来Er-SiO_2-纳米晶硅体系为硅-Er发光体系提供了光明的前景。铒氧纳米硅体系中，纳米硅可以增加铒离子的光激发截面，非常有效地激发铒离子；而且，可以在低泵浦功率下实现粒子数反转。此外，掺铒硅发光的温度淬灭现象也得到抑制，激子向铒的能量转移速度得到提高；因此，Er-SiO_2-纳米晶硅不仅实现高强度的电致发光，而且还实现了电致光信号放大。意大利ST微电子公司的研究小组利用向富硅二氧化硅中注入Er离子的方法制备的发光二极管内量子效率可达50%，而外量子效率为1%。可见铒氧纳米硅体系在光电子应用中将极具竞争力。

4 硅中的缺陷发光

一般而言，硅中缺陷的发光主要分为与氧相关的缺陷的发光和硅中位错所引起的发光。与氧缺陷相关的发光在后文的多孔硅发光和纳米硅发光中都会提及，这里就不再进行讨论，而是重点对硅中位错的发光进行阐述。

近30年来，针对硅中位错的发光特性开展了大量的研究。一般认为硅中位错可能产生4个受激发光能级（D1至D4），分别位于0.807 eV、0.870 eV、0.935 eV和1.01 eV能级（如图2.11-15所示）。这些与位错相关的能级，可在高达1 000℃下保持稳定。但是对于硅中位错发光的机理目前还有很多争论，这主要是由于硅中位错的发光受到很多因素的影响。这些影响因素有的和位错本身的性质相关（如位错的结构等），有的则与硅中的杂质原子相关，如金属沾污、氧沉淀、氮杂质等。从冷阴极荧光（CL）谱可推测D1和D2源于Loner-Cottrell位错，而D3和D4则产生于60位错。K.Sumino等发现D1能带沿着位错的基本方向（<110>）被极化，并且，当施加<100>和<110>方向的应力时，D1和D2可分裂成两部分；相应地，D3和D4在<111>应力下也可分裂成具有不同极化特性的成分。其他研究则指出，D1和D2在电场垂直于滑移平面时才被极化。而Fukatsu等则指出了这些能带的激发寿命分别为（D1）0.20 μs、（D2）1.52 μs、（D3）37 ns和（D4）46 ns。现今，D4线一般被认为是由于载流子在60°位错的直线片断的复合而产生的；而D1和D2则还远未被人们所了解。位错线的几何特征（扭折，纠结等）、杂质原子氛围、位错的类型和界面处产生的位错交截反应，都被认为是D1和D2可能的发光来源；同时，D1线的强度还受到硅中通常存在的杂质——氧的影响。

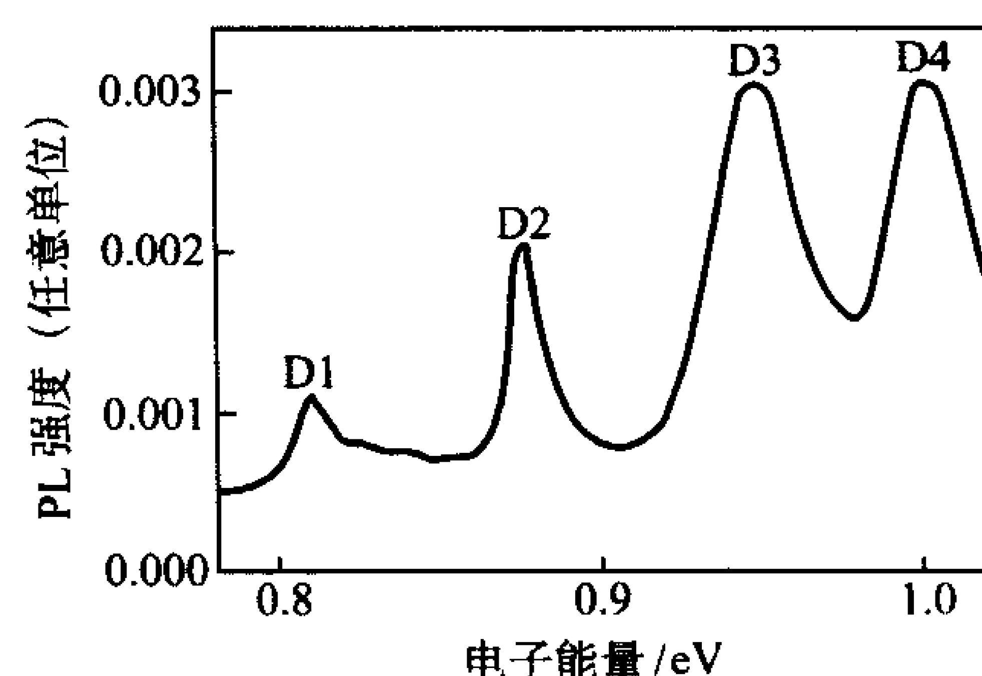


图2.11-15 单晶硅中位错的光致发光峰

相应而言，硅中位错的发光强度与位错密度有一定的关联，位错密度高，其发光强度也会增加。在位错密度很高的情况下，D1发光峰会占据主导地位；而且由于D1的基态束缚能比较大，比起其他3个发光峰D1受温度的影响也小。此外，D1发光峰的位置（1.54 μm）正好接近于光纤通讯对应的最小吸收波长，所以被认为是有希望应用在硅基发光器件的。Kveder等人利用高温变形在区熔硅中引入位错，并采用两种方法制作发光pn结。在正向电压的情况下，实现了电致发光（EL），图2.11-16给出了二极管发光强度随温度的变化关系和其时间响应。位错的电致发光在低温时4个发光峰都会呈现出，但是随着温度的升高，在150 K时D2～D4峰基本消失；而D1的强度几乎没有变化。室温时位错的电致发光则主要为D1发光峰所产生，其外部量子效率约为0.1%～0.2%，时间响应为1.8 μs。

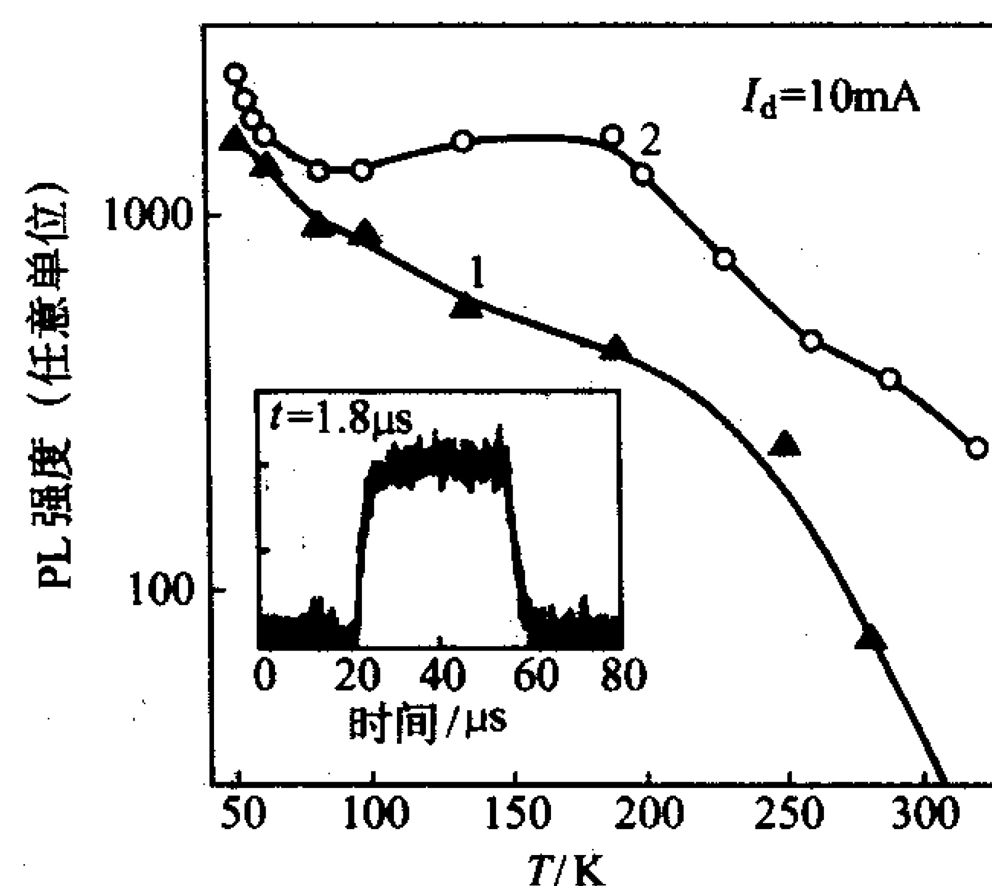
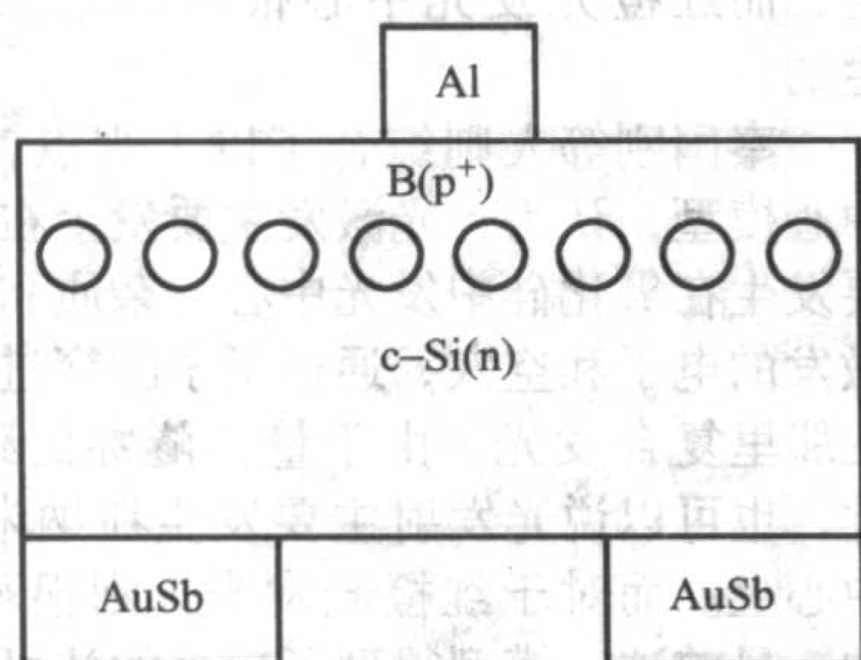


图2.11-16 含位错硅的发光二极管电致发光强度随温度变化关系，插图为其时间响应

K.P.Homewood等人则通过在n型硅单晶中离子注入B，然后在1 100℃高温退火，在n型硅中形成了突变的pn结，同时在结区引入了大量的位错环。位错环的直径大约为100 nm，彼此间距为20 nm，并在pn结下方约100 nm处形成一个位错环面阵，他们认为这一pn结结构在室温下能够观察到很强的正向电致发光。图2.11-17给出了器件的结构和电致发光光谱。同体硅中发光一样，这一方法利用限定位置的位错环产生的应力场来尽量减少非辐射复合，并形成载流子流动的势垒，这样就可以增加注入载流子的复合几率。由于这一方法与硅平面集成工艺兼容，引起了很多研究者的关注，不过其发光效率和功率仍有待于进一步改进。

尽管位错发光已经取得很大进展，但是对于位错的引入、密度的控制、以及位错对集成电路器件的影响等还存在着很多不确定的因素。



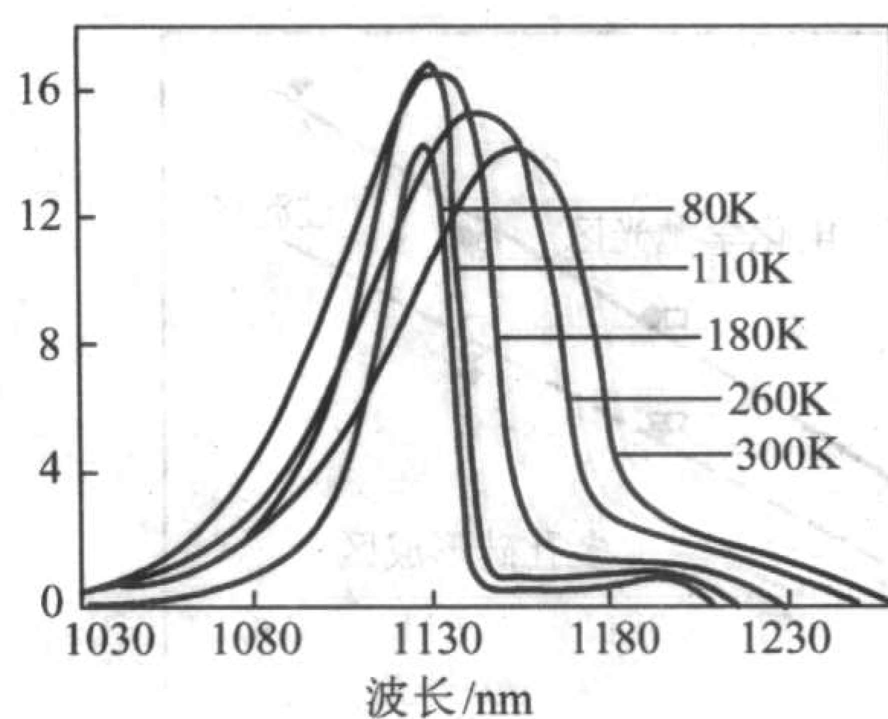


图 2.11-17 利用位错应力场减少非辐射复合发光二极管结构及其电致发光

5 多孔硅的发光

关于多孔硅（Porous Silicon，简称 PS）的报道最早可以追述到 20 世纪 50 年代的后半期，1958 年，Turner 用阳极氧化的方法得到了多孔硅，但是当时认为多孔硅是硅的氧化物，所以没有引起人们的兴趣。直到 1990 年，Canham 用紫外光和氩离子激光照射，通过电化学方法制备了多孔硅，在室温下发现了这种特殊形态的硅材料有强烈的可见光光致发光。稍后他的研究小组还发现多孔硅能够大面积的发出不同波长的光，包括橘黄，黄色，绿色等（如图 2.11-18 所示）；而且，光致发光强度大而均匀，室温下发光外量子效率达到 0.1%。这引起了研究界的极大兴趣，人们纷纷从其原理、工艺、应用和分析测试等各个角度加以探索，构成了国际上对硅基发光研究的一个主要方向。

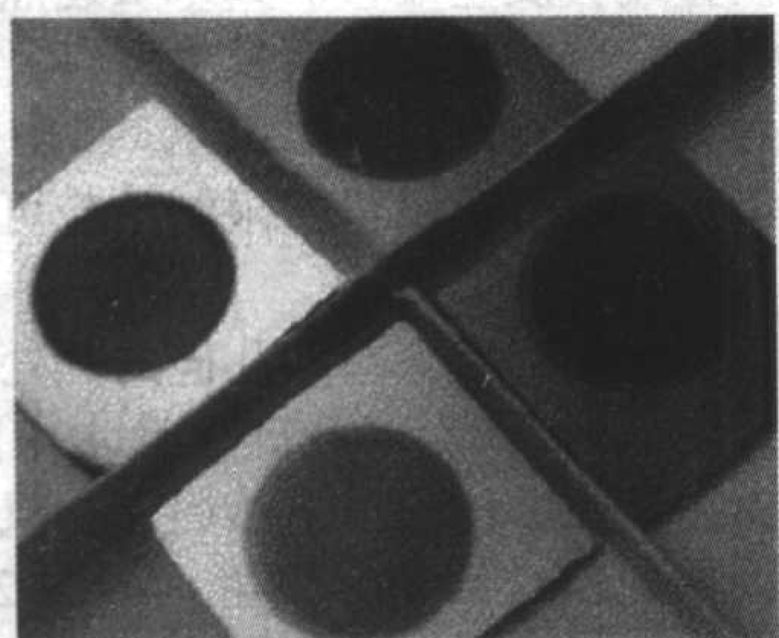


图 2.11-18 具有不同孔径和孔隙度的多孔硅所发出的不同颜色的光

5.1 多孔硅的制备

多孔硅的制备方法主要有以下四种：

1）化学腐蚀法，也叫染色法。即使用 $HF:HNO_3:H_2O$ 或 $NaNO_2:HF$ 腐蚀液对硅片表面进行腐蚀并得到类似于阳极氧化法得到的多孔硅层。

2）火花腐蚀法（Spark-processing）。即利用直流脉冲高压在以硅片作为阴极，金属钨制成的针尖作为阳极的狭小缝隙（1 mm）中放电来制备多孔硅。

3）水热腐蚀法。制备过程为：利用单晶硅片与腐蚀液在水热釜里（140～200℃）反应 1～3 h 生成多孔硅，用这种方法得到的多孔硅的表面比较光滑。

4）阳极氧化法。在多孔硅的制备中，阳极氧化法是最普遍和常用的方法，具体又可分为恒电流模式和恒电位模式。在该方法中，采用铂金丝或者石墨作为阴极，单晶硅片作为阳极，在 HF 溶液中进行电化学腐蚀。图 2.11-19 是阳极氧化法的示意图。

阳极氧化法是研究和应用得最多的一种制备多孔硅的方法。通过改变阳极氧化的各种条件，可以得到各种不同形貌和特性的多孔硅。一般认为在阳极氧化过程中，发生了如下

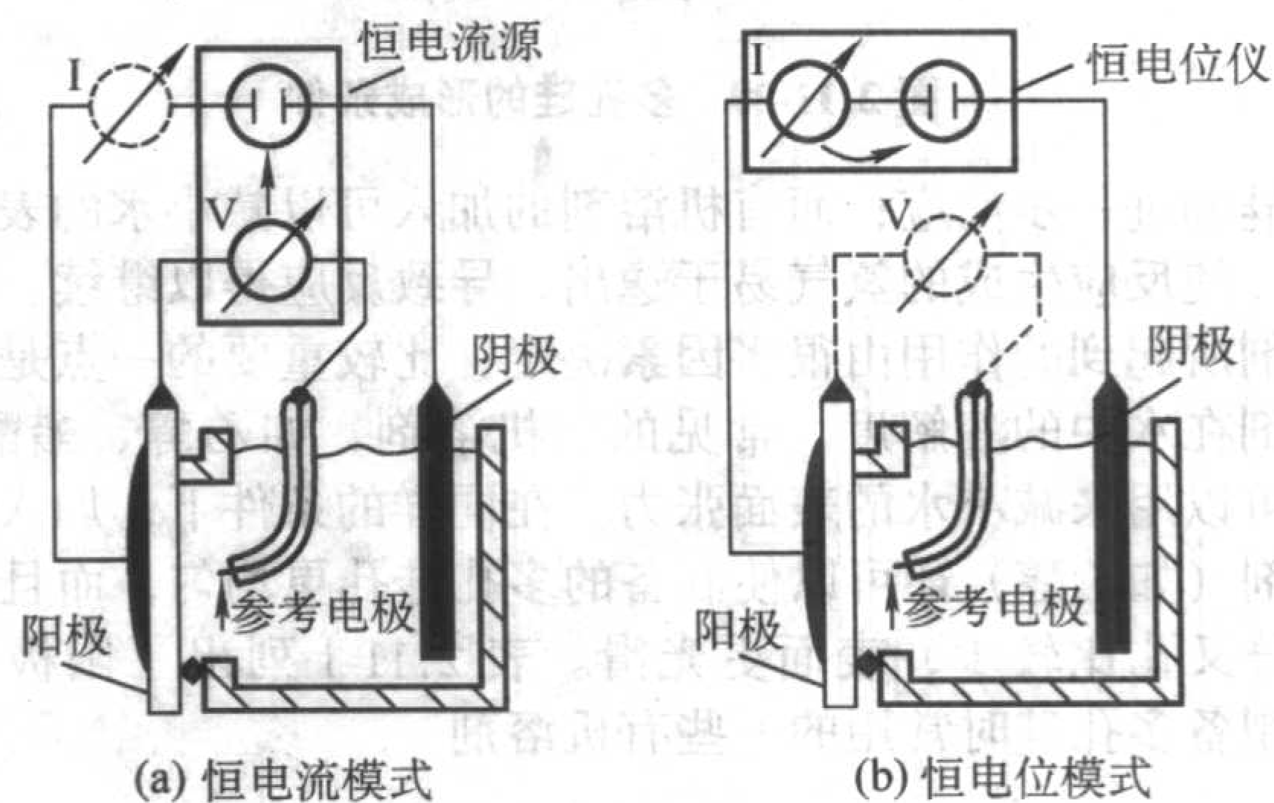
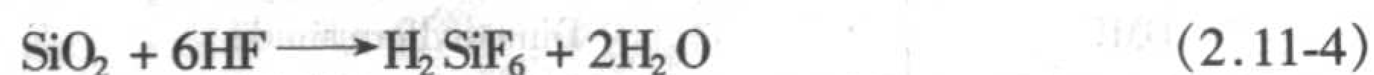


图 2.11-19 阳极氧化法制备多孔硅示意图

的反应：



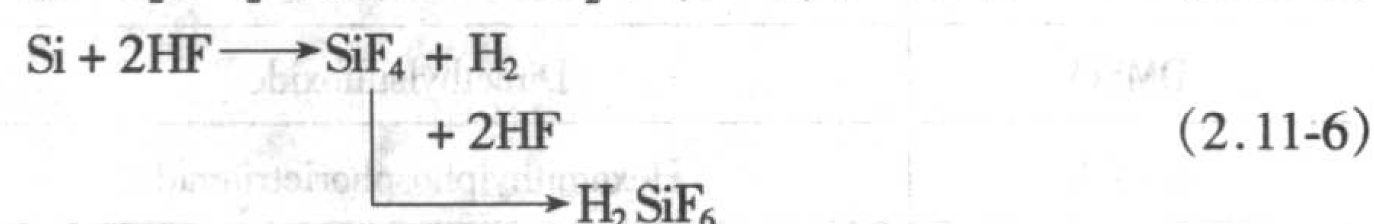
$$Si + 4[OH^-] + \lambda h^+ \longrightarrow SiO_2 + (4-\lambda)e \quad \lambda < 4 \tag{2.11-3}$$



$$SiO_2 + 6HF \longrightarrow H_2SiF_6 + 2H_2O \tag{2.11-4}$$



$$Si + 2[F^-] + \lambda h^+ \longrightarrow SiF_2 + (2-\lambda)e \quad \lambda < 2 \tag{2.11-5}$$



$$Si + 2HF \longrightarrow SiF_4 + H_2 \xrightarrow{+2HF} H_2SiF_6 \tag{2.11-6}$$

系列的实验表明，并不是在所有的阳极氧化条件下都可以制备出多孔硅。在对硅片的阳极氧化时，其他条件不变，改变电流密度和氢氟酸浓度后可以得到图 2.11-20。由图中可以看出有三个区域：Ⅰ，硅的电解抛光区。Ⅱ，过渡区。Ⅲ，多孔硅的形成区。在区域Ⅰ和Ⅱ的条件下是不能得到多孔硅的，仅在区域Ⅲ可以得到多孔硅。具体而言，只有在满足以下两个基本条件时才可能形成多孔硅：①需要有硅的氧化物形成，而且不能全部覆盖住硅的表面；②硅的溶解，也就是说电解质要能直接接触硅表面，从而通过电化学腐蚀形成多孔硅。

而从上面的反应式可以看出，在阳极氧化时，同时有两个反应在相互竞争。一个是硅的溶解，一个是硅的氧化物的形成和溶解。在电压较小时，硅的溶解占主导地位，所以此时多孔硅是很容易形成的。而在电压较高时，整个硅表面已经被硅的氧化物所覆盖，相当于成为了绝缘体，此时阳极氧化只能起到电解抛光的作用。此外，由于反应中硅的氧化物的形成需要水的参与，所以图 2.11-20 只适用于 HF 的水溶液体系，而不适用于 HF 的有机溶剂体系。

然而，在多孔硅的制备中，往往会在 HF 的水溶液中加入一定数量的有机溶剂。实验证明，在多孔硅的制备中加入有机溶剂能起到很好的作用。在阳极氧化过程中，会有大量的氢气气泡产生，气泡吸附在硅的表面，会阻碍电化学反应的继续进行，影响多孔硅的制备。去除这些气泡可以用超声振荡器，也可加入有机溶剂等表面活性剂。一般认为，水具有很大的表面张力，当氢气产生时，由于水的表面张力的缘故，使氢气牢牢的吸附在硅的表面，不能自由地溢出，阻止

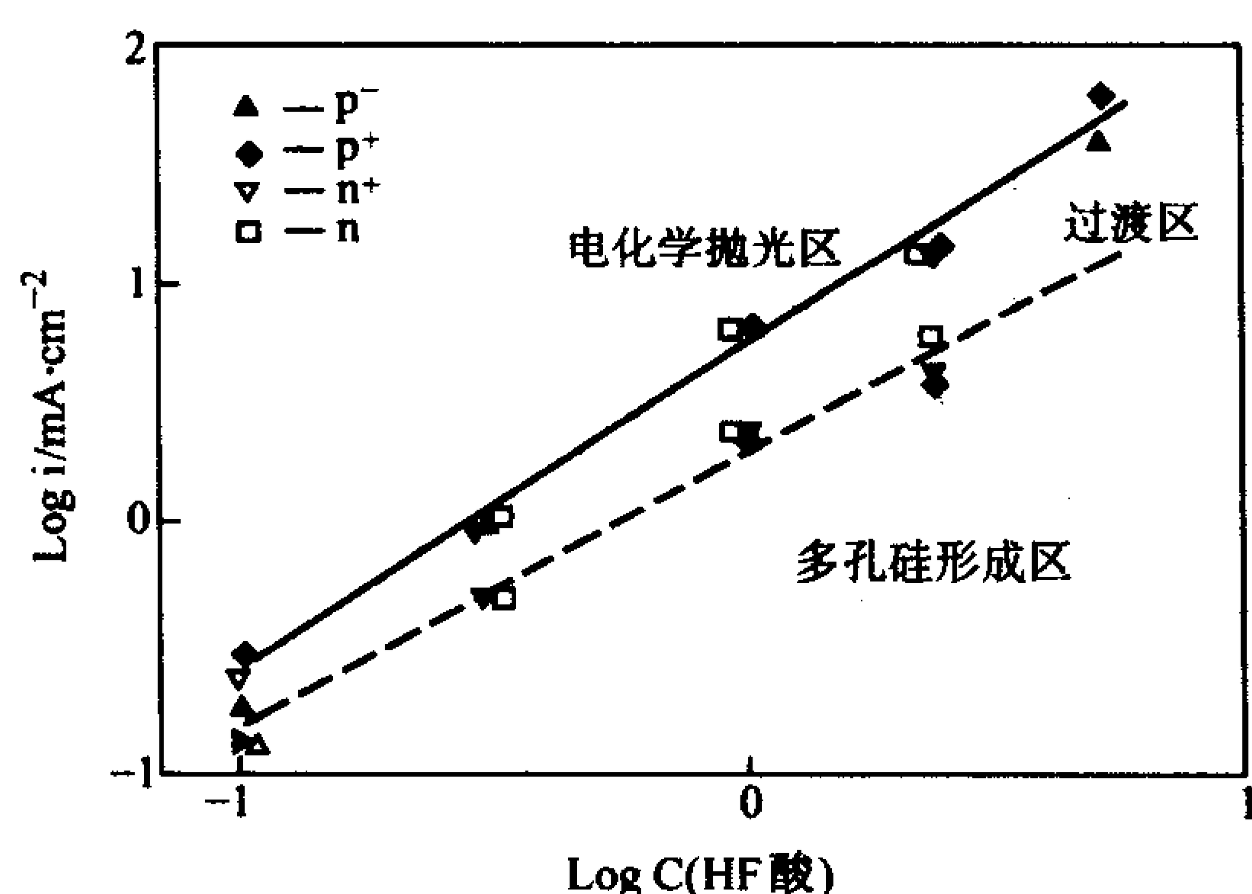


图 2.11-20　多孔硅的形成条件

了硅的进一步反应；而有机溶剂的加入可以减小水的表面张力，使反应生成的氢气易于逸出，导致反应得以继续。有机溶剂所起到的作用由很多因素决定，比较重要的一点是有机溶剂在水中的溶解度。常见的有机溶剂，如乙醇、醋酸等，都可以用来减小水的表面张力。在同样的条件下，加入有机溶剂（如乙醇）还可以使制备的多孔硅孔更均匀，而且产生的分叉孔比较少，表面更光滑。表 2.11-1 列出了阳极氧化法制备多孔硅时常用的一些有机溶剂。

表 2.11-1　制备多孔硅中常用的有机溶剂

缩写	英文名
MeCN	Acetonitrile
DMF	Dimethylformamide
FA	Formamide
DMSO	Dimethylsulfoxide
HMPA	Hexamithylphosphorictriamide
DNA	Dimethylacetamide
	Ethanol
	Acetic acid

5.2　多孔硅光致发光机理

众所周知，体硅材料只能发射极微弱的红外光，而多孔硅却能发射强的可见光。在蓝光或紫外光激发条件下，多孔硅的发光波长通常在 650～800 nm 范围。经适当的退火、氧化、离子注入或激光照射等后处理，其光致发光谱可以发生很大的改变，可以发射近红外、红、黄、绿、蓝、紫直到近紫外等波段的光。

对于多孔硅的光致发光的产生机理到目前还存在诸多争议。通常的解释主要有量子限制模型和多孔硅表面氧化硅中发光中心（杂质和缺陷）模型。而早期提出的纳米硅的本征表面态、多孔硅中特殊发光物质（如硅氧烯或 SiH_x）等模型现在已少有提及。

由 Canham 提出的量子限制模型认为：多孔硅光发射是由于量子限制效应导致禁带增宽而产生的；而对于氧化后多孔硅发光蓝移的现象，则认为是氧化后的纳米硅体积缩小，由于量子限制效应，纳米硅禁带宽度进一步增加而导致的。但是，这个模型对于氧化后多孔硅光致发光峰红移或基本不变的现象则很难给出解释。而氧化硅发光中心模型则认为，由于刚制备的多孔硅置于大气中，很快就会被氧化，因此可以说多孔硅实际上是表面氧化程度不同的硅氧复合体系，多孔硅的光发射主要发生氧化硅中发光中心（杂质和缺陷）上，而红橙光发光中心很可能是氧化硅中非桥氧空穴产生的。

秦国刚等人则综合了以上观点，提出了量子限制-发光中心模型，认为：光激发主要发生在纳米硅中，而光发射主要发生在氧化硅中发光中心（杂质和缺陷）上；纳米硅中光激发的电子和空穴，通过量子隧穿进入氧化硅发光中心，并在那里复合发光。由于量子隧穿的距离仅为几个纳米，因此，也可以说光发射主要发生在纳米硅/氧化硅界面的发光中心上。而对于红橙光发光，则很可能是非桥氧空穴产生的。目前这一模型得到了较多的认可，同时对于后文中所涉及的纳米晶硅镶嵌二氧化硅体系的发光也能给出很好的解释。

5.3　热处理对多孔硅发光特性的影响

电化学方法制备的发光多孔硅，普遍存在着随着放置时间的延长其发光强度和效率下降的弱点。因而对多孔硅进行后处理来改善这一特性就显得尤为重要，通常对多孔硅的后处理包括不同气氛下的热处理和通过有机物或无机物与多孔硅复合两种，而热处理又包括常规热处理和快速热处理两种形式。

对多孔硅进行热处理，不仅能够氧化其表面，起到钝化作用；还可以通过氧化作用来减小纳米硅的尺寸，使得发光峰蓝移。在低温快速热处理后，多孔硅的光致发光强度有所下降。这是因为热处理导致了多孔硅表面的硅氢键的断裂，从而生成更多的悬挂键，而这些悬挂键可作为非辐射复合中心影响其发光。与此同时，由于氧化导致界面态的改变，多孔硅的发光峰位置还会发生红移。如果快速热处理温度的升高或时间延长，多孔硅的发光峰会发生蓝移。这是由于在比较高的温度快速热处理后，氧化加剧，在多孔硅中被 SiO_2 包覆着的硅粒子尺寸变小，由量子限制效应可知，发光峰会发生蓝移。

事实上，不同氧化气氛下对多孔硅的热处理都发现了其发光峰的蓝移。图 2.11-21 为多孔硅在沸水中热处理后得到的蓝光发射；而在氨水中浸泡过，然后再在氧气氛下快速热处理，则也可以得到稳定的蓝光发射（如图 2.11-22 所示）。此外，多孔硅在等离子 H 的气氛中低温（250～450℃）退火后，还被发现可得到蓝光和紫光的发射。

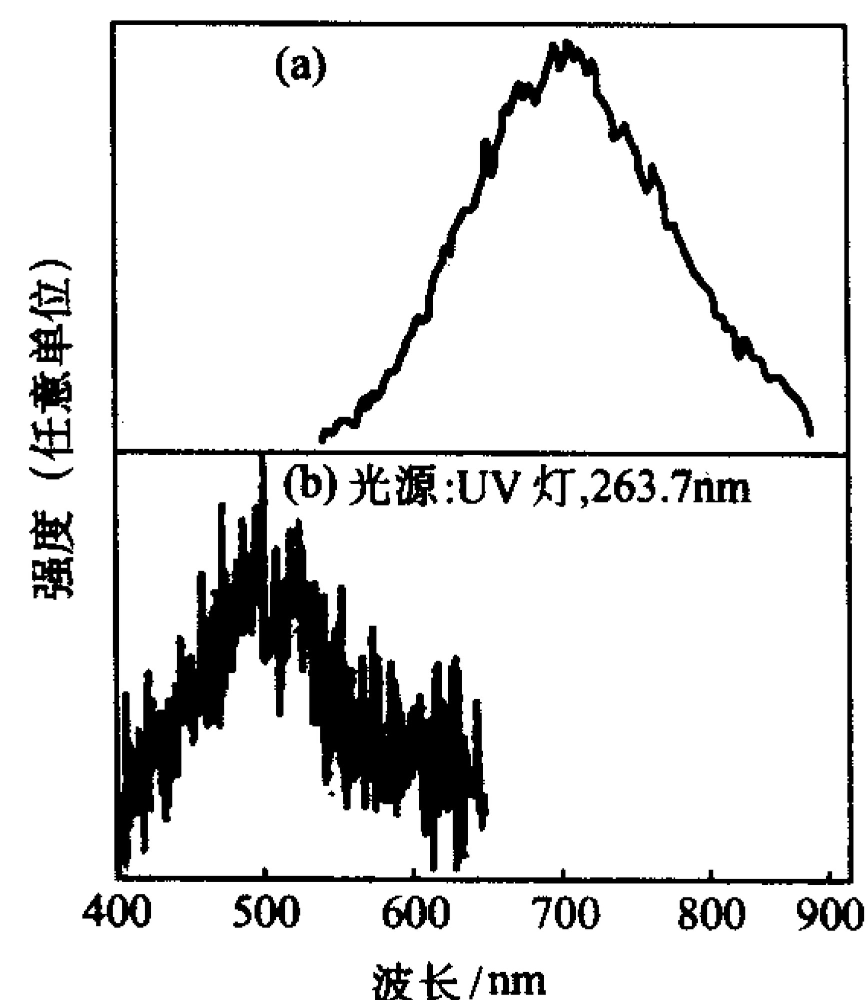


图 2.11-21　沸水处理对多孔硅发光的影响
（a）未经处理的多孔硅；（b）沸水处理后的多孔硅的 PL 谱

5.4　多孔硅及其复合体系的发光特性

从应用角度看，电致发光比光致发光更为重要。因此，在多孔硅室温强光致发光发现后不久，就报道了金属/多孔硅结的电致发光。但多孔硅电致发光效率长期停留在 0.1%

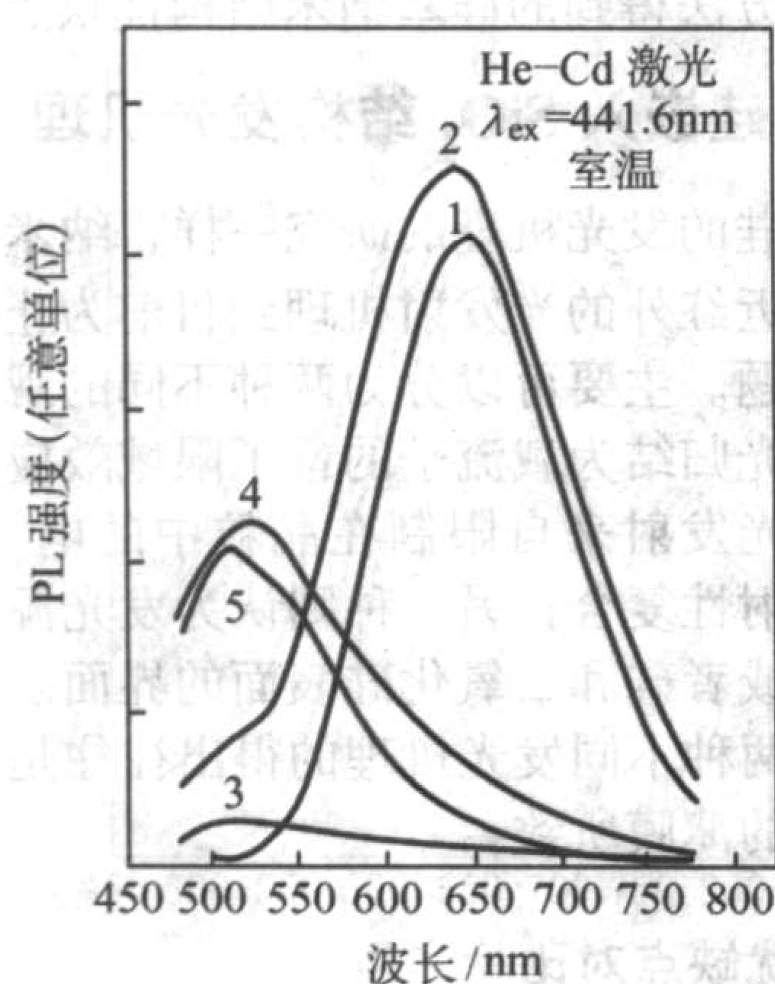


图 2.11-22　不同处理对多孔硅发光的影响

1—未经处理的多孔硅；2—氨水浸泡 15 min；
3—660℃快速热处理 30 min；
4—氨水浸泡 15 min 后 660℃快速热处理 30 min；
5—样品 d 在干燥气氛下存放 160 天

以下（到目前为止最高的外量子效率大约为 1%，功率效率为 0.37%），比其光致发光的效率（1% ~ 10%）低了很多，而且发光寿命很短。一般认为，这是由于多孔硅表面的化学性能不稳定而造成的。在多孔硅表面的硅氢键很弱，容易被破坏，从而形成悬挂键。而悬挂键在发光器件中常常引起电子-空穴对的无辐射复合。这种无辐射复合对发光是没有贡献的，它的增多必然会引起发光效率的降低，甚至导致器件发光淬灭。

因此，目前人们更多的关注是把多孔硅与其他物质的复合来解决这些问题。主要的方法有：多孔硅与无机半导体复合、多孔硅与有机体系的复合等。多孔硅与有机或无机物的复合不仅可以起到钝化多孔硅活泼表面的作用，还可能在某种程度上结合两种物质的特点起到发光增强作用。

(1) 多孔硅与无机物复合

在 1991 年，Futagi 等人在 p 型多孔硅上采用电子回旋共振等离子化学气相沉积的方法得到一层微晶 SiC 薄膜，与多孔硅形成 pn 结，当电压超过 20 V 时，这一结构可以在黑暗中发出白光。研究表明，Ⅱ-Ⅵ族化合物与多孔硅复合体系，可以导致电致发光强度的增加，还会导致微弱的峰位蓝移。其中，发光强度增加的原因是由于表面非辐射复合中心被钝化，而发光峰蓝移则可能是由于发光来源于多孔硅/化合物的界面。

(2) 多孔硅/有机复合体系

多孔硅与有机物复合体系中，对有机物的选择一般有三个参考条件：①有机物对可见光要透明，至少要半透明；②有机半导体的电阻率要低；③有机物可有效钝化多孔硅的表面。对于第一点的要求是显而易见的，多孔硅与有机材料复合后，光要仍然可以透过，至少要半透过。这时要考虑的参数包括有机材料的折射率、反射系数以及它对光的吸收系数等，尤其是其吸收峰的位置，不能和多孔硅的发光峰重合或者靠的很近。第二点要求主要是要降低发光二极管的启动电压，减少功耗。而对于第三点中钝化多孔硅表面的要求，目前有两种观点：一种观点认为有机半导体在钝化多孔硅表面时，不应与多孔硅反应，否则影响多孔硅的发光；另一种观点认为有机半导体应该与硅反应，从而更好地钝化多孔硅的表面，进而影响多孔硅的发光。例如：Koshida 等人将用阳极氧化法制得的多孔硅电镀上一层聚吡咯（polypyrrole）后，再镀一层薄金，形成发光二极管。在 15 V 时器件整流比例达到 1 000，比无聚吡咯复合的器件增大 300 倍；在大于 2 V 的正偏压下，复合后的多孔硅器件发出黄光，器件的性能比单独的多孔硅/Au 二极管有明显提高。这可能是由于电极渗入进多孔硅，使接触面积增大，减少多孔硅层的电压降，增加了有效的载流子注入，器件的电致发光性能也有明显的提高。

目前常用的与多孔硅复合的有机物主要有聚苯胺（polyaniline）、聚二噻吩（polybithiophene）及其他聚噻吩衍生物、聚对苯乙烯（1,4-phenylene vinylene）、聚乙烯基咔唑 PVK（poly（9-vinylcarbazole））、PCDM（poly-4-dicyanomethylene-4H-cyclopenta[2,1-b：3,4-b″] dithiophene monolayer））等发光聚合物。这类有机材料都是高性能发光材料，具有易成膜、化学性能稳定、合成工艺简单等优点，被广泛的研究和应用。并且在与多孔硅复合制备电致发光器件时能够满足导电性好、透光和可发光等优点。多孔硅与这些有机物复合后发光效率得到了提高，使用寿命甚至也增加到几个月，启动电压降低到了几伏。但是电致发光的强度还是比光致发光的低，稳定性和寿命都有待于进一步的提高，离实际应用还有很远的距离。

除了以上的多孔硅与有机物或无机物复合体系外，利用掺铒硅制备的多孔硅，同样可以得到光致发光和电致发光。Er/多孔硅电致发光器件的启动电压一般大于 10 V，量子效率为 5% ~ 10%。在正、负偏压下，掺有 Er 的多孔硅均可以电致发光，但在负偏压时的发光强度是正偏压的 28 倍。但是由于 Er 离子在硅中固溶度的限制、较高的器件启动电压和低量子效率，Er/多孔硅电致发光器件还有待改善。

从以上可见，尽管经过多年的努力，多孔硅电致发光器件取得了很大的进展，但是基于多孔硅的发光器件离实际的应用还有很远的路要走。首先，制备多孔硅的电化学腐蚀工艺与硅平面工艺不能兼容，虽然 1996 年意大利的研究者已经展示了多孔硅二极管与双极晶体管集成的实例（图 2.11-23），为多孔硅与集成电路工艺的兼容迈出了坚实的一步。其次，多孔硅的机械强度差，易破损，可加工性差。而且，多孔硅发光的强度弱、易衰减、性能不稳定等弱点，从根本上制约了多孔硅的应用，必须加以克服。

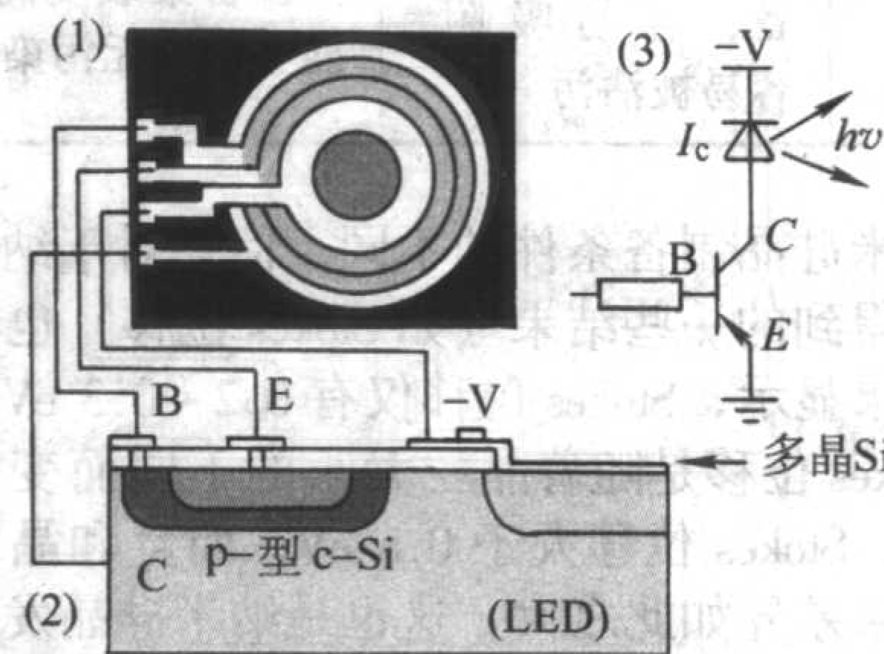


图 2.11-23　双极晶体管/多孔硅发光二极管集成示意图

6　纳米硅的发光

从多孔硅发光的量子限制模型出发，研究者认识到：将硅材料减小到纳米尺寸时，硅也可能发光。因为，当硅材料的尺寸减小到纳米量级时，首先硅的有效能带将被展宽，而纳米硅中激子的运动也将被限制在纳米尺寸的很小的区域中，遇到缺陷而复合的几率将被大大降低，这样非辐射复合几率下降，相应的辐射性复合的几率增加。可见，这可能是另外一种可以得到硅直接跃迁和发射可见光的新途径，这也使得纳米硅发光的研究伴随着多孔硅的研究和发展而发展起来。

小尺寸的硅材料体系包括多孔硅、纳米硅晶（包括纳米晶硅嵌入 SiO_2 结构）以及硅/绝缘体超晶格等。在这些纳米

尺寸系统中，以往只观察到光致发光现象，还未有光的放大自发辐射（Amplified Spotaneous Emittier）报道。多孔硅我们在前面已经介绍了，而硅/绝缘体超晶格不属于本书的范围这里也不再介绍。本节主要介绍被广泛研究的、也是被认为最有可能取得突破的纳米晶硅嵌入 SiO_2 系统。

6.1 纳米晶硅嵌入 SiO_2 结构的制备

近年来，人们通过不同的技术制备了纳米晶硅嵌入 SiO_2 结构，主要的方法有：激光烧蚀法、溅射沉积法、离子注入法、等离子化学气相沉积法（PECVD）、以及反应蒸发法。不同的方法制备的纳米晶硅嵌入 SiO_2 结构的特性都有所不同，这也造成了对这一体系发光机理的争议。表2.11-2给出了不同制备方法得到的硅基纳米结构优缺点。

6.2 纳米晶硅嵌入 SiO_2 结构发光机理

如同多孔硅的发光机理的研究一样，纳米晶硅嵌入 SiO_2 结构的可见和近红外的光发射机理到目前为止仍然是学术界激烈争论的问题。主要可以分为两种不同的观点：一种是把这一结构的发光归结为载流子的量子限域效应，根据这一模型，纳米硅的光发射来自限制在晶粒中的电子-空穴对的能带到能带的辐射性复合；另一种则认为发光源于二氧化硅基体的缺陷中心或者硅和二氧化硅表面的界面效应。不过，必须注意到，这两种不同发光机理的得出往往是由于不同的制备条件下得到的薄膜所致。

表2.11-2 硅基纳米结构的各种制备方法的优缺点对比

制备方法	电化学腐蚀	激光烧蚀	溅射沉积	离子注入	PECVD	反应蒸发
粒径	一维量子限域结构	可以较好的控制制备颗粒的尺寸	通过后续热处理控制	粒径分布相对较均匀，较容易控制	粒径呈高斯分布，平均粒径容易控制	通过多层结构控制粒径
空间分布	SiO_2 包裹的 Si 纳米结构	由衬底位置与激光束的距离决定	空间组分分布较均匀	准确控制空间分布	空间分布较均匀，可以是颗粒整齐排列的超晶格	通过多层结构控制空间分布
ULSI 工艺兼容性	兼容性差	需额外复杂设备	薄膜质量差，不利于器件应用	兼容性好	兼容性好	设备特殊
发光机理	硅-氧化硅界面态	量子效应	硅-氧化硅界面态为主（主）、量子效应	量子效应和硅-氧化硅界面态	量子效应和硅-氧化硅界面态	量子效应和硅-氧化硅界面态
化学和机械稳定性	稳定性差	稳定性好	稳定性好	稳定性好	稳定性好	稳定性好
发光影响因素	硅和氧化硅中的缺陷	粒径和硅-氧化硅界面态	溅射过程中，离子轰击引起缺陷	注入引起的缺陷	硅-氧化硅界面态和薄膜缺陷发光	硅-氧化硅界面态和薄膜缺陷发光
纳米颗粒的沾污	化学条件下制备，容易吸附，容易被沾污	设备集成度高，能够做到无污染	溅射过程中引入杂质	无污染，引入晶格损伤	含有一定量氮，影响介电常数和光学性质	不存在 N 的影响，纯的 SiO_x/SiO_2 结构

由于纳米硅晶制备条件的不同，使得对于纳米硅晶发射光的测量所得到的一些结果（如 Stokes 位移）也有很大的偏差。有的结果显示，Stokes 位移仅有 0.2~0.3 eV；也有的结果显示，Stokes 位移是随着晶粒大小的不同而变化；另外的数据则显示，Stokes 位移大于 0.8 eV，而且和晶粒的大小无关。实验结果差异如此之大，这也是纳米硅晶发光的机理产生很大争议的重要原因。不过，考虑到每种纳米硅晶制备的条件不同，Stokes 位移的不同也很可能与纳米硅晶的表面状态相关。理论计算表明：对于表面被氢覆盖的纳米硅晶、表面是 Si-O-Si 架桥的纳米硅晶和表面是 Si=O 键结的纳米硅晶，由于其表面状态不同，所产生的 HOMO（Highest Occupied Molecular Orbital）和 LUMO（Lowest Unoccupied Molecular Orbital）在空间上各有不同的波函数分布，使晶体到达激发态后，原子排列改变的程度有大有小，这也就是 Stokes 位移差异的重要来源。表面被氢覆盖的纳米硅晶颗粒由小变大，Stokes 位移也很快地由大变小；表面是 Si-O-Si 架桥的纳米硅晶的 Stokes 位移值很小，仅约 0.2 eV；而表面是 Si=O 键结的纳米硅晶则具有 1.2 eV 的 Stokes 位移，且和晶粒大小相关性不高。由于各实验室在生长纳米硅晶时的条件不尽相同，所得晶粒表面状态往往也随之相异，这样就可以理解实验数据的差异了。当然，也有学者认为光发射可能发生在纳米硅/氧化硅界面发光中心和纳米硅中两处，并且这是相互竞争的两个发光过程。纳米硅颗粒较大时，光发射主要发生在纳米硅/氧化硅界面发光中心；当纳米硅颗粒足够小，纳米硅晶中的光发射成为主导。

总的来说，多数研究者还是认为纳米硅的发光源于量子限域的激子复合，发射光的能量取决于纳米硅颗粒的尺寸；而氧化硅等基体材料则起到了钝化导致非辐射复合的悬挂键的作用，这种发光与多孔硅有很多相似之处。而且复合过程可以看作典型激子的单态和三重态间的复合，因而是非直接的小复合截面的光跃迁过程。

6.3 纳米晶硅嵌入 SiO_2 结构的光致发光及其光增益

各种方法制备的纳米晶硅所发射的光基本上都在 500~1 000 nm 范围。其发光特性可归结为如下几点：

1）纳米晶硅嵌入 SiO_2 结构的发光并不是单纯的来自纳米硅晶。

2）纳米晶硅嵌入 SiO_2 结构中，纳米硅晶的尺寸具有一定的分布，其发光会由于尺寸分布而产生自发的光吸收和损耗。

3）纳米硅晶之间的相互作用和局部光学态密度的不同，其发光寿命呈现为多重指数衰减（multi-exponential decay）。

4）纳米晶硅嵌入 SiO_2 结构的发光类似于间接带隙半导体。

基于以上几点来看，纳米晶硅中自由载流子吸收截面远高于其受激发射，而这样是无法实现纳米晶硅激光的，除非纳米晶硅的自由载流子吸收截面比其在体硅中下降几个数量级。

2000 年 L. Pavesi 等报道了纳米晶硅嵌入 SiO_2 结构中纳米晶硅的光增益现象，并认为这为实现硅基激光迈出了相当重要的一步。对于纳米晶硅的光增益，他们提出了一个如图 2.11-24 所示的三能级理论。即：纳米硅吸收泵浦光，使电子从价带顶跃迁到导带底，然后快速（纳秒）驰豫到导带底下方的界面态；而界面态上的电子的寿命很长，这样就可以实现粒子数反转，使得界面态到价带顶的电子-空穴复合有可能得到受激发射。但是，A. Polman 从以往的实验和纳米晶硅嵌入 SiO_2 结构的发光特性对这一模型提出了疑问，认为光增益很可能来自于纳米硅对二氧化硅中的缺陷或杂质的敏化作用。随后，L. Pavesi 等改进了他们的三能级模型，引入了与氧有关的纳米硅晶表面态的四能级模型（如图 2.11-25 所示）。他们认为激发的光子会引起氧或氢覆盖的纳米晶硅结构的驰豫，从而导致包括表面局域态在内的跃迁过程。图 2.11-25 中能级 1 和 4 与纳米晶硅光吸收跃迁有关，而能级 2 和 3 则与激发状态下的局域态有关。

尽管对于纳米硅光增益的真实物理内涵依然很模糊，还需要更为详细的了解。但是，无论如何，纳米晶硅光增益的实现使人们看到了硅基激光的前景，只是这离硅基电泵激光以及硅光电集成还有很远的距离。

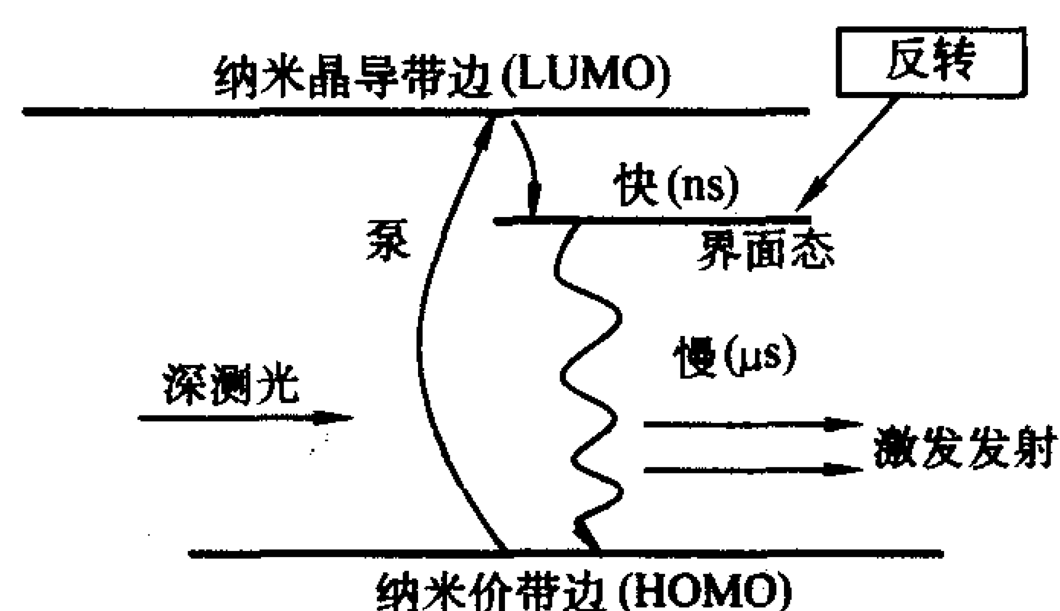


图 2.11-24　纳米硅晶产生粒子数反转的三能级理论示意图

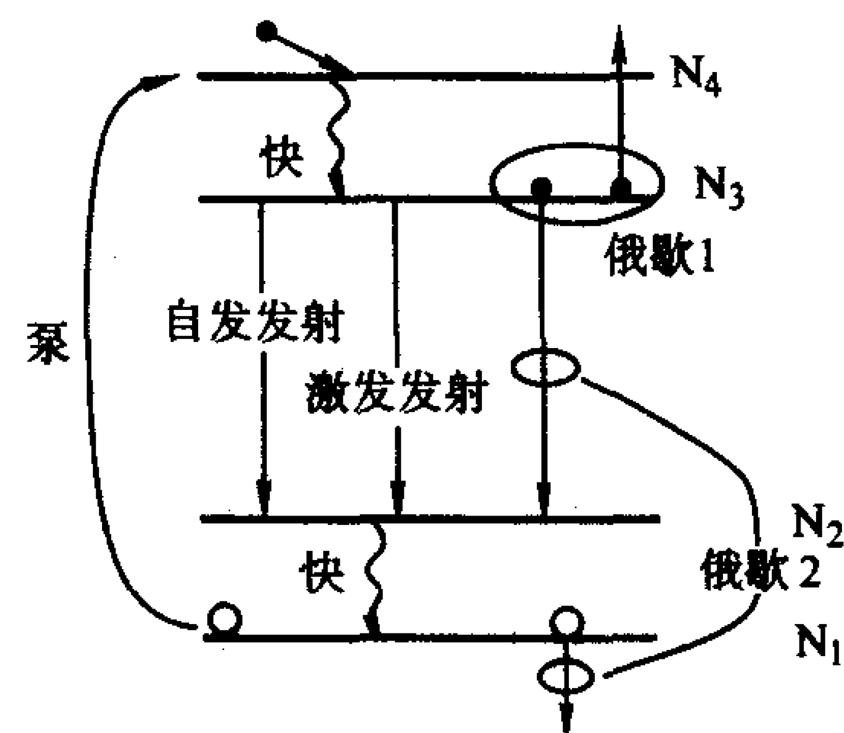


图 2.11-25　纳米硅晶光增益复合动力学等效四能级模型示意图

编写：李东升（浙江大学）

参考文献

1 Coffa S, Franzo G, Priolo G F. High efficiency and fast modulation of Er - doped light emitting Si diodes. Appl. Phys. Lett, 1996, 69: 2077 ~ 2079

2 Green M A, Emery K. King D L, Igari S. and Warta W. Solar Cell Efficiency Tables (Version 21), Progress in Photovoltaics: Research and Applications, 2003, 11: 39 ~ 45

3 Huff H R. An Electronics Division Retrospective and Future Opportunities in the Twenty - First Century. Journal of The Electrochemical Society, 2002, 149: S35 ~ S58

4 Morales A M, Lieber C M. A Laser Ablation Method for the Synthesis of Crystalline Semiconductor Nanowires. Science, 1998, 279: 208 ~ 211

5 Niu J, Sha J, Ma X, Xu J, Yang D, Array-orderly single crystalline silicon nano-wires. Chemical Physics Letters, 2003, 367: 528 ~ 532

6 阙端麟，陈修治. 硅材料科学与技术. 杭州：浙江大学出版社，2000

7 Schmela M. Beyond expectations: market survey on world cell production in 2001. Photon International, 2002, 3: 38 ~ 42

8 Sha J, Niu J, Ma X, Xu J, Zhang X, Yang Q and Yang D. Silicon Nanotubes. Advanced materials, 2002, 14: 1219 ~ 1221

9 Shah A, Torres P, Tscharner R, Wyrsch N and Keppner H. Photovoltaic Technology: The Case for Thin - Film Solar Cells. Science, 1999, 285: 692 ~ 698

10 万群. 奇妙的半导体. 北京：科学出版社，2002

11 席珍强，杨德仁，陈君. 铸造多晶硅的研究进展. 材料导报，2001，2：67 ~ 69

12 杨德仁，阙端麟. 深亚微米集成电路用硅单晶材料. 材料导报，2002，2：1 ~ 4

13 Yang J, Banerjee A and Guha S. Triple-junction amorphous silicon alloy solar cell with 14. 6% initial and 13. 0% stable conversion efficiencies. Appl. Phys. Lett., 1997, 70: 2975 ~ 2977

14 Zhao J, Wang A, Green M and Ferrazza F. 19. 8% efficient honeycomb" textured multicrystalline and 24. 4% monocrystalline silicon solar cells. Appl. Phys. Lett., 1998, 73: 1991 ~ 1993

15 Celler G K and Cristoloveanu Sorin. Frontiers of silicon-on-insulator. J. Appl. Phys, 2003, 93 (9) : 4955 ~ 4978

16 Hoshikawa K, Huang X, Taishi T and Kajigaya T. Dislocation-free czochralski silicon crystal growth without the dislocation-eliminating-necking process. Jpn. J. Appl. Phys, 1999, 38 (12A): L1369 ~ 1371

17 Huang X, Taishi T, Yonenaga I and Hoshikawa K. Dislocation-free czochralski silicon crystal growth without dash necking. Jpn. J. Appl. Phys, 2001, 40 (1): 12 ~ 17

18 Huang X, Taishi T, Yonenaga I and Hoshikawa K. Dislocation-free czochralski silicon crystal growth without dash necking using a heavily b and ge codoped si seed. Jpn. J. Appl. Phys, 2000, 39 (11B): L1115 ~ 1117

19 (美) 杰克逊 K. A. 主编. 半导体工艺. 屠海令等译校. 北京：科学出版社，1999

20 林明献编著. 硅晶圆半导体材料技术. 台北：全华科技图书股份有限公司，1999

21 Tsuya H. Present status and prospect of Si wafers for ultra large scale integration. Jpn. J. Appl. Phys, 2004, 43 (7A): 4055 ~ 4067

22 Watanabe M, Eguvhi M, Wang W, Hibiya T and Kuragaki S. Controlling oxygen concentration and distribution in 200mm diameter si crystals using the electromagnetic czochralski method. J. Crystal. Growth. 2002, 237 (3): 1657 ~ 1662

23 Jurkschat K, Senkader S, Wilshaw P R, Gambaro D and Falster R J. Onset of slip in silicon containing oxide precipitates. J. Appl. Phys., 2001, 90 (7): 3219 ~ 3225

24 Yonenaga I, Taishi T, Huang X and Hoshikawa K. Dynamic characteristics of dislocations in highly boron-doped silicon. J. Appl. Phys., 2001, 89 (10): 5788 ~ 5790

25 Yang Deren, Wang G, Xu J, Li D S, Que D L, Funke C and Moeller H J. Influence of oxygen precipitates on the warpage of annealed silicon wafers. Microelectronic Engineering, 2003, 66 (1 ~ 4): 345 ~ 351

26 Baumvol I J R. Surface Science Reports. Atomic transport during growth of ultrathin dielectrics on silicon. Surface Science Reports. 1999, 36: 1 ~ 166

27 侯士敏，陶成钢，申自勇，郭等柱，赵兴钰，刘惟敏，薛增泉. Si (111) 表面亚稳态重构的 STM 研究. 真空科学与技术. 2002, 22: 243 ~ 246

28 刘学建，张俊计，孙兴伟，蒲锡鹏，黄莉萍. 半导体集成电路用表面钝化膜的研究. 陶瓷学报. 2002, 23: 112 ~ 115

29 刘恩科，朱秉升，罗晋生等编著. 半导体物理学. 第 6 版. 北京：电子工业出版社. 2003

30 李静，吴孙桃，叶建辉，Li S F Y. Si (111) 湿法腐蚀后表面形态的 FTIR 研究. 固体电子学研究与进展. 2003, 23: 145 ~ 148

31 Morse K A. Photo-oxidation of hydrogen passivated silicon surfaces. USA: ProQuest Information and Learning Company. 2003

32 Oura K, Lifshits V G, Saranin A A, Zotov A V, Katayama M. Hydrogen interaction with clean and modified silicon surfaces. Surfaces Science Reports. 1999. 35: 1 ~ 69

33 彭英才，陈金忠，李社强，李彦波. 硅表面上的纳米量子点的自组织生长. 固体电子学研究与进展. 2003, 23: 349 ~ 355

34 Zhang Xiang. A study of silicon oxidation and nitrdation using surface infrared spectroscopy. USA: ProQuest Information and Learning Company, 2002

35 张永平，闫隆，谢思深，庞世谨，高鸿钧. Si (111) - (7×7) 表面上 Ge 量子点的自组织生长. 物理学报. 2002, 51: 296 ~ 299

36 Hein A, Finkbeiner S, Marek J, Marek J, Obermeier E. Material related effects on wet chemical micromachining of smart MEMS devices, Micromachined Devices and Components V, Santa Clara, CA, USA, Proceedings of the SPIE - The International Society for Optical Engineering vol. 3876, 1999, 29 ~ 36

37 黄庆安编. 微机械加工技术. 北京：科学出版社，1996

38 Hull R. Properties of Crystalline Silicon, INSPEC, The institu-

tion of Electrical Engineers, 1999

39 Humbird D, Graves D B. Fluorocarbon plasma etching of silicon: factors controlling etch rate, Journal of Applied Physics, 2004 (96): 65~70

40 Kim Min Tae. Pressure-dependence of etch rate in O_2/ discharges, Thin Solid Films, 2001 (401): 39~44

41 阙端麟，陈修治编．硅材料科学与技术．杭州：浙江大学出版社，2000

42 Menz W, Mohr J, Paul O编，王春海，于杰，孙东辉，庞国星和韩伟娜译．微系统技术．北京：化学工业出版社，2003

43 施敏著，半导体器件物理与工艺．赵鹤鸣等译．苏州：苏州大学出版社，2002

44 关旭东．硅集成电路工艺基础：第一版．北京：北京大学出版社，2003

45 T. Hatori. Trends in wafer cleaning technology. Supplement to Solid State Technology. 1998, (1): 68

46 杰克逊 K A．半导体工艺．材料科学与技术丛书（第16卷）．屠海令，万群 等译．第一版．北京：科学出版社，1999

47 林明献．硅晶圆半导体材料技术：第一版．台北：全华科技图书股份有限公司，1999年

48 刘玉岭，檀柏梅，张楷亮．超大规模集成电路衬底材料性能及加工测试技术工程：第一版．北京：冶金工业出版社，2002

49 阙端麟，陈修治．硅材料科学与技术：第一版．杭州：浙江大学出版社，2000

50 Quirk M and Serda J. Semiconductor manufacturing technology: 1st ed. Englewood Cliffs, NJ, Prentice-Hall, 2001

51 张树永．超大规模集成电路硅片清洗技术的发展．化学进展，1999，12（1）：103

52 Abe T. The formation mechanism of grown-in defects in Czochralksi silicon crystals based on thermal gradients measured by thermocouples near growth interfaces. Mater. Sci. & Eng. B, 2000, 73 (1~3): 16~29

53 Adachi N, Histatomi T, Sano M and Tsuya H. Reduction of grow-in defects by high temperature annealing. J. Electrochem. Soc. 2000, 147 (1): 350~353

54 Bergholz W and Gilles D. Impact of research on defects in silicon on the microelectronic industry. Phys. Stat.. Sol (b), 2000, 222 (1): 5~23

55 Falster R, Voronkov V V and Quast F. On the properties of the intrinsic point defects in silicon: a perspective from crystal growth and wafer processing. Phys. Stat.. Sol (b), 2000, 222 (1): 219~244

56 Falster R and Voronkov V V. The engineering of intrinsic point defects in silicon wafers and crystals. Mater. Sci. Eng. B, 2000, 73 (1~3): 87~94

57 Itsumi M. Analysis of grown-in defects in Czochralski Si. J. Cryst. Growth. 2000, 210 (1): 1~6

58 Sinno T, Dornberger E, Ammon W Von, Brown R A and Dupret F. Defect engineering of czochralski single-crystal silicon, Mater. Sci. Eng. R, 2000, 28 (5~6): 149~198

59 Yu Xuegong, Yang Deren, Ma Xiangyang, Yang Jiansong, Li Liben and Que Duanlin. Grow-in defects in nitrogen-doped Czochralski silicon. J. Appl. Phys. 2002, 92 (1): 188~195

60 Newman R C. Light impurities and their interactions in silicon. Mater. Sci. & Eng., 1996, B36: 1~12

61 Yu X, Yang D, Ma X, Shen Y, Tian D, Li L, Que D. Oxidation-induced stacking faults and related grown-in oxygen precipitates in nitrogen-doped Czochralski silicon. Semicond . Sci. Technol., 2003, 18: 393~397

62 Yu X, Yang D, Ma X, Yang J, Li L and Que D. Grown-in defects in nitrogen-doped Czochralski silicon. J. Appl. Phys., 2002, 92: 188~194

63 Bergholz W, and Gilles D. Impact of Research on Defects in Silicon on the Microelectronic Industry, Phys. Stat. Sol. (b), 2000 (222): 5~23

64 Flink Christoph, Feick Henning, McHugo Scott A, Seifert Winfried, Hieslmair Henry, Heiser Thomas, Istratov Andrei A, and Weber Eicke R. Out-Diffusion and Precipitation of Copper in Silicon: An Electrostatic Model, Phys. Rev. Lett., 2000 (85): 4900~1903

65 Istratov A A, Hieslmair H, Weber E R. Iron contamination in silicon technology, Appl. Phys. A, 2000 (70): 489~534

66 Istratov A A and Weber Eicke R. Physics of copper in silicon, J. Electrochem. Soc., 2002 (149): G21~G30

67 Myers S M, Seibt M and Schroeter W. Mechanisms of transition-metal gettering in silicon, J. Appl. Phys., 2000 (88): 3795~3819

68 阙端麟，陈修治编．硅材料科学与技术．杭州：浙江大学出版社，2000

69 SchroeterW 主编．半导体的电子结构与性能．甘骏人，夏冠群等译．北京：科学出版社，2001

70 席珍强．晶体硅中过渡族金属的沉淀规律：［学位论文］．杭州：浙江大学，2002

71 席珍强，杨德仁，陈君，王晓泉，汪雷，阙端麟，H. J. Moeller．晶体硅中的铁沉淀规律，半导体学报，2003 (24): 1166~1170

72 Xi Zhenqiang, Yang Deren, Xu Jin, Ji Yujie, Que Duanlin, Moelle H J. Effect of intrinsic point defects on copper precipitation in large-diameter Czochralski silicon, Applied physics Letters, 2003 (83): 3048~3050

78 Xi Zhenqiang, Yang Deren, Chen Jun, Que Duanlin, Moeller H J. Nickel precipitation in large diameter Czochralski silicon, Physica B, 2004 (344): 407~412

74 陈光华，邓金祥等编著．新型电子薄膜材料．北京：化学工业出版社，2002

75 Chen J, Sekiguchi T, Nara S and Yang D. The characterization of high quality multicrystalline silicon by the electron beam induced current method. J. Phys.: Condens. Matter, 2004, 16: S211~S216

76 Ferrazza F. Large size multicrystalline silicon ingots. Solar Energy Materials & Solar Cells, 2002, 72: 77~81

77 Goetzberger A and Hebling C. Photovoltaic materials, past, present, future. Solar Energy Materials & Solar Cells, 2000, 62: 1~19

78 Goetzberger A, Heblinga C, Schock H. Photovoltaic materials, history, status and outlook. Materials Science and Engineering R, 2003, 40: 1~46

79 Kim J M and Kim Y K. Growth and characterization of 240kg multicrystalline silicon ingot grown by directional solidification. Solar Energy Materials & Solar Cells, 2004, 81: 217~224

80 Koch W and Haessler C. Progress in silicon materials, edited by Deren Yang. Science Press. Beijig. 2004, p48~59

81 雷永泉主编．新能源材料．天津：天津大学出版社，2000

82 罗志强，吴瑞华，刘莉，王世昌，刘嘉禾．硅薄膜的热

丝法淀积．稀有金属．1999，23：293-297
83 Narayanan S. Large area multicrystalline silicon solar cells in high volume production environment-history，status，new processes，technology transfer issues．Solar Energy Materials & Solar Cells，2002，74：107～115
84 Nast O and Hartmann A J. Influence of interface and Al structure on layer exchange during aluminum-induced crystallization of amorphous silicon．J．Appl．Phys.，2000，88：716～724
85 Perichauda I，Martinuzzia S and Durand F. Multicrystalline silicon prepared by electromagnetic continuous pulling：recent results and comparison to directional solidification material．Solar Energy Materials & Solar Cells，2002，72：101～107
86 王阳元，卡明斯 T I，赵宝瑛．多晶硅薄膜及其在集成电路中的应用（第二版）．北京：科学出版社，2001
87 席珍强，杨德仁，陈君．铸造多晶硅的研究进展．材料导报，2001，2：67～69
88 Yang D，Li L，Ma X，Fan R，Que D and Moeller H J. Oxygen-related centers in multicrystalline silicon．Solar Energy Materials and Solar Cells，2000，62：37～42
89 Bisi O，Ossicini S and Pavesi L. Porous Silicon：A Quantum Sponge Structure for Silicon Based Optoelectronics．Surf．Sci．Rep.，2000，38：1～126
90 Green M A，Zhao J，Wang A，Reece P J and Gal M. Efficient silicon light-emitting diodes．Nature，2001，412：850～858
91 Kveder V，Badylevich M，Steinman E，Izotov A，Seibt M and Schroter W. Room-temperature silicon light-emitting diodes based on dislocation luminescence．Appl．Phys．Lett.，2004，84（12）：2106～2108
92 Lehmann V. Electrochemistry of Silicon：Instrumentation，Science，Materials and Application．1st，Wiley-VCH Verlag GmbH，2002
93 Nalwa H S. edited．Silicon-based materials and devices．Academic Press，2001
94 Ng W L，Lourenc M A，Gwilliam R M，Ledain S，Shao G and Homewood K P. An efficient room-temperature silicon-based light-emitting diode．Nature，2001，410：192～194
95 Ossicini S，Pavesi L and Priolo F. Light Emitting Silicon for Microphotonics．Springer Series：Tracts in Modern Physics，2004，vol．94
96 Pavesi L，Gaponenko S and Negro L Dal．Edited．Towards the first silicon laser．NATO Science Series vol．93（Kluwer Academic Publishers，Dordrecht）2003
97 Pavesi L，Negro L D，Mazzoieni C，Franzo G and Prioio F. Optical gain in Silicon nanocrystals．Nature，2000，408：440～444
98 Pavesi L. and Lockwood D J. Edited．Silicon Photonics．Springer Series：Topics in Applied Physics，2004，vol．194
99 Polman A and Elliman R G. Optical Gain from Silicon Nanocrystals - A Critical Perspective．in Towards the First Silicon Laser，Edited by Pavesi L，Gaponenko S and Negro L D. NATO Science Series（Kluwer Academic Phblishers）2003，p209～222
100 Qin G G and Qin G. Multiple Mechanism Model for Photoluminescence from Oxidized Porous Si．Phys．Stat．Sol．（a）2000，182（1）：335～339
101 Jurkschat K，Senkader S，Wilshaw P R，Gambaro D and Falster R J. Onset of slip in silicon containing oxide precipitates．J．Appl．Phys.，2001，90（7）：3219～3225
102 Yonenaga I，Taishi T，Huang X and Hoshikawa K. Dynamic characteristics of dislocations in highly boron-doped silicon．J．Appl．Phys.，2001，89（10）：5788～5790
103 Yang Deren，Wang G，Xu J，Li D S，Que D L，Funke C and Moeller H J. Influence of oxygen precipitates on the warpage of annealed silicon wafers．Microelectronic Engineering，2003，66（1～4）：345～351

第3篇

集成电路制造技术

主 编 吴德馨 刘 明

编 写 吴德馨 叶 青 刘 明 韩郑生
徐秋霞 钟兴华 海潮和 廖太仪
王立新 刘新宇 汪锁发

审 稿 中国材料工程大典编委会

中国机械工程学会
中国材料研究学会
中国材料工程大典编委会

第1章　集成电路设计技术

1　集成电路设计技术概述

1.1　集成电路设计

自1947年美国贝尔实验室发明了半导体点接触式晶体管，1958年美国德州仪器公司和仙童公司各自研制发明了半导体集成电路（IC）以来，集成电路技术获得了巨大的发展。特别是互补金属氧化物半导体（CMOS：Complementary Metal Oxide Semiconductor）工艺的出现，个人计算机（PC）的普及，使微电子行业成为充满活力的行业，也是发展最快的领域之一。微电子技术使技术创新速度大大加快，同时微电子产业成为现代化国家的支柱产业之一。

在同一半导体衬底材料上集成了不同的电子器件的电路形式叫做集成电路。集成电路的发展经过了小规模、中规模、大规模的阶段直到今天的超大规模集成电路。随着在单芯片上集成的晶体管数的迅速增加，现在，在单芯片上集成上千万的晶体管已不是什么难事。早期的集成电路芯片设计和制造是在同一个工厂进行的。现代超大规模集成电路工业一般采用集成电路设计、集成电路工艺制造、集成电路封装及集成电路测试等分工合作的模式。特别是以我国台湾TSMC（台湾半导体制造有限公司）为首的只从事半导体集成电路工艺制造这种大规模生产方式的出现，加速了集成电路设计和制造的分离。

集成电路设计是指在半导体工艺制造前的过程，也就是，人们如何将脑中的想法（特定的电路功能）根据不同的半导体工艺流程，产生工艺制造可接受的物理图形的过程，既将特定电路功能或电路形式转化为物理版图的过程，这个过程就是半导体集成电路的设计。

1.2　集成电路设计的发展历程

集成电路设计伴随着微电子技术的发展而迅速发展起来。关于集成电路的概念最早是由英国皇家信号和雷达机构（Royal Signal & Radar Establishment）的G.W.A.Dummer于1952年5月在电子元器件会议上提出的。1958年美国德克萨斯仪器公司成功制造出一种集成振荡器，首次把晶体管和电阻、电容等集成在一块硅片上，构成一个基本完整的单片功能电路，标志着集成电路的诞生。集成电路的发明开创了集电子器件与某些电子元件于一体的新局面，使传统的电子器件概念发生了变化。这种新型的封装好的器件体积和功耗都很小，具有独立的电路功能。集成电路的发明使电子学进入微电子学时代，是电子学发展的一次重大飞跃。自1958年美国德克萨斯仪器公司（TI）发明集成电路（IC）以来，随着硅平面技术的发展，20世纪60年代先后发明了双极型和场效应型两种重要的集成电路工艺。它标志着由电子管和晶体管制造电子整机的时代发生了质的飞跃，创造了一个前所未有的具有极强渗透力和旺盛生命力的新兴产业——集成电路产业。

由集成电路的发展历程，我们可以看到，自发明集成电路至今40多年以来，“从电路集成到系统集成”这句话是对IC产品从小规模集成电路（SSI）到今天特大规模集成电路（ULSI）发展过程的最好总结，即整个集成电路产品的发展经历了从传统的板上系统（System－on－board）到片上系统（System－on－a－chip）的过程。在这历史过程中，世界IC产业为适应技术的发展和市场的需求，其产业结构经历了三个阶段。

第一阶段：以加工制造为主导的IC产业发展的初级阶段。

20世纪70年代，集成电路的主流产品是微处理器、存储器以及标准通用逻辑电路。这一时期集设计与加工为一体的IC制造商（IDM）在IC市场中充当主要角色，IC设计只作为附属部门而存在。这时的IC设计和半导体工艺密切相关。IC设计主要以人工为主，CAD系统仅作为数据处理和图形编辑之用。IC产业仅处在以生产为导向的初级阶段。

第二阶段：标准工艺加工厂（Foundry）与IC设计公司的崛起。

80年代，集成电路的主流产品为微处理器（MPU）、微控制器（MCU）及专用IC（ASIC）。这时，无生产线的IC设计公司（Fabless）与标准工艺加工线（Foundry）相结合的方式开始成为集成电路产业发展的新模式。随着微处理器和PC机的广泛应用和普及（特别是在通信、工业控制、消费电子等领域），IC产业已开始进入以客户需求为导向的阶段。一方面标准化功能的IC已难以满足整机客户对系统成本、可靠性等要求，同时整机客户则要求不断增加IC的集成度，提高保密性，减小芯片面积使系统的体积缩小，降低成本，提高产品的性能价格比，从而增强产品的竞争力，得到更多的市场份额和更丰厚的利润；另一方面，由于IC微细加工技术的进步，软件的硬件化已成为可能，为了改善系统的速度和简化程序，各种硬件结构的ASIC如门阵列、可编程逻辑器件（包括FPGA）、标准单元、全定制电路等应运而生；其三是随着EDA（电子设计自动化）工具的发展，在IC设计中新的设计方法得到广泛采用，如单元库的概念、工艺模拟参数及其仿真概念等，设计开始进入抽象化阶段，使设计过程可以独立于生产工艺而存在。无生产线的集成电路专业设计公司纷纷建立并得到迅速的发展。同时也带动了标准工艺加工线（Foundry）的崛起。全球第一个Foundry工厂是1987年成立的中国台湾积体电路公司（TSMC），它的创始人张忠谋也被誉为“芯片加工之父”。

第三阶段：“四业分离”的IC产业。

90年代以来，随着INTERNET的兴起，IC产业跨入以竞争为导向的高级阶段。国际竞争由原来的资源竞争、价格竞争转向人才知识竞争、密集资本竞争。以DRAM为中心来扩大设备投资的竞争方式已成为过去。如1990年，美国以Intel、TI为代表的半导体集成电路公司，主动放弃资金密集、技术门槛低的DRAM市场，集中经历开发以CPU、DSP等复杂系统级芯片，不仅重新夺回了世界半导体霸主地位，并且获得了丰厚的利润。随着集成电路产业的发展，人们认识到，专业化的分工才有利于整个IC产业的发展。于是，IC产业结构向高度专业化转化成为一种趋势，开始形成了设计业、制造业、封装业、测试业各自独立的局面。近年来，全球IC产业的发展越来越显示出这种结构的优势。

1.3　集成电路设计的分类

集成电路按功能可分为：数字IC、模拟IC、微波IC及其他IC。

集成电路设计按处理信号的不同可分为模拟集成电路设计和数字集成电路设计，其中数字集成电路又可分为通用数字IC和专用数字IC。

通用数字IC：是指那些用户多、使用领域广泛、功能

标准化的电路，如存储器（DRAM）、微处理器（MPU及CPU）及微控制器（MCU）等，反映了数字IC的现状和水平。

专用IC（ASIC、ASSP）：是指为特定的用户、某种专门或特别的用途而设计的集成电路。

模拟集成电路设计主要研究如何在半导体基片上实现模拟信号的处理，而数字集成电路设计主要研究如何实现数字信号的处理。

从制造集成电路的半导体材料来分，可分为锗、硅、砷化镓等集成电路。从在同一半导体衬底上构成不同的导电结构上又可分为双极型和场效应型等不同工艺的集成电路。这些不同的半导体集成电路由于它们的物理特性不同，有不同的设计用途。设计工程师在设计中要根据不同工艺对各类集成电路设计采用不同的设计方法。

1.4　集成电路设计的方法学

由于集成电路的规模越来越大，系统越来越复杂，如何进行集成电路设计并按何种方式安排设计各个阶段和部件就是摆在每个设计工程师面前的问题，为解决这个问题集成电路设计方法学应运而生。

集成电路设计方法学是研究如何更有效地设计集成电路，设计方法与设计流程有几分相像，但实际它们考虑的对象不同，设计方法着重于如何设计集成电路的思路，而设计流程更多的是具体的电路实现步骤。

集成电路设计在设计中采用自顶向下的设计方式而在验证时采用自下向上的方式，我们把集成电路设计中从电路到版图实现的过程称为自顶向下，而把从版图到电路的设计过程叫做自下向上。

集成电路设计方法根据不同的电路要求主要分以下几个阶段：这些阶段对数字电路和模拟电路是相似的，只是在不同阶段要使用不同的软件工具。

1）设计思想和系统级仿真　在此阶段集成电路设计者要根据用户的具体要求，确定系统功能和性能指标，写出完整的设计规范。根据理论推导及各类数学运算决定系统结构并利用高级语言和相关EDA工具（如Matlab等软件）进行系统级仿真，验证设计者的设计思想是否正确。

2）体系结构设计和行为级仿真　在此阶段集成电路设计者要确定该系统的体系结构，确定采用何种工艺，构建该系统的结构框图和划分功能相对独立的模块并进行行为级仿真。

3）模块细分和门级仿真　在此阶段集成电路设计者要细分模块并确定模块的子功能和子模块的性能指标。若是数字电路则进行基于标准单元级的门级仿真，而若是模拟电路则进行基于单管的SPICE模拟。

4）集成电路版图实现　模拟集成电路版图的实现目前依然是工程师采用全定制方法进行绘制，而数字电路则分为全定制和半定制（或称自动布局布线）两种方式。全定制也就是用人工来绘制版图，半定制主要是利用EDA软件根据特定的算法由计算机来完成自动布局布线。自动布局布线的方法主要有门阵列、标准单元法等，现在超大规模数字集成电路的版图设计以标准单元法为主流。

数字集成电路实现版图主要采用以下三种设计思想：

① 时序驱动的设计　设计的着重点在于尽量减小芯片的面积，其优化目标是逻辑最小化。时序驱动的设计适合中等规模的复杂ASIC，在这种设计方法中，结合各个层次的版图规划对互连线的延迟进行控制，其中关键的设计工具是版图规划工具和时序分析工具。

② 基于块的设计　系统规模的增大，产品推向市场的时间压力，设计复杂性使设计成本大幅提高，使设计重用成为必然。设计中对物理因素考虑的提前，以及设计专业化的趋势，使得基于块的设计方法得到发展。它从系统设计的观点出发，强调设计重用，要求设计的块的边界能适用于不同的设计项目，使用总线结构连接各功能块，产生可预测的，能预先验证的，具有标准界面的功能块，同时强调软硬件协同设计，提供系统级的算法和结构分析。

③ 基于专有知识产权（IP：intellectual property）核的设计　随着芯片规模的扩大，系统越来越复杂，同时在同一芯片内集成了不同类型的模块，每一部分都自己做已不现实，采用经过验证的第三方提供的模块是一种现实的选择。第三方提供的模块就是IP模块，这种设计方法即为基于IP的设计方法。这是系统级芯片（SOC：System on a Chip）等复杂芯片的主流设计方法。

5）集成电路版图验证

在版图实现后要进行版图的验证过程。版图验证有两个目的：①版图与设计网表或电路图是否一致。②由于在亚微米和深亚微米工艺条件下，寄生参数的影响起很大作用。因而，要验证所设计的版图在考虑寄生参数的影响后，其电路性能是否满足设计要求。

2　CMOS数字集成电路设计技术

2.1　CMOS基本数字单元

CMOS数字单元是数字集成电路的基础，数字集成电路以数字单元为芯片设计的基本单位，特别是现在流行的标准单元设计方法，其最小单位是一个个的标准单元，而不是一个个的CMOS管。

CMOS基本数字单元主要分为两大类：一类是组合逻辑单元；一类是时序逻辑单元。单元设计的好坏是由单元的版图面积大小和性能决定的。性能主要从速度和功耗两方面考虑。组合逻辑单元要考虑单元的输出信号相对于每个输入信号的上升时间、下降时间和延迟时间，而时序逻辑单元不仅要考虑单元的输出信号相对于每个输入信号的上升时间、下降时间和延迟时间，还要考虑其建立时间和保持时间。以上这些参数主要是单元的瞬态特性，决定了单元的速度，而单元的直流特性，在标准单元里主要是指转换电平 V^*，转换电平点的位置决定了单元的噪声容限（图3.1-1）。

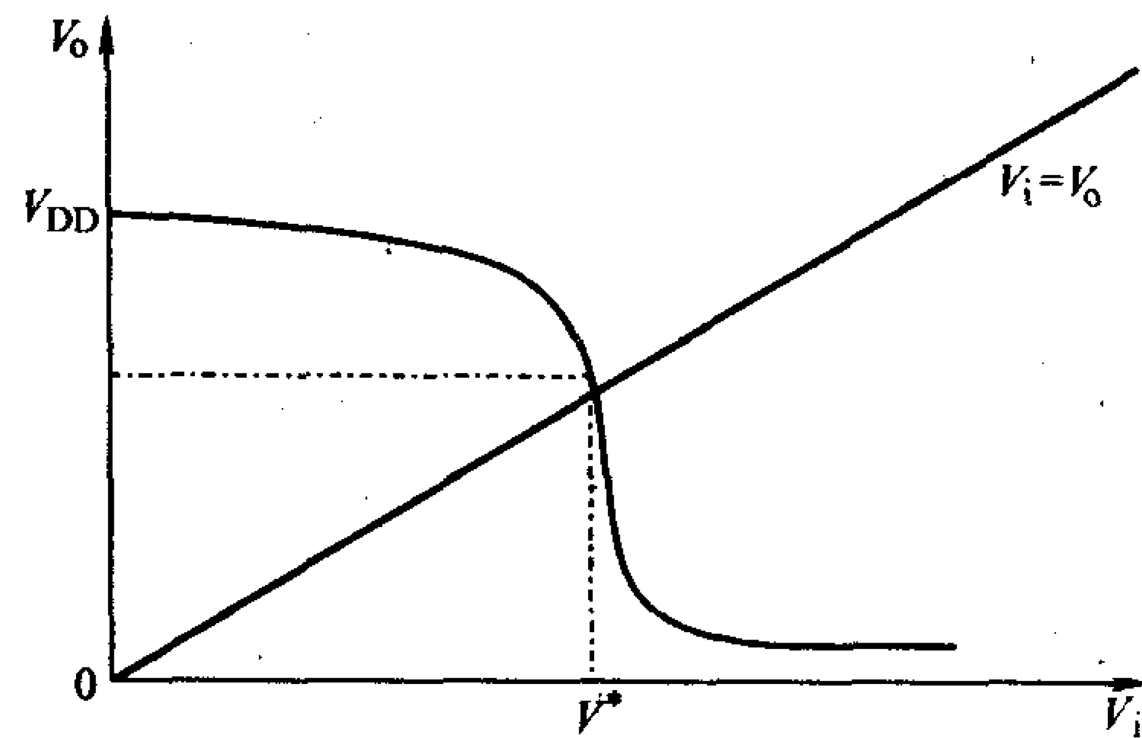


图3.1-1　转换电平 V^* 的定义

V^*：是直流特性曲线与 $V_i=V_o$ 直线的交叉点所对应的输入电压

1）上升、下降时间　输出电压由 $0.9V_{DD}$ 通过导通的输入管放电而逐渐下降到 $0.1V_{DD}$ 所需时间定义为下降时间 t_f。输出电压由 $0.1V_{DD}$ 通过导通的负载管充电增加到 $0.9V_{DD}$ 所需时间为上升时间。

2）延迟特性　从输入电压的上升边的中点到输出电压下降边的中点所需的时间，称为 t_{PHL}。从输入电压的下降边的中点到输出电压上升边的中点所需的时间，称为 t_{PLH}（图3.1-2）。

3）时间特性

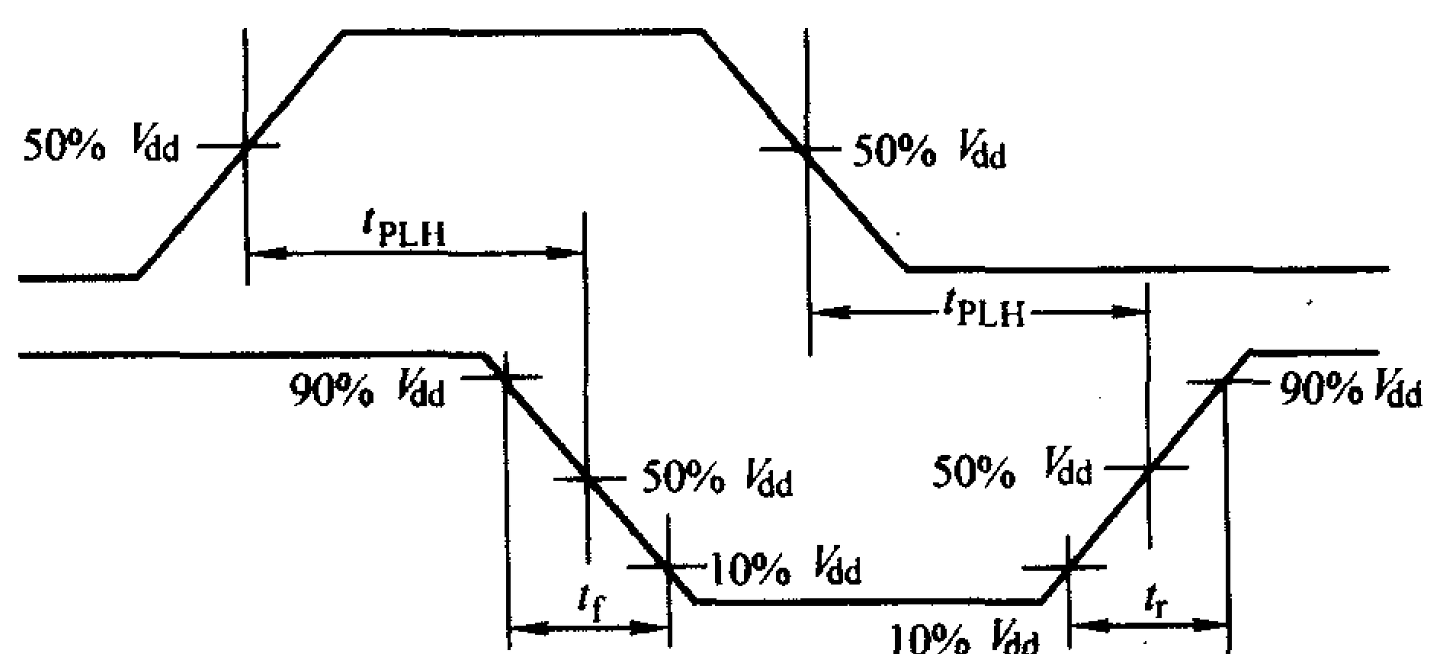


图 3.1-2　TPHL 和 TPLH 的定义

① 建立时间（Setup Time）：时钟脉冲信号 CLK 由 0 正向跳变至 1 时，输入端 D 要建立起稳定状态，在时钟脉冲信号 CLK 跳变前输入端 D 建立稳定状态所需要的时间是建立时间，如图 3.1-3 所示。

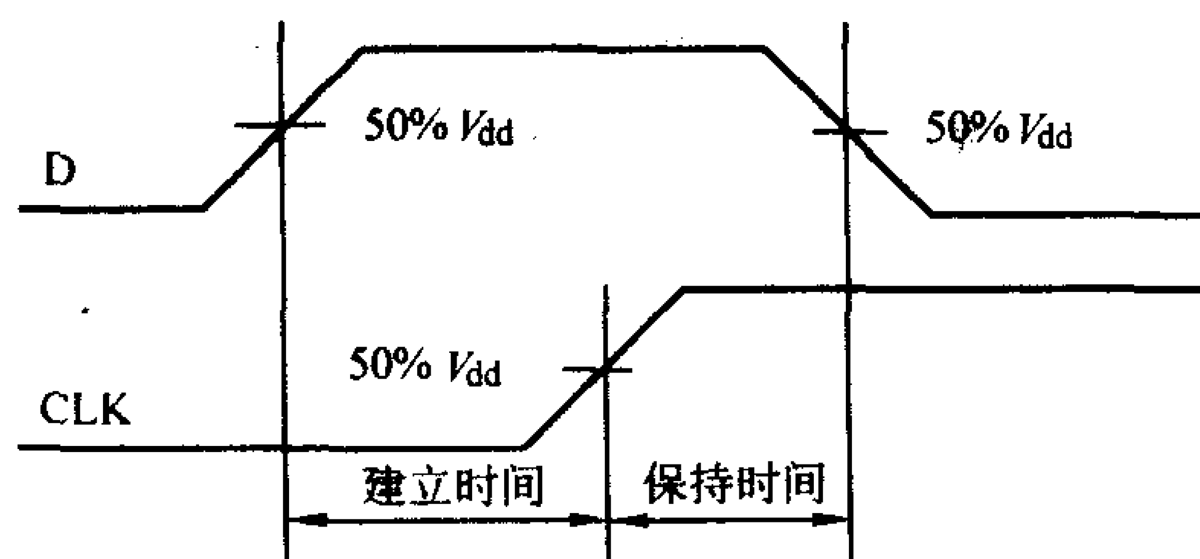


图 3.1-3　建立时间与保持时间

② 保持时间（Hold Time）：时钟脉冲信号 CLK 由 0 正向跳变至 1 时，要将触发器中储存的数据传送出去，我们把时钟脉冲信号 CLK 跳变后到输出 Q 端开始起变化的这段时间称为保持时间，如图 3.1-3 所示。

2.1.1　组合逻辑单元

组合逻辑单元是指该单元的输出信号是单元输入信号的函数，输出信号只随输入信号的变化而变化。

以下是一些基本的组合逻辑单元。

(1) 倒相器与同相器（图 3.1-4～图 3.1-7，表 3.1-1，表 3.1-2）

CMOS 倒相器是最基本的数字单元，倒相器又称为反相器，它的输出信号与输入信号方向相反。

Z = Aˉ；（注：ˉ代表取反信号）

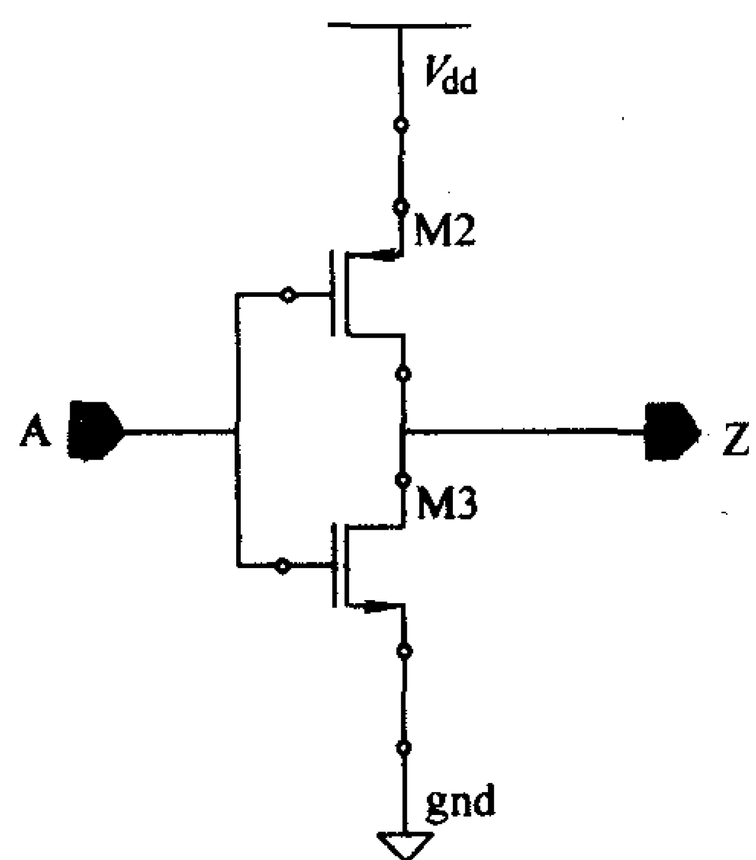


图 3.1-4　倒相器逻辑图

表 3.1-1　倒相器功能表

A	Z
0	1
1	0

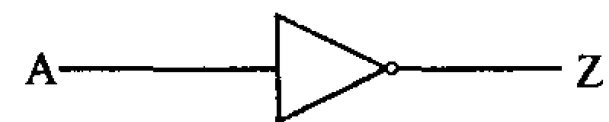


图 3.1-5　倒相器符号

CMOS 同相器（缓冲器）：Y = A

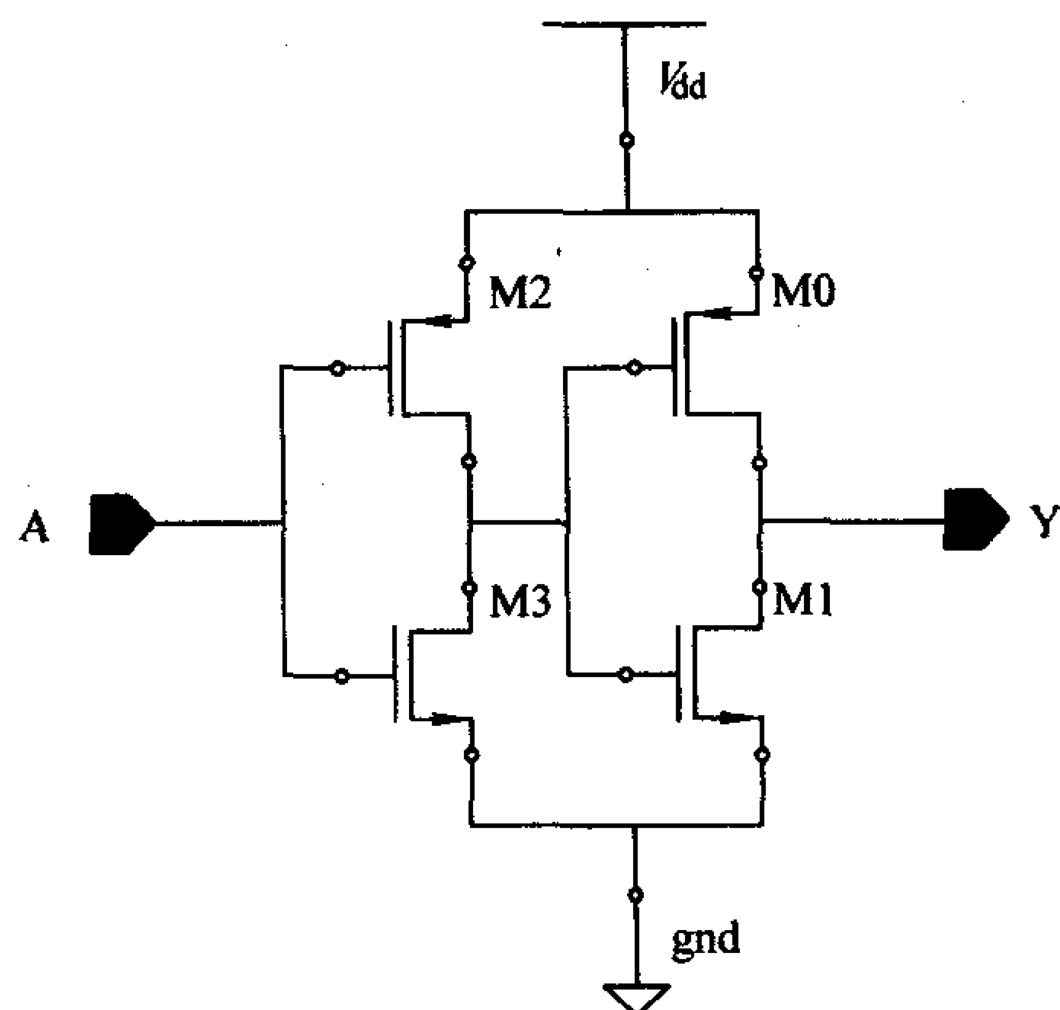


图 3.1-6　同相器逻辑图

表 3.1-2　同相器功能表

A	Y
0	0
1	1



图 3.1-7　同相器符号

(2) n 输入与非门与 n 输入与门（图 3.1-8，图 3.1-9，表 3.1-3）

两输入与非门：Z＝（A·B）ˉ

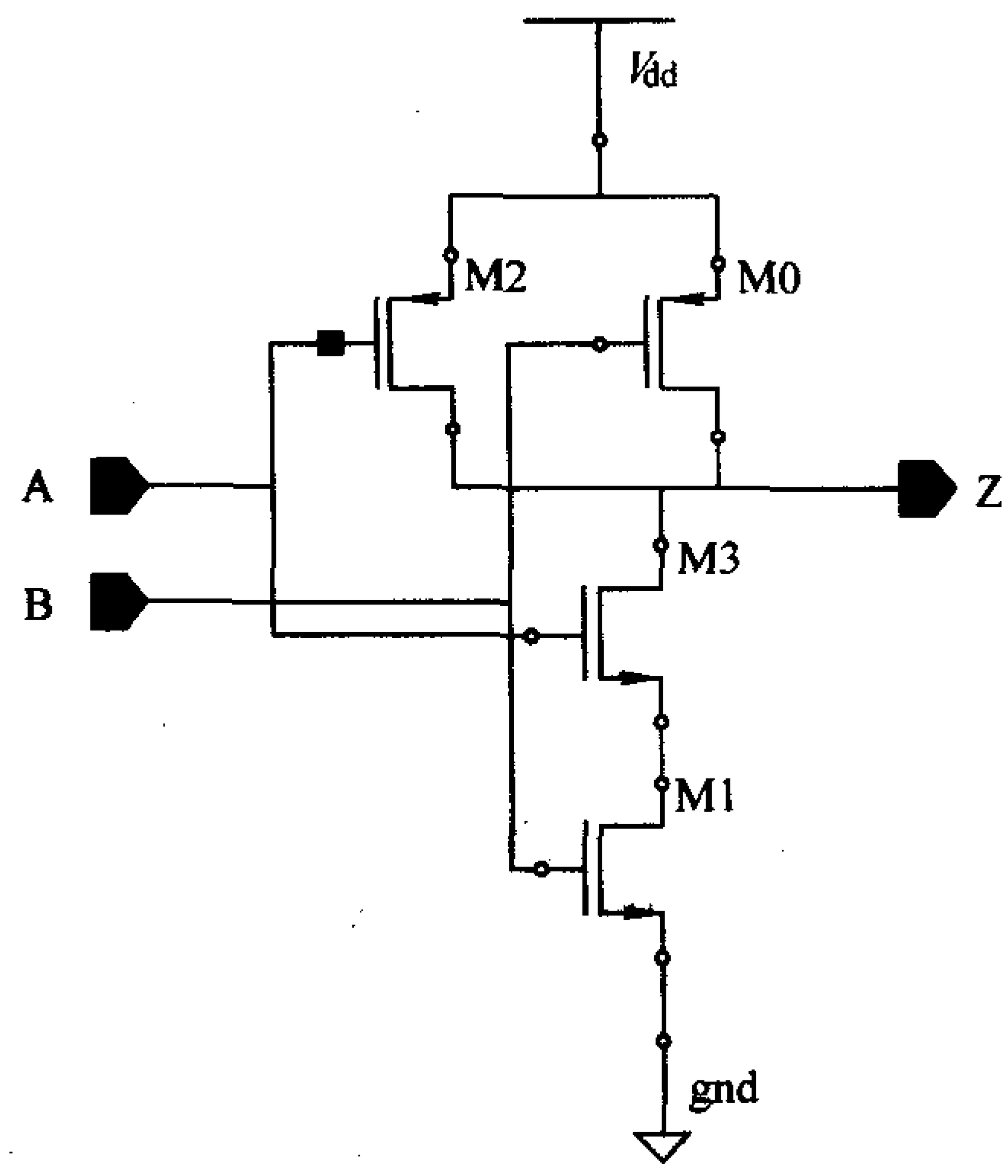


图 3.1-8　两输入与非门逻辑图

表 3.1-3　两输入与非门功能表

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

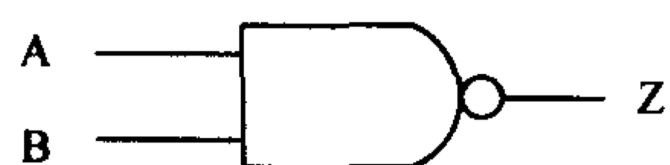


图 3.1-9　两输入与非门符号

若输入与非门有 n 个输入端则称为 n 输入与非门，n 输入与非门是由 PMOS 管并列、NMOS 管串联而成。因而，只有当所有的 n 个输入端均为 “1” 时，输出端才为 “0”。在 n 输入与非门的后边再加一级倒相器即构成 n 输入与门，只有当所有的 n 个输入端均为 “1” 时，n 输入与门输出端才为 “1”。

(3) n 输入或非门与 n 输入或门（图 3.1-10，图 3.1-11，表 3.1-4）

两输入或非门：$Y = (A + B)^{-}$

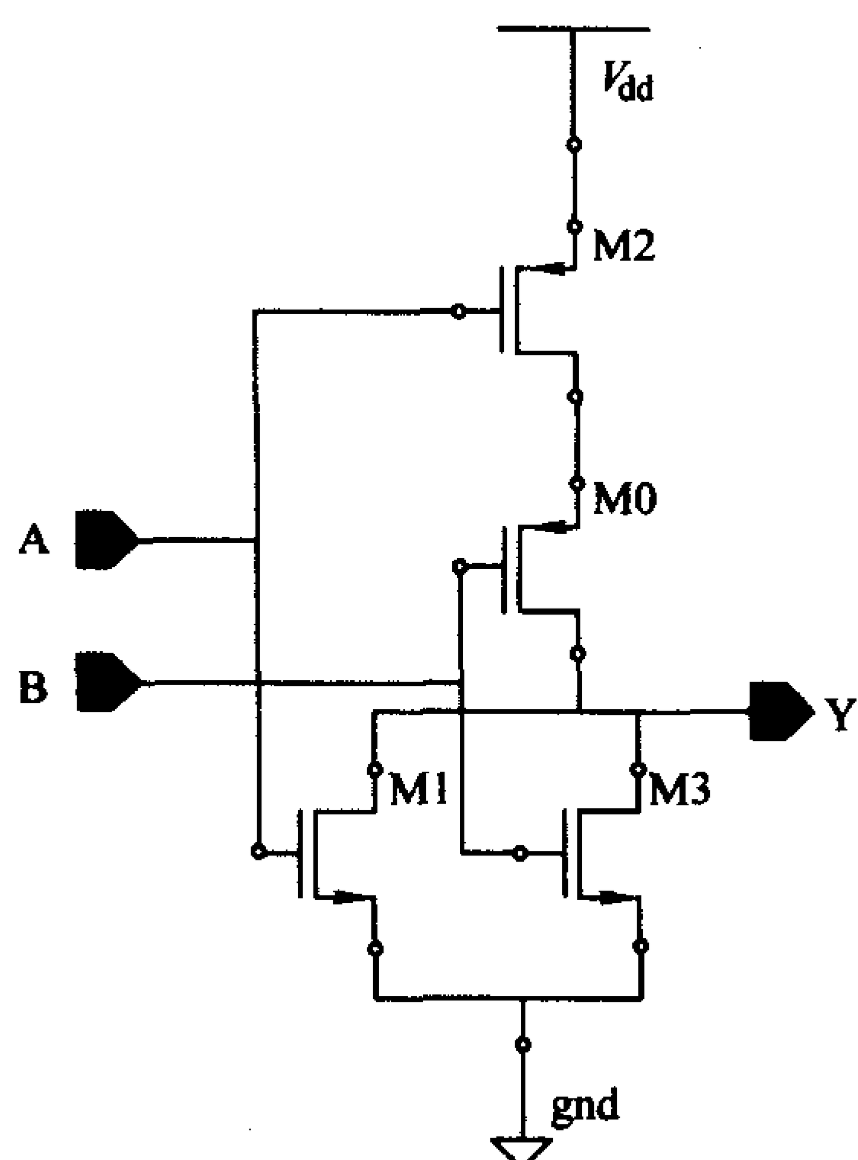


图 3.1-10　两输入或非门逻辑图

表 3.1-4　两输入或非门功能表

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0



图 3.1-11　两输入或非门符号

若输入或非门有 n 个输入端则称为 n 输入或非门，n 输入或非门是由 PMOS 管串联、NMOS 管并联而成，因而，只有当所有的 n 个输入端均为 “0” 时，输出端才为 “1”。在 n 输入或非门的后边再加一级倒相器即构成 n 输入或门，只有当所有的 n 个输入端均为 “0” 时，n 输入或门输出端才为 “0”。

(4) 异或门与同或门（图 3.1-12～图 3.1-15，表 3.1-5，表 3.1-6）

两输入异或门：$Z = AB^{-} + A^{-}B$

两输入异或门只要输入端输入信号不同，其输出就为 “1”。

两输入异或非门：$Z = (AB^{-} + A^{-}B)^{-}$

两输入异或非门亦称为同或门，两输入端相同时，输出为 “1”。

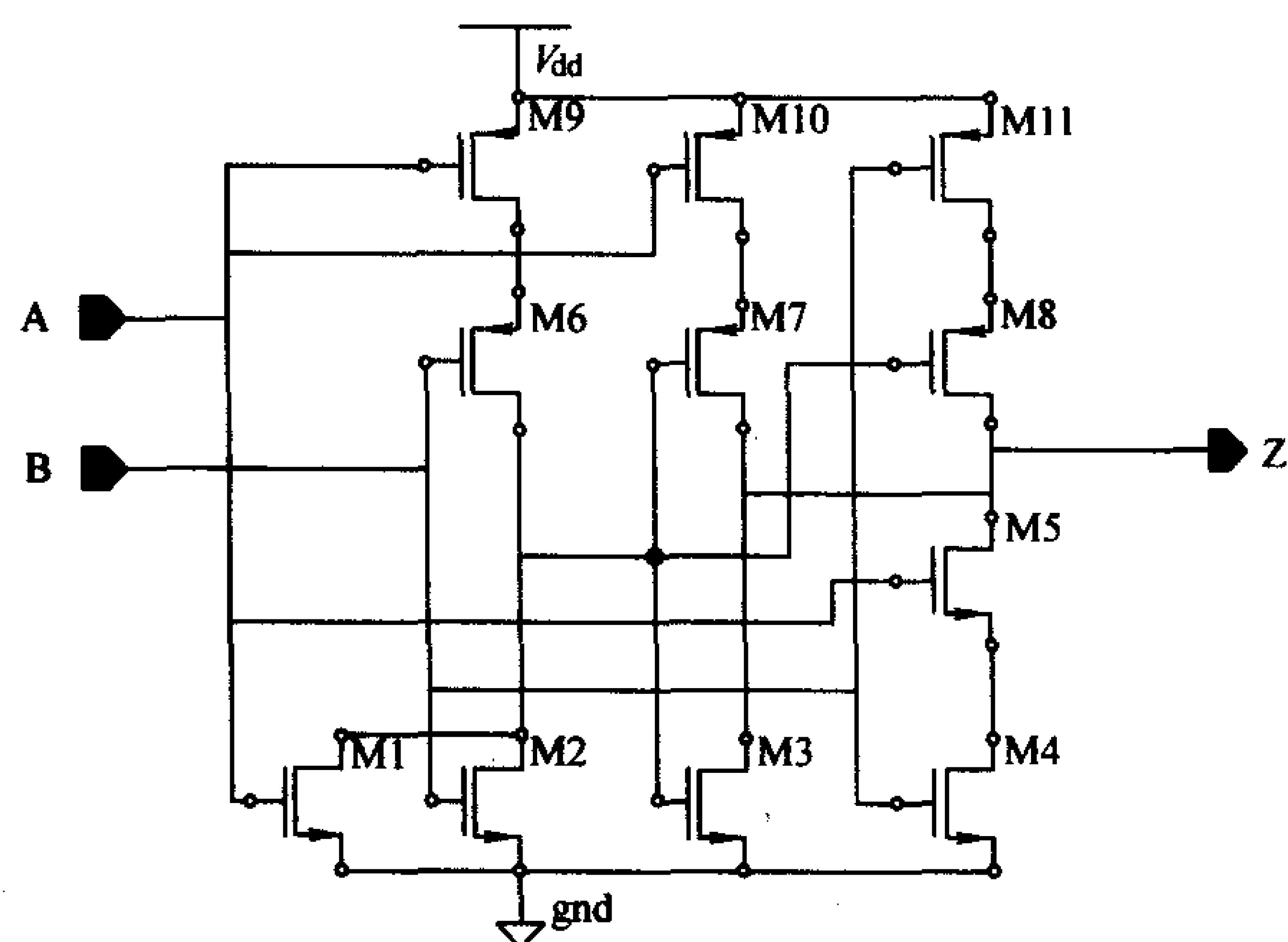


图 3.1-12　两输入异或门逻辑图

表 3.1-5　两输入异或门功能表

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0



图 3.1-13　两输入异或门符号

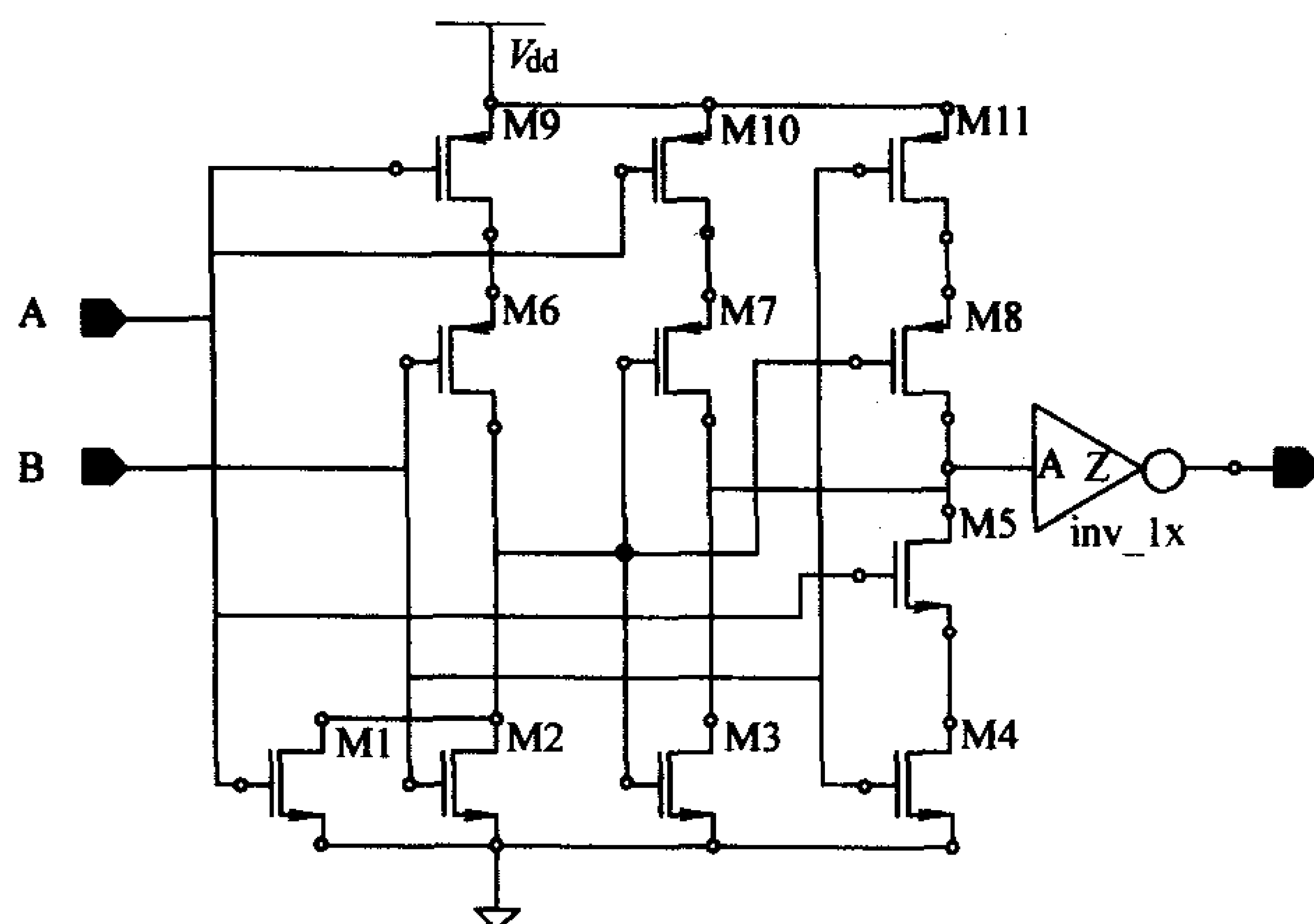


图 3.1-14　两输入同或门逻辑图

表 3.1-6　两输入同或门功能表

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	1



图 3.1-15　两输入同或门符号

2.1.2　时续逻辑单元

时序逻辑单元是指该单元的输出信号不仅是单元输入信号的函数，同时还受到时钟信号的控制，输出信号受时钟信号和输入信号的共同作用。

（1）D锁存器（图 3.1-16，图 3.1-17，表 3.1-7）

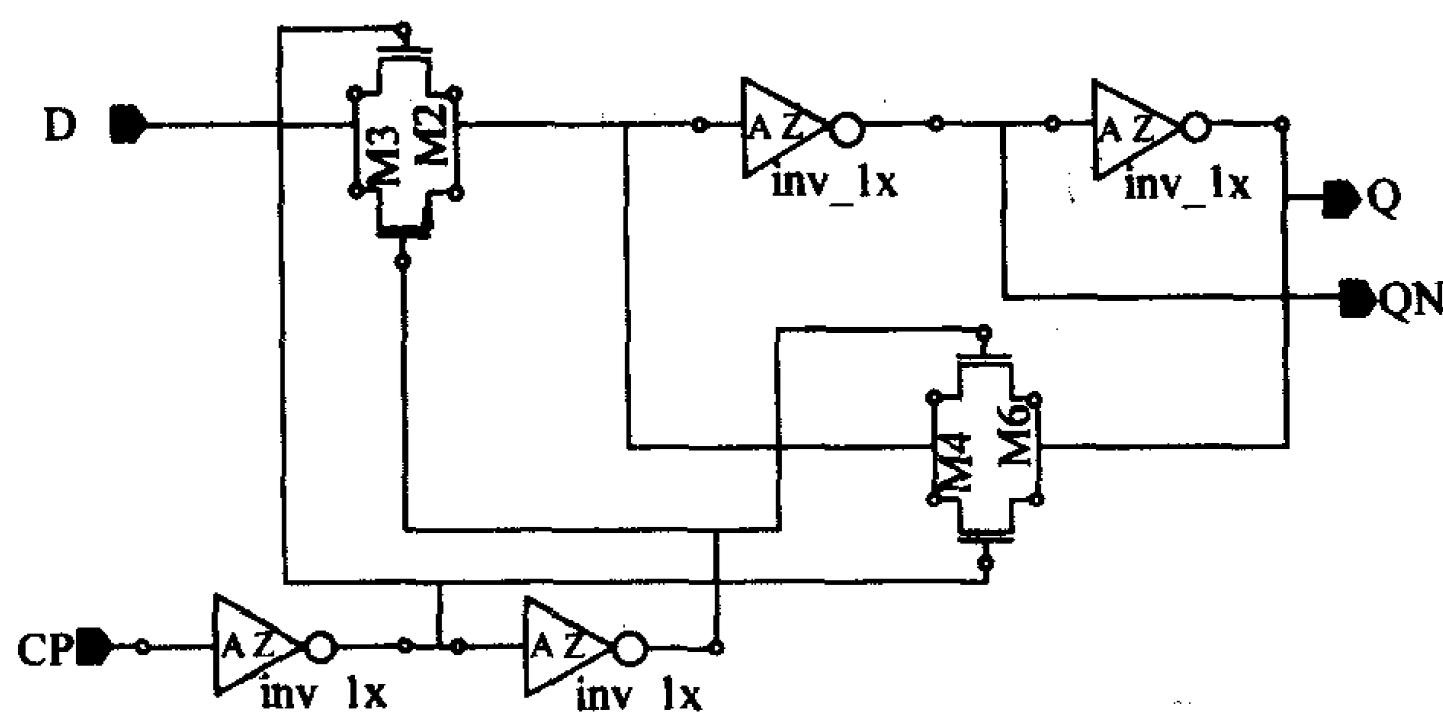


图 3.1-16　D锁存器逻辑图

表 3.1-7　D锁存器功能表

D	CP	Q	QN
0	0	Qn－1	QNn－1
0	1	0	1
1	0	Qn－1	QNn－1
1	1	1	0

注：Qn－1，QNn－1 是上一状态。

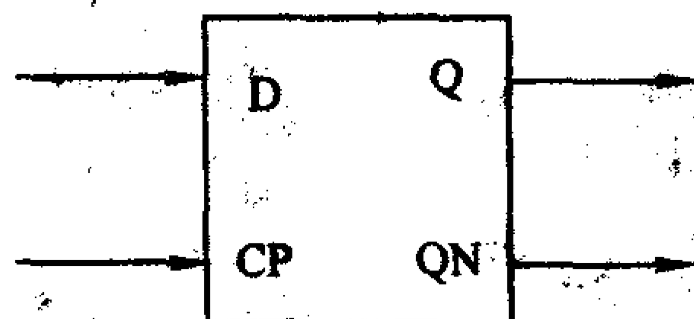


图 3.1-17　D锁存器符号

（2）D触发器（图 3.1-18，图 3.1-19，表 3.1-8）

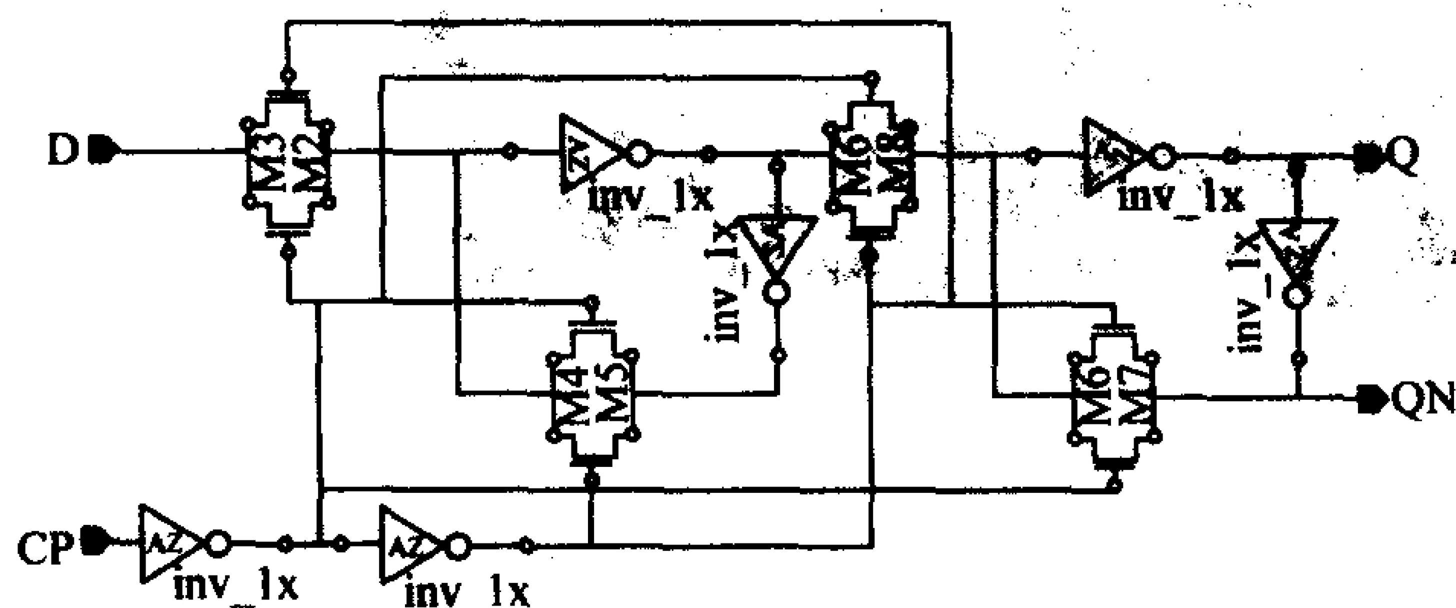


图 3.1-18　D触发器逻辑图

表 3.1-8　D触发器功能表

D	CP	Q	QN
0	↑	0	1
0	0 或 ↓ 或 1	Qn－1	QNn－1
1	↑	1	0
1	0 或 ↓ 或 1	Qn－1	QNn－1

注：↑：0 变为 1；↓：1 变为 0；Qn－1，QNn－1 是上一状态。

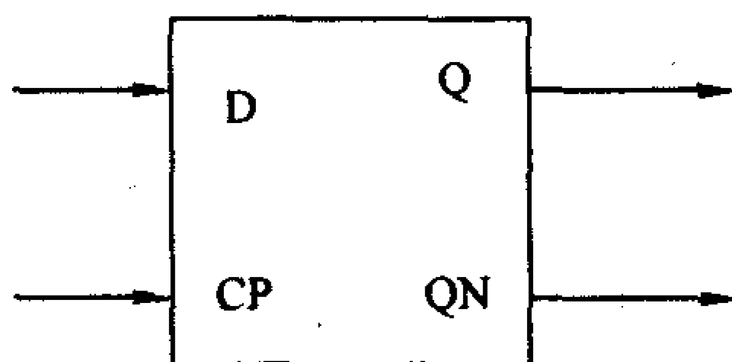


图 3.1-19　D触发器符号

2.2　CMOS 数字集成电路设计流程

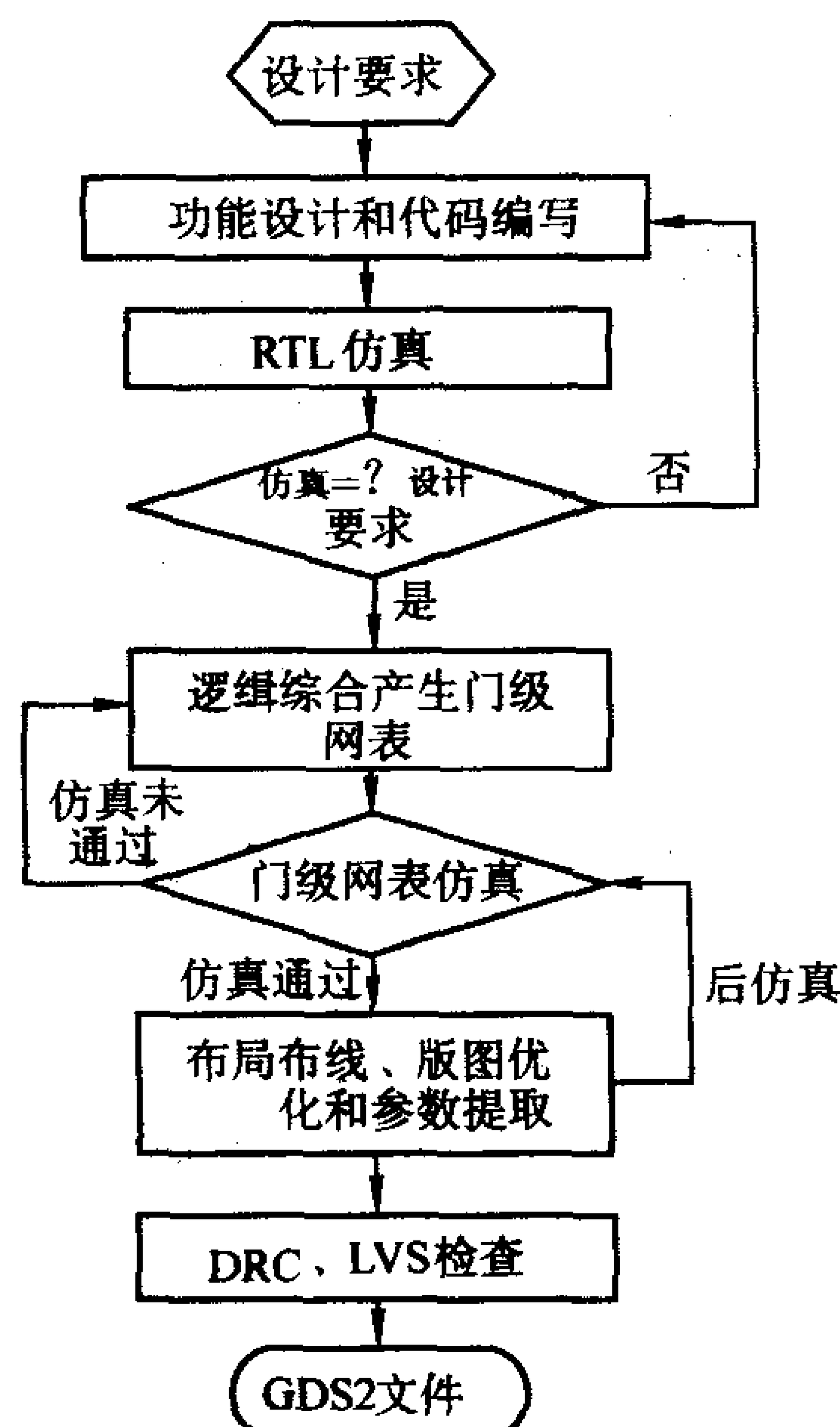


图 3.1-20　CMOS 数字集成电路的基本流程图

图 3.1-20 中从设计要求到产生门级网表的过程，一般称为前端设计；而从门级网表到产生 Foundry 厂接受的 GDS2 文件的过程，归类为后端设计。

前端设计主要是集成电路的逻辑设计，而后端设计是电路的版图设计。由于集成电路设计的复杂性决定了设计的前、后端是统一考虑的。在复杂的 SOC 设计中，将后端版图设计的参数尽早提供给前端设计人员是当前集成电路设计人员所希望的。目前，国际上主流的 EDA 提供商正在就此问题进行研究，到目前为止，还不能提供满意的答案。

现在的 CMOS 数字集成电路至少需要两次设计循环。在前端设计过程中，设计工程师首先要进行系统级和 RTL 级仿真，然后根据 Foundry 厂家提供的符合工艺要求的 CMOS 库单元（这些 CMOS 库单元是 Foundry 自己设计或委托专业库单元开发商开发设计，经过流片验证后形成的），进行门级仿真和逻辑综合，产生后端设计工程师所需要的网表。后端设计工程师拿到门级仿真正确的门级网表，利用现有 EDA 工具，插入相关测试图形，进行自动布局布线，得到与门级网表对应的版图，完成 DRC、ERC 和 LVS 检查后，将此版图的寄生参数提取出来，反标在门级网表中，送给前端设计工程师进行第二次逻辑模拟，若不符合设计要求，则修改版图，直到逻辑模拟符合设计要求，这时的版图就是我们所需要的，可以送到工厂去投产，设计过程才告一段落。

2.3　硬件描述语言

随着数字集成电路规模的增大，EDA 工具在集成电路的设计中起着重要的作用，特别是综合工具的出现，将设计工程师从繁杂的逻辑图输入中解放出来，使他们能专心地考虑如何解决设计问题，同时使数字集成电路的设计更像软件的设计，也使模块化设计成为可能。在此过程中，硬件描述语言起了重要的作用。目前获得广泛使用的硬件描述语言主要是 Verilog HDL 和 VHDL，这两种语言都成为 IEEE 的标准，其中 Verilog HDL 主要用于工业界，而 VHDL 主要用于教学，实际上具体使用哪种语言主要看设计工程师的使用习惯。目前，主流的 EDA 软件同时支持这两种语言。

Verilog HDL 是 Philip R.Moorby 在 1983 年设计出来的，用于从开关级到算法级的多个抽象设计层次的数字设计的建

模，于1995年12月被IEEE接纳为正式标准。Verilog HDL采用模块化设计结构，该语言结构清晰、文法简明、功能强大，且易于学习，有C语言基础的人在2至3个月内即可掌握。大部分的半导体公司都使用Verilog HDL进行数字系统的设计。

VHDL是在美国国防部的支持下于1985年正式推出的，它的正式名称是超高速集成电路硬件描述语言（VHDL, Very High Speed Integration Circuits HDL）。源于美国国防部提出的超高速集成电路计划，其目的是为承担美国国防部定货任务的集成电路厂商间建立统一的设计数据和文档交换格式。IEEE于1987年将VHDL接纳为IEEE1076标准。VHDL是一种全方位的硬件描述语言，它支持结构、数据流和行为三种描述形式的混合描述。

硬件描述语言的出现，使数字电路设计工程师们摆脱了烦琐的逻辑图输入，由于硬件描述语言能形式化地、抽象化地描述电路的结构，设计工程师们在设计的各个阶段均可验证他们的想法，在算法验证阶段进行行为级仿真，在模块化阶段可进行RTL级仿真，在逻辑设计阶段可进行门级仿真。同时，EDA厂商根据这种语言特点，开发出实用的综合工具，可方便地将硬件描述语言写出的源代码转换为以单元为基础的门级网表，大大加快了数字电路的设计速度。

2.4 CMOS数字集成电路的版图设计

版图设计是数字集成电路设计中的重要一环，俗称后端设计，主要分为全人工的全定制设计和利用EDA工具根据布图算法自动布局布线的半定制设计。半定制设计依据不同的设计思想发明了不同的物理实现方法。CMOS数字电路主要采用门阵列和标准单元设计法来构筑最终版图。由于门阵列方法的面积利用率无法与标准单元法相比，而现在EDA工具的完善和加工厂精确的库模型，使标准单元法的设计成功率得到很大的提高，标准单元设计方法成为目前数字电路的主流设计方法。标准单元的版图设计不仅要考虑速度、功耗、面积等性能指标，而且要满足布局布线的要求。

（1）布局布线对标准单元的要求

1）所有单元等高。高度最好是布线通道的倍数。

2）确定单元的布线格点。单元的布线格点是根据设计规则决定的，主要由金属层的宽度加间距来确定。

3）虽然现有工艺已有多达6层金属线，但在单元中尽量只使用第一层金属。这是为了将其他金属层作为布线层，便于更好地利用面积，提高布通率。

4）单元的输入、输出端处于布线格点上。

图3.1-20是0.25 μm CMOS的D触发器的标准单元版图。

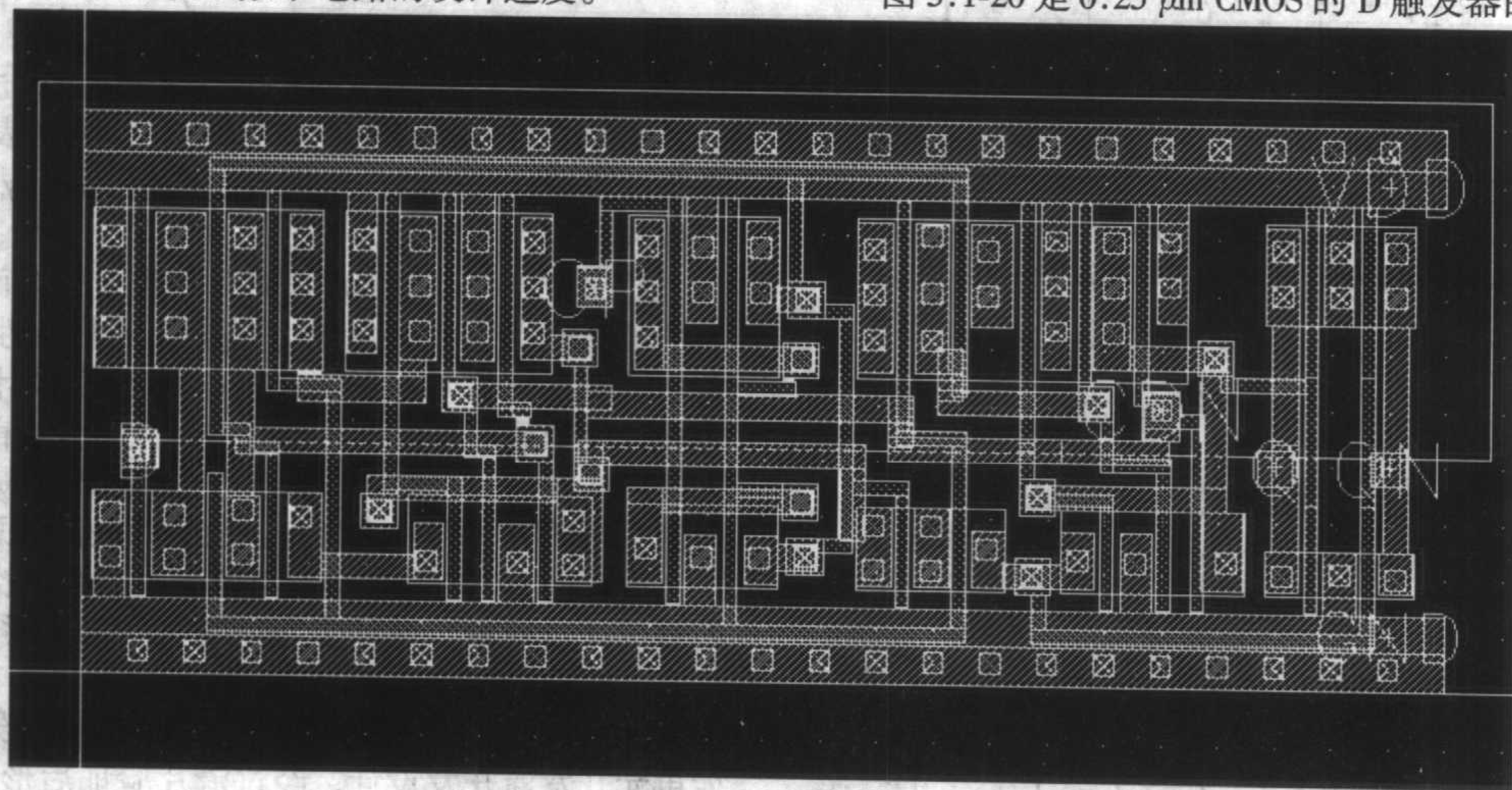


图3.1-21 触发器的标准单元版图

（2）在版图设计中要考虑的问题

在深亚微米工艺条件下设计版图，信号完整性的问题是设计工程师必须要考虑的问题，若对这些问题掉以轻心将有可能使设计的芯片失败。

1）线间信号串扰（Cross Talk） 由于半导体工艺的进步，线条越来越细，金属层的厚度并未减薄，而层间距离的缩小，使电磁感应现象开始在芯片设计中出现，即一条线上的信号将影响其相邻其他线上的信号，这种现象叫做线间信号串扰。在CMOS工艺中，当线宽降到0.25 μm时，开始出现串扰问题，在0.18 μm以下时，串扰问题十分严重。通常设计工程师使用EDA厂商提供的相应工具找出出现串扰问题的线段，给予修复。修复的方式主要分为信号屏蔽和加大受害线的信号强度两种方法。

2）电源压降（IR Drop） 在版图设计中，电源的设计是版图设计中十分重要的步骤。由于所有的数字单元都是连接在电源线上的，而电源线的宽度由设计工程师根据设计规则和厂方提供的金属层的电流密度计算得出。否则，当一段电源线上带的CMOS晶体管太多，而这些晶体管同时工作时，需要较大的瞬态电流，同时电源线上会有电阻，这些就会使电源提供的电压大幅降低，有可能使芯片不能正常工作。

3）天线效应PAE（Process Antenna Effect） 天线效应是CMOS数字电路要特别注意的问题。天线效应是在芯片生产加工过程中出现的栅氧化层被静电击穿的现象。在CMOS芯片生产加工过程中，如果与栅相连的铝线的总面积太大（铝线的面积同栅的面积比超过一定的数值），由于栅氧化层较薄，铝线上积累的静电将会击穿栅氧化层，造成器件失效。现在的CMOS大规模集成电路设计中一般将与栅相连的铝线总面积与栅氧化层面积之比设定为小于400。图3.1-22是PAE示意图。

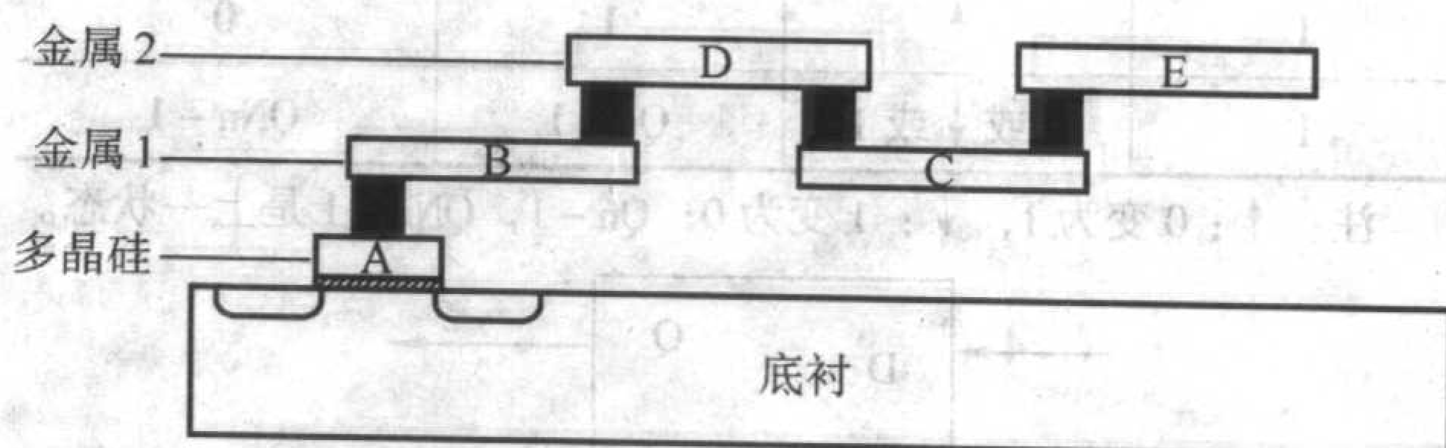


图3.1-22 PAE示意图

（A处的多晶硅下的氧化层有可能被击穿）

3　CMOS 模拟集成设计技术

模拟集成电路设计的目的是把处理模拟信号的电路或系统用集成电路的形式来实现。一个模拟信号是一个在一定连续时间范围内和连续幅度范围内具有确定意义的信号，它可以是电压、电流或电荷，通常在电路中主要考虑电压和电流信号。CMOS 工艺是目前超大规模集成电路的主流工艺，同时随着工艺的进步，CMOS 晶体管的性能在不断提高，SOC 等复杂芯片用 CMOS 工艺实现成为趋势，模拟和混合电路用 CMOS 工艺实现越来越普遍。

3.1　基本 CMOS 模拟电路

（1）CMOS 电流源与电压源

电流源与电压源在模拟电路中是重要的基本电路形式，它不仅给电路提供能量，同时也提供电路的基本参考点。模拟电路的工作点是电路设计中必须要考虑的重要问题，工作点的偏移将会影响电路的工作性能，而稳定工作点依赖于偏置电路的设计，这些都希望有好的电流源和电压源。

1）基本电流镜结构（图 3.1-23）

2）共源共栅电流镜（图 3.1-24）

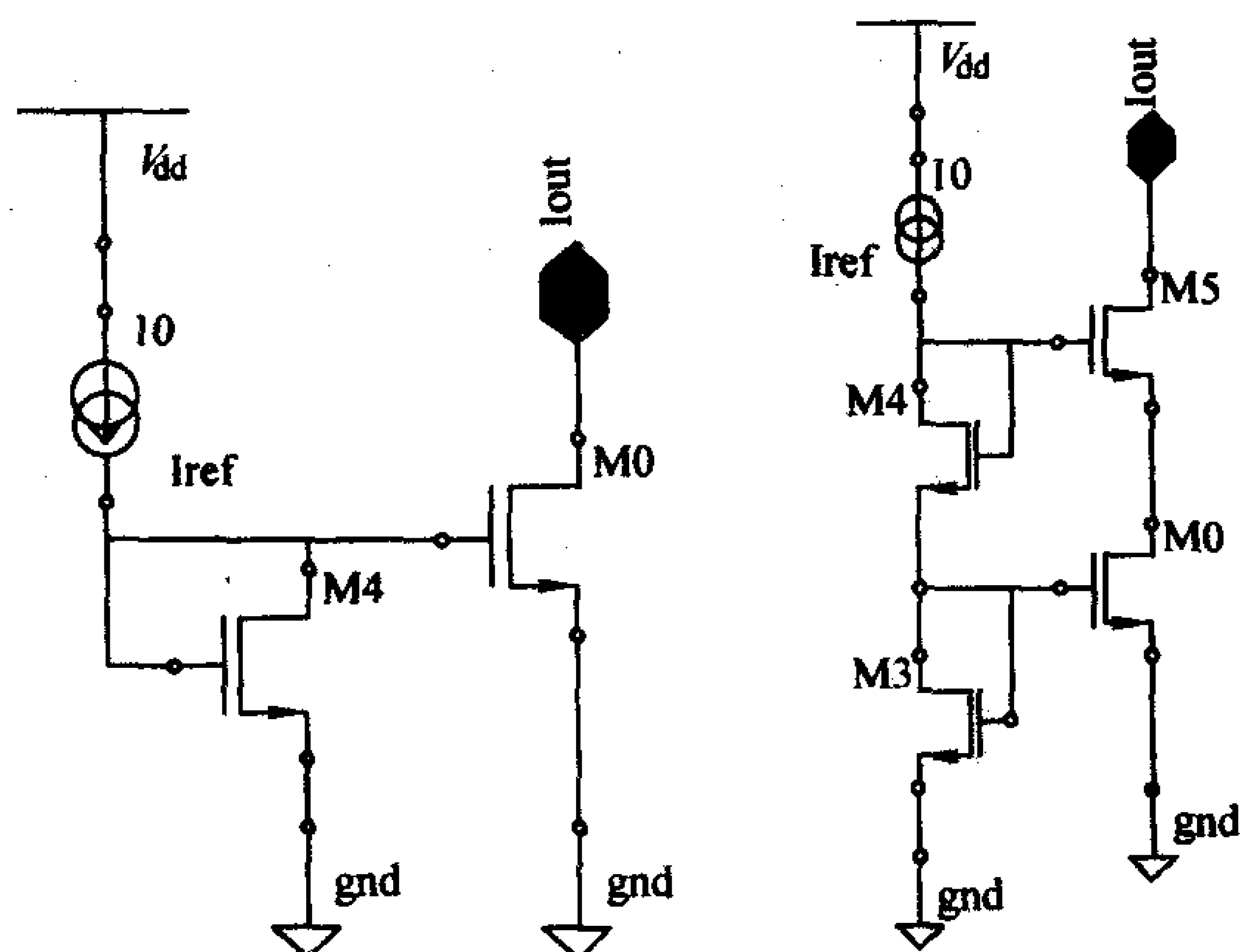


图 3.1-23　基本电流镜结构　　图 3.1-24　共源共栅电流镜

（2）单级放大电路

1）MOS 为负载的共源级放大电路（图 3.1-25）

2）源跟随器(图3.1-26)　源跟随器一般起电压缓冲器的作用。

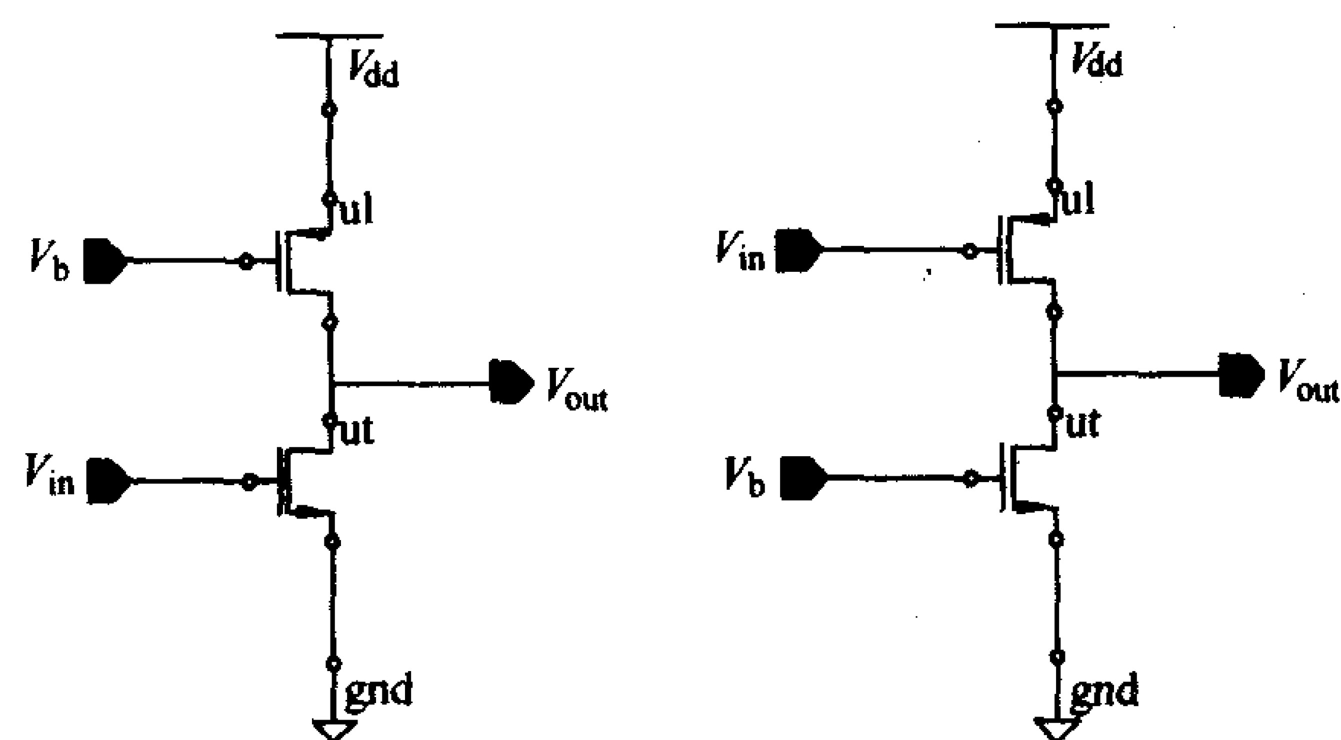


图 3.1-25　MOS 为负载的共源级放大电路　　图 3.1-26　源跟随器

3）共栅级放大电路（图 3.1-27）

4）共源共栅级放大电路（图 3.1-28）

（3）差分放大电路与吉尔伯特单元

双端的差分工作方式比单端工作方式对环境噪声有更强的抗干扰能力，同时增大了输出的最大电压摆幅。

1）MOS 为负载的差分电路和电流源为负载的差分电路（图 3.1-29）

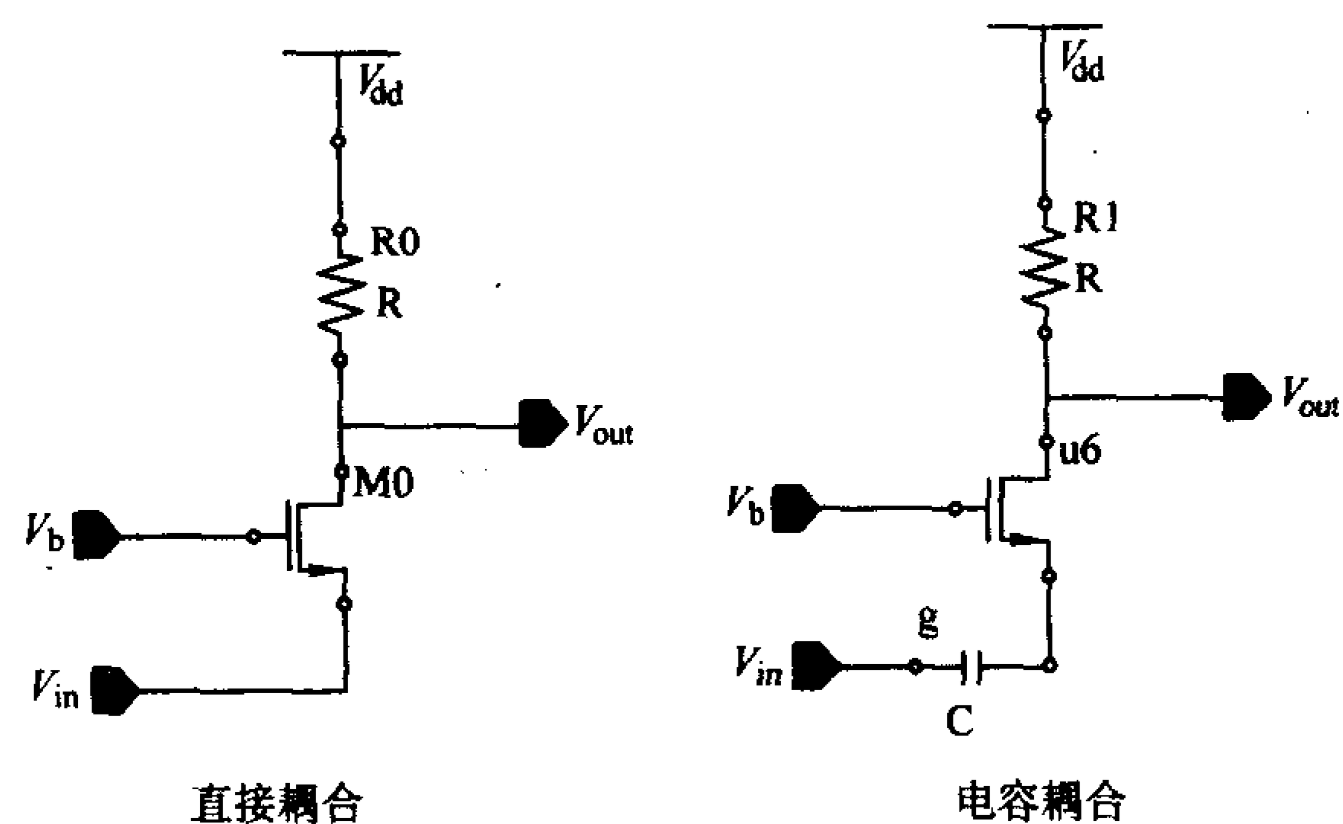


图 3.1-27　共栅级放大电路

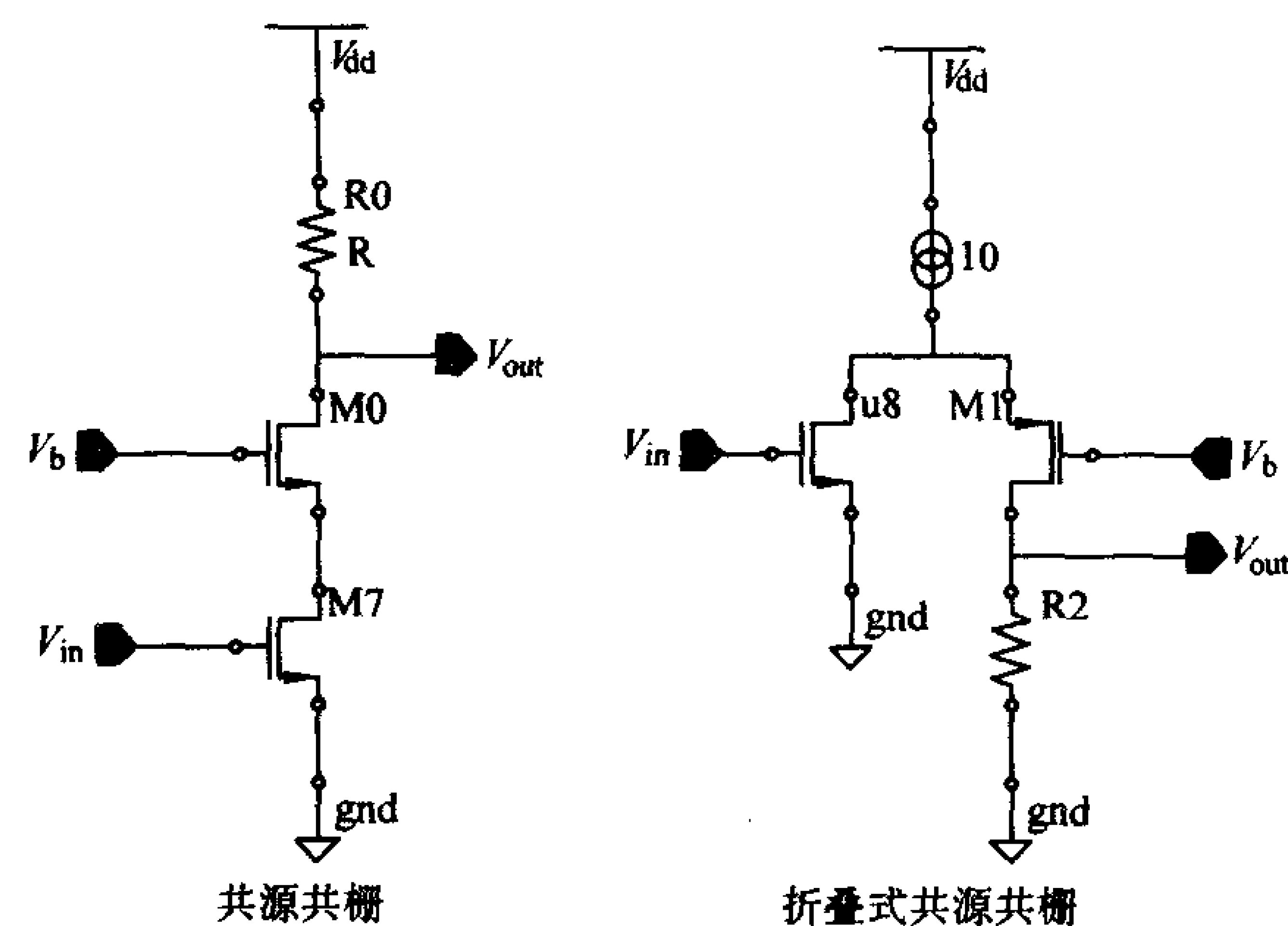


图 3.1-28　共栅级放大电路

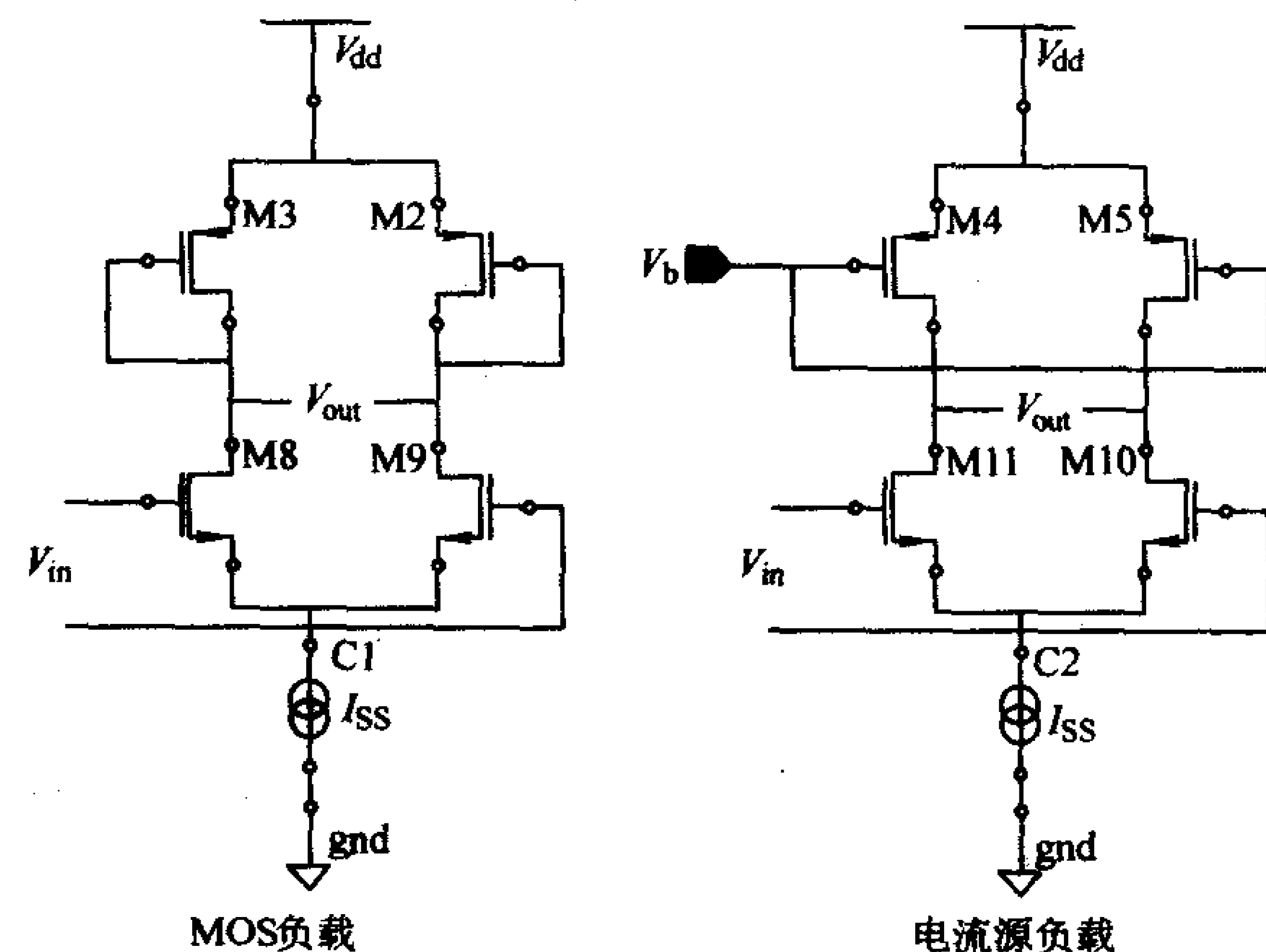


图 3.1-29　MOS 为负载的差分电路和电流源为负载的差分电路

2）吉尔伯特单元（图 3.1-30）　吉尔伯特单元是模拟

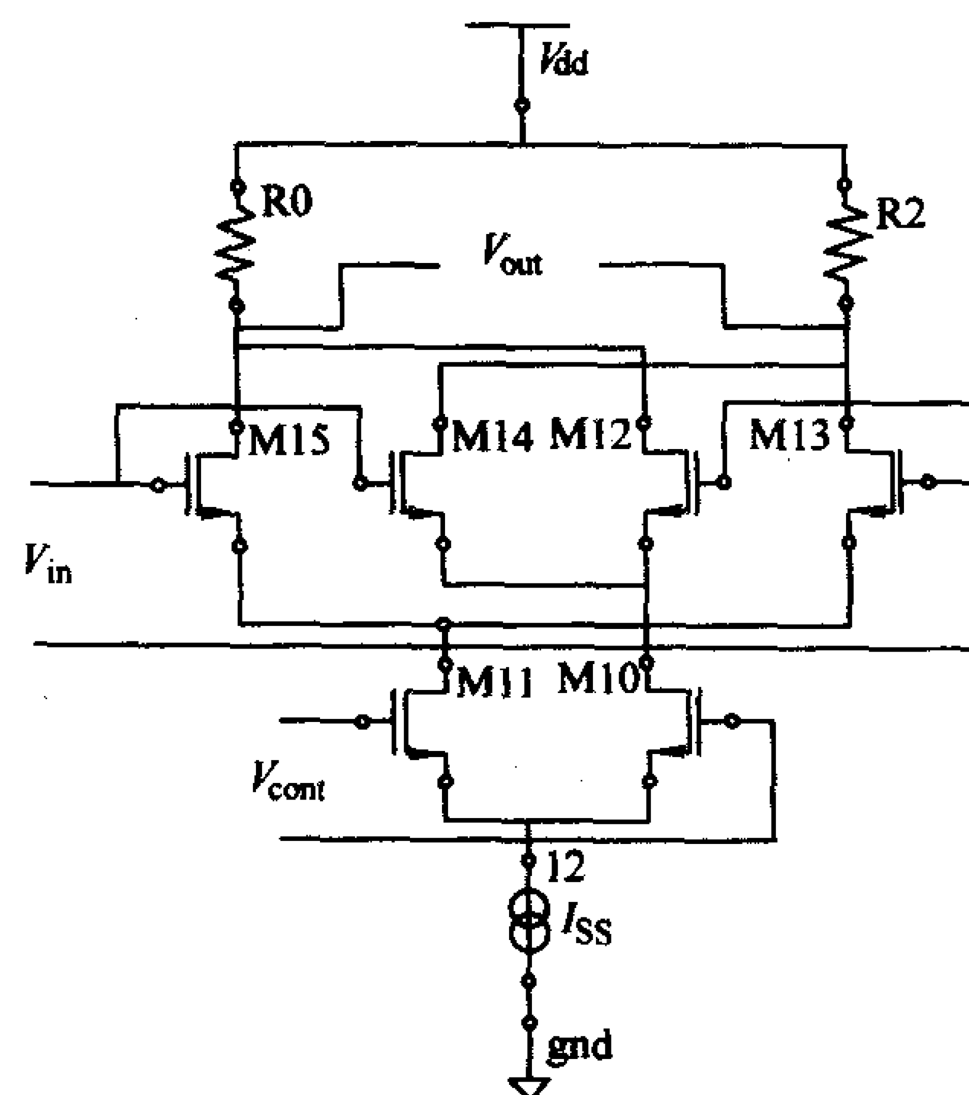


图 3.1-30　吉尔伯特单元

电路中重要的单元之一，它即可作为可变增益放大器，也可用于模拟乘法器。其中 Vin 是输入信号，Vout 是输出信号，而 Vcont 是可变增益控制端。

3.2 模拟电路设计流程

模拟电路设计流程与数字电路设计流程有所不同，在具体的实现过程中要使用不同的 EDA 工具，对数字电路设计师的前后端分配对模拟电路设计师不太适用。因为在模拟电路设计中，版图的寄生参数会严重地影响模拟电路的设计性能。因而，模拟电路设计师要亲自参与电路的版图设计，只有这样，才能设计出符合要求的集成电路。

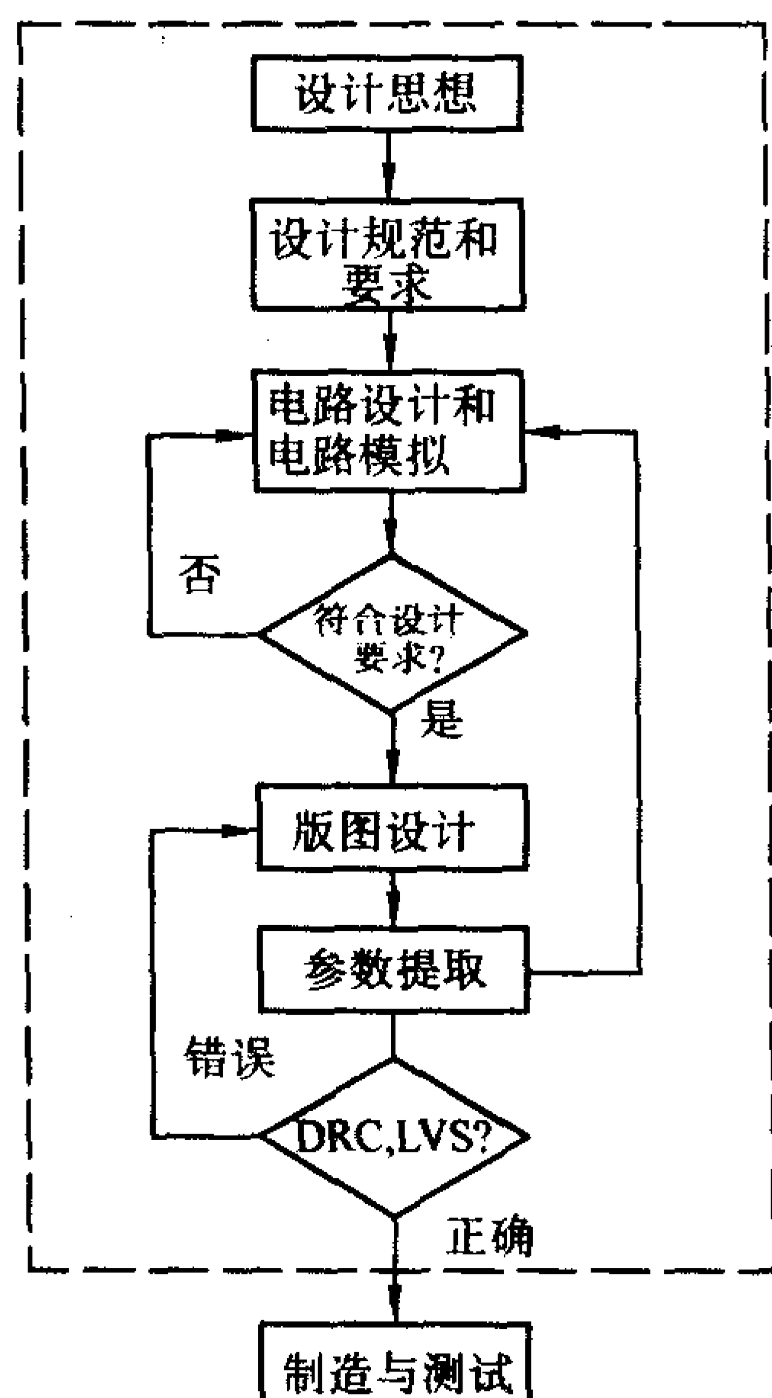


图 3.1-31 模拟集成电路设计的基本流程图

图 3.1-31 虚线部分是模拟集成电路设计的基本流程图，主要分为如下几个步骤：

1）指定详细设计规范。面对一个设计任务，我们首先要做的是了解用户需求，根据需要定出该电路的详细规范。若有条件的话，应进行系统级仿真和合理的模块划分。

2）模块划分之后就要进行晶体管级的电路设计。在此阶段，设计工程师首先要搭建出合理的电路图，同时工程师要有工艺厂提供的精确晶体管级电路模型，根据模型进行电路模拟，调出符合设计要求的电路形式。

3）根据电路形式，设计工程师手工绘制版图。在模拟电路的版图设计中，工程师应该考虑每个晶体管的排列方向和它们的几何形状，并同时考虑电路的耦合匹配。版图设计中的隔离也是重点考虑的对象。

4）版图设计完成后，要提取版图中的寄生参数。在模拟电路设计中，寄生参数对电路性能的影响十分巨大，将寄生参数反标回电路，再次进行模拟（又称后模拟），根据模拟结果修改版图设计，直到满足设计要求。这时就可以产生工艺加工厂可以接受的设计文件（GDS2）。

4 IP 及 SOC 设计

4.1 SOC 系统集成芯片

SOC（System ona Chip）系统芯片有各种不同的定义方式，具体到芯片功能来说，SOC 芯片意味着在单个芯片上，完成以前需要在印刷线路板上用不同组件才能够构成的系统级电路功能。图 3.1-32 为一个比较典型的 SOC 芯片的硬件结构，在一个 SOC 电路中包括微处理器、存储控制器、用于完成主要功能的数据通路、与外部系统的数据接口、部分外围电路，以及用于内部数据传输的内部总线及总线控制器。

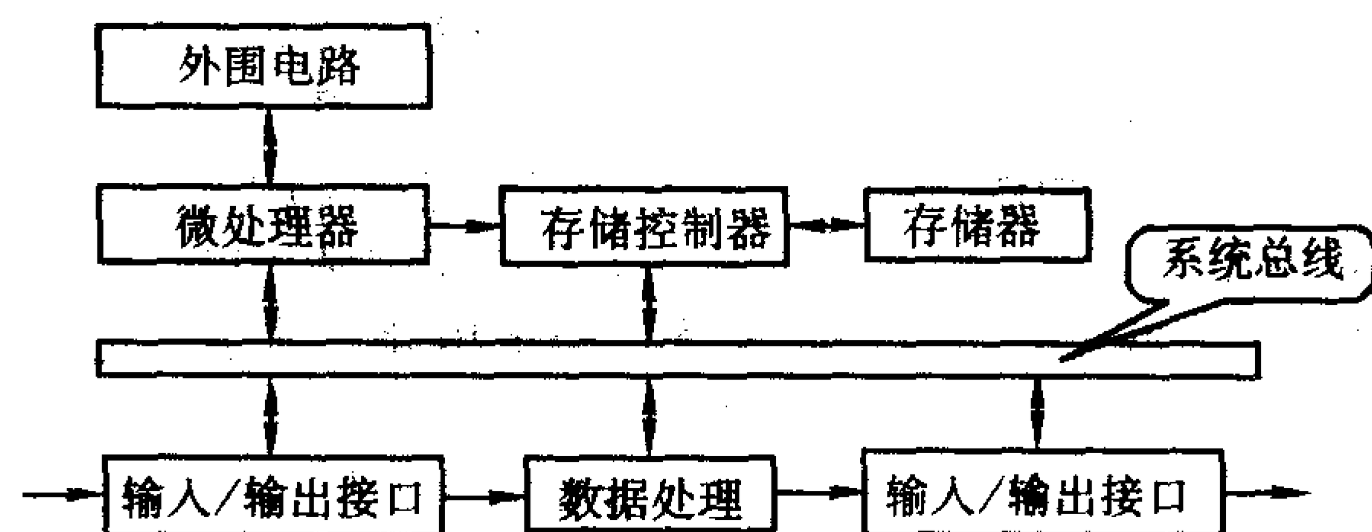


图 3.1-32 典型 SOC 芯片硬件结构

图 3.1-32 仅是 SOC 芯片的概略描述。对于实际的芯片，微处理器可以是简单的 8051 微控制器，也可以是高速的 64 位 RISC CPU；存储器的设计可以为单级结构或多级结构；存储介质可以是 SRAM、DRAM、Flash 等或几种存储介质的组合；输入输出接口则可以包括从 PCI 口、以太网、USB、AD、DA，到机电传感器、机电控制器、光电转换传输等各种类型的数据接口；数据处理的内容更可以多种多样，可以仅完成简单的控制，也可以完成复杂的图像压缩解压运算，或完成高速度的路由功能。

真实的 SOC 芯片的结构比芯片的概略描述要复杂得多，芯片可能包含多种数据处理功能及复杂的内部通信机构。例如，许多 SOC 芯片包含多个微处理器，或在芯片中有多个微处理器与多个 DSP 协同工作。芯片的存储器结构同样异常复杂，有可能存在多级缓存器结构或存在复杂的内存共享机制，及适合于特殊运算的数据存储结构。芯片内部通信机制同样比图 323.1-32 的单一总线结构复杂得多，在芯片中可能出现多条总线，并可能有多种总线控制机制并存的情况。数据的传输则可能有同步、异步及串行、并行传输模式，在芯片中可能出现以前在板级电路中应用的同步时钟提取、错误校验等一系列电路模块。

SOC 芯片的另一特点是芯片的运行需要强大的软件支持，而且芯片的功能会随支持软件的不同而变化，因此在设计芯片的同时需要进行软件编制工作，并非以往单纯的电路设计。这一特点在增强芯片功能及适用范围的同时增加了芯片的设计与验证难度，在芯片设计的初期需要仔细地进行功能划分，确定芯片的运算结构，并评估系统的性能与代价。SOC 芯片的出现在芯片的优化设计方面也提出了很大的挑战。

简要地说，SOC 芯片意味着在单芯片上集成一个完整的数据处理系统，芯片的设计需要系统设计人员与软件设计人员的深人参与，与传统的芯片设计有较大的区别。

4.2 SOC 芯片的设计模式

SOC 芯片的设计远比传统的 ASIC 设计复杂，因此芯片的设计模式与 ASIC 设计也有较大的区别。传统的 ASIC 的设计模式可以称为瀑布型设计，芯片的设计分阶段进行，而且在理想情况下可以不返回前一阶段，各层次的设计人员间也不要求有过多的联系。

在设计 SOC 芯片时，由于芯片复杂程度的增加，用从顶向下的设计模式很少能够完成设计工作。SOC 芯片的软件比重较大，必须同时开发系统的硬件与软件来保证芯片的功能正确。而且在芯片设计的早期阶段必须考虑物理设计，使芯片的性能达到要求。设计人员必须更密切地协同工作，同步进行设计芯片的各项工作，并在各自的领域逐步完善芯片的设计。SOC 芯片设计的主要特点有以下几项：

1）芯片的软件设计与硬件设计协同进行；

2）各模块的综合与验证协同进行；

3）只在没有可利用的硬模块或软宏模块的情况下才重

新设计所需模块。

在SOC芯片的设计流程中，一般都结合了从顶向下（Top Down）与从底向上（Bottom Up）设计的特点，在设计芯片的初始阶段进行关键模块的设计，并应用所设计的底层模块信息对芯片的结构设计进行优化，改动芯片的结构，如加入流水线或应用并行结构使芯片的性能达到要求。另外在设计系统时尽量利用现有的已通过验证的模块，加快芯片的设计流程，并至少保证这部分电路可以正常工作和满足系统的工作速度。

4）芯片的设计重用 如前所述，由于芯片规模较大，在进行SOC芯片设计时，全部电路针对门级设计是不现实的。在这种情况下，设计再利用的方法得到了很大的重视。设计再利用即设计一系列可以重复使用的模块，然后在设计电路时基于这些模块来设计。设计再利用与使用IP的概念稍有差别，IP指可购买的功能模块，设计再利用则是指在公司内部进行的模块的重复使用。

设计再利用最重要的优点是可以提高设计的工作效率，并降低设计的工作成本，设计可重复使用的电路模块及实现可靠的设计再利用需要大量的投资，但投资的回报是巨大的，一旦模块被打包为可重用模块，则使用的次数越多，分摊到每个设计中的初始投资就越少。基于这一特点，可重用模块的规模一般都比较小，而且大部分是比较基本的模块。例如一个深度和宽度都可以调整的先入先出存储器（FIFO）电路，被重复使用的机会比一个复杂的接口电路要大很多。在一个复杂电路中可能有多处需要FIFO电路，而复杂的接口电路则可能只使用一次，并需要做较大的改动。

设计重用并非在所有的情况下都适用。在设计某个电路时，设计师首先面对的问题是使用已有的模块还是重新编制代码。使用已有模块的好处是现有的模块已经经过了多次的验证，并可能已经在实际的电路中使用过，可以完全保证功能的正确性，但可能存在的问题是现有模块在面积或工作速度上达不到要求，或是已有模块是基于过时的工艺所设计。重新编制所有或部分代码可能使产品的性能更好或代价更低，尤其是系统的关键模块，需要仔细的设计来满足性能要求，可重用模块基本上不可能达到要求。更为常见的情况是，在可重用模块库中找不到可用的模块，必须自己进行设计。

简单的设计重用在实际设计中经常出现，比如某个设计师会使用以前编制的某段代码，或直接使用，或做一定的改动来适应新的要求。但良好的设计再利用流程并非如此简单，改动代码直接意味着可能在代码中引入错误，必须再经过完整的测试与调整才能使用代码。而且这样的再利用只限于设计组内部，或是设计师使用自己以前编写的代码，无法完全体现重用的优点。

设计再利用首先需要一个比较完整的模块库，而且库的各部分需要有完整的文档说明、文档化的测试方法与测试矢量，而且各个模块的参数可以做一定的改动以适应不同的需要，扩展模块的应用范围。模块库的维护也是很重要的工作，需要有专业人员保证模块的可重用性和不断地加入新的模块，并且帮助设计师在设计过程中使用模块库。一个性能良好的可重用电路模块库应该具有以下几个特点：

1）良好的搜索机制 模块库需要有清晰的结构，否则设计人员将无法方便地找到合适的模块。模块库应该有搜索引擎并有良好的分类，使设计人员可以方便地查找各种关于电路模块的信息。

2）完整的接口文档 模块的接口文档应该非常完整，设计人员在使用模块时主要关心模块的对外接口，内部代码却是次要的东西。设计人员只根据外部接口说明即可以使用该模块。模块的接口模式、信号、信号时序都应该有清晰准确的说明。

3）严格的质量标准 模块库的质量必须有严格的保证，每个单元在放入模块库之前都必须仔细地评价，保证其功能正确、文档说明完整、可综合性良好。另外模块库的维护也非常重要，包含错误信息或不完整模块的库会对设计工作造成非常大的损害。

4）良好的可适用性 应该有一种比较标准的模块连接方式。在设计中最困难的问题是电路模块与其他模块的连接与通信，模块与芯片内部总线的连接应该有一种恰当的标准，模块与各种通用接口的连接也应该比较方便。

5）多种类的存储模块 大部分的设计中存储单元所占的比重都非常大，尤其是在SOC芯片中，存储单元经常占30%～70%的比重，而且存储模块的性能经常决定整个芯片的性能。在选择存储模块时，必须仔细确定存储器的结构、存储量大小、存取速度等参数，并做出相应的综合。因此，多种类的存储模块可以更好地促进设计工作的进行。

6）模块库的更新 模块库中的各种单元需要不断地更新，以适应新的工艺流程与新的设计软件，老旧的模块库无法满足设计工作的需要。

综上所述，设计再利用可以大幅度地降低设计成本，同时降低设计的工作量，使复杂芯片的设计成为可能。但在进行实际的设计工作时，设计再利用需要进行大量的准备工作，建立完整的模块库、模块文档，并且花费较大的精力对其进行日常维护，而且在设计中必须仔细权衡。选择使用可重用模块或是重新进行电路的设计，使芯片的性能、面积、功耗等参数达到预定的要求，同时芯片的设计完成时间也是一个非常重要的因素，必须在这几方面进行综合处理。

4.3 SOC芯片设计的技术优势

SOC芯片的设计虽然比较复杂，但在技术上比以往的ASIC芯片有很大的优势。SOC芯片的优势主要体现在以下几个方面。

1）芯片的工作速度 大部分芯片的性能取决于存储器的工作速度。提高PCB板上的信号传输速度是很困难的，而且通常需要复杂的信号传输检测技术及纠错处理。SOC芯片中可以集成大量的存储器，使大部分存取数据的工作集中在芯片内部，可以极大地提高系统的性能。一般芯片内部总线速度与PCB板总线速度会有几倍的差别。

2）芯片的功耗特性 SOC芯片功耗特性的优越性主要体现在系统功耗上。虽然单独看芯片的功耗特性比传统的ASIC电路没有本质的提高，但整个系统的功耗却可能有成数量级的提高。功耗特性改善的主要因素同样是在数据的传输方面，用PCB实现系统时，很多数据通过PCB板在芯片间传输，每条引线的电容都在十几或几十pF的范围内，而芯片内部总线的引线电容要小一个数量级甚至更多，驱动内部总线所需要的能量同样也会有成数量级的降低。

3）系统的可靠性 SOC芯片将系统的大部分功能单元集成在单芯片上，可以大大简化PCB的设计，进一步减少焊点的数量，提高系统可靠性。同时大部分信号集中在芯片内部，减少了系统受到干扰的可能。

4）芯片的生命周期与适用范围 几乎所有的SOC芯片都包含大量的可编程器件，如CPU与DSP，有些芯片的数据通路也是软结构，可以在外部通过设置寄存器改变运算方式，因此SOC芯片的生命周期与应用范围都被大大地拓展了。通过使用不同的软件，SOC芯片可以适应不同的工作，SOC芯片的软件也可以通过升级来适应各种新的数据格式和工业标准，这是传统的规模较小的ASIC芯片难以做到的。

4.4 IP知识产权模块

IP的英文全称为Intellectual－Property，即知识产权产品。

在集成电路设计中，IP特指可以通过知识产权贸易在各设计公司间流通的完成特定功能的电路模块。从电路设计的角度来看，IP与公司内部自行建立的可重复使用模块差别很小，同样要求IP有完整的功能说明文档、测试文档及接口文档。因为IP的生产与贸易涉及利润问题，所以一般IP的规模都比较大，如CPU模块、DSP模块、完成复杂计算功能的模块、存储器模块、复杂接口模块等。规模过小的模块由于设计相对容易，但质量验证困难，很难在贸易中取得相应的利润，所以很少在公司间进行流通，这类模块一般是通过芯片物理设计服务的方式体现其价值。

IP的设计与贸易目前并不成熟，除应用较广泛的CPU/DSP核IP与存储器IP外，大部分的IP都存在功能验证与可测性问题。形成这种情况的原因是目前有大量的小公司提供自己设计的IP，这些公司大都无能力进行IP的投片验证与完整的测试，部分公司则是将以前的设计改动后作为IP出售，这部分产品经常存在文档不全、可测试性不完善等问题，或是其设计方式完全不适合于设计再重用。相信随着基于IP设计工作方式的普及，这种情况可以得到相应的改善。

按传统的分类方式，IP可以分为硬IP、软IP和固核等几种类型。硬IP是指IP的存在方式是电路图，一般是GDSII格式的图形文件。硬IP的设计是完全无法改动的，而且电路版图的形状在设计中也无法变动，这也是这种IP被称为硬IP的原因。软IP则指以RTL描述或功能描述方式存在的IP，在进行电路设计时，可以改动IP的内部代码以适应不同的电路需要，或者IP本身就带有各种可设置的参数来调整具体的功能。大部分软IP是RTL描述。软IP的优势是对工艺的适应性很强，应用新的加工工艺或改变芯片加工厂家的时候很少需要对软IP进行改动，原来设计好的芯片可以方便地移植到新的工艺中。另外在设计芯片时，可以根据具体的需要对软IP的代码进行改动，或软IP本身提供许多可以设置的参数，在应用时比较方便。

4.5 基于IP的SOC芯片设计

SOC芯片的系统设计流程如图3.1-33所示。

主要包括以下几个步骤。

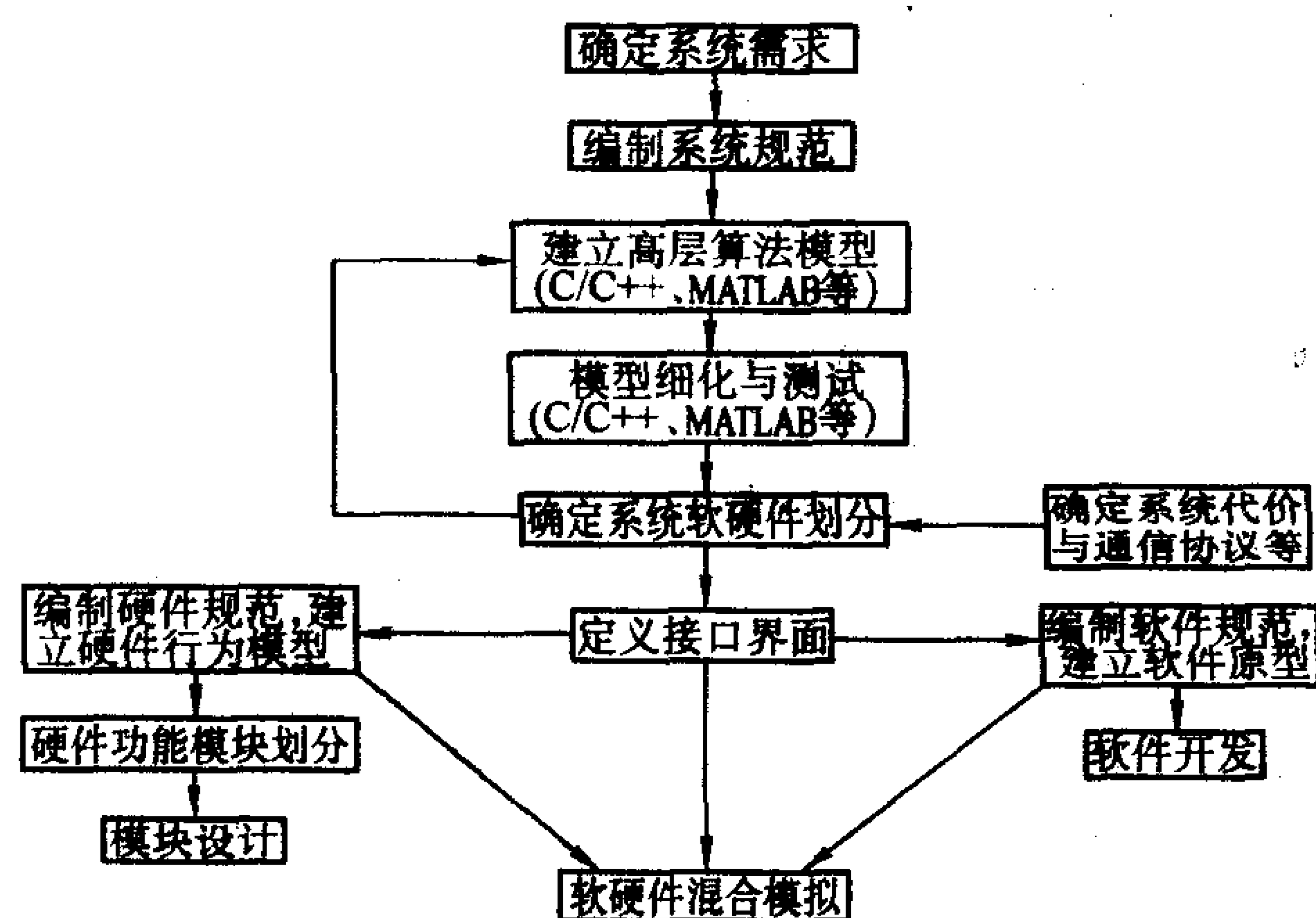


图3.1-33 SOC芯片的系统设计流程

1）系统规范 在芯片设计的开始阶段，首先需要确定芯片的功能要求、性能要求、芯片的成本与芯片的设计时间，并建立系统的设计规范，通常设计规范由设计师与市场人员共同完成。然后需要建立整个系统的高级语言算法模型，通常这个模型是由C/C++或其他工具软件如MATLAB等建立的一个可执行的程序，这个程序能够完成系统的主要功能，并可以用来作为未来设计的参照。例如在完成RTL设计后，可以对照RTL模型的行为与这个系统描述的行为确定设计是否正确。软件设计人员也可以以此为蓝本来开发与测试系统软件。

2）模型细化与测试 建立可执行系统描述的验证环境，验证系统描述的功能并进行算法的性能评价。一旦环境建立完成，这一环境也可以用来验证软件与硬件的设计结果，例如检验软硬件混合仿真的结果。对于算法占主要成分的SOC芯片，需要在软硬件划分前进行大量的算法验证与评价工作。

例如在设计图像处理或多媒体芯片时，开始的系统描述可能是用C/C++语言编制的程序，所有操作都是浮点运算。当算法确定后，会开发一个基于定点运算的模型，利用这个模型可以很快地确定芯片所需要的计算精度。最后建立一个精度与每周期运算完全确定的模型，这将是芯片所进行运算的完整的描述，可以以此模型为出发点设计芯片。通常由浮点到定点的过程是系统设计的关键所在。

3）系统的软硬件划分 当高层模型确定后，开始进行系统的软硬件划分工作，即确定哪部分运算由软件实现、哪部分运算由硬件实现。这一过程涉及大量的人力工作，需要有丰富的设计经验，能够在芯片性能与代价之间作出合理的折衷。功能良好的软件库与IP库可以使这一工作比较顺利地完成。

接口的信息、I/O口的详细描述等。根据模块的定义，可以将硬件功能划分为不同的宏模块，各模块的功能或由IP实现，或需要重新设计，最终的芯片则由这些宏模块构成。

4）系统功能模拟与软硬件混合模拟 当软硬件划分工作完成后，可以建立一个硬件行为模型与软件模型，用这两个模型的混合模拟仿真系统的功能，以此为出发点可以建立一个可靠的硬件与软件的可执行功能描述，并用来验证后续设计工作的结果。

4.6 IP模块连接与芯片总线

当系统的硬件模块划分工作完成后，所进行的是模块设计工作。如果接着考虑图3.1-31所示的简化系统，SOC芯片的结构将如图3.1-34所示。软件部分的工作由一个嵌入式CPU完成，CPU还将负责内存的管理及部分外围电路信号的处理。硬件部分的工作由I/O配合数据处理模块完成（在这个例子中，假设数据处理模块与存储器间不需要大量数据交换，最高速度的传输是从I/O到数据处理模块再到I/O）。各模块间的通信依靠内部总线来完成，因此当模块的划分与模块设计完成之后，主要需要考虑的是各模块如何连接通信与芯片内部总线如何设计。

首先需要选择的是使用三态总线或多路开关总线。三态总线一般在板级设计中使用较多，可以减少所需要的信号线的数量，但三态总线必须保证在各个时刻都只有一个驱动处于活跃状态，这在高速情况下很难保证。三态总线不能处于浮动状态，否则可能在总线的接收端造成很大的静态电流，影响芯片的可靠性。由于以上几种原因，在设计SOC芯片时一般倾向于采用多路开关总线，这种总线的性能对工艺依赖较小，设计的可移植性比较好，而且设计比较容易。

在SOC芯片的设计中，一个很重要的问题是各种不同类型的总线如何连接，如图3.1-21中的处理器总线与系统总线；另一问题是大量的IP模块的连接问题。VISA的提出提供了一个比较简单的解决方案，即各IP模块都通过一个标准的适配接口与芯片内部总线连接。这种适配器在概念上很完美，但在实际使用中存在很多的问题。IP与总线的连接需要通过更多的电路，不仅会使IP的工作性能受到影响，整个设计的代价也会增大。而且在某些应用中，IP模块间的数据流量很大，使用总线方式可能影响到系统的性能，通过FIFO直接连接可能会有更好的效果。

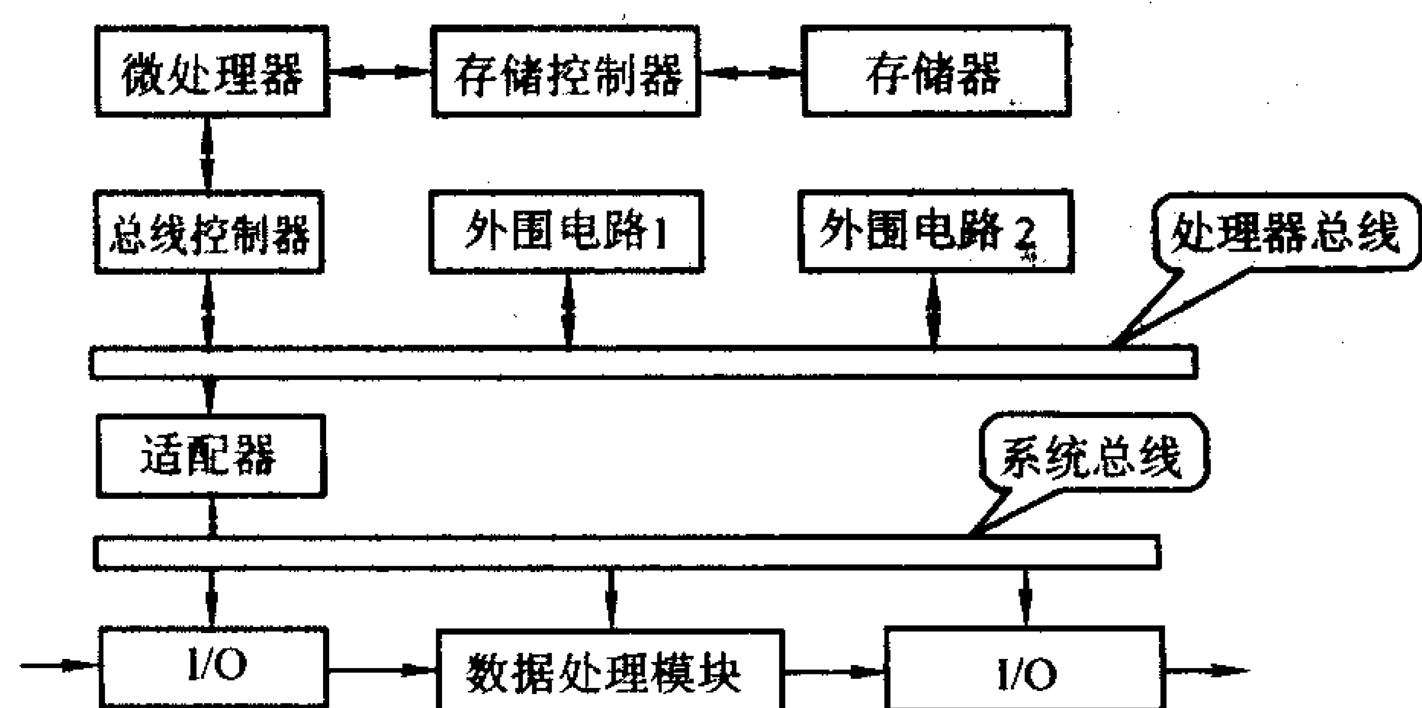


图 3.1-34　SOC 芯片的结构

SOC 芯片的物理设计与 ASIC 设计也有较大的差别，首先 SOC 芯片的布局必须在芯片设计的早期进行考虑。在布局时可以得到芯片的面积信息，这对于芯片的成本控制与芯片工作性能都有较大的影响。粗略的布局信息对系统的设计就会产生很大的影响，例如在布局中两个离得较远的模块间的通信就会受到影响，信号在模块间的传输延迟可能会超过一个时钟周期，使模块间只能实现低速通信。

模块间的信号连接与通信方式对 SOC 的设计也产生影响，比较好的方式是每个模块在设计时所有的对外通信都通过寄存器进行，这样设计可以比较容易地确定错误的位置，而且一旦模块的设计得到验证，所需要关心的只有模块间信号的时序，当这些信号都是通过寄存器传输时，可以方便地通过加大驱动能力或加人缓冲器电路改善信号的延迟，使物理设计相对比较容易。

在设计版图时，硬模块的位置也必须得到考虑，硬 IP 的存在可能会阻断布线通道，使布线不必要地加长，影响芯片的性能，或硬 IP 的长宽比不合适，使布局布线占用的芯片面积过大，影响芯片的成本。

芯片的时钟分布在布局阶段同样需要考虑，同时需要综合考虑时钟的频率、对时钟时滞的要求、芯片的功耗要求等因素，选择最适合的时钟分布方案。

4.7　芯片的验证与测试

SOC 芯片的验证需要分阶段进行，即在宏模块设计前必须完成系统功能的验证，而在各子模块设计完成前必须完成宏模块的功能验证工作。而且在 SOC 芯片的设计过程中，通常采用从底向上的功能验证方式，即对各基本模块的功能进行尽可能全面的验证，在较小的电路规模下发现错误与解决错误都比较容易，这样如果在全局验证时发现错误，可以只去注意模块间的信号时序问题，在全局电路中去锁定模块内部错误相当耗费时间。

SOC 芯片的测试比传统的 ASIC 测试要复杂得多，因为 SOC 芯片的功能过于复杂，全面的功能测试通常是不现实的，所以通常采取的策略是分别测试所有的电路功能模块。在 SOC 芯片中存在各种不同类型的电路模块，每个模块所要求的测试方式也不相同，SOC 芯片中的模块基本可以分为三类：CPU/DSP、存储器模块、其他功能电路模块。存储器的测试一般采取 BIST 测试，比较快捷而且容易控制。CPU/DSP 的测试与传统的 CPU/DSP 测试类似，通常采取边界扫描方式结合矢量测试方式。其他的电路模块按设计难易程度或者应用方便性，或采用边界扫描或采用 BIST。

4.8　SOC 设计展望

综上所述，SOC 芯片及基于 IP 的设计方式的出现，极大地扩展了集成电路的设计能力，使电路的设计能够充分利用加工工艺进步所带来的成果。SOC 芯片在芯片性能、芯片成本、芯片功耗特性与可靠性方面都具有相当大的优势，在未来将占据芯片的主导地位。当前 SOC 芯片有两种发展趋势，一是结合自顶向下与自底向上的系统设计方式，一是基于设计平台的方式。系统设计方式在芯片性能、成本方面有较大的优势，但设计时间较长，设计成本与风险也都较高，在系统设计中还有可能需要少量全定制模块，在高性能及低功耗领域有较大的优势。基于平台的设计方式最大限度地利用了 IP 的特点，芯片设计时间短，风险很低，但可能无法达到最佳的芯片设计，这种设计方式在对芯片上市时间要求很紧迫的情况下非常适合。

5　集成电路设计的发展趋势

5.1　SOC（System on Chip）和 SIP（System in package）

随着工艺水平的不断进步，通用器件的运算能力大大提高，特别是 CPU 和 DSP 的发展，传统的 ASIC（专用集成电路）、IC 的应用领域越来越窄。以标准单元（cell）和块(block）为基础的大规模集成电路的设计方法依然是主要的设计方式。但是，动辄上千万的晶体管规模的芯片设计，依然完全用标准单元设计显然是不合适的，这样做将会极大地延长开发时间，加大开发成本，同时也会带来更多的错误。为了提高系统的设计效率，缩短设计周期，必须充分利用以前的甚至别人的设计成果。以 IP（知识产权）技术为依托的 SOC（System on Chip）设计方法得到发展，但是，由于不同的制造工厂使用不同的工艺技术，因此工艺技术的不兼容性已经成为以固核为核心的设计方法发展的最大障碍，而且单一芯片规模的剧幅增加也大大加大了芯片设计的难度。所以 SIP（System in package）技术是另一种值得提倡的设计方法，这种设计方法虽然单从芯片面积上比较，不如 SOC 面积利用率高，但是它更灵活，有可能利用不同工艺的优点，设计出更好的系统。另外使用即插即用的软 IP，即 IP 的可重用性是 IC 设计工程师要解决另一问题。软 IP 核使设计者无须对子模块做任何的改动，只须通过重新配置可重用的对象，就可以快速的完成对新工艺的升级。对于软 IP 而言，这项技术发展的最大阻力来自于 IP 子系统和标准总线系统之间的接口问题，以及在 SOC（片上系统）芯片设计中软硬件的划分问题。如果能提供一个标准的接口，并解决好最优化软硬件分割，那么以软 IP 为代表的自底向上的设计方法将对 IC 设计的发展起到不可估量的推动作用。

5.2　C/C++等高级语言引入到 IC 系统级设计

随着系统集成度的提高以及终极用户需求的多样化，现有的系统设计方法已经不能很好的满足设计的需求。一般说来，系统级的设计分为两部分：一是表达思想的类自然语言描述，另一是将功能转换为可执行的结构设计。一个系统级的设计语言应该能很好地完成软硬件的协同设计。然而今天的软件语言不能描述硬件结构，而 HDL 硬件语言也不能承担软件的设计任务，因此需要兼顾这两方面的语言。C 语言可以较好的平衡软件和硬件两个方面的设计需求，同时由于 C/C++语言支持面向对象的设计方法，相对于传统的编码方式，面向对象有着不可比拟的生产率方面的优势，因而 C 语言最有可能承担这个任务。但是，C 语言也有其弱势的地方。系统级设计需要重用很多的组件，还要包括测试基准，由于 C 语言不是专门为硬件开发而设计的，因此一些硬件的要求还不适合用 C 语言来表达。对于硬件设计而言，C 语言也没有能够提供一个硬件设计的库。目前业界正在向此方向努力，希望能开发一种符合软硬件协同设计的高级语言。我们相信，随着 IC 设计业的发展，一种能够兼容硬件和软件的、新的描述方法将会出现。

5.3 混合信号系统设计

在单一芯片上组合了数字、模拟信号甚至RF信号电路的混合信号系统是设计者关注的焦点。如何对这种芯片进行系统级的精确仿真是设计者头疼的问题。目前的主流设计模式依然是分块设计，数字部分用数字的设计流程，而模拟部分用模拟的设计流程。而且由于模拟电路对精度的高要求，使模拟电路的容量不能很大，否则不是模拟精度大幅降低就是运算速度让人无法忍受。在这方面，目前的主流EDA厂商还无法拿出让人满意的解决方案。如何解决混合信号系统的模拟问题是IC设计领域面临的重大问题。

编写：叶　青（中国科学院微电子研究所）

第 2 章　微细加工技术

微细加工技术就是将图形高精度转移到芯片上的技术，主要包括光刻技术和刻蚀技术。随着信息时代的到来，信息高速公路、网络技术、移动通信技术和多媒体技术的飞速发展，促进了高集成度、超高速、超高频集成电路及器件的研制与开发，其特征尺寸越来越细，加工尺寸进入深亚微米级、纳米级。传统的曝光技术在光源上得到改进（如远紫外 i 线、深紫外 KrF、ArF、F_2 准分子激光光源等），并利用波前工程（如移相掩模、离轴照明、空间滤波、表面成像技术等）进一步挖掘光学光刻的潜力，浸没技术的发明有望将光学光刻技术延伸到 45 nm。下一代具有竞争力的替代技术主要有电子束光刻技术、13 nm 极紫外（EUV）光刻技术等。

电子束光刻技术具有极高的分辨率，其直写式曝光系统甚至可达到几个纳米的加工能力，但其主要局限是效率低。EUV 光刻技术采用 13.4 nm 极紫外光为光源，它是 Intel，Motorola 和 AMD 等公司联合投资支持的替代光学光刻技术之一。该系统采用了反散式投影光学系统，许多目前在光学光刻技术中采用的概念和技术均可以延伸到 EUV 技术中。本章将简要介绍：光学曝光技术、极紫外光刻（EUV）技术、电子束光刻技术、刻蚀技术和其他新型加工技术。

1　光学曝光技术

在主流微电子制造工艺中，光刻是最复杂和最关键的工艺。目前光刻占了整个集成电路制造成本的 1/3，技术的不断进步，其所占的比例还在上升。一个目前主流的硅 CMOS 工艺包括 15～20 块不同的掩模，对于某些 BiCMOS 工艺，甚至多达 28 块。通常工艺性能的评估要以印制特征线宽的能力来预测。

光学曝光技术大体上可分为接触式复印曝光技术、接近式复印曝光技术和投影成像曝光技术。接触式复印曝光技术、接近式复印曝光技术如同印象方式，把掩模图形复印到半导体基片上，实现图形转移，根据掩模版与基片间隙大小区分是接触式曝光或接近式曝光。投影成像曝光如同照相方式，它通过光学透镜等倍投影或缩小投影方式，把中间掩模版上的图形投影成像在基片上，主要有 1:1 投影成像和 4:1 投影成像分步重复曝光。

1.1　接触式曝光技术和接近式曝光技术

接触式复印曝光是传统的曝光方式，它将事先制好的掩模版直接和涂有光致抗蚀剂的半导体基片接触，通过抽真空方法调节接触压力，再用波长为 300～450 nm 的紫外光进行曝光。掩模版由玻璃或石英衬底构成，其上有作为吸收体的薄铬层图形。掩模版铬面朝下，放在显微镜物镜下的框架内，微调螺丝改变掩模和硅片的相对位置。当硅片和掩模对准后，将二者相互夹紧，显微镜物镜移开，硅片和掩模送入曝光台。曝光后，载片器回到观察台，取出圆片。

接触式曝光具有分辨率高、设备简单、操作方便、生产效率高和成本低等优点。其缺点是：因机械接触容易损伤掩模版，因而使用寿命短，多次使用严重影响芯片成品率。此外，由于光的衍射效应，进一步提高光刻分辨率和对准精度困难。

高压弧光灯是使用最多的光刻光源，大多数弧光灯包含汞蒸汽，在冷却状态，灯的压力接近一个大气压。为点燃弧光灯，在电极间加一个高压电脉冲电离气体。在灯中离化的气体非常热，灯泡内的压力可以达到 40 个大气压。典型的光刻弧光灯的电力消耗为 500～1 000 W，发射光功率约等于它的一半。

接近式复印曝光是让光掩模和基片之间保持距离很近（典型值为 5～50 μm），利用高度平行光束进行曝光。这种方式可以避免沾污和损伤，但衍射效应会使分辨率变坏。随着集成电路集成度的不断提高，特征线宽愈来愈小，当特征线宽减小到可与曝光所用的波长相比拟时，则光通过掩模窗口产生的衍射效应将成为提高光刻分辨率的主要限制因素，同时光在基片表面台阶上的散射及光在基片与掩模版间的多次反射，都将导致光致抗蚀剂上曝光图形吸收能量分布的横向扩展，而垂直反射光与入射光相干涉在抗蚀剂层内产生的驻波效应也将造成纵向曝光的不均匀性。为了提高光刻分辨率，在基片平整度和机械控制精度允许的条件下，应尽量保持小的间隙或减小曝光所用的波长。

1.2　光学投影成像曝光技术

发展投影光刻机是为了得到接触式光刻的高分辨率，而又避免接触式光刻机容易产生缺陷的弊端，目前的 IC 生产主要采用投影式光刻机。

光学投影成像曝光技术是用光学投影的方法将掩模版图形的影像（以等倍方式或缩小的方式）投影在半导体基片表面上，这时掩模版作为光学成像系统的物方，基片表面上的光致抗蚀剂层为像方。投影曝光可分为 1:1 透射式投影曝光方式、投影分步重复曝光方式。前者是将含有芯片图形阵列的掩模版的整个版面，通过不同的投影成像方式，等倍的复制到基片上，实现非接触式投影复印曝光。而后者是将只含一个或若干个芯片图形的中间掩模版，通过光学透镜投影到基片上，然后再分步重复成芯片阵列，实现在整个半导体基片上的曝光。由于投影成像曝光是把掩模图形的像直接投影在光致抗蚀剂层上，有效地克服了光衍射效应的影响，提高了光刻分辨率与对准精度。此外，因为是非接触式曝光，延长了掩模版的使用寿命，有利于控制缺陷密度，从而提高芯片的成品率。图 3.2-1 为光学投影分布重复曝光机的示意图，掩模版放在聚光透镜和物镜之间，物镜的目的是重新聚焦射向圆片的光，在某些情况下，来自聚焦透镜的光并不是平行准直的，而是聚焦于透影物镜平面上。系统的分辨率和数值孔径（NA）以及波长的关系，一般定义为：

$$W_{min} = k\lambda / NA$$

而其中，NA 可以表示为：

$$NA = n \sin(\alpha)$$

式中，α 是物镜接收角的一半，n 是物镜与片子之间媒介的折射率。在光学对准机中，曝光在空气中进行，$n = 1.0$。NA 的典型值范围是 0.16～0.8。透镜系统的质量对投影曝光

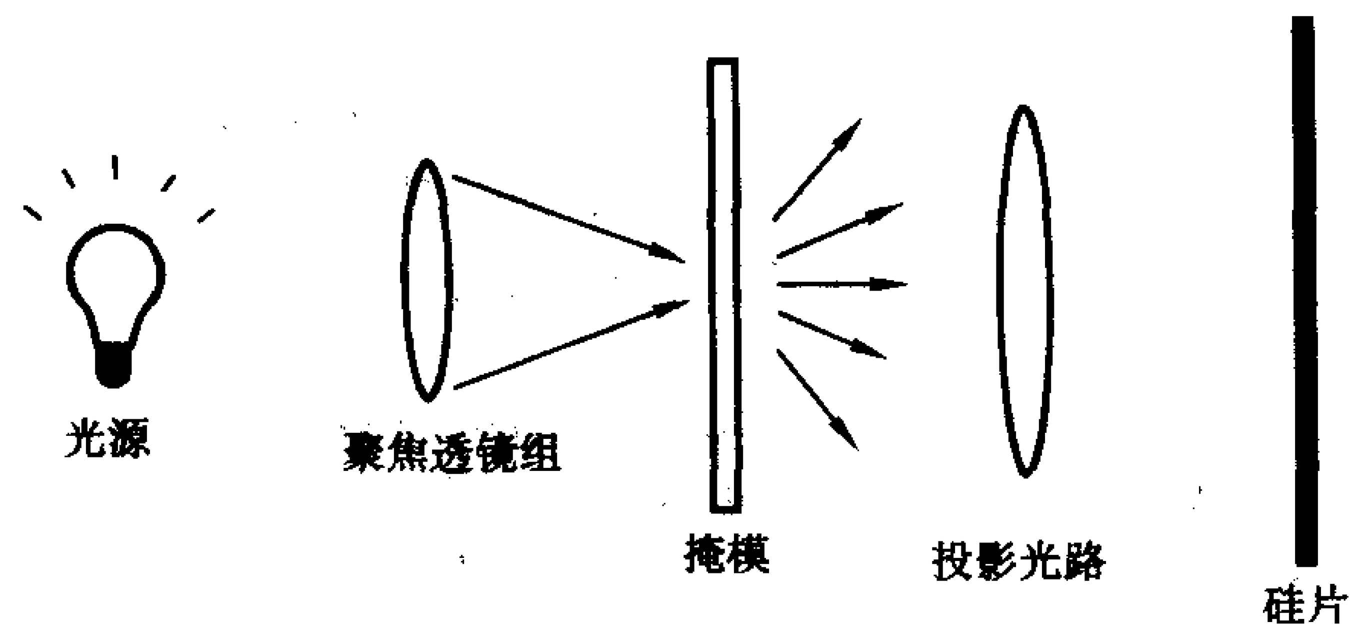


图 3.2-1　光学投影分布重复曝光机的示意图

机的分辨率影响很大，如透镜的缺陷、色差或畸变等。目前工业界使用的投影曝光机，k 是一个工艺常数，和工艺过程密切相关，早期的 k 因子为0.8～0.9，目前的 k 因子可以降低到0.3，进一步降低 k 因子将使得工艺窗口太小。因此为提高投影曝光机的分辨率，主要有两个途径，提高 NA 或缩小曝光波长。

光学投影曝光系统是目前半导体生产中广泛采用的技术，它由高能量均匀性的照明系统、高分辨率的缩小透镜、高精度的工件台定位系统、自动调焦系统和精密的自动对准系统组成。由于采用像面分割原理，以能覆盖最大芯片面积的单次曝光区为最小成像单元，然后再进行分步重复曝光，它已成为超大规模集成电路及特大规模集成电路生产与研制中必不可少的设备。为不断提高其分辨率，需要进一步采用短波长光源、研制对深紫外区透射率高且数值孔径大的光学透镜、开发能适应镜头景深变浅的器件表面平坦化技术、可减少表面反射光影响的多层光刻胶技术及移相掩模技术等。目前以248 nm的氟化氪激态复合物激光（即KrF准分子激光器）为光源的光学投影曝光系统设备，其分辨率可以达到0.18～0.13 μm。光学投影曝光系统采用高精度的双频激光干涉仪来实现工件台的精密控制，并采用离轴对准和逐场对准相结合的自动对准方式及暗场对准技术，可弥补硅片热加工变形产生的影响，实现优于0.1 μm米的套刻精度，为自动化生产及减少中间环节污染创造了有利条件。

为了保证光学投影曝光系统所用的中间掩模版无后继污染问题，20世纪80年代初，美国摩托罗拉（Motorola）公司一位技术人员首先提出，采用中间掩模版正反面上加贴保护膜的技术。保护膜是硝化纤维膜（实用于350～450 nm波长）或纤维醋酸膜（实用于280～350 nm波长）。使用专用的保护膜安装台，将它粘贴在中间掩模版的正面或反面上，用以把后继尘埃微粒的污染阻挡在掩模版图形平面一定距离之外，致使尘埃微粒对光的摭挡作用减少，不在抗蚀剂上形成缺陷（尘埃像）。由于保护膜的作用，大大减少了尘埃微粒对中间掩模版的污染，非常有效地提高了集成电路的成品率，在VLSI及ULSI生产中发挥了很重要的作用。保护膜技术已发展成为光学投影曝光系统光刻工艺中不可缺少的技术。

1.3 193 nm光刻技术

193 nm光刻机采用193 nm波长准分子激光器为光源，照明和缩小投影物镜光学系统为反射式光学系统，为了减小透镜材料对光源的吸收，需要采用超纯熔石英材料制作光学系统。

掩模上的芯片图形通过光学系统以4:1的比例缩小投影在硅片的光刻胶表面，通过硅片台的扫描步进运动逐场曝光，完成硅片上各芯片的成像。随着光刻分辨率的日益提高，满足整场曝光高 NA 系数、高均匀性等技术指标的大面积光学镜片已很难加工，为此，将成像区域缩小为窄条形，在一个场内掩模台和硅片台进行同步反向扫描运动，从而实现一个芯片图形的曝光。在步进和扫描运动过程中，工件台需对掩模和硅片进行精确对准，并实时对硅片进行调焦、调平的测量和控制，以保证成像的质量和套刻精度。

为了使193 nm光刻机满足100 nm光刻分辨率要求，除了采取一系列分辨率增强掩模技术（移相掩模、光学邻近效应校正掩模等）外，对光刻机本身也有着前所未有的高性能指标要求。

在光学系统方面，为了实现较高的数值孔径 NA 和光的均匀性，照明和投影系统镜头的加工要求达到极高的面形精度和表面粗糙度；在工件台方面，为了保证套刻精度和生产效率，硅片台要求实现300 mm×300 mm以上、行程200 mm/s的运动速度和0.5 g的加速度，并同时满足10 nm的定位精度，以及其他四个方向实时快速精密调焦、调平和对准运动，掩模台则要求实现130 mm行程、800 mm/s速度、2 g加速度以上的精密运动定位，同时要求硅片台和掩模台以小于10 nm误差的精度进行同步运动，必须有极其复杂的超精密机构、测量和控制系统；对环境等其他系统同样也有着极高的要求。

193 nm准分子激光扫描步进投影光刻机由光刻物镜、掩模-硅片同步扫描系统、掩模-硅片同轴对准系统、五轴激光工件台定位系统、逐场调平调焦系统、高均匀高强度深紫外照明系统、硅片自动传输及硅片预对准系统、掩模传输及掩模预对准系统、整机机架及减振系统等组成，下面对其主要单元进行介绍。

1.3.1 光刻物镜

对于193 nm的波长，光刻物镜要实现大的数值孔径和曝光面积，一次成像分步曝光难以实现，即使可能其高昂的代价（成本、技术难度）也是无法忍受的，必须采用一维甚至二维硅片-掩模同步扫描技术；同时要实现工艺系数 k_1 小于0.4，因此必须采用移相掩模、离轴照明等分辨力增强技术。对于193 nm（ArF）波长，透过率物镜的侯选材料有 LiF、MgF_2、CaF_2 和高纯度熔石英，综合考虑透过率、加工性、成本，高纯度熔石英应为首选材料。图3.2-2为193 nm光刻物镜结构简图。

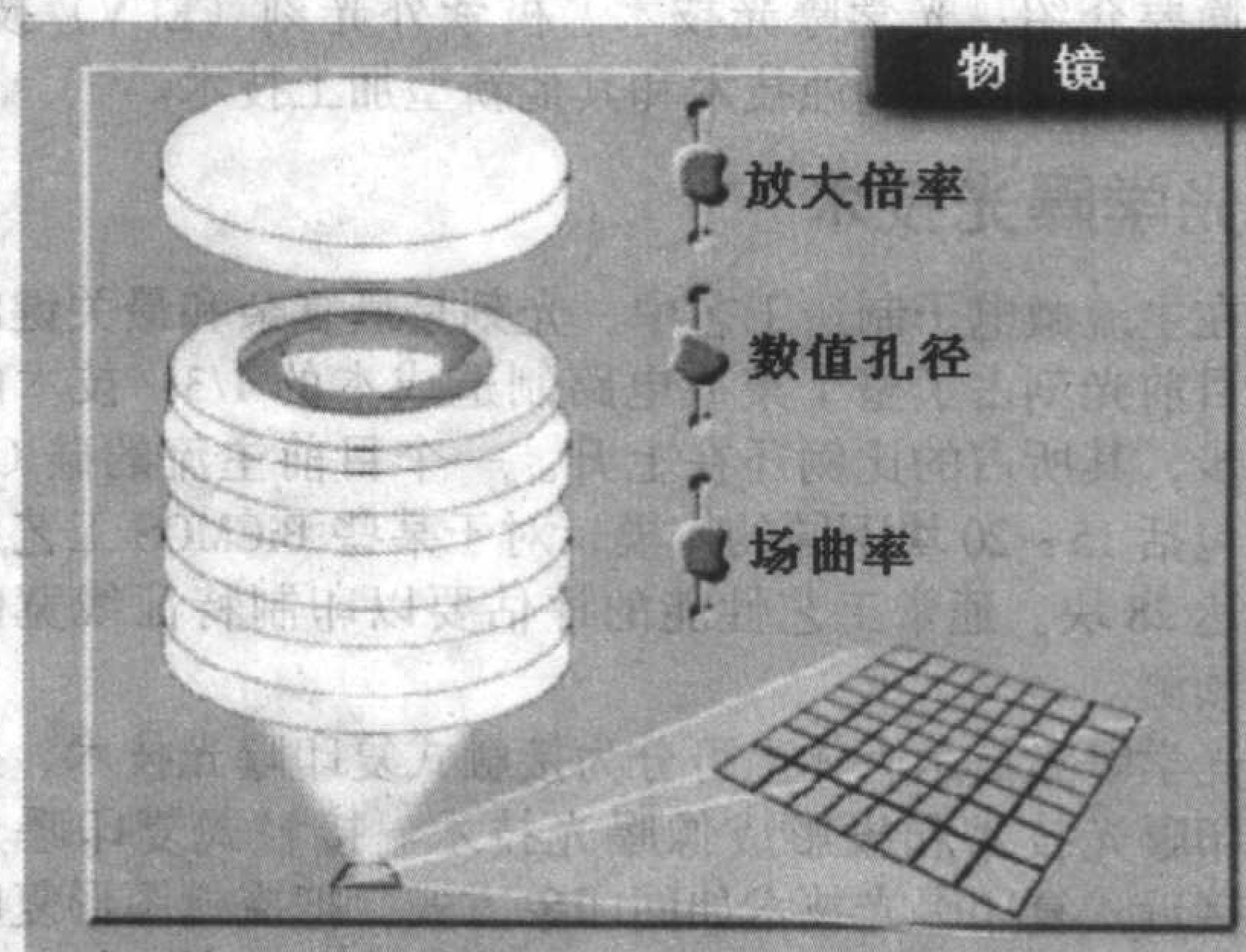


图3.2-2 193 nm光刻物镜结构简图

1.3.2 工件台系统

硅片工件台的主要功能是实现掩模-硅片同步扫描、步进曝光、对准扫描、协助硅片上下片等。

高分辨率、高套刻精度和高生产效率是光刻机的三个重要指标，高分辨率要求高套刻精度（通常套刻精度应小于分辨率的1/3～1/5），工件台的定位精度是影响套刻精度的主要因素之一。影响生产效率的主要因素有：曝光场面积、照明光强、光学材料透过率、工件台运动速度和加速度、硅片传输及预对准效率、对准效率等，其中工件台的运动速度和加速度也是重要影响因素。另外，硅片的大尺寸化是投影光刻机的另一发展趋势，这要求工件台有更大的运动行程。

针对光刻机的这些要求，工件台必须采用压力-真空平衡型气浮导轨结构，为了保证工件台有很高的抗翻转刚度，同时又要保证工件台体积不能太大、质量较轻，应采用主副气浮轴承结构，即气浮系统由主气足（air－foot）和副气足（air－toe）组成。工件台的激光干涉测量系统应有六轴，其中五轴（X_1、X_2、X_3、Y_1、Y_2）为测量轴，用于测量工件台的 X 坐标值［（$X_1+X_2+X_3$）/3］和 Y 坐标值［（Y_1+Y_2）/2］，并校正运动偏摆（ϕ_X、ϕ_Y、ϕ_Z）。激光干涉测量系统的另一轴为基准轴，用于校正另外五轴的长度计量误差，该轴的反射镜不运动，并且和激光器固定在同一块几乎为零膨胀的基座上。

采用轻型的SiC、超硬铝或钛合金做工件台的主体材料，以减小运动惯性。激光干涉仪的分辨率应达到$\lambda/256$（波长$\lambda=632.8$ nm）。

工件台的运动由三个长行程直线电机（300 mm）X_1、Y_1、Y_2和一个短行程直线电机（35 mm）X_2执行。长行程电机实现步进曝光、扫描对准、硅片上下片，短行程电机实现掩模－硅片同步扫描，各电机的运动分辨率都应高于5 nm。

为了实现高的同步扫描精度，掩模台也必须采用五轴激光干涉测量，以实时修正扫描时产生的运动偏摆。同时还必须实时校正工件台和掩模台两套激光干涉测量系统的当量差。此外，扫描运动还必须匀速且速度要与曝光时间相匹配，否则会造成曝光剂量不均、曝光不足或曝光过量。硅片台的运动速度为100 mm/s，对于4倍物镜，掩模台扫描运动速度要超过400 mm/s。

由于掩模台要求很高的扫描和重复定位精度，同时要求非常高的扫描速度，并要求扫描匀速，掩模扫描台也应采用真空-压力平衡式气浮导轨，也由直线电机来驱动。

1.3.3 逐场调平调焦系统

按照$DOF=k_2\lambda/NA^2$，考虑到采用波前工程技术，k_2取0.7，焦深也只有0.36 μm，必须采用逐场调平技术，所谓逐场调平技术（field－by－field leveling）是针对每一个曝光场进行调平调焦，其调平是针对曝光场局部小区域的倾斜，其调焦是针对整个曝光场内多个点进行平均调焦，这样必将大大提高调平调焦精度，从而能有效地利用有限焦深。

1.4 光掩模制造技术

掩模是传递图形的母版，硅片上图形质量如线宽控制、套准精度和缺陷密度等都和掩模的质量密切相关，掩模是光刻工艺中的关键。当曝光设备选择光学投影曝光系统时，掩模上的缺陷和偏差对硅片上图形的质量影响很大。如果掩模上有四个芯片图形，其中的一个芯片图形有缺陷，将导致硅片的成品率降低25%。正是因为掩模质量对成品率有很大的影响，控制掩模质量是提高成品率的关键。掩模的制备过程和硅片相似。掩模白板通常是在玻璃或石英衬底（透光部分）上涂上铬（不透光部分），铬上涂有抗蚀剂。

1.4.1 掩模白板

对目前主流的光学投影曝光系统，掩模大多为152.4 mm（6 in）（厚度6.35 mm（0.25 in））。由于熔石英的热稳定性能很好，其线胀系数只有0.5×10^{-6}/℃，常规玻璃的线胀系数是（4～100）$\times10^{-6}$/℃，掩模写图形过程引起的温度变化不会造成大的图形偏差。在100 mm的范围内，0.1℃的温度变化将引起5 nm套刻误差。同时熔石英对DUV波段的光有非常好的透过性。尽管熔石英的导电性比较差和静电损伤等问题，但其良好的力学性能和热稳定性及对DUV波段光的非常好的透过性使得熔石英依然是掩模白板的首选材料。由于光学透镜的焦深有限，因此对掩模基版的平整度提出了严格的要求，这也是掩模版成本高的一个重要原因。

表3.2-1 铬的光学常数

波长/nm	折射系数	铬与玻璃界面的反射率 R	通过60 nm厚的铬薄膜的投射率 T	$(1-R)\times T\times100\%$
436	1.79～i4.05	0.60	0.000 9	0.036
365	1.39～i3.24	0.56	0.001 2	0.055
248	0.85～i2.01	0.47	0.002 2	0.119
193	0.84～i1.65	0.38	0.001 6	0.098
157	0.68～i1.11	0.32	0.004 8	0.310

铬是目前最普遍采用的遮光材料，铬一般采用溅射的方法镀在玻璃衬底上，其厚度在50～110 nm之间。铬的光学常数见表3.2-1，由表3.2-1可知铬薄膜在其典型厚度范围内有非常好的遮光性。

1.4.2 制版设备

掩模的制造过程就是将电路设计的逻辑图形转移到掩模版上的物理图形，光学图形发生器是第一个可以自动制造掩模图形的设备。光学图形发生器的工作原理是首先将电路设计的逻辑图形划分成正方形格栅，根据设计的图形选择曝光或不曝光这些正方形。在曝光过程中光源的位置保持不变，通过移动激光干涉仪控制的工件台实现曝光整个掩模。通常，光学图形发生器制作一个10倍的原版，再由精缩机将原版缩小10倍制成最终的工作版。随着集成电路特征尺寸的不断缩小和单个图形面积的不断增大，光学图形发生器已经难以满足要求，电子束制版设备成为更有力的竞争者。

电子束制版设备目前已经是主流的制版工具，关于电子束设备的基本结构和工作原理，详细见本章电子束曝光技术一节。

光学的光栅扫描系统也是目前制版的主要设备。其中以ETEC公司生产的ALTA系列设备最为成功，光源由激光器产生，早期的ALTA产品采用氩离子激光器，它的工作波长是364 nm。为提高分辨率，利用514 nm激光器的二次谐波可以产生257 nm波长的光源。激光光源通过一个调制的光学系统和分束器，在ALTA3500系统，可产生32束不同的光束；通过声光调制器，可以控制每一束光的强度为16个级别。这样具有不同强度的光束通过一个缩小透镜，由于光的强度有多个灰度变化，对保证图形的边缘很有利。ALTA3500采用33.3的缩小透镜，其数值孔径为0.8，可以在掩模版上曝光的最小图形为500 nm；假定采用4:1的投影曝光机，在芯片上的最小图形为125 nm。掩模台是一个激光干涉仪控制的工件台，为确保不同层掩模版的套刻精度，对准装置必不可少。激光制版设备的优点是由于采用32束不同的光束，使得生产效率大大提高，同时由于采用很小的地址格栅（最小可以达到5 nm），保证了图形的边缘精度。光学抗蚀剂的种类和性能都比电子束优越，激光制版设备可以使用常规的光学抗蚀剂，使得光学制版设备具有更大的灵活性和更经济。

1.4.3 掩模缺陷

按照2002年版ISA路线图中缺陷的有关规定，对于2003年应达到的100 nm节点，掩模缺陷应满足如下条件：

1）4X的光学掩模应满足最小缺陷尺寸为80 nm（即硅片上的最小缺陷为20 nm）。

2）衰减式PSM透过率的平均偏差为±5%，透过率均匀性为±4%，相位平均偏差为±3°。

3）交替式PSM相位的平均偏差为±2°，相位均匀性为±2°。

表3.2-2是普通光学掩模缺陷的分类表。在掩模制造的整个工艺过程中，造成掩模缺陷的因素很多，如空气中灰尘的沾污，清洗中溶液的污染，以及由于胶膜的脱落，和脱落后的胶膜碎片又重新附着到掩模或原版的表面上等，都会在掩模上留下缺陷。对于掩模上的软缺陷，如颗粒、沾污、残余物、污染物等，一般采用清洗的方法解决。清洗一般采用SPM溶液（硫酸＋过氧化氢）或SC－1溶液（水＋过氧化氢＋氢氧化铵）。实现零缺陷是不可能的，但是对环境的严格控制可以有效地减少缺陷。在掩模制造工艺中，环境控制应包括：

1）空气过滤；

2）湿度的控制；

表 3.2-2 普通光学掩模缺陷的分类

图形缺陷	随机缺陷	透明缺陷	针孔、缺口、凸起、断线
		不透明缺陷	小岛、毛刺、凹陷、连线
	误差	拼接误差	拼接缝、搭接头、拼接错位
		线宽误差	正负偏差
	图形错误	图形曝光错误	错位、丢失、增多
		图形设计错误	错位、丢失、增多
	成像质量	邻近效应	断头、内角、外角、边缘、狭缝、细线
		不均匀性	光源不均匀、显影不均匀、材料不均匀
污染损伤缺陷	污染	随机污染	尘埃、纤维
		人为沾污	手印、油迹、吐沫
		化学污染	结晶、沉淀
		清洗污染	水迹、水碱
		残胶污染	胶粒、胶膜
	材料缺陷	铬膜缺陷	损伤、鼠齿
		胶膜缺陷	损伤、脱膜
		基片缺陷	损失、气泡
	灰雾	铬版灰雾	杂质雾、显影不足、显影剂疲劳
		干版灰雾	杂散光、光晕、化学污染、过期、反转雾

3）化学试剂、气体和其他可过滤材料的亚微米过滤；

4）抗静电装置；

5）穿戴净化服，建立卫生制度，以及采用传统流水方式，对操作人员的灰尘进行控制；

6）对主要的环境参数（尘粒数、温湿度、风速）不断地进行监控。

掩模缺陷的检查主要有两种方法，一种称为相邻图形比较法，另一种称为图形与数据比较法。相邻图形比较法是同时将两相邻芯片图形转换成视频信号来进行比较，当视频信号不同时，可判断两者中必有一者存在缺陷，再把其中的任一个与第三个芯片图形进行比较，来确定哪个芯片图形存在缺陷。该方法的特点：可进行高速测定，缺陷大小也可进行选择，还能输出缺陷的坐标位置，因此检查后便于进行修正。其缺点是不能检查芯片图形上的重复缺陷。

图形与数据比较法也称绝对值比较法，它是对被检测掩模上的图形进行光电扫描，将所得到的全部图形信息与磁带上版图设计数据逐点进行比较，找出差异来判别缺陷。这种方法可检测图形缺陷的形状、位置、尺寸、包括在版图设计数据中多余的或遗漏的部分图形等。它不仅适用于大面积原版的缺陷检查，也适用于母版缺陷的检查，是一种比较理想的方法。

2 电子束曝光技术

电子束加工技术是近30年来发展起来的一门新兴技术，它集电子光学、精密机械、超高真空、计算机自动控制等近代高新技术于一体，是推动微电子技术和微细加工技术进一步发展的关键技术之一。电子束曝光技术广泛地应用于高精度掩模、移相掩模及X射线掩模制造；新一代集成电路的研制及ASIC的开发；新器件、新结构的研究与加工等方面，电子束曝光也是研究新一代量子效应器件的有力工具。

2.1 电子束曝光系统概述

电子束光刻技术是在扫描电镜技术的基础上发展起来的。20世纪80年代以前，人们主要进行电子束曝光方式的研究，80年代后则主要进行高速、高精度电子束光刻的研究。电子束光刻不受衍射现象限制，随着高质量的电子源和电子光学系统的研制，分辨率极限越来越细。目前能将电子束聚焦成尺寸小于2 nm的束斑，而高能入射电子在光刻胶和衬底的散射引起的邻近效应使曝光图形模糊，又成为影响光刻分辨率的重要因素。因而电子束光刻的分辨率极限将主要由邻近效应、光刻胶的分辨率极限和光刻工艺精度决定。目前电子束曝光系统主要有以下几类。

2.1.1 直写电子束曝光系统

60年代初随着半导体平面工艺的发展，人们开始用扫描电子显微镜进行微细图形曝光的尝试。1964年剑桥大学A.N.Broers在第六届国际三束会议上发表了用电子束曝光出1 nm图形的微细加工技术，随后剑桥大学研制成功了点扫描电子束装置。到了70年代，法国汤姆逊公司研制了配备有激光干涉仪定位的电子束曝光装置，定位精度达0.1 μm、最细线宽0.3 μm，这是世界上第一台技术比较完善的电子束扫描曝光设备。此后，直写式电子束曝光系统得到了迅速发展，表3.2-3是几种典型直写电子束曝光系统的比较。

表 3.2-3 几种典型直写电子束曝光系统的比较，灯丝用TFE阴极

项目	JEOL公司	Leica公司	Leica公司
型号	JBX－6000FS	Vector Beam	LION－LV1
最小束斑/nm	5	8	5
对准	自动	自动	自动
场	80，800	可变	可变
速度/MHz	12	25	2.6
控制机	VAX VMS	VAX VMS	PC兼容机
加速电压/kV	25，50，100	10～100	1～20

直写电子束曝光系统通常有两种扫描方式，一种是光栅扫描系统，采用高速扫描方式对整个图形场进行扫描，利用快速束闸，实行选择性曝光。另一种方式是矢量扫描方式，只对需曝光的图形进行扫描，没有图形部分快速移动。曝光时，首先将图形分割成场，台面在场间移动。每一个场再分割成子场。商用系统中，束偏转分成两部分：先由16位DAC将电子束偏转到某子场边缘，再由快速12位DAC在子场内偏转电子束扫描曝光。该系统最大特点是采用高精度激光控制台面，该类型设备的电子枪一般采用 LaB_6 和热场致发射（TFT）高亮度长寿命阴极，分辨率可达几纳米。

2.1.2 制版电子束曝光系统

目前有多家公司的多种电子束曝光机分享着掩模制造市场，BELL实验室研制的电子束曝光系统（EBES）是早期制版电子束设备的雏形，在这项技术的基础上，美国的ETEC公司在市场上取得了巨大的成功。MEBES采用光栅扫描，其电子光路系统是将电子显微镜的电子光柱系统进行了改造。ETEC公司生产的掩模制作电子束系统有MEBESII－IV，MEBES4500和MEBES5500系列产品。

在制版设备中，除了光栅扫描系统外，采用矢量扫描的系统也取得了很大的成功。制版的矢量扫描电子束系统通常采用变形束斑，图3.2-3给出了成型束系统的光路原理图，曝光前将图形分割成矩形和三角形，通过上下两直角光栏的约束形成矩形束，上光栏像通过束偏转投射到下光栏来改变矩形束的长和

宽。成型束的最小分辨率一般大于 100 nm，但曝光效率高，目前仍广泛用于微米、亚微米及深亚微米的曝光领域。可变成型束机是在固定方形束机的基础上发展起来的，它标志着电子束曝光方式由点曝光过渡到面曝光，使电子束一次就能对较大面积曝光，从而曝光速度快，生产效率高。

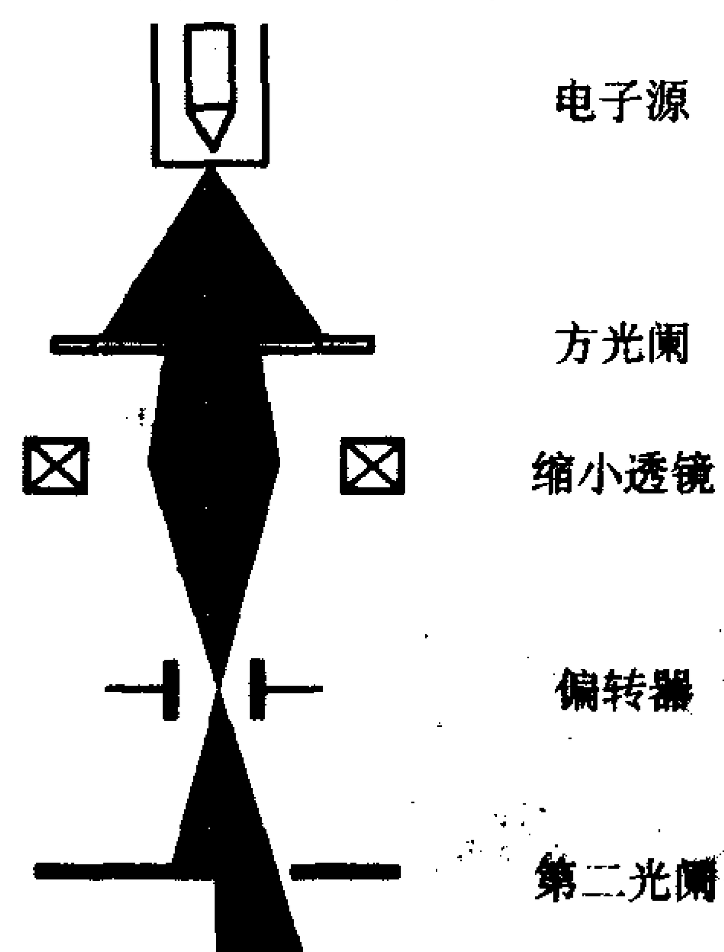


图 3.2-3 成型束系统的光路原理图

2.2 电子束曝光系统的基本结构

为了满足不同的需要，研制了不同的电子束曝光系统。从扫描方式上可以分为矢量和光栅扫描；从束斑形状可分为圆型束斑和成形束斑，但其曝光原理基本相同。本节将以矢量扫描的圆形电子束曝光系统 JBX－5000LS 为例来解释电子束曝光系统的基本结构。

JBX－5000LS 电子束曝光机的图形书写采用矢量扫描方式，其基本曝光图形有：矩形、多边形，每个芯片的图形以栅格结构划分，这样的每个栅格称为一个场，再把每个场划分为子场进行扫描曝光。

一般电子束曝光系统由电子枪、电子光柱系统、控制系统、工件台和真空系统构成，见图 3.2-4。

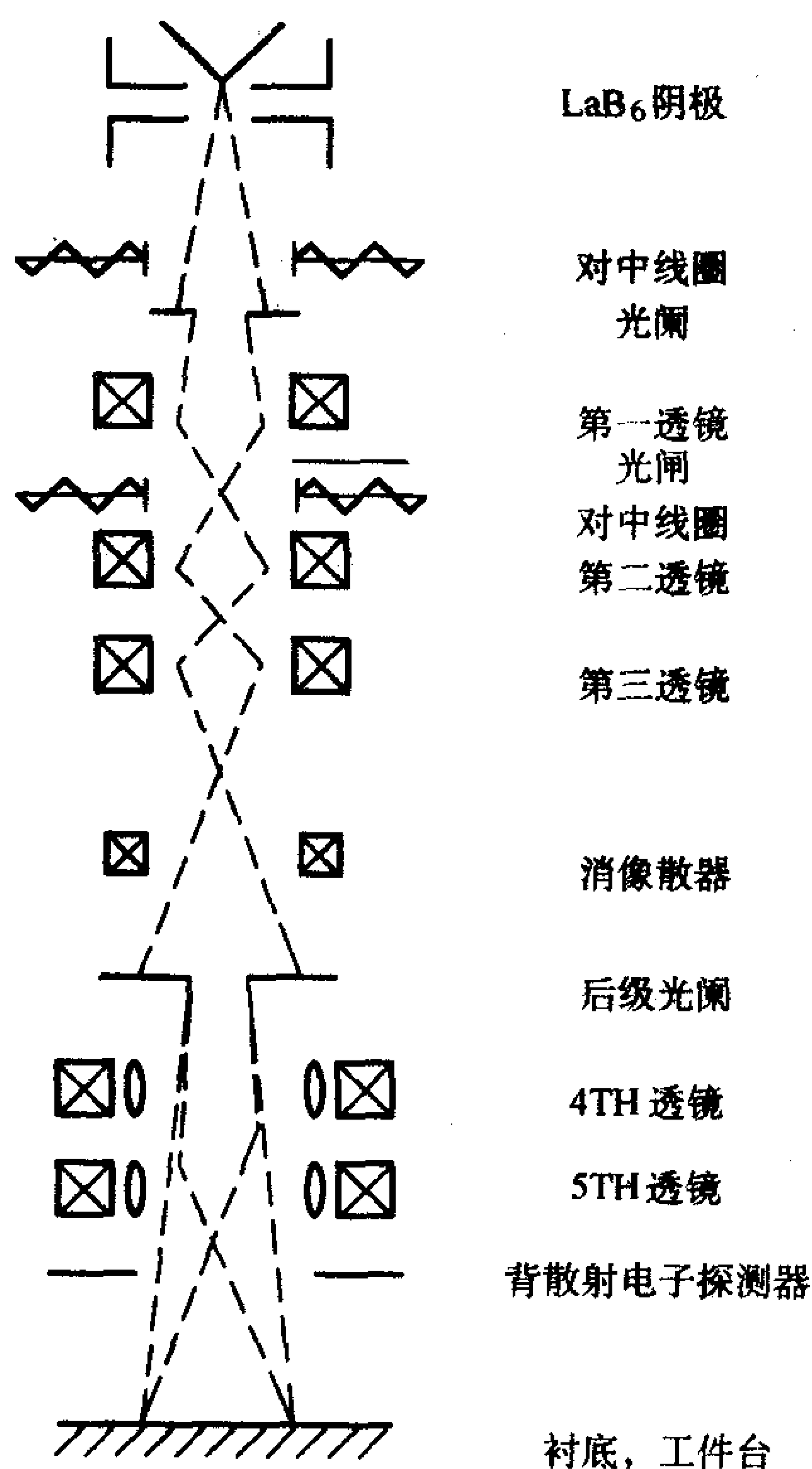


图 3.2-4 JBX－5000LS 光路原理图

2.2.1 电子枪

电子枪由电子阴极和阳极组成，通常，电子阴极有很多种，早期主要采用钨丝作为阴极，其后出现了 LaB_6 晶体，现在被广泛使用的是场发射阴极。衡量一个阴极的好坏有两点很重要，一是阴极针尖要足够细，二是要有很高的电流密度。

2.2.2 控制系统

电子光学系统（Electron Optical System，EOS）模式是该设备的一种操作方式，由加速电压（25 kV/50 kV）、物镜（4 th/5 th）及束流（大/小）确定。该系统有 8 个 EOS 模式，每一个 EOS 模式提供（0～9）共 10 个 EOS 表。书写图形的条件如物镜电流、对中线圈电流等可存入表中，共有 80 个图形书写条件可存于磁盘中。书写条件由调试程序（calibration program）设定，图形书写时可按在 EOS 模式和表中指定条件执行。该系统还有一特点，通过选择不同的 EOS 模式和表，曝光过程中可以改变物镜和束斑尺寸（即束流）。

2.2.3 电子光学系统

透镜系统由一个聚焦透镜（一级透镜）、两个中间透镜（二级透镜）和物镜（第四或第五透镜）组成。从电子枪射出的电子束由第一透镜聚焦在束闸上，再由二、三级透镜进一步聚焦。根据曝光图形特征线宽的不同，用户可以选择用第四或第五透镜。通常第四透镜用于曝光亚微米级图形，第五透镜用于曝光纳米级图形。为确保图形束斑为一个圆形，该系统还配备了消像散线圈和对中线圈。

2.2.4 机械系统

工作台部分：工作台部分的移动由两个步进电机驱动，它的移动速度可达 9 mm/s。

激光控制部分（LBC）：由分辨率为 0.62 nm 的激光干涉仪测量工件台移动的精确位置。为了精确控制工件台相对束斑的位置，首先确定激光测出的工件台的位置与实际值之差，再将此值反馈到束偏转系统。若把工件台移动到 A'，而曝光图形位于 A 点，激光测量系统测出两者的差值，通过信号处理系统将该值转换成差分电压，经过放大送入偏转放大器，偏转后使得实际书写在位置 A，A、A'两点之差在 ± 10 nm 之内。

3.2.5 真空系统

真空系统由两个机械泵、一个分子泵及两个离子泵组成。两个机械泵进行预抽，两个离子泵分别将电子枪和反应室抽至高真空，一般真空要达到 133.322×10^{-6} Pa（1×10^{-6} torr）以上。分子泵主要负责交换室的真空。各个泵之间的切换及阀门的开关都有自动和手动两种操作方式。系统正常工作时，选择自动工作状态。

2.3 电子散射与邻近效应

3.3.1 电子散射

电子束曝光是利用高能电子与抗蚀剂分子之间发生碰撞，抗蚀剂分子发生裂解等物理反应，导致抗蚀剂性质发生变化，使得抗蚀剂可以（正胶）或不能（负胶）被显影液所溶解。

根据电子散射的结果不同，将电子散射分为两类，前散射与背散射。前散射发生时，散射后的电子与原入射方向所成的角度小于 90°，而背散射电子则大于 90°，如图 3.2-5 所示。由于抗蚀剂分子是有机聚合物，其组成均为 C、H、O 等原子质量小的物质，而且原子直径较小。当入射电子与抗蚀剂分子发生作用时，碰撞基本为前散射碰撞，会使得电子束束斑尺寸变大。而涂覆抗蚀剂的衬底材料多为 Si、Ga、As 等原子质量大的物质，原子直径较大，当入射电子进入衬底材料时，所发生的作用多为背散射。当入射电子能量较高

时，电子经过多次散射甚至会溢出衬底表面，重新进入抗蚀剂层中。一般情况下，对于高能电子束，前散射的范围一般在百纳米数量级，而背散射则在微米数量级，甚至达到十几微米。

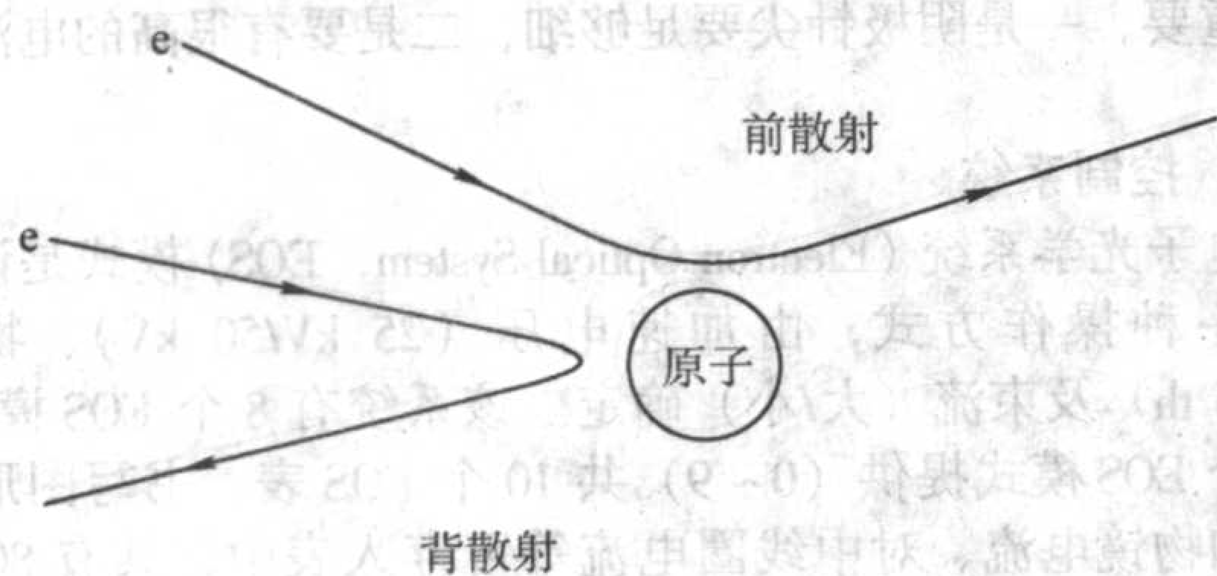


图 3.2-5 前散射与背散射

2.3.2 邻近效应

电子在抗蚀剂层中发生散射作用可以认为是抗蚀剂层吸收电子散射转移能量的过程。由于电子散射会导致电子的运动方向发生偏离，散射后的电子会超出原有的束斑尺寸范围，对邻近的非曝光区域发生曝光。当显影后，曝光图形尺寸出现偏差，同时抗蚀剂层轮廓的侧壁陡直度下降。这种由电子散射引起的抗蚀剂层能量吸收不均匀，称之为邻近效应。

1974 年，T.H.P.Chang 首次在第六届国际双束会议上提出邻近效应的概念，并初步讨论了解决邻近效应的方法。

邻近效应根据其产生的机理与后果的不同分为“内邻近效应”（intraproximity effect）与“互邻近效应”（interproximity effect）。

由于电子散射对抗蚀剂层产生的影响范围很大，可以达到几个微米，甚至十几个微米的范围。所以在对大面积图形曝光时，若该图形的尺寸远大于电子散射范围，则在该图形中间部分抗蚀剂吸收的能量是恒定的。因为该位置的电子散射所造成的能量损失可以从周围曝光区域的电子散射得到补偿。但是在该图形的边界处，由于电子散射损失的能量得不到足够补偿而产生曝光不足。这一现象在顶角处尤为明显。这种现象称之为内临近效应。如图 3.2-6 所示，大面积曝光图形的顶角处由于内邻近效应的作用，设计为方角的图形显影后成为圆弧。

类似的，由于电子散射会部分的发生在周围的非曝光区域，使得非曝光区域中抗蚀剂发生一定的曝光。当曝光达到一定程度时，该区域即可被显影，使得曝光区域尺寸增大，发生偏移。如图 3.2-6 所示，两个相邻的图形之间由于电子散射的原因沉积了一定的能量，当这种电子散射影响足够大时，两图形间变得不可分辨，意味着曝光区域被扩大。

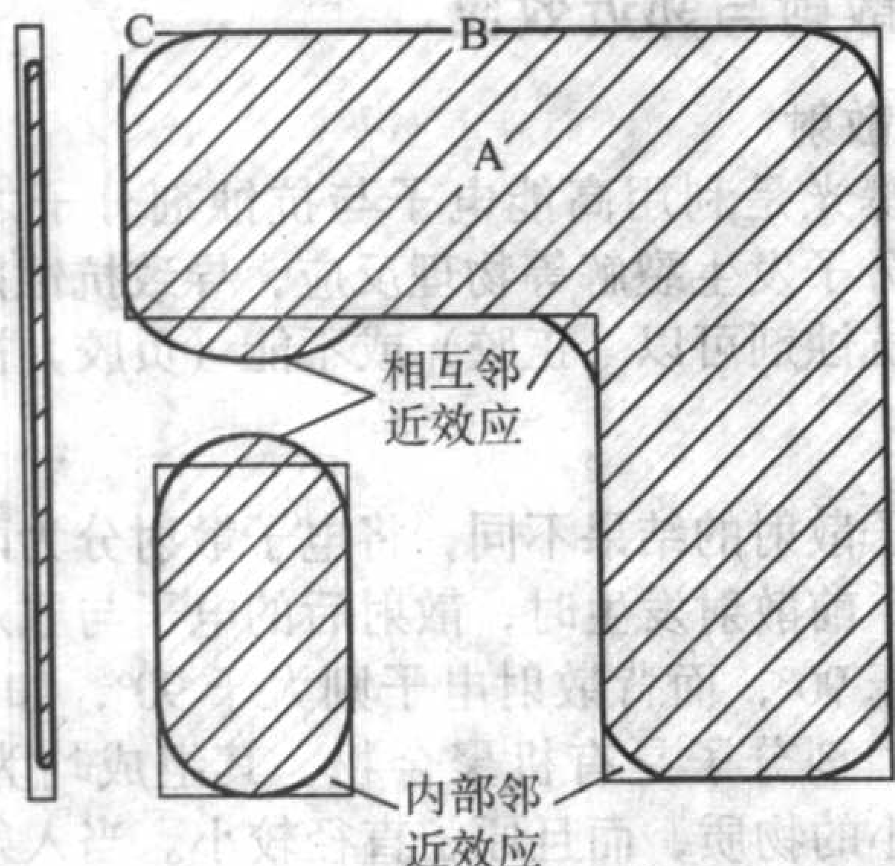


图 3.2-6 邻近效应

当制作亚微米以下的图形时，图形的精度要求已经达到邻近效应所覆盖的范围，必须进行邻近效应修正。

2.3.3 邻近效应校正

邻近效应校正的方法一般有两种，几何尺寸校正和剂量校正。几何尺寸校正是指，对设计好的图形在会出现邻近效应的位置，通过改变该处和周围图形的几何尺寸的办法，来补偿邻近效应带来的能量损失或富余。如图 3.2-7 所示，设计图形为两个距离很近的方块，为了补偿邻近效应，两方块相邻的边设计为凹陷的，以补偿互邻近效应，将各个方块的顶角设计凸起，以补偿内邻近效应。如果不采取校正措施，曝光显影后的图形将如图 3.2-7 所示，两方块相邻两边向外凸起，而各个顶角均为圆角。



图 3.2-7 几何尺寸校正

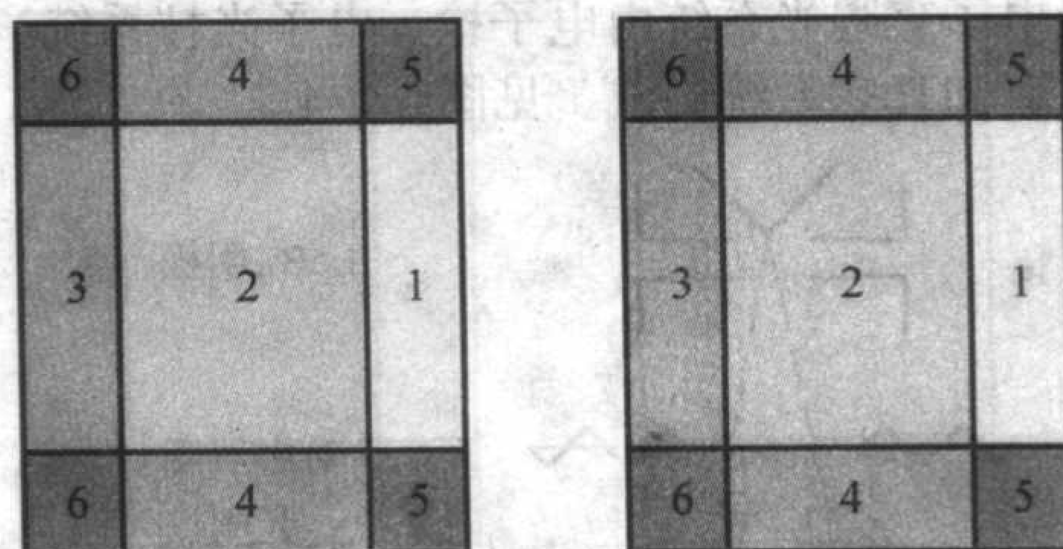


图 3.2-8 剂量校正

剂量校正是指，设计图形的几何尺寸不变，将整个图形分成若干个区域，对各个区域采用不同的剂量进行曝光，通过不同位置曝光剂量的变化来补偿邻近效应带来的影响。如图 3.2-8 示，设计图形为两个相邻的方块，每个方块被分割为 9 个大小不等的方块。我们将这些方块编号，具有相同剂量的方块采用相同的编号，由 1 至 6 剂量依次递增。方块 1 采用最低的剂量，以补偿两大方块之间的互邻近效应。方块 2 由于是各自所在方块的中心，但不需考虑互邻近效应。方块 3 需要考虑内邻近效应，而方块 4 位置相对更靠近另一个大方块，所以剂量更高些。方块 5 不仅要考虑互邻近效应同时也要考虑自身的内邻近效应。方块 6 只需考虑内邻近效应，并且与另一大方块距离最远。

无论采用几何尺寸校正，或者剂量校正，都必须建立在有效可靠的校正依据上，都必须能够在曝光平面内量化描述抗蚀剂层的曝光程度。通过对抗蚀剂层曝光程度的量化分析，采用计算机运算对曝光图形进行处理，才能有效的进行邻近效应校正。

2.4 电子束曝光技术的最新进展

2.4.1 散射角限制的投影电子束曝光技术

散射角限制的投影电子束曝光（Scattering with Angular Limitation in Projection Electron – Beam Lithography，SCALPEL）技术将电子束的高分辨率和光学投影曝光系统的高效率相结合，使电子束曝光系统展现出光明的前景。SCALPEL 系统具有和光学光刻可以比拟的产率，且其加工能力优于 0.08 μm。图 3.2-9 是 SCALPEL 的工作原理。

电子束投影曝光技术的研究始于 1964 年，1975 年由美国 IBM 公司作出实验结果，其原理与普通光学缩小式投影曝光相似，只是用电磁"透镜"代替光学透镜。它既具有光学缩小式投影曝光系统的优点，又具有电子光学系统的高分辨率，但电子束缩小投影曝光系统所使用的中间掩模，是一种厚度为 5 ~ 10 μm 的镂空掩模，制作难度大。SCALPEL 技术正是认识到电子束投影曝光技术的缺点，采用了改进的掩模。

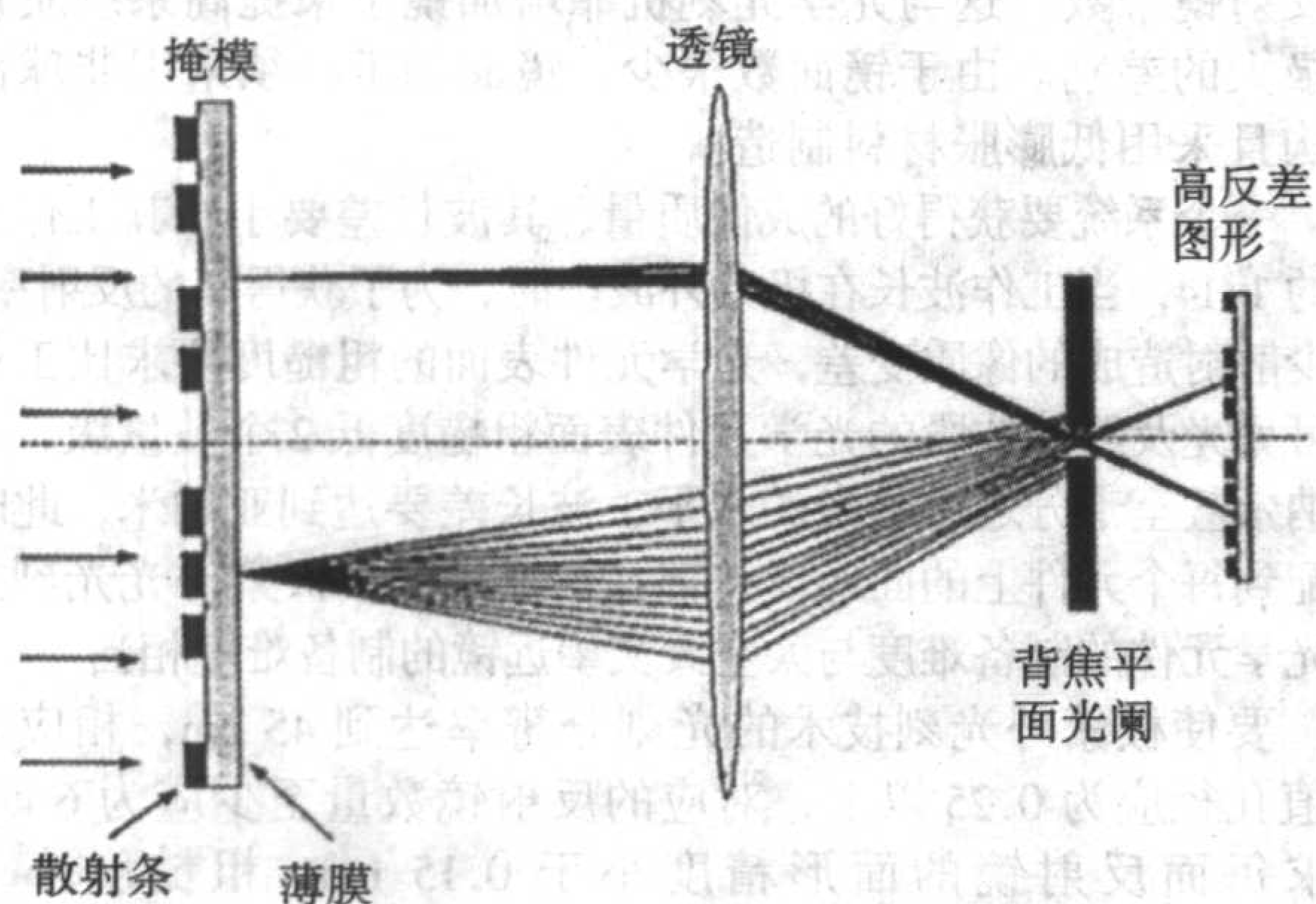


图 3.2-9 SCALPEL 的工作原理图

SCALPEL 掩模由低原子系数的薄膜（厚度在 100 ~ 150 nm（1 000 ~ 1 500 Å）SiN_x 和高原子系数的 Cr/W（厚度在25 ~ 50 nm（250 ~ 500 Å））组成，SiN_x 薄膜将电子微弱地小角度散射，而 Cr/W 将电子强散射到大角度。在投影系统的背焦平面上的光阑将强散射电子过滤掉，从而在基片上形成高反差的图形。相对于镂空结构的 X 射线掩模版，这种结构的掩模版有其优越性。SCALPEL 掩模版制备过程和常规半导体工艺兼容。两面沉积 SiN_x 薄膜，背面开窗口，正面沉积 Cr/W/Cr 散射，KOH 刻蚀，去除顶层 Cr，将基片黏合在支撑环上，到此完成了一个掩模的基版制备。然后在其上涂胶用电子束曝光图形，形成 SCALPEL 掩模版。

SCALPEL 技术面临的最大挑战来自于生产效率的提高，由于"空间电荷效应"的存在，缩小尺寸和提高生产效率成为一对矛盾，如何解决这一矛盾将成为影响该技术应用前景的一个决定性因素。

2.4.2 可变轴浸没透镜投影缩小曝光技术

可变轴浸没透镜投影微缩曝光（Projection Reduction Exposure with Variable Axis Immersion Lenses，PREVAIL）技术，是由国际商用机器公司（IBM）微电子部开发的投影电子束曝光技术。PREVAIL 技术与传统的电子束曝光技术最大的不同之处在于，PREVAIL 技术融合了大量的平行像素投影（massively parallel pixel projection），将投影曝光在电子束系统中实现，从而提高了曝光产量。然而，PREVAIL 中的投影曝光与传统的光学曝光又有所不同。传统的光学曝光中，大面积能量分布均匀的平行光线照射在掩模版上，从而可以实现全场曝光。而对于电子束曝光来说，大面积能量分布均匀的平行电子束一直是困扰电子束大面积曝光的主要因素。如图 3.2-10所示，是 PREVAIL 系统的结构简图。

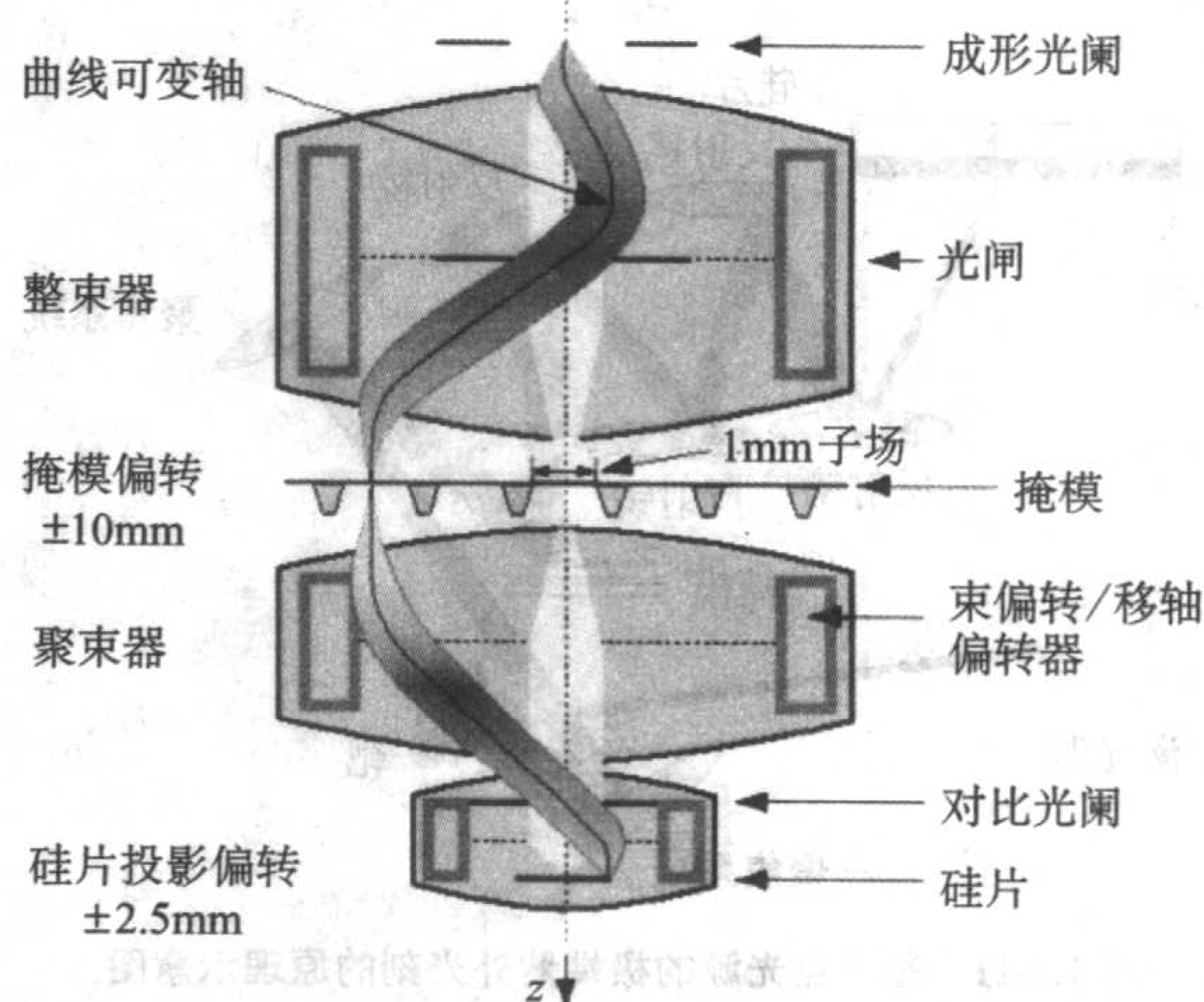


图 3.2-10 PREVAIL 系统结构简图

在电子光柱体的上方，是电子枪。电子枪发射的电子通过高压电场加速，成为高能高速度的电子，进入电子光柱体。通过成形光阑（Shaping Aperture）将圆形电子束截取成为方形的具有均匀能量分布的电子束。成形后的电子束经过一个曲线可变轴透镜（Curvilinear Variable Axis Lens，CVAL）系统，在该系统中经过离轴偏转，在掩模版上成像面积为 1 mm^2 的能量均匀分布的方形电子束。该系统最大的电子束偏转距离为 ± 10 mm。

PREVAIL 技术应用的掩模是由掺硼的硅材料制作的，由该材料构成掩模的支架，以支撑用来投影曝光的薄膜。薄膜的厚度大约在 1 μm 左右，面积为 1 mm^2，材料为碳化硅（SiC）。由于电子束不能穿透大块固体（bulk solid），因此我们采用上述材料以达到阻挡电子束的作用，同时在需要电子束穿透的地方将薄膜镂空，从而达到投影曝光的目的。

垂直穿过掩模的电子束继续向下进入一组束偏转/移轴偏转器（Beam – deflection/axis – shifting deflectors）。由于此时电子束可能处于离轴状态，该部分的作用就是将电子束移到其子场位置，最后通过物镜缩小投影到硅片的相应部分。

3 极紫外光刻技术

极紫外光刻技术（Extra – ultra violet lithography）是光波波长范围为 11 ~ 14 nm 的极紫外光波经过周期性多层膜反射入射到反射掩模上，反射掩模反射出的极紫外光波再通过由多面反射镜组成的缩小投影系统，将反射掩模上的集成电路几何图形投影成像到硅片上的光刻胶中，形成集成电路所需要的光刻图形。图 3.2-11 是基于点光源的极紫外光刻技术的原理示意图。

极紫外光刻技术主要由光源、缩小光学系统、掩模等部分组成。极紫外光刻系统只能在一个很窄的圆弧内获得高的成像质量，要完成整片的曝光，必须采用掩模和硅片步进扫描的方式来获得大面积曝光，步进扫描工作方式有利于降低投影光刻物镜的成本，却对超精密工件台提出了更高的要求，扫描的不同步误差也必须控制在套刻精度的 1/5 ~ 1/3 之内，因此同步扫描将是对极紫外光刻技术超精密工件台的最大挑战。

当波长小于 170 nm 时，几乎所有的光学材料对光都有强烈的吸收，使常规折射光学系统很难用于该波段，极紫外光刻技术只能是反射式的，可以认为极紫外光刻技术是光学光刻的延伸。但它与光学光刻又有许多不同的地方，其中最大的区别在于几乎所有物质在极紫外光波段表现出的性质与

在可见光和紫外波段截然不同，极紫外光辐射被所有物质强烈吸收。

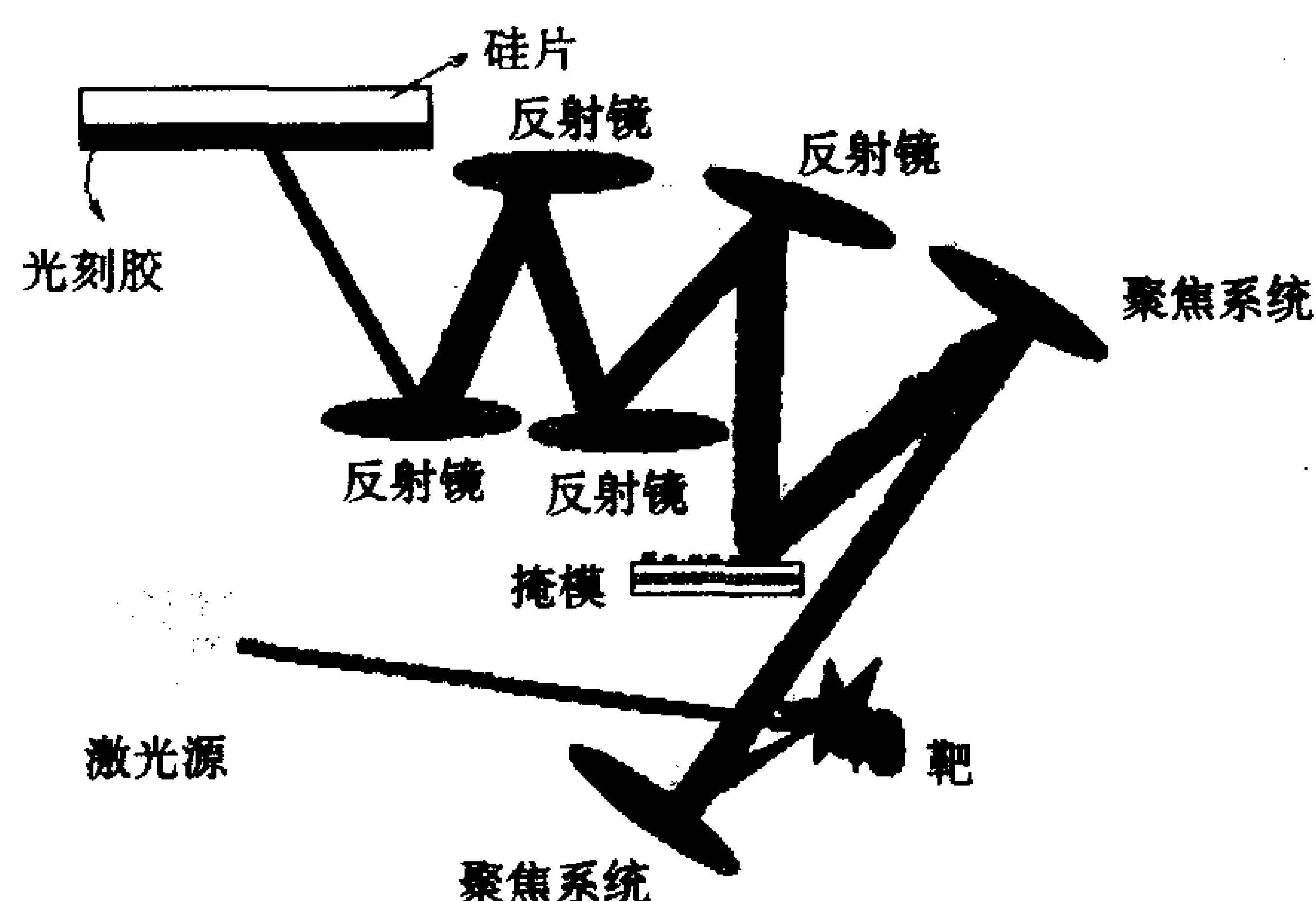


图 3.2-11 基于点光源的极端紫外光刻的原理示意图

3.1 极紫外光刻技术的光源

极紫外光刻技术对光源的最重要要求有两点：一在所需波段的光源的功率足够高，以便使照明光学系统能够收集到足够功率的光源，另一点就是产生光源时的副产品不能对照明光学系统造成损害。

极紫外光刻技术光源的产生方式主要有激光等离子体、高密度等离子体、球状箍缩等离子体和非线性光学等四种。

激光等离子体源产生的极紫外光源的原理是用准分子激光轰击靶材产生极紫外光，它具有技术成熟、亮度高、光谱范围可与多层膜的反射峰相匹配、位置稳定性高、体积小、价格相对便宜等优点，最为人们所看好。由于极紫外光刻技术是针对 45 nm 以下的光刻手段，因此它对准分子激光的要求很高，如带宽、输出功率、稳定性、维护难易度、波长、相对波长稳定性、脉冲与脉冲之间的能量稳定性、成本、安全性等。其中最为关键的问题是如何在高重复频率下保持窄带宽和无碎屑。目前，对激光等离子体源的研究主要集中在开发高功率激光器，提高极紫外光的转换效率及完全消除靶所产生的污染残渣。

靶材对于极紫外光刻技术光源来说是非常重要的，对于IC生产线来说，靶材要求能够承受不间断的全天候的准分子激光器发出的最少 10^{10} 次脉冲冲击，即在 1 kHz 的激光重复频率下连续使用 3 个月，另外，还要求碎屑的尺寸小于 10 nm和每个脉冲的成本小于 10^{-6} 美元。靶材有固体靶（如金属锡）、循环低温气束（如氙）和液滴靶三种。采用激光等离子体源轰击固体靶产生极紫外光源的技术目前比较成熟，其主要问题是等离子体轰击靶材除了辐射出极紫外光源外，还会产生碎屑，这些碎屑会对聚焦系统的反射镜光学元件造成直接损害，为此人们曾尝试了各种靶材和残渣的滤除技术（如高速旋转挡板、电场和磁场以及流动的气流）来抑制光源中残渣的出现。同时发展了循环低温氙（氙）气高速喷射靶，氙气高速喷射入真空系统，经冷却后形成一定厚度的固态表层，激光等离子体源使固态表层气化并产生极紫外光，这样一来就可以大大减少碎屑。目前也有研究人员在研究液滴靶，其原理是使液体通过一个直径仅为 10 μm 左右的毛细管子，由于表面张力的作用，管口会形成液滴，激光脉冲打在液滴上，产生极紫外光。图 3.2-12 是菲利普公司研究人员提出的水滴靶源的简单示意图。

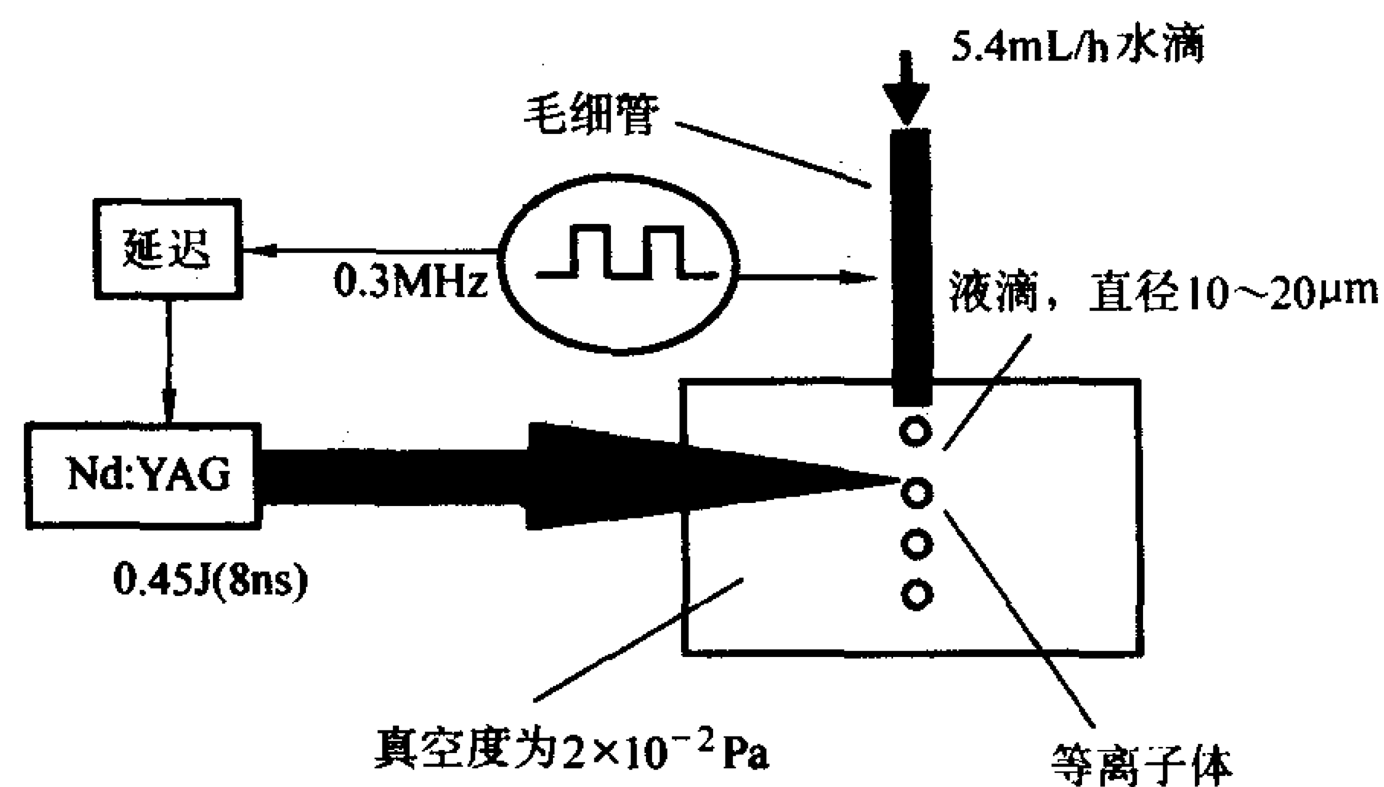


图 3.2-12 水滴靶源的结构示意图

3.2 极紫外光刻技术的成像系统

极紫外光刻技术的成像系统对光学设计、光学加工和光学检测提出了极为苛刻的要求，它主要包括光学设计、非球面镜制造、非球面镜面形精度测量、反射镜多层膜、波前测量五个部分，需要特别指出的是，由于多层膜反射镜反射率只接近 70%，要获得高的成像质量，光学设计要尽可能减少反射镜个数，这与光学光刻机靠增加镜子来提高系统质量有极大的差别。由于镜面数很少，镜面加工必须采用非球面结构且采用低膨胀材料制造。

一个系统要获得好的成像质量，其波长差要小于其工作波长的 1/14，当工作波长在极紫外波段时，为了获得高的反射率、减少散射造成的像质变差，光学元件表面的粗糙度要求比工作在可见光及红外波段的光学元件表面粗糙度低 2 个数量级，达到纳米甚至十分之一纳米的水平，波长差要达到亚纳米，此时分配到每个元件上的面形误差都在深亚纳米，极紫外光光刻技术光学元件的制备难度与太空天文望远镜的制备难度相当。

要使极紫外光刻技术的光刻分辨率达到 45 nm，相应的数值孔径应为 0.25 以上，对应的反射镜数量至少应为 6 面，要求每面反射镜的面形精度小于 0.15 nm，粗糙度小于 0.2 nm，装校精度小于波长的二十分之一。目前只有美国的 SVG－Tinsley 公司，德国的 Carl－Zeiss 公司和日本的 Nikon 公司制作的反射镜能满足上述要求。

极紫外光刻技术成像系统对多层膜的基本要求主要有三点，即高反射率、精确的波前控制和极紫外光刻技术波段的匹配。所谓的多层膜指的是高散射和低散射两种材料交替沉积而成的一种人造涂层，目前较多采用的是钼/硅多层膜，高低散射材料的间距为几纳米甚至更小，从而使极紫外光可以像可见光那样进行反射、聚焦和成像。各个钼、硅单层膜厚度是根据两个条件来确定：①使反射光干涉最强；②对光的吸收最少。在中心波长为 13.4 nm 的钼/硅多层膜中，周期膜厚通常为 6.9 nm，其中钼层厚 2.8 nm，硅层厚 4.1 nm，多层膜的层对数通常为 40 对。

多层膜的淀积方法通常有磁控溅射和离子束溅射两种，图 3.2-13 是离子束溅射淀积系统原理示意图。该方法散射程度小，掩模避免了由于磁电溅射引起的等离子体沾污，离子束淀积的能量比较容易控制。

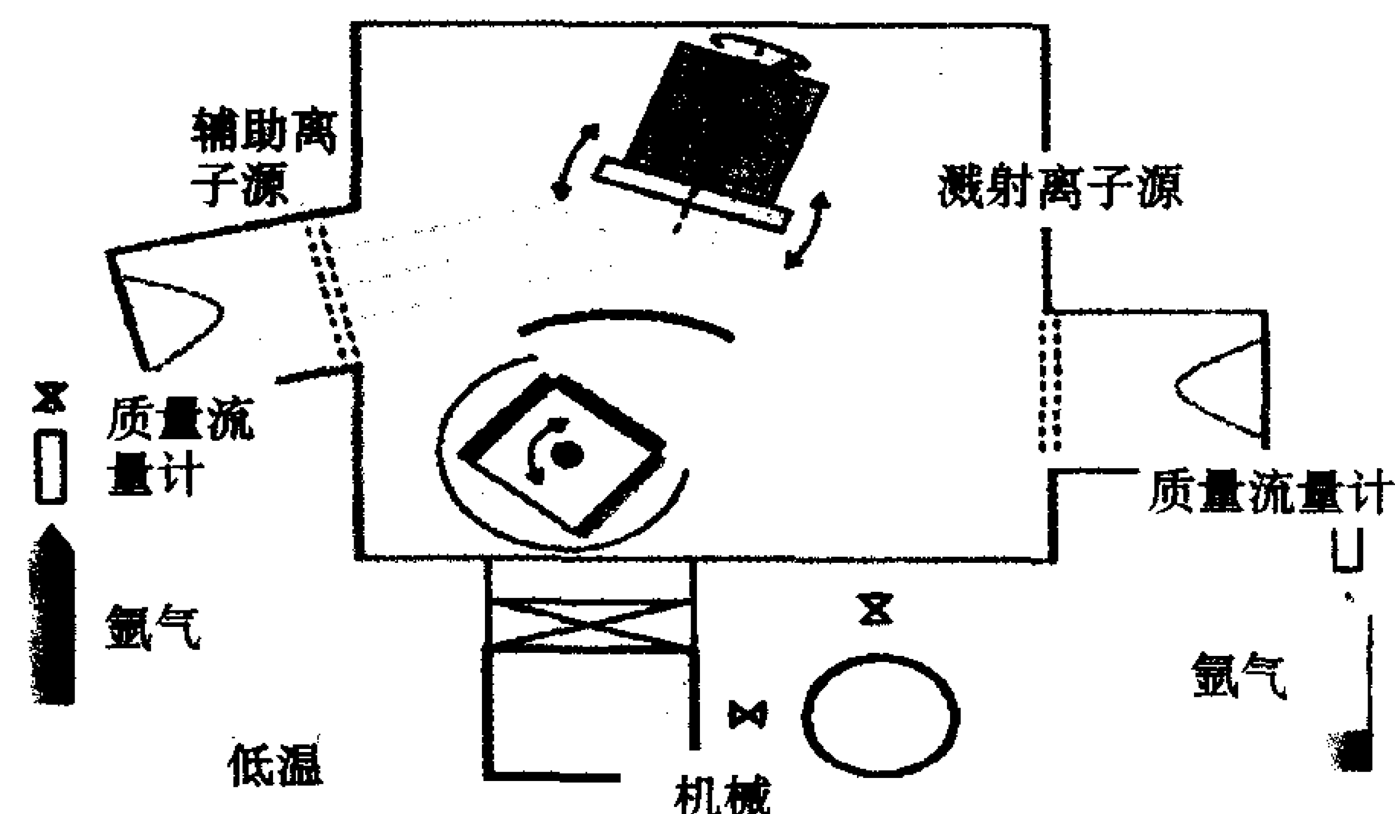


图 3.2-13 离子束溅射淀积系统原理示意图

3.3 极紫外光刻技术的光刻掩模

反射式极紫外掩模如图3.2-14所示，其掩模衬基是如上所述的高反射率多层膜。吸收体材料则一般是铬，也有用其他金属如铝、钽的。作为吸收体的铬薄膜通常是采用高真空溅射的方法来淀积到掩模衬基上的。

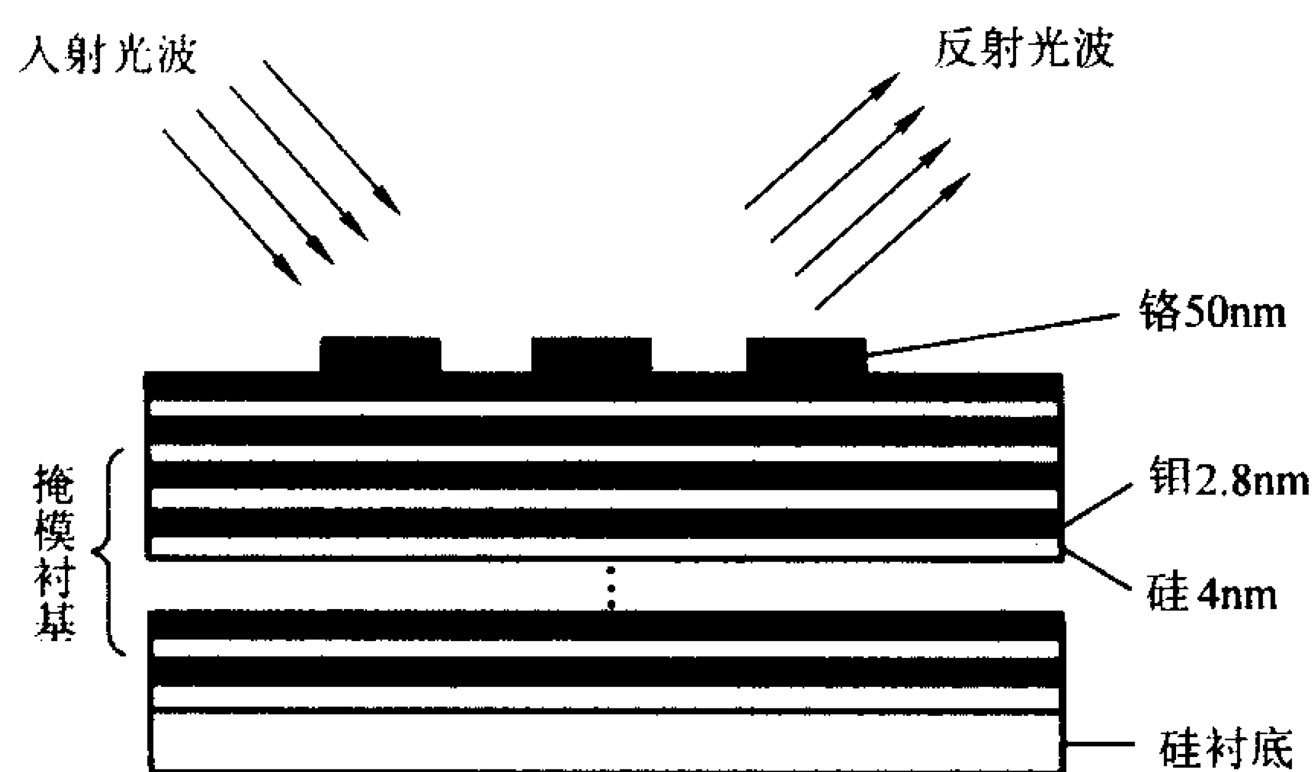


图3.2-14 反射式极端远紫外光刻反射掩模

极紫外光刻技术光刻掩模对多层膜的要求是大于67%的高反射率、在203.2 mm（8 in）的衬基上的均匀性优于0.5%，缺陷密度小于$0.001/cm^2$，容易检测与修补。

无论以何种方式制作极紫外光刻技术反射掩模，反射掩模的衬度都定义为高反射率区域与低反射率区域反射率之比，一般要求反射掩模的衬度至少大于20。

目前看来对多层膜涂层缺陷的精确修复难度较大，无缺陷（非常低的缺陷密度，威胁电路关键区域的可能性非常小）基膜的制备尤为关键，即生产多层涂层淀积用超洁净硅片衬底，发展超洁净离子束溅射系统和工艺以及检测基膜缺陷的技术。

3.4 极紫外光刻技术展望

1996年4月、EUVL的科学可行性论证完成，1996年10月，美国能源部为EUV的研发工作提供资金支持，目标是在2~3年内完成α工具的研制；1996年5月24日，在SNL第一次用EUVL制成晶体管，工艺水平达到0.1 μm；1997年美国的Intel、AMD、Motorola和美国三个国家实验室LLNL、SNL、LBNL组建了EUVL有限责任公司（EUVL LLC），投入2.5亿美元的资金开展EUVL研发。1999年，他们在80 nm厚DUV光刻胶上，得到70 nm分辨率的线条。2001年4月EUVL LLC完成了EUVLβ样机的研制，新的灵敏度为5 mJ/cm^2的EUV光刻胶基本研制成功，这种光刻胶的研制成功可以使曝光后剩余的光刻胶胶厚达到140 nm。

日本的EUVL研究是由10家半导体制造厂商、2家设备供应厂商和先进电子技术联合会（Association of Super - Advanced Electronics Technologies，ASET）的EUVL实验室合作进行的，分为三个阶段，第一阶段由政府进行财政支持，开展曝光、掩模和相关加工处理等基础技术研究；第二阶段的部分研究费用由工业部门承担，研究曝光系统样机；第三阶段的全部研究费用由工业部门承担，进行EUVL实用化研究。整个项目将持续9年。

1998年底，欧洲共同体的EUVL研究计划也正式开始启动，该研究项目由ASML公司牵头，Carl Zeiss公司和Oxford Instruments公司参与，其目的是评估EUVL在70 nm光刻分辨率及70 nm以下光刻分辨率的可行性。其中ASML公司承担EUVL设备研制和系统集成，Carl Zeiss公司承担精密光学与精密机械的研制任务，目前Carl Zeiss公司研制的非球面镜加工技术取得了成功，其面形精度已经达到0.14 nm，而Oxford Instruments公司则承担EUVL光源的研制任务，值得一提的是Oxford Instruments的小型同步辐射环已经实现了商品化，运行效果良好。

由于EUVL是面向45 nm及45 nm以下的重要光刻手段，其极限分辨率也许会达到22 nm甚至更小，因此EUVL光刻机的对准套刻精度是相当高的。影响光刻机对准套刻精度的因素非常多，如工件台的重复定位误差、对准光学系统的畸变误差、工艺误差（如对准标记质量，掩模制作精度等）、信号检测处理误差、环境温度变化、振动等。由于光刻机需要进行多次步进扫描曝光和图形拼接，因此超精密快速定位和逐场调平调焦技术也是极紫外光进入实用化的关键技术。另外还需要解决好入射对准光经过多层介质后所产生的微弱对准信号的实时采集和处理问题。

4 刻蚀技术

刻蚀技术一般分为湿法刻蚀和干法刻蚀。湿法刻蚀主要指利用化学溶液，通过化学反应将不需要的薄膜去除掉的图形转移方法；干法刻蚀则指利用具有一定能量的离子或原子通过离子的物理轰击或者化学腐蚀，或者两者的协同作用，达到去除特定薄膜的目的。

4.1 湿法腐蚀技术

湿法刻蚀包括三个过程，腐蚀剂通过扩散到达反应表面、表面的化学反应以及反应生成物从反应表面输运。特定条件下的湿法刻蚀的刻蚀速率为：

$$E_r = Ae^{Ea/KT}$$

式中，E_r为刻蚀速率；A是一个同温度有关的常数；Ea是激活能；T是腐蚀液的绝对温度；K是玻尔兹曼常数。

在半导体的化学腐蚀过程中，化学链的断裂直接由试剂的化学作用引起的，半导体组成元素链的断裂与新键的形成是同时发生的；化学反应引起的腐蚀速率与反应速率常数、反应物的浓度、溶液的pH值、反应温度以及反应产物的去除等因素有关。

半导体的电化学刻蚀是由于在半导体/电解液界面上同时存在阳极和阴极两个电化学反应而发生的。半导体中存在着电子和空穴两种载流子，这两种载流子都能参加氧化或还原反应，这也是半导体材料的腐蚀区别于金属腐蚀的最显著特征。大多数半导体的腐蚀反应是阳极分解反应，即半导体被氧化的反应，它主要是半导体价带中的空穴起氧化作用，半导体发生氧化分解的同时，在溶液中的氧化剂发生还原反应，还原反应可以是氧化剂接受导带中的电子，亦可以是氧化剂向价带中注入空穴，通常有两种不同方式的电化学刻蚀，一种是不加外电势的，氧化和还原两个反应同时发生在一个样品的固液界面上，由于它们的反应速度相等，因此在被腐蚀的材料上没有净的电流流过。另一种是氧化和还原反应分别发生在两个分开的电极上，电极的电势通过外加电源来控制，这时，被刻蚀的半导体材料必须在背面做上欧姆接触，再与导线相接制成一个半导体电极，阴极和阳极之间有净的电流流过。

湿法腐蚀的主要特点是反应生成物是气态或可溶性物质，常用加热或搅拌等办法加速气体的排放、加快生成物的溶解，以加快反应速度。湿法刻蚀一般是各向同性腐蚀，对于晶体结构的物质，会因存在晶向而产生不同的剖面结构。例如单晶硅在碱性溶液里的腐蚀会因晶向不同而形成不同的腐蚀剖面。湿法腐蚀反应可控性差、工艺重复性不理想，当线宽小于3 μm时，极易钻蚀。

4.2 干法刻蚀技术

干法刻蚀是指利用具有一定能量的离子或原子通过离子的物理轰击、化学腐蚀，或者两者的协同作用达到刻蚀的目的。干法刻蚀利用气相刻蚀剂与表面作用，刻蚀产物为挥发

性气体并经由真空系统抽走。干法刻蚀分为等离子体刻蚀、离子束刻蚀等。等离子体刻蚀是在等离子体存在的条件下，以曝光后得到的光刻胶图形作掩模，通过物理和化学反应精确可控地除去衬底表面上一定深度的薄膜物质的一种加工过程。该过程通常为各向异性，具有刻蚀速率高、均匀性和选择性好以及避免废液污染环境等优点。在超大规模集成电路制造中，等离子体刻蚀成为必不可少的加工技术，广泛用于微电子器件、微机械、薄膜、材料加工等方面。干法刻蚀主要是等离子体刻蚀，高密度等离子体刻蚀技术占主流地位。

等离子刻蚀的机理一般可分为物理机理、化学机理和物理化学混合机理。物理机理：等离子体产生的带能量粒子（如 Ar 正离子）在强电场条件下向硅表面加速，通过溅射刻蚀作用去除硅片表面的材料；有很强的方向性、高的各向异性，线宽控制好，但选择比差，会有颗粒和化学污染。

化学机理：等离子体产生的自由基和反应原子与硅片表面的物质发生反应。为各向同性，线宽控制差。

物理化学混合机理：其中离子轰击作用强化了活性元素与硅表面反应的化学刻蚀作用。刻蚀剖面的形状可通过调节等离子条件和气体组份改变。有好的线宽控制和较好的选择比。

4.3 反应离子刻蚀

反应离子刻蚀（reactive ion etch，RIE）是在平板式反应器的基础上发展起来的，被激励的等离子体与阳极板表面形成偏压加速正离子运动进行刻蚀，为了获得高度的各向异性，通常利用侧壁钝化技术，即在刻蚀露出的侧壁上形成聚合物或二氧化硅保护膜，使侧壁不受刻蚀。这种刻蚀有着比较好的各向异性，但刻蚀速率要低些。

反应离子束刻蚀是通过一个栅电极从等离子体中萃取离子而形成离子束，避免了硅片与等离子体的直接接触。栅电压是可以调节的，以控制离子能量，通过控制等离子体的电离程度来控制离子束密度，从而控制刻蚀速率。反应离子刻蚀技术是目前应用较多的刻蚀技术，RIE 技术不断突破，在 Si、SiO_2、Si_3N_4 以及金属刻蚀方面取得巨大的突破。表3.2-4给出了几种主要半导体材料的刻蚀配方。

表 3.2-4 主要半导体材料的刻蚀配方

材料种类	使用范围	常用刻蚀气体
硅	沟槽隔离	Cl_2，HBr，HCl，CF_4，SF_6 C_2F_6，NF_3
多晶硅	栅极	Cl_2，HBr，HCl，CF_4，SF_6，C_2F_6，NF_3
硅化物	栅极	Cl_2，HBr，HCl，CF_4，SF_6，C_2F_6，NF_3
Si_3N_4	氧化层阻挡层、刻蚀截止层	CF_4，C_2F_6，C_4F_8，CHF_3
SiO_2	隔离、硬掩模	CF_4，C_2F_6，C_4F_8，CHF_3
Al	金属化材料	Cl_2，BCl_3+Cl_2，$SiCl_4$，CCl_4
W	金属化材料	SF_6，SF_6+N_2
TiN	扩散阻挡层、ARC层	Cl_2，SF_6，BCl_3+Cl_2
光刻胶	掩模	O_2，O_2+He，O_2+Ar，CO_2
氟氧化硅	无机 CVD、低 k 值绝缘材料	CF_4，C_2F_6，C_4F_8，CHF_3
对二甲苯	有机 CVD、低 k 材料	$N_2/O_2/C_2H_2F_2$，N_2/H_2，$N_2/O_2/CH_4/C_4F_8$

续表 3.2-4

材料种类	使用范围	常用刻蚀气体
SilK	有机涂层 SOD、低 *k* 值材料	$N_2/O_2/C_2H_2F_2$，N_2/H_2，$N_2/O_2/CH_4/C_4F_8$，
$RSiO_{0.5}$	无机 SOD，低 *k* 值材料	CF_4，C_2F_6，C_4F_8，CHF_3
Ta_2O_5	高 *k* 值材料、电容	NF_3，CF_4
Ti	黏附层	Cl_2，SF_6，BCl_3+Cl_2

4.4 感应耦合等离子刻蚀技术

感应耦合等离子刻蚀技术（Inductively coupled plasma，ICP）设备结构简单、造价低廉、等离子密度高，由于自偏压独立，可以在工艺允许的条件下尽可能减小损伤，因此具有极大的技术优势。

ICP 源能适应多种等离子腐蚀的需要；它能够工作在低压力（0.13～2.66 Pa）下，产生高达 $1\times10^{11}\sim1\times10^{12}$ 离子/cm^3 等离子密度，比典型的电容放电离子源密度要高出 10～20 倍；各向异性的性质比常规 RIE 强，能独立地将射频功率加到卡盘上，片子上的随机离子能量能够有效地和等离子体发生反应。图 3.2-15 为 ICP 的结构示意图，RF 为激励电源，频率为 13.56 MHz。射频源的发射天线绕在电绝缘的真空容器外边，当通过匹配网络将射频功率加到天线上时，天线中就有射频电流流过，于是产生射频磁通，并且在真空容器的内部沿着圆筒形容器的轴方向感应出射频电场。真空容器中的电子被电场加速，接着，由这些电子产生密集的等离子体，同时天线的能量被耦合到等离子体中。在等离子体产生期间，紧靠天线的容器的被自偏置，很容易受到离子轰击溅射，因此构造容器壁材料将影响到等离子体的成分，甚至改变刻蚀特性。法拉第屏蔽是避免容器壁材料受到溅射的一种方式，采用它可以减小容器壁的自给偏压。

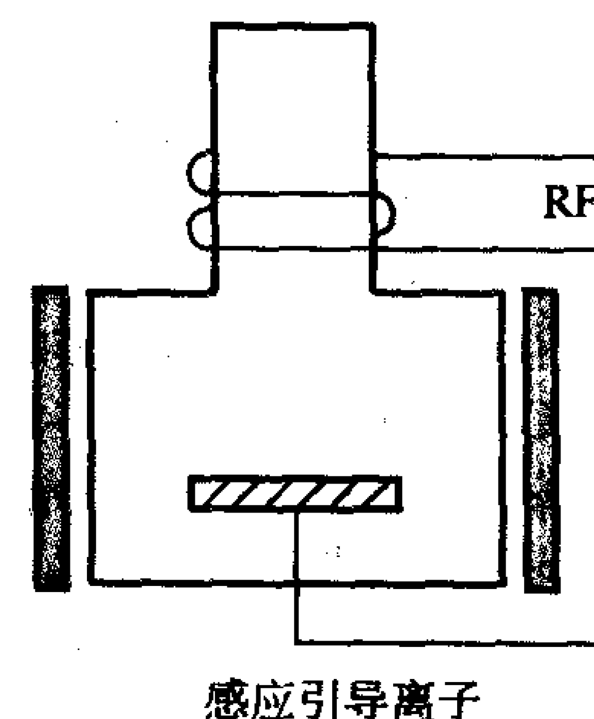


图 3.2-15 ICP 原理图，RF 激发产生等离子体，感应引导离子引导离子向基片运动

另外一种形式的 ICP 源是平面形的，平面螺旋形天线被放置在介质隔离的平面真空窗口，片子放置在感应电场衰减的位置。通常，真空窗口和片子之间的距离大约为 50～100 mm。加速电子的机理类似于圆筒形，等离子体的均匀性可以通过天线的结构来控制。使用环形天线，其均匀性要比螺旋形天线好。当使用一个环形平面天线时，电子浓度的峰值位于天线位置稍里边一点，在天线位置中心的电子浓度要比峰值浓度低一些。但使用螺旋形天线，电子浓度的峰值处于天线位置的中间。若扩大等离子体的直径，则需要加大天线的直径，同时天线需要更多的圈数。

ICP 刻蚀机可以使用 SF_6、CHF_3、CF_4、C_2F_6、Cl_2 BCl_3 HBr 等多种气体，可以刻蚀 Si、SiO_2、SiN、GaN、$LiNiO_3$、$BiTiO_3$ 等材料。以下是衡量刻蚀质量的重要参数。

1）刻蚀速率　刻蚀速率是指刻蚀过程中去除硅片表面材料的速度，在单片机设备中，刻蚀速率是一个重要的参数，生产中希望有高的刻蚀速率以提高产量。刻蚀速率由设备的结构、配置、刻蚀气体种类、组分、工艺参数的设置及被腐蚀材料的性质等多种因素决定。刻蚀速率 ＝ 被去掉的材料厚度/刻蚀时间（nm/min）。

2）刻蚀剖面　刻蚀剖面是指被刻蚀图形的侧壁形状，一般有两种基本刻蚀剖面：各向同性和各向异性刻蚀剖面，各向同性的刻蚀导致被刻蚀材料在掩膜下产生钻蚀，带来线宽较大损失；各向异性刻蚀对于亚微米以下尺寸的小线宽图形制作非常关键，在先进的IC应用中，通常需要88°～89°垂直度的侧壁。对于0.25 μm以下的超深亚微米集成电路，是通过采用高密度等离子体来做到既保持等离子体的方向性，又获得可接受的刻蚀速率。

3）刻蚀偏差　刻蚀偏差是指刻蚀前、后线宽或关键尺寸间距的变化，它通常是由横向钻蚀或刻蚀剖面及选择比不好引起的。刻蚀偏差 ＝ 刻蚀前胶的线宽 － 去胶后被刻蚀材料的线宽。

4）选择比　选择比指在同一刻蚀条件下被刻蚀材料与另一种材料的刻蚀速率比，选择比 ＝ 被刻蚀材料的刻蚀速率/掩膜材料的刻蚀速率。超深亚微米IC中要求高选择比，以确保关键尺寸、剖面及损伤的控制。尺寸越小，选择比要求越高。如0.1 μm CMOS器件，$T_{ox}=2$ nm（20 Å）就要求刻蚀多晶硅栅时选择比>250:1。

5）均匀性　刻蚀均匀性是保证制造性能一致的关键，不仅整个硅片、整个一批或批与批之间都要求均匀。

6）残留物　刻蚀残留物是刻蚀以后留在硅片上的不想要的物质，它常常覆盖在腔体内壁或刻蚀图形的底部。产生刻蚀残留物原因有：被刻蚀膜层中的污染物，不合适的化学刻蚀剂（刻蚀速度太快），腔体中的污染物，膜层中的杂质。刻蚀残留物会造成图形间短路和成为IC制造中硅片的污染源。一般可以采用过刻蚀、O_2 等离子体处理或湿法化学腐蚀清洗来去除刻蚀残留物。

7）聚合物　聚合物是由光刻胶中的分离出来的碳与刻蚀剂（如 C_2F_4）和刻蚀生成物（如Al、Ti、氧化物等）结合在一起形成的物质，聚合物链有很强的难以氧化和去除的碳氟链。聚合物附着在侧壁上形成为抗腐蚀钝化膜，从而防止横向侵蚀，有利于形成高的各向异性图形，实现关键尺寸的控制。但聚合物在刻蚀后必须能去除，否则影响器件的成品率和可靠性。工艺腔体需要定期清洗来去除聚合物或定期替换掉不能清洗的部件。

8）等离子诱导损伤　等离子体中的具有能量的离子、电子和激发分子在刻蚀过程中的轰击作用都能对硅片上的器件造成损伤，影响器件的电学性能和可靠性、稳定性。损伤的主要类型有：在晶体管栅电极产生陷阱电荷，影响界面态和引起薄栅介质退化；在刻蚀薄栅介质上的多晶硅栅电极时，对暴露的薄栅介质的轰击，会在S/D区，特别是在栅电极的边缘产生严重损伤。根据不同情况可采用退火、湿法化学腐蚀、氧化剥离等办法消除损伤。

9）颗粒污染　氟基等离子体比氯基或溴基等离子体产生较少的颗粒，因为氟产生的刻蚀生成物具有较高的蒸气压。优化刻蚀设备（壳层与电极距离，腔体及电极材料及结构，硅片的传输，机械手及门的设计等都有关）、合适的操作和合适的工艺气体选择都能够减少颗粒污染。

5　其他微细加工技术

随着技术的不断进步，各种新颖的、非常规的加工技术也不断涌现，如聚焦离子束技术、纳米压印技术和三维加工技术等，形成了多样的纳米加工技术研究的新热点。

5.1　聚焦离子束技术

聚焦离子束（Focused Ion Beam，FIB）技术就是在电场和磁场的作用下，将离子束聚焦到亚微米甚至纳米量级，通过偏转系统和加速系统控制离子束，实现微细图形的检测分析和纳米结构的无掩模加工。1975年美国阿贡国家实验室的V.E. Krohn和G.R. Ringo发展出液态金属离子源（LMIS），1978年美国加州休斯研究所的R.L. Seliger等人建立了第一台装有镓离子的LMIS FIB系统，其束斑直径仅为100 nm，电流密度为1.5 A/cm²，亮度达 3.3×10^6 A/cm² sr，此后FIB技术取得长足进步。

离子束系统的“心脏”是离子源。目前技术较成熟、应用较广泛的离子源是LMIS，其源尺寸小（约100 nm）、亮度高（约 10^6 A/cm² sr），发射稳定，可以进行亚微米加工。同时，LMIS要求工作条件低（气压小于 10^{-5} Pa，可常温下工作），能提供Al、As、Au、B、Be、Bi、Cs、Cu、Ga、Ge、Fe、In、Li、P、Pb、Pd、Si、Sn和Zn等多种离子。LMIS结构有多种形式，但大多数由发射尖钨丝、液态金属存贮池组成，典型的LMIS结构如图3.2-16所示。发射尖是由钨丝在氢氧化钠溶液中电化学腐蚀而成，尖端曲率半径为几十纳米。

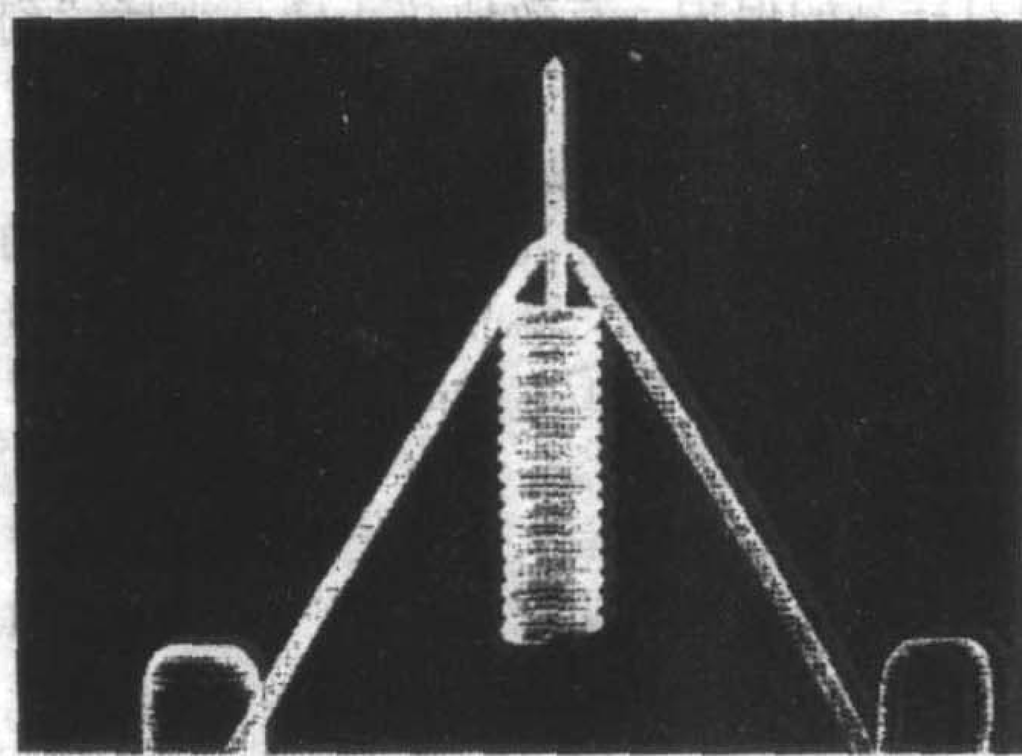


图3.2-16　典型的LMIS示意图，由一个钨针和螺旋形存贮池组成

5.1.1　聚焦离子束的基本结构

图3.2-17聚焦离子束工作原理示意图，由离子束柱、工作腔体、真空系统、气体注入系统及用户界面等组成，其基本工作原理为在离子柱顶端的液态离子源上加较强的电场

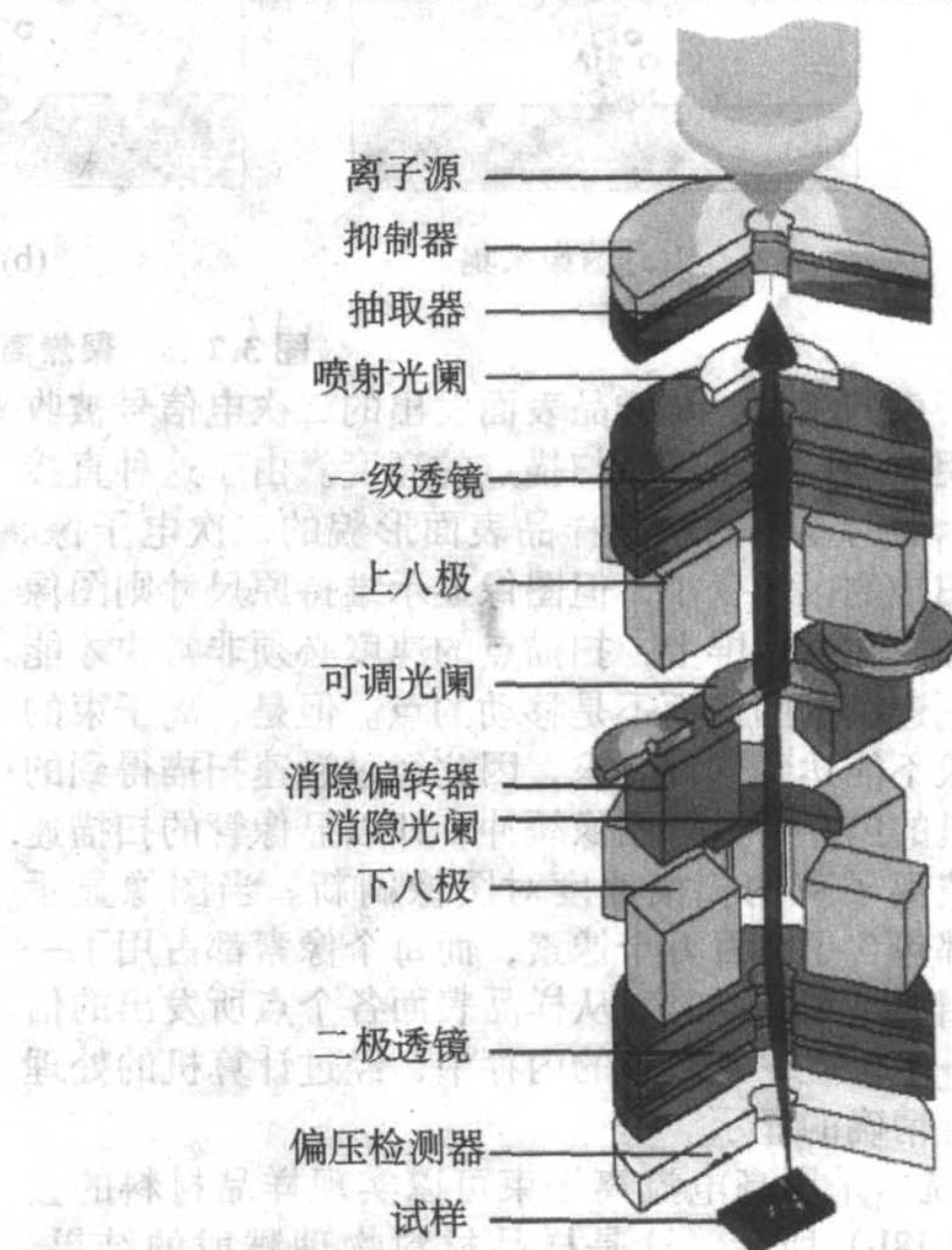


图3.2-17　聚焦离子束工作原理示意图

来抽取出带正电荷的离子，通过同样位于柱中的静电透镜、一套可控的上偏转装置和下偏转装置，将离子束聚焦在样品上扫描，离子束轰击样品后产生的二次电子和二次离子被收集并成像。下面分为离子柱和样品室两部分分别进行介绍。

1）离子柱（Ion Column） 位于样品室顶部的离子柱是整台设备的核心，它包括 LMIS，一系列聚焦、束流限制、偏转装置以及保护和校准部件。由于典型的抽取电压为 7 000 V，正常工作时的抽取电流为 2 μA，LMIS 表面很高的电流强度使得离子束存在大于 5 eV 的能量色散，这样的色差对离子束的影响远大于球差。为了得到高分辨率，柱体中光学部件的设计应采用不对称的三元透镜等方法将磁透镜的色散控制在最小限度，但是光学上的限制（如改变限束孔）还会使束的最小直径发生改变。

离子束控制系统包括限束、束消隐、四极控制、八极偏转等部件。通过软件控制自动可调光阑（Automatically Variable Aperture）可以对离子束的束径进行调整，使得精细的离子束用于敏感试样的高精度成像，大离子束用于快速粗糙的离子铣。离子束消隐组件（Beam Blanking Assembly）包括消隐偏转器、消隐光阑和监测消隐电流的皮安电流计。消隐组件的作用是使一部分离子从入孔方向偏离进入周围的法拉第杯，实现对样品的保护，有效地防止样品被持续刻蚀。

2）样品室 样品室位于离子柱下方，包括样品架、探测器、气体注入系统和其他一些附件。一般样品架五维可调，以便在试样精确定位、高分辨率横截面成像和器件修改时提供平移和旋转的功能。样品台的驱动装置一般直接位于样品室内部，这样既缩短了与样品台的连接，又尽可能维持了样品室的真空状态。

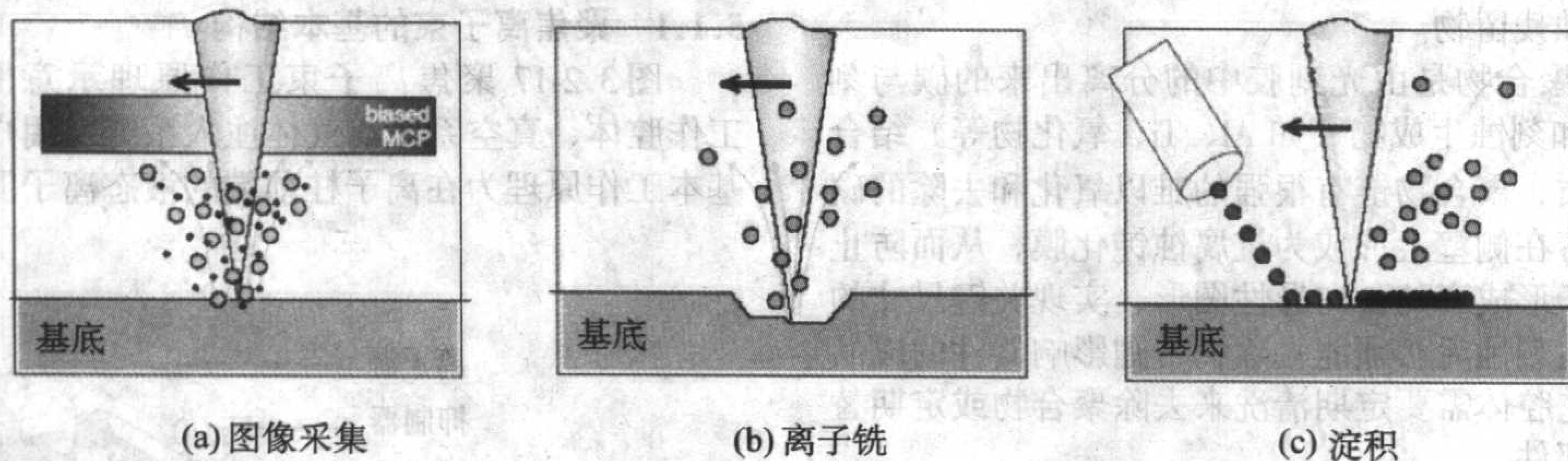
为了避免离子束受周围气体分子的影响，真空系统至少包括两个分立但相互联系的抽气系统，分别用来对离子柱和样品室抽真空。前者多采用离子吸附泵，可以将柱体抽真空达到液态离子源的工作要求（$1\times10^{-5}\sim1\times10^{-6}$ Pa）；后者则可有多种组合，机械泵先粗略地对样品预抽，再用涡轮分子泵（TMP）进一步抽至高真空（$<7\times10^{-5}$ Pa）。整个真空系统由计算机控制，保证操作的安全可靠。

气体注入系统用于 FIB 淀积或快速增强刻蚀和选择性刻蚀时向样品表面注射气体，它主要由注射和控制两部分装置组成。控制装置用于设定每种样品材料所适宜的工作温度，并配以安全装置确保在适宜的条件下开启气体注入的阀门，注入和抽取的速率也可以通过改变废气的排放量来调节。样品室里的注入喷嘴不止一个，可以通过管道系统连接不同的气体。这些气体是通过坩埚中的化学反应释放的，坩埚被加热的同时阀门打开，气体由坩埚通过送气针注射到样品表面的指定部位，一般可在样品室外对注入喷嘴进行三维调整。

5.1.2 基本的聚焦离子束工艺

当高能离子撞击固态样品的表面时，会将能量传递给固体中的电子和原子。入射离子对基底的最重要的物理效应就是：中性或电离的基底原子的溅射（离子铣的基础）、电子发射（成像的基础，但可能引起样品的充电）、固体中原子的位移（导致损伤）和光子的发射（加热）。化学反应包括化学键的破坏，从而引起分子分裂，可用于 FIB 淀积。

1）图像采集 如图 3.2-18a）所示，FIB 成像时，精细的聚焦离子束在基底上光栅扫描，激发出二次粒子（中性原子、离子和电子），而偏压检测器（MCP）则可以分别施加正或负电压来收集二次电子或二次离子。其中，发射的二次离子还可用于目标材料的二次离子质谱仪（SIMS）。一般二次电子显微镜（SEM）图像的信噪比好于二次离子显微镜（SIM）图像，但对比度稍差，两者可以互为补充。FIB 工作时不可避免地会有少量 Ga^+ 离子注入到样品中，同时大量的二次电子离开样品。为了防止表面正电荷的积累，可以使用来自一个独立的电子源的电子覆盖基底（仅用于二次离子成像时），这样就避免了静电放电导致的损伤，并且能够对非导电材料（如玻璃）可靠成像。FIB 图像的最佳分辨率等于离子束斑的最小尺寸，约为 10 nm。



(a) 图像采集　　(b) 离子铣　　(c) 淀积

图 3.2-18 聚焦离子束基本工艺示意图

受到离子束的激发，从样品表面发出的二次电信号被收集、放大并用以调制显示区域扫描点的亮度。由于这种直接的联系，显示器所显示的就是样品表面形貌的二次电子像。如果离子束扫描的区域变小，但图像显示维持原尺寸则图像放大倍率增加。在显示屏上，扫描点的速度必须非常快才能使人眼感觉到连续的图像而不是移动的点。但是，离子束的扫描速度一般不能达到这种要求，因此经过慢速扫描得到的图像在计算机的内存中进行图像缓冲，即以显像管的扫描速度显像，但按离子束的扫描速度对图像刷新。当图像显示时，每一帧都包含了几百万个像素，而每个像素都占用了一定的内存。当离子束扫描时，从样品表面各个点所发出的信号都被存入一定位置一定数量的内存中，经过计算机的处理和缓冲，用于精确的显示。

2）离子铣 采用高电流离子束可以实现样品材料的去除，如图 3.2-18b）所示，这是样品材料物理溅射的结果。离子束在基底上的扫描可以刻蚀出任意的形状。离子铣的实时终点检测一般通过二次电子溅射产额的数量变化来实现。离子铣工艺的分辨率约为几十纳米，铣出的孔的最大深宽比为 10～20。

3）淀积 FIB 能够局部无掩模淀积金属和绝缘材料，甚至可以在非平坦表面上很方便地淀积材料。其原理如图 3.2-18c）所示，发生的反应类似于激光诱导化学气相淀积，两者的主要差别在于 FIB 具有更高的分辨率和更低的淀积率。商业机器中可淀积的金属主要是铂和钨，绝缘介质是 SiO_2。首先通过一个精细喷嘴将预反应气体喷射并被吸附在待淀积的表面上，然后入射离子束将能量传递给吸附在样品表面的气体分子，使这些不稳定的气体分子发生分解，释放出的挥发性反应物通过真空系统抽走，同时留下希望的反应物作为淀积薄膜。但是这种淀积材料不是特别纯，因为它不可避免地包含有机沾污和镓离子。在淀积作用的同时，由于离子束流的溅射，样品表面的淀积物质又有损失，FIB 淀积正是这样两种效应共同作用的结果。

5.2 压印图形转移技术

在压印图形转移技术的发展过程中，逐渐形成了三大主流技术：一类是主要由哈佛大学 George M. Whitesides 教授发展的软压印技术，一类是主要由普林斯顿大学 Stephen Y. Chou 教授发展的热压雕版压印技术，还有一类是主要由德州大学奥斯汀分校 C.G. Willson 教授发展的步进-闪光压印技术。

5.2.1 软压印技术（Soft Lithography）

软压印技术主要由 IBM 苏黎世研究实验室和哈佛大学化学与生化系 George M. Whitesides 教授所发展，他们已经成功实现压印图案达 50 nm。软压印技术的共同特点是弹性印章或弹性压模是转移图形到基底上的关键因素，更广义上说，软压印技术均使用柔性有机分子和材料，而不是目前微电子工业中普遍使用的无机刚性材料。

软压印技术中弹性印章制备采用电子束光刻技术在硅片上制作带有浮雕图样的母版（每个母版可以使用 50 次以上），浮雕部分的材料可以是 SiO_2，Si_3N_4，金属，光刻胶或者蜡，然后将其暴露于 $CF_3(CF_2)_6(CH_2)_2SiCl_3$ 蒸气中约半小时使其硅烷化。接着将弹性的液态预聚物倒在母版上，待其固化后和母版分离，得到弹性印章。弹性印章的材料可以是聚二甲基硅氧烷（polydimethylsilozane，PDMS）、聚亚氨酯、聚酰亚胺，甚至是交联的 Novolac 树脂，但多采用 PDMS。

5.2.2 热压雕版压印法（Hot Embossing Lithography

美国明尼苏达大学电子工程系纳米结构实验室的 Stephen Y. Chou 等人在 1995 年首先提出了热压雕版压印术，其工艺流程如图 3.2-19 所示。

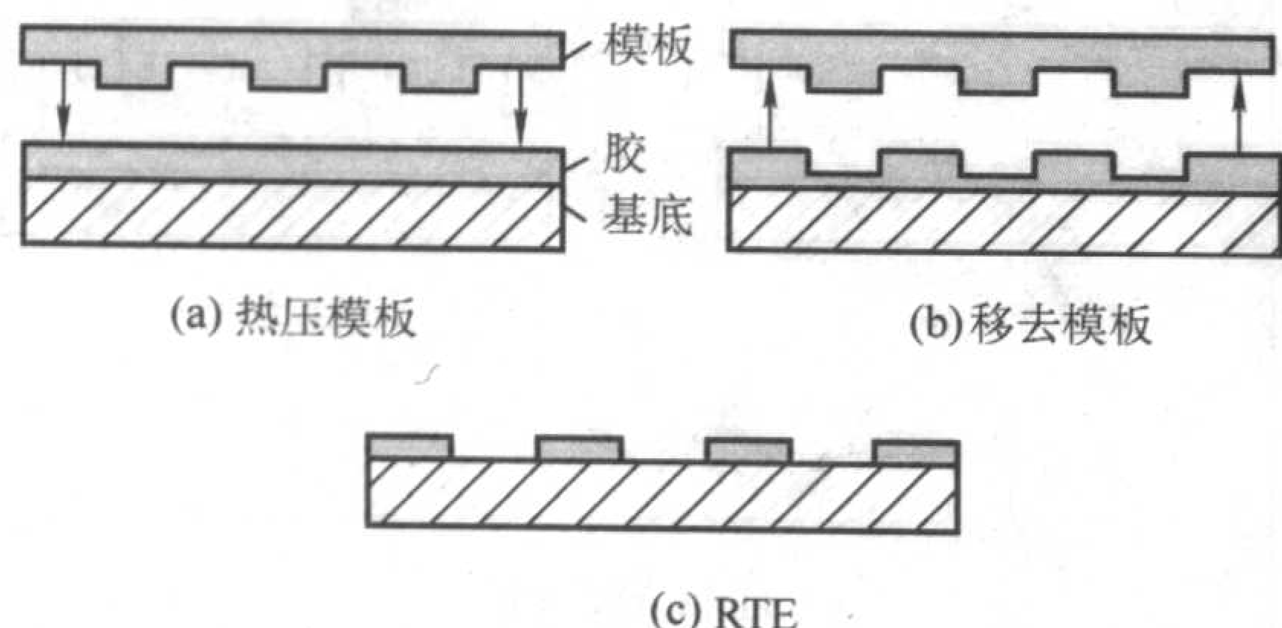


图 3.2-19 热压雕版压印法示意图

首先，在硅基底上生长一层较厚的氧化硅，采用电子束光刻出图形，再 RIE 将图形转移到氧化硅上形成模板。当然，模板的材料有多种选择，可以是金属、介质或半导体。

然后，将一薄层热塑性聚合物膜（可以选择 PMMA，因为它的表面亲水，不会同氧化硅发生黏附；同时在大的温度和压力变化时它的收缩不会超过 0.5%；它的玻璃相变点为 105℃）旋涂在硅基底上，并加热到其玻璃相变点以上（一般为 200℃），再将模板压入热塑性聚合物膜中，此时聚合物的性能类似于黏性流体并能在压力下流动。保持此种压力状态（约为 13.1 MPa）并降温到热塑性聚合物膜的玻璃相变点之下，使其同模板的形状吻合。接着，将模板从基底上分离（称为退模），在热塑性聚合物层留下图形，再采用 O_2 RIE 刻蚀聚合物层，直到露出硅基底。最后，在硅基底上蒸发金属，采用剥离工艺在丙酮溶液中将聚合物层上的金属去除，留下纳米尺度的金属图形。

热压雕版压印法能否得到实用还要从其可靠性、产量和成本等很多方面进行衡量，其中的一个关键是图形套刻。影响套刻的因素很多，譬如模板和基底之间的机械偏移，热膨胀失配，硅片本身的弯曲和胶在高温时的温度均匀性控制。针对这些问题，Stephen Y. Chou 等人发展了一台不引起机械偏移的压印机（压印机上的两个金属板严格平行且光滑），并采用与基底线胀系数相同的材料作为模板，采用能在更低温度时压印的胶（如 NP-33），同时施加足够大的压力，实现了在 101.6 mm（4 in）片上亚微米的对准精度。

热压雕版压印法实用化的另外一个关键是温度。韩国汉城国立大学化工学院的 Hong H. Lee 小组采用溶剂蒸气处理来降低聚合物层的黏性和玻璃相变点，实现了室温下的压印。首先将退火后的基底和盛有溶剂（如蒸气压相对较高的三氯乙烯）的烧杯放入恒温箱中，达到一定的时间后取出基底，在 30 MPa 和 150 MPa 之间的压力下室温压印 5 ~ 40 min。退模后在模板表面没有发现任何黏附的聚合物，且可以反复使用许多次。

5.2.3 步进-闪光压印法

美国德州大学奥斯汀分校德州材料研究所的 C.G. Willson 小组在 1999 年首先提出步进-闪光压印法（Step and Flash Imprint Lithography），其工艺流程如图 3.2-20 所示。

首先，将一层有机转移层旋涂在硅基底上，再将一个经过表面处理后的带有电路图形浮雕结构的透明模板从上方接近并对准硅基底。然后，在硅基底和模板之间的空隙中滴入一种低黏性、可光聚合的有机硅溶液，并通过毛细作用使之充满空隙。之后将模板接触硅基底上的转移层，使得空隙闭合。接着，利用紫外光从模板背面照射结构。紫外光固化光聚合物并产生一个牢固的富硅且低表面能的模板复制。光固化完成后，将模板从基底上分离，在基底表面留下浮雕的图像，作为刻蚀阻挡层。最后，采用短时卤素等离子体刻蚀转移层上面残余的基层，之后氧气 RIE 刻穿转移层，再去除刻蚀阻挡层，在基底上形成高深宽比的图像。这套工艺中模板的面积远小于硅片，采用了步进重复的方法，每步都要进行一次紫外光照射，如图所示，故此得名“步进－闪光压印法”，它的最大优点在于室温下不需很大的压力就可进行光刻；同时由于模板透明，可以无困难地采用以前的掩模对准配置。

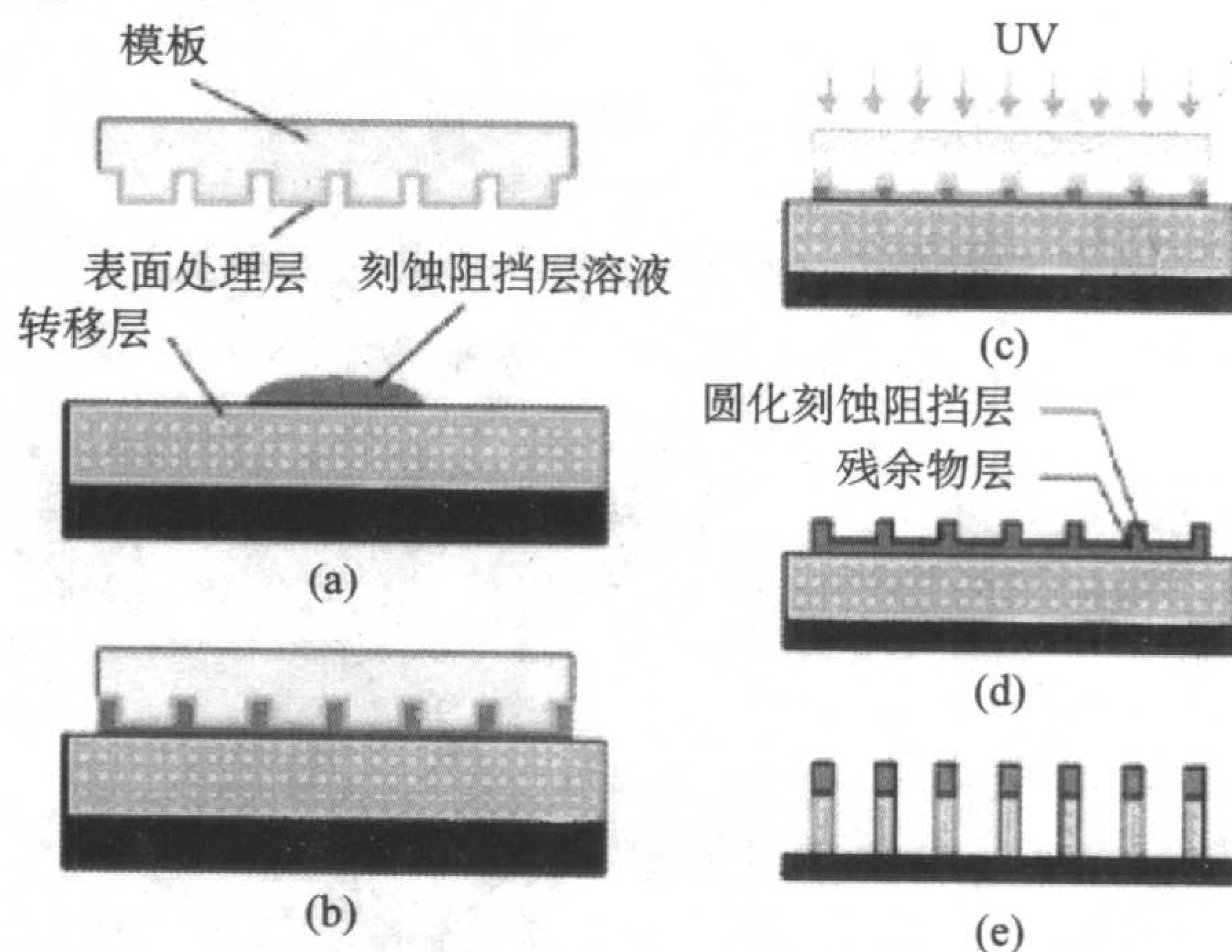


图 3.2-20 步进-闪光压印法的工艺流程

C.G. Willson 小组和 Motorola 物理科学研究实验室的 D.J. Resnick 小组对 SFIL 工艺所采用的模板进行了深入的研究。他们采用两种方法对模板的制作进行了改进。一种方法是采用非常薄（< 20 nm）的铬作为刻蚀石英的硬掩模，这样既可以抑制电子束曝光时的充电，又可以最小化图形转移时遇到的 CD 损失。采用这种方法制备出目前具有最小特征尺寸的模板，并在硅片上压印出仅有 20 nm 宽度的半密集线条。但是，由于石英基底无法耗散电荷，并且没有基于材料的反差，使得 SEM 检测和缺陷检测非常困难。因此，该小组又提出了另一种方法，它是在石英基底上淀积一层透明且导电的 ITO 薄膜（indium tin oxide），再 PECVD 一层氧化硅

(其厚度由压印和后续刻蚀中的深宽比要求决定)，然后电子束光刻并刻蚀氧化硅，最后去胶，形成需要的模板。这种方法给SEM检测和缺陷检测带来了很大的方便，随着对ITO薄膜研究的深入，必将进一步提高制备模板的精度。

6 微细加工技术面临的挑战

随着加工尺寸向90 nm以下逼近，寻求更短波长光源、新的透镜材料和更高数字孔的径光学系统的加工技术成为首先需要解决的问题；同时，由于光刻尺寸要小于光源波长，使得移相和光学邻近效应矫正等波前工程技术成为光学光刻的另一项关键技术。

在光学光刻技术努力突破分辨率“极限”的同时，替代光学光刻的下一代光刻技术的研究在近几年内迅速升温，这些技术包括极紫外（EUVL）投影光刻、电子束投影光刻、离子束投影光刻等等。这些技术均采用了短波长的射线：13.4 nm波长极紫外（EUV）、电子束等，因此，这些技术的分辨率均可超过光学光刻技术，达到30 nm以下。

作为一项生产技术，决定其应用的因素包括成本、技术性能和时间。一项被生产采用的技术应该是适时的、适用的、低成本的。这其中，成本一直是一个决定性的因素。光学光刻之所以占据主流地位至今，其主要的因素就是其具有比其他技术更低的成本。

编写：刘　明（中国科学院微电子研究所）

第3章　集成电路工艺技术

集成电路制作大致可分为电路设计、芯片制造、电路封装、电路测试四大部分。芯片制造由清洗、薄膜制作、图形化、掺杂、金属化等基本工艺模块组成。典型的集成电路制作流程包括350道工艺或者更多步骤来完成所有的制作流程。实际上，制造高性能集成电路芯片，只需要多次运用有限的几种工艺。

由于包括光刻、刻蚀、制版的图形化技术在其他章节已经详细论述，本章将集中描述净化、清洗、薄膜制作、掺杂、金属化等技术。

1　集成电路生产环境净化技术

不含杂质的本征硅原子密度为 $5\times10^{22}/cm^3$，当在其中掺入 $10^{-6}\ cm^{-3}$ 的砷，即施主掺杂浓度 $N_D=5\times10^{16}/cm^3$ 时，其电阻率不到 $0.2\ \Omega\cdot cm$，比纯硅电阻率降低100万倍之多。由此可以看出，$10^{-5}\ cm^{-3}$ 的杂质就会完全改变半导体的电性能，不期望的微量杂质沾污就可能导致半导体器件的失效。

随着器件关键尺寸的缩小，对沾污的控制要求变得越来越严格。在半导体集成电路制造过程中，可以接受的沾污颗粒尺寸是必须小于最小器件特征尺寸的一半。目前，国际主流生产工艺的器件特征尺寸已到0.09 μm的水平，而人的毛发直径大约是90 μm。

半导体集成电路生产环境随着其制造技术发展而改变。沾污是集成电路制造过程中的头号敌人，为使芯片上集成电路的功能正常，必须减少或消除沾污。

现代半导体制造是在被称为净化间的设施中进行的。这种硅片制造设施与外部环境隔离，免受诸如颗粒、金属、有机分子和静电放电（ESD）的沾污。净化间本质上是一个净化过的空间，它以超净空气来把芯片制造同外界的沾污环境，（包括化学品、人员和常规的工作环境）隔离开来。

1.1　沾污的类型

沾污是指半导体制造过程中引入半导体硅片的任何危害集成电路芯片合格率和电学性能的不应有的物质。

沾污经常导致芯片上产生缺陷。致命缺陷将导致集成电路的性能或功能的失效。据估计，80%的芯片电学失效是由沾污带来的缺陷引起的。这类失效导致合格率下降，提高集成电路芯片制造成本。

净化间沾污分为颗粒、金属杂质、有机物沾污、自然氧化层、静电放电五类。

例如，金属杂质可导致氧化物-多晶硅栅结构中的结构性缺陷、pn结漏电流的增加和少数载流子寿命的减少。可动离子沾污能迁移到栅结构中氧化硅界面，改变MOS器件的阈值电压（V_T），见图3.3-1。引起器件在使用期间的失效。

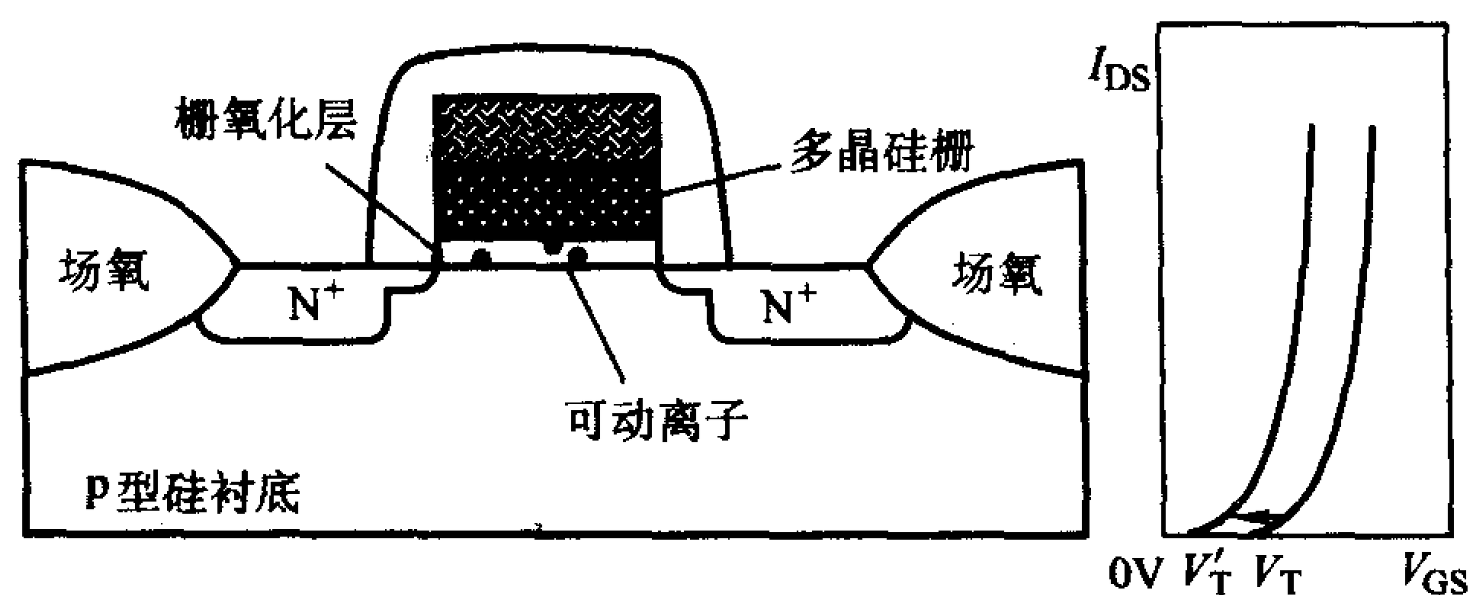


图3.3-1　可动离子沾污改变阈值电压

1.2　沾污的来源与控制

集成电路的净化间必须严格控制沾污以减小危害集成电路的性能的致命缺陷。集成电路硅片生产厂房具有空气、人、厂房、水、化学品、气体和生产设备7种沾污源。

1）空气　净化级别标定了净化间的空气质量级别，它是由净化间空气中的颗粒尺寸和密度表征的。表3.1-1展示了不同净化级别每立方英尺可以允许的颗粒数和颗粒尺寸。

表3.1-1　联邦标准209E中各净化间级别对空气漂浮颗粒的限制

级别	颗粒/ft³				
	0.1 μm	0.2 μm	0.3 μm	0.5 μm	5 μm
1	3.50×10	7.70	3.00	1.00	
10	3.50×10²	7.50×10	3.50×10	1.00×10¹	
100		7.50×10²	3.00×10²	1.00×10²	
1 000				1.00×10³	7.00
10 000				1.00×10⁴	7.00×10
100 000				1.00×10⁵	7.00×10²

注：1 ft = 304.8 mm。

2）人　人员持续不断的进出净化间，是净化间沾污的最大来源。通常的人类活动，如谈话、咳嗽、打喷嚏，对集成电路硅片都是有害的。为实现净化间内的超净环境，人员必须遵循净化间操作规程，还必须穿上超净服。超净服由帽子、连衣裤工作服、靴子和手套组成，完全包裹住了身体。为了减小净化间的沾污，每个集成电路制造公司都有一套严格的程序来满足净化间的操作规程。

3）厂房　现代净化间通常分成了生产区与服务区。在这种净化间布局中，一个走廊分隔开生产区和服务区。在生产区典型的净化级别为1级。而服务区的净化级别为1 000级，绝大多数设备维护在该区进行。

温度和湿度同样是净化间的重要指标。对硅片加工设备温度和湿度的设定有特别的规定。一个1级0.3 μm净化间温度控制的例子是（20±0.25）℃。典型的相对湿度设定为40%±10%。

防静电也是备受关注的指标。可以通过合理运用设备和规程防止静电产生。主要的ESD控制方法有：采用防静电材料、设备仪器接地和空气电离。

4）水　为了制造集成电路，需要大量的高质量、超纯去离子水。去离子水是集成电路制造中用得最多的化学品，主要用在化学硅片清洗溶液和后清洗中。超纯去离子水中不允许的沾污有：可溶性离子、有机物材料、颗粒、细菌、硅土和溶解氧。超纯去离子水是经过特制的离子交换树脂去除电活性盐类的离子，反渗透过滤以去除更小的颗粒和金属离子，用紫外灯来杀灭细菌以及过滤膜等一系列处理过程产生的。

5）超纯化学品　为保证集成电路性能和生产合格率，加工工艺所用的液态化学品不能含沾污。主要指标化学纯度是指容器中特定化学物占总量的百分比。早期化学试剂可分为化学纯、分析纯、优级纯、高纯、超纯、特纯和电子纯等。后来出现了针对半导体集成电路制造的MOS纯等。

6）超纯气体　超纯气体的传送和使用非常关键。处理和传送系统有可能引入杂质影响集成电路的合格率。气体流

经纯化器和气体过滤器以去除杂质和颗粒。

7）生产设备　用来制造集成电路硅片的生产设备是硅片工厂中最大的颗粒来源。许多硅片制作过程发生在真空中，需要特殊的设计考虑以避免沾污。

目前集成电路制造设备自动化程度已经非常高，几乎不需要人员同产品直接接触，减少设备产生的颗粒已成为关注的重点。集成电路制造过程中，硅片经历的设备操作越多，硅片表面的颗粒数增加的几率越大。

2　化学清洗技术

化学清洗是指清除附着在半导体和各种生产用具表面上的杂质的方法。也就是利用不同的化学试剂对不同沾污杂质的化学反应和溶解作用，使沾污杂质与半导体和各种生产用具表面脱附或解吸，并用冷、热去离子水冲洗，以达到去除沾污杂质，清洁表面的目的。

硅片在加工工艺过程中，要经过多次高温处理。硅片在进行工艺之前，其表面必须是洁净的。控制沾污最有效途径是防止沾污硅片。然而，一旦硅片表面被沾污，沾污物必须通过清洗而排除。

2.1　沾污杂质的种类

硅片表面沾污的杂质是多种多样的，如颗粒、有机物、金属和自然氧化层。归纳起来，可分为分子、离子和原子等三种类型。

1）分子型杂质　硅片在经过切、磨、抛等机械加工过程中，要和各种油脂及黏合剂接触，这些有机物分子沾污在硅片表面上就形成分子型杂质。如果硅片上的光刻胶在去胶时没有去干净，或者清洗时有机溶剂没有完全冲洗掉，这些残留的光刻胶和有机溶剂也属于这一类型。此外，大气中的油腻、水汽、二氧化碳、塑料容器本身的增塑剂等也是分子型杂质。人的手指也分泌油脂，所以，手指不能直接和硅片接触。

这些有机物分子型杂质在集成电路制造过程中经常会遇到，它们能引起离子的漂移和极化。所以必须去除它们。分子型杂质以分子间力吸附在硅片上，这种作用力很弱，比较容易去除。

2）离子型杂质　离子型杂质的主要来源是各种腐蚀液，它们是由酸、碱、盐等电解质相互作用形成的，其中含有大量的离子。

生产中金属镊子和人的手指的汗液中、操作者鼻和嘴呼出的气体等也会有一定量的钠等金属离子。一般有 K^+、Na^+、Mg^{2+}、Ca^{2+}、Fe^{2+}、H^+、OH^-、F^-、Cl^-、S^{2-}、CO_3^{2-} 等杂质离子。

3）原子型杂质　原子型杂质主要是指铜、银、金等重金属。这些金属杂质一般来源于腐蚀液中所含的 Cu^{2+}、Ag^+、Au^{3+} 等重金属离子，这些离子的氧化性较强，易被还原，硅片本身就可以把它们还原成金属，淀积在硅片的表面上。

以离子和原子形式附着在硅片表面的杂质，依靠与化学键力极为相似的键力相结合，以至可以认为这些杂质离子或原子，已成为硅片整体的一部分。因此它们将是改变晶体表面的界面态的原因之一。

由于离子和原子型杂质与硅片表面的吸附力较强，所以一般均需使用反应性试剂，利用试剂与吸附杂质起化学反应的方法来使之解吸。

2.2　硅片清洗的顺序

清洗硅片时，首先应去除覆盖在表面上的一层疏水性的有机物残渣，因为它对清除离子型和原子型杂质有阻碍作用。对此可用溶解油类物质和有机物残渣的化学试剂来去除。然后使用化学试剂去除离子型和原子型的杂质，最后用去离子水冲洗，进一步将残存在表面的杂质、灰尘和可溶性物等清除干净。对有机物杂质沾污，一般可使用有机溶剂溶除或用浓硫酸碳化、硝酸氧化等方法去除。若是无机金属离子或原子杂质，则一般都采用化学方法去除：或溶于酸；或与氧化剂反应；或生成络合物。

2.3　有机溶剂的去污作用

硅片上的有机杂质，一般可使用丙酮、乙醇等有机溶剂来溶除。如金属化后的湿法去胶工艺。

2.4　无机试剂的去污作用

无机试剂可以通过化学反应将无机杂质和有机杂质去除。

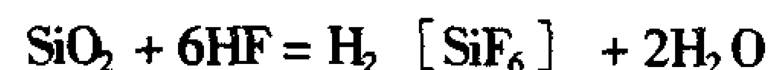
1）盐酸 HCl　在化学清洗中利用它的强酸性来去除无机杂质。多数金属杂质都能与盐酸作用生成可溶盐类。然后在大量纯水的冲洗下溶除。但盐酸不能直接与铜、银、金等重金属作用。

2）硫酸 H_2SO_4　在化学清洗中主要是利用浓硫酸的氧化性和强酸性。浓硫酸不仅能与金属活动顺序表中氢元素以前的金属作用，在加热条件下，还能与氢以后的金属如铜、汞、银等发生氧化还原反应，但不能与金作用。反应生成的硫酸盐一般溶于水。

3）硝酸 HNO_3　浓硝酸的主要性质是具有强酸性和强氧化性。硝酸具有酸类的通性。

4）氢氟酸 HF　氢氟酸是氟化氢的水溶液，是无色透明的液体，其蒸气有刺激臭味，剧毒。氢氟酸的主要性质是具有较弱的酸性、易挥发性和很强的腐蚀性。

氢氟酸有一个很重要的特性是能腐蚀玻璃，即能溶解二氧化硅（SiO_2）。在半导体器件生产的清洗和腐蚀工艺中就利用了这一特性来去除硅片表面的二氧化硅层。其反应式为：



$$SiO_2 + 6HF = H_2[SiF_6] + 2H_2O$$

生成的六氟硅酸可用纯水冲除，由此达到去除二氧化硅的目的。

5）络合剂和螯合剂与杂质的反应　由原子可以形成简单的分子。许多简单分子之间还可以进一步结合，形成复杂的化合物。络合物就是这类化合物的一种，所以络合物也可以叫分子间化合物。

螯合物是具有环状结构的络合物，又称为内络合物。形成螯合物的配位体通常称为螯合剂。螯合剂可用来结合和去除金属离子。

6）氧化剂与杂质的反应　在化学清洗中，当考虑反应试剂时，一般选用容易得到电子的化合物作为氧化剂，通过氧化还原反应，去除作为还原剂的杂质原子或离子。双氧水就是一例。纯净的双氧水（H_2O_2）是淡蓝色的黏稠液体，是一种很好的溶剂。过氧化氢与水可以任何比例混合。常用的是30%的过氧化氢水溶液。

7）实际应用的化学溶液　在集成电路制造中，实际上并不是用单一种酸、碱或氧化剂，而是几种试剂混合起来使用。在湿法清洗中，典型的清洗液以及它们用途列于表3.3-2。

表 3.3-2　硅片湿法清洗化学溶液

名称	化学组分	分子式	用途
3号液	硫酸/过氧化氢/去离子水	$H_2SO_4/H_2O_2/H_2O$	颗粒，金属（不含铜）
1号液	氢氧化铵/过氧化氢/去离子水	$NH_4OH/H_2O_2/H_2O$	颗粒，有机物

续表 3.3-2

名称	化学组分	分子式	用途
2号液	盐酸/过氧化氢/去离子水	$HCl//H_2O_2/H_2O$	金属（不含铜）
DHF	氢氟酸/水溶液	HF/H_2O	金属（不含铜），自然氧化层
BHF	缓冲氢氟酸	$NH_4F/HF/H_2O$	自然氧化层

注：所有清洗后面都伴随去离子水清洗。

硅片制作过程中最关键的表面清洗工艺步骤之一发生在硅片上热生长氧化层之前。超薄氧化层必须从完全洁净的硅片表面上开始生长。

2.5 湿法清洗设备

由于湿法清洗在集成电路制造中的广泛使用，考虑设备选型的因素是湿法清洗过程中减小化学溶液的浓度和用量。传统的湿法清洗工艺在清洗槽中进行，由于清洗溶液的挥发，它们的蒸气对人体有害，所以清洗槽周围要装备适量的抽风系统。装备有微处理器控制、机械手操作和自动化学品配比的自动清洗设备很常见。

1）浸泡式　半导体早期采用的一种方式，将要清洗的硅片放在一个注有去离子水的槽中。由于水不流动，其清洗效果差。这种方式现在已很少使用。

2）超声清洗器　结合1号液用得最为广泛的一个湿法清洗技术是超声清洗法。超声清洗法在清洗工艺中采用接近1 MHz的超声能量（见图3.3-2）。这种工艺在更低的溶液温度（30℃而不是原来的80℃）下实现了更有效的颗粒去除。当振荡频率低于100 kHz时，这一工艺称为超声清洗。

3）喷雾清洗机　在喷雾清洗技术中，湿法清洗化学品被喷射到置于旋转密封腔内片架的硅片上（见图3.3-3）。每个清洗步骤最后是将去离子水喷射到硅片上，并且对去离子水的电阻率进行监控，以确定何时所有的化学物都被去除。喷射腔在工艺过程中密封以隔离化学物和它们的蒸气。在完成清洗和清洗循环后，腔体充入加热的氮气，并加速旋转以甩干硅片。

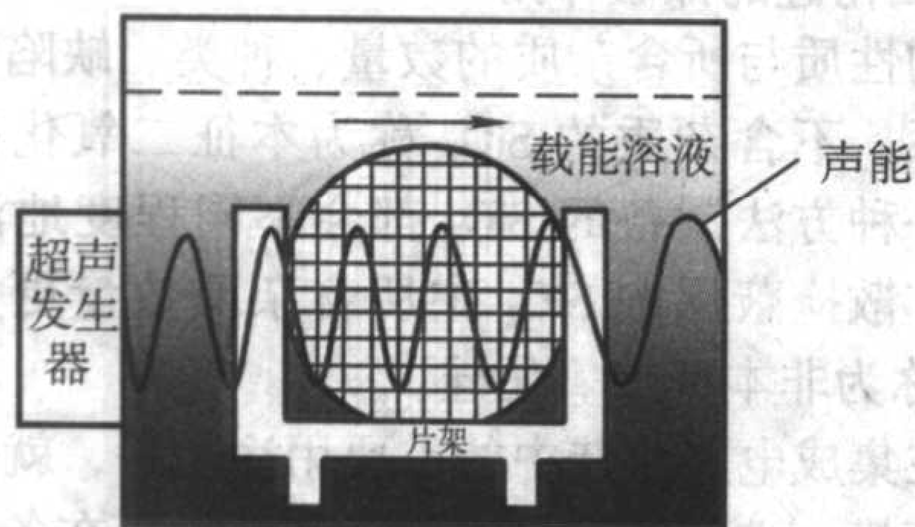


图 3.3-2　清洗槽

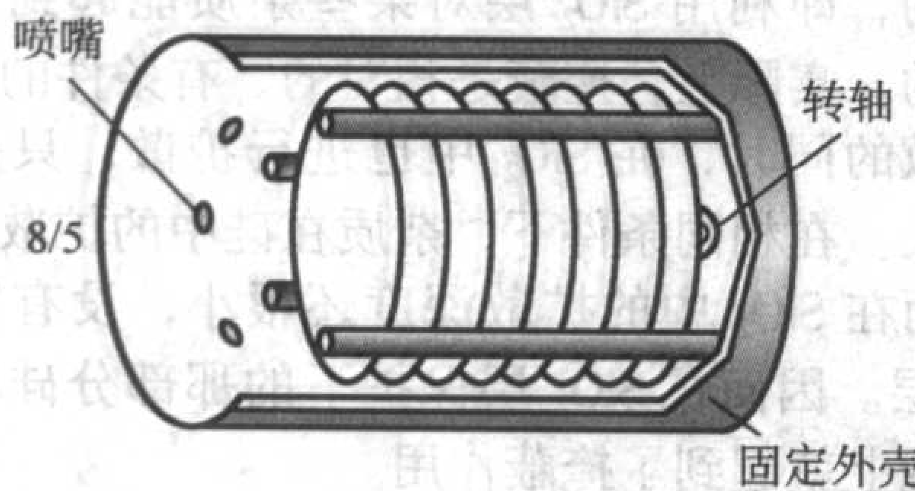


图 3.3-3　用于硅片清洗的喷雾系统

4）水清洗槽　清洗完成后硅片上的化学残余物必须去除。每一步湿法清洗工艺后面都跟随着超高纯度的去离子水清洗。清洗过程需要向硅片表面持续不断的供给超纯水。

传统上绝大多数类型的去离子水清洗都是用溢流清洗装置（见图3.3-4）。去离子水送入清洗系统流经并环绕硅片，有时使用氮气鼓泡器来增进同硅片表面化学物的混合。溢流清洗装置的流体运动用来清除从硅片表面扩散到水流中的沾污。

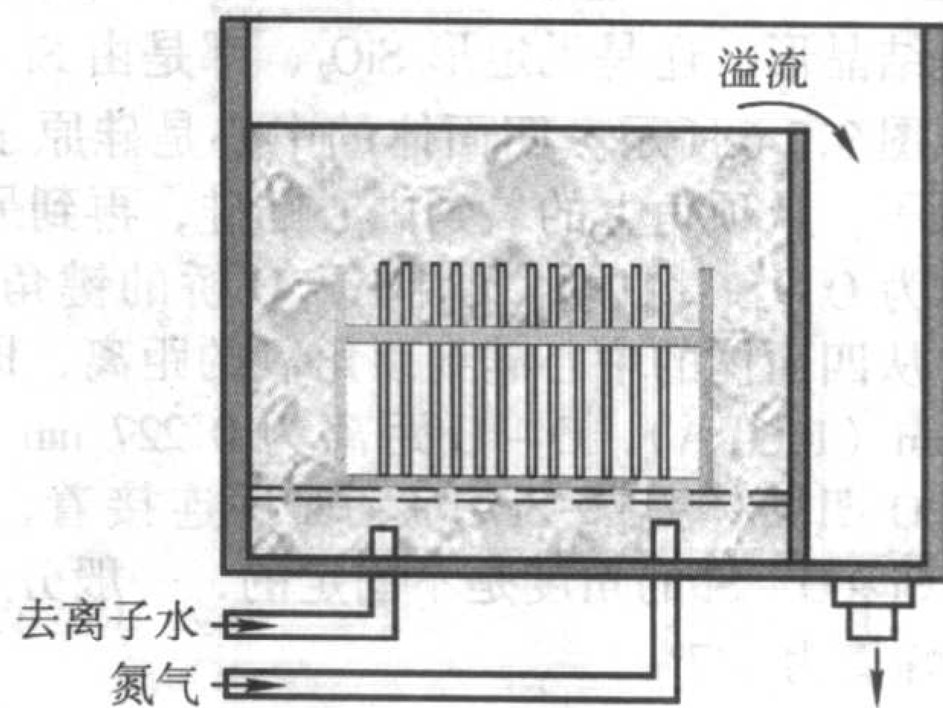


图 3.3-4　溢流清洗装置

排空清洗是一个简单的清洗方法。硅片装入清洗池时，去离子水喷射到硅片上。当达到某一水位时，快速开启池底的排水管，水立即排空（见图3.3-5），然后排水管关闭，这个周期按一定次数循环。

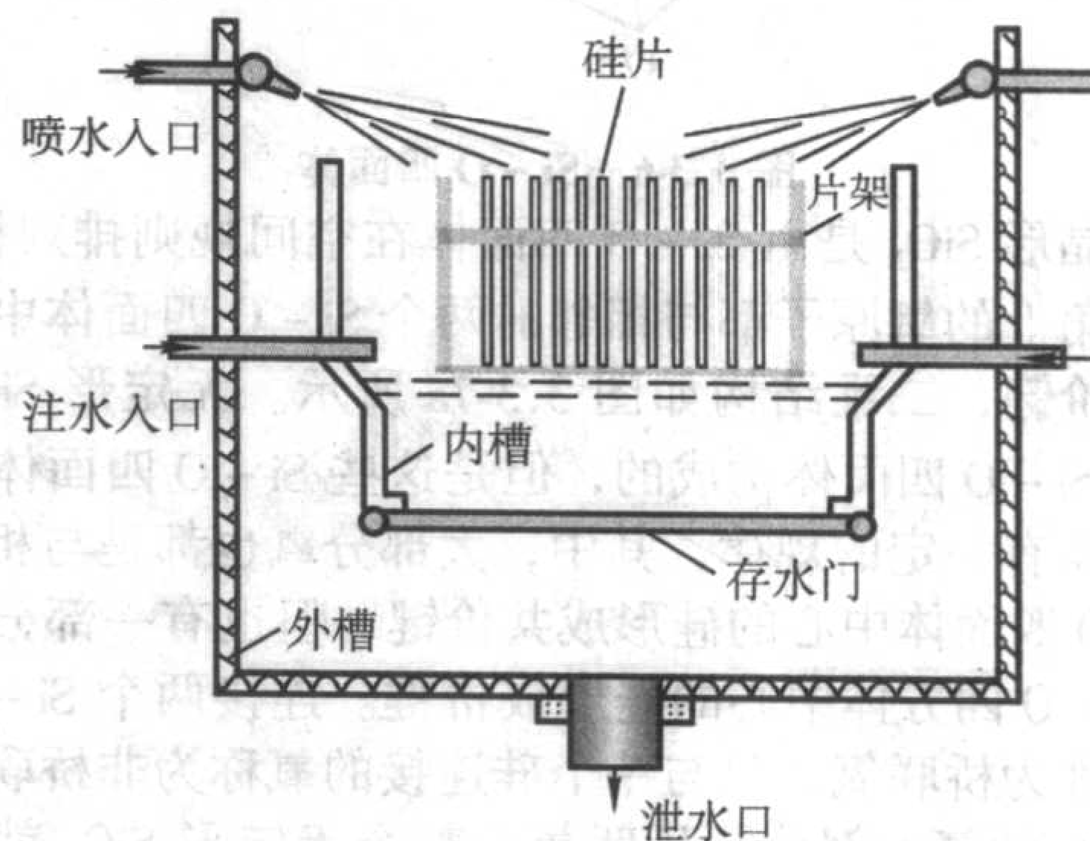


图 3.3-5　排空清洗装置

5）硅片甩干机　既然使用了大量的水清洗，甩干是非常重要的，理想情况下应该没有干燥斑点。由于HF清洗过的硅片表面容易受到沾污，必须彻底干燥硅片的表面。旋转式甩干机在过去已经广泛使用。一架子硅片送入旋转设备内，在硅片被喷吹加热氮气的同时，通过高速旋转去除水分。

3　氧化和热处理技术

硅基集成电路制造技术的基础之一是能在硅片表面热生长一层氧化膜的能力。在硅片表面热生长的氧化膜，通过光刻和刻蚀工艺，以氧化膜作掩蔽，来实现对硅衬底的选择性扩散掺杂技术。从20世纪50年代以来，氧化在硅的平面工艺发展中扮演着重要的角色，至今仍在硅基集成电路制造业中得到广泛应用。

采用适当的方法，可制备出具有高质量、稳定的氧化膜。氧化膜的质量对集成电路的性能至关重要，特别是对于MOS工艺中的栅结构。热氧化膜可用来作为介质材料，如隔离器件、注入的氧化层屏蔽，应力驰豫氧化物以及为光刻胶黏附和应力释放的氮化物和多晶硅表面再氧化。

氧化膜可以通过氧化生长或淀积得到。本节着重讨论氧化膜的性质、生长过程和使用的生长设备等。

3.1　二氧化硅的结构及性质

SiO_2是自然界广泛存在的一种物质。按结构特点可分为结晶形和非结晶形（无定形）。方石英、鳞石英、水晶等都属于结晶形的SiO_2。这里就SiO_2的电学、热学、光学等性

质加以叙述。

3.1.1 二氧化硅的结构及性质

在硅器件和集成电路的制造中，经常采用热氧化方法制备的 SiO_2 是无定形的，它是一种透明的玻璃体。

无论是结晶形，还是无定形 SiO_2，都是由 Si－O 四面体组成的，如图 3.3-6 所示。四面体的中心是硅原子，四个顶角上是氧原子。从顶角上的氧到中心的硅，再到另一个顶角上的氧，称为 O－Si－O 桥。O－Si－O 桥的键角为 109.5°，是固定的。从四面体的中心硅到顶角氧的距离，即 Si－O 距离为 0.16 nm（1.60 Å），O－O 距离为 0.227 nm（2.27 Å）。相邻的 Si－O 四面体是靠 Si－O－Si 桥连接着，对无定形 SiO_2 来说，Si－O－Si 的角度是不固定的，一般分布在120°～180°之间，峰值为 147°。

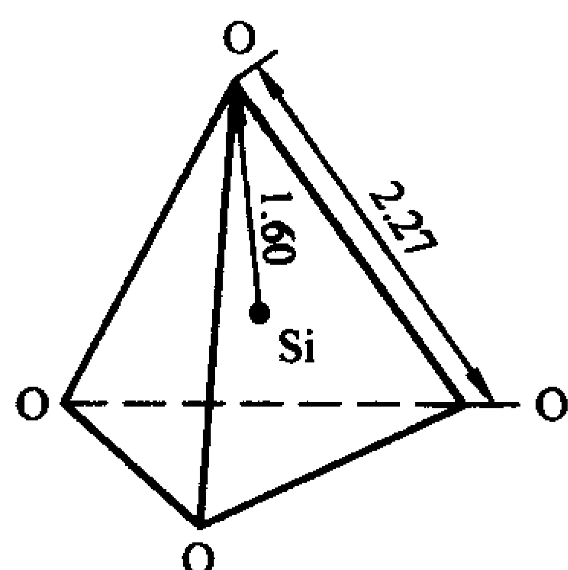
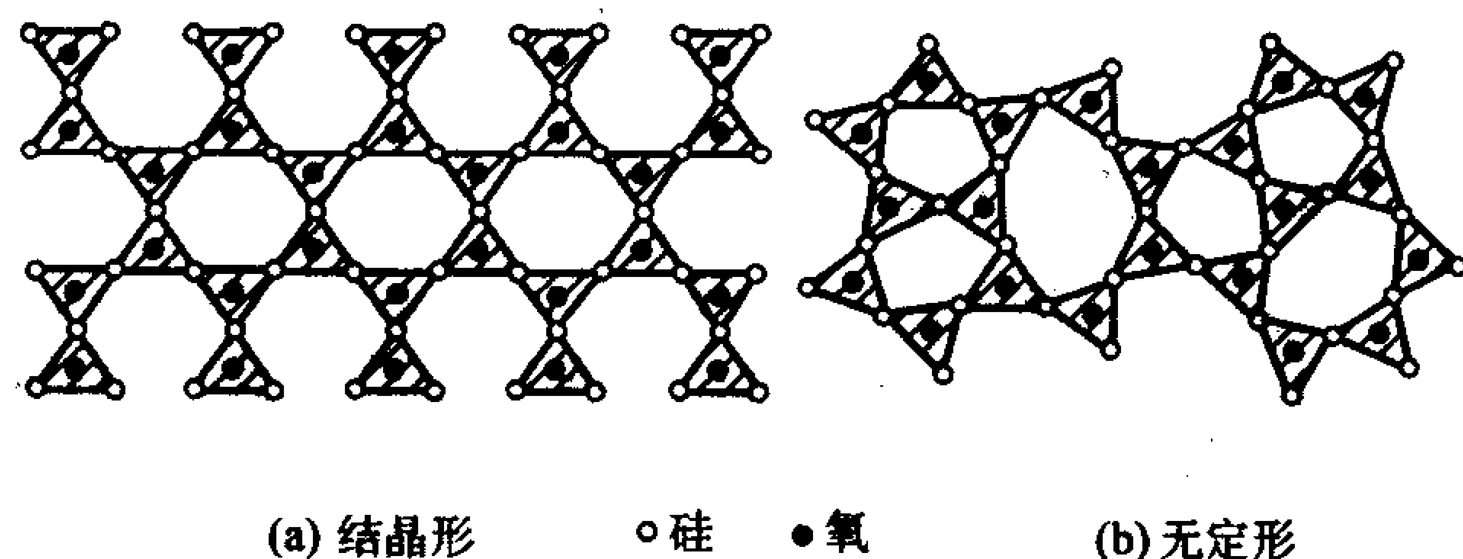


图 3.3-6 Si－O 四面体

结晶形 SiO_2 是由 Si－O 四面体在空间规则排列构成的。每个顶角上的氧原子都与相邻的两个 Si－O 四面体中心的硅形成共价键，二维结构如图 3.3-7a 所示。无定形 SiO_2 虽然也是由 Si－O 四面体构成的，但是这些 Si－O 四面体在空间的排列没有一定的规律，其中，大部分氧也都是与相邻的两个 Si－O 四面体中心的硅形成共价键，但也有一部分氧只与一个 Si－O 四方体中心的硅形成价键。连接两个 Si－O 四面体的氧称为桥联氧，只与一个硅连接的氧称为非桥联氧。无定形 SiO_2 的氧大部分是桥联氧，整个无定形 SiO_2 就是依靠桥联氧把 Si－O 四面体无规则地连接起来，构成三维的玻璃网络体。二维结构如图 3.3-7b 所示。由图可以看到，网络是疏松的，不均匀，存在孔洞。SiO_2 分子只占无定形网络空间体积的 43% 左右，密度为 2.15～2.25 g/cm^3，而结晶形 SiO_2 的密度为 2.65 g/cm^3。



(a) 结晶形　○硅　●氧　(b) 无定形

图 3.3-7 结晶形和无定形 SiO_2 二维结构示意图

无定形 SiO_2 的强度应是桥联氧数目与非桥联氧数目之比的函数。桥联氧的数目越多，则 Si－O 四面体之间结合得就越紧密，否则就疏松。无定形 SiO_2 没有固定的熔点，只能说某一温度范围是软化温度。因为要使一个桥联氧脱离键合状态所需要的能量与一个非桥联氧脱离键合状态所需要的能量不同。无定形 SiO_2 的熔点在 1 700℃以上。

由无定形 SiO_2 的结构可以看到，每个 Si－O 四面体中心的硅都与四个顶角上的氧形成共价键，而每个顶角上的氧最多与两个硅形成 Si－O 键（桥联氧）。硅要运动就必须“打破”四个 Si－O 键，而对氧来说，只需“打破”两个 Si－O 键；对非桥联氧只需“打破”一个 Si－O 键。相比之下，在无定形 SiO_2 网络中，氧的运动同硅相比更容易些。正因这样，在无定形 SiO_2 网络中出现硅空位是相对困难的。在热氧化方法制备 SiO_2 的过程中，是氧或水汽等氧化剂穿过 SiO_2 层，到达 Si－SiO_2 界面，与硅反应生成 SiO_2，而不是硅向 SiO_2 外表面运动，在表面与氧化剂反应生成 SiO_2。

二氧化硅的性质见表 3.3-3。

表 3.3-3 SiO_2 的性质

性质	单位	数值	说明
分子量		60.08	
分子密度	分子·cm^{-3}	2.3×10^{22}	
密度	g·cm^{-3}	2.27	
禁带宽度	eV	约 8	Si:SiO_2 势垒高度 3.25
电阻率	Ω·cm	＞10^{16}	
介电常数		3.9	
击穿强度	V·cm^{-1}	约 6×10^6	
折射率		约 1.46	波长约为 550 nm(5 500 Å)时
熔点	℃	～1 700	
蒸汽压	Pa	10^{-1}	1 450℃
		10	1 700℃
比热容	kJ·(kg·℃)$^{-1}$	1.0	
热导率	W·(cm·℃)$^{-1}$	0.014	
热扩散系数	cm^2·s^{-1}	0.006	
线胀系数	10^{-6}·K－1	0.5	
晶体结构	Si－O_4 四面体的随机网络 50%共价键，50%离子键		

注：除已经注明温度外，其余都是在 27℃。

SiO_2 的化学性质非常稳定，只与氢氟酸能发生化学反应。在生产中利用 SiO_2 能与氢氟酸反应的性质，完成对 SiO_2 腐蚀的目的，对 SiO_2 腐蚀速率的快慢与氢氟酸的浓度、温度、SiO_2 的质量以及所含杂质的数量等情况有关，不同方法制备的 SiO_2，其腐蚀速率可能相差很大。

3.1.2 二氧化硅的掩蔽作用

SiO_2 的性质与所含杂质的数量、种类、缺陷的多少有着密切的关系。不含杂质的 SiO_2 称为本征二氧化硅。一般来说，任何一种方法制备的 SiO_2 都会不同程度地沾污各种杂质。作为扩散掩蔽层的 SiO_2 中所含杂质数量更大。含有杂质的 SiO_2 称为非本征二氧化硅。

SiO_2 在集成电路制造中的重要用途之一，就是作为选择扩散的掩蔽模。选择扩散是根据某些杂质，在条件相同的情况下，在 SiO_2 中的扩散速度远小于在硅中的扩散速度的性质来完成的，即利用 SiO_2 层对某些杂质能起到“掩蔽”作用来达到的。实际上，掩蔽是相对的、有条件的，因为杂质在硅中扩散的同时，在 SiO_2 中也进行扩散，只是扩散速度相差非常大。在相同条件下，杂质在硅中的扩散深度已达到要求时，而在 SiO_2 中的扩散深度还很小，没有穿透预先生长的 SiO_2 层。因而在 SiO_2 层保护下的那部分硅内没有杂质进入，客观上就起到了掩蔽作用。

3.2 硅的热氧化

制备 SiO_2 的方法很多，有热分解淀积法、溅射法、真空蒸发法、阳极氧化法、等离子氧化法、热氧化法等。每种方法各有特点，可根据要求选择合适的制备方法。虽然 SiO_2 的制备方法很多，但唯独热生长法制备的 SiO_2 质量最好，

是现代集成电路的重要基础工艺之一。热生长法制备的 SiO_2 具有很高的重复性和化学稳定性，其物理性质和化学性质不太受湿度和中等热处理条件的影响。另外，热生长 SiO_2 能够降低表面悬挂键，从而使表面态密度减小，而且还能很好地控制界面陷阱和固定电荷，这些特点对 MOS 器件和其他器件都是至关重要的。

热氧化法是指硅与氧或水汽，在高温下经化学反应生成 SiO_2。高压氧化和“加速”氧化的专门技术也属于热氧化。硅与氧化剂之间经化学反应形成具有四个 Si－O 键的 Si－O 四面体是热氧化的基本过程。硅表面上如果没有 SiO_2 层，则氧或水汽直接与硅反应生成 SiO_2。SiO_2 的生长速率由表面化学反应的快慢决定，当硅表面上生成一定厚度的 SiO_2 层之后，氧化剂必须以扩散方式运动到 Si－SiO_2 界面，再与硅反应生成 SiO_2，因此，随着 SiO_2 层的增厚，生长速率将逐渐下降。在这种情况下，生长速率将由氧化剂通过 SiO_2 层的扩散速率来决定。干氧氧化时，当厚度超过 4 nm（40 Å）；湿氧氧化时，厚度超过 100 nm（1 000 Å），就能观察到生长过程是由扩散控制的。

热氧化法生长的 SiO_2 中的硅是来源于硅表面，即硅表面处的硅经化学反应转变为 SiO_2 中的成分。这样，随着反应的进行，硅表面位置不断向硅内方向移动。因此，硅的热氧化将有一个洁净的界面，氧化过程中的沾污物则留在 SiO_2 的表面。我们知道，无定形 SiO_2 的分子密度 $N_{SiO_2}=2.3\times10^{22}/cm^3$，每个 SiO_2 分子中含有一个硅原子，所以 SiO_2 中所含硅的原子密度也为 $2.3\times10^{22}/cm^3$。硅晶体的原子密度 $N_{Si}=5.0\times10^{22}/cm^3$。如果硅片表面原来没有 SiO_2，生长一定厚度的 SiO_2 层后，由于表面硅转化为 SiO_2 中的成分，则硅表面位置将发生变化。变化后的硅表面位置在原位置下面 x 处，如图 3.3-8 所示。

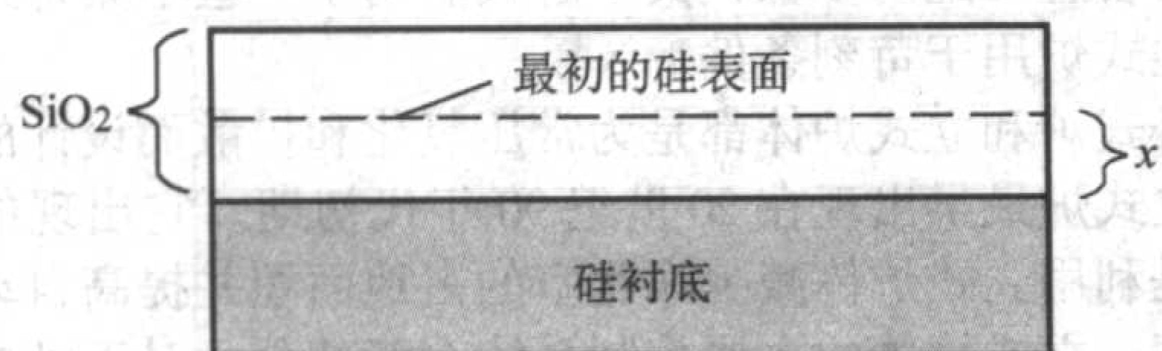


图 3.3-8　SiO_2 生长过程中硅表面位置的变化情况

厚度为 x_0，面积为 1 cm² 的体内所含 SiO_2 的分子数为 $N_{SiO_2}\cdot x_0$，而这个数值应该与转变为 SiO_2 的硅原子数 $N_{Si}\cdot x$ 相等，即

$$N_{Si}\,x = N_{SiO_2}\,x_0 \tag{3.3-1}$$

氧化前后硅表面位置的变化量 x 就为

$$x=\frac{N_{SiO_2}}{N_{Si}}x_0 \tag{3.3.2}$$

把 N_{Si_2} 和 N_{Si} 的数值代入，则得

$$x=0.46x_0 \tag{3.3-3}$$

由上式可知，要生长一个单位厚度的 SiO_2，就需要消耗 0.46 个单位厚度的硅层。

根据氧化剂的不同，热氧化可分为干氧氧化、水汽氧化和湿氧氧化，下面分别讨论这些方法的各种特点。

3.2.1　干氧氧化

干氧氧化是指在高温下，氧气与硅反应生成 SiO_2，反应式为



$$Si+O_2\xrightarrow{\triangle}SiO_2 \tag{3.3-4}$$

氧化温度为 900～1 200℃，气体流速为 1 cm/s 左右，为了防止氧化炉外部气体的污染，炉内气体压力应比一个大气压稍高些，可以通过气体流速来控制。

干氧氧化生成的 SiO_2，具有结构致密、干燥、均匀性和重复性好，掩蔽能力强，与光刻胶黏附好等优点。目前制备高质量的 SiO_2 薄膜基本上都采用这种方法，例如 MOS 晶体管的栅氧化层。干氧氧化法的生长速率慢，所以经常同湿氧氧化方法相结合来生长 SiO_2。

3.2.2　水汽氧化

水汽氧化指的是在高温下，硅与高纯水产生的蒸气反应生成 SiO_2。反应式为



$$Si+2H_2O\xrightarrow{\triangle}SiO_2+2H_2\uparrow \tag{3.3-5}$$

由反应式可以看到，每生成一个 SiO_2 分子，需要两个 H_2O 分子，同时产生两个 H_2 分子。产生的 H_2 分子沿 Si－SiO_2 界面或者以扩散方式通过 SiO_2 层散离。

在 1 200℃下，水分子的扩散速度比干氧氧化时氧气的扩散速度快几十倍。水汽氧化生成的 SiO_2 质量较差，稳定性不太理想，对磷扩散的掩蔽能力不强。

3.2.3　湿氧氧化

湿氧氧化的氧化剂是通过高纯水的氧气，高纯水一般被加热到 95℃左右。通过高纯水的氧气携带一定数量的水蒸气，所以湿氧氧化的氧化剂既含有氧，又含有水汽。SiO_2 的生长速率介于氧气和水汽氧化之间，具体情况与氧气流量、水汽的含量有着密切关系。水汽含量与水温和氧气流量有关。氧气流量越大，水温越高，则水汽含量就越大。如果水汽含量很少，SiO_2 的生长速率和质量就越接近于干氧氧化的情况，反之，就越接近水汽氧化的情况。

另外，也可以用惰性气体（氮气或氩气）携带水汽进行氧化，在这种情况下的氧化完全是由水汽引起的。湿氧氧化也可以采用水热解方式。在这种氧化系统中，将纯氢和纯氧直接送入氧化炉管内反应生成水汽，而且可在很宽的范围内变化 H_2O 的分压，并能减少污染。

在实际生产中，根据要求选择干氧氧化、水汽氧化或湿氧氧化。但采用较多的是干氧－湿氧－干氧相结合的氧化方式。这种氧化方式既保证了 SiO_2 表面和 Si－SiO_2 界面质量，又解决了生长速率的问题。

3.3　热处理

实际上，对圆晶片进行的所有物理方式或化学方式的加工，都离不开热的作用，需要把圆晶片加热到一定的温度，以便加工在合理的速率下进行。热氧化、掺杂和各种化学汽相淀积都与热过程分不开。这里介绍热退火、硅化反应、热熔流及固化等与热过程密切相关的工艺原理。

3.3.1　退火

退火是冶金材料生产过程中常见的一种工艺技术。它的目的是要消除材料里因缺陷所累积的内应力。所使用的方法是将被退火材料置于适当的高温下一段时间，利用热能，使材料内的原子有能力进行晶格位置的重排，以降低材料内的缺陷密度。主要的缺陷有晶粒界面错位，及各种的点缺陷等。当材料里的缺陷密度降低到某一个程度之后，新的且无缺陷的晶粒将取代原有的晶粒，并在原有的地点持续地扩大，这个现象称为晶粒成长。

在集成电路生产过程中，只要材料或是薄膜所承受的应力不会导致晶片的弯曲或是薄膜的剥离，基本上并不十分注意它的强弱。但是，因为材料的缺陷或是结构会影响其本身的电性能，因此，退火在半导体工艺中应用主要的着眼点是在恢复或是改善材料的电性能。主要的退火步骤有离子注入后的退火，及金属硅化物的退火等。

基本上，当使用离子注入法对硅晶片进行掺杂时，因为所使用的离子均具有极高的能量（约数十个 keV 以上），这

些离子将破坏硅晶片表面的原子排列结构，甚至使单晶硅因这些高能离子的撞击而成为非晶硅。因此，当离子注入步骤完成之后，在惰性气体环境中，对这些晶片进行退火，可以恢复这些表面原子的结构及电性能。

3.3.2　硅化反应

铝是现在半导体制造业里最常用的金属层材料，但是，因为铝与硅的界面并不稳定，所以通常在铝-硅的界面上，增加一层用来隔离它们两者的阻挡层，通常是使用氮化钛(TiN)。但是这样一来，金属层与MOS元件的源极和漏极进行欧姆接触的效果便降低，解决的方法是在TiN与硅的接触界面，再增加一层导电性较好的硅化钛（$TiSi_2$），使接触窗金属事实上是由$TiSi_2$、TiN，及铝合金等三层不同的材料组合而成。其中，制作$TiSi_2$的方法，是先在硅的接触窗表面，以溅射的方式，淀积一层膜，然后在高温下，将钛与界面上的硅，按式3.3-6所列的硅化反应，来形成所需要的$TiSi_2$。



$$Ti + 2Si \xrightarrow{\triangle} TiSi_2 \qquad (3.3\text{-}6)$$

3.3.3　熔流（reflow）

在集成电路制造中，磷硅玻璃（PSG）及硼磷硅玻璃(BPSG)主要用来作为隔离金属的层间介质。尤其是BPSG，因为让其进行熔流动所需要的"玻璃态转变温度"比较低，所以已为大多数的半导体厂商用来作为MOS主体完成后的第一层介电层材料。

BPSG在半导体器件制作上的应用，基本上可以分为两个阶段。首先，可以使用$SiH_4/PH_3/B_2H_6$，或是$TEOS/O_3/TMP/TMB$等反应气体，以常压化学气相淀积（APCVD）或等离子增强化学气相淀积（PECVD）的方式来淀积BPSG。当完成BPSG的淀积之后，为了使BPSG进行熔流，淀积有BPSG的硅晶片将置于温度约在850～950℃的热炉管内一段时间（通常约20～40 min），借助BPSG在高温下的流动性，使BPSG层的平坦化改善。当BPSG的淀积与熔流完成，且经过接触孔光刻与刻蚀等步骤之后，为了使接下来的金属层溅射能顺利地在刚刚形成的接触孔中淀积，通常会再把硅片送入刚才的热炉管内，以相同或类似的操作参数，进行BPSG的第二次熔流。这个步骤称为"熔流"，也有人称其为"回流"。

3.3.4　快速热处理

热炉管在半导体工艺上的应用很广，除了SOG等的制程之外，其操作温度大都在八、九百度以上。然而，这正是杂质热扩散的温度工作区间。假如已部分或全部完成MOS器件的源极与漏极的制作，包括离子注入及杂质的再扩散，任何接下来的热炉管工艺，如BPSG的热熔流与再热熔流，都会使得MOS源极与漏极内的杂质再继续的往外扩散，而影响MOS器件的有效沟道长度（L_{eff}），及结深（X_j），如图3.3-9的虚线所示。因此，如何有效地进行晶片的热处理，又不影响器件的杂质分布，是这种传统热炉管式工艺的改进重点。快速热处理（RTP），便是在这个着眼点下发展的热处理工艺技术。

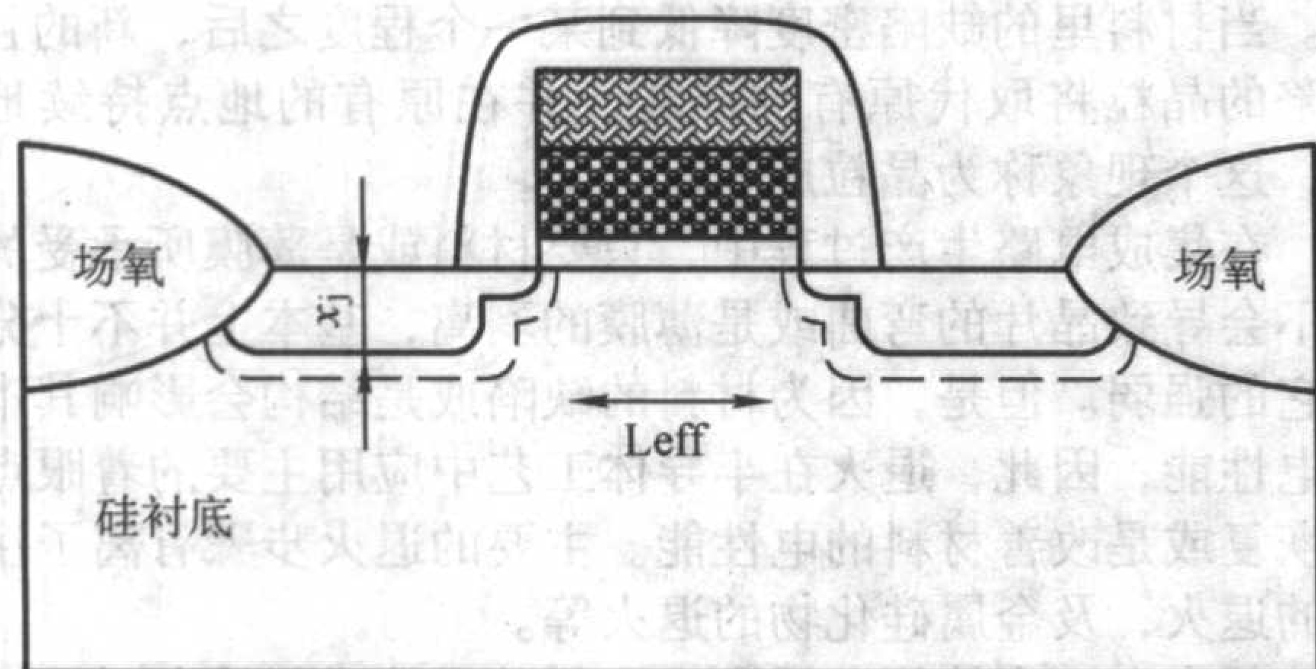


图3.3-9　高温处理后MOS器件结变化示意图

在RTP的应用上，原则上，本章所提到的各种热处理过程，如离子注入后的退火、栅氧化层的生长与退火、金属硅化物的形成反应以及BPSG的热熔流和再热熔流等，都可以看到它延伸的触角。

3.4　高温系统

用于热工艺的基本设备有三种形式：①卧式炉；②立式炉；③快速热处理系统。

从早期的半导体工业开始，卧式炉是在硅片热处理中被广泛应用的设备。它的命名来自用于石英管的水平位置，石英管是用来放置和加热硅片的。在20世纪90年代初期，这种炉大部分被立式炉体取代，这主要是由于立式炉更易自动化、可改善操作者的安全和减少颗粒沾污。立式炉，也称作立式扩散炉，与卧式炉相比可更好控制温度和均匀性。卧式炉和立式炉体被认为是常规的热壁炉体，这是因为硅片和炉壁都需要加热，并且可同时处理大量的硅片（100～200 min）。常规炉体以20℃/min（或者比这更小）的速率升高或降低硅片温度。

快速热处理（RTP）是种小型的、快速加热系统，带有辐射热和冷却源，通常一次处理一片硅片。当快速热处理用在Si衬底的热退火时，称为快速热退火（RTA）。由于RTP具有非常快的、局域化的加热时间，它只对硅片进行加热(不对炉壁加热)。典型的RTP设备可以达到每秒几十度的升降温速率，使用双面硅片加热方式可达到250℃/s。RTP技术应用始于20世纪80年代后期，并在诸如阻挡层的形成和氧化物回流等领域中使用。

3.4.1　卧式炉与立式炉

卧式炉仍然在使用并且在技术上一直在改进，这导致它在硅片制造厂中的应用被重新关注。相对立式炉的低成本使它们对大于0.5 μm图形化的硅片具有吸引力。这就允许有一种混合且匹配的步骤，其中卧式炉用于一些不太苛刻的条件，立式炉用于苛刻条件。

卧式炉和立式炉体都是为常压氧化和扩散而设计的。

立式炉最早出现在20世纪90年代初期。它出现的主要原因是利用立式炉体减少净化室的占地面积并提高自动化处理程度。立式炉体的主要控制系统有五部分，对于卧式炉有同样的五部分：①炉管；②硅片传输系统；③气体分配系统；④尾气系统；⑤温控系统。

1）炉管　炉管是对硅片加热的场所。它由垂直的石英钟罩、多区加热电阻丝和加热管套（见图3.3-10）组成的。

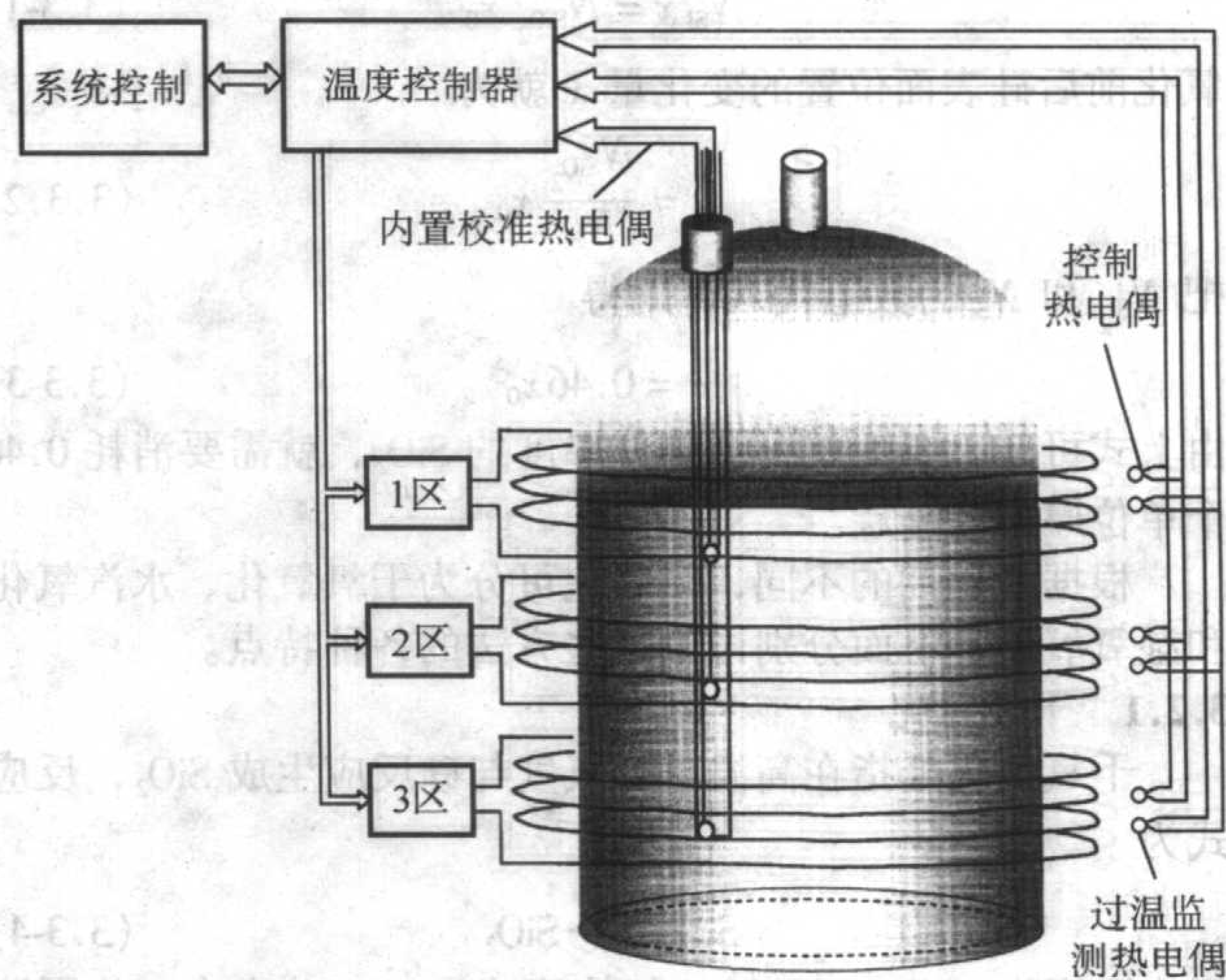


图3.3-10　高温炉上热电偶的位置

在卧式炉里也用炉管来描述加热腔体。炉管必须移动方便，使之在必要时清洗方便。

① 炉管材料　硅片在炉管中水平放置于垂直的硅舟上。舟和其他的炉管元件是用耐高温的无定形石英做成的。当无定形石英处于高温熔融时，它是一种单晶 SiO_2。炉管容器通常称为石英器皿，炉管中放置硅片用的支撑结构称为石英载物台。

② 加热区　石英炉管都被电热丝围绕，可用来控制多个加热区。通常加热区数目从3到7都有。加热区的数目是很重要的，因为这使得控制炉体中间附近的温度，即在热反应发生的地方，更容易获得一段温度平坦的区域，一般称为恒温区。

先进的立式炉的一个重要特征是炉管内围绕硅片的气流控制。这种气流称为气氛。一些炉子用真空锁保持炉管里的气氛，避免暴露在大气中，另一些用纯氮冲吹加工完一批硅片后的残留气体。

③ 加热单元　立式炉里的加热单元是缠绕在炉管外部的金属电阻丝。加热时，通过加热区，它可提供均匀的热量。开、关加热器的响应来自于温度控制的信号，温控由可控硅整流器（SCR）组成的交换系统完成。交换系统决定着输送给加热器功率的多少（如50%功率或者100%功率）。

④ 温度控制　精确控制炉管温度的能力对炉体是非常关键的。温控的一个重要部分是传感器，热电偶（TC）可以探测温度并且提供相应的毫伏信号给炉子的控制器。稳定、精确、便宜、可在较宽的温度区域里工作，这些特点是热电偶经常被使用的原因。

对于高温炉管的每一个加热区都有多支热电偶（见图3.3-10）。内置校准热电偶置于高温炉管的内部，与硅片相邻近，每一加热区各有一支，可测量硅片表面附近的温度。控温热电偶置于处理腔体的外部，靠近温控区域内的缠绕的加热电阻丝，可测量加热器的温度。另外，在控温热电偶附近有过温热电偶，监视最大加热温度，确保炉温不在过温下工作。

2）气体分配系统　气体分配系统是通过将正确的气流传送到炉管，来维持炉内的气氛。对于不同工艺，通过分配系统输送给炉管的气体也不同。

彻底地清除气体和其副产品是很重要的。在立式炉体中，这是通过位于立式炉管一端的通孔来完成的。气体进入排气管以控制各种气流的方向。

3）控制系统　微控制器控制着炉子的所有操作，如工艺时间和温度的控制、工艺步骤的顺序、气体种类、气流速率、升降温的速率和装卸硅片。升降温的速率是硅片暴露在升温或冷却时的温度变化的比率，测量单位为℃/min。立式炉通常的升降温速率是10℃/min，恒温区的温度维持在0.6℃以内。其他功能如诊断技术和数据收集也由微处理器执行。

3.4.2　快速热处理

快速热处理是在非常短时间内（经常是几分之一秒），将单个硅片加热至400～1 300℃的温度范围内的一种方法。相对于传统的立式炉，RTP的主要优点有：①减少热预算；②硅中杂质运动最小；③减少沾污，这归功于冷壁加热；④由于较小的腔体体积，可以达到清洁的气氛；⑤更短的加工时间。

1）RTP设计　图3.3-11是快速热处理系统的示意图。在常压或低压下，单个硅片在腔体内被快速加热，通常我们称这腔体为反应腔。RTP具有气体处理系统和控制系统操作的计算机。

大多数的RTP采用多盏卤钨灯组装在一起作为热源。卤钨灯通常安装在硅片的顶部和底部，数目可从25盏到超过150盏。它们被置于多个区域里，如第4～第14区，这可以使硅片上温度等高。这种等高温度分布可以补偿可能发生在冷壁系统升降温过程中的加热和冷却的不均匀性。卤钨灯将产生短波长辐射，硅片加热是依靠选择性吸收卤钨灯的辐射。用这种方式，RTP在辐射热源和硅片间传输能量，同时也不会对反应腔壁加热。这也是使用“冷壁”一词的原因。冷腔通常是光滑的金属以提高反射率，其上有一石英窗口，可使来自卤钨灯热源的辐射通过。注意有些系统使用灯或电阻加热器对基座加热，然后通过热接触对硅片加热。在这种情况下，RTP是暖或热壁加热。

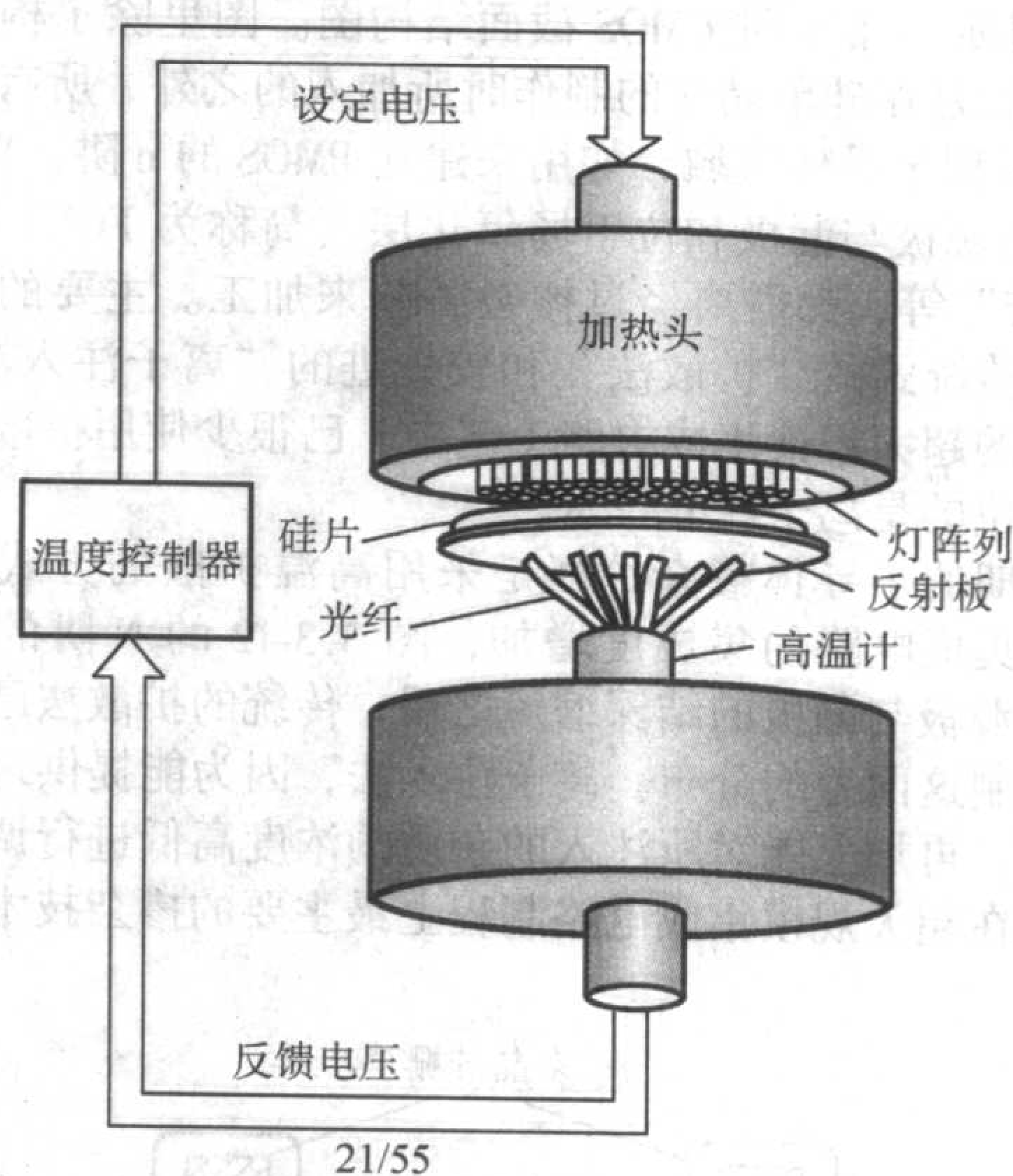


图3.3-11　快速热处理系统

RTP的温度控制依靠热电偶或光学高温计完成。热电偶和硅片直接接触，确定硅片的真实温度。虽然热电偶相对可靠，但是它响应时间慢，并且在高温时其寿命会变短。光学高温计可以测量远处的温度，其响应时间快。它是通过对硅片加热，探测它的红外辐射完成的。

2）RTP应用　RTP已经在硅制造业的许多工艺中被广泛应用。RTP在腔体设计和温度均匀性的进展使该设备具有合适的温度一致性。经常使用到的方面有：①注入退火，以消除缺陷并激活和扩散杂质；②淀积膜的致密，如淀积氧化膜；③硼磷硅玻璃（BPSG）回流；④阻挡层（如氮化钛（TiN））退火；⑤硅化物（如硅化钛（$TiSi_2$））形成；⑥接触合金。RTP工艺中应用最广泛的是离子注入后的退火。与传统扩散炉相比，RTP的优点是缩短了加热时间，这就意味着减少了热预算。然而传统炉的均匀温度控制可与之相竞争。

4　掺杂技术

半导体是导电能力介于导体与绝缘体之间的一类材料。常用的半导体材料有硅（Si）、锗（Ge）等四价单质材料和砷化镓（GaAs）、磷化铟（InP）、硫化硒（ZnSe）等Ⅲ、Ⅴ族、及Ⅱ、Ⅵ族化合物材料。这些不同的半导体材料间最主要的差别，就在于它们的禁带宽度的大小。所谓禁带宽度，就是指该半导体材料的导带底与价带顶之间的能量差。禁带宽度决定半导体材料本身的导电能力。禁带宽度愈小，半导体导带上所具有的自由电子数量也就愈高，相对的，导电的能力也就愈好。一般而言，在所有常见的半导体材料中，其禁带宽度的大小约在1～3eV之间。不过半导体的导电能力，除了取决于本身材质的能隙性之外，还受到外来杂质的影响。这些杂质，将在原本单纯的半导体禁带内产生因施主与

受主所产生的能级，使半导体的电性能发生变化，而形成所谓的非本征半导体。以4价的硅为例，假如硅里面含有少量5价的磷，则这些杂质将在硅的禁带里形成特定的施主能级，并使原本的硅的导电能力增加，而形成所谓的n型半导体；假如硅里面含有少量3价的硼，则这些杂质将在硅的禁带里形成特定的受主能级，并使原本的硅的导电能力增加，而形成所谓的p型半导体。在固态电子的设计与应用上，不论是二极管、双极晶体管，或是MOS器件，都必须制造各种的n型与p型的半导体。在半导体工业中，将对半导体加入少量特定杂质的过程称为"掺杂"。

MOS场效应晶体管是集成电路中最基本的器件。图3.3-12显示一个n阱CMOS截面结构图。图里除了构成p型硅的杂质是在硅单晶片的制作时所加入的之外，所有其他的p型或n型半导体区域，如用来建立PMOS的n阱，PMOS与NMOS的源极与漏极和位于场氧化层（简称为FOX）下方的"隔离带"等，都需要经过掺杂工艺来加工。主要的掺杂技术，有传统式的"扩散法"和较先进的"离子注入法"等。在现在的超大规模集成电路工艺中，已很少使用扩散法，占主导地位的是离子注入技术。

早期的半导体掺杂，都是采用高温扩散的方式来进行的。当集成电路的集成度增加，图3.3-12的N阱的阱深和MOS的源极与漏极的结深缩短之后，传统的扩散法已无法精确地控制这两者的分布。离子注入法，因为能提供理想的杂质分布，再加上能对所注入的杂质的浓度高低进行调控，已成为现在超大规模集成电路制程上最主要的掺杂技术。

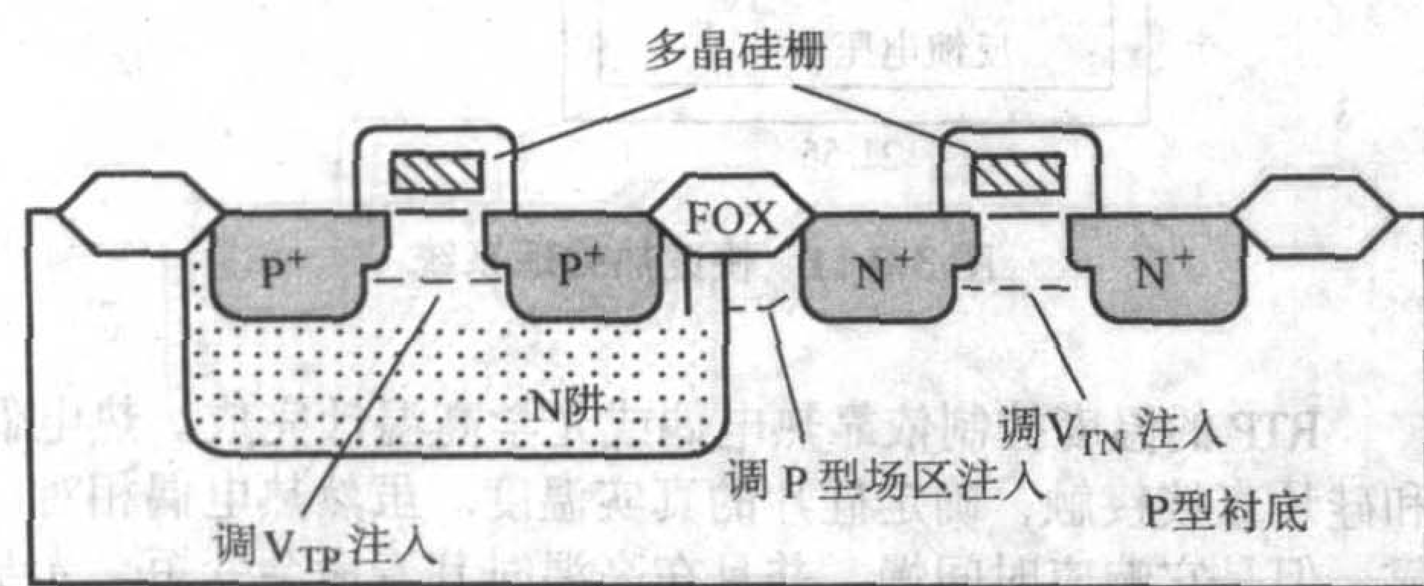


图3.3-12　一个典型N阱CMOS晶体管的主要掺杂部分

4.1　扩散技术

扩散是物质的一个基本性质，描述了一种物质在另一种物质中运动的情况。原子、分子和离子的运动造成扩散由浓度高的地方向浓度低的地方进行。在半导体制造中，利用高温扩散驱动杂质穿过硅晶格。

硅中的固态杂质的热扩散需要三个步骤：预淀积，推进和激活。

在预淀积过程中，硅片被送入高温扩散炉，杂质原子从源转移到扩散炉内。预淀积为整个扩散过程建立了浓度梯度。表面的杂质浓度最高，并随着深度的加大而减小，从而形成梯度。

热扩散的第二步是推进。这是个高温过程（1 000～1 250℃），用以使淀积的杂质穿过硅晶体，在硅片中形成期望的结深。这个过程并不向硅片中增加杂质，但是高温环境下形成的氧化物会影响推进过程中杂质的扩散：一些杂质（如硼）趋向于进入生长的氧化物层；而另一些杂质（如磷）会被推离SiO_2。这种由硅表面氧化引起的杂质浓度改变被称为再分布。

热扩散的第三步是激活。这时的温度要稍微升高一点，以使杂质原子与晶格中的硅原子键合。这个过程激活了杂质原子，改变了硅的电导率。

扩散工艺中需要注意的几个主要问题是固溶度、横向扩散及工艺步骤。

（1）固溶度

在一定温度下，硅能够吸收的杂质数量是一定的，被称为固溶度极限。每一种确定的杂质都有一个固溶度极限（见表3.3-4）。应该注意的是，硅中的杂质只有一部分被真正激活，并提供用于导电的电子或空穴（大约3%～5%）。大多数杂质仍然处在间隙位置，没有被电学激活。

表3.3-4　1 100℃下硅中的固溶度极限[①]

杂质	固溶度极限/cm^{-3}
砷（As）	1.7×10^{21}
磷（P）	1.1×10^{21}
硼（B）	2.2×10^{20}
锑（Sb）	5.0×10^{19}
铝（Al）	1.8×10^{19}

① SEMATECH "Diffusion Process," Furnace Process and Related Topics（Austin，TX：SEMATECH，1994），p.15.

（2）横向扩散

由于光刻胶无法承受高温过程，扩散的掩模都是二氧化硅（SiO_2）或氮化硅（Si_3N_4）。当原子扩散进入硅片，它们向各个方向运动：向硅的内部、横向和重新离开硅片。如果杂质原子沿硅片表面方向迁移，就发生了横行扩散。热扩散中的横向扩散通常是纵向结深的75%～85%。

（3）工艺步骤

扩散工艺的目的是使待扩散的杂质与硅片接触，在一定的温度和时间下保证扩散的发生。扩散发生在高温扩散炉中，高温扩散炉结构与高温氧化炉的一样。通常，一个高温炉被用于预淀积、推进和激活等步骤。石英管和扩散炉的其他部分应该与别的高温过程相分离，以防相互污染。

在硅片制备过程中，完成扩散过程需要有8个步骤：①进行质量测试以保证设备满足生产质量标准；②使用批控制系统，验证硅片特性；③下载包含所需扩散参数的工艺菜单；④开启扩散炉，包括温度分布；⑤清洗硅片，并浸泡氢氟酸，去除自然氧化层；⑥预淀积：把硅片装入扩散炉，扩散杂质；⑦推进：升高炉温，推进并激活杂质，然后撤出硅片；⑧测量、评价、记录结深和电阻。

1）硅片清洗　硅片的清洗是非常严格的，因为污染物能够阻碍杂质原子向硅片中扩散。硅片在送入炉子之前应进行清洗，使沾污（如自然氧化物）达到最少。清洗通常包括在酸和氧化剂中浸泡，然后用HF溶液侵蚀去除残留的氧化物。

2）杂质源　虽然在早期的半导体工业中纯杂质元素被用作杂质源，但它们并不适用于亚微米集成电路制造。例如，硼和磷在室温、低蒸气压下是固态的，很难融化或蒸发。用固态杂质源也很难控制杂质浓度。杂质通常由化合物的气态或液态源提供。一些最常用的杂质在表3.3-5中列出。

表3.3-5　扩散常用杂质源[①]

杂质	杂质源	化学名称
砷（As）	AsH_3	砷烷（气体）
磷（P）	PH_3	磷烷（气体）
磷（P）	$POCl_3$	三氯氧磷（液体）
硼（B）	B_2H_6	乙硼烷（气体）
硼（B）	BF_3	三氟化硼（气体）
硼（B）	BBr_3	三溴化硼（液体）
锑（Sb）	$SbCl_5$	五氯化锑（固体）

① SEMATECH "Diffusion Process," Furnace Process and Related Topics（Austin，TX：SEMATECH，1994），p.7.

携带气体（如氮气）通过液态源，使其以蒸气的形式传输到炉子中。氧气用于杂质源能够反应生成氧化物。

4.2　离子注入技术

离子注入技术是20世纪60年代开始发展起来的一种在很多方面都优于扩散方法的掺杂工艺。由于采用离子注入技术，大大推动了半导体器件和集成电路的发展，从而使集成电路的生产进入超大规模时代。

离子注入技术主要有以下几方面的特点：

1）注入的离子是通过质量分析器选取出来的，被选取的离子纯度高，能量单一，从而保证了掺杂纯度不受杂质源纯度的影响。

2）注入剂量在$10^{11}\sim10^{17}$离子/cm^2的较宽范围内，同一平面内的杂质均匀度可保证在±1%的精度。相比之下，在高浓度扩散时，同一平面内的杂质均匀度最好也只能控制在5%～10%的精度水平；至于低浓度扩散时，均匀性更差。

3）离子注入时，衬底一般是保持在室温或低于400℃。因此，像二氧化硅、氮化硅、铝和光刻胶等都可以用来作为选择掺杂的掩蔽膜。对器件制造中的自对准掩蔽技术给予更大的灵活性，这是热扩散方法根本做不到的。

4）离子注入深度随离子能量的增加而增加。因此，可以通过控制注入离子的能量和剂量，以及采用多次注入相同或不同杂质，得到各种形式的杂质分布。对于突变的杂质分布，采用离子注入技术很容易实现。

5）离子注入是一个非平衡过程，不受杂质在衬底材料中溶解度的限制，原则上对各种元素均可掺杂，这就使掺杂工艺灵活多样，适应性强。

6）离子注入时的衬底温度较低，这样就可以避免高温扩散所引起的热缺陷。另外，这样的掺杂方法，横向效应比热扩散小得多。

7）化合物半导体是两种或多种元素按一定组分构成的，这种材料经高温处理时，组分可能发生变化。采用离子注入技术，基本不存在上述问题，因此容易实现化合物半导体的掺杂。

4.2.1　离子注入原理

离子是一种经离化的分子或原子，带有一定的电荷。因为离子带电，故可以利用电场来加速离子，而且可以借助磁场来改变离子的运动方向。

1）离子的碰撞　当经加速的离子碰撞一个固体靶面之后，离子与靶面的原子将经历多种不同的交互作用。假如进行注入的离子够重的话，则大多数的离子将被注到固体靶中。反之，如果注入的离子较轻，则许多的注入离子将从靶面上反弹。基本上，这些被注入固体靶内的高能离子，将与固体靶内的晶格原子及电子产生程度不同的碰撞。其中离子与固体靶原子的碰撞，因为质量上较接近，可以视为是一种弹性的碰撞。且每一次离子与固体靶原子的碰撞，均将使离子对固体靶原子转移约ET的能量，如式（3.3-7）所示。

$$E_T=\frac{4M_1M_2}{(M_1+M_2)^2}E_0f(\theta) \tag{3.3-7}$$

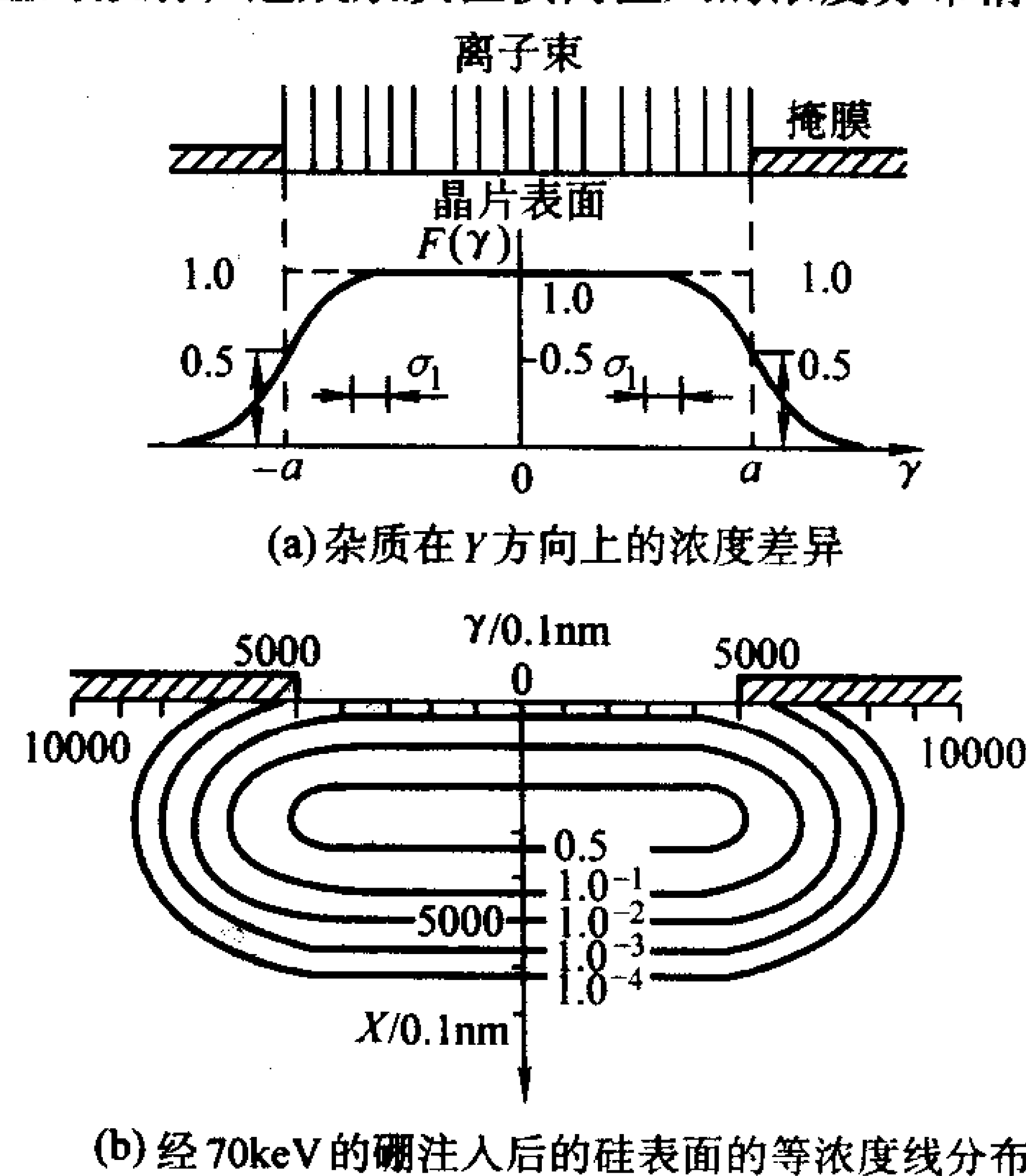
式中，E_0为离子在碰撞前所具有的能量；M_1与M_2分别为离子与固体靶原子的质量；$f(\theta)$是一个与两者的撞击角度相关的函数。很显然，注入固体靶内的离子的能量，将随着与固体靶原子的碰撞次数的增加而逐渐减弱。而这些吸收离子能量的晶格原子，除了有些将因此而从晶格的位置上脱离之外，大部分被转移的能量，将转变为晶格的热运动，使固体靶的表面温度上升。

至于注入离子与晶格原子中电子间的库伦交互作用，则可以被认为是一种非弹性的碰撞。这些吸收离子转移能量的电子，视所吸收的能量高低，将被激发或从原子之内离解，而形成二次电子。至于被激发的电子，经过一段时间之后，将回到基态，而释出这些转移自离子的能量。这些能量将以辐射能的形态释出，而形成光波。

简单地说，当具有高能量的离子注入固体靶之内后，这些高能离子将与固体靶的原子和电子进行多次的碰撞。这些碰撞将使离子的能量逐渐地减弱，甚至最后使得注入离子的运动因此停止；这时，离子从固体靶表面往固体内部运动所移动的距离，便定义为离子对固体靶注入的范围。

一般而言，以离子注入法来进行掺杂时，杂质在晶片里面的浓度分布，通常可以用图3.3-13b的高斯函数来表示。当然，高斯函数无法完全形容杂质经注入后的分布状况，而需要适当地加以修正。

良好的杂质分布控制，是离子注入法的优点。热扩散法因为无法防止杂质往横向进行扩散，所以当工艺进入亚微米范围之后，可以确保各项n型或p型半导体的区域范围不致于发生太大的改变，且杂质趋人方向仅限于纵向的离子注入法，在半导体掺杂技术中占据了主导地位。不过，这并不表示以离子注入法所注入的杂质不会往横向移动。图3.3-13显示以离子注入法进行掺杂时，杂质（即离子）因与硅原子碰撞所产生的散射，造成杂质往横向注入的浓度分布情况。



(a) 杂质在Y方向上的浓度差异

(b) 经70keV的硼注入后的硅表面的等浓度线分布

图3.3-13　显示注入的杂质在晶片表面的浓度

2）通道效应　上一部分的重点是解释离子注入固体内时所经历的碰撞。不过在半导体的工艺中，离子注入的固体靶是有固定结晶结构的硅。因为所有的结晶物质，就是由周期性排列的特定原子组合而成的，所以假如离子进行注入时的运动路径刚好在硅的周期排列中，不会有硅原子"挡"住的方向，如图3.3-14a、b所示，则注入的离子，因为不会与任何的硅原子发生前一节所叙述的弹性碰撞，因此将可以"长趋直人"地打入硅衬底的相当深处，如图3.3-14a的A线。也就是说，因为硅的结晶排列的特性，使得在某些角度上，硅衬底将有长距离的通道，如图3.3-14b。假如注入离子的运动方向与这些像隧道一般的通道互相平行的话，这些注入的离子将不会与硅原子发生碰撞，而将深深地注入硅衬底之中。这种现象，称之为"通道效应"，也有人称其为"沟道效应"。图3.3-14c显示因通道效应使得离子注入的深度较"高斯分布"还深的情况。当通道现象发生后，阻挡高能离子往内注入的阻挡源将来自离子与电子的非弹性碰撞，或硅底材料内的外来杂质与本身的缺陷。

离子注入的通道现象将导致对注入离子在深度控制上的困难。为此，在进行离子注入时，必须预先做好一些准备，来降低并抑制通道现象的发生。

现在比较常用的"通道现象"的抑制方式，主要有如图

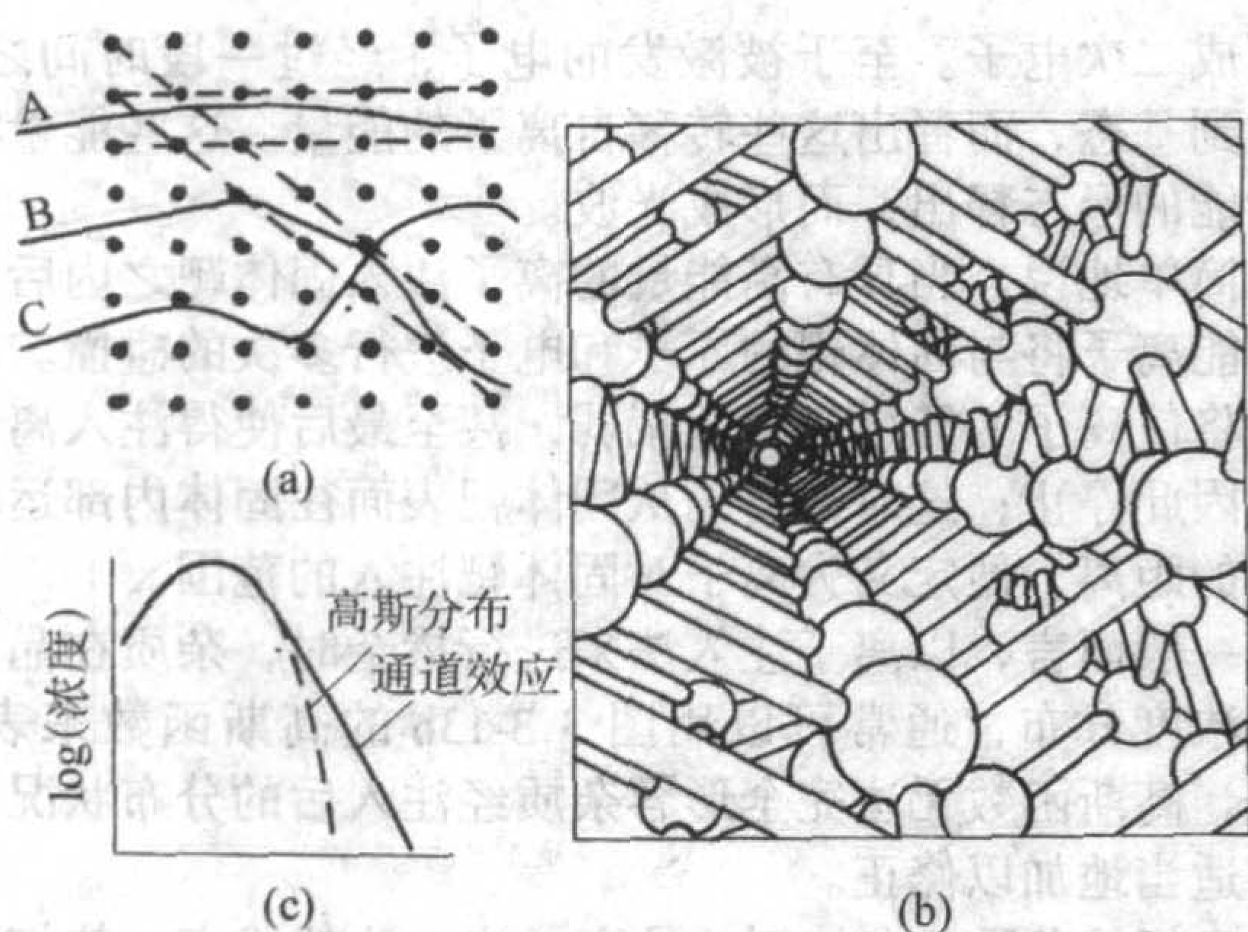


图 3.3-14　因结晶原子的周期性排列，在某些角度下，注入的离子将顺着特定的通道（Channel）往固体靶内趋入且不会经历太多碰撞的情况（(a)、(b)）；离子注入因通道效应与高斯分布之间所产生的差别（c)）

3.3-15 所示的三种方法。最直接的方式，就是如图 3.3-15a，把晶片对离子注入的运动方向倾斜一个角度，来减少图 3.3-15b 所示的通道。通常所使用的角度约在 0°～15°之间。比较常见的是 7°；图 3.3-15b 显示另一种常用的"通道现象"抑制法。它的工艺概念是在结晶硅的表面上铺一层非结晶系的材质，使入射的注入离子在进入硅底材之前，在非晶系层里与无固定排列方式的非晶系原于产生碰撞而散射，如此便可减少"通道效应"的程度。晶片表面经氧化之后所产生的 SiO_2，是现在常用的这种非晶系材料。厚度约在数十纳米左右；至于第三种方法，其原理与第二种相近。目的也是用一层排列紊乱的非晶系层，来减少注入离子能顺着通道进行运动。不过这层材料的制作方式则大大不同。它是先利用一次轻微的离子注入，来把晶片表面的结晶硅结构破坏成非晶硅，然后才接着进行真正的杂质注入，如图 3.3-15c。

原则上，这三种方法的运用概念都是一致的，不外乎是要利用增加注入离子与其他原子间的碰撞，来降低"通道效应"的程度。现在，工业界比较常用的是同时使用第一及第二种方法，来进行"通道效应"的抑制。至于第三种方式，则可以使用硅离子或锗离子的注入来实现。

4.2.2　离子注入机结构

离子注入机是一个体积庞大且构造复杂的半导体工艺设备。依照注入机所能提供的杂质离子的浓度来区分，现在批量生产的注入机，主要分为大束流和中束流两种型式，分别代表电流约在 10 mA 及 1 mA 左右的离子束。

整个离子注入机最主要的部分有：①用以产生离子的离子源；②用以分离主要杂质离子的质量分析器；③用来加速注入离子的加速器。除了这三种主要部分之外，一般的离子注入机还包含聚集离子束的聚焦器，帮助离子束对整片硅片进行注入的扫描装置，及一些附属的气体供应设备、真空系统和晶片的装卸系统等。图 3.3-16 显示一个离子注入机内各个主要系统的相对位置。

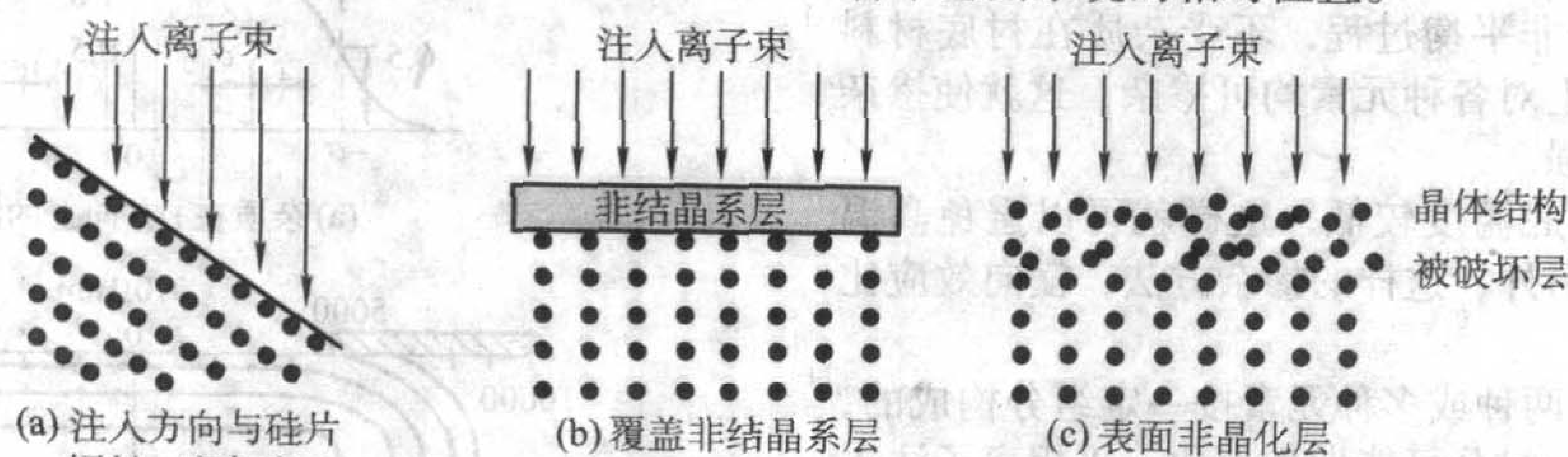
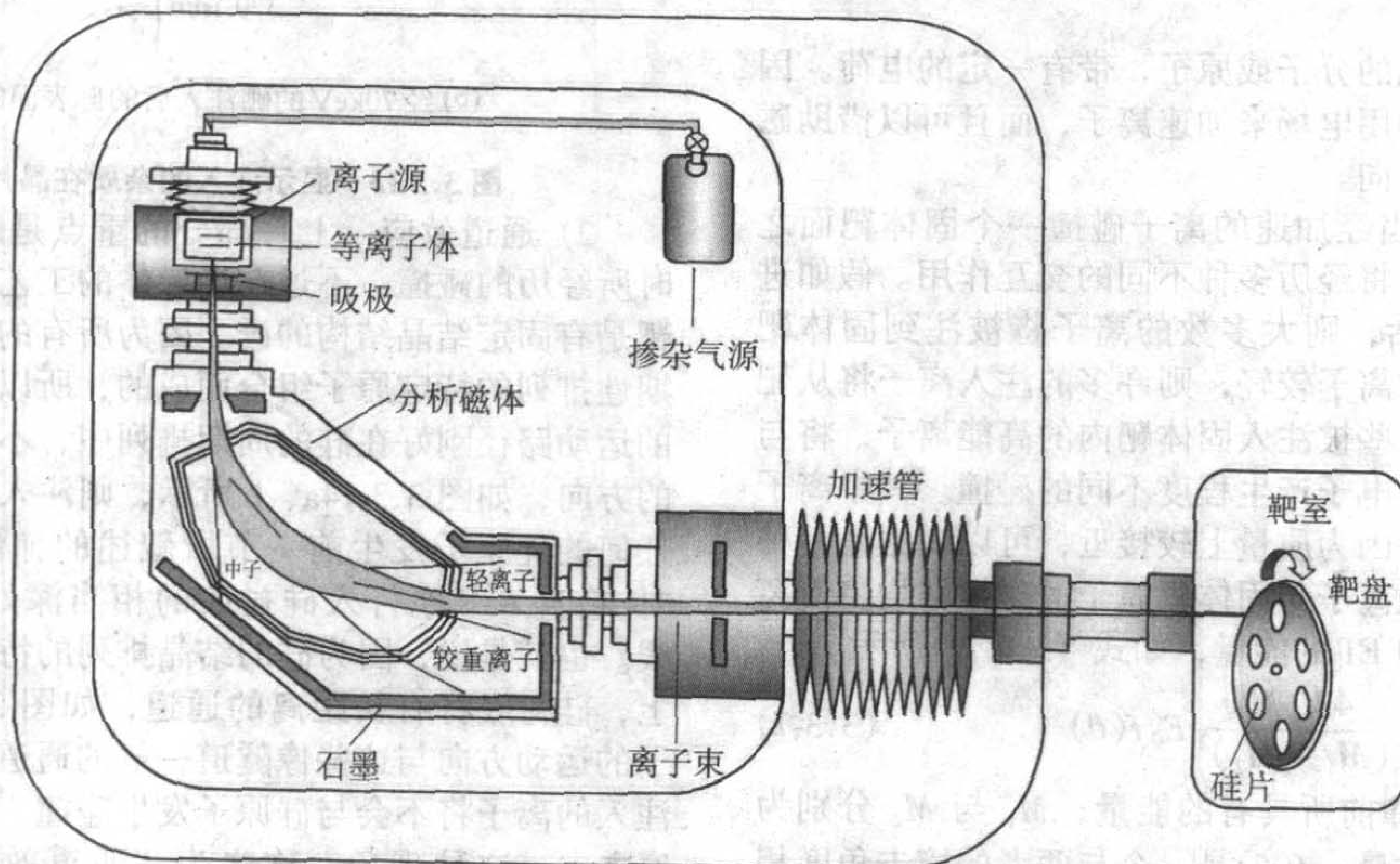


图 3.3-15　三种常见的抑制"通道效应"示意图



30/55

图 3.3-16　离子注入机示意图

在离子注入中，和工艺参数射程、浓度直接相关的是能量和剂量。离子束能量定义了离子被注入到硅片的深度，以及高能（200 keV 到几个 MeV）与低能（120～200 eV）的差别。剂量直接与硅片中杂质的浓度有关，用离子束电流或束流中的离子数表示。注入机通常以最大离子束电流和加速电压进行划分。

离子注入机中的实时剂量监控通过测量到达硅片的离子束完成。用一种被称为法拉第杯的传感器测量离子束电流，如图 3.3-17 所示。简单的法拉第系统中，离子束路径上有一个电流感应器测量电流。法拉第系统测量的电流输入电子

剂量控制器，它的作用相当于电流累加器。剂量控制器把总的电流与相应的注入时间联系起来，计算出一定剂量所需要的时间。

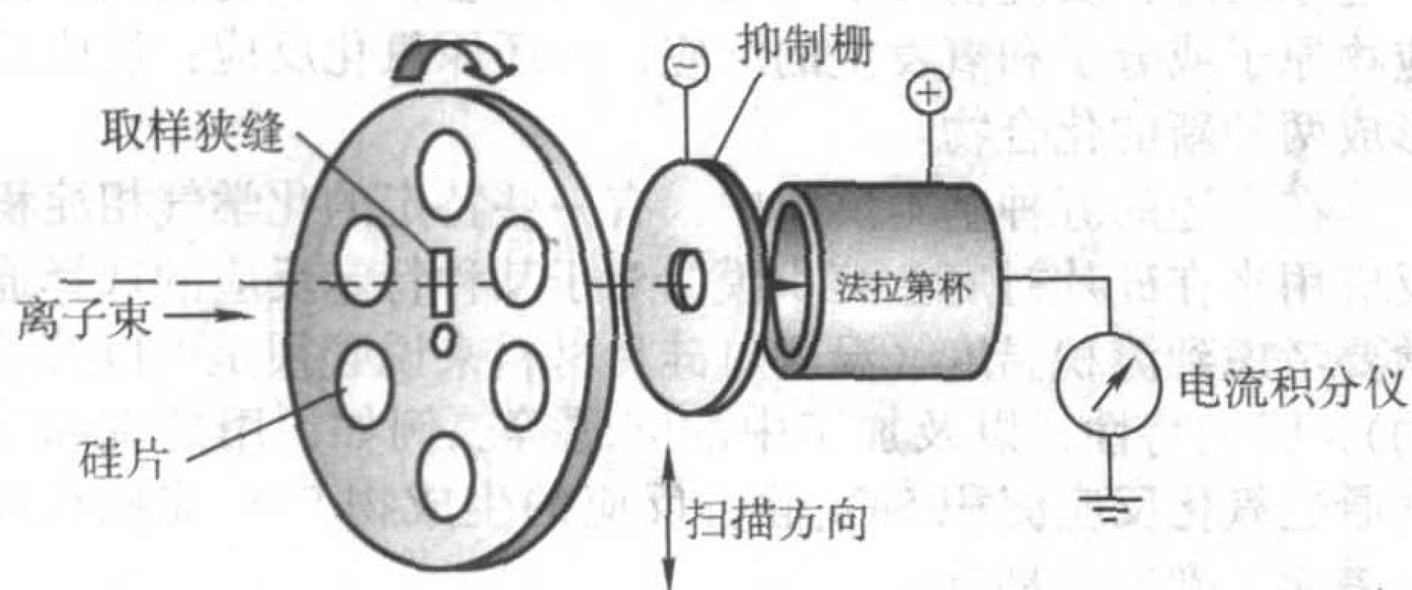


图 3.3-17 法拉第杯电流测量

4.2.3 离子注入后的退火技术

硅是以 SP^3 的共价键型式键结而成的。因为注入离子所具备的能量多在数十个 keV 以上，加上使硅与硅之间的键结断裂所需的最低能量约只有 15 eV 左右，这些注入的高能离子将对晶片表面的硅层结构造成一定程度的破坏，使原来有固定排列顺次的结晶硅变成无固定结构的非晶硅。这层经离子注入后，在晶片表面上所形成的非晶硅的厚度，除了受“屏蔽氧化层”厚度的影响之外，主要与注入离子的种类（即其质量）和能量有关。为了补偿晶片表面经离子注入之后的“非晶系化”问题，通常把经注入后的硅晶片，送入热炉管内，通过约 800～1 000℃的高温，把这层非晶硅“退火”成原来的结晶状态。

离子注入法的优点，除了可以精确地调整杂质在晶片里的含量（即浓度）以外，因为它也能控制杂质在晶片内的表面分布情况，尤其是深度及其在横向的浓度，因此已成为半导体掺杂工艺的主导。不过，因为经离子注入后的晶片还要送入热炉管内进行高温退火，虽然这个步骤可以恢复硅晶片表面的结晶结构，但是也将导致所注入的杂质在硅晶片里发生热扩散，使注入的离子在硅中的分布情况发生改变。图 3.3-18 表示注入的硼离子，在经过不同温度的退火之后，其分布变化的情况。适当的注入后热扩散，可以帮助注入的离子在硅的结构里“找到”最适当的“地方”安置，但是温度太高的热处理过程将导致杂质在硅晶片内的分布状态发生剧烈的变动，如图 3.3-18 所示，而使得离子注入法的优点丧失。因此，晶片在执行离子注入后退火，在处理上应当非常慎重。

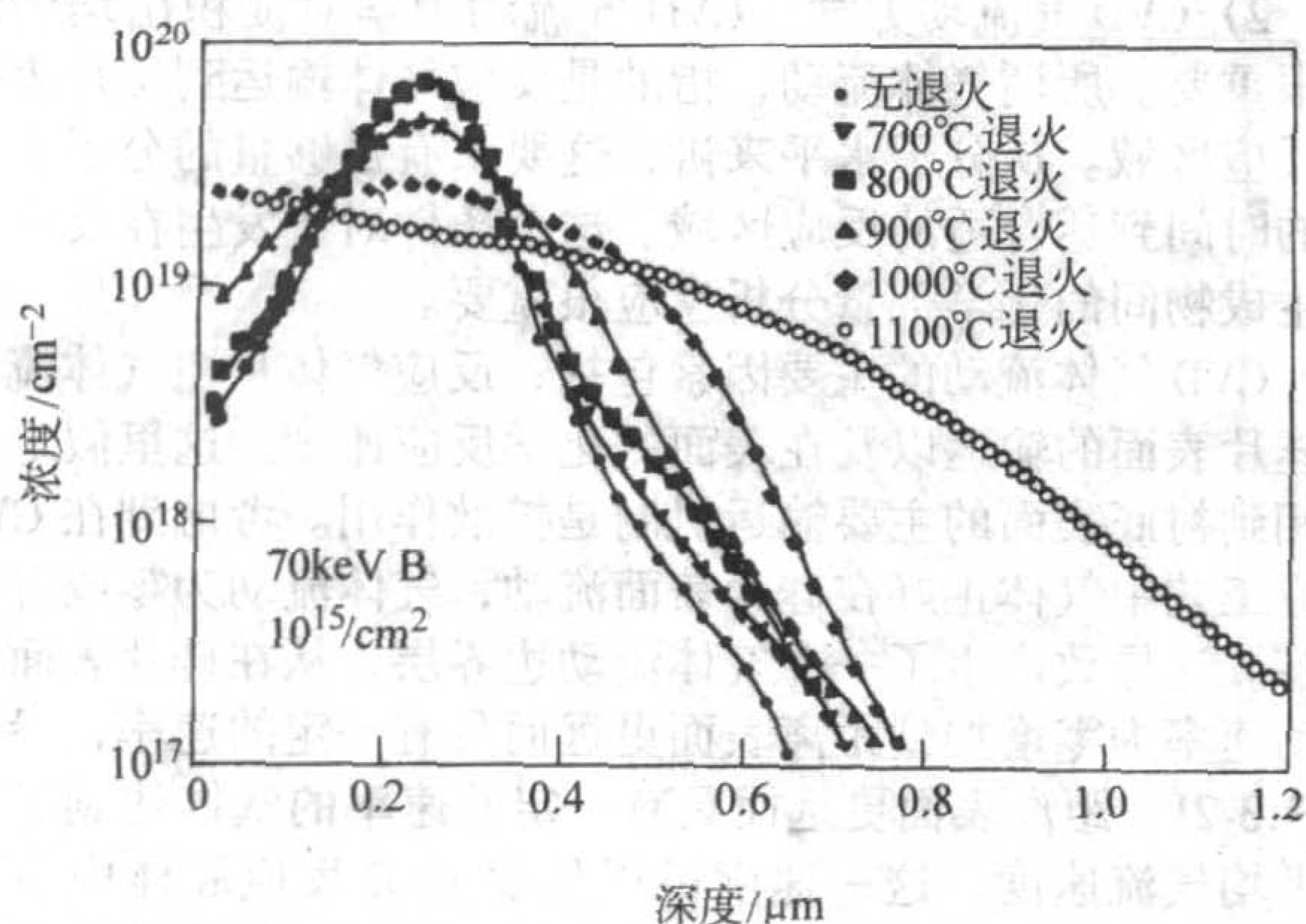


图 3.3-18 杂质经注入后，在不同的退火温度之下，硅衬底内的杂质分布的改变情形

快速热退火（RTA）技术具有能在极短的时间内把晶片的环境温度提高到 1 000℃以上的优点。图 3.3-19 表示晶片以传统的高温炉管及快速热退火的方法进行退火后，硼原子在晶片内的分布变化情况。

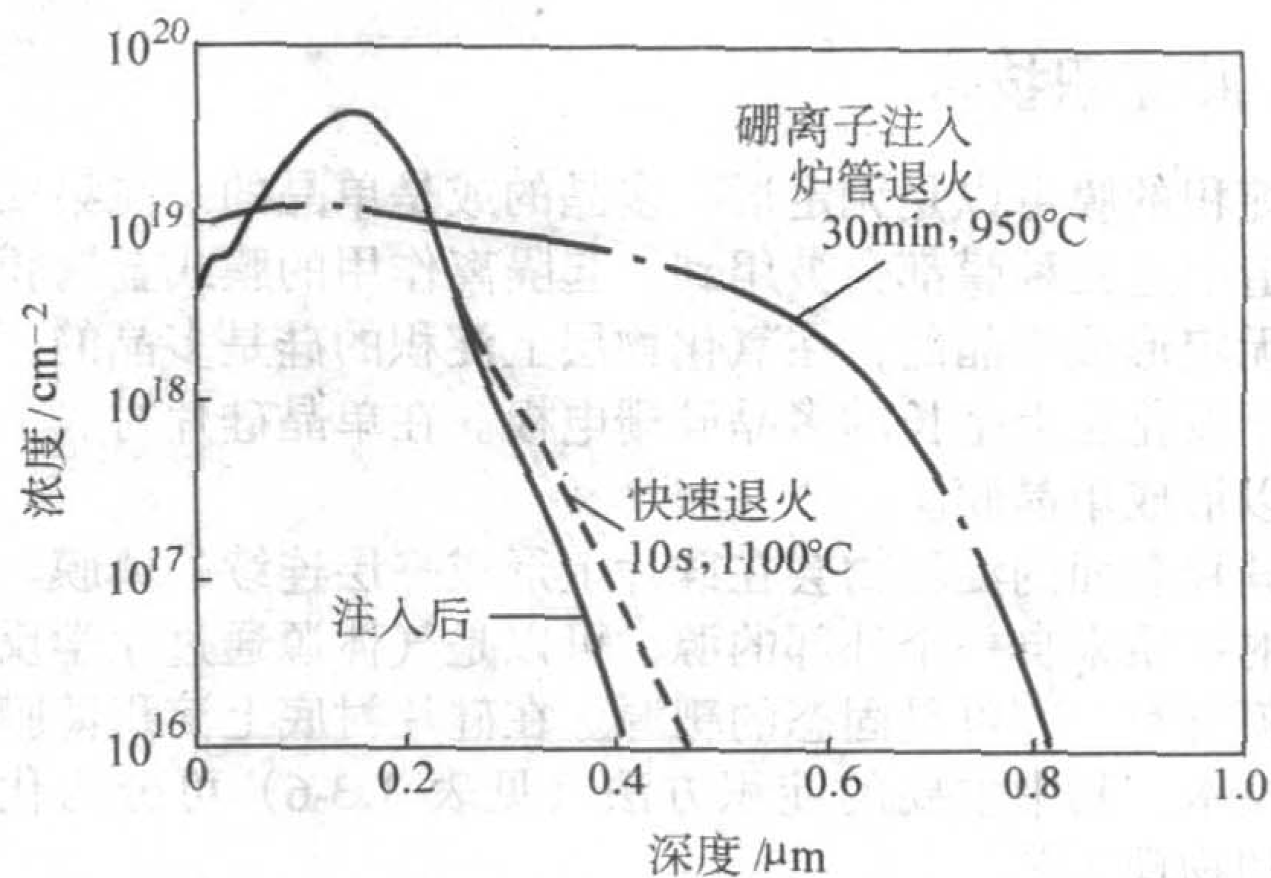


图 3.3-19 以传统的高温炉管及快速加热来进行晶片退火时注入杂质在硅晶片内的分布的情况

5 薄膜淀积技术

集成电路芯片制造是一个平面加工过程，这一过程包含在硅片表面生长不同薄膜层的步骤。导电薄膜层和绝缘薄膜层对于能否在硅衬底上成功地制作出半导体器件而言是至关重要的。

在制作工艺中，多种不同类型的膜淀积到硅片上。在某些情况下，这些膜成为器件结构中一个完整的部分；而另外一些膜则充当了工艺过程中的牺牲层，它们在后续的工艺中被去掉。在集成电路芯片加工中，膜淀积通常指薄膜形成的过程中，并不消耗硅片或衬底的材质薄膜，并且因为这些膜很薄以至于它们的电学和机械学特性完全不同于同种材料下更厚的膜。它与生长的区别在于，生长则专指衬底的表面材质，也是薄膜的形成部分元素之一，如硅的氧化反应生成二氧化硅。

本节将讨论薄膜淀积的过程和所需的设备，重点讨论 SiO_2 和 Si_3N_4 等绝缘薄膜以及多晶硅的淀积。金属和金属化合物薄膜的淀积会在 6 节中讨论。

薄膜淀积技术的发展，从早期的蒸镀开始至今，已发展成为两个主要的方向。①物理气相淀积；②化学气相淀积。前者主要是借助物理方法，而后者则主要是以化学反应的方式，来进行薄膜的淀积。虽然物理气相淀积（通常简称为 PVD）与化学汽相淀积（简称为 CVD）各有其优缺点，但是随着超大规模集成电路特征尺寸越来越细，PVD 法似乎无法解决许多工艺上所遇到的困难，使得 CVD 在薄膜淀积技术上的地位日益重要。

5.1 薄膜特性

所谓薄膜，是指在一种衬底上生长的薄固体物质。如果一种固体物质具有三维尺寸（厚度、宽度、长度）。那么薄膜是指某一维尺寸（通常是厚度）远远小于另外两维的尺寸。薄膜结合在厚度比薄膜本身大很多的硅片衬底上。薄膜的表面距离衬底非常近，所以它对薄膜物质的物理、机械、化学和电学等特性有重要影响。在硅片加工中，应用最为广泛的描述薄膜厚度的单位是 Å（0.1 nm）。

集成电路制造中的薄膜淀积可以是导体、绝缘物质或者半导体材料。淀积膜可以是二氧化硅（SiO_2），氮化硅（Si_3N_4），多晶硅（具有多晶结构的硅），金属（比如 Cu）和难熔金属（比如 W）。

在集成电路硅片制造中，薄膜必须具备如下的特性：①好的台阶覆盖能力；②填充高深宽比间隙的能力；③好的厚度一致性；④高纯度和高密度；⑤受控制的化学剂量；⑥高度的结构完整性和低的膜应力；⑦好的电学特性；⑧对衬底材料或下层膜好的黏附性。

5.2 膜淀积技术

淀积的膜可以是无定形、多晶的或是单晶的。在集成电路制造中这三种膜都会被用到。起隔离作用的膜或金属膜通常是无定形或多晶的；在氧化物层上淀积的硅是多晶的，例如在栅氧化层上生长的多晶硅栅电极。在单晶硅片衬底上淀积可以形成单晶膜。

硅片表面的淀积物会在硅片上形成一层连续的薄膜。形成膜的物质来自一个外部的源，可以是气体源通过化学反应生成膜材料，亦可是固态的靶源。在硅片衬底上淀积薄膜有多种技术。其中主要的淀积方法（见表3.3-6）可分为化学工艺和物理工艺。

表3.3-6 膜淀积技术

化学工艺		物理工艺		
化学气相淀积（CVD）	电镀	物理气相淀积(PVD或溅射)	蒸发	旋涂方法
常压化学气相淀积(APCVD)或亚常压化学气相淀积(SACVD)	电化学淀积（ECD），通常指电镀	直流二极管	灯丝和电子束	旋涂玻璃(SOG)
低压化学气相淀积（LPCVD）	化学镀层	射频（RF）	分子束外延（MBE）	旋涂绝缘介质（SOD）
1）等离子体辅助化学气相淀积 2）等离子体增强化学气相淀积（PECVD） 3）高密度等离子体化学气相淀积（HDPCVD）		直流磁电管		
气相外延（VPE）和金属-有机化学气相淀积		离子化金属等离子体（IMP）		

引自 F. Barlow III, A Elshabini - Riad, and R. Brown, "Film Deposition Techniques and Processes," Thin Film Technology Handbook, eds. A. Elshabini - Riad and Fbarlow III (New York: McGraw - Hill), pp.1~2.。

本节主要介绍用化学气相淀积、外延、旋涂绝缘介质方法来淀积绝缘薄膜。化学气相淀积通常用来淀积介质膜或金属膜。旋涂绝缘介质应用液态介质膜，然后进行高温的处理过程。

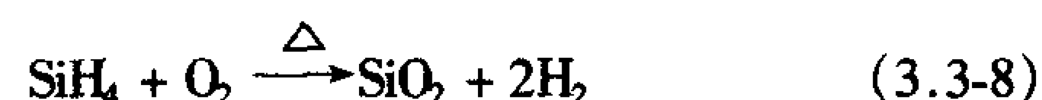
5.2.1 化学气相淀积

化学气相淀积是硅片表面及其邻近的区域被加热以向反应系统提供附加的能量，通过气体混合而获得足够的激活能，在硅片表面发生化学反应，淀积一层固体膜的工艺。化学气相淀积的基本方面包括：①产生化学变化，这可以通过化学反应或是热分解来完成；②膜中所有的材料物质都源于外部的源；③化学气相淀积工艺中的反应物必须以气相形式参加反应。

当化合物在反应腔中混合并进行反应时，就会发生化学气相淀积过程。原子或分子会淀积在硅片表面形成膜。

化学气相淀积过程有五种基本的化学反应：①高温分解：通常在无氧的条件下，通过加热化合物会分解（化学键断裂）；②光分解：使用辐射使化合物的化学键断裂分解；③还原反应：反应物分子和氢发生的反应；④氧化反应：反应物原子或分子和氧发生的反应；⑤还原氧化反应：反应后形成两种新的化合物。

在上述的五种基本反应中，有一些特定的化学气相淀积反应用来在硅片衬底上淀积膜。对于某种特定反应的选择通常要考虑到淀积温度（温度对硅片材料来说必须是可以接受的），膜的特性，以及加工中的问题等。例如，用硅烷和氧气通过氧化反应淀积 SiO_2 膜，反应的生成物 SiO_2 淀积在硅片表面，副产品是氢。



$$SiH_4 + O_2 \xrightarrow{\triangle} SiO_2 + 2H_2 \qquad (3.3\text{-}8)$$

1）CVD反应步骤　基本的化学气相淀积反应包含八个主要步骤，如图3.3-20所示。①气体传输至淀积区域：反应气体从反应腔入口区域流动到硅片表面的淀积区域；②膜先驱物的形成：气相反应导致膜先驱物（将组成膜的最初的原子和分子）和副产物的形成；③膜先驱物附着在硅片表面：大量的膜先驱物输运到硅片表面；④膜先驱物黏附：膜先驱物黏附在硅片表面；⑤膜先驱物扩散：膜先驱物向膜生长区域的表面扩散；⑥表面反应：表面化学反应导致膜淀积和副产物的生成；⑦副产物从表面移除：了解吸附（移除）表面反应的副产物；⑧副产物从反应腔移除：反应的副产物从淀积区域随着气流流动到反应腔出口并排出。

吸附是发生在淀积过程的化学键合，使气态的原子或分子以化学方式附着在硅片表面。解吸附作用是从硅片表面移出反应副产物。在化学反应中，种类概念用来描述可以是原子，离子，或者是分子的化学物质。在气相反应中，通常有些称为先驱物的中间反应，这会形成一种并不包含原始气体成分的气体类。在化学气相淀积中，气体先驱传输到硅片表面进行吸附作用和反应。例如，下面的三个反应。反应1显示硅烷首先分解成 SiH_2 先驱物。SiH_2 先驱物再和硅烷反应形成 Si_2H_6。在中间CVD反应中，SiH_2 随着 Si_2H_6 被吸附在硅片表面。然后 Si_2H_6 分解形成最终所需要的固态硅膜。



$$SiH_4 \longrightarrow SiH_2 + H_2 \qquad (3.3\text{-}9)$$



$$SiH_4 + SiH_2 \longrightarrow Si_2H_6 \qquad (3.3\text{-}10)$$



$$Si_2H_6 \longrightarrow 2S_i + 3H_2 \qquad (3.3\text{-}11)$$

2）CVD气流动力学　CVD气流动力学对淀积出均匀的膜很重要。所谓气体流动，指的是反应气体输运到硅片表面的反应区域。从分子水平来讲，这要求有足够量的分子在合适的时间到达合适的反应区域。这个条件对于发生在反应物和生成物间的化学剂量分析反应很重要。

CVD气体流动的主要因素包括，反应气体从主气体流中到硅片表面的输运以及在表面的化学反应速度。这里假定从气相到衬底表面的主要输运机制是扩散作用。考虑到在CVD反应工艺中气体正好在硅片表面流动，气体流动为零或者接近零。这导致产生了一个气体流动边界层，从在硅片表面的流动速率为零增加到距离表面更远而具有一定的速率，参看图3.3-21。距离表面更远而具有一定的速率的气体达到了某一平均气流速度，这一速度可以代表CVD反应腔体中主气流的平均速度。如果边界层范围很窄，那么在接近硅片表面区域可认为边界层是不动的，也被称为停滞层。

3）CVD反应中的压力　如果CVD发生在低压下，反应气体通过边界层到达表面的扩散作用会显著增加。这会增加反应物到衬底的输运。在CVD反应中低压的作用就是使反应物更快的达到衬底表面。在这种情况下，速度限制步骤成为表面的反应，即在较低压下CVD工艺是受反应速度限制

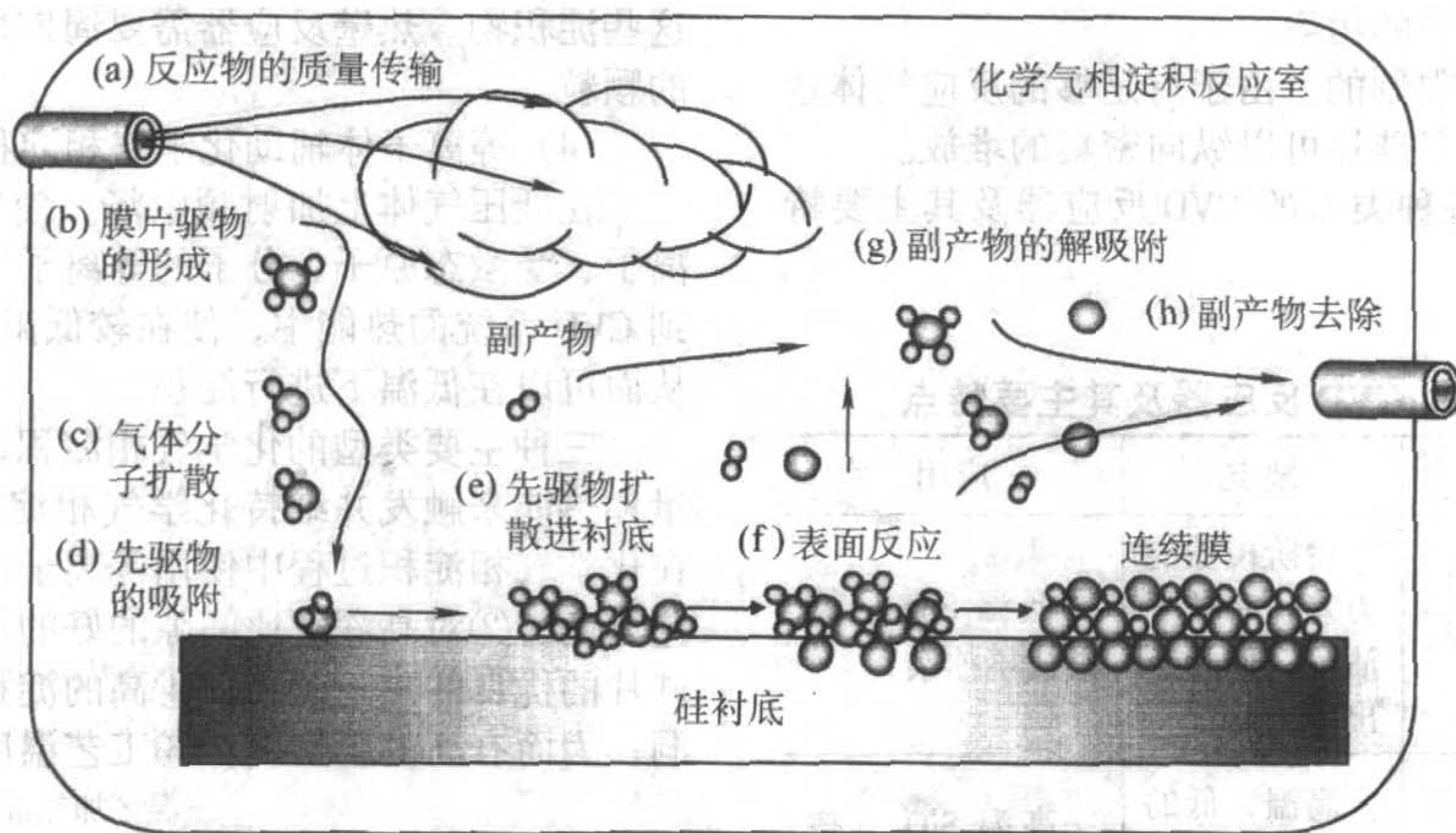


图 3.3-20 化学气相淀积传输和反应步骤图

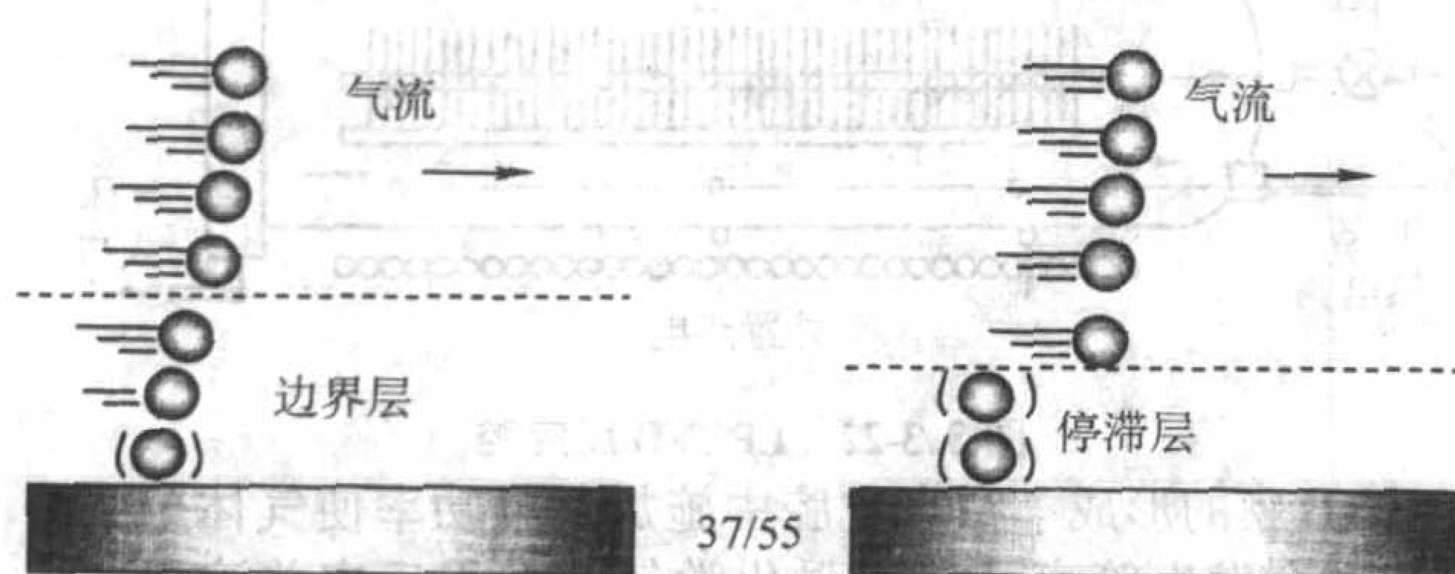
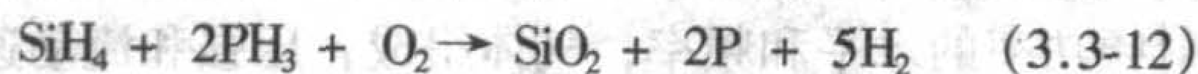


图 3.3-21 在硅片表面的气流

的。这意味着在反应腔中硅片可以间隔很近的纵向叠堆起来，因为反应物从主气流到硅片的输运并不影响整步工艺。

4）CVD 过程中掺杂 在 CVD 淀积过程中，在 SiO_2 中掺入杂质对硅片加工来说很重要。例如，在淀积 SiO_2 过程中，反应气体中加入磷烷后，会形成磷硅玻璃（PSG）。其化学反应如下：



$$SiH_4 + 2PH_3 + O_2 \rightarrow SiO_2 + 2P + 5H_2 \quad (3.3\text{-}12)$$

在磷硅玻璃中，磷以 P_2O_5 的形式存在，磷硅玻璃由 P_2O_5 和 SiO_2 的混合物共同组成；对于要永久黏附在硅片表面的磷硅玻璃来说，P_2O_5 的含量（质量比）不超过 4%，这是因为磷硅玻璃具有吸潮作用。

应用高密度等离子体化学气相淀积（HDPCVD），可以在 600～650℃的温度下淀积磷硅玻璃，由于它相对平坦的表面，好的间隙填充能力，近来也常采用磷硅玻璃作为第一层层间介质。在 SiO_2 中引入 P_2O_5 可以减小膜应力，进而改进膜的完整性。掺杂会增加玻璃的抗吸水性。磷硅玻璃层还可以有效的固定离子杂质。离子会吸附到磷原子上，因而不能磷硅玻璃层扩散通过到达硅片表面。

硼硅玻璃。用硼烷（B_2H_6）替代磷烷（PH_3），就可得到硼硅玻璃（BSG）。硼硅玻璃需要高温（例如 1 000℃）回流过程来平坦化硅片表面的台阶并使膜更加致密。然而，对于硅片的热预算来说，高温回流是不希望的。硼硅玻璃也不能很好地阻挡杂质离子。

硼磷硅玻璃。另一种在 SiO_2 中掺杂的办法是引入质量分数为 2%～6%的 B_2O_3 和 P_2O 来形成硼磷硅玻璃（BPSG）。为了在淀积后得到一个好的阶梯覆盖能力的致密的 SiO_2，SiO_2 需要进行高温回流直到其变软可流动。硼磷硅玻璃回流一般是在（800～1 000℃）×1 h。回流也可以改进硼磷硅玻璃固定可动离子杂质的能力。

5.2.2 化学气相淀积系统

有多种类型的系统来淀积绝缘介质和金属膜层。一些系统可以用一炉同时淀积很多硅片。然而，目前在硅片生产中采用的最先进的淀积系统是单一硅片工艺。化学气相淀积反应中应用的不同气体，有些气体有毒，有些易燃，有些有腐蚀性。因此，气体管道必须仔细安装以避免泄漏。

（1）化学气相淀积设备设计

化学气相淀积工艺有不同的反应腔设计，结果能生成轻微质量差异的膜。根据反应腔中的压力，化学气相淀积反应可分为：常压化学气相淀积反应，减压化学气相淀积反应。减压化学气相淀积反应包括两种基本类型：低压化学气相淀积，输入的能量是热能；等离子辅助减压化学气相淀积反应，包括等离子增强减压化学气相淀积反应和高密度等离子体减压化学气相淀积反应，能量由等离子体和热能提供。表 3.3-7 给出了不同的化学气相淀积反应器类型。

表 3.3-7 不同的化学气相淀积反应器类型

化学气相淀积反应器类型	常压	低压	批处理	单片
热壁	√	√	√	
冷壁	√	√	√	√
持续移动	√		√	
外延	√		√	
高压	√		√	
喷嘴	√		√	
桶	√		√	
冷壁平面		√	√	√
等离子体辅助		√	√	√
纵向流动等温		√	√	√

1）CVD 反应器加热 CVD 反应器的一个主要差别是它们是热壁反应还是冷壁反应。热壁反应采用加热的方法，不仅加热硅片，还加热硅片的支持物以及反应腔体的侧壁。热壁反应器会在硅片表面和反应腔体的侧壁上形成膜，因而要求经常清洗或者原位清除来减小粒子沾污。用电炉丝环绕着反应管道就形成一个热壁反应器。冷壁反应器只加热硅片和硅片支持物。反应器的侧壁温度较低没有足够的能量发生淀积反应。例如在反应腔中用 RF 感应加热或者红外线加热。在硅片上局部加热减少了反应器中粒子的形成。

2）CVD 反应器配置 反应器几何结构的设计紧密依赖于淀积工艺中的压力。常压反应发生在质量输运限制区域，所以设计必须能使反应气体能够等量的到达每片硅片。为了达到这个目的，硅片通常平放在一个平面上。这种方法的缺

点是硅片容易受到下落粒子的污染。

LPCVD是受反应速度限制的。由于有足够的反应气体达到硅片表面，这意味着很多硅片可以纵向密集的堆放。

3）CVD反应总结 各种类型的CVD反应器及其主要特点列于表3.3-8。

表3.3-8 各种类型的CVD反应器及其主要特点

工艺	优点	缺点	应用
APCVD（常压CVD）	反应简单，淀积速度快，低温	台阶覆盖能力差；有粒子沾污；低的产出率	低温 SiO_2（掺杂或不掺杂）
LPCVD（低压CVD）	高纯度和均匀性，一致的台阶覆盖能力，大的硅片容量	高温，低的淀积速率，需要更多的维护，要求真空系统支持	高温 SiO_2（掺杂或不掺杂），Si_3N_4，多晶硅，W，WSi_2
等离子体辅助CVD 1）等离子增强CVD（PECVD） 2）高密度等离子CVD（HDCVD）	低温，快速淀积，好的台阶覆盖能力，好的间隙填充能力	要求RF系统，高成本，压力远大于张力，化学物质（如 H_2）和粒子沾污	高的深宽间隙的填充，金属上的低温 SiO_2，层间介质，为双镶嵌结构的铜籽晶层，钝化（Si_3N_4）

（2）常压化学气相淀积

在集成电路制造领域，第一种类型的化学气相淀积是常压化学气相淀积。常压化学气相淀积发生在质量输运限制区域。在任何给定时间，在硅片表面不可能有足够的气体分子供发生反应。因此，反应器设计必须保证有适量的反应物到达系统中的每片硅片。因为反应在常压下进行，反应器设计能够相对简单并允许高的淀积速度。

（3）低压化学气相淀积

与常压化学气相淀积相比，低压化学气相淀积系统有更低的成本，更高的产量，更好膜性能，因此应用更为广泛。低压化学气相淀积通常在中等真空度（13.33～666.61 Pa（约0.1～5 torr））下，反应温度一般为300～900℃。常规的卧式的或者立式的炉体，以及多腔体集成设备都可以应用于低压化学气相淀积中。

低压化学气相淀积的反应腔通常是反应速度限制的。在这种减压条件下，增加反应气体分子扩散以便到达硅片的气体质量传输不再限制反应的速度。因为这种传输的状态，反应器内的气流条件并不重要，允许反应腔设计优化以得到更高的产量。只要严格控制温度，就可以在大量硅片表面淀积均匀的膜。

不同于常压化学气相淀积，低压化学气相淀积反应中的边界层由于低压的缘故，距离硅片表面更远。边界层的分子密度低，这使得进入的气体分子很容易扩散通过这一层，使硅片表面接触足够的反应气体分子。这解释了为什么低压化学气相淀积反应是受反应速度控制的。是反应速度而不是反应物的供给限制了淀积的速度。而且，低压化学气相淀积过程中会发生大量碰撞，淀积的材料会无序撞击硅片表面。这有助于在高的宽深比的台阶和沟槽上覆盖填充均匀的膜。一般来说，低压化学气相淀积有优良的台阶覆盖能力。

低压化学气相淀积反应器设计一般是热壁型的，以便在很长的反应器体内获得均匀的温度控制。图3.3-22给出了一个有代表性的反应腔体。

因为低压化学气相淀积反应通常是热壁的，颗粒淀积在反应器的内壁上。通过减小气相反应物的分压，可尽量减少这些淀积物。热壁反应器需要周期性的维护来去除反应腔内的颗粒。

（4）等离子体辅助化学气相淀积

在低压气体上加射频电场，使气体电离成为含有电子、离子、受激态原子、分子的等离子体。由于等离子能量被加到CVD系统的热能中，使在较低温度下获得较高的激活能，从而可以在低温下进行淀积。

三种主要类型的化学气相淀积设备依赖于等离子体的能量和热能来触发并维持化学气相淀积淀积所需的化学反应。在化学气相淀积过程中使用等离子体的好处是：①更低的工艺温度；②对高深宽比间隙的好的填充能力；③淀积的膜对硅片的优良的黏附能力；④高的淀积速率；⑤少的针孔和空洞，因而有高的膜密度；⑥工艺温度低，因而应用范围宽。

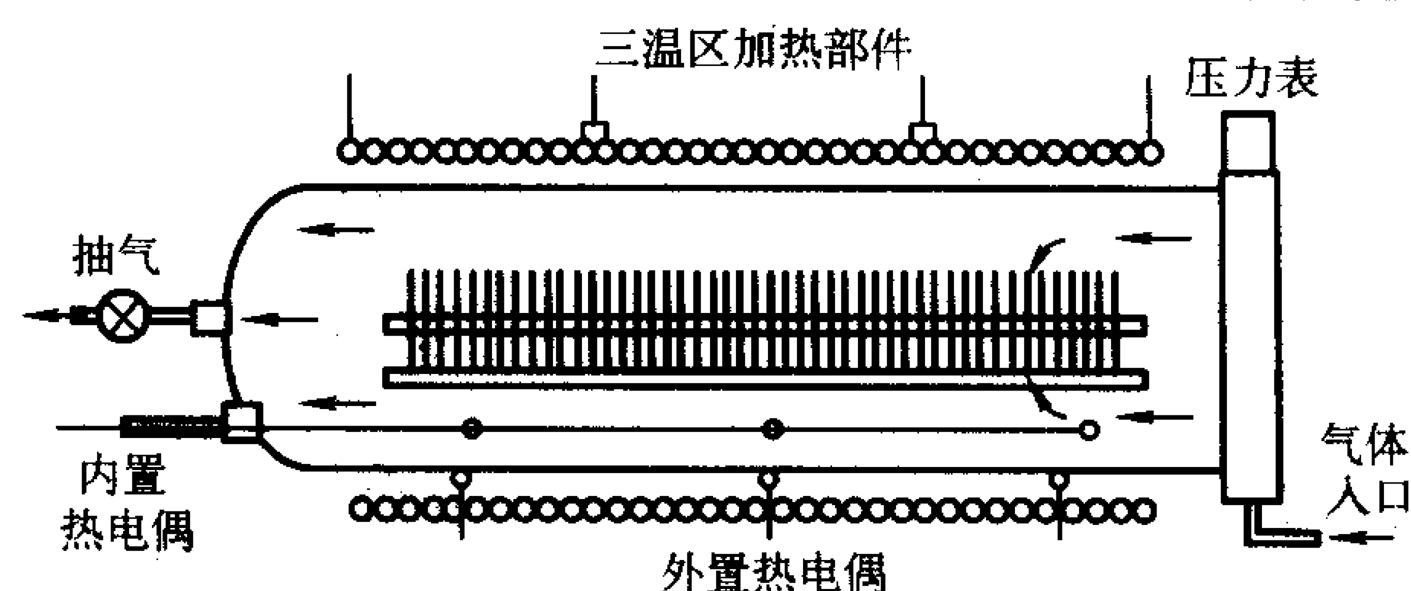


图3.3-22 LPCVD反应腔

1）膜的形成 在真空腔中施加射频功率使气体分子分解，就会发生等离子体增强化学气相淀积反应并淀积形成膜。射频功率的频率取决于应用，典型的值为40 kHz、400 kHz、13.56 MHz、2.45 GHz（微波功率）。被激发的分子具有化学活性很容易和别的原子键合形成黏附在硅片表面的膜（见图3.3-23）。气态的副产品通过真空泵系统排出。硅片通常需要加热，来促进表面反应并减少不希望的杂质（如氢）。

在硅片表面发生的等离子体辅助化学气相淀积很复杂。淀积形成膜的形状依赖于很多因素：如电极的构造和间距，射频功率的水平和频率，气体组成，压强和流动速率，衬底的温度。这些因素的基本方面体现在反应腔体的设计中。

在CVD中有两类等离子体工艺：①等离子增强化学气相淀积；②高密度等离子体。

2）等离子体增强化学气相淀积（PECVD） PECVD过程使用等离子体能量来产生和维持CVD反应。PECVD的系统反应压强和LPCVD的系统反应压强是可以比拟的，因此PECVD紧随着LPCVD的发展而发展。不同的是，PECVD的反应温度远远低于LPCVD的反应温度。例如，LPCVD淀积氮化硅（Si_3N_4）的温度一般是800～900℃，而铝的熔点是660℃，因此不能用LPCVD在Al上淀积 Si_3N_4；而采用淀积温度为350℃的PECVD就很合适。

PECVD一般在真空腔体中进行，腔体内放置平行且间距若干英寸的托盘，间距是可以调节的以便进行反应优化。先进的反应器是多腔体集成设备。硅片可以是一片或多片被放置在下面的托盘上，上电极施加RF功率。当源气体流过气体主机和淀积中部时就会产生等离子体。多余的气体通过下面电极的周围排出。有时，反应气体从下部电极周边引入，从电极中部排出。图3.3-24是PECVD系统的示意。

PECVD是典型的冷壁等离子体反应，硅片被加热到较高温度而其他部分却未被加热。需要控制淀积的相关参数以确保温度梯度不会影响膜厚度的均匀性。冷壁反应产生的颗粒更少，需要少的停工清洗时间。淀积腔体通常用原位清洗来减少颗粒。利用平行板装置进行PECVD，气相形成的颗粒有可能落在硅片表面上。

（5）高密度等离子化学气相淀积（HDPCVD）

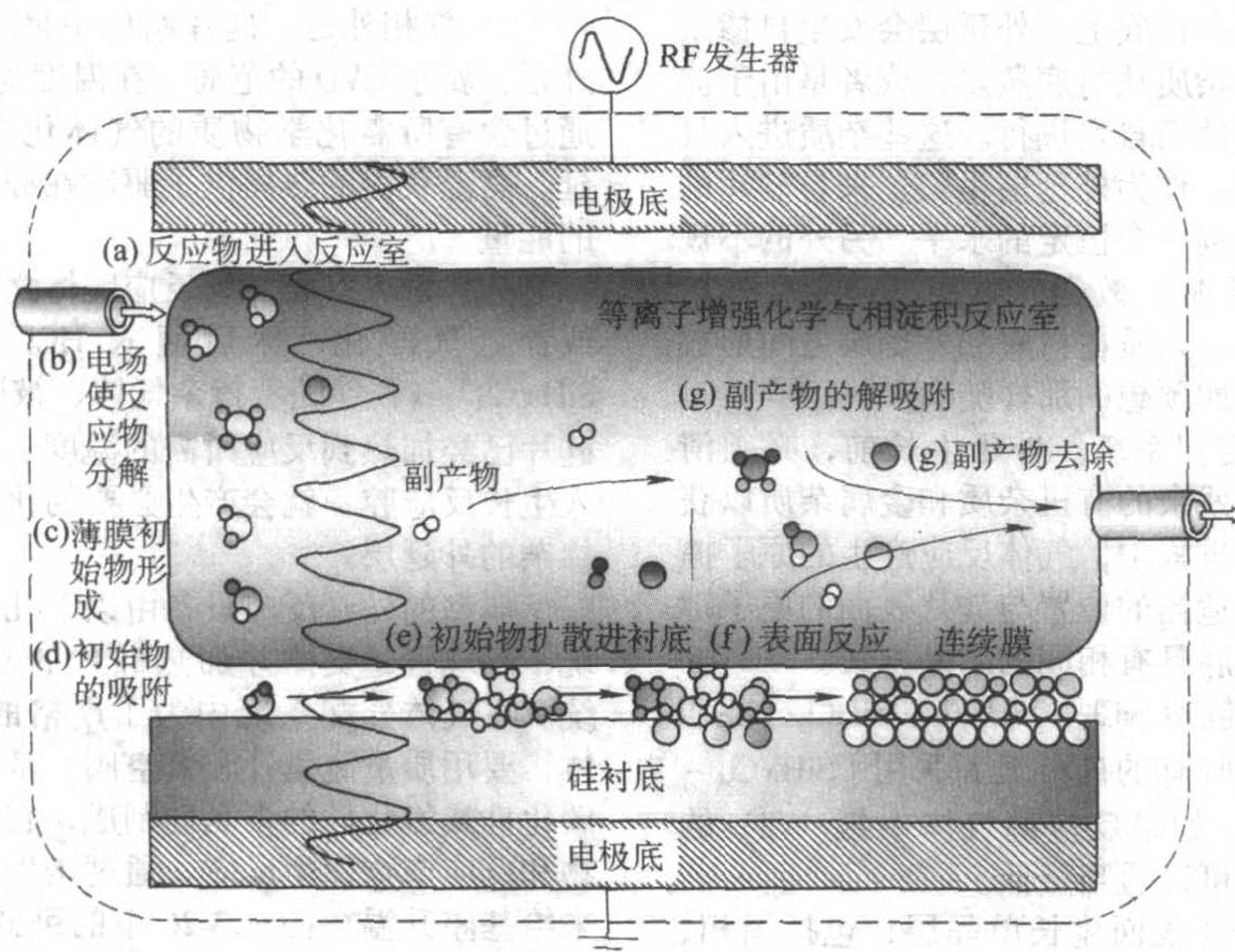


图 3.3-23 在等离子辅助 CVD 中膜的形式

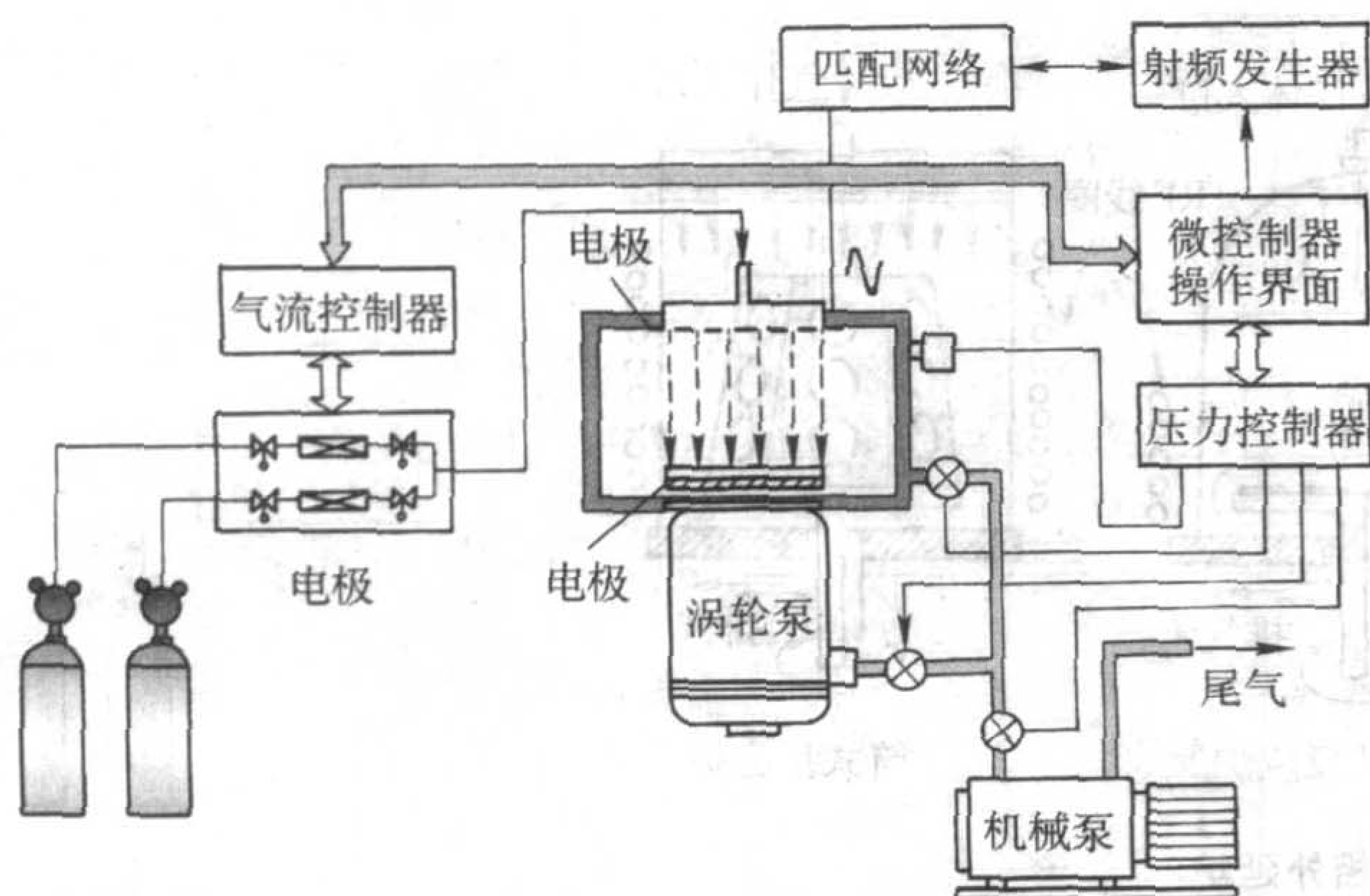


图 3.3-24 PECVD 的示意图

HDPCVD 方法在 20 世纪 90 年代中期被引入集成电路制造。正如 HDPCVD 的名字所言，等离子体在低压下以高密度混合气体的形式直接接触到反应腔体中硅片的表面。它的主要优点是可以在 300～400℃ 较低的淀积温度下，制备出能够填充高深宽比间隙的膜。HDPCVD 最初用来制作层间介质，后来也用来淀积浅槽隔离，刻蚀终止层以及低－k 介质的淀积。

HDPCVD 反应包含两种或多种气体参与的化学反应。对于淀积层间介质氧化层，O_2（或者 O_3）经常和含硅气体（SiH_4，TEOS）混和，并伴有 Ar 气体。为了形成高密度等离子体，需要有激发混合气体的 RF 源或微波功率（2.45 GHz），并直接使高密度的等离子体到达硅片表面。

应用 HDPCVD 的诸多挑战不仅与等离子源的性质相关，还与反应腔体的设计细节相关，这些设计要保证高产量芯片制作的工艺。一个特殊的问题是高密度等离子体会增加硅片的热负荷，2 000 W 的 RF 偏置可以在硅片表面产生的功率密度大约为 6 W/cm^2。这会导致很高的芯片温度。然而，层间介质必须在 400℃低温下进行以避免损伤金属铝；另外高的热负荷会导致硅片的热应力。这个温度的限制要求对硅片进行降温，采取的方法是从入口处到静电吸盘通入 He 气，从而在硅片和静电吸盘之间形成了一个热的传导通路，降低了硅片和吸盘的温度。

5.2.3 介质及其性能

在不同层中应用的介质材料会直接影响到微芯片的性能。介质的两个重要方面是介电常数和器件隔离。

1）介电常数　非导电材料的介电常数是指材料在电场影响下存储电势能的有效性。也就是代表隔离材料作为电容的能力。最低的 k 值为 1，代表空气。高 k 介质可以存储更多的电能。热生长 SiO_2 的 k 值大约是 3.9。PECVD SiO_2 的 k 值大约是 4.1～4.3。

2）器件隔离　MOS 集成电路制造中的器件隔离技术为硅片上的器件提供了电学隔离。隔离技术用来减少或消除在 MOS 平面制作中采用的寄生场效应晶体管。隔离技术必须适应不同器件技术间的等比例缩小（例如结深、栅氧厚度等）。这意味着对于高性能集成电路，用于器件隔离的间隔正在缩小。MOS 技术中两个基本的隔离技术是：通过硅的局部氧化（LOCOS）隔离实现的局部场隔离和浅槽隔离（STI）。

5.3 外延

外延就是在单晶衬底上淀积一层薄的单晶层（见图 3.3-25）。新淀积的这层称为外延层。外延为器件设计者在优化器件性能方面提供了很大的灵活性，例如可以控制外延层掺杂厚度、浓度和轮廓，而这些因素是于硅片衬底无关的。这种控制可以通过外延生长过程中的掺杂来实现。外延层还可以减少 CMOS 器件中的闩锁效应。集成电路制造中最常用的外延反应是高温 CVD 系统。

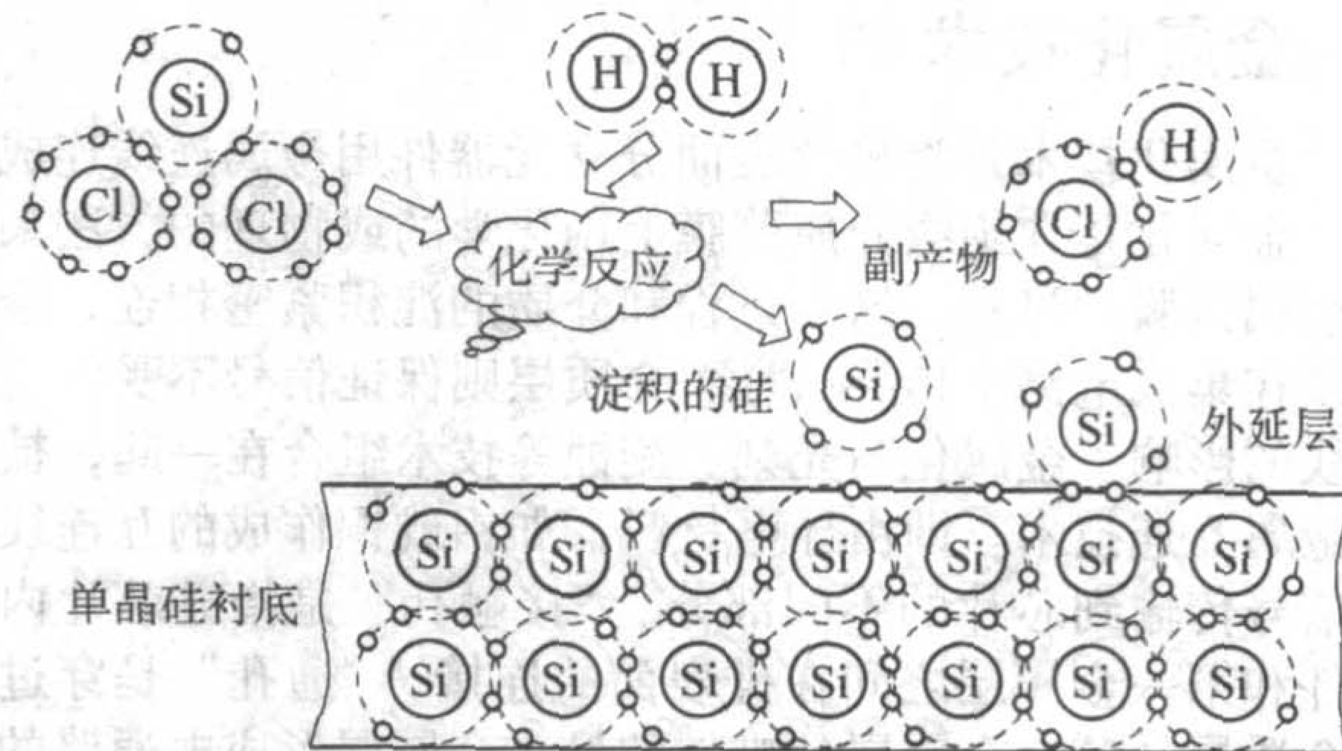


图 3.3-25 硅片上外延生长硅

在外延淀积过程中，可能发生掺杂不均匀现象。因为轻

掺杂外延层通常生长在重掺杂衬底上，外延层会发生自掺杂现象。这种现象发生在掺杂杂质从衬底蒸发，或者是由于淀积过程中氯对硅片表面的腐蚀而自发进行。这些杂质进入气流并导致不希望的外延掺杂。作为外延层生长，来自硅片的杂质很少，气流中的杂质达到一个恒定的水平。另外的不规则掺杂形式是衬底作为杂质源扩散到外延层，这成为外扩散。自掺杂和外扩散都能影响杂质在衬底和外延层之间形成过渡，导致杂质分布曲线不如预想的那样陡。

外延硅通常采用 CVD 淀积系统。外延生长前，必须清除硅片表面的自然氧化层、残余的有机杂质和金属杂质以获得完美的表面。在外延淀积过程中，气体反应产生的原子撞击到硅片表面并移动直至在适当的位置与硅片表面的原子键合。这种方式使外延层和衬底具有相同的结晶方式。

外延反应可用的气体源包括 $SiCl_4$、SiH_2Cl_2、$SiHCl_3$。淀积温度为 1 050 ~ 1 250℃。几乎所有的硅外延都采用了SiH_xCl_{4-x}（$x=1,2,3$）以及氢气。如果反应源气体中氯（Cl）的含量较少，那么反应的温度可以适当降低。

可以采用多种方法在硅片表面生长单晶层，包括固相、液相、气相以及分子束外延。在集成电路制造中一般采用的三种外延方法是：①气相外延（VPE）；②金属有机化学气相淀积（MOCVD）；③分子束外延（MBE）。

1）气相外延　硅片制作中最常用的硅外延方法是气相外延，属于 CVD 的范畴。在温度为 800 ~ 1 150℃的硅片表面通过含有所需化学物质的气体化合物，就可以实现气相外延。高温获得的热提供了驱动在硅片表面发生化学反应所需的能量。

硅片进入气相外延反应腔体之前，反应系统先通入氮气或者氢气净化，然后通入 HCl 气体。反应气体，例如 SiH_xCl_{4-x}，伴随着掺杂气体，被引入到反应腔体中，此时硅片已经加热到反应所需的温度。一旦反应物和掺杂气体进入生长反应腔，就会产生必要的化学反应和物理反应并淀积掺杂的外延层。

典型的外延反应设备由以下几个部分构成：气体分配系统，反应管，支撑并加热硅片的基座，控制系统，尾气系统。在气体分配系统中为了严格的控制气体流动到反应腔体，要用质量流量计和真空阀。基座一般用石墨或者覆盖着碳化硅或氮化硅的多晶硅制成，它必须足够结实，不和反应物和反应产物发生反应。通过诱生加热或者灯丝的辐射加热来给基座升温。图 3.3-26 中的卧式和立式反应器是最常见的。水平反应器中基座被翘起一定的角度来改善均匀性。

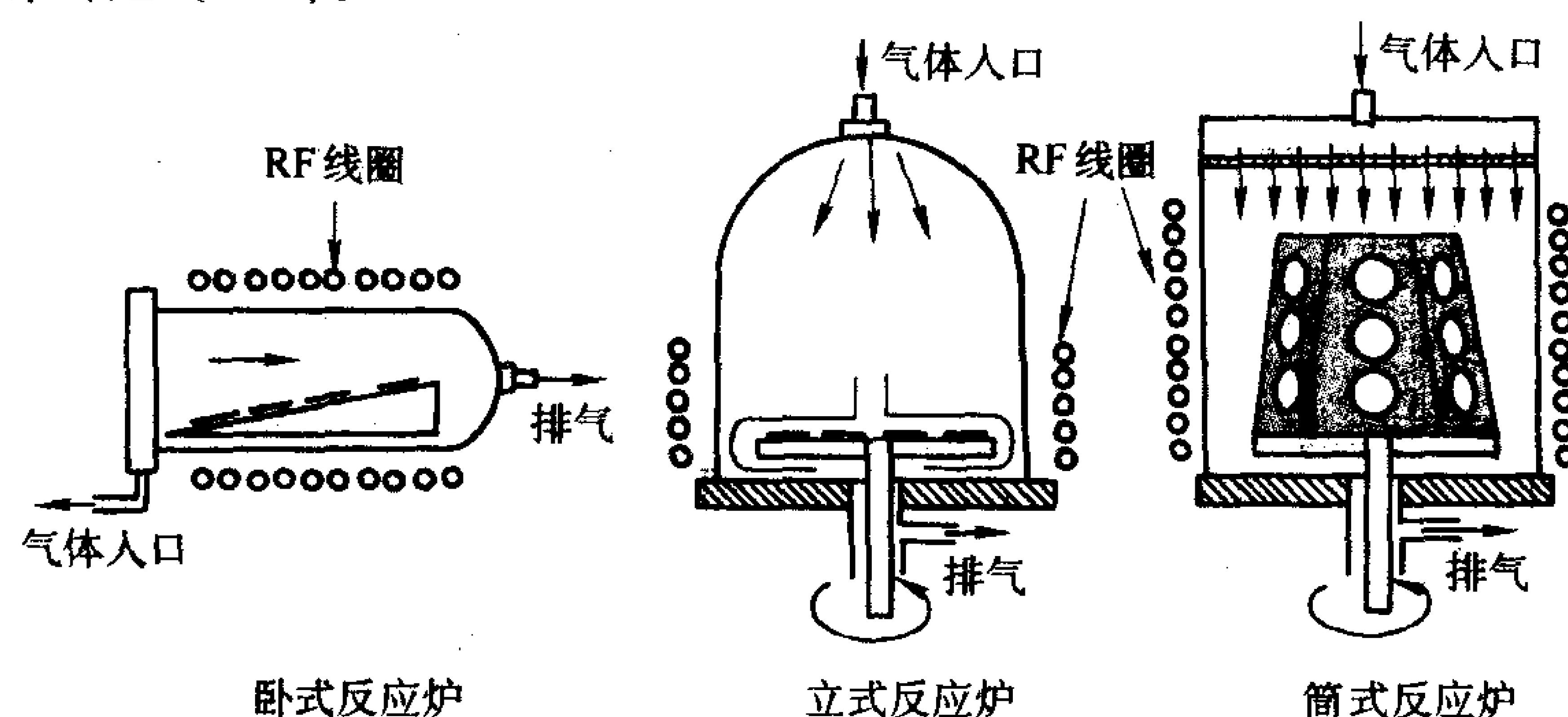


图 3.3-26　硅气相外延炉

2）金属有机化学气相淀积（MOCVD）　另一种外延生长方法通常称为金属有机化学气相淀积。金属有机化学气相淀积是 VPE 的一种，由于没有合适的气体源，通常不用来进行硅外延。它被用来淀积化合物半导体外延层，例如在低温下用有机金属源淀积Ⅲ-Ⅴ族化合物 GaAs。

3）分子束外延（MBE）　分子束外延是用来淀积 GaAs 异质外延层并可达到原子分辨率的一种主要方法。也被用来在硅片衬底上淀积硅并可以严格的控制外延层厚度和掺杂的均匀性。大多数硅 MBE 系统是通过聚焦的电子束源产生的电磁场使硅原子蒸发，来得到外延反应所需的硅反应原子。这类相似于真空蒸发淀积。

6　金属化技术

金属化技术是将硅片表面分立元器件用金属连线连成电路。金属化是在绝缘介质薄膜上用化学的或物理的方法来淀积金属薄膜的过程。这一过程和介质的淀积紧密相连，金属连线在集成电路中传导信号，介质层则保证信号不受邻近金属线的影响。金属化与光刻、刻蚀等技术组合在一起，被称为金属互连技术。即由导电材料，如铝或铜作成的互连线将电信号传输到芯片的不同部分。“接触孔”是指硅芯片内的器件和第一金属层之间在硅表面的连接，“通孔”是穿过各种介质层从某一金属层到毗邻的另一金属层形成电通路的开口，“填充薄膜”是指用金属薄膜填充通孔，以便在这两金属层之间形成电连接。“填充薄膜”所用的材料通常是钨（W）。

早期集成电路中，信号的延迟主要是由器件引起的。但是，对现代 ULSI 而言情况就不同了，金属布线越密，互连线引起的信号延迟占去时钟周期的部分越大，对集成电路性能的制约影响也越大。由于需要减小信号的传播延迟，对于未来集成电路的性能来说芯片的互连技术已经成为关键。

在集成电路芯片制造技术中，解决的方法一是选用电阻率 ρ 更小的材料，以减小互连线的电阻，如用铜取代铝作为基本的导电金属。二是选用介电常数小的材料作为层间介质，即低 κ 层间介质。电容导致信号延迟，降低介电常数将减少寄生电容。

6.1　金属类型

硅集成电路制造中，常用的多晶硅及金属的熔点、电阻率列在表 3.3-9 中。

表 3.3-9　硅和常用金属的熔点及电阻率

材料	熔点/℃	电阻率/$\mu\Omega\cdot cm$（20℃）
硅（Si）	1 412	$\approx 10^9$
掺杂的多晶硅（Doped Poly）	1 412	≈500 ~ 525
铝（Al）	660	2.65
铜（Cu）	1 083	1.678
钨（W）	3 417	8
钛（Ti）	1 670	60

续表 3.3-9

材料	熔点/℃	电阻率（20℃）/μΩ·cm
钽（Ta）	2 996	13～16
钼（Mo）	2 620	5
铂（Pt）	1 772	10

在集成电路制造中使用的各种金属和金属合金可分为这几类：①铝；②铝－铜合金；③铜；④阻挡层金属；⑤硅化物；⑥金属填充塞。

6.1.1 铝

在集成电路制造业中，最早的互连金属是铝，现在它仍然是最主要的互连金属。这种情形还会继续持续几年。目前在高性能的集成电路制造中，铜互连金属已经开始取代铝。

铝在 20℃时具有 2.65 μΩ·cm 的低电阻率，虽比铜、金、银的电阻率稍高，然而铜和银都比较容易腐蚀，在硅和二氧化硅中有高的扩散率。金和银比铝昂贵得多，并且在氧化膜上附着性差。铝和氧化硅之间的附着性强，并容易淀积在硅片上，可用湿刻蚀而不影响下层薄膜。

在硅集成电路制造工艺中，铝和它的主要过程兼容，并且相对而言成本低廉。因此，铝作为金属化首选材料。

在集成电路发展的初期，用纯铝作为金属化材料，硅的熔点为 1 442℃，而纯铝的熔点为 660℃。然而，铝和硅熔合形成的合金实际上具有更低的熔点，实际的熔点依据它们的组分而定，如铝含量占 88.7%，硅含量占 11.3%的合金，其熔点为 577℃。这个温度被称为最低可熔化的温度，它是合金在特殊的组分下的最低可熔化温度。为了使铝和硅形成良好的欧姆接触，通常是在惰性气体或还原的氢气环境中进行合金化，合金化温度一般在 450～500℃。

在金属淀积之前，接触区域的清洁非常重要，通常是要在稀释过的氢氟酸溶液中漂一下，以清除表面的自然氧化层。

6.1.2 铝－铜合金

因为铝的低电阻率以及它与硅和硅片制造工艺的兼容性，因此它被首先选择作为集成电路主要的互连材料。然而铝有诸如电迁徙（见图 3.3-27）引起的可靠性问题。在大电流密度的情形下，电子和铝原子碰撞，引起原子逐渐地移动。原子的移动导致原子在导体负极的损耗，在导体中，哪里发生原子损耗，哪里就会产生空洞，引起金属连线减薄，严重时可能造成断路。在导体的另外区域，有金属原子堆积，金属原子堆起来形成小丘。由于电迁徙，小丘在金属薄膜的表面鼓出，如果过多的或大量的小丘形成，毗邻的金属连线或两层之间的金属连线有可能短接在一起。在超大规模集成电路中，芯片温度会随着电流密度而增加，这样芯片的金属化铝更容易于引起电迁徙。

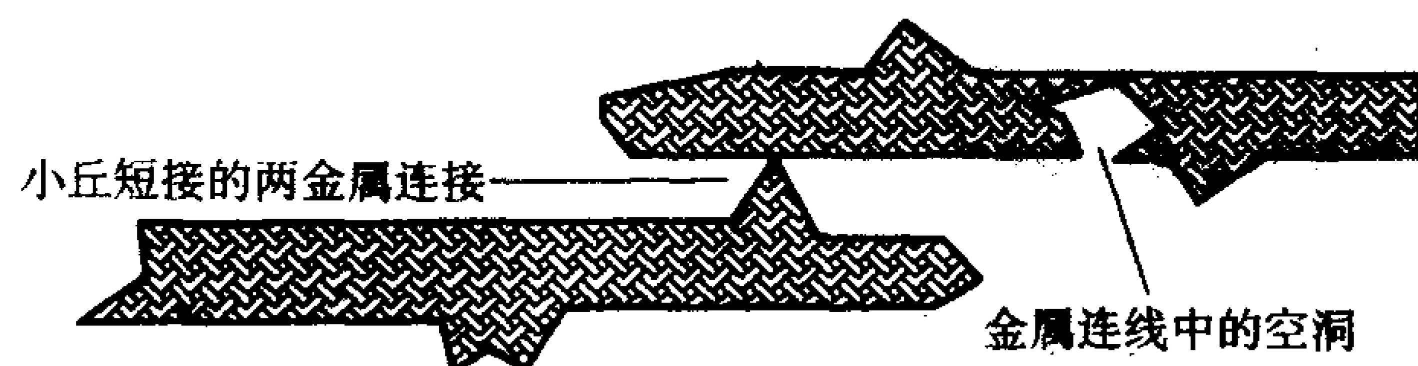


图 3.3-27 金属连线的电迁徙

铝和铜形成的合金，当铜的含量在 0.5%～4%之间时，其金属连线中的电迁徙得到控制。通过减少铝中颗粒之间界面的扩散效果，使得形成的合金从根本上增加了传输电流的能力。

6.1.3 铜

铜的导电性明显优于铝，但是直到近期它替代铝才作为金属互连材料进入主流的 CMOS 集成电路工艺。集成电路互连金属化引入铜具有如下优点：

1）降低电阻率　在 20℃时，互连金属线的电阻率可以从铝的 2.65 μΩ·cm 降低到铜的 1.678 μΩ·cm，从而减少 RC 的信号延迟，增加芯片速度。

2）减少功耗　同样的线宽度，电阻的减小意味着功耗的降低。

3）更高的集成密度　同样导电能力下，可选用更窄的线宽，允许更高密度的电路集成。

4）良好的抗电迁徙性能　铜不需要考虑电迁徙问题。

5）更少的工艺步骤　采用大马士革方法的铜互连工艺可以使工艺步骤减少 20%～30%。

和铝相比，铜具有良好的抗电迁徙的特性。这意味着用铜制造的芯片，能处理更高的电功率密度。表 3.3-10 就铜和铝在硅片制造中的特性和工艺进行了比较。

表 3.3-10 铝和铜之间特性和过程的比较

项目	铝	铜
电阻率/μΩ·cm	2.65（3.2 对铝其中含 0.5%的铜）	1.678
抗电迁徙	弱	强
空气中抗侵蚀	高	低
刻蚀工艺	可以	不可以
化学机械平坦化工艺	可以	可以

目前，双大马士革方法是最为成熟的一种铜金属化工艺。它通过在层间介质刻蚀孔和槽，为每一金属层既产生通孔也产生连线。然后淀积铜进入被刻蚀好的图形，应用化学机械平坦化去掉额外的铜。在集成电路制造中，铜互连技术将逐渐取代铝。

6.1.4 阻挡层金属

为了消除浅结材料扩散等欧姆接触的可靠性问题，通常在主要金属淀积前先淀积特定的某种金属作为阻挡层，以防上下的材料互相混合。

在集成电路制造中，阻挡层被广泛使用。为了连接铝互连金属线的钨填充薄膜和硅源/漏之间的接触，阻挡金属层阻止了硅和钨之间相互进入接触点，也阻止了钨和硅的扩散以及任何结尖刺。

通常被用做阻挡层的金属是一类具有高熔点的难熔金属。在集成电路制造工艺中，被用于多层金属化的难熔金属有钛（Ti）、钽（Ta）、钼（Mo）、钴（Co）和铂（Pt）。用钛作为阻挡层的优点是增强铝合金连线的附着、减小接触电阻、减小应力和控制电迁徙。钛钨（TiW）和氮化钛（TiN）也是两种常用的阻挡金属层材料，它们阻止硅基和铝之间的扩散。TiN 具有为钨和铝作为阻挡金属层的功能。TiN 也被广泛用做铝层上的抗反射涂层以改进光刻确定图形的过程。然而 TiN 和硅之间的接触电阻较大。为了解决这个问题，在 TiN 被淀积之前，先淀积一层钛，这层 Ti 能和下层的硅反应从而降低它的电阻。

对铜金属化来说阻挡层金属更是关键。铜在硅和二氧化硅中都有很高的扩散率，这种高扩散率将破坏器件的性能。传统的阻挡层金属对铜来说阻挡作用不够，铜需要由一层薄膜阻挡层完全封装起来，这层封装薄膜的作用是加固附着和有效地阻止扩散。

对于铜互连金属化来说，钽（Ta）、氮化钽（TaN）和钽硅氮（TaSiN）都是阻挡层金属的待选材料。

6.1.5 硅化物

难熔金属与硅在一起经过高温退火，可发生反应形成硅化物。硅化物是一种具有热稳定性的金属化合物，并且在硅

/难熔金属的分界面具有低的电阻率。为提高集成电路性能，需要尽量减小源/漏和栅区域硅接触的电阻。在铝互连技术中，钛和钴是常用于接触的难熔金属。

6.1.6 金属填充塞

在现在甚大规模集成电路芯片中，通常数以十亿计的通孔需要用金属填充塞填充，以便在两层金属之间形成电通路。接触填充薄膜也被用于连接硅片中硅器件和第一层金属化。目前用于填充的最常用的金属是钨（W），因此填充薄膜通常被称为钨填充塞。当用化学气相淀积的方法淀积薄膜时，钨具有均匀填充高深宽比通孔的能力，因此他被选做传统的填充材料。钨是难熔材料，熔点 3 417℃，在 20℃时，体电阻率是 52.8 μΩ·cm。

铝虽然电阻率（2.65 μΩ·cm）比钨低得多，但溅射的铝不能填充具有高深宽比的通孔。因此，通常将铝用做互连材料，钨被限于作为填充材料。

6.2 金属淀积系统

在集成电路制造过程中，金属化工艺属于物理气相淀积（PVD）类。物理气相淀积最初是采用灯丝蒸发的方法，随后采用电子束蒸发的方法，最近是通过磁控溅射的方法。

在中小规模集成电路制造时代，金属化采用的是蒸发方法。由于蒸发台阶覆盖的特性差，因此它首先被溅射方法取代。在金属互连的接触孔和通孔工艺中，通常采用金属化学气相淀积法。近期伴随着双大马士革工艺，开始采用铜电镀法作为金属化的方法。

6.2.1 蒸发

在半导体制造的早期，所有的金属层都是通过蒸发 PVD 方法。最初使用将待蒸发的材料（铝）挂在钨丝（或钼丝）上，将钨丝通电加热来加热铝，使之蒸发淀积在硅片上，后来被电子束蒸发工艺所取代。电子束蒸发的主要优点是淀积膜纯度高，钠离子沾污少。

电子束蒸发的过程是利用经过高压加速并聚焦的电子束来加热放置在坩锅中待蒸发的材料，使之蒸发并淀积在硅片上。在蒸发器中通过保持高真空环境，蒸气分子的平均自由程增加，并且在真空腔体里以直线形式运动，直到它撞击到表面凝结形成薄膜。蒸发最大的缺点是不能产生均匀的台阶覆盖。

6.2.2 溅射

溅射是一种物理气相淀积（PVD）技术，它主要是一个物理过程，而不是化学过程。在溅射过程中，高能粒子撞击具有高纯度的靶材料固体平板，撞击出原子。这些被撞击出的原子穿过真空，最后淀积在硅片上。

溅射技术具有如下优点：①可以溅射各种合金和难熔金属；②在淀积合金时，淀积的膜能保持合金的原组分；③若采用多腔体集成设备，能够在淀积金属前清除硅片表面污染和本身的氧化层。

在台阶覆盖和填充具有高深宽比通孔方面，蒸发的能力有限，使它不能够应用于超大规模集成电路。和金属化蒸发比较，溅射在台阶覆盖和间隙填充方面具有绝对优势。溅射主要用于淀积关键的阻挡层和种子层，如用于铜金属化的钽和氮化钽。

溅射有六个基本步骤是：①在高真空腔体等离子体中产生正的氩离子，并向具有负电势的靶材料加速；②在加速过程中离子获得动量，并轰击靶；③离子通过物理过程从靶上撞击出金属原子；④被撞击出的原子迁移到硅片表面；⑤被溅射的原子在硅片表面凝聚并形成薄膜，薄膜具有和靶材料基本相同的组分；⑥额外材料由真空泵抽走。

图3.3-28 是平板式直流溅射系统示意图，它由阴极、阳极和真空环境组成。固体靶材料固定在阴极上，待加工的硅片放在阳极上。为了在整个硅片上获得均匀的薄膜淀积速率，靶材料的组分要均匀、颗粒尺寸要适中。

从氩气辉光放电产生的高密度离子被吸引向阴极，在电场的作用下以很高的速率轰击固定在阴极上靶板，撞击出原子以便淀积。从靶材料被溅射出的原子在腔体中散开，最后一些停留在硅片和腔体壁上。原子在硅片上成核并生长成薄膜。溅射技术在集成电路制造中的一项重要应用是溅射淀积合金，特别是铝－硅和铝－铜合金。例如，如果靶材料是含有 1%铜的铝铜合金，那么淀积的薄膜在稳态条件下也是含有 1%铜的铝铜合金。

为产生等离子体和保持被淀积薄膜的纯度，溅射腔体里的真空条件非常重要，通常其初始真空度的要求为 133.322×10^{-7} Pa（10^{-7} Torr）。

实际使用的有射频（RF）、磁控和离子化金属等离子体（IMP）等溅射系统。简单的 RF 溅射系统由于效率低，应用受到很大限制。磁控是最广泛应用的溅射系统。

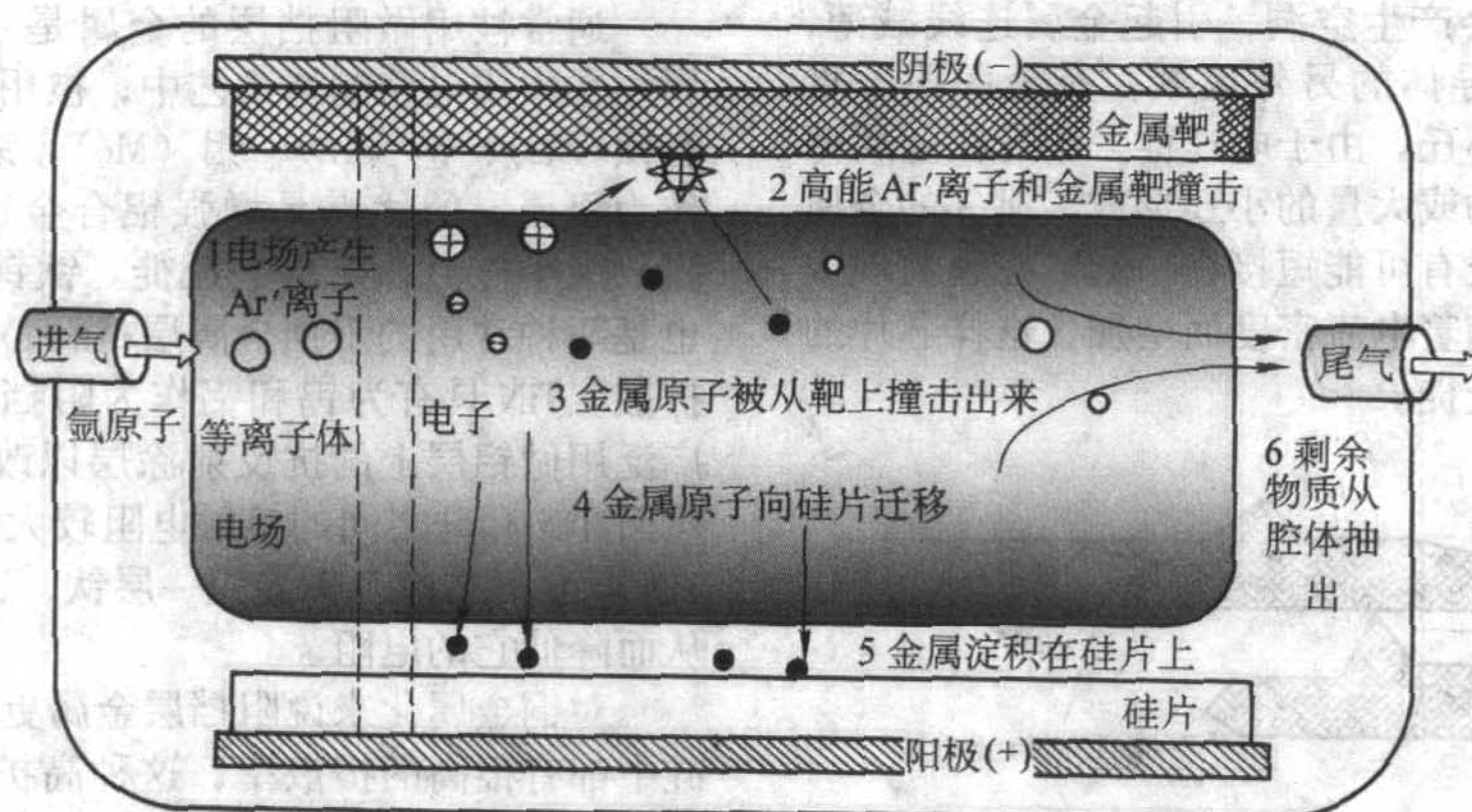


图 3.3-28 平板式直流溅射系统

6.2.3 金属化学气相淀积

由于化学气相淀积具有优异的等角的台阶覆盖和对高深宽比接触孔和通孔无间隙式的填充，它在金属淀积方面的应用范围正在扩大。

1）钨化学气相淀积 钨作为填充材料通常被用于多层互连技术。常用技术是钨的化学气相淀积法。它具有良好的抗电迁徙，优异的台阶覆盖和间隙填充等特性，特别是在高深宽比通孔的填充方面。

低压化学气相淀积是一种常用的淀积钨方法。反应器既可是热壁也可是冷壁。淀积钨的最普通气源是 WF_6。最常用

的反应是 WF_6 和 H_2 之间的反应，产生钨和氟化氢（HF）气体。



$$WF_6 + 3H_2 \longrightarrow W + 6HF$$

钨填充工艺的一般过程是非选择性地淀积在整个硅片表面上，包括通孔。然后用反刻蚀法或化学机械平坦化（CMP）法将介质上多余的钨去除。

2）铜化学气相淀积　在铜金属化互连技术中，要进行铜电镀，首先必需淀积一层薄种子层。种子层是一层厚度约 50～100 nm（500～1 000 Å）的薄层，并淀积在扩散阻挡层顶部。铜化学气相淀积是淀积种子层的优选技术之一。要求种子层沿着侧壁和底部是连续的、没有针孔和空洞。

6.2.4 电镀

集成电路芯片制造中所用到的电镀是指铜的电镀。铜电镀是电化学淀积（ECD），是用于铜金属化的第一代淀积方法。

电镀铜金属的基本原理是将具有导体表面的硅片沉浸进在硫酸铜［Cu（SO_4）］溶液中。这个溶液包含需要被淀积的铜（见图 3.3-29）。硅片和种子层作为带负电荷的平板或阴极电连接到外电源。固体铜块沉浸在溶液中并构成带正电荷的阳极。电流从硅片进入溶液到达铜阴极。当电流流动时，在硅片表面将发生下列反应，以淀积铜金属。



$$Cu^{2+} + 2e^- \longrightarrow Cu^0$$

铜离子　电子　金属铜

电镀过程中，金属铜离子在硅片表面阴极被还原成金属铜原子，同时在铜阳极发生氧化反应，以此平衡阴极电流。根据法拉第电解定律，铜的淀积量正比于传输到导电硅片表面的电流。由此，控制电镀的基本参数是电流和时间。没有电流时，在阳极、阴极和溶液之间有个平衡势。当外加一个电压时，在阳极和阴极之间形成电流，金属淀积在阴极，且正比于电流量。

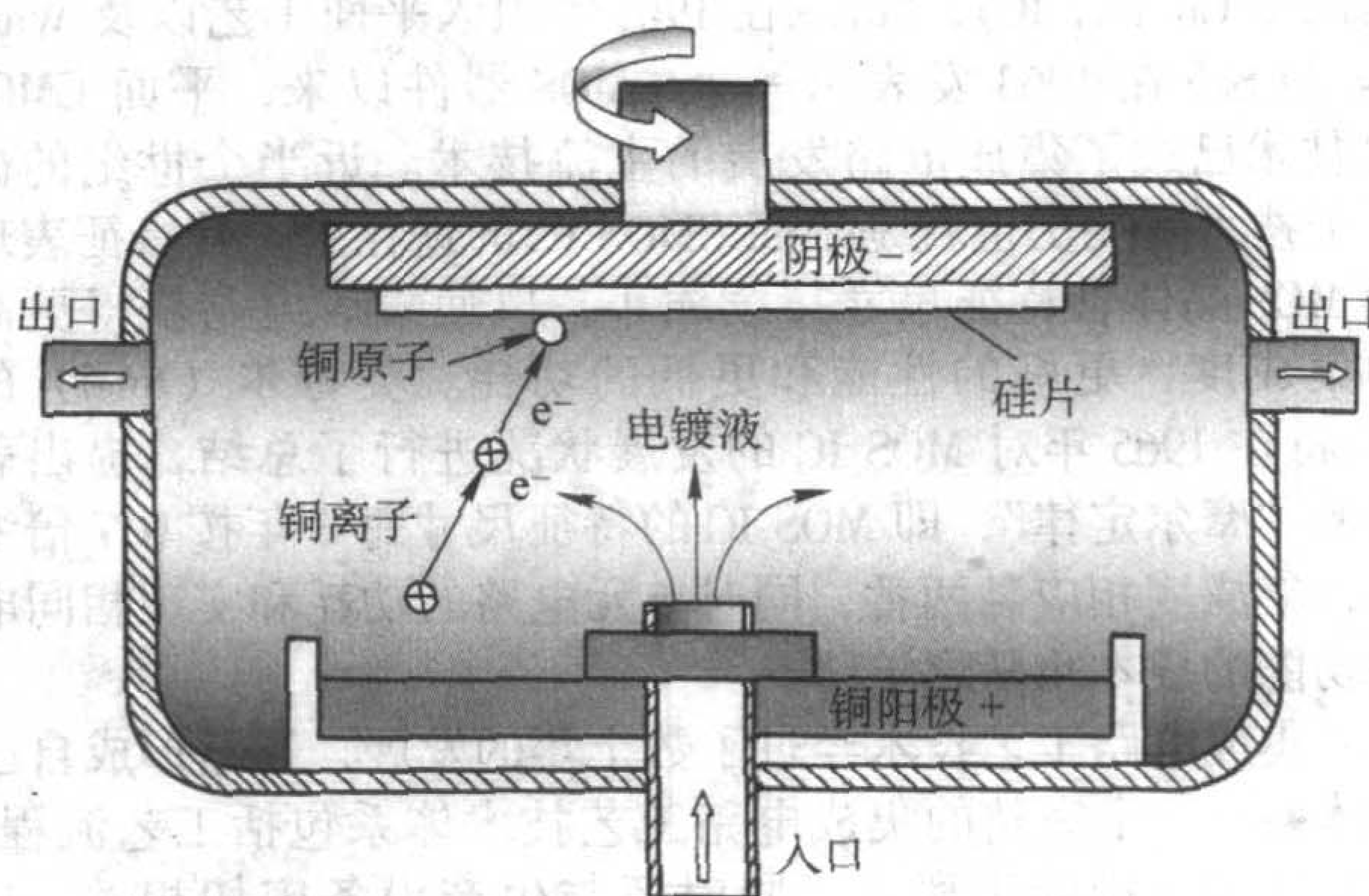


图 3.3-29　铜电镀

编写：韩郑生（中国科学院微电子研究所）

第4章 CMOS器件及电路制造技术

自从Kahn与Attala在1960年制作出第一个金属氧化物半导体场效应晶体管（Metal – Oxide – Semiconductor Field Effect Transistor，MOSFET），Kilby于1958年发明集成电路（Integrated Circuit，IC），Noyce在1961年引入平面工艺以及Wanlass与Sah在1963发表第一个CMOS器件以来，平面CMOS IC技术已成了集成电路发展的主流技术。近半个世纪的微电子技术发展史也就是平面CMOS IC的进化史，其特征表现为MOS晶体管特征尺寸持续缩小，以使集成电路获得更高的集成度，更好的性能和更低的功耗。英特尔（Intel）的Moore在1965年对MOS IC的发展状况进行了总结，提出著名的"摩尔定律"，即MOS IC的特征尺寸每3年按0.7倍缩小，集成度相应翻两番，同时单元电路的功耗和实现相同电路功能的成本也随之下降。

集成电路工艺技术经过了数十年的发展，逐渐形成自己的体系。一个完整的集成电路工艺技术体系包括工艺流程、加工技术、检验手段等，同时还与生产设备密切相关。IC工艺技术追求的主要目标就是稳定性（可重复性）以及开创性。先进的工艺技术需要高水平的设备与IC设计、生产技术的共同支持，缺一不可。

VLSI/ULSI工艺流程仍然是硅平面工艺技术，它主要由高温氧化、掺杂、淀积、光刻和刻蚀过程组成。一个完整的工艺流程通常要包括这五大过程的若干次循环才能完成。随着集成电路工艺技术的发展，逐渐涌现出一大批新型的工艺技术，主要包括：①双阱工艺技术；②浅槽隔离（STI）技术；③超陡、倒掺杂沟道浓度分布；④氮化薄栅氧化以及高k栅介质技术；⑤双多晶硅栅和金属栅技术；⑥超浅结延伸区形成技术；⑦自对准硅化物技术；⑧CMP平坦化技术；⑨低k介质和Cu互连布线技术等。正是这些技术的发展使得CMOS集成电路继续保持着旺盛的生命力。

目前，应用于大规模工业生产的CMOS IC技术已达到12 in、0.13 μm技术代水准（指DRAM的1/2 Pitch宽），正向0.09 μm技术代水平进军。预计在2007年达到0.065 μm技术代的水准，相应的高性能逻辑电路，如MPU的集成晶体管数目超过2亿个以上。

然而当CMOS器件特征尺寸进化到50 nm的技术范围内时，传统的CMOS IC技术将面临越来越严重的限制。这些限制一方面在于当器件尺寸接近原子尺寸时，受到量子、热学、材料等物理效应限制的可能性越来越大；另一方面是在尺寸缩小（Scaling）的同时如何保证器件、电路的正常工作并使其性能获得持续提高，这类限制主要表现在：沿用现有深亚微米CMOS技术体系，50 nm器件中将产生更大的器件漏电（如超薄栅氧化层隧穿漏电，亚阈值漏电以及高掺杂源/漏浅结漏电等），其短沟道效应（SCE）影响阈值更加严重，开态电流（I_{on}）受各种因素影响无法继续提高，电路中互连电阻与层间电容急剧增加，以及一些工艺技术接近极限的挑战；另外还包括日益增加的工艺一致性和成本耗费问题等等。

为了克服上述限制，学术界和工业界进行了广泛的研究，远期目标：完全抛弃传统的MOS场效应晶体管，利用量子效应、纳米材料和生物或光电技术制作可用于IC的量子器件、单电子器件（Single Electron Transistor，SET）、纳米管器件（Nanotube Device），和分子器件（Molecular Device）等。其中，量子器件包括量子点原胞自动机（Quantum – Dot Cellular Automata，QCA）、快速单磁通量子器件（Rapid Single Flux Quantum，RSFQ）以及共振隧穿器件（Resonant Tunnel Device，RTD）。其目的是从根本上突破现有MOS场效应这种技术框架在工艺、电路逻辑与结构、甚至物理作用方式上的固有限制，以获取如同当初发明晶体管一样能在未来十几年或几十年内得到顺利发展的全新基础平台，保证摩尔定律的持续发展。此研究领域称为纳米电子学（Nanoelectronics）；其近期目标：①研究MOSFET新器件结构，以延续摩尔定律寿命，主要研究方向包括应力硅MOSFET，能带工程MOSFET，超薄体SOI MOSFET，垂直晶体管，FinFET，双栅MOSFET等，此领域称为非常规CMOS技术；②在传统的平面MOS器件结构下，采用一些新的制作技术（例如激光退火、原子层淀积等）和新材料（金属栅、高k材料和更新的低k材料等），最大可能地推进传统的硅工艺向前发展，这是工业界迫切要求的。

1 MOS器件的物理基础

MOS晶体管是金属－氧化物－半导体场效应晶体管的简称，是一种依靠多数载流子传输电流的表面场效应单极器件。在MOS结构中，可以选择的衬底材料主要是Si。新近发展起来的绝缘体上的硅（Silicon on Insulater，SOI）技术具有高速、低功耗、抗辐照的特点，也是衬底材料的一种选择，但由于其成本相对较高而没有成为主流。尽管伴随着MOS集成电路的发展出现了许多新技术和新结构，但传统的MOS技术仍占有非常重要的地位，因此首先以传统技术为代表，阐述MOSFET的基本工作原理、直流特性、瞬态特性、温度特性等方面的问题。

1.1 MOSFET的基本结构、工作原理及基本类型

（1）MOSFET的基本结构以及表面电场效应

首先以硅栅NMOS为例介绍一下MOSFET的结构。如图3.4-1所示，传统的MOSFET在电学上是四端器件，由源、漏、栅以及衬底组成。其栅极部分的纵向结构为掺杂多晶硅（或金属）栅－栅氧化层－半导体衬底组成的MOS电容结构。栅极是指绝缘氧化层上淀积的导电层（可以是金属或者重掺杂多晶硅），通过在栅极上施加电压V_{GS}可以控制半导体表面电场（栅压有时候也用V_G表示），从而改变半导体表面沟道的导电能力。栅氧化层在MOS晶体管中具有重要的作用，其厚度t_{ox}可以决定栅对于沟道电荷的控制能力，影响MOSFET的阈值电压以及栅源电压对于漏电流的控制能力等。MOSFET水平方向上的结构为源区－沟道区－漏区，源区和漏区是位于MOS栅极两侧衬底之上深度为X_j的两个重掺杂区。栅和源漏之间有少量的交叠，产生寄生电容。在源漏之间不加电压的时候，源、漏是对称结构，无法区分。当MOSFET处于正常工作状态的时候，也就是在源、漏以及

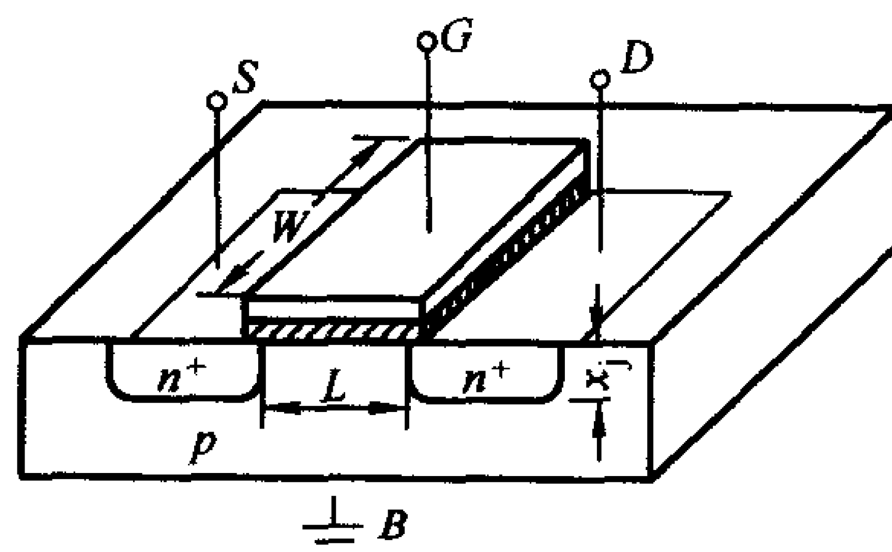


图3.4-1 NMOSFET的结构示意图

栅上加上适当的电压后，载流子将从源极流出，途经反型沟道区，最后再从漏极流出。源和漏边缘之间的距离称为该MOSFET的沟道长度 L，一般把它作为器件尺寸的重要标志之一。至于沟道宽度 W 是指器件在与沟道长度垂直的方向上伸展的距离，它将影响晶体管的宽长比（W/L），进而影响到MOSFET驱动能力等诸方面特性。此外结深 X_j、沟道掺杂浓度 N_{ch} 也是重要的结构参数。

为了深入分析MOSFET的工作原理以及电学特性，有必要先了解热平衡状态下，在外加电场作用下半导体表面层内（相应于MOSFET沟道区）发生的现象。这些现象对于理解MOSFET的工作原理及其相关的应用具有重要的作用。对于MOSFET而言，其栅极部分的纵向电容结构就成为研究的焦点。为了便于理解，将栅极电容结构简化成如图3.4-2所示。即使这样，由于金属半导体功函数差异和界面态等一些原因，情况也是非常复杂的。为此进一步把问题简化到如下的理想情况：①金属半导体功函数差（Metal - Semiconductor Work Function difference，W_{ms}）为0；②栅介质层理想绝缘并且内部没有任何电荷；③栅介质与衬底界面处没有界面态。

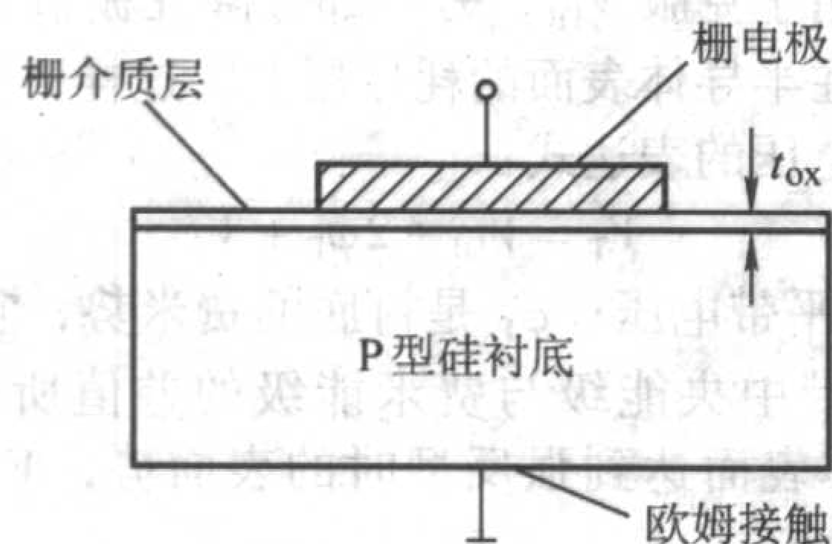


图3.4-2　简化后的MOS纵向电容结构

由图3.4-3可见，当在这种理想MOS电容结构的栅极施加电压后，由于充电作用而使栅极和衬底表面具有相反的电荷。此外，由于自由电荷的密度很大，栅极电荷（Q_G）分布在一个很薄的范围内；与之相对，衬底的自由电荷密度要小得多，电荷将分布在一定厚度的表面层内，这一带电的表面层就是所谓的空间电荷区。而且，由于栅极电压的存在，衬底表面与体内产生电势差，而使能带发生弯曲，不同栅压造成的能带弯曲如图3.4-3所示。一般把空间电荷区两端的电势差称作表面势，用 V_s 表示。

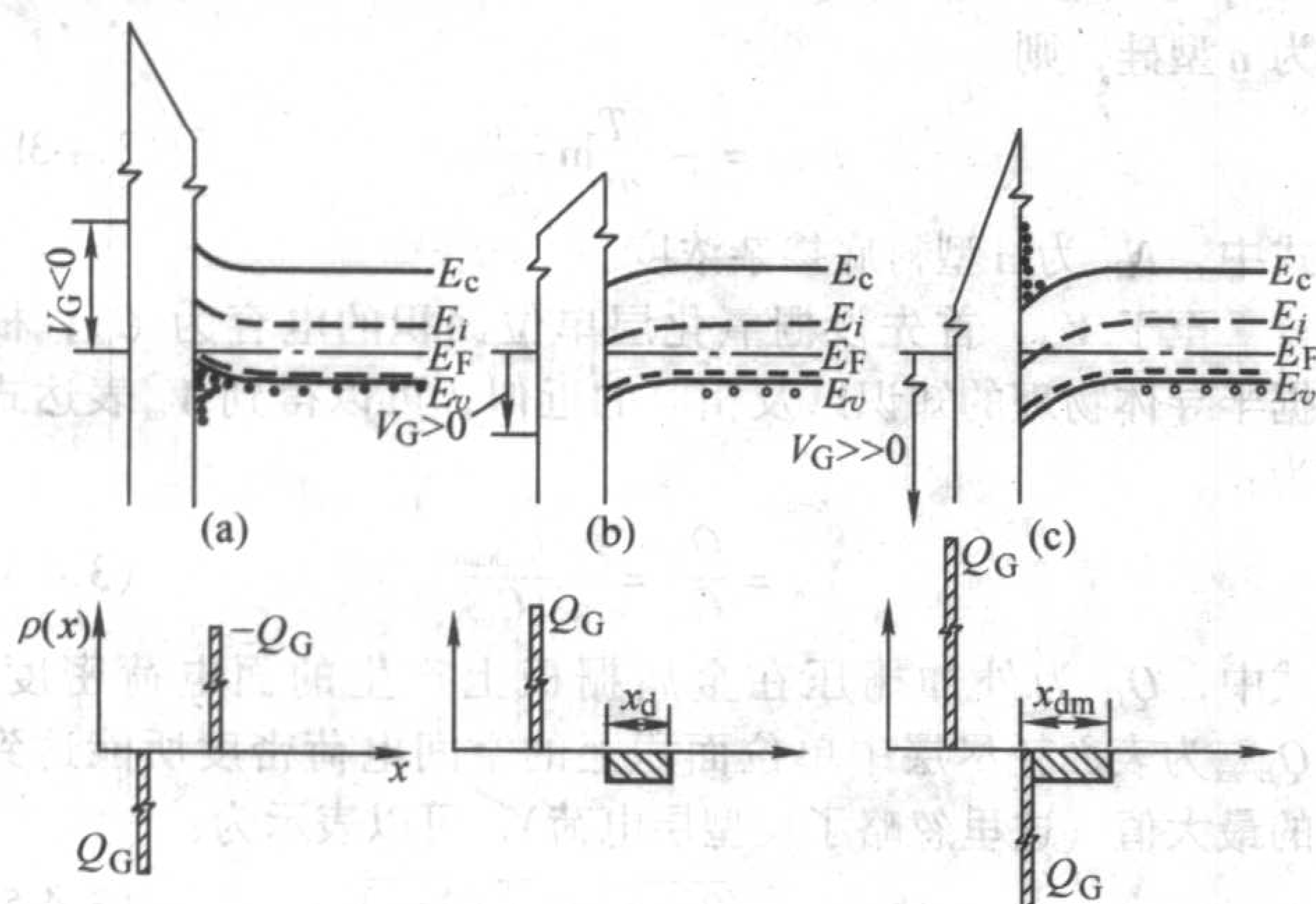


图3.4-3　简化后p型硅MOS结构的能带图以及空间电荷分布
（a）积累状态；（b）耗尽状态；（c）反型状态

下面具体介绍不同栅极电压对于表面势以及空间电荷区分布情况的影响，一般而言可以分为积累、耗尽以及反型三种情况。仍然以NMOS电容（衬底为p型半导体）为例进行说明：

1）积累状态　当栅压为负时，引起表面能带发生如图3.4-3（a）所示的向上弯曲。由于在热平衡状态下，半导体内的费米能级 E_F 保持恒定，则在表面附近区域，能带上弯的状态使得价带顶逐渐靠近甚至高过 E_F。价带能级的这种变化将引起半导体表面价带中空穴浓度的增加，越靠近表面空穴浓度越高。这样，表面层内由于空穴的积累而带有正电荷。这些空穴主要分布在最靠近表面的薄层内。此时 V_s 为负。

2）耗尽状态　当栅压为正时，引起表面能带发生如图3.4-3（b）所示的向下弯曲。这时，在表面附近区域，能带下弯的状态使得价带顶距离 E_F 越来越远。价带能级的这种变化将引起半导体表面价带中空穴浓度的降低，越靠近表面空穴浓度就越低。此时，表面处空穴浓度将被正栅压所耗尽，使得表面空穴浓度远低于体内空穴浓度。此时的状态即为耗尽状态。此时 V_s 为正。

3）反型状态　当正栅压进一步增大时，将引起表面能带发生如图3.4-3（c）所示的进一步向下弯曲。这时，在表面处 E_F 位置可能高于禁带中央能级 E_i，从而使得 E_F 距离导带底比距离价带顶更近一些。能级的这种变化将引起半导体表面电子浓度超过空穴浓度，形成与衬底导电类型相反的导电薄层，即反型层。

从图3.4-3（c），可以看出除了反型层以外，从表面到内部还存在一层耗尽层。此时空间电荷层内的负电荷由反型层中的电子和已电离的受主负电荷组成，反型电荷主要集中在表面薄层区域。当栅压继续增大时，能带进一步弯曲使半导体表面势等于甚至超过2倍费米势，此时的状态为强反型状态。

对于PMOS电容（衬底为n型半导体）而言，容易看出栅压为正时，表面出现由于电子积累而形成的负电荷；当栅压为绝对值不太高的负值时，衬底表面电子将被耗尽而形成耗尽层；当负栅压的绝对值进一步增大时，表面层将形成空穴堆积的反型层乃至强反型层。

（2）MOSFET的基本工作原理

从理想MOSFET的基本结构来看，MOS晶体管是一种栅控电流器件，利用栅极电压来调制沟道区电荷的运动。本节以增强型NMOS晶体管为例来介绍MOSFET的基本工作原理，其他几种类型将在后续章节继续介绍。对于一个具有如图3.4-4所示结构的理想增强型NMOS晶体管而言，当在栅

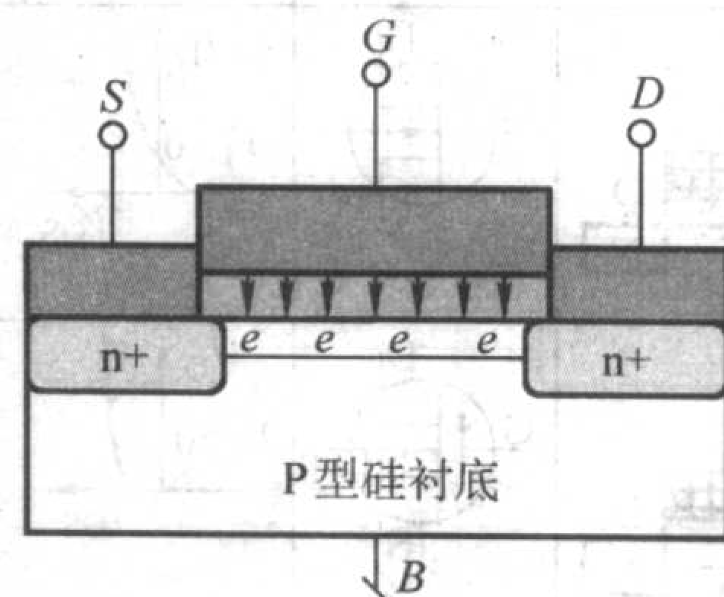


图3.4-4　增强型NMOS晶体管剖面结构示意图

极上施加正电压时，栅极将在栅氧化层中产生电场，其方向是由栅极指向衬底表面，该电场将在半导体表面形成电子感应电荷。随着栅压的不断增加，半导体表面形成的电子感应电荷也将越来越多，从而使半导体表面的反型电子浓度大大超过衬底原来的空穴浓度，从而达到所谓的强反型状态而形成导电沟道。使半导体表面达到强反型所加的栅压称为阈值电压 V_T（下面用 V_{TN} 表示NMOS晶体管的阈值电压，V_{TP} 表示PMOS晶体管的阈值电压）。阈值电压是MOS晶体管非常重要的参数，影响着器件的诸多特性。因此，当栅源电压 V_{GS} 大于 V_T 的时候，半导体表面将达到强反型而形成导电沟道。这时，如果在源漏之间加上适当的偏置电压 V_{DS}，则使MOS晶体管处于正常工作状态，载流子将从源极流出，途经

反型沟道区，最后再从漏极流出，形成源漏电流 I_{DS} 通路。栅极未施加电压的时候，衬底表面也就不会有反型层导电沟道区形成，源漏之间就形成了由两个背靠背的 pn 结二极管构成的结构。在这种结构下，只要保证源漏之间的 pn 结不被击穿，无论源漏之间的电压方向如何，始终有一个二极管处于反偏状态，则源漏之间不会产生电流。

(3) MOSFET 的基本类型

根据参与导电的载流子的类型以及 MOS 晶体管的工作机制，将 MOSFET 分成如图 3.4-5 所示的四种不同的类型：N 沟增强型、N 沟耗尽型、P 沟增强型、P 沟耗尽型。

首先，按照参与导电的载流子的类型，MOS 晶体管可以分为 n 沟和 p 沟两类，简称为 NMOS 管和 PMOS 管。NMOS 管是在 p 型衬底上通过扩散或者注入形成 n^+ 源区和漏区而制备的器件。导通时通过在栅极施加正偏置电压 V_{GS} 而使半导体表面形成 n 型强反型层，通过电子导电。PMOS 管与之相反，它是在 n 型衬底上通过扩散或者注入形成 p^+ 源区和漏区而制备的器件。导通时，通过在栅极施加负偏置电压 V_{GS} 而使半导体表面形成 p 型强反型层，通过空穴导电。由于 PMOS 管和 NMOS 管互为对偶结构，二者的导电载流子类型相反，所以所加电压极性、电流方向都相反。

其次，按照工作机制，MOS 晶体管又可以分为增强型和耗尽型两类。增强型器件是指当 $V_{GS}=0$ 时，其半导体表面并不存在导电沟道，源漏之间被背靠背的 pn 结二极管隔离，即使加上漏源电压，漏源之间也不存在电流。只有当 $V_{GS}\geqslant V_T$ 时，才可以使沟道区表面半导体达到强反型而使 MOS 晶体管导通。所以这种增强型 MOS 晶体管又称为常断型器件。耗尽型器件是指当 $V_{GS}=0$ 时，其半导体表面就已经存在导电沟道，因此可以产生漏电流。要想使耗尽型 MOS 器件的导电沟道消失，就必须施加一个相反的栅极电压。所以这种耗尽型 MOS 晶体管又称为常开型器件。要使耗尽型 MOS 器件的沟道消失所加的栅压称为耗尽型 MOS 的阈值电压，也称为夹断电压。增强型器件和耗尽型器件具有相对性的特点：对于 NMOS 管，增强型器件具有正阈值电压，耗尽型器件具有负阈值电压；对于 PMOS 管则恰好相反。

	结构特点（箭头为电源方向）	电学符号	转移特性	输出特性
N沟耗尽型	G, S, O, N, P, N	G, D, S	I_D, $V_T<0$, V_{GS}	I_D, $V_{GS}=0$, V_{DS}
N沟增强型	G, S, D, N, P, N	G, D, S	I_D, $V_T>0$, V_{GS}	I_D, $V_{GS}=0$, V_{DS}
P沟耗尽型	G, S, D, P, N, P	G, D, S	V_{GS}, $V_T>0$, I_D	V_{DS}, $V_{DS}=0$, I_D
P沟增强型	G, S, D, P, N, P	G, D, S	V_{GS}, $V_T<0$, I_D	$V_{GS}=0$, V_{DS}, I_D

图 3.4-5　MOSFET 的四种基本类型

1.2　MOSFET 的特性和基本参数

(1) MOS 晶体管的阈值电压

阈值电压是 MOS 晶体管的一个非常重要的电学参数，用 V_T 表示。它是指在 MOS 结构中，为了使半导体表面达到强反型，从而形成导电沟道所需加的栅源电压 V_{GS}。从使用角度而言，阈值电压 $|V_T|$ 的选择要根据电源电压大小来定。

1) 阈值电压的表达式　从实际 MOS 晶体管结构来探讨有关 MOS 晶体管的阈值电压问题。MOS 晶体管栅极部分的纵向结构为掺杂多晶硅（或金属）栅电极－栅氧化层－半导体衬底组成的 MOS 电容结构。根据阈值电压的定义，可以看出 MOS 晶体管的阈值电压 V_T 可以等效为 MOS 电容结构所对应的阈值电压。在实际的 MOS 电容结构中存在表面态电荷密度（Surface State Density，Q_{SS}）以及金属半导体的功函数差 W_{ms}。Q_{SS} 由产生于栅介质层中的固定电荷、可动电荷和界面态组成。根据半导体物理的基础知识可以知道，在栅压为零时，由于 Q_{SS} 和 W_{ms} 综合作用，表面能带将弯曲，为了将表面能带恢复到平直状态，必须在栅极上施加一定的栅压，使能带恢复到平直状态所需加的栅压称为平带电压（Flatband Voltage，V_{FB}）。可以发现，外加栅压有以下一些作用：一部分用于克服 V_{FB}，另一部分降在栅氧化层上，还有一部分是降在半导体表面的耗尽层上。这样，可以得到 MOS 晶体管阈值电压的表达式：

$$V_T = V_{FB} + 2\varphi_F + V_{ox} \tag{3.4-1}$$

式中，V_{FB} 是平带电压；φ_F 是衬底的费米势，它所表达的物理意义是禁带中央能级与费米能级的差值所对应的电势。$2\varphi_F$ 是半导体表面达到强反型时的表面势，V_{ox} 是降落在栅绝缘层上的电压。

在半导体物理学中，给出了考虑表面态电荷密度和金属-半导体功函数差影响时的平带电压

$$V_{FB} = -V_{ms} - \frac{Q_{SS}}{C_{ox}} \tag{3.4-2}$$

式中，$-V_{ms}$ 是抵消功函数差所加的栅源电压；$-Q_{SS}/C_{ox}$ 是抵消表面态电荷的影响所加的栅源电压。NMOS 用 p 型硅作衬底，其费米势为

$$\varphi_F = \frac{kT}{q}\ln\frac{N_A}{n_i} \tag{3.4-3a}$$

式中，N_A 为 p 型衬底掺杂浓度；n_i 为本征载流子浓度；kT/q 为热电势 V_t，在室温下 $V_t\approx 0.026$ V。PMOS 管的衬底为 n 型硅，则

$$\varphi_F = -\frac{kT}{q}\ln\frac{N_D}{n_i} \tag{3.4-3b}$$

式中，N_D 为 n 型衬底掺杂浓度。

至于 V_{ox}，首先设栅氧化层单位面积的电容为 C_{ox}，根据半导体物理的知识以及相应的近似，可以得到 V_{ox} 表达式为：

$$V_{ox} = \frac{Q_G}{C_{ox}} = -\frac{Q_{Bmax}}{C_{ox}} \tag{3.4-4}$$

式中，Q_G 为外加栅压在金属栅极上产生的面电荷密度；Q_{Bmax} 为表面耗尽层中单位面积上的空间电荷密度所能达到的最大值（这里忽略了反型层电荷），可以表示为：

$$Q_{Bmax} = \sqrt{2\varepsilon_0\varepsilon_S qN_B\,(2\varphi_F)} \tag{3.4-5}$$

式中，N_B 是衬底掺杂浓度，而 ε_0、ε_S 分别为真空和半导体的介电常数。

将式（3.4-2）、式（3.4-4）分别带入式（3.4-1）可以得到阈值电压的表达式：

$$V_T = -\frac{Q_{SS}+Q_{Bmax}}{C_{ox}} + 2\varphi_F - V_{ms} \tag{3.4-6}$$

以下讨论各个参量的符号问题，对于 NMOS 而言，其衬底为 p 型半导体，因而表面耗尽区中的空间电荷为负值；而对于

PMOS 而言，情况正好相反。同样，在 NMOS 和 PMOS 中，费米势 φ_F 也具有相反的符号：在 NMOS 中为正，在 PMOS 中为负。将 Q_{Bmax} 和 φ_F 的正负号以及式（3.4-3)、式（3.4-5）带到式（3.4-6）中，可以分别得到 NMOS 的阈值电压为

$$V_{TN} = -\frac{Q_{ss}}{C_{ox}} + \frac{Q_{Bmax}}{C_{ox}} + \frac{2kT}{q}\ln\frac{N_A}{n_i} - V_{ms}$$
$$= -\frac{Q_{ss}}{C_{ox}} + \frac{1}{C_{ox}}\left[\sqrt{2\varepsilon_0\varepsilon_s qN_A(2\varphi_F)}\right] + \frac{2kT}{q}\ln\frac{N_A}{n_i} - V_{ms} \tag{3.4-7a}$$

PMOS 的阈值电压为

$$V_{TP} = -\frac{Q_{ss}}{C_{ox}} - \frac{Q_{Bmax}}{C_{ox}} - \frac{2kT}{q}\ln\frac{N_A}{n_i} - V_{ms}$$
$$= -\frac{Q_{ss}}{C_{ox}} - \frac{1}{C_{ox}}\left[\sqrt{2\varepsilon_0\varepsilon_s qN_D(2\varphi_F)}\right] - \frac{2kT}{q}\ln\frac{N_D}{n_i} - V_{ms} \tag{3.4-7b}$$

非平衡状态下的 MOS 结构阈值电压涉及到许多相关的知识，这里就不再介绍。

2）影响阈值电压的因素　从阈值电压的表达式可以看出，有诸多因素都将影响到 MOS 晶体管的阈值电压，下面分别作进行介绍：

① 栅电容 C_{ox}　由式（3.4-7）可以看出，栅电容越大，阈值电压的绝对值就越小。栅电容 $C_{ox} = \varepsilon_0\varepsilon_{ox}/t_{ox}$，因此，要使栅电容更大，应该降低栅氧化膜厚度 t_{ox} 和提高栅介质的介电常数 ε_{ox}。增加栅电容可以加强栅对沟道的控制能力。对于标准 0.8 μm 工艺而言，MOSFET 的栅氧化膜厚度大约为 15 nm左右，在一些前沿性的超深亚微米 CMOS 器件中，已经将栅介质的等效厚度（Equivalent Oxide Thickness，EOT）降到 1.5 nm 以下。所谓栅介质的等效厚度，指的是把不同介电常数的栅介质按照电容密度相等的原则等效成介电常数 3.9 的氧化层的厚度。这样，可以通过提高栅介质的介电常数 ε_{ox} 的方式来提高栅电容。因此，需要选择介电常数更大的材料来作为绝缘栅介质，例如氮化硅的介电常数为 7.9，大约为二氧化硅的 2 倍，在高 k 栅介质这个领域，当前研究的主要热点为 HfO_2、ZrO_2 等高 k 材料，其介电常数都超过了 20。但是高 k 材料与硅直接接触会因晶格失配或者应力等原因而产生缺陷，使表面态电荷密度 Q_{SS} 增大，迁移率下降。因此，在选用高 k 材料作为栅绝缘介质的时候，必须先在硅层上有一层优质的 SiO_2 薄层作为缓冲层，然后在氧化缓冲层上淀积薄层的高 k 栅介质，来改善界面情况，降低表面态电荷密度 Q_{SS}。当前对于高 k 材料的研究还需解决栅介质的热稳定性和可靠性、界面态控制以及工艺兼容性等一系列问题。

② 功函数差 W_{ms} 和费米势 φ_F　从阈值电压的表达式可以看出，费米势和功函数差 W_{ms} 对于阈值电压也产生影响。先来看看费米势产生的影响，根据公式（3.4-3）可以发现，不管是 n 型硅还是 p 型硅，衬底杂质浓度都将制约其费米势 $|\varphi_F|$。在如图 3.4-6 所示的对数坐标上，$|\varphi_F|$ 随着衬底浓度的增大而增大。但是，$|\varphi_F|$ 的这种上升趋势非常缓慢，当衬底杂质浓度变化两个数量级时，$|\varphi_F|$ 的变化量只有 0.1 V 左右。

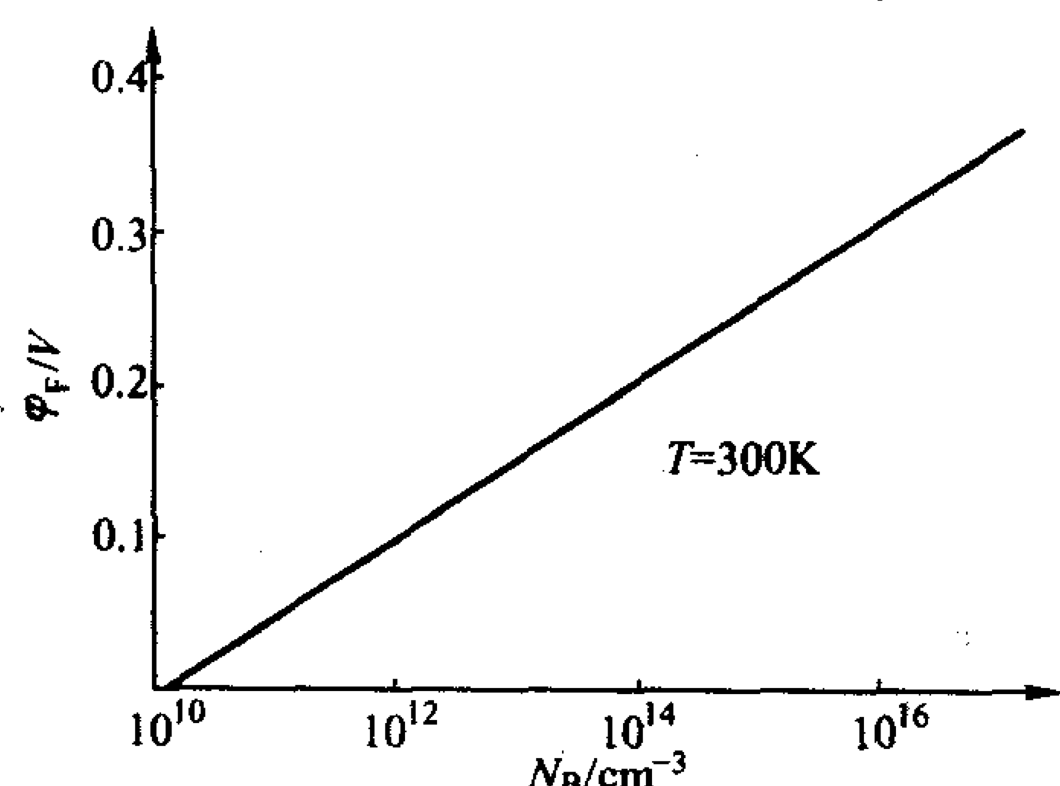


图 3.4-6　衬底杂质浓度 V，费米势

下面研究功函数差 W_{ms} 产生的影响，首先讨论 p 型硅和 n 型硅的功函数差的表达式

$$W_{ms} = \left[\left(\chi + \frac{E_g}{2}\right) - W_m\right] + kT\ln\frac{N_A}{n_i} \quad p-Si \tag{3.4-8a}$$

$$W_{ms} = \left[\left(\chi + \frac{E_g}{2}\right) - W_m\right] + kT\ln\frac{N_D}{n_i} \quad n-Si \tag{3.4-8b}$$

式中，χ 为电子亲和能；E_g 为禁带宽度；N_A、N_D 分别为 p 型半导体和 n 型半导体的衬底浓度。可以看出，不管是 n 型硅还是 p 型硅，衬底杂质浓度都将制约其功函数差 W_{ms}。但是衬底杂质浓度对于 W_{ms} 影响不是非常显著，当衬底杂质浓度变化两个数量级时，W_{ms} 的变化量只有 0.1 V 左右。而栅电极材料对功函数差的影响比较大，例如，选用重掺杂多晶硅或金属材料作为栅电极可改变 W_{ms}、V_{FB}，从而改变 MOS 晶体管的阈值电压。

③ 衬底杂质浓度 N_B　从阈值电压的表达式可以看出衬底掺杂浓度是通过影响 Q_{Bmax} 来控制阈值电压的变化的。先假定衬底偏置电压 $V_{BS} = 0$，此时 $Q_{Bmax} = \sqrt{2\varepsilon_0\varepsilon_s qN_B(2\varphi_F)}$，可以看出随着衬底浓度 N_B 增大，Q_{Bmax} 也将增大，引起阈值电压发生相应的变化。从图 3.4-7 不同栅氧化层厚度下衬底杂质浓度和阈值电压变化量的关系图中，可以发现衬底杂质浓度越低，表面耗尽层中的空间电荷对于阈值电压的影响越小。例如，对于 $t_{ox} = 50$ nm 的栅氧化层而言，当衬底浓度从 $10^{15}/cm^3$ 上升到 $10^{17}/cm^3$ 时，阈值电压改变了略大于 3 V，而当衬底杂质浓度由 $10^{13}/cm^3$ 上升到 $10^{15}/cm^3$ 时，阈值电压的变化仅有 0.2 V 左右。栅氧化层越厚，衬底杂质浓度引起阈值电压的漂移越大。

从前面的分析可以看出衬底掺杂浓度对于阈值电压的影响很大，可以影响到 φ_F 和 Q_{Bmax}（在一般器件的掺杂范围内，衬底掺杂浓度对于 Q_{Bmax} 的影响是最大的)。一般来说，要制备增强型 NMOS 晶体管（长沟道），需要较高的衬底掺杂浓度。

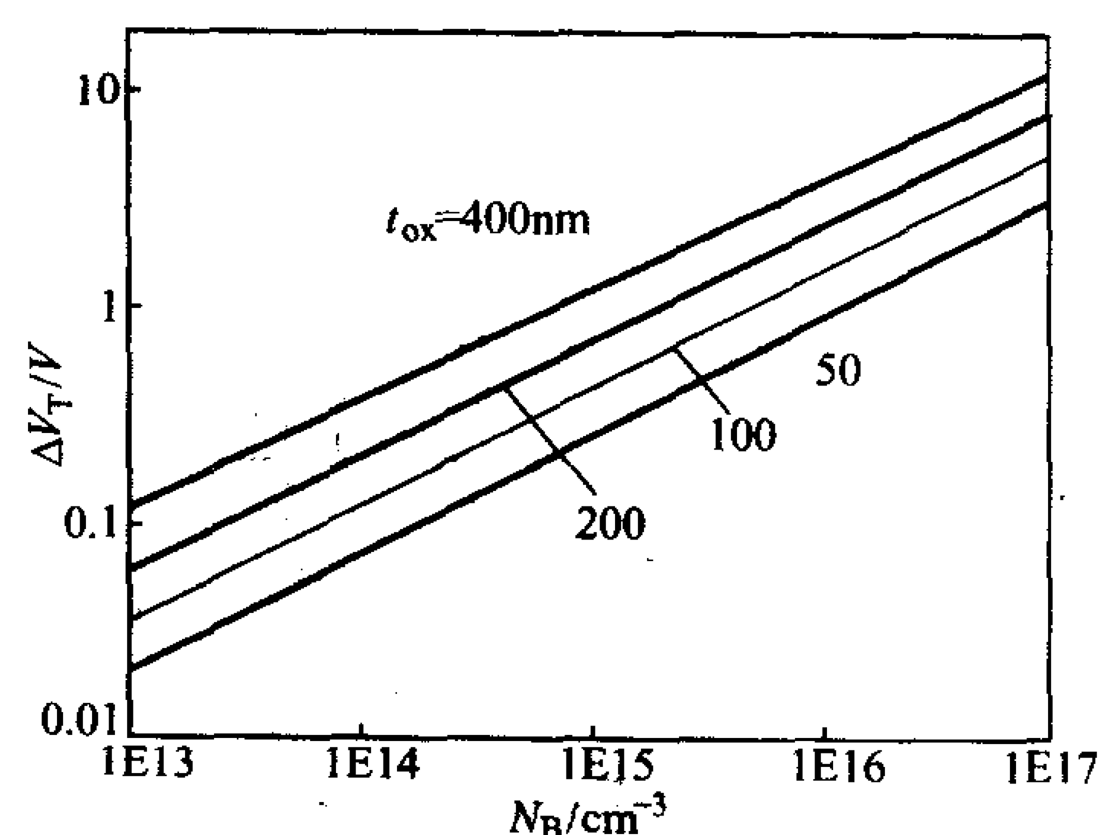


图 3.4-7　衬底杂质浓度对阈值电压的影响

但是单纯提高衬底掺杂浓度会带来诸如降低 pn 结击穿电压、增加结电容和体效应参数等不良影响，通常采取的办法是利用离子注入技术，使沟道表面区域的掺杂浓度提高，而整个衬底仍维持正常的掺杂浓度，这样就可以在不影响其他性能的前提下得到合适的阈值电压，在工艺中常用的术语是“阈值调节注入”。由于现代的离子注入技术可以比较精确的控制注入的剂量和深度，“阈值调节注入”技术已经在

MOS集成电路的制造工艺中获得了普遍的应用。

下面再来讨论"阈值调节注入"杂质的类型，如果要制备增强型NMOS管，需要注入和衬底相同类型的杂质。而要制备耗尽型NMOS管，需要注入的则是和衬底相反类型的杂质，以便形成原始导电沟道。一般而言，同等条件PMOS管的阈值电压的绝对值要较NMOS管大，因此在CMOS集成电路中，为了获得对称的NMOS管和PMOS管的阈值电压，通过反型掺杂来降低PMOS管阈值电压的绝对值，也就是在PMOS管的n型衬底表面注硼，形成埋沟器件。

④ 表面态电荷密度 Q_{ss} 由于在清洗、氧化等一系列工艺过程中会不可避免的引入一些杂质和缺陷，将使氧化层受到不同类型电荷和颗粒的沾污。在使用 SiO_2 作栅绝缘材料的 Si/SiO_2 系统中，主要有四种不同类型的电荷：界面陷阱电荷、固定氧化层电荷、氧化层陷阱电荷以及可动离子电荷。所有这些电荷均和制造工艺密切相关。一般而言，表面态电荷的浓度在 $10^{10}\sim10^{12}/cm^2$ 范围。它们将引起硅层表面能带弯曲，弯曲的形状与金属半导体功函数差 W_{ms} 引起弯曲的形状类似。Q_{ss} 对于阈值电压的影响是很显著的，对于栅氧厚度为150 nm的Al栅NMOS晶体管而言，当 Q_{ss} 在 $10^{10}\sim10^{12}/cm^2$ 范围变化时，阈值电压的变化可以达到6 V之多。

⑤ 体效应 下面来讨论一下当MOS晶体管的衬底端相对于源极有一个偏置电压 V_{BS} 时，阈值电压的变化情况。

当 $V_{BS}\neq0$ 时，$Q_{Bmax}=\sqrt{2\varepsilon_o\varepsilon_s qN_B(2\varphi_F-V_{BS})}$，

这样，NMOS晶体管的阈值电压就变为：

$$V_{TN}=-\frac{Q_{ss}}{C_{ox}}+\frac{1}{C_{ox}}\left[\sqrt{2\varepsilon_o\varepsilon_s qN_A(2\varphi_F-V_{BS})}\right]+\frac{2kT}{q}\ln\frac{N_A}{n_i}-V_{ms} \tag{3.4-9}$$

对于NMOS晶体管而言，一般衬底偏置电压为负值，这一衬底偏置电压使得表面耗尽层随着衬底偏置电压的增大而展宽，Q_{Bmax} 也随之增大，进一步屏蔽了栅压形成的电场，从而引起NMOS管的阈值电压向提高的方向发生漂移。根据前面关于阈值电压的公式（3.4-7）可以看出，衬底偏置电压引起的阈值电压的变化量为：

$$\Delta V_T=-\frac{1}{C_{ox}}\left[\sqrt{2\varepsilon_o\varepsilon_s qN_B(2\varphi_F-V_{BS})}-\sqrt{2\varepsilon_o\varepsilon_s qN_B(2\varphi_F)}\right]$$

$$=-\frac{Q_{Bmax}}{C_{ox}}\left(\sqrt{\frac{2\varphi_F-V_{BS}}{2\varphi_F}}-1\right) \tag{3.4-10}$$

显然，衬底掺杂浓度越高，阈值电压随衬底偏压变化就越显著，这种变化如图3.4-8所示。对于NMOS晶体管而言，表面耗尽区中空间电荷带负电，所以 $Q_{Bmax}<0$，ΔV_{TN} 为正，也就是说阈值电压向正值方向漂移；与之相对，PMOS晶体管的衬底偏置电压为正值，其阈值电压随着衬底偏置电压的增大而向负值方向漂移。

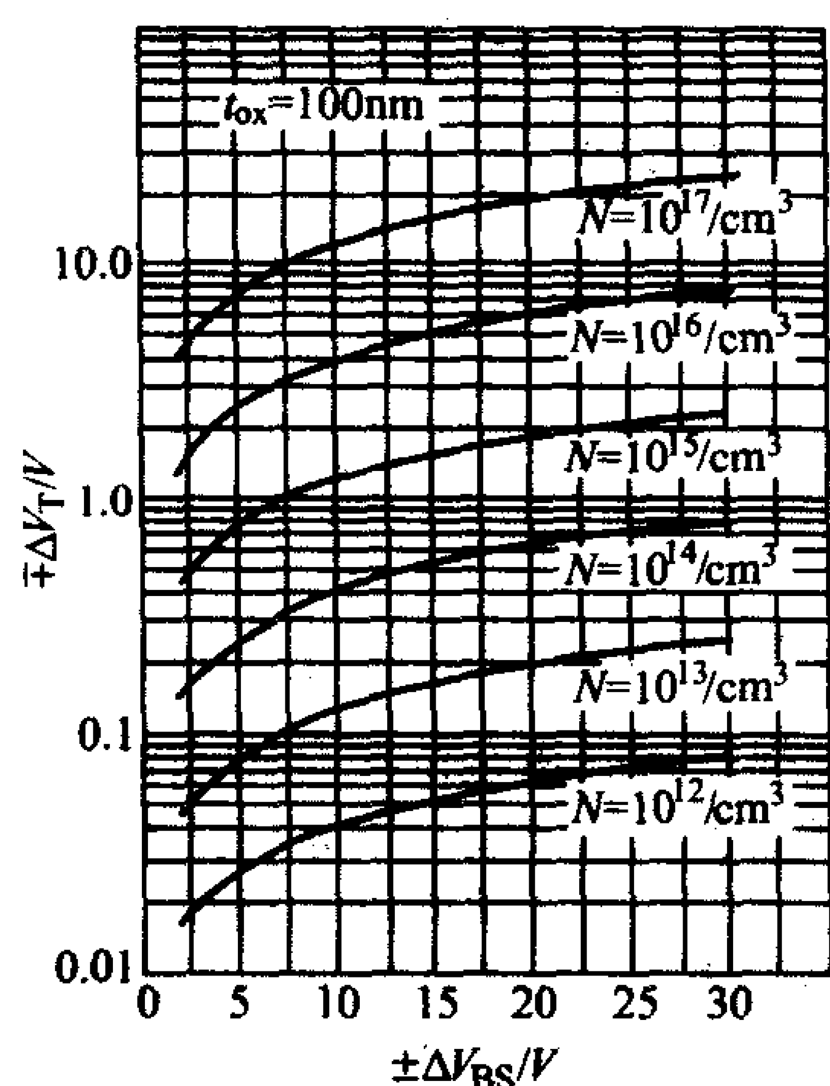


图3.4-8 衬底偏压 V_{BS} 对阈值电压的影响

（2）MOS晶体管的直流特性

1）MOSFET漏电流分析 MOS晶体管的基本直流特性主要包括转移特性和输出特性。MOS晶体管漏极电流 I_D 就是MOS晶体管的导通电流，它由栅压 V_{GS} 和漏源电压 V_{DS} 这两个电压共同进行控制。转移特性曲线和输出特性曲线分别就是 I_D 与上述两个电压之间的关系曲线。

先从转移特性曲线谈起，转移特性描述的是在漏源电压保持不变的情况下漏极电流与栅压之间的关系。栅压 V_G 可以控制沟道区半导体表面反型电子的数量，进而达到对MOS晶体管漏极电流的控制。

图3.4-9（a）是一个增强型NMOS晶体管的转移特性曲线，从该曲线可以看出，对于一个给定的 V_{DS}，只有当 $V_{GS}>V_T$ 时，才有漏极电流产生，也就是说只有 V_{GS} 超过 V_T 时才可以形成强反型导电沟道，使MOS晶体管导通。如果 $V_{GS}<V_T$，衬底表面也就不会有反型层导电沟道形成，这样源漏之间的两个背靠背的pn结二极管将源、漏以及沟道区隔离开来，使得源漏之间不会产生电流，这时，MOS晶体管处于关断状态。

2）输出特性曲线的问题 输出特性描述的是在分别固定一系列的栅压的情况下，漏极电流与漏源电压之间的关系。输出特性曲线一般是由一组曲线构成的。漏电压可以通过调节沿沟道长度方向的电场来达到对MOS晶体管的电流进行控制，从而决定了MOS晶体管的输出特性。

经过一系列的物理和数学推导计算，可以得出MOSFET伏安特性漏电流的简单表达式为：

$$I_D=WC_{ox}\mu_{eff}[V_{GS}-V_T-V(y)]\frac{dV(y)}{dy} \tag{3.4-11}$$

该表达式是忽略了沿沟道方向电势的变化对耗尽电荷影响等一些因素后得出的近似结果。其中 y 方向为沿沟道并以源端为零点的方向，$V(y)$ 为沿 y 方向的电场。将该式在整个沟道内积分就可以得到MOSFET的伏安特性方程。

图3.4-9b是增强型NMOS晶体管在不同栅压下的输出特性曲线。根据这组曲线可以将MOS晶体管的输出特性分成四个区域：

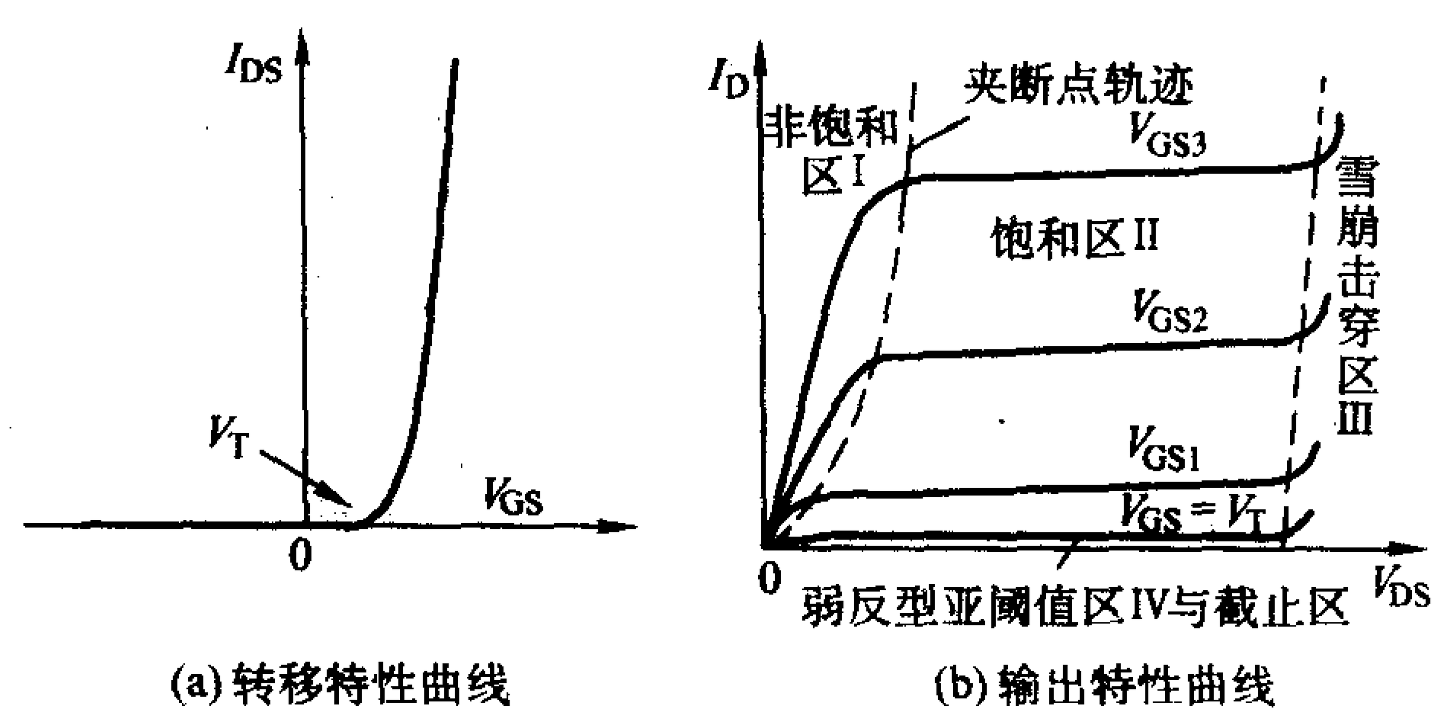


图3.4-9 增强型NMOS晶体管的转移特性曲线以及输出特性曲线

① 非饱和区I 当 $0<V_{DS}<V_{GS}-V_T$ 时，从源到漏都有导电沟道，此时MOS晶体管处于非饱和区。当忽略源漏串连电阻时，将式（3.4-11）在整个沟道积分，也就是从 $y=0$，$V(0)=0$ 到 $y=L$，$V(L)=V_{DS}$ 进行积分，可以得到非饱和区的漏电流

$$I_D=\frac{WC_{ox}\mu_{eff}}{L}\left[(V_{GS}-V_T)V_{DS}-\frac{1}{2}V_{DS}^2\right]$$

$$= \beta[(V_{GS}-V_T)V_{DS}-\frac{1}{2}V_{DS}^2] \quad (3.4\text{-}12)$$

其中 $\beta = WC_{ox}\mu_{eff}/L$ 是 MOS 晶体管的导电因子或者叫增益因子，它是 MOSFET 的重要参数之一。从上面公式可以看出，工作电压一定，β 越大，I_D 越大。如果 V_{DS}很小，那么可以忽略其二次项，那么，

$$I_D \approx \beta(V_{GS}-V_T)V_{DS} \quad (3.4\text{-}13)$$

因此，在栅源电压 V_{GS}保持不变的时候，漏电流随着漏源电压的增大而线性上升，此时 MOS 晶体管位于线性区。

从以上的研究，可以看出这个区域细分成以下两个区域：当 V_{DS}很小时，可以把导电沟道区看成是一个阻值恒定的线性电阻，I_D 基本上随 V_{DS}线性增加，如公式（3.4-13 所示）；随着 V_{DS}的增加，沟道中各点的电位差增加，沟道中反型电子的数量逐渐减少，引起沟道电阻增加。因而漏电流 I_D 随 V_{DS}增加的速率有所降低，曲线出现弯曲。所以人们也常常把非饱和区称为可变电阻区。

② 饱和区Ⅱ　当 $V_{GS}-V_T<V_{DS}<BV_{DS}$时，沟道在漏端或者漏端附近出现夹断现象，漏电流达到饱和值，基本不随着 V_{DS}的变化而变化，器件进入饱和区。此时，

$$\frac{dI_D}{dV_{DS}} = \beta[(V_{GS}-V_T)-V_{DS}] = 0$$

$$V_{GS}-V_T = V_{DS} = V_{Dsat} \quad (3.4\text{-}14)$$

这里的 V_{DSat}就是漏端沟道夹断时所施加的饱和漏源电压，这样，就可以得到饱和漏电流 I_{DSat}的表达式

$$I_{Dsat} = \frac{1}{2}\beta(V_{GS}-V_T)^2 = \frac{1}{2}\beta V_{Dsat}^2 \quad (3.4\text{-}15)$$

I_{DSat}指的是在给定栅压下，漏端沟道夹断时的漏极饱和电流。在实际的 MOS 晶体管中，由于有效沟道长度随着漏源电压的增大而略有缩短，而使漏电流也有所上升，所以漏电流并没有达到完全饱和，在短沟道的情况下表现更为明显。

③ 雪崩击穿区Ⅲ　如果 V_{DS}增大到超过一定的临界值 BV_{DS}，则会造成反向偏置的漏衬 pn 结因雪崩倍增而被击穿，此时漏极电流急剧增大。要注意 MOS 晶体管的正常工作电压要远小于其击穿电压。

④ 弱反型区与截止区　当栅源电压 $0<V_{GS}<V_T$ 时，半导体表面处于弱反型状态，由于沟道区内的导电载流子很少，所以相应的漏电流很小。这时的漏电流也称为"亚阈值"漏电流。

(3) MOS 晶体管的交流特性

1) 简单的交流小信号参数及其等效电路　在交流工作状态下，加在 MOS 晶体管各端点的电压是随着时间变化的，其中，栅源电压可以等效成直流偏置电压 V_{GS}和交流信号电压 v_{gs}的叠加。由于交流信号电压的存在，将会引起 MOS 晶体管内部电荷发生相应的变化，从而表现出一定的容性特性，同时也使得输出漏电流存在直流分量 I_D 和交流分量 i_d。这正是所要研究的 MOS 晶体管的交流特性。

已经知道，MOS 晶体管是压控电流器件，其输出漏电流由栅源电压 V_{GS}和漏源电压 V_{DS}决定，同时，也要受到衬底偏置电压 V_{BS}的影响，也就是说，$I_D=f(V_{DS}, V_{GS}, V_{BS})$。这样，对 I_D 进行全微分，可以得到：

$$dI_D = \frac{\partial I_D}{\partial V_{GS}}|_{V_{DS}}dV_{GS} + \frac{\partial I_D}{\partial V_{DS}}|_{V_{GS}}dV_{DS} + \frac{\partial I_D}{\partial V_{BS}}|_{V_{BS}}$$

$$dV_{BS} = g_m dV_{GS} + g_d dV_{DS} + g_{mbs} dV_{BS} \quad (3.4\text{-}16)$$

在上述公式中，出现了三个跨导，分别是栅跨导 g_m、饱和区漏电跨导 g_d 以及衬底跨导 g_{mbs}，下面分别予以介绍。

① 栅跨导　栅跨导 g_m 指的是漏源电压 V_{DS}一定的时候，漏电流的微分增量与栅源电压微分增量的比值，即：

$$g_m = \frac{\partial I_D}{\partial V_{GS}}|_{V_{DS}} \quad (3.4\text{-}17)$$

该式表示的是栅源电压对于漏电流的控制能力。根据前面的方程（3.4-13）以及方程（3.4-14），可以计算出：

$$g_m = \mu_{eff}C_{ox}\frac{W}{L}V_{DS} \quad \text{（线性区）} \quad (3.4\text{-}18a)$$

$$g_m = \mu_{eff}C_{ox}\frac{W}{L}V_{Dsat} = \mu_{eff}C_{ox}\frac{W}{L}(V_{GS}-V_T) \quad \text{（饱和区）} \quad (3.4\text{-}18b)$$

从上面的公式可以看出，栅源电压一定的时候，跨导先随着漏源电压的增大而线性增加，等漏源电压达到饱和电压时，跨导也随之达到饱和值，其后跨导将独立于漏源电压，但此时跨导又要受制于栅源电压，随着栅源电压的增大而上升。要想提高栅源电压对漏电流的控制能力，即提高栅跨导可以借助公式从以下的途经入手：首先，可以采取以下三种措施来提高沟道载流子的有效迁移率：①选用体迁移率高的衬底材料以及表面迁移率高的晶面；②从提高工艺水平方面着手，力争获得最佳的 SiO_2/Si 界面，以降低界面电荷密度；③通过引进应力的方式提高沟道载流子的有效迁移率；其次，可以提高栅介质层电容，也就是通过制备高质量的、尽可能薄的栅介质膜。此外还可以考虑利用高 k 材料作栅介质层，这可以在不减薄栅介质物理厚度的情况下进一步提高栅介质层电容；第三，还可以在设计版图的过程中尽可能的增大器件的宽长比以及工艺中减小体串联电阻和欧姆接触电阻。

还需要注意的一个问题是，上面的方程（3.4-18）表明在线性区 g_m 是与栅压 V_{GS}无关的常数，这与实际器件中的情况有所差别。造成这种差别的主要原因在于，方程（3.4-13）以及方程（3.4-15）中假定 μ_{eff}是与 V_{GS}无关的常数，这是与实际情况不相符合的。同样可以看到，在饱和区 g_m 与漏源电压 V_{DS}也是相关的。

② 漏电导　漏电导 g_d 指的是栅源电压一定的时候，漏电流的微分增量与漏源电压的微分增量的比值，即：

$$g_d = \frac{\partial I_D}{\partial V_{DS}}|_{V_{GS}} \quad (3.4\text{-}19)$$

它表示的是漏源电压对于漏电流的控制能力。下面定性地讨论有关 MOSFET 漏电导的问题。首先漏电导包括非饱和漏电导和饱和漏电导两种情况。对于非饱和情况下的漏电导可以直接通过式（3.4-12）对于漏源电压求导而获得，而对于饱和漏电导而言，情况变得复杂起来：在饱和情况下，饱和漏电流与漏源电压无关，这样，饱和漏电导的理想值即为0，这与实际情况是不相符合的。在实际的 MOSFET 中，当漏源电压达到饱和值 V_{Dsat}时，沟道在漏端开始夹断，漏电流开始饱和。漏源电压继续增大并且衬底浓度比较低时，夹断点开始向源端移动，使得有效沟道长度变短，沟道电阻变小，因而使漏电流随着漏源电压的增大开始上升。这样，同样可以计算出饱和状态下的漏电导 g_d。

③ 衬底跨导　衬底跨导 g_{mbs}指的是当 V_{DS}和 V_{GS}一定的时候，漏电流的微分增量与衬源电压绝对值的微分增量的比值，即：

$$g_{mbs} = \frac{dI_{ds}}{dV_{bs}}|_{V_{gs}, V_{ds}} \quad (3.4\text{-}20)$$

该式表示的是衬底偏置电压对于漏电流的控制能力。衬底跨导可以通过改变表面耗尽层的宽度和增大空间电荷的面密度的方式来控制漏电流的大小。当漏源电压很小时，空间电荷区的电容效应影响很小，从而 g_{mbs}也很小。

通过对这三种跨导的简单介绍，再次回到公式（3.4-16），来研究小信号情况下的漏电流情况。当外加电压是很接近于0的小信号时，很容易得到 MOSFET 的等效电路如图

3.4-10所示。图中，S和D分别是源端和漏端，相应地，S'和D'为内部端点，G_s、G_d分别为源、漏串联电阻的电导。I_{ds}在图中表示为电压控制电流源，可由前面提到的公式(3.4-16)给出，因而包含了上面提到的三种跨导的内容，同时与大信号模型联系起来了。

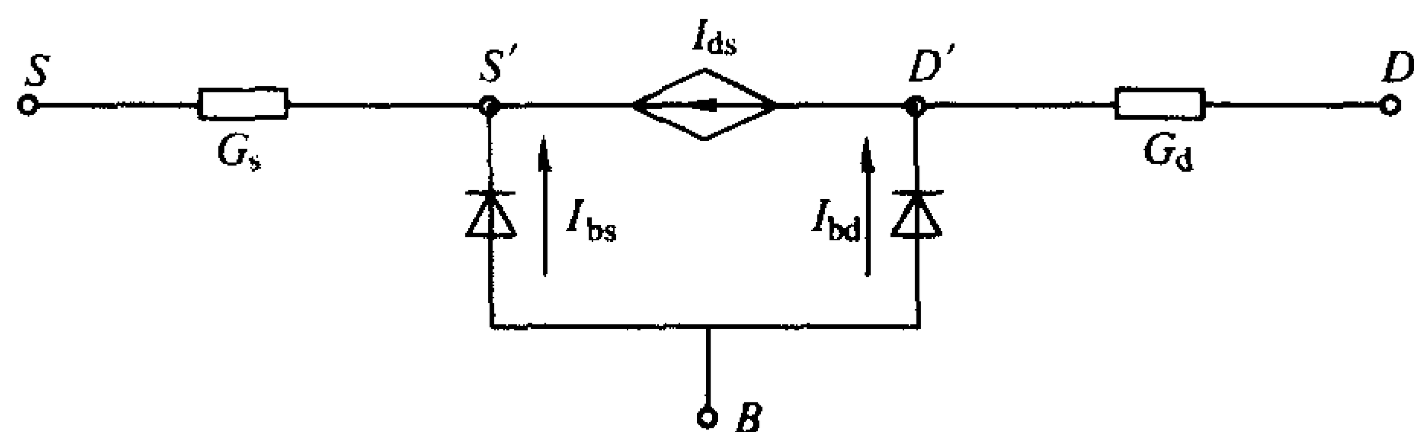


图3.4-10　MOSFET的等效电路模型

2）MOSFET的频率特性　MOSFET的结构决定了MOS器件一定存在着本征电容和寄生电容。当栅极输入高频交流信号，要对这些电容充放电，从而存在一定的延迟时间；同时，载流子渡越沟道也需要一定的时间，这些都将限制MOS晶体管的使用频率。

先要搞清关于本征电容和寄生电容的问题。首先，本征电容是由沟道区域的氧化层电容与衬底半导体电容串连组成的。在理想状况下，本征电容C_G可以表示成：

$$\frac{1}{C_G}=\frac{1}{C_o}+\frac{1}{C_S} \tag{3.4-21}$$

式中，C_o和C_S分别指的是沟道区氧化层电容和衬底半导体电容。已经知道，由于源漏电压的存在，MOS晶体管沟道区电荷沿沟道方向的分布不再均匀，MOS晶体管的本征电容实际上是以栅极为一端而沟道区为另一端的分布电容。本征电容的计算过程需要涉及复杂的物理数学模型，超出本书的内容范围，这里不再介绍。

其次，还要了解关于MOS晶体管寄生电容的一些问题。MOS晶体管中存在着pn结电容和覆盖电容两种形式的寄生电容。MOS晶体管的源漏区和衬底形成pn结，这样自然存在源－衬和漏－衬的寄生pn结电容。MOS晶体管的寄生pn结电容只与施加在pn结两端的电压有关，而与其他端点的电压无关。至于寄生覆盖电容，情况稍显复杂。MOS晶体管中在栅－源、栅－漏以及栅－衬底之间都存在着寄生电容。多晶硅栅与源、漏区的覆盖（由于源、漏区杂质向沟道区横向扩散造成）产生的寄生覆盖电容如图3.4-11所示，其大小决定于实际的MOSFET结构。从图中可以容易地得出栅－源、栅－漏之间的覆盖电容C_{GS}'、C_{GD}'可以表示为：

$$C'_{GS}=C'_{GD}=WL_D C_{ox} \tag{3.4-22}$$

式中，L_D指的是覆盖长度，这种对于寄生覆盖电容的计算是在忽略了边缘效应的影响下进行的，这对于计算深亚微米级MOS器件的覆盖电容就不够精确了。考虑到边缘电场引起的电容的计算是非常复杂的，这里不再详细叙述。同样的，还要注意栅和衬底之间在有源区外存在着以场氧为绝缘介质层的寄生覆盖电容，该电容的大小取决于场氧化层厚度以及覆盖面积。

下面对频率特性做具体的研究：已经知道容性阻抗随着频率的增加而下降，那么，当栅极加上高频信号时，MOS器件的本征栅极电容C_G的阻抗随着频率的增加而下降，引起流过栅电容的电流上升。随着施加在栅极上的信号频率的增加，流过栅极电容的电流开始上升，把使流过栅极电容的电流上升到正好等于电压控制电流源$g_m V_{gs}$时施加在栅极的信号的频率定义为MOSFET的截止频率f_T，则：

$$2\pi f_T C_G V_{gs}=g_m V_{gs}$$

$$f_T=\frac{g_m}{2\pi C_G} \tag{3.4-23}$$

对于一级近似，这里本征栅极电容指的是相距为t_{ox}、面积为WL的平行板电容。

另外，还要注意，跨导与输入端栅电容的比值（实际上与f_T只差2π倍）是对于器件开关速度的一个量度，由计算可得：

$$\frac{g_m}{C_G}=\frac{3\mu_{eff}(V_{GS}-V_T)}{2L^2} \tag{3.4-24}$$

因此，减小器件的沟道长度可以提高器件的开关速度。由于器件还存在并联的非本征的寄生电容，实际器件的速度由于电容的增加而进一步降低。

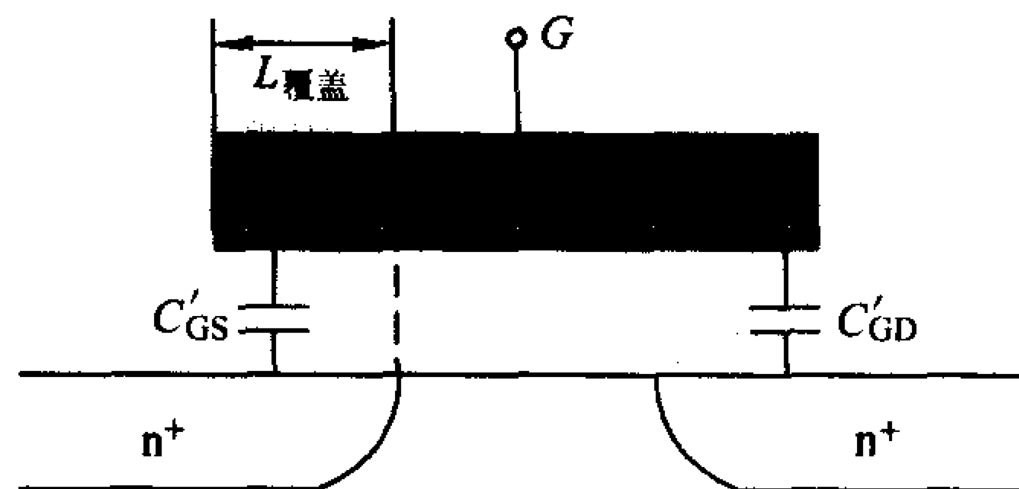


图3.4-11　MOS晶体管中的栅覆盖电容

1.3　CMOS器件中的短沟道效应及其他寄生效应

伴随着集成电路的集成度不断提高，分立CMOS器件的沟道长度将持续减小。当器件的沟道长度减小到与漏结和源结的耗尽层宽度可以比较的时候，器件的性能将偏离长沟道器件而无法用一维器件理论来解释，这些偏离就是短沟道效应，是沟道区二维电势分布和强电场导致的结果。

首先，随着沟道长度的减小，对于给定的沟道掺杂浓度，漏结和源结的耗尽层宽度变得可以与沟道长度相比拟，这将影响到沟道内的电势分布。此时，缓变沟道近似（栅压和衬底偏置电压产生的电场≫漏偏置电压产生的电场）不再成立，沟道内的电势分布由栅压和衬底偏置电压产生的电场和漏偏置电压产生的电场共同决定。这种二维电势分布将导致亚阈值特性变差，阈值电压随着沟道长度的减小而降低；其次，沟道长度减小造成源漏之间电场升高，该高电场会使迁移率退化、跨导降低，并有可能引起源漏结穿通。

短沟道效应使器件工作变得难于控制并使器件性能变坏，应寻求措施避免这种效应或使之减至最小，从而尽可能维持器件“电学上”的长沟道特性。

（1）阈值电压的变化

对于传统的长沟道器件，利用前面介绍过的一维理论进行分析可以得出其阈值电压为：

$$V_T=V_{FB}+2\varphi_F-\frac{Q_{Bmax}}{C_{ox}} \tag{3.4-25}$$

在长沟道器件中，为了简化，忽略了源区和漏区的边缘效应，将栅电场引起的耗尽区看成由沟道长度L和表面最大耗尽层宽度x_{dmax}组成的矩形。此时，栅电场引起的耗尽区的空间电荷数量为：

$$Q_B=qN_B x_{dmax}WL=Q_{Bmax}WL \tag{3.4-26}$$

实际上，栅压引起的耗尽区与源衬、漏衬pn结引起的耗尽区是重叠在一起的（如图3.4-12所示），即所谓的电荷共享模型。因而有效栅控电荷Q_B'将小于Q_B，这点在沟道长度变短、漏结和源结的耗尽层宽度变得可以与沟道长度相比拟的情况下表现得更为明显。根据图3.4-12，在短沟道区域，栅控空间电荷区可以看成是以L和L'为上下底边，X_{dmax}为高的梯形区域。这样，沟道长度变短以后，栅控空间电荷总量变为：

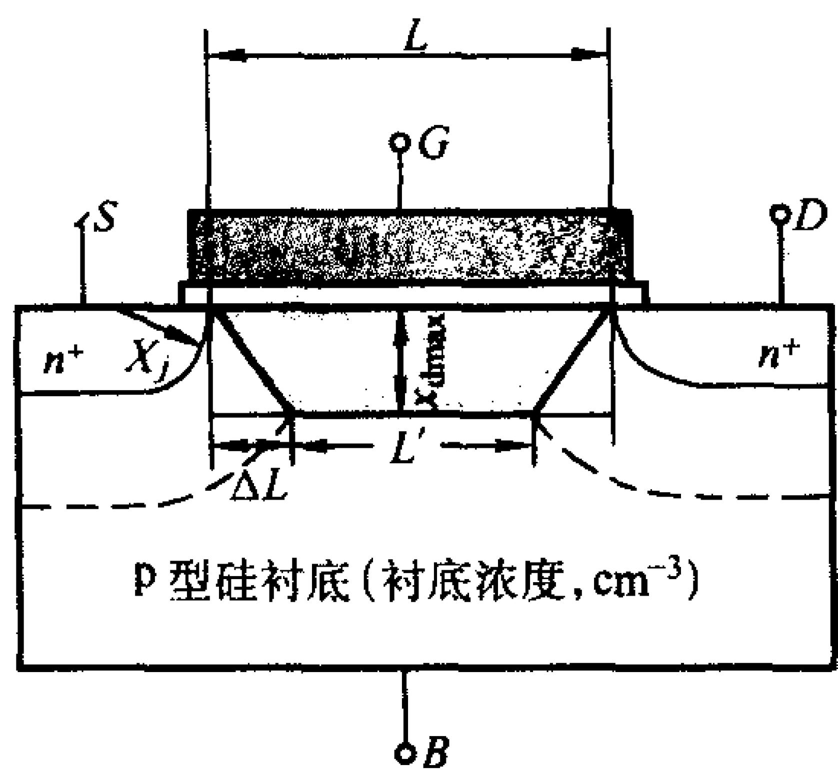


图 3.4-12　电荷共享模型的剖面图

$$Q_B = qN_B x_{dmax}\frac{L+L'}{2}W = Q_{Bmax}\frac{L+L'}{2}W \quad (3.4\text{-}27)$$

这样，栅控电荷区单位面积上的平均电荷密度变为

$$Q_{Bmax}' = \frac{Q_B}{WL} = Q_{Bmax}\left(1-\frac{L-L'}{2L}\right) = Q_{Bmax}\left(1-\frac{\Delta L}{2L}\right) \quad (3.4\text{-}28)$$

式中，$\Delta L = L - L'$。这样，可以看出当考虑到漏结和源结的耗尽层影响后，栅控电荷 Q_B 减少，从而引起栅控电荷区单位面积上的平均空间电荷密度比相应长沟道器件减少了 $Q_{Bmax}\Delta L/2L$。再次回到阈值电压的表达式（3.4-1），将 Q_{Bmax}'的表达式代入可得：

$$V_T = V_{FB} + 2\varphi_F - \frac{Q_{Bmax}}{C_{ox}}\left(1-\frac{\Delta L}{2L}\right) \quad (3.4\text{-}29)$$

这样，对于 NMOS 晶体管而言，Q_{Bmax} 为负，因而 NMOS 晶体管的阈值电压随着沟道长度的缩短而减小。而且随着沟道长度减小，$\Delta L/2L$ 开始变大，引起阈值电压的漂移变大。

同样，沟道变窄也会影响阈值电压的大小，窄沟的影响要从“鸟嘴”谈起。对于 CMOS 工艺，在薄栅氧化层和厚场氧化层（LOCOS 隔离）中间存在锥形的氧化层过渡区，该区域即为“鸟嘴”（如图 3.4-13 所示）。“鸟嘴”的存在会引起宽度方向上的边缘效应，即在器件的边缘过渡区会形成栅控耗尽区。一般理论假定耗尽区的边缘是半径为 x_{dmax} 的 1/4 圆弧，则引起的电荷密度的增量为：

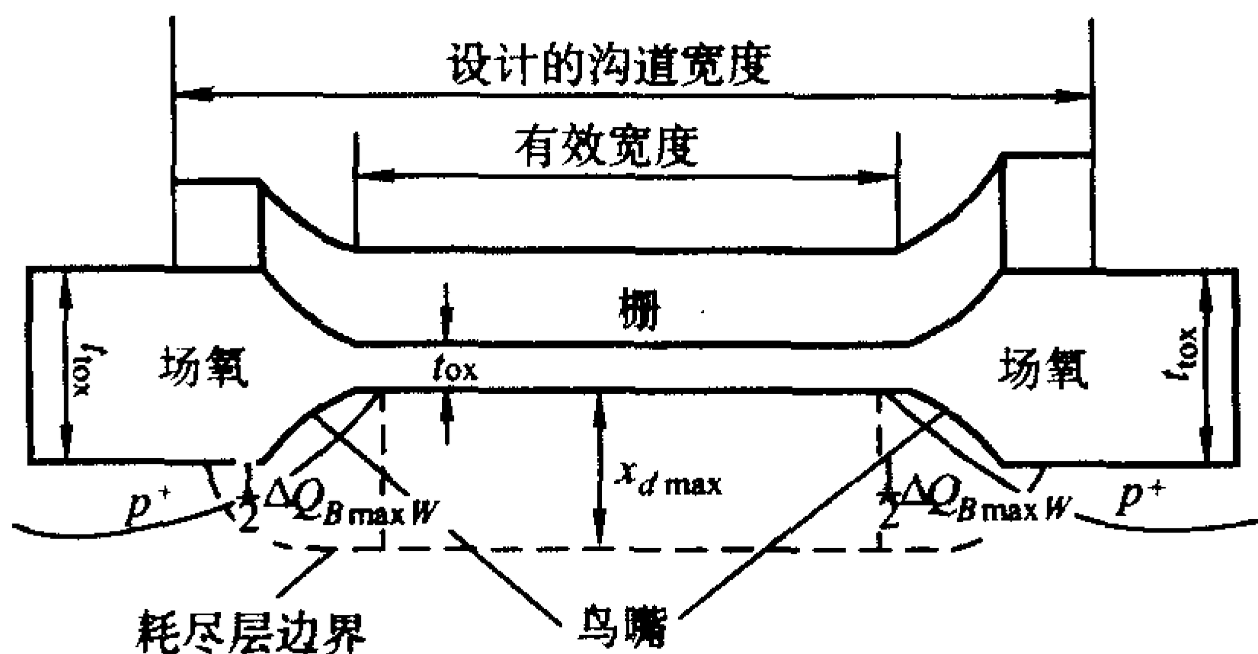


图 3.4-13　LOCOS 隔离下 MOSFET 的沟道宽度

$$\Delta Q_{BmaxW} = 2\times qN_B\frac{\frac{1}{4}\pi x_{dmax}^2}{x_{dmax}W} = Q_{Bmax}\frac{\pi}{2W} \quad (3.4\text{-}30)$$

从而可以得到，在窄沟情况下，阈值电压的变化为：

$$V_T = V_{FB} + 2\varphi_F - \frac{Q_{Bmax}}{C_{ox}}\left(1+\frac{\pi}{2W}\right) \quad (3.4\text{-}31)$$

与短沟道效应相反，当沟道宽度减小到和最大耗尽层宽度接近时，阈值电压随着沟道宽度变窄而增大。

从上面的分析，可以看出，在短沟道器件中，沟道长度和沟道宽度都可能使阈值电压发生漂移。但是，二者所引起的阈值电压漂移方向却是相反的。随着器件沟道长度的缩短，栅控电荷减小，阈值电压变小；而沟道宽度变窄的时候，栅控电荷开始增加，引起阈值电压正向漂移。

（2）漏特性以及跨导变化

以前曾经分析过长沟道器件中漏电流和跨导的特性：漏电流的大小由反型层中的导电电荷总量和导电沟道中的漂移电场决定。栅跨导的大小主要由栅源电压对沟道的控制能力决定。根据前面提到过的关于漏电流和跨导的方程可以看出，传统的长沟道器件的漏电流 $I_D \propto 1/L$，漏电流随着沟道长度的缩短而上升；类似的，栅跨导也随着沟道长度的缩短而增大，$g_m \propto 1/L$。

在短沟道器件中，导电沟道中的漂移电场会因为沟道长度很短而随着漏源电压 V_{DS}的增加而迅速上升，强场致使迁移率退化将会减缓漏电流上升的速率。当漂移电场上升到大于 1×10^4 V/cm 时，电子的漂移速度开始达到饱和值 υ_{max}。把使电子漂移速度达到饱和的最小漂移电场称作是载流子速度饱和临界场强 ξ_c。

下面定性地分析短沟道器件的漏特性情况：在短沟道情况下，临界场强 ξ_c 可以使漏端载流子速度达到饱和，从而引起漂移漏电流也达到饱和，这样，随着沟道长度的缩小，就可能出现在漏端沟道夹断前漏电流就已经达到饱和的情况，也就是说使电子漂移速度达到饱和的漏源电压 V_{DSL}可能低于 V_{Dsat}，输出特性中漏电流也要提前饱和，从而使漏电流的饱和值低于由于夹断而引起的漏电流的饱和值。这样，传统的长沟道器件的漏电流 $I_D \propto 1/L$ 的理论在短沟道范围就不再成立。

接下来，再来讨论有关栅跨导的问题。实际上，栅跨导就是漏电流 I_D 对 V_{GS}求导。已经知道，漏端载流子速度达到饱和时，漏电流达到饱和，从而引起与之相关的栅跨导也达到饱和。当漏端开始出现速度饱和效应时，栅跨导将低于按照相应长沟道器件计算得出来的跨导值，并随着沟道长度的缩短而继续退化。

（3）穿通电流与亚阈值漏电流

对于 MOS 器件而言，沟道持续变短，不仅引起阈值电压漂移、栅跨导和饱和漏电流降低，还会引起器件的亚阈值漏电流增大以及导致源漏穿通的发生。当 $V_{FB} < V_{GS} < V_T$ 并且 V_{DS}不是很大时，表面处源漏两端的势垒低于体内，这时源区注入到沟道的电子在沟道区表面流动，直到漏区附近才稍向体内扩展，而后流入漏区，形成亚阈值漏电流。所谓亚阈值漏电流指的是当 $V_{GS} < V_T$ 时，衬底表面处于弱反型时的漏电流；当 V_{GS}增加到大于 V_T 的时候，源端的源衬势垒将减小，使得源端电子可以相对容易地跨越势垒在漏源之间形成电流。如果固定 V_{GS}同时增大 V_{DS}，则漏端耗尽区由于漏压增大而向源端扩展，最终会在某一漏压下与源端耗尽区相碰，如图 3.4-15 所示，在漏源之间产生很大的电流，并最终使栅无法控制沟道，导致器件失效。这种现象即为穿通，此时对应的漏源电流就是穿通电流。定义在 V_{GS}为 0 时，发生穿通现象时对应的漏端电压即为穿通电压。由此可见，沟道长度越短，源漏结耗尽层相碰所需要的漏压就越低，也就是说，穿通电压随着沟道长度的缩短而降低。当器件穿通时，即使栅压低于阈值电压甚至处于截止状态时，漏源之间也可能产生很大的电流。即栅无法对漏电流加以控制，MOS 晶体管也就无法正常工作了。

图 3.4-14 描述的是不同沟道长度下弱反型区漏特性，从中可以找出漏电流与栅电压以及源漏电压之间的相互关系。随着沟道长度的减小，V_{DS}对于漏电流的影响越来越明显，当衬底杂质浓度 $N_B = 10^{14}/cm^3$，沟道长度 $L = 7\ \mu m$ 时，V_{DS}的影响已经开始表现出来了，但是效果还不明显；当 $L = 3\ \mu m$ 时，$V_{DS} = 0.5$ V 和 $V_{DS} = 1$ V 的弱反型区的漏电流特

性曲线的差别已经很明显，而当 $L=1.5\ \mu m$ 时，器件甚至无法关断，完全丧失长沟特性。因此，随着沟道长度的降低，漏电流随着 V_{DS} 的增加而迅速上升，亚阈值斜率开始增大，器件的亚阈值特性开始变坏。这里，亚阈值斜率指的是器件在亚阈值工作区域内 I_D-V 的对数曲线的斜率的倒数：$S=dV_G/dl_{og}I_D$，它实际上表示漏源电流与栅压的关系。在一定栅压的变化下，S 越小，漏源电流变化越大，因此使用较小的栅压的变化就可以使 MOS 的工作状态发生变化。

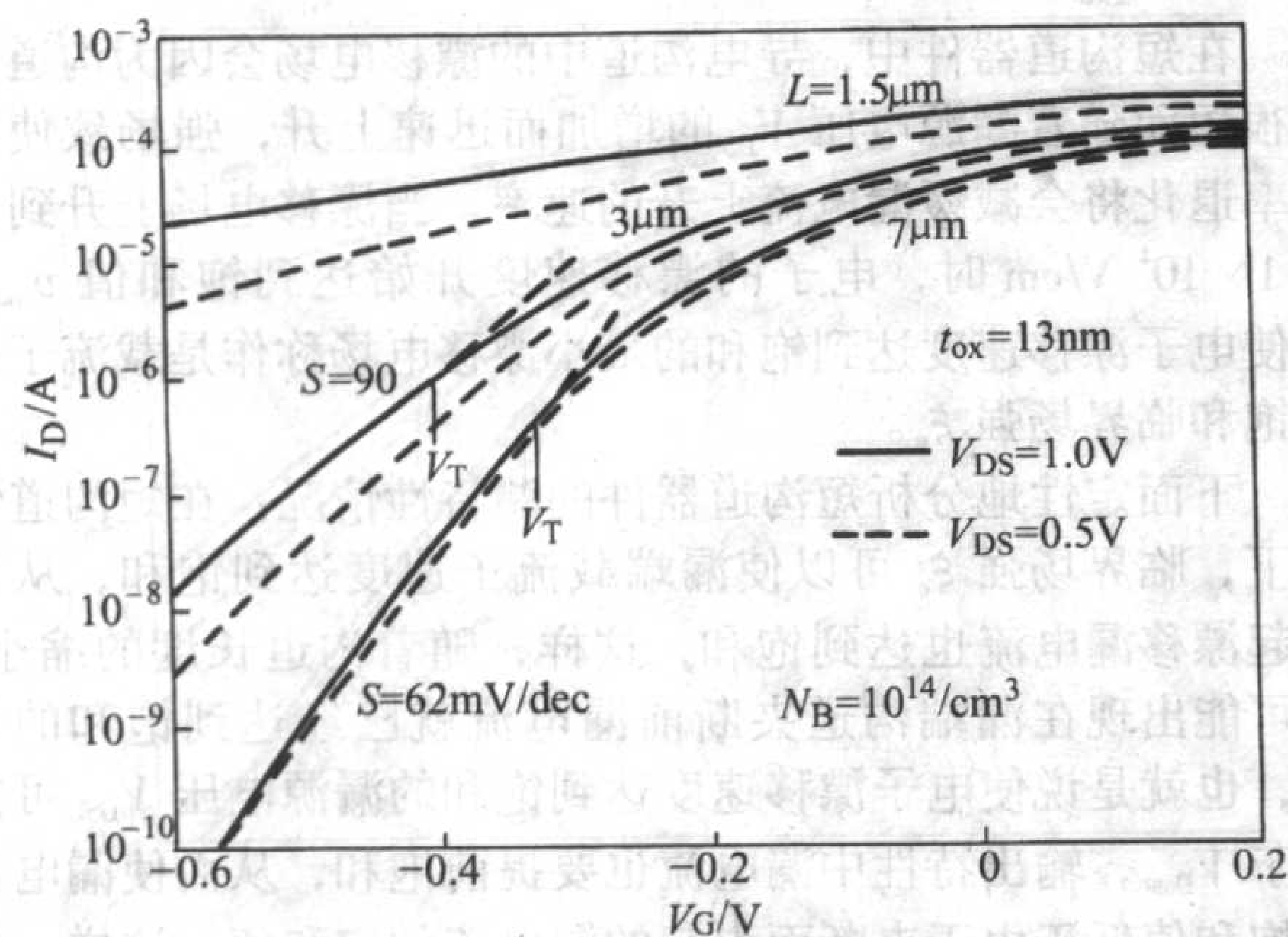


图 3.4-14 不同沟道长度的亚阈值特性曲线

当 $V_{GS}<V_T$ 时候，漏电流随着 V_{GS} 的增加而迅速上升。产生上述现象的主要原因如下：首先由于沟道长度缩短，源区和漏区耗尽层的影响增加，使得被栅所控制的有效空间电荷区域减少，造成栅控灵敏度下降。其次，阈值电压的降低将引起漏电流增大。来看下面的公式：

$$V_{GS}-V_{FB}=-\frac{Q'_{Bmax}}{C_{ox}}+V_s \quad \text{短沟道 MOSFET} \tag{3.4-32a}$$

$$V_{GS}-V_{FB}=-\frac{Q_{Bmax}}{C_{ox}}+V_s \quad \text{MOSFET} \tag{3.4-32b}$$

由于 Q_{Bmax}' 将小于 Q_{Bmax}，则在 V_{GS} 和 V_{FB} 相同情况下，短沟道 MOSFET 的 V_S 将比普通 MOSFET 的 V_S 大，再加上源漏两区间的势垒高度等于（$V_{bi}-V_S$），则短沟道 MOSFET 的势垒高度更低，将有更多的电子从源区注入沟道，使得漏电流增加。第三，当器件发生穿通现象的时候，源漏的耗尽层相碰，并且相互重叠，沟道中的电位最低点不再出现在半导体表面，而出现在表面下一定深度的衬底内部，如图 3.4-15 所示。这样，半导体的电流通道就出现在半导体内部低电位处，从而使电流密度的最高点也相应地转移到半导体内部。正是由于半导体的电流通道下移的缘故，栅压对漏电流的控制进一步减弱，漏电流基本不随栅压的改变而变化，有时甚至出现无法截止的情况。

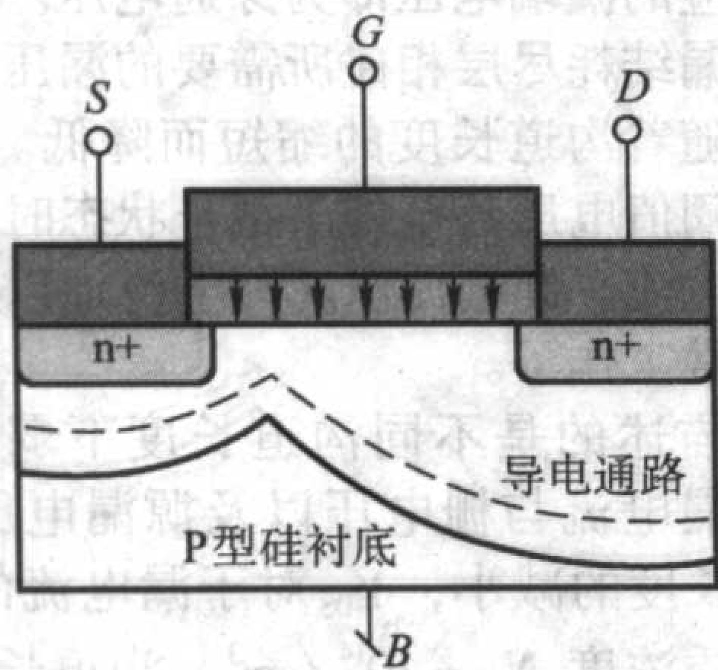


图 3.4-15 源漏穿通后 NMOS 晶体管的剖面图

总而言之，短沟道效应使栅控电荷能力减弱，弱反型区的亚阈值漏电流增大，穿通电压减小。并且漏电流受到漏压的影响越来越明显，有时甚至无法截止。

（4）漏致势垒降低效应（DIBL 效应）

对于 MOS 器件而言，沟道持续变短还会引发所谓的漏致势垒降低效应。即在短沟道 MOSFET 中，漏区发出的电力线，将有一部分经过沟道区而中止于源区，从而使源端的势垒降低，从源区注入到沟道的电子增加，导致漏源电流增大。通常称该现象为漏致势垒降低效应，即 DIBL 效应，它可以解释 V_{DS} 增加引起 $|V_T|$ 降低的现象。

根据前面的关于半导体器件物理的介绍，知道对于长沟道器件而言，表面势在绝大部分沟道长度范围内都为常数，而对于短沟道器件而言，在同样的 V_{DS} 情况下，表面势只在很少一部分沟道范围内为常数，并且表面势的峰值也有所降低。在其他参数都不变的情况下，表面势峰值的降低势必引起漏源电流增大以及阈值电压降低。当 V_{DS} 继续增大的时候，沟道区中表面势为常数的范围以及表面势的峰值则进一步减小。可以看出，由于结电场穿通进入沟道区致使势垒降低，使得电子从源区注入沟道区，进一步引起漏源电流增大以及阈值电压降低。此时阈值电压将受到源漏电压的影响，二者之间大致有一种线性关系，如图 3.4-16 所示。

$$V_T\ (V_{DS})\ =V_T-\sigma V_{DS} \tag{3.4-33}$$

式中，V_T 为 V_{DS} 很小时候的阈值电压，而 σ 为 DIBL 因子，它反映了漏压对于沟道电势以及阈值电压的调制能力。从曲线中，可以看出实验结果同式（3.4-33）所表示的模型预测可以很好地匹配上。但是，关于 DIBL 因子的计算涉及复杂的物理模型与数学方程，已经超出了本书的范围，这里不再详细叙述。

DIBL 效应有诸多的影响因素。一般而言，沟道长度 L 越短，栅氧化膜厚度以及源漏结深越大，DIBL 效应越严重。而且，沟道掺杂浓度以及衬底偏置也将对 DIBL 效应产生影响，沟道掺杂浓度越高，衬偏越低，DIBL 越明显。

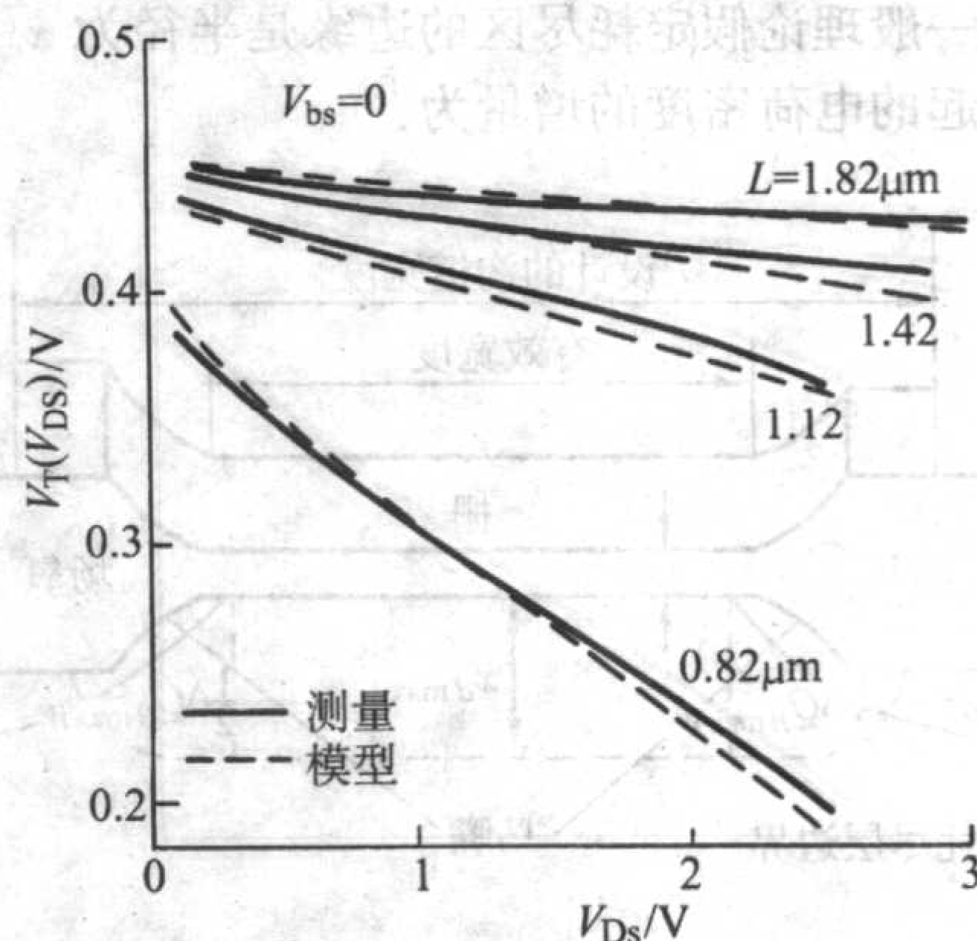


图 3.4-16 不同沟道长度 NMOS 晶体管阈值电压随漏偏压的变化

1.4 MOSFET 器件尺寸的等比例缩小规律

纵观集成电路的发展历程，为了提高集成度、降低生产成本和提高电路性能，MOS 器件的尺寸迅速缩小。为了在 MOS 晶体管尺寸缩小的同时，尽量保持大尺寸器件的电流-电压特性不变，人们进行了大量的理论和实验研究，最终 R.H.Dennard 等人于 1974 年率先提出 MOS 器件的等比例缩小规律。已经知道器件的很多效应都是和器件内部的电场密切相关的，所以为了避免由于器件尺寸缩小而引起电场增强带来的问题，研究等比例缩小理论的最初原则就是维持器件

内部的电场不变，就是所谓的恒场等比例缩小规律。

（1）恒场等比例缩小规律

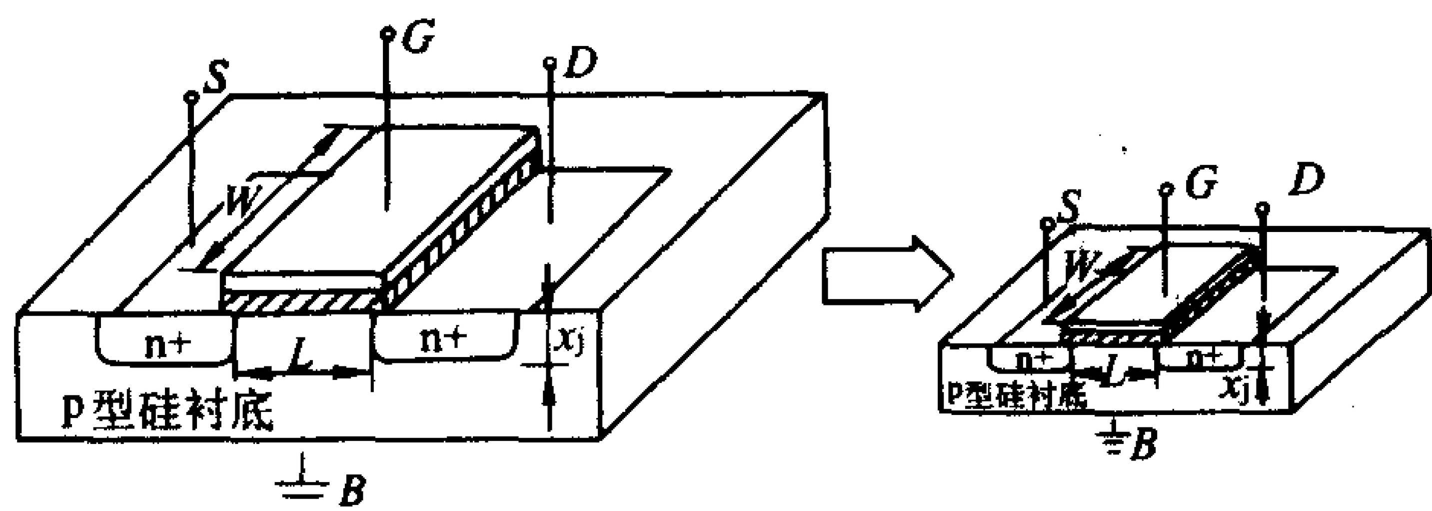


图 3.4-17　MOS 器件等比例缩小示意图

根据恒场等比例缩小规律的最初原则，器件在水平和垂直方向的参数（包括沟道长度 L、宽度 W、栅氧厚度 t_{ox}、源漏结深 x_j 以及电压）都按照同一个比例系数 α（$\alpha > 1$）等比例缩小。同时，衬底掺杂浓度 N_B 按该因子增大 α 倍，这些变化可以形象地由图 3.4-17 表现出来。这样，当器件尺寸按照上述等比例缩小规律改变后，就可以保证器件内部的电场不发生变化，从而避免了与器件内部电场相关的迁移率退火、碰撞电离、热载流子效应等高场效应。下面分析一下器件尺寸按照恒场等比例缩小规律改变后的器件性能：

首先讨论器件的漏电流 I_D' 的变化情况，根据方程 (3.4-12)，等比例缩小后的 I_D' 为：

$$I'_D = \frac{W' C'_{ox} \mu_{eff}}{L'} [(V'_{GS} - V'_T)^2 V'_{DS} - \frac{1}{2} V'^2_{DS}] \tag{3.4-34}$$

式中，μ_{eff} 为沟道载流子的表面有效迁移率，在恒场等比例缩小规律的作用下，可以近似忽略迁移率的变化。其余的各个器件尺寸参数按同一比例因子 α 缩小，$W' = W/\alpha$，$L' = L/\alpha$，$t_{ox} = t'_{ox}/t_{ox}$，这样就会引起 $C'_{ox} = \alpha C_{ox}$；同时，恒场等比例缩小规律还要求器件各端点电压也按比例缩小，$V'_{GS} = V_{GS}/\alpha$，$V'_{DS} = V_{DS}/\alpha$；若认为阈值电压也按等比例因子缩小 α 倍（在本节范围内都将利用这种假定）可以发现：

$$I'_D = \frac{(W/\alpha)\alpha C_{ox}\mu_{eff}}{L/\alpha}[(V_{GS}/\alpha - V_T/\alpha)^2 V_{DS}/\alpha - \frac{1}{2}(V_{DS}/\alpha)^2] = I_D/\alpha \tag{3.4-35}$$

继续分析其他参数的变化情况，按比例缩小后，栅电容 C'_G 为

$$C'_G = W'L'C'_{ox} = (W/\alpha)(L/\alpha)\alpha C_{ox} = C_G/\alpha \tag{3.4-36}$$

门级延迟 τ' 为

$$\tau' = \frac{V'_{DD}C'_G}{I'_D} = \frac{(V_{DD}/\alpha)(C_G/\alpha)}{(I_D/\alpha)} = \tau/\alpha \tag{3.4-37}$$

功耗 P' 为

$$P' = I'_D V'_{DD} = (I_D/\alpha)(V_{DD}/\alpha) = P/\alpha^2 \tag{3.4-38}$$

功耗延迟乘积为

$$(PDP)' = P'\tau' = (P/\alpha^2)(\tau/\alpha) = (PDP)/\alpha^3 \tag{3.4-39}$$

根据以上的分析，可以看出 MOS 晶体管中的各项参数按照恒场等比例缩小规律进行改变后，不仅可以使集成度提高，而且可以使得电路性能得到改善（提高速度以及减小功耗）。

按照恒场规律变化后的器件的各项参数见表 3.4-1。

（2）恒定电压等比例缩小规律

如果器件的尺寸以及各项参数可以理想的按照恒场等比例缩小规律进行改变，那么器件的性能将可以获得很大的提高。但是由于实际应用以及标准化的原因，并非所有的参数都可以按照该规律进行变化。集成电路的标准电源电压是 5 V，并且在很长的一段时间内都保持不变，只在集成电路的特征尺寸进入深亚微米时才开始降低，但也没有能够按照恒场等比例缩小规律进行变化。这样，又出现了恒压等比例缩小规律。

与恒场规律相似，在恒压规律中，器件在水平和垂直方向的参数（包括沟道长度 L、宽度 W、栅氧厚度 t_{ox} 以及源漏结深 x_j）都按照同一个比例系数 α（$\alpha > 1$）等比例缩小，不同的是所加电压保持不变。出于从耗尽层厚度方面讨论，衬底掺杂浓度要增大 α^2 倍。按恒压等比例缩小规律改变后器件的性能变化的计算过程与恒场规律相似，这里不再详细论述。按照恒压规律变化后的器件的各项参数见表 3.4-1。从表 3.4-1 可以看出，MOS 晶体管中的各项参数按照恒压等比例缩小规律进行改变后，集成度和电路性能都得到了提高，但提高的程度不如按恒场规律大。

（3）准恒压等比例缩小规律

从前面的分析，可以看出，按恒压等比例缩小规律，由于电源电压较高而引起的强电场以及高功耗等问题将限制了集成电路的进一步发展。所以，在 CMOS 集成电路发展中实际采用的是准恒压等比例缩小规律。

准恒压等比例缩小规律与恒压规律基本相同，只是在准恒压规律中，电压按因子 v 比例缩小，器件中的电场要比按恒压等比例缩小时的小。同时，还要注意衬底掺杂浓度要改变为 α^2/v 来保证耗尽层厚度也按同样的比例缩小。按准恒压等比例缩小规律改变后器件的性能变化见表（3.4-1），具体计算过程不再赘述。从表 3.4-1 可以看出，按照准恒压规律缩小后，MOS 集成电路的工作速度比按恒场规律缩小有更大的改善，但是功耗不会显著增加。各项参数按照准恒压等比例缩小规律进行改变后，集成度和电路性能都得到了提高，但提高的程度不如按恒场规律大。

表 3.4-1　MOS 器件等比例缩小规律比较

物理参数	恒场规则	恒压规则	准恒压规则
器件尺寸	$1/\alpha$	$1/\alpha$	$1/\alpha$
电压	$1/\alpha$	1	$1/v$
衬底掺杂浓度	α	α^2	α^2/v
阈值电压	$1/\alpha$	1	$1/v$
电流	$1/\alpha$	α	α/v^2
栅极电容	$1/\alpha$	$1/\alpha$	$1/\alpha$
门级延迟	$1/\alpha$	$1/\alpha^2$	v/α^2
功耗	$1/\alpha^2$	α	α/v^3
功耗－延时乘积	$1/\alpha^3$	$1/\alpha$	$1/\alpha v^2$

实际上，集成电路是按照一种折中的趋势进行发展的，采取措施尽量的在功耗和性能之间找到一个最佳的平衡。众所周知，高性能方案在一定程度上要损失功耗，同时低功耗方案又要以牺牲速度为代价。表 3.4-1 总结出了按照恒场、恒压以及准恒压等比例缩小规则变化而带来的器件以及电路性能的变化，便于正确理解等比例缩小规律，为未来集成电路的发展指明了方向。总之，恒场规则是等比例缩小规律的理论基础，但实际中应用的往往是准恒压规则。

1.5　常规 MOSFET 的设计原则

前面几节内容主要介绍了有关 MOS 器件的基本结构、工作原理等一些基础知识。下面探讨关于 MOS 器件设计方面的内容。作为表面压控器件，MOS 器件的特性主要取决于 MOS 器件纵向结构的表面电场效应，其设计的主体思想如图 3.4-18 所示。

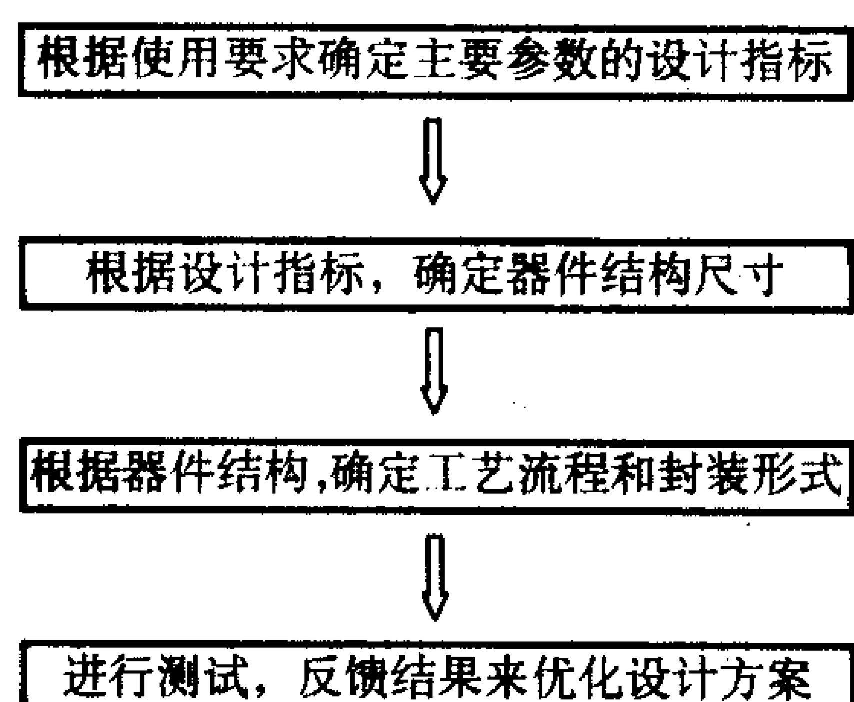


图 3.4-18 MOS 器件设计的主体思想

(1) MOSFET 的主要参数设计指标

按照常规的 MOSFET 设计主体思想，需要根据使用要求来确定器件的主要参数指标。这就要求将 MOS 器件的主要参数进行总结、分析，最终确定设计目标。

一般来说，MOS 晶体管的主要电学参数分为以下几类：

1）直流参数 主要包括阈值电压 V_T、饱和漏极电流 I_{Dsat}、等。其中，

$$V_T = -\frac{Q_{ss}+Q_{Bmax}}{C_{ox}}+2\varphi_F - V_{ms} \qquad (3.4\text{-}40)$$

$$I_{Dsat} = \frac{1}{2}\frac{WC_{ox}\mu_{eff}}{L}(V_{GS}-V_T)^2 \qquad (3.4\text{-}41)$$

对于 MOS 器件而言，一般要求低功耗和高的驱动能力，这就要求我们相应的降低 V_T 和增大 I_{Dsat}。根据公式 (3.4-40)，可以看出要降低阈值电压，可以从提高栅电容、降低衬底杂质浓度、选择合适栅材料以及降低界面电荷等方面进行考虑，其中，栅电容 $C_{ox}=\varepsilon_o\varepsilon_{ox}/t_{ox}$。因此，要增加栅电容，可以考虑，降低栅氧厚度和提高栅介质的介电常数 ε_{ox}。同样，可以根据公式 (3.4-41) 通过调整宽长比 (W/L)、C_{ox} 以及 μ_{eff} 来增大 I_{Dsat}，进而提高驱动能力。

2）极限参数 主要包括漏源击穿电压 BV_{DS}、栅源击穿电压 BV_{GS} 等。

其中，BV_{DS} 主要决定于所设计的器件的结构，具体而言，要受到漂移区长度、衬底掺杂浓度以及源漏结深的制约。对于小尺寸器件而言，BV_{DS} 还要受到源漏穿通的限制，情况更为复杂，它不但要受到沟道长度限制、还依赖于沟道区域纵向和横向掺杂浓度分布、源漏延伸区结深、掺杂浓度以及浓度分布的陡峭度等因素。值得注意的是，在横向双扩散晶体管 (Lateral Double Diffused MOS, LDMOS)、纵向双扩散晶体管 (Vertical Double Diffused MOS, VDMOS) 等功率器件中，还可以通过引入长的漂移区来提高 BV_{DS}。另一方面，BV_{GS} 主要由栅介质层的厚度决定，可以通过引入高 k 栅介质来进一步提高 BV_{GS}。

3）交流参数 主要包括各种跨导、各种结电容以及截止频率等

根据公式 (3.4-18a)、公式 (3.4-18b)、公式 (3.4-34) 以及公式 (3.4-24)，不难发现栅跨导主要由 W/L、C_{ox}、μ_{eff} 以及源漏串连电阻决定，而截止频率要受到 L 以及 μ_{eff} 因素的影响。

4）特征参数 是反映各种不同类型的晶体管"特色"的参数，如功率器件中的漏源击穿电压 BV_{DS}、栅源击穿电压 BV_{GS} 和高频器件的 f_T 等。

因此，在实际的 MOS 晶体管的设计过程中，要根据使用要求优先满足主要参数要求，然后再调整其他一些参数。

(2) MOS 器件结构尺寸的设计

下面以普通 CMOS 工艺流程制备的 MOS 晶体管为例介绍关于 MOS 器件结构尺寸的设计问题。常规 MOS 器件的结构尺寸包括横向结构尺寸和纵向结构尺寸。

1）横向结构尺寸 常规 MOS 器件的横向结构尺寸主要包括沟道长度 L、沟道宽度 W 以及源漏接触孔尺寸等。

① 沟道长度 L 一般来说，L 将受到器件的截止频率、速度饱和效应以及穿通效应的限制。

首先，根据公式 (3.4-42)，可以看出 f_T 对 L 的最大值进行了限制。

$$L \leqslant \frac{1}{2}\sqrt{\frac{3\mu_{eff}(V_{GS}-V_T)}{\pi f_T}} \qquad (3.4\text{-}42)$$

当沟道的长度缩小到一定程度后可能会出现下述两种现象：(a) 在漏端沟道夹断前漏电流就已经达到饱和的情况；(b) 源漏耗尽区相碰而导致穿通现象的出现。这两种现象都将严重破坏晶体管的特性，甚至导致器件最终失效。因此，这两种现象（速度饱和效应和穿通效应）将对 L 的最小值按照公式 (3.4-43) 和公式 (3.4-44) 进行了限制。

$$L > \frac{\mu_{eff}(V_{GS}-V_T)}{V_s} \qquad (3.4\text{-}43)$$

$$L > (x_D + x_s) + 2x_j = \sqrt{\frac{2\varepsilon_o\varepsilon_s(V_D+V_{DS})}{qN_{ch}}} + 2x_j \qquad (3.4\text{-}44)$$

式中，V_s 代表漂移速度达到的饱和值；x_D、x_s 代表源漏耗尽区宽度；N_{ch} 代表沟道掺杂浓度；V_D 代表接触电势差。这里假定沟道均匀掺杂，源漏结的横向扩散和纵向扩散的结深相等。对于功率、高频等器件，沟道长度还有其他的要求，这里不再一一叙述。

② 沟道宽度 W 沟道的宽长比 (W/L) 是常规 MOS 器件最重要的器件结构参数之一，它将对器件的驱动能力、跨导等产生重要影响。当 L 确定后，W/L 就完全由沟道宽度所决定。一般来说，W/L 将受到跨导、功耗等条件的限制，从而沟道宽度 W 具体的限定条件如公式 (3.4-24) 所示。

$$\frac{g_m L}{C_{ox}\mu_{eff}(V_{GS}-V_T)} < W < \frac{2I_{Dmax}L}{C_{ox}\mu_{eff}(V_{GS}-V_T)^2} \qquad (3.4\text{-}45)$$

式中，I_{Dmax} 是器件所允许的最大静态功耗对应的漏极电流。跨导的最小值限制了 W/L 最小值，而受到封装、散热条件影响的器件的功耗则限制了 W/L 的最大值。

③ 源漏接触孔的尺寸 对于常规的 MOS 器件，为了减少接触面积和寄生电容，应该尽量减少接触孔的尺寸。因而接触孔的尺寸一般是由器件制造工艺所能允许的最小尺寸决定。另外，对于功率器件而言，接触孔尺寸的下限还受到金属电极所能允许的电流密度的限制。

此外，功率器件中的漂移区的长度、场版等尺寸也属于横向结构尺寸的范畴，由于涉及内容比较复杂，不再一一详述。

2）纵向结构尺寸 常规 MOS 器件的纵向尺寸主要包括栅介质厚度 t_{ox}，源漏结深 x_j 等。

① 栅介质层厚度 t_{ox} 栅介质层厚度直接影响到栅介质电容，进而决定栅控灵敏度，也就是栅电压对于漏电流的控制能力。根据式 (3.4-40) 和式 (3.4-41) 可以看出，t_{ox} 越小，栅控灵敏度越好，器件的阈值电压越低、驱动能力越强，电学特性也就越好。但是 t_{ox} 还将受到栅源击穿电压 BV_{GS} 的限制，具体的限定条件如公式 (3.4-46) 所示。

$$t_{ox} > \frac{BV_{GS}}{BE_{GS}} \qquad (3.4\text{-}46)$$

式中，BE_{GS} 为栅介质临界击穿场强（对于超薄栅介质而言，其厚度不要受到栅隧穿漏电制约）。

② 源漏结深 x_j 一般而言，x_j 主要受到到源漏串联电阻以及 $L >> x_j$ 条件限制。将结深加大，有助于降低源漏串联电阻，但对于抑制短沟道效应不利，会使结深与 L 之间

的差距减少。因此一般都是按照等比例缩小规律将结深减小。同时，利用提高源漏区杂质浓度和浓度分布的陡度的方法来减小源漏串联电阻。在功率器件中，结深的要求更为复杂，已经超出本章范围，不再详细论证。

此外，衬底材料（衬底杂质浓度、晶向、位错）、栅介质以及栅电极材料的选取也将直接影响所设计并制备的 MOSFET 的电学特性。

2　现代深亚微米和超深亚微米 CMOS 器件结构以及器件物理

MOS 集成电路技术以平面工艺为基础，具有集成度高、功耗低以及工艺兼容性好的特点。而 CMOS 集成电路，即互补型 MOS 集成电路是把 NMOS 晶体管和 PMOS 晶体管制作在同一片芯片上进一步降低了功耗、提高了集成度以及优化了电路性能。随着 CMOS 尺寸的迅速缩小，集成密度大幅度提高，传统的 CMOS 器件结构已经不能适应 CMOS 技术的发展，出现了一系列改进型的结构和新的工艺技术。

2.1　早期的 CMOS 器件结构

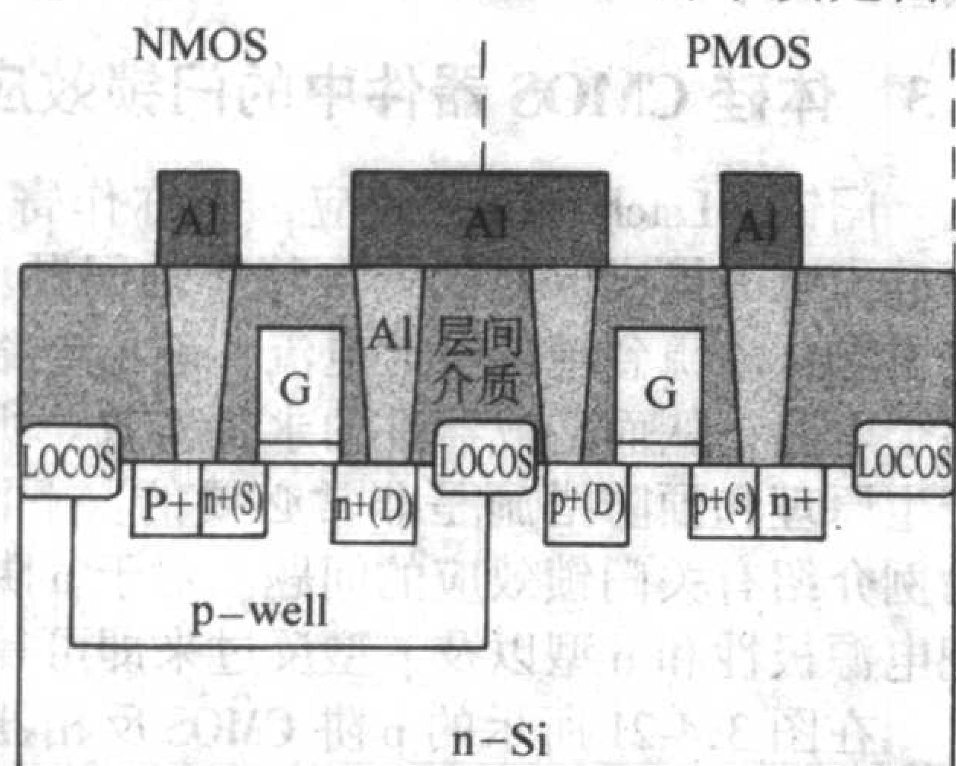
关于金属－氧化物－半导体场效应晶体管（MOSFET）的基本结构以及基本原理在前面的内容中已经有所说明，这里再简单提及一下。MOSFET 一般是一个四端器件，它的核心部分是一个金属－绝缘层（一般为氧化物）－半导体（一般为硅）组成的平板电容结构。通过改变施加金属栅电极（Gate）的电压来控制在氧化层下的硅的表面沟道，从而控制由源极（Source）到漏极（Drain）的驱动电流（由反型载流子组成），获得开关或放大效应。MOSFET 的本质是由和硅衬底隔离的栅电极通过氧化层中的电场来耦合硅表面沟道的。早期 CMOS 器件的结构示意图如图 3.4-19 所示。

下面简述一下早期 CMOS 器件结构的特点：

1）阱区结构　CMOS 集成电路要把 NMOSFET 和 PMOSFET 制作在同一衬底材料上，这就要解决 NMOS 和 PMOS 需要不同类型的衬底的问题，通常的解决办法是制备阱区来改变衬底的掺杂类型以满足 CMOS 集成电路的需要。以图 3.4-1 的 p 阱为例进行说明，p 阱 CMOS 集成电路用的是 n 型衬底，在其上制造 PMOS 晶体管，需要制备 p 阱为 NMOS 晶体管提供 p 型衬底。对于 n 阱情况则正好相反，这里不再赘述。阱纵向杂质的分布是其表面浓度稍高，沿阱深度方向逐渐缓慢降低。

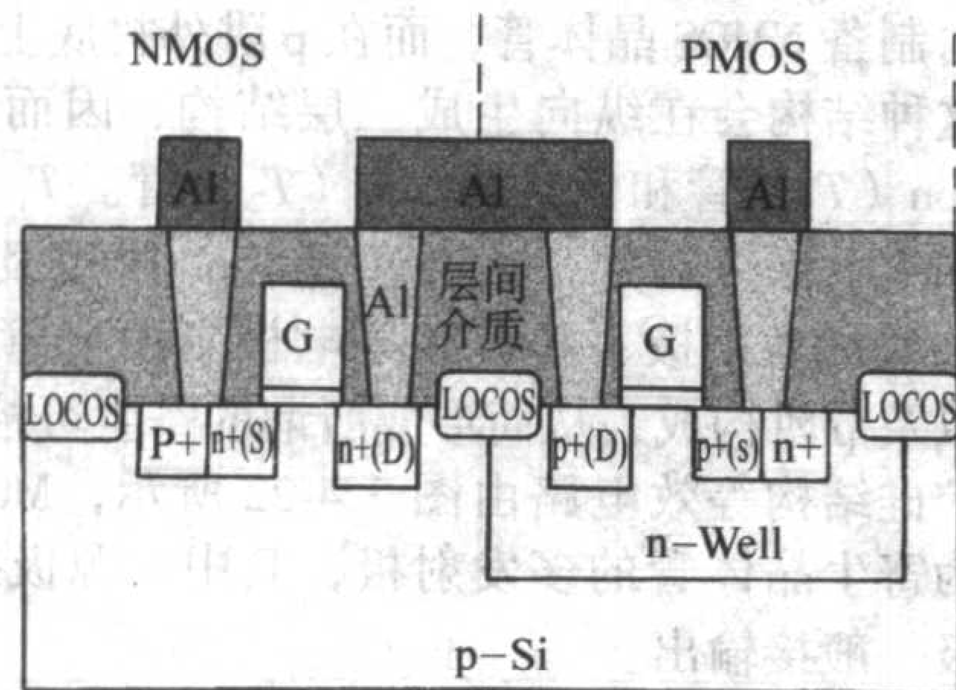
2）隔离结构　在 CMOS IC 中，同一个硅基衬底上规则地排列着许多晶体管，如果不在管子之间进行妥善的隔离，那么将会出现一系列的寄生效应和寄生晶体管，最终致使器件无法工作。早期的 CMOS 技术中，通常采用 LOCOS 结构进行隔离，其具体过程就是在 MOS 晶体管的场区热生长厚氧化层以实现隔离。

3）有源区结构　MOS 晶体管的有源区是 MOS 晶体管的有效工作区，由源区、漏区以及二者之间的沟道区等组成。如图 3.4-19 所示，有源区的结构主要包括沟道、栅氧化膜、栅极、源、漏以及互连结构等。早期的 CMOS 沟道长度为几个微米量级，栅氧化膜为比较厚的普通热氧化膜，厚度一般在几十到上百纳米；栅极有 Al 栅和多晶硅单栅两种；源、漏结构比较简单，没有轻掺杂或延伸区，结比较深，一般在零点几微米到 1 μm 左右；没有侧墙（spacer）；源、漏和栅上没有硅化物。



NMOS　PMOS　P　P　金属Al　接触孔　源　源　漏　漏　金属Al

a.p.B. 阱情况



NMOS　PMOS　P　N　接触孔　金属Al　源　源　漏　漏　金属Al

a.b.n. 阱情况

图 3.4-19　早期单层布线 CMOS 器件剖面结构及顶视示意图

4）互连结构　一般为单层 Al（Al－Si）互连。

2.2　现代 CMOS 器件结构

现代深亚微米（适用于 0.25 μm 及以下）的平面 CMOS 器件结构如图 3.4-20 所示。

该图是 CMOS 器件的纵截面示意图，器件结构上方为多层布线。与早期基本的 MOS 场效应器件结构相比，它具备如下特点：

1）阱区结构　为倒掺杂双阱结构，一般选择 p 型硅衬底，在上面生长外延层，在外延层上制备倒掺杂双阱。所谓倒掺杂阱（替代常规的阱）即阱的纵向杂质分布是阱表面浓度低，阱深较深处杂质浓度高。这样既有利于阈值电压的控制，源、漏结电容的降低和有效的抑制穿通，又可以改善表面载流子迁移率。同时双阱形成还可以抑制寄生晶体管效应和避免闩锁效应以及其他一些可靠性方面的问题，非常适合深亚微米和超深亚微米 CMOS 器件的要求。

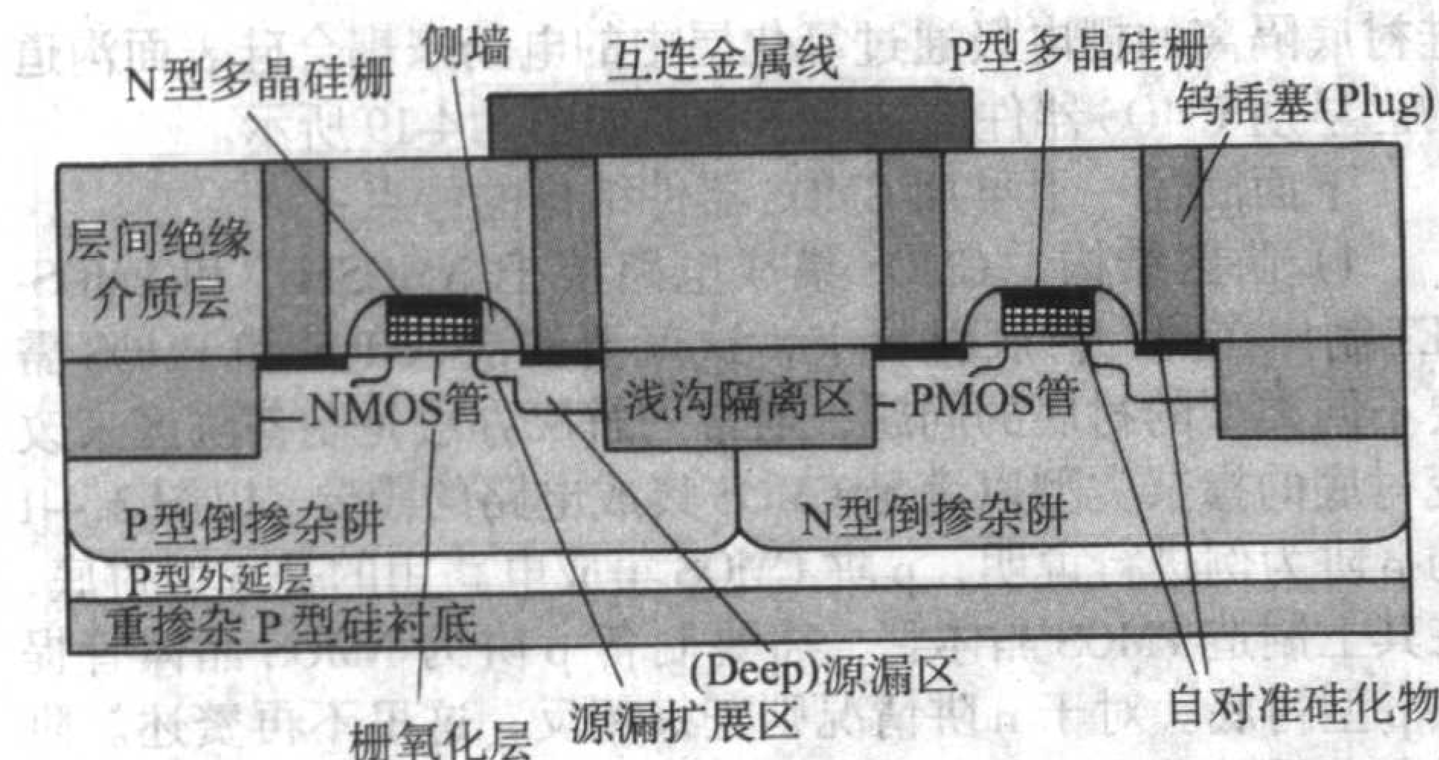


图 3.4-20　现代深亚微米平面 CMOS 器件结构示意图

2) 隔离结构　为浅沟隔离结构（STI）。由于 LOCOS 隔离在场边缘处形成"鸟嘴"（由场区氧化通过氮化硅的边缘向有源区扩展造成），影响到器件的实际尺寸，因此不再适用于深亚微米集成电路隔离的要求。而浅槽隔离尽管工艺更为复杂，但具有增加芯片内元件的密度、减少寄生隔离电容以及改善闩锁效应的敏感度的优点，因此取代传统的 LOCOS 隔离，在如今的 VLSI 中获得广泛应用。至于增加保护环的问题在后续章节进行论述。

3) 有源区结构　作为 CMOS 晶体管结构核心的有源区结构，在器件特征尺寸降低的过程中，出现的变化最多，以下分别进行讨论：

① 栅介质和栅电极结构　随着沟道长度的降低，为了保证栅对于沟道的耦合能力以及抑制短沟道效应，势必要降低栅介质的等效厚度，但当氧化栅介质厚度降低到 3.0 μm 以下时，将引起大的隧穿漏电流、硼穿通及可靠性差等一些问题，所以要采用超薄的氮（N）化氧化栅介质来抑制这些问题。而对于栅极材料而言，早期的 CMOS 技术一般采用单栅结构，即 NMOS 和 PMOS 都是相同的 N^+ 多晶硅栅（PMOS 为埋沟型），这种结构在 0.25 μm 阶段达到了极限。如果在器件尺寸缩小后继续采用单栅结构，就很难做到在单独调节 PMOS 晶体管阈值的同时保证器件具有良好的亚阈值特性和防穿通能力。当器件特征尺寸降低到 0.25 μm 阶段，就开始使用所谓的双栅技术，即 NMOS 晶体管的栅采用 N^+ 多晶硅栅，而 PMOS 晶体管栅采用 P^+ 多晶硅栅。因此 PMOS 器件结构为表面沟模式，有更好的抑制短沟道效应的能力。但这种双栅结构同样带来了一个问题：P^+ 多晶硅栅的使用，使得多晶硅栅中注入的硼可能穿过栅氧化层到达衬底而引起平带电压正向漂移、栅隧穿漏电等一系列问题。所以在 0.25/0.18 μm 及以下的技术中，必须解决硼穿通问题。

当器件的特征尺寸进一步缩小到 50 nm 及以下时，前面提到的氮化氧化栅介质和多晶硅双栅技术也无法突破由栅隧穿漏电流、栅电阻大、多晶硅耗尽效应、B 穿通效应以及可靠性等方面带来的限制，势必要求新材料、新技术的导入。当前最有发展前景的技术就是将高 k 栅介质与金属栅电极集成到 CMOS IC 制造中。高 k 栅介质（常见的有 HfO_2 以及 ZrO_2 等）可以在获得同样栅耦合能力的情况下增大栅介质层的物理厚度，从而有效地降低栅隧穿漏电流以及抑制 B 穿通效应，提高器件的可靠性；而金属栅结构则可以完全消除 B 穿通以及多晶硅耗尽效应，并大大降低栅电阻。

② 源漏延伸区　随着器件尺寸的不断减小，源漏穿通的可能性以及沟道泄漏电流都开始增大，为抑制这种不良影响，深亚微米和超深亚微米 CMOS 器件的 S/D 区由两部分合成：超浅（20～40 nm）的、高表面浓度的 S/D 延伸区和结深约 0.1 μm 左右的 S/D 区。这一结构设计的目的，一是为进一步抑制 SCE，二是为获得低的 S/D 寄生串联电阻，三是便于实现自对准硅化物结构时，不增加结漏电。低串联电阻的 S/D 超浅延伸区的形成是关键性的挑战之一，尤其是 PMOS 的 S/D 超浅延伸区，因为存在 B 注入的沟道效应；

③ 侧墙结构　环绕多晶硅栅周围的侧墙在深亚微米和超深亚微米器件中具有重要作用，它使上述 S/D 延伸区得以实现，使漏端电场峰值远离沟道区，以抑制 SCE，并有效地防止大剂量源漏注入的横向扩散而导致源漏击穿电压降低甚至穿通的现象出现。同时也是自对准硅化工艺中抑制栅电极和源漏桥联的"天然屏障"。

④ 沟道掺杂浓度分布　在深亚微米和超深亚微米 CMOS 器件中，杂质在沟道区域内沿纵向和横向的分布都是非均匀的，在纵向为超陡的倒掺杂分布，在横向（即沿沟道从源到漏）位于源漏延伸区与源漏区交接处存在一个额外的局部掺杂区，由 halo/pocket 大角度倾斜注入形成。这种纵向和横向杂质的非均匀分布为阈值电压的控制和防穿通提供了大的设计空间。

⑤ 自对准硅化物　在深亚微米和超深亚微米 CMOS 集成电路中，在源漏栅上同时采用钴或镍自对准硅化物，以克服钛－自对准硅化物的窄线宽效应，大大降低了相应的串连电阻，提高了驱动能力和速度。

4) 互连结构　传统的 CMOS 器件工艺都是利用铝（－硅）作为互连的，但是随着器件尺寸的逐渐缩小，布线的复杂程度逐渐提高，铜的相对优势开始表现出来。首先，铜的电阻率小（铝 2.7 μ·Ωcm > 铜 1.7 μ·Ωcm），因此可以提高电路的速度并降低功耗；其次，铜具有更高的抗电迁移性（高两个数量级），因而大大提高集成电路的可靠性；第三，可以通过减少互连层数和缩短连线长度来简化工艺，从而降低生产成本。

2.3　体硅 CMOS 器件中的闩锁效应

闩锁（Latch－Up）效应，也称作寄生可控硅效应，是体硅 CMOS 集成电路的一个特有的问题。闩锁效应发生后，将引起从电源到地的极大电流，破坏电路正常工作乃至烧毁整个电路，从而造成器件的永久失效。所以了解闩锁效应的产生原理和预防措施是非常必要的。下面，就以 p 阱 CMOS 为例介绍有关闩锁效应的问题。对于 n 阱工艺的情况，只要把电源极性和 n 型以及 p 型反过来即可得到。

在图 3.4-21 所示的 p 阱 CMOS 反相器的剖面结构中，可以看出，由于要在同一 n 型衬底上制备 p 沟道和 n 沟道两种 MOS 晶体管，必须先在 n 型衬底上形成一个 p 阱，再在 p 阱内制备 NMOS 晶体管，而在 p 阱外衬底上制备 PMOS 晶体管。这种结构会在纵向生成三层结构，因而形成寄生的纵向的 npn（T_1）管和横向的 pnp（T_2）管。T_1 管的发射极、基极和集电极分别由 n 管的源/漏、p^- 阱以及 n 型衬底构成；而 T_2 管的发射极、基极和集电极则由 p 管的源/漏、n 型衬底以及 p 阱构成，从而形成所谓的寄生可控硅结构。该寄生可控硅结构等效电路由图 3.4-22 所示，MOS 管的源和漏等效为寄生晶体管的多发射极，其中，源极接 V_{DD} 或 V_{SS}，而漏极一般接输出。

根据 MOS 晶体管的一般特点，T_1 管和 T_2 管的发射极电阻 R_{en}、R_{ep} 的相对阻值都比较小，可以忽略，而 R_W 和 R_S 分别表示 p 阱电阻和衬底电阻。这样，T_1、T_2、R_W 和 R_S 接成了正反馈电路，构成了上文提到的可控硅的结构。在通常情况下，电源电压 V_{DD} 或接地电压 V_{SS} 之间被反向的 pn 结隔离而处于高阻态，此时 CMOS 电路正常工作。在外界干扰或者其他噪声（包括瞬时辐照）作用下，可能使输入电压 V_0 大于 V_{DD} 或者低于 V_{SS}，T_1 管和 T_2 管一路发射极导通，从而在 R_W 和 R_S 产生电流，致使 R_W 和 R_S 压降增加，造成 T_1 管或者 T_2 管导通。在正反馈闭合回路中，一旦一

个晶体管导通，就将使电流不断放大，最终在电源和地之间形成极大的导通电流，造成闩锁效应。闩锁效应的 $I-V$ 曲线如图3.4-23所示。其中，I_H 为维持电流，而 V_C 为转折电压。

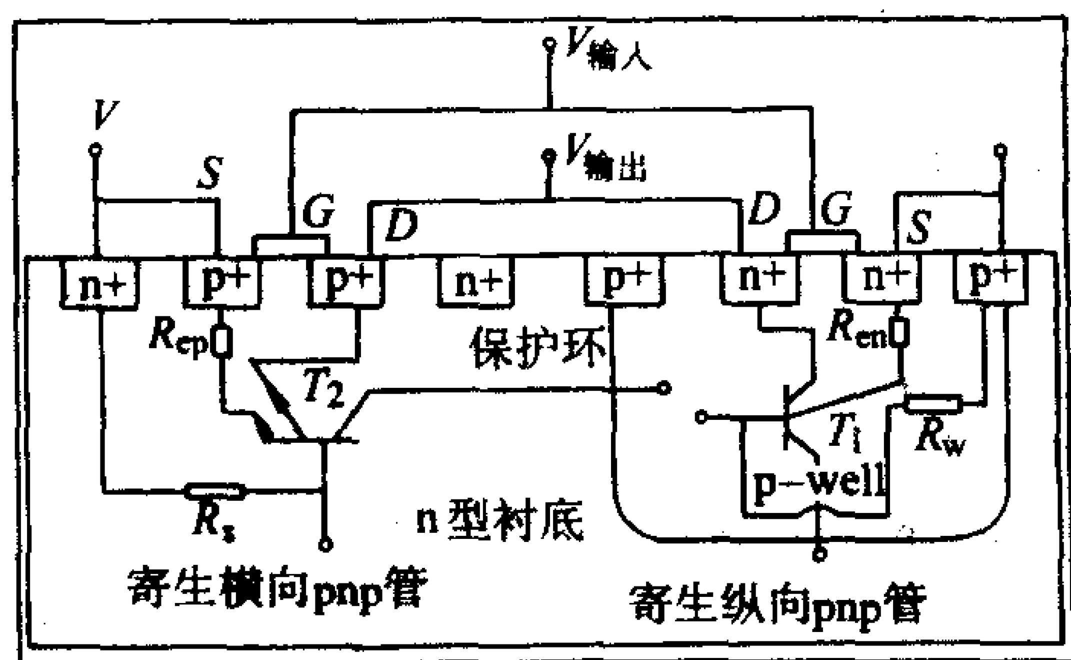


图3.4-21　p阱CMOS反相器剖面结构图

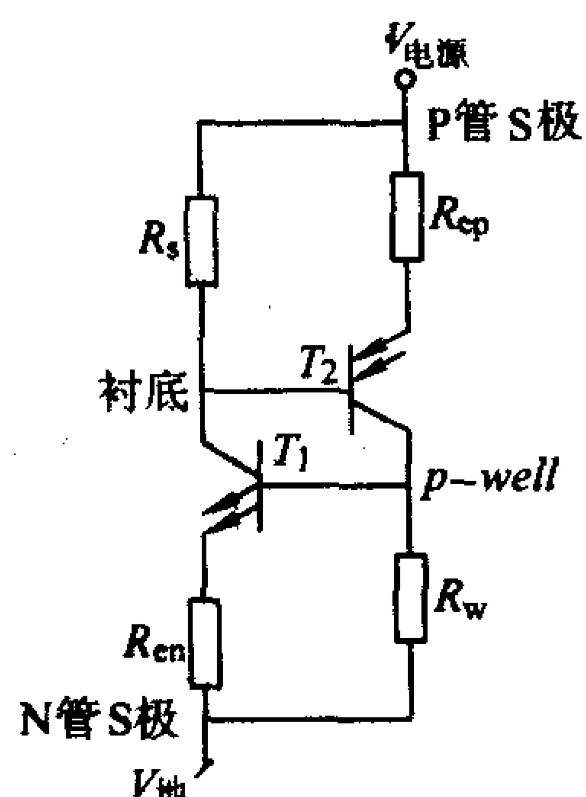


图3.4-22　CMOS反相器寄生可控硅等效电路图

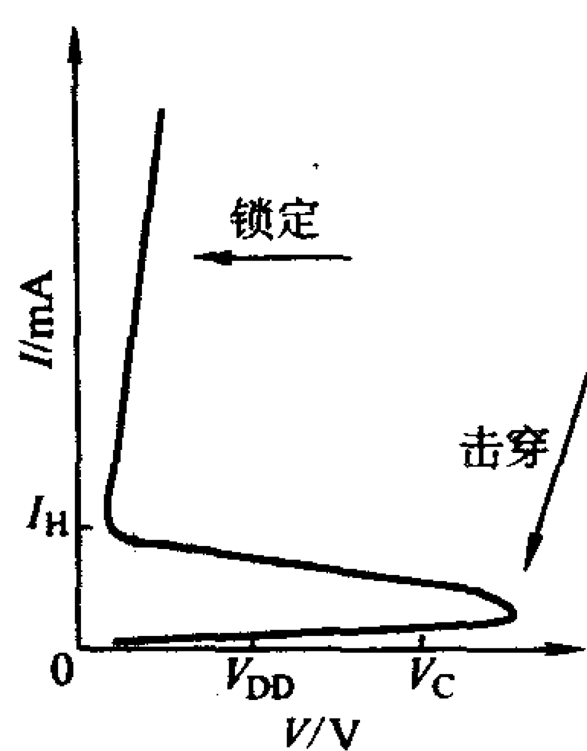


图3.4-23　CMOS电路锁定的 $I-V$ 曲线

归结起来，造成闩锁效应也就是触发寄生可控硅，有以下三个条件：

1）T_1 管和 T_2 管的电流放大系数乘积 $\beta_{PNP}\beta_{NPN}>1$；

2）T_1 管和 T_2 管发射结在电压信号过冲或者噪声等的影响下正偏；

3）回路电流（一般为40 mA左右）超过寄生可控硅的维持电流 I_H。

若要电路发生闩锁，以上三个条件缺一不可。但根本的内在原因还是 $\beta_{PNP}\beta_{NPN}>1$，使得电流不断放大，形成正反馈。当电源电压过冲或是电源电流较大时，很容易触发寄生可控硅，造成闩锁。

为了有效防止和减缓闩锁效应，要从引起寄生可控硅触发的条件入手，力图找到抑制其中一个或者多个条件的方法来降低触发和维持闩锁的可能性：

1）**降低寄生双极晶体管的增益**　可以通过增加阱的深度以及晶体管源、漏区与p阱的距离来实现，但这要以牺牲集成度为代价；

2）**减小寄生电阻 R_W 和 R_S**　可以通过采用重掺杂衬底上的外延层来减小 R_S，阱下加入 p^+ 埋层来大大降低 R_W 和 β_{NPN}。由于副作用小，被认定是防止闩锁最有效的办法之一；但对于小尺寸器件而言，要采用倒掺杂阱和浅槽隔离等措施结合使用；

3）**增加保护环**　就是在NMOS晶体管周围形成接地的 p^+ 区，在PMOS晶体管周围形成接地的 n^+ 区，图3.4-21中也包括了保护环结构。增加保护环不但可以有效地降低寄生双极晶体管的增益，还可以抑制寄生横向和纵向双极晶体管的耦合，但这种方法同样要以牺牲集成度为代价；

4）**采用新工艺和新材料**　利用沟槽隔离技术可以完全切断NMOS晶体管和PMOS晶体管之间可能形成的寄生电连接。而采用SOI材料来代替传统的体硅材料可以彻底地消除CMOS产生闩锁的机制。由于SOI材料本身的特点，可以使每个NMOS晶体管和PMOS晶体管被二氧化硅完全的隔离开来，从而彻底的杜绝了寄生可控硅的形成。并且，SOI材料上制备的器件与衬底是隔绝的，因此NMOS晶体管和PMOS晶体管可以紧靠在一起，有助于提高集成度。随着集成电路的特征尺寸越来越小，SOI技术可能部分取代传统的体硅技术。

此外，诸如输入端和输出端保护结构、逆向阱结构等一些措施也可以防止闩锁效应，这里不再一一叙述了。

2.4　CMOS器件进一步缩小面临的挑战和机遇

当前最先进的工业化CMOS技术已进化到0.13 μm阶段，正在向90 nm进军。而实验室中已成功制备出栅长为15 nm的平面MOS器件和栅长10 nm新结构MOS器件。虽然深亚微米CMOS技术得到迅猛发展，在集成电路的制造中获得巨大成功，并预计在现有的框架下可进化到90 nm技术节点，其对应的物理栅长度为37 nm。但90 nm技术节点以下的主流CMOS技术将面临巨大挑战。这些技术的困难主要表现在器件的某些参量不可Scaling性、器件物理及基础工艺的限制，分述如下：

（1）电源电压和阈值电压

在Scaling过程中，更高的集成度与工作时钟意味着更大的功耗，Scaling电源电压是减少电路功耗的一般选择，但实际上电源电压 V_{dd} 不能按比例Scaling，这是因为阈值电压 V_t 的非Scaling性，因过小的 V_t 将造成关态漏电流 I_{off} 过大，从而导致电路不可工作。过小的（$V_{dd}-V_t$）将减少 I_{on} 数值，并在开关过程中降低逻辑噪容。电路由于非Scaling参数造成的困难（如过大 I_{off}，I_{on} 减少，总功耗过大）导致CMOS器件的应用受到限制，因而在器件Scaling过程中克服非Scaling参数的影响以获得理想的器件性能成为亚50 nm CMOS技术研究的焦点。

（2）短沟道效应

当栅长小于50 nm时将引起极严重的短沟道效应（SCE），如：漏诱生势垒降低（DIBL）严重；关态漏电流 I_{off} 增大；阈值电压随栅长变小而降低（V_T oll-off增大）；源/漏穿通电压降低，亚阈值漏电流增加和可靠性降低等。短沟道效应的起因是源、漏与沟道区之间的二维静态电荷共享效应所致。这导致了栅压对沟道控制能力的下降，大大降低器件性能，严重时将导致器件不能正常工作。短沟道效应不仅与栅长直接相关，还和栅氧化层厚度、体掺杂浓度、分布和结深等相关。

（3）高场效应

由于实际上电源电压不与沟道长度等比例缩小，CMOS器件向小尺寸发展的同时，电场强度不可避免地增大了。小于0.1 μm沟道长度的器件，氧化层中的电场可高达5 MV/

cm，硅体内电场也会超过 1 MV/cm。如此强的电场会引发若干非常不利的效应，如阈值电压的量子效应，带间遂穿效应，迁移率衰退等。当硅体中的电场强度超过 10^5 V/cm 时，量子效应对阈值电压的影响不可忽略。如果电场强度大于 10^6 V/cm，这种影响可把阈值电压升高 0.2 V 甚至更高。在高场下的另一个问题是迁移率降低。当 $\varepsilon_{eff} \leqslant 5 \times 10^5$ V/cm 时，载流子散射以声子散射为主，迁移率和 $\varepsilon_{eff}^{-0.3}$ 成正比。高场时，载流子被挤到 Si/SiO_2 界面，表面散射起主要作用，与 Si/SiO_2 界面条件有关，则迁移率和 $\varepsilon_{eff}^{-1} \sim \varepsilon_{eff}^{-2}$ 成正比。所以当 $\varepsilon_{eff} > 10^6$ V/cm 时，电子和空穴的迁移率都快速下降，严重降低了器件的性能。

（4）掺杂的随机分布

杂质原子的随机涨落给 MOSFET 的微型化带来根本的限制。当 MOSFET 缩小到 100 nm 以下时，在器件沟道区的杂质数目只有几百个，杂质的微观分布成为影响器件阈值电压不容忽视的因素。

两个因素会对阈值电压有影响，一是沟道中杂质数目的随机涨落，另一个是沟道中杂质不连续的微观随机分布。对 $W = 5\ \mu m$，$L = 100$ nm，$T_{ox} = 3$ nm，平均衬底掺杂浓度是 $8.6 \times 10^{17}/cm^3$ 的 MOSFET，用分立的掺杂模型与连续性掺杂模型得到的曲线相比，$I_D - V_G$ 曲线的栅压就有 20 mV～30 mV 的不确切分布。降低沟道的掺杂浓度能够减少杂质随机分布的影响。如果实现绝对的倒掺杂，则可以完全杜绝这一影响。

（5）栅绝缘介质层

在 Scaling 过程中，为了维持或提高器件性能，并减少短沟道效应的影响，制备相应的超薄 SiO_2 栅绝缘介质是必须的。但当栅氧化层减薄到 2 nm 以下时，隧穿漏电流将成指数规律增加。根据 2002 年 SIA Roadmap 的预计，在 65 nm 节点上栅 SiO_2 介质层的厚度在 0.6～1.1 nm 之间，只有几个原子层厚，栅压施加在如此之薄的绝缘层上将产生极大的直接隧穿电流，由此导致 I_{off} 过大，器件可靠性下降或失效；同时 PMOS 中 B 穿透效应更加严重，导致阈值的正向漂移和可靠性下降。此外，栅耗尽与硅表面的量子效应的存在使得等效栅电容减少，故使得绝缘层的等效电学厚度不会小于 0.8 nm，为了解决这些问题，近期是采用各种形式的氮化氧化栅介质，同时开展高 k 介质的研究也形成一个热点。高 k 栅介质由于在等效氧化硅介质的电学厚度下有效地提高了栅介质的物理厚度，故能有效地克服上述隧穿漏电流大和 B 穿透问题，但同时也存在着界面特性差、热稳定性差和迁移率退化严重等方面的缺点，有待进一步完善；

（6）源漏延伸区

与沟道相邻的源漏延伸区要求拥有超浅的结深以抑制短沟道效应，和高的表面浓度及陡峭的掺杂浓度分布以降低源漏串联电阻，该区域由低能离子注入与杂质快速热退火形成，但在亚 50 nm 以下该技术到了极限，要形成极浅、超陡同时低阻的源漏浅结需要寻找新的途径。

（7）体浓度

在亚 50 nm CMOS 器件中，沟道平均掺杂要达到 5E18/cm^3，这样会使阈值电压增大，沟道载流子迁移率下降，结电容增大，造成驱动能力和速度下降；同时重掺杂衬底会引起带－带隧穿，故必须更精巧的沟道剖面设计以抑制短沟道效应和控制阈值电压，提高驱动能力。

（8）光刻技术

一直以来，集成电路技术的进步都是以光刻技术能够实现的最小分辨率为其标志的。由雷利方程可知，投影光刻系统的分辨率与光源的波长成正比，与透镜系统的数值孔径的平方成反比。为了实现高分辨率人们一直致力于研究采用更短波长的光源，经历了 G 线（436 nm）、I 线（365 nm）、KrF 准分子激光（248 nm），直到目前采用的 ArF 准分子激光（193 nm）光源。在采用分辨率增强技术（Resolution Enhancement Technology，RET），包括离轴照明（Off-axis Illumination，OAI）、相移掩膜（Phase Shift Mask，PSM）、光学邻近效应校正（Optical Proximity Correction，OPC）的基础上，采用沉浸光刻技术，即目前最先进的投影光学曝光，预计可以推进到 45 nm 技术节点。进入 45 nm 技术节点以后，光学投影光刻难以满足要求，因此需要研究下一代光刻技术，主要包括极紫外光刻（Extreme Ultraviolet，EUV）、电子束投影光刻、印制光刻等。其中极紫外光刻和电子束投影光刻与光学投影光刻有相似之处，而印制光刻与光学光刻有着本质的区别。与早期的接触式光学光刻不同，印制光刻不需要光源，而是利用介质的物理化学性质，通过机械作用直接将掩膜上的图形转移到衬底上的介质膜中。印制光刻是进行纳米级加工的新思路，但是离实际的应用还有比较长的距离。

（9）薄和低阻自对准硅化物

传统的 Ti－SALICIDE 硅化物，在特征尺寸小于 0.25 μm 及以下时由于相转移困难和凝聚的发生，造成窄多晶硅栅的电阻率过高而不能应用；甚至 Co 硅化物都无法满足小耗硅量与低漏电的要求。需要寻找新的耗硅量小的低阻硅化物。

（10）互连技术

特征尺寸的缩小在使器件延迟减小的同时，也使得互连性能降低。这是因为特征尺寸的缩小将导致互连引线横截面积和线间距的减小，引起寄生的电阻、电容、电感增大，严重影响电路的性能，包括信号传输延迟的增加和信号传输畸变的增大。为了解决互连引线电阻随特征尺寸缩小而显著增加的问题，互连引线系统一般采用高纵横比的引线设计，即增加引线金属层厚度的办法，但由此可能带来互连引线间串扰的增加。互连延迟随着集成电路技术的进步，在集成电路系统延迟中所占的比例越来越大，从 250 nm 技术开始，互连延迟已经超过器件的门延迟，成为主要的系统延迟因子。实际上，当集成电路技术发展到深亚微米技术时代以后，互连已经成为确定集成电路性能、封装密度、可靠性、制造产率和成本的最重要因素之一。

在未来的互连集成技术的发展中将面临一系列技术和物理限制的挑战，包括：

1）基本的物理极限。包括信号传输速度极限、传输信号的能量极限和噪声极限。

2）材料的限制。因为介质介电常数最小值为 1，同时导体的特征尺寸在小于 50 nm 时，由于量子效应和结构效应等引起的散射作用，使得其电导率显著下降，从而限制互连性能的改善。

3）器件和电路的限制。

4）系统的限制。

为了克服这些限制，人们在 0.13 μm 技术节点以后引入了低 k 介质和铜互连技术。与铝相比，铜有更低的电阻率和更好的抗电迁移特性；低 k 介质的引入有利于减小寄生电容、电感和串扰噪声。在未来的芯片技术时代，铜与低 k 材料仍将会继续广泛应用，但对全局互连来说，通过引入新材料来改善系统互连的性能已不能满足集成电路技术进一步发展的要求，需要发展新的互连模式，如光互连、RF 互连、三维集成互连等新的互连技术，同时需要在设计和封装技术方面进行创新。Intel 已经推出了片间光互连接口的原型。

如上所述，进入超深亚微米领域以后，传统的 CMOS 技术将会在器件物理、工艺技术、加工设备等各个方面面临严峻的挑战。为了克服这些困难，进一步拓展摩尔定律的应用领域，现在的研究工作主要分近期目标、远期目标两个方面展开。近期目标是研究非经典的 CMOS 器件结构来解决 Scaling 过程中所面临的困难。现有的非经典的 MOS 器件结构有

SOI上的超薄体CMOS，能带工程CMOS，垂直晶体管，FinFET，双栅器件等，它们拥有各自的优点和不足之处，要达到实际应用都还有一段距离；同时引入新工艺和新材料，进一步拓展传统平面CMOS器件等比例缩小的能力，这是工业界目前研究的热点；远期目标是研究一种全新的信息处理方法，在CMOS技术的能力范围之外继续实现摩尔定律。这两大方面都是当前研究的热点。

机会总是伴随着挑战，这是大自然永恒不变的真理，同样适用于集成电路产业。如果没有摩尔定律的挑战，没有降低成本的挑战，没有技术竞争的挑战，集成电路就不会发展到今天。总而言之，在未来的几十年中，集成电路仍然将以硅材料技术为基础向前发展。同时新结构、新材料技术也将继续层出不穷，微电子学时代已开始走向纳电子乃至量子电子时代。

3 CMOS集成电路典型的工艺模块

通用的集成电路工艺模块在第3章已有专门叙述，这里着重叙述CMOS集成电路典型的工艺模块。

3.1 阱工艺结构

CMOS电路中包含PMOS和NMOS两种掺杂导电类型不同的器件结构。PMOS需要n型衬底，而NMOS需要p型衬底。在硅衬底上所形成的不同掺杂类型的衬底称为阱。阱由离子注入，然后热扩散形成。掺杂为n型的阱称为n型阱，掺杂为p型的阱称为p型阱。在同一硅圆片上形成n型阱和p型阱，称为双阱（Twin-well）。利用高能离子注入，不经过高温热扩散，直接在硅片中的某一深度上形成杂质分布，称为倒装阱。倒装阱的特点是不同阱之间横向扩散少，阱表面浓度较低，有利于器件特性的改善。

3.2 薄栅氧化

栅氧化膜是器件的核心。随着器件尺寸的不断缩小，栅氧化层的厚度也要求按比例减薄，以加强栅控能力，抑制短沟道效应，提高器件的驱动能力和可靠性等。但当栅氧化层的厚度降到2.0 nm及以下时，将会遇到一系列的挑战，如：栅的隧穿漏电流将会成指数规律急剧增加；硼穿透氧化膜进入导电沟道；多晶硅栅电极的耗尽及硅表面的量子效应不能忽略等等。为解决上述难题，在0.25 μm以下集成电路生产中，一般采用超薄氮化氧化栅介质代替纯氧化膜介质。氮的引入能改善SiO_2/Si界面特性，因为Si-N键强度比Si-H键，Si-OH键等大得多，所以可以抑制热载流子和电离辐射等所产生的缺陷。引入氮到氧化膜中的另一个重要优点是可以大大抑制PMOS器件中硼的穿透效应，提高阈值电压的稳定性及器件的可靠性。

掺入氮的方法有很多种，早期是氧化膜形成后，立即用NH_3退火，后来改进为在N_2O或NO中直接氧化，再以后发展为先形成氧化膜，然后在N_2O或NO中退火氮化。目前生产中，一般用NO退火，或等离子体氮化等方法。此外，为进一步提高栅介质特性，用氮化氧化硅和Si_3N_4膜构成叠层栅介质Si_3N_4/oxynitride（N/O）具有吸引人的优点：一是叠层的缺陷密度明显减少，（因为各层中微孔的不重合），防止了早期栅介质的失效；二是由于Si_3N_4薄膜的介电常数近似为SiO_2的2倍，所以在同样EOT下可以有2倍于SiO_2的物理厚度，这样大大改善了叠层栅介质的隧穿漏电流特性，以及抗B穿透的能力。

评价氮化氧化栅介质的主要参数有：膜厚、均匀性、零时间击穿（TZDB）、与时间相关的击穿（TDDB）、栅介质隧穿漏电流、表面态及缺陷密度、抑制硼穿透的能力等。

根据世界半导体工业协会的ITRS 2003年预测：当栅介质厚度进一步要求减小到1.0 nm及以下时，氮化氧化栅介质已很难满足器件性能要求，采用高k栅介质势在必行。目前研究较为普遍的有H_fO_2、ZrO_2等，但要实际应用还需解决一些难题，如界面问题、可靠性及工艺相容性问题等。

3.3 非均匀沟道掺杂

当栅长小于0.1 μm时，为控制短沟道效应最初的努力是提高衬底掺杂浓度（$>10^{18}/cm^3$），但引发一系列问题，如：阈值电压升高，结电容增加，载流子有效迁移率μ_{eff}下降，结果使电路速度下降，电流驱动能力降低。另一方面，当器件尺寸减小时，电源电压也下降。这要求合适低的阈值电压，要求降低衬底掺杂浓度，但这又引发短沟道效应，为解决上述这对矛盾，必须设计一种既具有低阈值电压，又具有高的抗短沟道效应的沟道掺杂剖面结构。这种结构其表面为低杂质浓度层，体内为高杂质浓度区。也就是说，沟道区纵向杂质分布是非均匀的。这种非均匀沟道剖面结构的形成有以下几种方法：

1）在高浓度衬底上选择外延生长低杂质浓度沟道层，即delta沟道剖面。这种方法能获得低的阈值电压，高的迁移率和高的抗穿通电压，但寄生结电容和耗尽层电容大。

2）低掺杂浅注入表面区加高掺杂防穿通注入区（即两步注入），如NMOS采用$^{47}BF_2$注入（浅注入）+^{11}B注入（深注入），PMOS采用As^+注入（浅注入）+^{31}P注入（深注入）

3）超陡的倒掺杂沟道剖面（SSR），这种超陡的倒掺杂剖面可以获得较理想的低的沟道表面浓度（约$5\times10^{16}\sim2\times10^{17}/cm^3$），能获得适当低的阈值电压，与低的$V_{DD}$相匹配，同时克服$\mu_{eff}$的衰减，；其次是具有极好的抗短沟道效应的能力，这是因为沟道下面的次表面有一高的体浓度所致。例如，对NMOS采用^{121}In + ^{11}B注入，对PMOS采用^{125}Sb + ^{31}P注入。这是因为In和Sb的原子量大，同时扩散系数小，能形成非常窄的、超陡的掺杂剖面之故。

3.4 栅电极材料

自从20世纪70年代多晶硅栅电极取代Al栅30多年以来，掺杂多晶硅一直在CMOS工业生产中占据着统治地位，做出了重大的历史性贡献。在正常的CMOS技术中，对NMOS和PMOS一般都采用重掺杂磷的n^+多晶硅作为栅电极的材料。这时，NMOS为表面沟器件，但是PMOS为埋沟器件。但当器件沟道尺寸降到0.35 μm及以下时，埋沟PMOS器件的关态漏电流大到不能接受，为此，必须把PMOS也制造成表面沟器件，以克服上述缺点，即PMOS采用p^+多晶硅作为栅材料。这一改变会带来如下的问题：①工艺变得复杂，成本提高；②p^+多晶硅B掺杂易引起B穿透栅氧化层进入硅导电沟道，致使PMOS阈值电压正向漂移，器件可靠性下降。后者可用氮化栅介质的方法或引入高k介质，以增加栅介质物理厚度，从而克服B的穿透效应。然而，当器件尺寸缩小时的另一个问题是：窄线宽的掺杂多晶硅栅的电阻偏高，采用难熔金属硅化物/多晶硅的复合栅结构（称为POLYCIDE结构）可以解决这一问题。它的薄层电阻比掺杂多晶硅小4~6倍。在亚微米技术中，通常采用WSi_x多晶CIDE结构。在深亚微米CMOS技术中，不再使用WSi_x/多晶；Si结构，而采用$TiSi_2$或$CoSi_2$。这两种硅化物比WSi_x有更低的电阻率，而且由于Ti或Co硅化物都可采用自对准工艺，它们能同时在源、漏和栅上形成$TiSi_2$或$CoSi_2$。这种自对准硅化物工艺使硅化的多晶硅有更低的薄层电阻，同时降低了S/D区的接触电阻和薄层电阻，大大提高了器件的电流驱动能力和速度。

当器件特征尺寸降到超深亚微米时，由于多晶硅栅线宽的进一步缩小和S/D结进一步变浅，加上多晶硅栅的耗尽效应和硅沟道表面层的量子效应，即使是自对准硅化物的多晶硅栅电极也不再满足要求，因此难熔金属栅电极应运而生。它的采用不仅极大降低了多晶硅栅的电阻，而且彻底消除了多晶硅栅的耗尽效应（多晶硅栅已不存在）和B穿透效应。已发表的金属栅有W/TiN、Mo/MoN_x等。难熔金属栅与高k栅介质的组合结构将会是下一代CMOS集成电路的首选。

3.5 源漏工程与浅结形成

MOS器件中的源、漏区不是单一的p–n结。在实际的器件中，源漏区结构是一个复杂的关联体，并经历了一个发展变化过程（图3.4-24）。

1）轻掺杂漏结构（LDD） 随着器件尺寸的减小，需要更薄的栅介质和更高的沟道掺杂，这都导致漏极附近的电场强度迅速增加，该电场施加在流经漏极的载流子上，使之获得较高能量成为热载流子，越过SiO_2/Si间的势垒注入到栅介质中，从而引起器件的不可靠，降低其工作寿命，该现象称为热载流子效应。为克服这一效应，早期对源漏结构进行的改革是轻掺杂漏结构（LDD），它的特点是在漏极靠近沟道区的位置上形成一低掺杂区，以降低漏极峰值电场强度，使漏极最大电场强度向漏端移动，远离沟道区，以削弱热载流子效应，增强器件的可靠性。同时LDD器件的击穿电压提高，覆盖电容减小，有利于速度的提高。但这种器件由于LDD区产生串联电阻的引入，使其电流驱动能力下降，下降幅度一般<8%。

2）超浅源漏延伸区结构 源漏延伸区结构是从LDD结构发展而来的。随着器件尺寸的进一步减小，虽然漏极电场也增加，但该电场加速的路程也随之减小，因而热载流子效应退居次要位置，而短沟道效应成为首要问题。由于源漏延伸区与沟道直接相连接，它的结深和横向扩展对短沟道效应具有极其重要的影响，同时它的等效串联电阻对器件驱动电流大小也产生重要影响。故源漏延伸区比LDD结构需要更浅的结深和更高、更陡峭的掺杂浓度。

在0.1 μm CMOS器件中必须采用超浅的高掺杂浓度的源漏延伸区结构，其目的是抑制短沟道效应，获得低的S/D串联电阻，同时与深的S/D结相结合以实现硅化物自对准工艺，而不增加结漏电。

高表面浓度、超浅延伸区结形成方法有多种，主要有：固相扩散（SPD），通过SiO_2（Cap）注入再快速热退火（RTA），低能注入，预无定形注入加低能注入再RTA，等离子浸润等方法。其中低能注入是大生产中普遍采用的方法，但是需要专门的昂贵的注入设备。预无定形注入加低能注入也是人们青睐的制备超浅结的方法。因为预无定形注入有效地抑制了离子注入的沟道效应，便于实现浅结。同时利用无定形注入层在退火时产生的固相外延生长，对消除损伤、抑制TED、获得浅结有利。无定形注入离子一般选择重离子为宜，常用的有In、Sb、Ge、As、F等，早期有用Si的，效果不好。同样能量下，离子质量越大、越重，形成无定形层所需的剂量就越低，这样损伤少，对减小漏电有利。源漏延伸区的结深不但要求纵向结浅，也要求横向杂质扩散小，以更好地改善短沟道效应和抑制源/漏穿通效应。为此，有晕圈反型杂质掺杂结构（Halo注入）和大角度注入反型杂质掺杂结构（Pocket注入）。Halo掺杂实为双注入LDD结构，n^- LDD区周围环绕一个p^-区（Halo区），p^-区周围环绕一个n^-区（Halo区）。Pocket注入掺杂实为大角度倾斜旋转注入，一般以多晶硅栅和S/D作自对准掩蔽。它比Halo注入有更小的结电容，有利于速度的改善。因为它只环绕LDD区和S/D区邻接处，这样不增加n^+和p^+ S/D区下的杂质浓度。

图3.4-24 源漏工程的工艺流程和热载流子效应的示意图

3.6 难熔金属自对准硅化物

硅化物（Silicide）是硅与难熔金属形成的化合物，采用自对准的硅化物工艺能有效地降低源、漏和栅上的接触电阻和串联电阻。用于自对准硅化物的常见难熔金属有钛（Ti）、钴（Co）、铂（Pt）、镍（Ni）等，对应的硅化物为$TiSi_2$、$CoSi_2$、$PtSi_2$、NiSi等。硅化物的形成有两种，一种是通过PVD或CVD直接淀积硅化物，早期用这种方法形成Polycide结构，以降低栅电阻；另一种是先淀积难熔金属，然后再反应形成硅化物，这种技术是目前处于主流地位的自对准硅化物技术（SALICIDE），它是在栅、源、漏上同时自对准形成硅化物（图3.4-25）。

图3.4-25 自对准硅化物工艺

自对准硅化物的应用分几个阶段：最早应用的为$TiSi_2$，因为它的电阻率低，稳定性好，结漏电小，在0.5~0.35 μm的CMOS技术中得到了十分广泛的应用。但随着器件尺寸降到0.25 μm以后，由于$TiSi_2$低阻相C_{54}成核困难，限制了C_{49} Ti_xSi_x高阻相向低阻相C_{54} $TiSi_2$的转移，而且在相转移发生前就产生凝聚效应，即随多晶硅线宽的减小和Ti厚度的减薄，$TiSi_2$的电阻急剧上升，即所谓的窄线宽效应，严重地影响电路性能，所以人们寻求用$CoSi_2$来替代$TiSi_2$。$CoSi_2$没有窄线宽效应，因为它的晶粒比$TiSi_2$小10倍，有高的热稳定性，而且因为其边缘效应随多晶硅线宽的增加而减小，$CoSi_2$薄层电阻反而下降，因而受到人们的青睐。为改善$CoSi_2$的性能，人们开发了Co/Ti、TiN/Co等改进的工艺，以减小表面自然氧化物的影响、减小Co对Si的消耗和改善界面特性。但当器件尺寸减小到50 nm及以下时，为进一步降低薄层电阻，减小硅的消耗，获得低的接触电阻和减小应力，NiSi自对准工艺引起人们的重视。特别是与$CoSi_2$相比，形成NiS时硅的消耗只有$CoSi_2$的80%，它的形成温度低（400~550℃），而且一步RTA就能完成硅化，工艺相对简便。

但是NiSi和$CoSi_2$一样对Si表面污染很敏感，这会导致粗糙的界面和浅结高的漏电，实验表明，TiN覆盖层和掺N

能防止氧的污染，从而降低漏电和提高稳定性。

4　CMOS 电路的工艺集成

运用若干功能工艺模块和基本的晶体管工艺技术形成集成电路制造过程称为集成电路的工艺集成。

4.1　CMOS 工艺集成技术的类型

集成电路可分为很多种类，按器件结构：可分为双极（Bipolar），CMOS 和 BiCMOS；按规模，可分为小、中、大、超大（VLSI）、甚大（ULSI）和超甚大（GSI）规模（$>10^9$）集成电路；按电路功能，可分为线性集成电路、模拟集成电路和数模混合集成电路。按应用范围，可分为通用型和特种集成电路（ACIC）。

通用型集成电路依据规模的不同，采用不同的 MOS 工艺技术。例如中、小规模集成电路可使用微米级（5～1 μm）的铝栅双层互连 NMOS 工艺，大规模集成电路可使用亚微米级（0.8～0.5 μm）的硅栅 3～4 层互连 CMOS 工艺，超大规模的集成电路可使用深亚微米（<0.35 μm）硅栅 5 层以上互连的 CMOS 工艺。选择工艺技术的标准，由所设计电路的技术要求（速度、功耗、集成度等）和生产的工艺成本决定。技术水平越高的工艺，所需的工艺结构越复杂、工艺设备越昂贵、制作工序越长，所以总体成本越高。如完成一个 0.18 μm（8 英寸）硅栅 6 层 Cu 互连 CMOS 工艺需要 24 次光刻/刻蚀，约 310 道工序，40～60 天的时间，雇佣成本约 2 万～4 万美元/片。

CMOS 工艺是当今各类集成电路制作技术的核心，由它可衍生出不同的工艺。图 3.4-26 给出了典型的 CMOS 工艺的集成顺序和模块示意图，以及对应不同电路的变化。标准的 CMOS 工艺主要应用于高性能、低功耗的数字集成电路；CMOS + 浮栅 MOS 器件构成制作 E^2PROM、Flash RAM 的工艺；CMOS 和 Bipolar 技术结合可制作 BiCMOS 模拟电路（放大器、运算器等）；CMOS + 特殊的存储电容制作技术构成标准的 DRAM 工艺。

CMOS 工艺中 MOS 晶体管可构成所有的有源器件，诸如开关电路、放大器、驱动电路和无源器件等，如二极管、电阻、电容、电感等，需要采用不同的技术来制作，二极管可用 MOS 管中源漏区和衬底的 pn 结充当，电阻可用掺杂的硅、多晶硅、金属线制作，电容可用 MOS 电容、金属线间寄生电容制作。无源器件的制作一般集成在标准的 CMOS 工艺中。

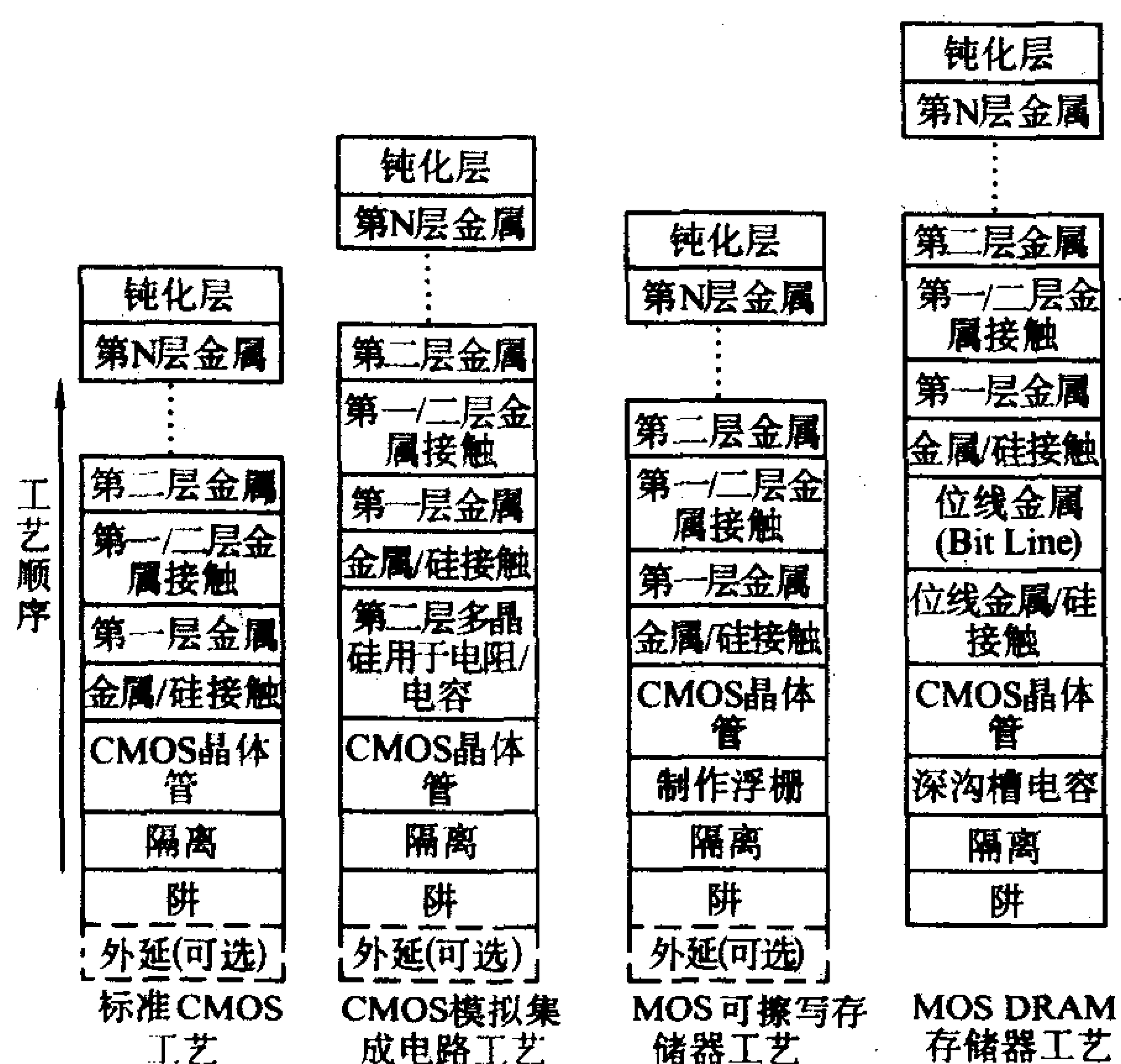


图 3.4-26　CMOS 工艺集成和对应不同电路的主要变化

4.2　深亚微米 CMOS 工艺流程

本节给出一个典型的深亚微米 CMOS 工艺流程例子，如图 3.4-27 所示，其中忽略了许多工艺细节，各家实际的集成电路生产过程也存在许多不同，具体工艺流程及工艺参数由电路功能的要求来选择。

为简化起见，图中只给出了 PMOSFET 沟道调节、S/D 延伸区以及 S/D 注入的示意图，对于 NMOSFET 相应的注入与之同理，只是对应于 P 阱区域。这里不再重复。

由图分析可以看出，整个 CMOS 工艺流程可以分成如下几个部分：

1）初始硅片准备　P 型重掺杂硅衬底上外延 P 型轻掺杂硅层或 P 型轻掺杂硅衬底，晶向（100）；

2）双阱形成　光刻 n-well 版→ n 型杂质注入→去胶，光刻 p－well 版→p 型杂质注入→杂质激活；

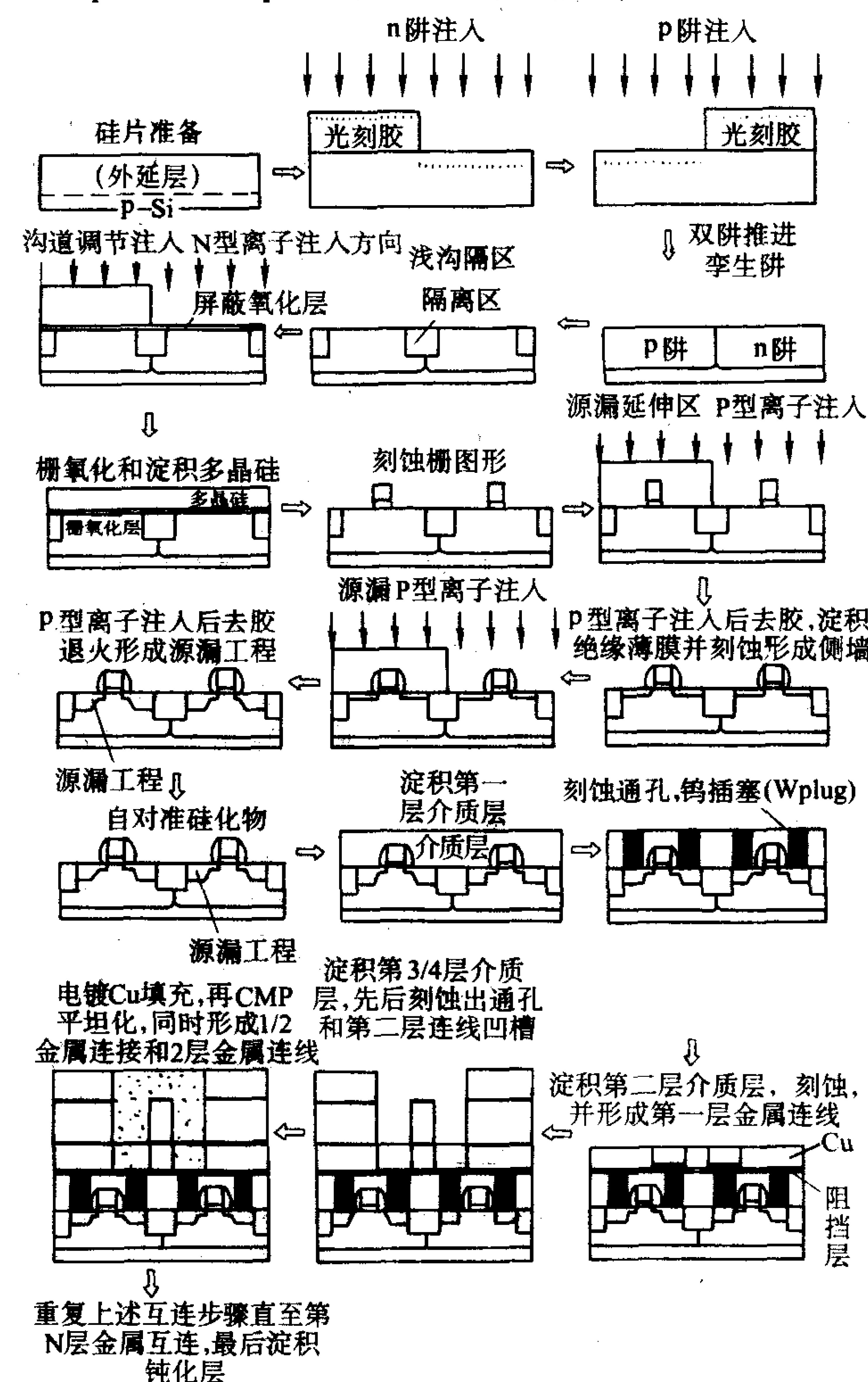


图 3.4-27　典型的 CMOS 工艺流程

3）浅沟隔离　光刻隔离版，并刻蚀沟槽→隔离注入→CVD 淀积二氧化硅和阻挡层→CMP 平坦化；

4）CMOS 器件形成　生长屏蔽氧化膜→光刻 p^- 版→PMOS 沟道调节注入→去胶，光刻 n^- 版，并 NMOS 沟道调节注入→除去胶和屏蔽氧化层，栅氧化和淀积多晶硅→刻蚀多晶硅，形成栅电极图形→光刻 p^- 版，并对 PMOS 进行 Halo/pocket 注入和源漏延伸区注入→光刻 n^- 版，并对 NMOS 进行 Halo/pocket 注入和源漏延伸区注入→TEOS SiO_2 淀积和各向异性刻蚀形成侧墙→光刻 p^+ 版，并对 PMOS 进行源漏重掺

杂注入→光刻 n^+ 版，并对 NMOS 进行源漏重掺杂注入→RTA 进行杂质激活→溅射 Ti 或 Co 或 Ni 等难熔金属，进行自对准硅化工艺

5) 多层互连（BEOL） 淀积 SiO_2 + BPSG，构成第 1 层层间绝缘物质→光刻 Via－1 版，形成第 1 层通孔→W Plug 工艺→淀积第 2 层层间介质/阻挡层→光刻 Line－1 版，形成第 1 层连线凹槽→电镀 Cu 填充，CMP 平坦化形成 1 层金属连线→淀积第 3 层层间介质/阻挡层→光刻 Via－2 版，形成第 2 层通孔→淀积第 4 层层间介质/阻挡层，并刻蚀第 2 层连线凹槽→电镀 Cu 填充，CMP 平坦化，同时形成 1/2 层金属接触、第 2 层金属连线→重复上述过程直至第 N 层金属连线→PECVD SiO_2/Si_3N_4 钝化层保护。

6) 后道封装工艺。

4.3 MOS 存储器技术

MOS 存储器（Memory）技术是 CMOS 工艺的一个重要应用。MOS 存储器分为固态存储器（ROM），随机存储器（RAM）和非挥发（Non－volatile）存储器（如 Flash Memory、MRAM 等）。固态存储器（ROM）中的内容不可更改，目前应用较少；随机存储器的特点是在正常的工作条件下可随时更改存储的内容（掉电后丢失内容），目前是应用的主流；非挥发（Non－volatile）存储器中的内容在掉电的情况下一般不会丢失，需要在特定条件下进行更改，此类技术已成为目前存储器技术的热点，具有广泛的发展前景，与 RAM 相比的缺点是容量相对较小，成本较高。

随机存储器分为静态随机存储器（SRAM）和动态随机存储器（DRAM）两类，SRAM 完全由 MOS 管构成，存储内容稳定，不掉电不丢失；而 DRAM 由 MOS 管和电容构成，需要不停的刷新才能保持存储内容的稳定。典型的 DRAM 存储单元电路如图 3.4-28 所示，包括一开关晶体管和一存储电容，字线通入选择控制信号，位线写入和读出“信息”，“信息”由存储电容的高低电平表示。完整的 DRAM 电路还需要地址选择器、电容刷新电路、输入/输出灵敏放大器、接口驱动电路等部件，在此略去。由于 DRAM 结构简单，因而在相同面积下，存储容量巨大，是目前最主要的存储器。

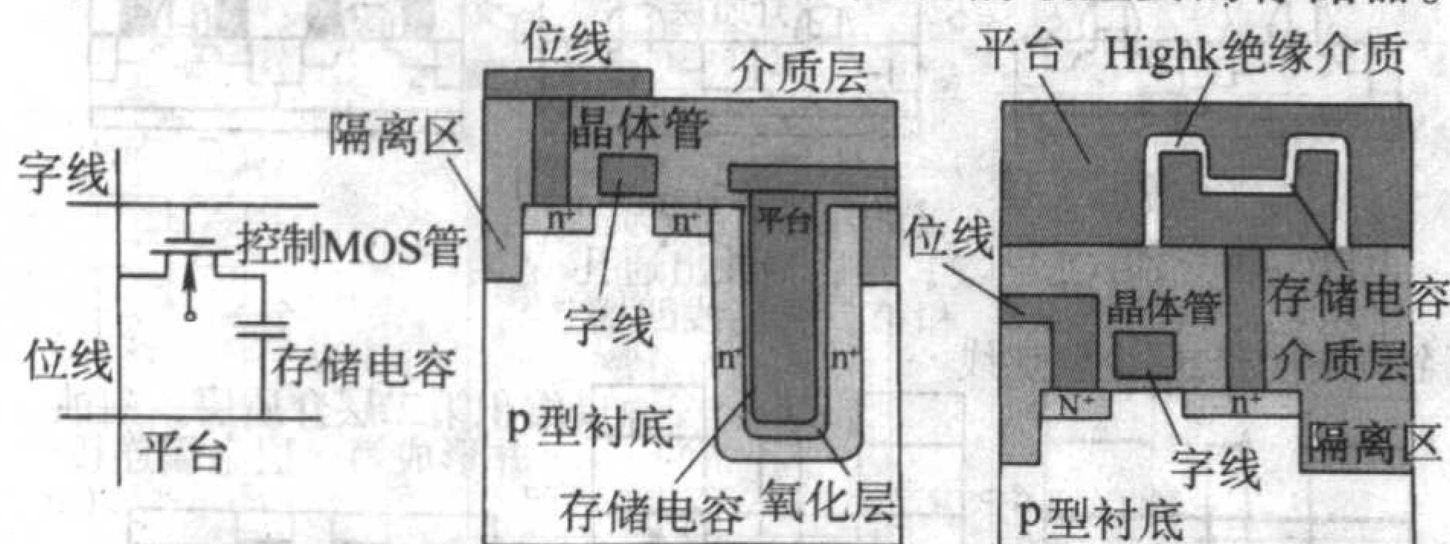


图 3.4-28 DRAM 电路图示和沟槽与堆积两种实际电容结构

DRAM 工艺的关键是如何提高存储容量，焦点是在减少器件面积的同时，保持或提高单位面积下的电容存储电荷量，即增加电容数值。目前有两种方法应用于 DRAM 中的电容结构，一是深沟槽（Trench）电容，一是堆积（Stack）电容，如图 3.4-28 所示。两者的目的都是在纵向上发展增加单位平面面积下的电容总面积，所用介质层为 High－k 物质，同样是增加电容数值。DRAM 的基本工艺流程已在图 3.4-26 中列出。

5 CMOS 集成技术的发展

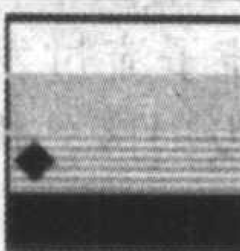
平面 CMOS 技术遵循等比例缩小的原则，其特征尺寸从 20 世纪 50 年代初期的约 125 μm 进化到现在的 0.13 μm，在集成电路工业大生产中获得了巨大的成功。由于 40 多年的近万亿计的投入，其产业能力和技术积累决定了 21 世纪的微电子技术仍将以硅为主流。当前研究集成电路基础技术的目标在于获得更高的单元集成度、更高的电路速度、更低的单位功能的功耗和单位功能成本。实现上述目标的主要途径是不断缩小器件与连线尺寸的 CMOS 技术。正是由于晶体管特征尺寸的减小，可以带来集成电路密度和性能上的提高以及分摊在单元功能上成本的下降，因此自集成电路诞生之日起，半导体产业的竞争就始终聚焦在加工尺寸的微细化上。“摩尔定律”预言并诠释了这一激烈的竞争过程，平均每 18 个月就在同样面积芯片上将晶体管数量提高一倍。器件特征尺寸越小，在芯片上分布越密，芯片的速度就越会提高，这是因为通过电路的电信号传输距离更短了。同时减小了功耗，降低了成本。1997 年美国一位半导体制造商在 203.2 mm (8 in) 硅片上将特征尺寸从 0.35 μm 降到 0.25 μm，他们就能使每个硅片上的芯片数由 150 个增加到 275 个，即几乎以相同的制造成本在每个硅片上生产两倍的芯片。这种成本的成倍降低得益于特征尺寸的减小。

为了优化电学性能，所有尺寸都必须同时按比例缩小，包括纵向和横向两个方向。目前，市场上 Intel 最先进的 PC 微处理器已采用 90 nm 生产工艺制作，对应器件栅长近 50 nm。半导体产业使用“技术节点”或“技术代”这一术语描述在硅片制造中采用的特征尺寸。据 2003 年美国半导体工业联合会（SIA）制定的著名半导体技术发展图（Roadmap）预测，在现有的框架下进化到 90 nm 技术节点困难不大，其对应的物理栅长度为 37 nm。但在 90 nm 技术节点以下的主流 CMOS 技术将面临越来越大的挑战。这些技术挑战主要表现在器件的某些参量，如电源电压和阈值电压的不可等比例缩小造成的困难（如严重的短沟道效应，过大的关态漏电流，I_{on} 减少，总功耗过大）和基础工艺的限制：如光刻、超薄栅介质、超浅结、低阻互连等都逼近了工艺技术的极限，面临着难以逾越的壁垒。传统 CMOS 技术若不能设法克服工艺技术和本身结构特点的限制，集成电路将无法继续按比例缩小下去，因此必须寻找可能的途径来解决问题。为达到 ITRS 预期的目标，现在的研究工作主要分近期目标、远期目标两个方面展开。其中近期目标有两条道路可以选择：一条是依靠新结构、新材料的导入和应用来延续“硅基时代”，世界著名的大学和研究机构及各大公司纷纷加入了这一领域的角逐，其中著名的有：伯克利的 FinFET；超薄体 SOI 器件；贝耳实验室的垂直晶体管；英特尔的 Tri－Gate MOSFET；源漏工程器件；迁移率增强器件等，存在的问题是作为甚大规模集成电路的基础元件，器件性能、可靠性和工艺技术的可实用化等还有很长的路要走。另一条是沿着传统按比例缩小的途径继续前进，力求在 栅长 15～50 nm 平面 MOS 器件设计和关键技术方面获得新突破，以缓解物理和技术限制，即尽可能地延长摩尔定律的寿命，以期满足近 10～20 年内工业大生产发展的迫切需要。比较突出的有：AMD 的 15 nm 栅长平面 NMOS 器件（2001 年 12 月）和英特尔的 15 nm 栅长平面 NMOS 器件（2003 年 7 月）。尽管器件性能还不太好，但已表明采用传统平面型 MOS 器件结构来实现栅长 10～20 nm 器件乃至电路是可能的。出于在国际前沿力争拥有自主知识产权的目的，沿着这条道路，2003 年 1 月中国科学院微电子研究所在国内首次研制成功了高性能栅长 27 nm 和 EOT 1.4 nm CMOS 器件及栅长 36 nm CMOS 32 分频器电路。“栅长 27 nmCMOS 器件”表示该 CMOS 器件的物理栅长度（即多晶硅栅线条的宽度）为 27 nm。为估量这一尺寸，先假定人头发的直径约为 0.09 mm，27 nm（即等于 0.000 027 mm）则比人的头发的直径小 3 333 倍之多。这么微小尺寸的 CMOS 器件为抑制其严重的短沟道效应和漏引起的势垒降低效应以获得理想的器件性能已成为亚 30 nm CMOS 技术研究的焦点。同时这么微细尺寸的栅图形的形成技术本身也是一个非常严峻的挑战。而且在器件横向尺寸缩

小的同时，其对应的纵向尺寸也要同时按比例缩小，例如作为 CMOS 器件核心的栅介质厚度必须大大减薄。目前栅长 27 nmCMOS 器件的等效栅介质厚度减薄到了 1.4 nm，即小于 5 个原子层厚度。栅压施加在如此之薄的绝缘层上如何保证优良的性能又是一个非常严峻的挑战。另外诸如超浅结、精巧的沟道掺杂剖面设计、低阻互连等技术都面临着同样严峻的挑战。所以亚 30 nmCMOS 器件的研制是国际上正在开展的前沿性器件探索研究，至今并无定格的公认结构和工艺规范，尚处于百家争鸣的知识创新和产权竞争中，表 3.4-2 为半导体工业发展的预测。

表 3.4-2　半导体发展预测　（2003）

年份	2003	2004	2005	2006	2007	2010	2013	2016	2018
DRAM 1/2 pitch 长度/nm	100	90	80	70	65	45	32	22	18
MPU printed 栅长/nm	65	53	45	40	35	25	18	13	10
MPU physical 栅长/nm	45	37	32	28	25	18	13	9	7
Tox/nm	1.3	1.2	1.1	1.0	0.9	0.7	0.6	0.5	0.5
平均 V_{DD}/V	1.2	1.2	1.1	1.1	1.1	1.0	0.9	0.8	0.7
NMOS 最大 $I_{on}/\mu A/\mu m$	980	1 110	1 090	1 170	1 510	1 900	2 050	2 400	2 190
NMOS 最大 $I_{off}/\mu A/\mu m$	0.03	0.05	0.05	0.05	0.07	0.1	0.3	0.5	0.5
剖面控制	> 89	90	90	90	90	90	90	90	90
源/漏延伸区结深/nm	24.8	20.4	17.6	15.4	13.8	7.2	10.4	7.2	5.1
源漏延伸区薄层电阻（PMOS）/（Ω/□）	545	663	767	833	884	1 875	514	549	584
寄生源/漏电阻（Rsd）/Ω·μm	180	180	180	171	162	135	107	79	60
沟道平均浓度（Vt = 0.4）/ cm^{-3}	1.5-2.5 E18	1.5-2.5 E18	1.5-2.5 E18	2.0-4.0 E18	2.5-5.0 E18	NA	NA	NA	NA
最大接触电阻率/$\Omega \cdot cm^2$	1.93 E-7	1.62 E-7	1.44E-7	1.2E-7	1.05E-7	6.08E-8	1.71E-8	8.69E-9	5.4E-9


白色——制造方法已存在，正在优化
黄色——制造方法是知道的
棕色——过渡性的方法是知道的
制造方法不知道

如上所述，进入超深亚微米领域以后，传统的 CMOS 技术将会在器件物理、工艺技术、加工设备等各个方面面临严峻的挑战。为了克服这些困难，进一步拓展摩尔定律的应用领域，近期目标是研究新结构、引入新材料、新工艺，进一步拓展传统 CMOS 器件等比例缩小的能力；而远期目标是研究一种全新的信息处理方法，在 CMOS 技术的能力范围之外继续实现摩尔定律。据目前的估计认为，传统的 CMOS 器件工艺等比例缩小将在 2019 年结束于 16 nm 技术节点（物理沟道长度 7 nm）。一些根本的物理限制和器件的可制造性等实际的限制共同制约着器件尺寸的进一步等比例缩小。根本的物理限制包括持续、可靠的工作特性（sustaining viable transistor operation）以及将热涨落限制在可控制的范围内。以上两点是所有电学器件面临的共同问题。因此，目前面临的巨大挑战就是要发明、发展一种或者几种基于其他原理而不是电子电荷原理的技术，以便在 2019 年后拓展信息处理技术等比例缩小的能力。

这些全新的信息处理技术必须满足一些基本的要求，拥有一些特定的属性来证明其投资研发的必要性。首要的一点是，任何一种新的信息处理技术都必须满足下列条件：

1）能够在 CMOS 技术的能力范围之外进一步提高微电子技术的集成度，同时能够与 CMOS 平台兼容。这要求新技术满足下列若干条件：①能够在 CMOS 技术的能力之外实现集成度提高几个数量级；②信息处理速率高，数据吞吐量大；③单一功能的能耗明显小于 CMOS 技术；④单一功能缩小的成本最低；⑤在室温下工作。

2）提供一种能量复原的手段来支持稳定的运行（这一点在传统的器件当中是通过增益机制实现的）。

目前非 MOS 新结构器件的研究热点主要有共振隧穿器件、单电子器件、快速磁通量子器件、量子原胞自动机、纳米管等一维结构和分子器件等。学术界普遍认为直接采用量子效应、单电荷效应、光电效应和生物分子电效应的纳米电子学是未来电子学的必然继承者。

编写：徐秋霞（中国科学院微电子研究所）
钟兴华（中国科学院微电子研究所）

第 5 章　双极型器件及电路制造技术

双极集成电路，就是以双极晶体管作为有源元件的集成电路，它起源于 20 世纪 60 年代，是最早出现的一种集成电路。随着半导体材料和分离元件制造技术的不断进步，双极集成电路技术得到了迅速的发展，双极技术在集成电路中的应用也得到迅猛的增长。到了 70 年代，硅双极工艺形成了世界 IC 市场的基础。但是由于芯片集成度的不断提高，电路尺寸的迅速缩减，MOS 工艺渐渐取代了双极工艺成为硅集成电路的主要技术平台。这主要是因为与双极技术相比，MOS 器件制作工艺简单，易于缩减尺寸，成品率较高，非常适合数字电路的大规模集成。然而在 MOS 技术不断进步的同时，双极技术并未因为某些缺点而被淘汰，相反还取得了长足的发展，使其始终在 IC 领域占有一席之地。

双极器件是电子沿垂直方向渡越的器件，由于可以通过诸如扩散、离子注入和外延等工艺实现对电子渡越时间有影响的器件尺寸的精确控制，因而可以很容易制造出渡越时间短、截止频率 f_T 高的器件。另外，双极器件电压控制性及高跨导使得双极集成电路具有高速和极大的灵活性。所以在集成电路发展到巨大规模的今天，硅双极技术在一系列数字和模拟应用中依然具有相当大的吸引力。除了拥有高速性能以外，双极晶体管还因为拥有优良的模拟特性——高线性、极低的高频噪声和非常大的跨导而被人们认同，而这些优点正是许多射频应用中所急需的。另外，双极晶体管的电流驱动能力大，因此可以用来作为许多 IC 设计中的输入/输出极。双极晶体管的主要缺点是集成度低、功耗大，所以主要用于小规模（SSI）和中等规模（MSI）的集成电路中。

双极晶体管（BJT）由三个电极和两个 pn 结组成。在工作过程中，电子和空穴两种载流子都参与导电。由于有三个引出电极，因此人们习惯上又将双极晶体管称为三极管或晶体管。

晶体管的种类很多，按照其构成的半导体材料可分为硅管和锗管，按功率可分为小、中、大功率管，按照应用的频率可分为高频管和低频管等。

1　双极型半导体器件的结构和物理

1.1　双极型半导体器件的性质

双极型晶体管的两个 pn 结将半导体分为三个区域，这三个区域的排列顺序可以是 N－P－N 和 P－N－P 两种，因此双极型晶体管有 NPN 和 PNP 两种类型。图 3.5-1 示出了两种晶体管的结构和符号，其中箭头表示发射结电流方向。

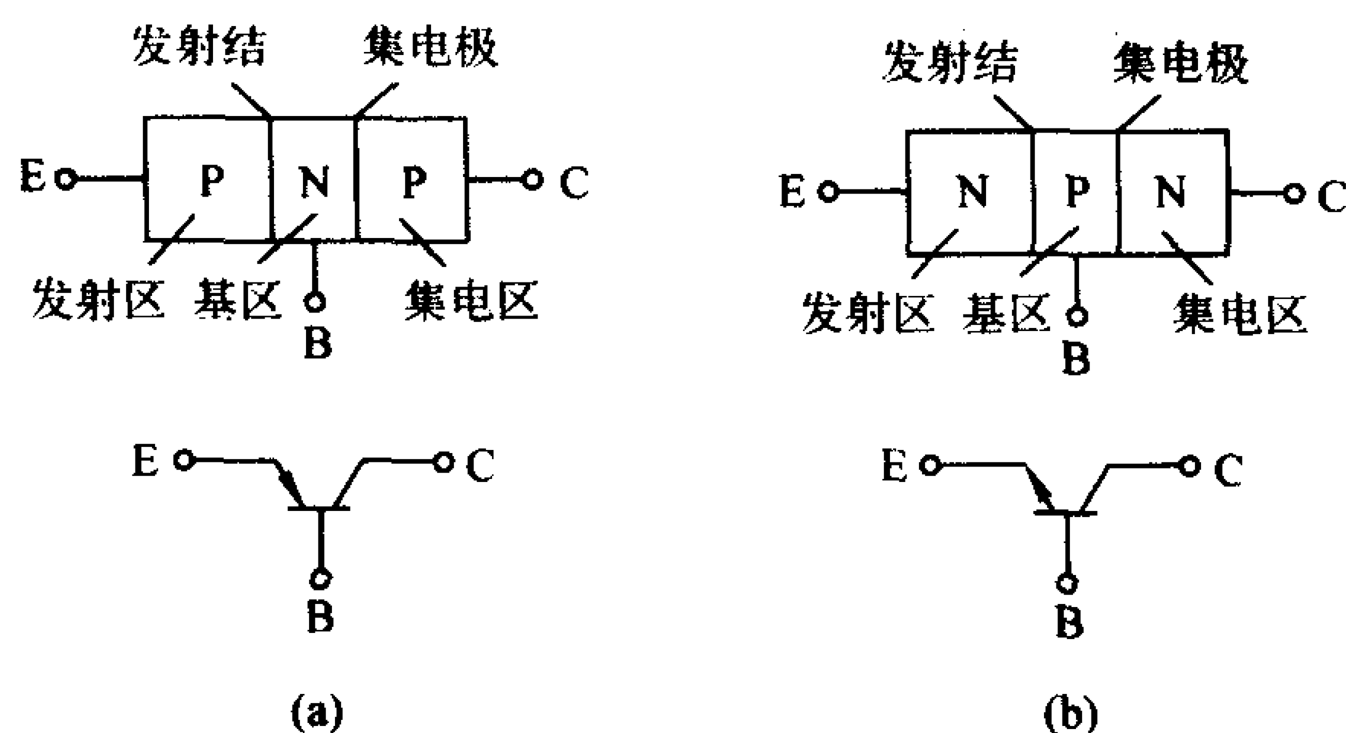


图 3.5-1　双极晶体管的基本结构和符号

在电子电路应用中，晶体管有共基、共射、共集三种基本电路组态。分析晶体管在工作状态下内部载流子的运动情况时，通常采用共基组态来分析。以 NPN 晶体管为例，图 3.5-2 示意出其共基组态的偏置情况：在晶体管的有源放大区，发射结被正向偏置，集电极被反向偏置，电流 I_E、I_C、I_B 正方向规定如图所示。

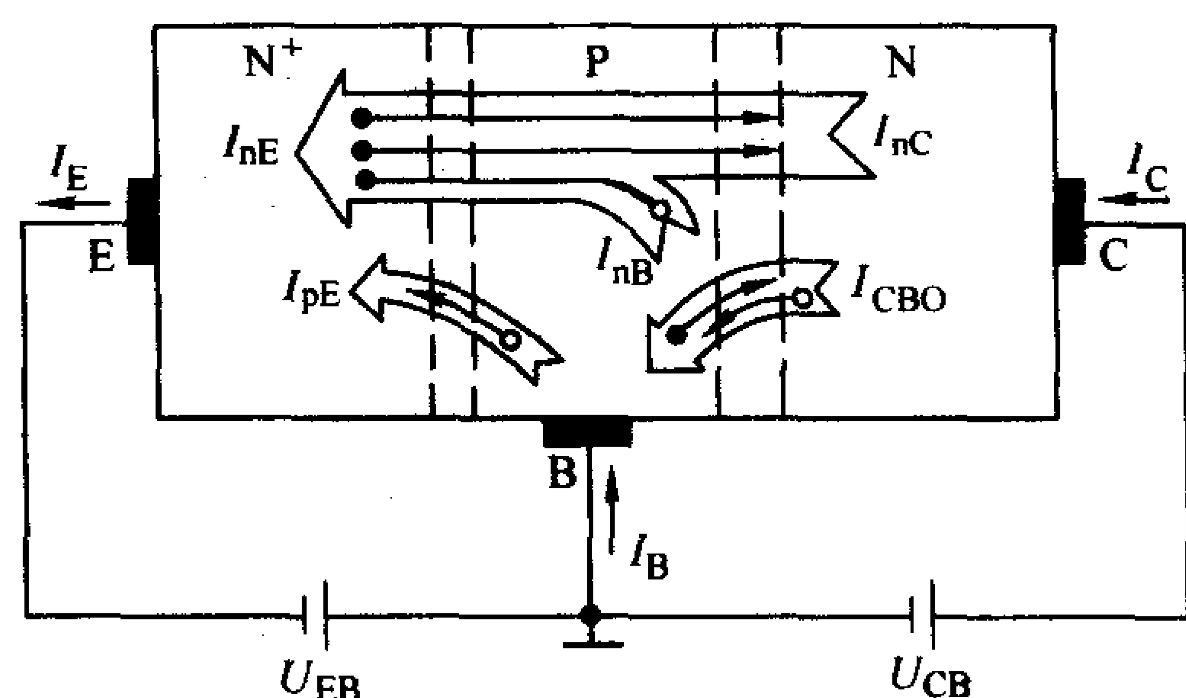


图 3.5-2　双极晶体管共基极电流的分配

在放大状态下，晶体管内部载流子的传输过程可以归纳为发射极的注入、基区中的输运与复合和集电区的收集。

1）发射极的注入　由于发射结正偏，使发射结宽度变窄，这时载流子的扩散运动占优势，高掺杂的发射区的大量电子注入到基区中，形成电子电流 I_{nE} 和空穴电流 I_{pE}，脚标 E 表示载流子流过发射结，I_{nE} 和 I_{pE} 电流方向一致，都是由基区指向发射区，构成发射极电流 I_E，即：

$$I_E = I_{nE} + I_{pE} \tag{3.5-1}$$

2）基区中的扩散和复合　注入到基区的电子，成为基区中的非平衡少子。由于发射区的掺杂浓度远高于基区，因此这些电子流在基区会形成很高的浓度梯度，在这种浓度梯度作用下，电子流向集电结方向扩散。在扩散过程中，由于基区很薄（基区宽度 W_B 远小于基区电子扩散长度 L_{nB}），所以除了有少部分的电子会与基区中的多子空穴复合形成基极复合电流 I_{nB} 以外，大部分电子到达集电结边界，并在集电结电场作用下，漂移到集电区形成集电极电子电流 I_{nC}。

3）集电区的收集　由于集电结处于反偏状态，集电结势垒区中电场很强，其方向是由集电区指向基区，因此，到达集电结边界的电子在此强电场的作用下，几乎全部收集到集电区中，形成集电极电流 I_{nC}。此外，在该强电场的作用下，集电区中的空穴将漂移到基区；基区中的电子也将漂移到集电区中，它们形成集电结的反向漂移电流 I_{CBO}，I_{CBO} 的方向同 I_{nC} 是一致的。所以，总的集电极电流 I_C 为

$$I_C = I_{nC} + I_{CBO} \tag{3.5-2}$$

由图 3.5-2 可知，晶体管基极电流 I_B 为

$$I_B = I_{nB} + I_{pE} - I_{CBO} \tag{3.5-3}$$

为了表示发射极电流对集电极电流的控制作用，引入了参数 α，定义为

$$\alpha = I_{nC}/I_E \tag{3.5-4}$$

α 称为共基极电流直流传输系数。它表示到达集电极的电子电流在总发射极电流中所占的比例。利用式（3.5-2）和式（3.5-4）可得

$$I_C = \alpha I_E + I_{CBO} \tag{3.5-5}$$

通过上述讨论可见，在众多的载流子流中间，唯有发射区中多子－自由电子通过发射结注入、基区扩散（和复合）和集电区收集（通过集电结漂移）三个环节将发射结电流 I_{En} 转化为集电结电流 I_{Cnl}，成为产生上述正向受控作用的载

流子流，其大小仅受正偏发射结电压的控制，而几乎不受反偏集电结电压的控制。而其他载流子流只能分别产生两个结的电流，不会转化为另一个结的电流，它们对于正向受控作用来说都是无用的，是晶体三极管的寄生电流。因此，为了减小寄生电流，保证受控载流子流的传输，在制造晶体三极管时必须满足下列条件。

发射结为不对称结，且发射区的掺杂浓度远大于基区的掺杂浓度（几十至上百倍），致使 $I_{En} \gg I_{Ep}$，以减少无用成分 I_{Ep} 在 I_E 中所占的比例。

1）基区宽度很小（μm 数量级），以保证基区中非平衡少子自由电子在向集电结扩散的过程中仅有极小部分被复合掉，绝大部分都能到达集电结。可见，基区的耦合作用是由其宽度很小而实现的。可以想象，若基区宽度大，则基区中的非平衡少子自由电子在扩散过程中绝大部分会被复合掉，不能到达集电结。这种情况如同两个彼此独立的 pn 结，失去了晶体三极管的正向受控作用。

2）集电结面积大于发射结，以保证扩散到集电结边界处非平衡少子全部漂移到集电区，形成受控的集电极电流。

总之，晶体三极管的正向受控作用是通过下述过程来实现的：发射结正偏电压控制 I_E（和 I_B），I_E（其中 I_{En}）通过注入、扩散、收集而转化为 I_C，这种转化几乎不受集电结反偏电压的影响。

电流传输方程（Current Transfer Equation）是指晶体三极管在上述正向受控过程中各极电流之间的关系式。晶体三极管为三端器件，作为四端网络时，必定有一个极作为输入输出端口的公共端点，如图 3.5-3 所示。因此，电流传输方程也是不同连接时输出电流与输入电流之间的关系式。

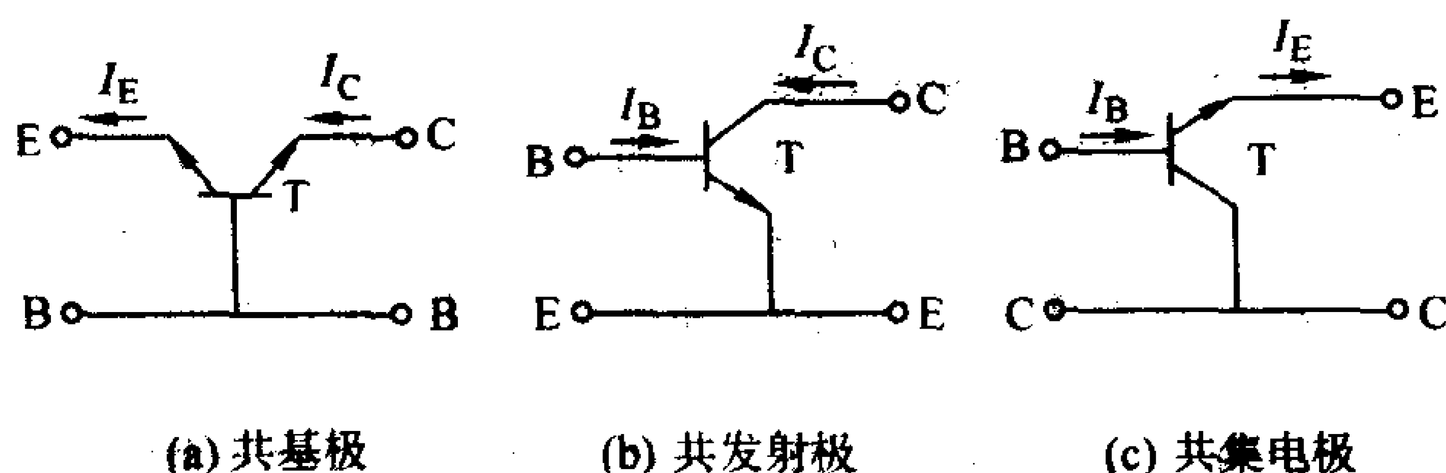


图 3.5-3 晶体三极管的三种连接方式

前述式（3.5-5）就是描述图 3.5-3a 所示共基极连接时输出电流 I_C 受输入电流 I_E 控制的电流传输方程。式中共基极电流传输系数 α（Common Base Current Transfer Coefficient）表示 I_E 转化为 I_{Cnl} 的能力。显然，其值恒小于 1，但十分接近于 1，一般在 0.98 以上，且在 I_E 的大变化范围内几乎保持恒值。

通常 I_{CBO} 很小，如对于硅管，其值为（$10^{-9} \sim 10^{-16}$）A，一般可以忽略，因而电流传输方程可以简化为

$$I_C \approx \bar{\alpha} I_E \qquad (3.5\text{-}6)$$

由于 $I_E = I_C + I_B$，将它代入式（3.5-5），经整理得到描述图 3.5-3b 所示共发射极连接时输出电流 I_C 受输入电流 I_B 控制的电流传输方程

$$I_C = \frac{\bar{\alpha}}{1-\bar{\alpha}} I_B + \frac{1}{1-\bar{\alpha}} I_{CBO} \qquad (3.5\text{-}7)$$

引入参数 $\bar{\beta}$ 和 I_{CEO}，分别定义为

$$\bar{\beta} = \frac{\bar{\alpha}}{1-\bar{\alpha}} \qquad (3.5\text{-}8)$$

$$I_{CEO} = \frac{1}{1-\bar{\alpha}} I_{CBO} = (1+\bar{\beta}) I_{CBO} \qquad (3.5\text{-}9)$$

将式（3.5-7）改写为

$$I_C = \bar{\beta} I_B + I_{CEO} \qquad (3.5\text{-}10)$$

式中，$\bar{\beta}$ 称为共发射极（简称共射或共发）电流放大系数（Common Emitter Current Gain），其值大于 1；I_{CEO} 是基极开路时（$I_B = 0$）的集电极电流，称为穿透电流。

通常 I_{CEO} 很小，上式可简化为

$$I_C \approx \bar{\beta} I_B \qquad (3.5\text{-}11)$$

将 $I_C = I_E - I_B$ 代入式（3.5-10），经整理后得到描述共集电极连接时输出电流 I_E 受输入电流 I_B 控制的电流传输方程

$$I_E = (1+\bar{\beta})(I_B + I_{CBO}) = (1+\bar{\beta}) I_B + I_{CEO} \qquad (3.5\text{-}12)$$

忽略 I_{CEO}，其近似表达式为

$$I_E \approx (1+\bar{\beta}) I_B \qquad (3.5\text{-}13)$$

$\bar{\beta}$ 表示 I_B 对 I_C 的控制能力，由于 $\bar{\alpha}$ 接近于 1，因此 $\bar{\beta}$ 值将远大于 1（例如，$\bar{\alpha} = 0.99$ 时，$\bar{\beta} = 99$）。这表明共发射极连接时晶体三极管具有电流放大作用，但也造成 $\bar{\beta}$ 离散性大的缺点。在制造晶体三极管时，它的结构尺寸（基区宽度、结面积等）和工艺参数（掺杂浓度等）均无法精确控制，$\bar{\alpha}$ 总会有些变化，尽管变化很小，但引起 $\bar{\beta}$ 的变化却很大。例如 $\bar{\alpha}$ 由 0.99 变化到 0.995（变化 0.5%）时，$\bar{\beta}$ 将由 99 变化到 199（变化 100%）。

再来讨论 I_{CEO}，它是基极开路（即 $I_B = 0$）时由集电极直通到发射极的电流，如图 3.5-4 所示。当基极开路时，加在集电极和发射极间的正值电压 V_{CE} 被分配到两个结上，即 $V_{CE} = V_{CB} + V_{BE}$。其中，V_{CB} 为正值（或 V_{BC} 为负值），集电结上加的是反偏；V_{BE} 为正值，发射结上加的是正偏，晶体三极管仍工作在放大模式，具有正向受控作用。至于 $I_B = 0$，等于 I_{CBO} 其值被放大 $\bar{\beta}$ 倍，再加上集电结本身的 I_{CBO}，因而

$$I_{CEO} = I_{CBO} + \bar{\beta} I_{CBO} = (1+\bar{\beta}) I_{CBO} \qquad (3.5\text{-}14)$$

显然，I_{CEO} 远大于 I_{CBO}。不过，在常温下，I_{CBO} 很小，因而 I_{CEO} 仍是一个小值，一般可忽略不计。

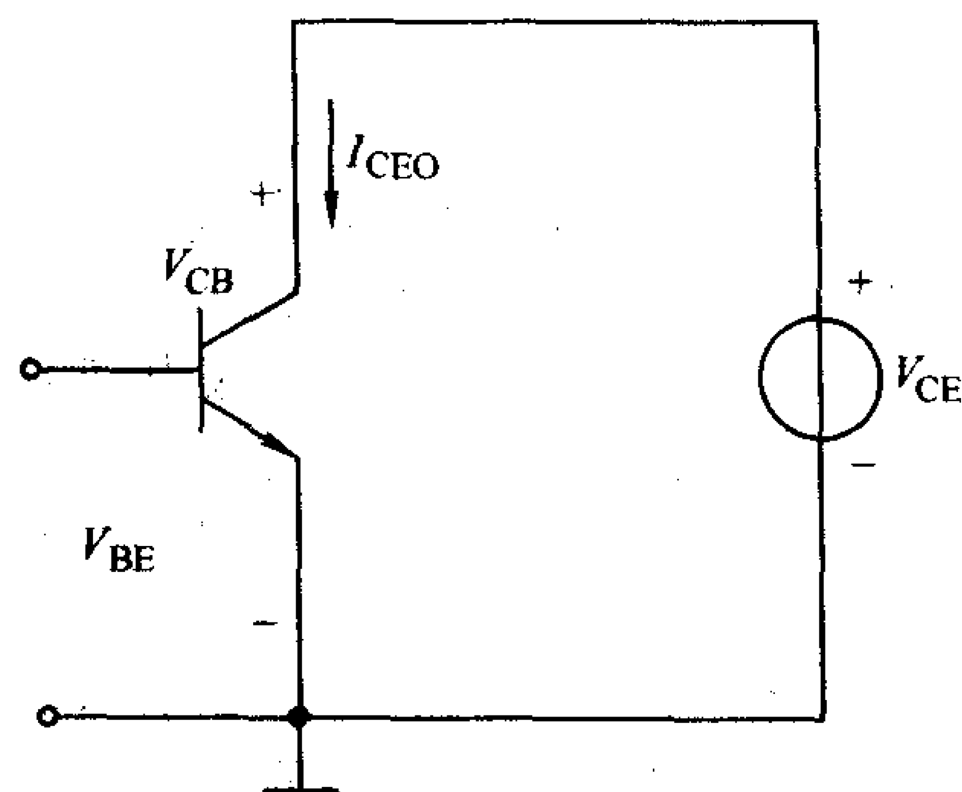


图 3.5-4 共射极基极开路的电路图

从上边的一些分析可以看出，在双极晶体管共基、共射、共集组态中，输入电流对输出电流具有控制作用，所以说双极晶体管是电流控制型晶体管。

1.2 晶体三极管的伏安特性曲线

晶体三极管伏安特性的理论曲线可以根据埃伯尔斯－莫尔方程直接画出来。但是考虑到中性区所固有的体电阻、制造工艺上的离散性以及其他的寄生影响，实际的伏安特性曲线将偏离理论曲线。因此一般都采用实验方法逐点描绘出来或者用专用的晶体三极管伏安特性曲线图示仪直接在荧光屏上显示得到。

晶体三极管为三端器件，作为四端网络，它的每对端口均有两个变量（端电压和电流），总共有四个端变量。因而要在平面坐标上表示晶体三极管的伏安特性，就必须采用两组曲线族。其中采用最多的两组曲线族分别是输入特性曲线族和输出特性曲线族。前者是以输出电压为参变量，描述输

入电流与输入电压之间关系的曲线族；后者是以输入电流（或电压）为参变量，描述输出电流与输出电压之间关系的曲线族。由于晶体三极管不同连接时有不同的端电压和端电流，因此，也就有不同的伏安特性曲线。下面将以其中应用最广的共发射极连接来介绍晶体三极管的伏安特性曲线。

图3.5-4所示即为晶体三极管接成共发射极连接，相应的输入特性曲线族和输出特性曲线族分别为

$$I_B = f_{1E}(V_{BE}) \mid V_{CE} = 常数 \quad (3.5\text{-}15)$$

$$I_C = f_{2E}(V_{CE}) \mid I_B = 常数 \quad (3.5\text{-}16)$$

实际上，在某些应用场合下，还可能需要其他形式的特性曲线。不过这些特性曲线都可以从上述输入和输出特性曲线转换得到。例如，以 V_{BE} 为参变量、I_C 随 V_{BE} 变化的输出特性曲线族；以 V_{CE} 为参变量、I_C 随 V_{BE} 变化的转移特性曲线族；以 V_{CE} 为参变量、I_C 随 I_B 变化的电流放大特性曲线族等。

（1）输入特性（Input Characteristics）曲线族

实测的输入特性曲线族如图3.5-5所示。由图可见，曲线形状与晶体二极管伏安特性曲线相类似，不过，它与 V_{CE} 有关。当参变量 V_{CE} 增大时，曲线将向右移动。

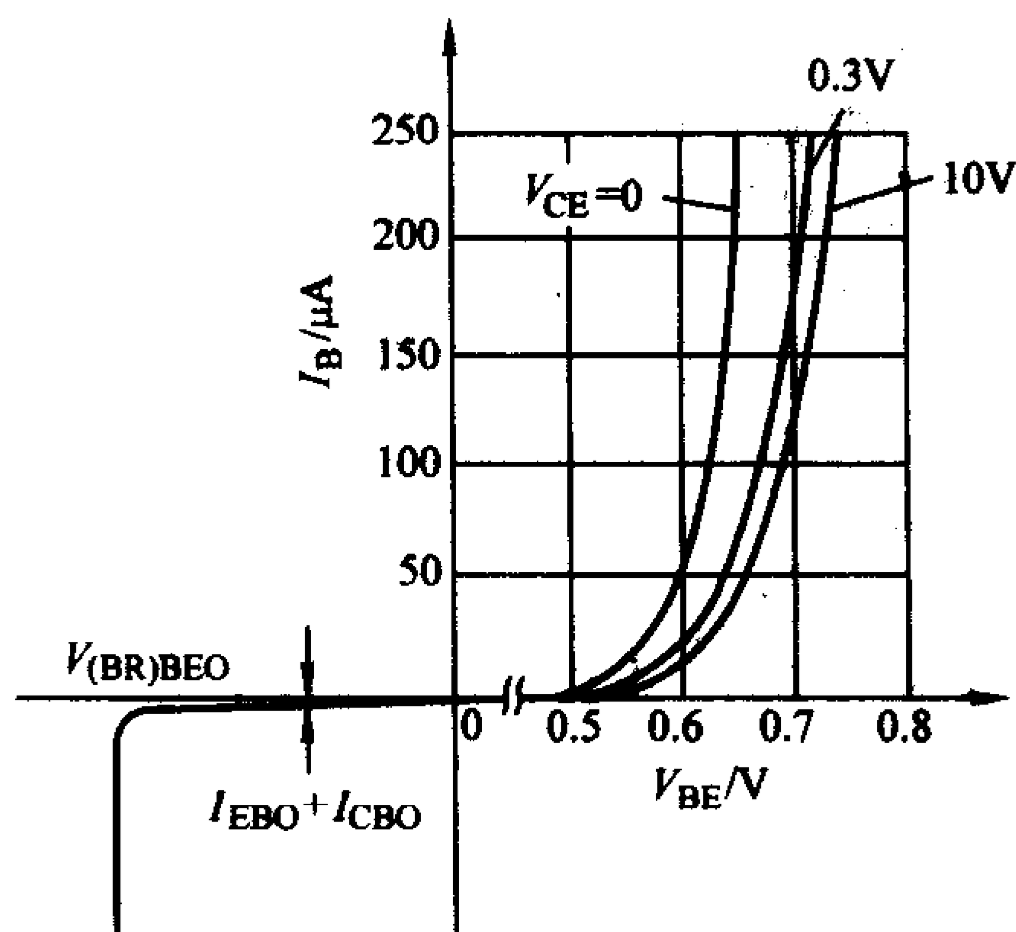


图3.5-5　共发射极输入特性曲线族

或者说，当 V_{BE} 一定时，随着 V_{CE} 增大，I_B 将相应减小。其中，V_{CE} 在0～0.3 V范围内变化时，集电结为正偏，晶体三极管工作在饱和模式，因而，当 V_{BE} 一定时，V_{CE} 自0.3 V减小到0 V时，集电结正偏电压增大，饱和加深，导致 I_B 迅速增大，或者说，曲线向左移动较大。当 $V_{CE}>0.3$ V时，集电结反偏，晶体三极管工作在放大模式，I_B 几乎不随 V_{CE} 而变化。实际上，V_{CE} 增大时，I_B 略有减小，或者说，曲线略向右移动。现将其作用解释如下。

共发射极连接时，$V_{CE}=V_{CB}+V_{BE}$，其中发射结正偏，V_{BE} 约在0.7 V附近变化，因此 V_{CE} 中的大部分电压都加在集电结上，当 V_{CE} 增大时，集电结上反偏电压 V_{CB} 增大，导致集电结阻挡层宽度增大，结果是基区的实际宽度 W_B 减小，如图3.5-6所示。因而，由发射区注入的非平衡少子电子在向集电结扩散过程中与基区中多子空穴复合的机会减小，从而使 I_B 减小。通常将 V_{CE} 引起基区实际宽度变化而导致电流变化的效应称为基区宽度调制效应（Base－Width Modulation Effect）。

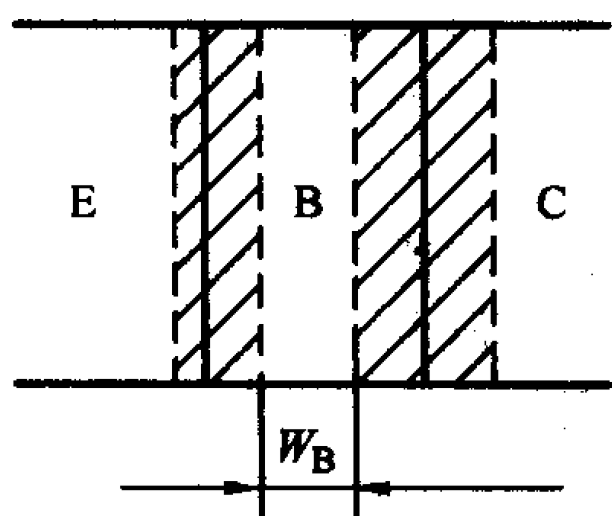


图3.5-6　基区宽度调制效应

显然，相对于 I_B 随 V_{BE} 的变化来说，V_{CE} 通过基区宽度调制效应引起 I_B 的变化毕竟是第二位的。因此，在工程分析时，晶体三极管工作在放大模式下（$V_{CE}>0.3$ V），可以不考虑这种影响，近似认为输出特性曲线是一条不随 V_{CE} 而移动的曲线。

当发射结为反偏时，基极反向饱和电流很小。但当 V_{BE} 向负值方向增大到 $V_{(BR)BEO}$ 时，发射结击穿，基极反向电流迅速增大。$V_{(BR)BEO}$ 称为发射结反向击穿电压（Emitter Reverse Breakdown Voltage），其值在－6 V左右。

（2）输出特性（Output Characteristics）曲线族

实测的输出特性曲线族如图3.5-7所示，根据外加电压的不同，整个曲线族可划分为四个区：即放大区、截止区、饱和区和击穿区。

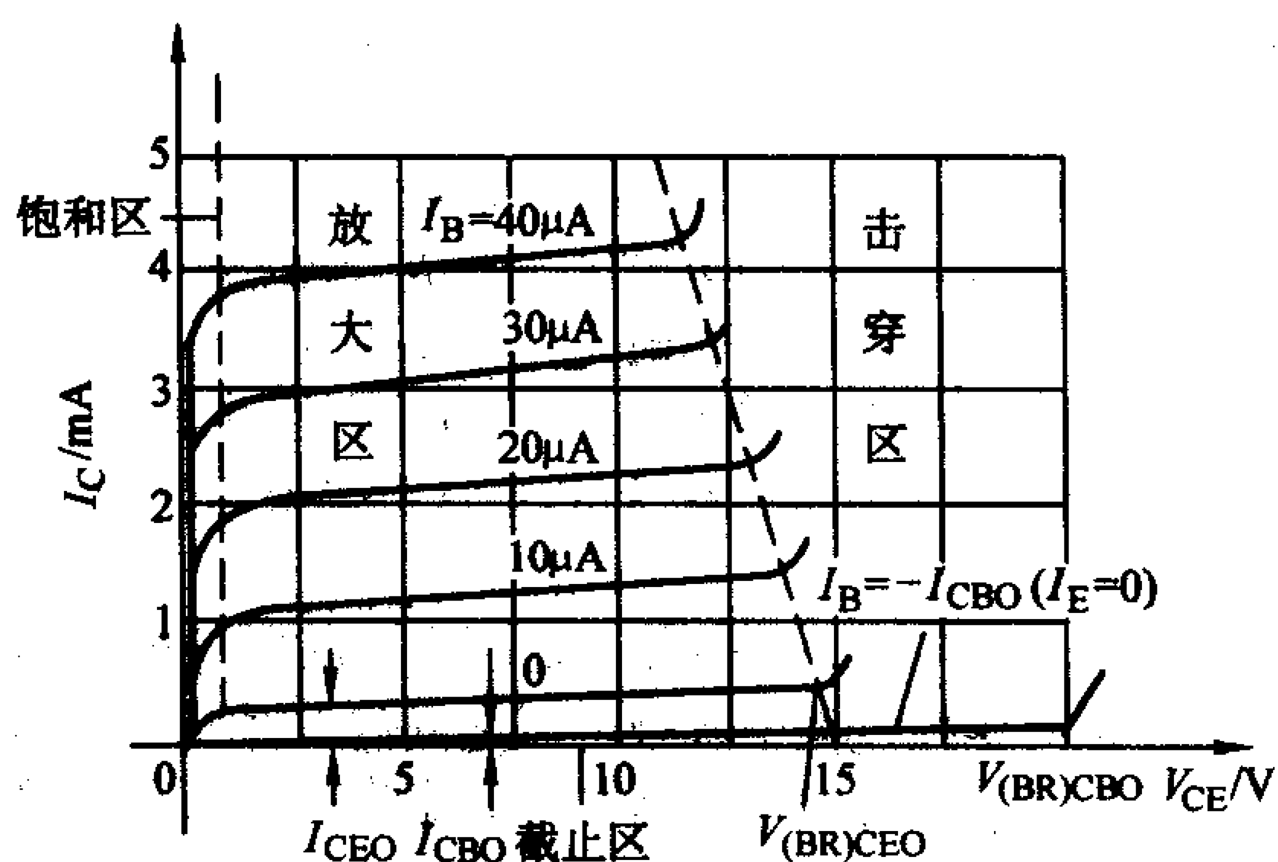


图3.5-7　共发射极输出特性曲线

1）放大区（Active Region）　在这个区域内，晶体三级管工作在放大模式。I_C 与 I_B 之间满足直流传输方程，即

$$I_C = \overline{\beta} I_B + I_{CEO} \quad (3.5\text{-}10)$$

若设 $\overline{\beta}$ 为常数，则当 I_B 等量增加时，输出特性曲线也将等间隔地平行上移。但是，由于基区宽度调制效应，当 V_{CE} 增大时，基区复合减少，导致 $\overline{\alpha}$ 和相应 $\overline{\beta}$ 略有增大，因而每条以 I_B 为参变量的曲线都随 V_{CE} 增大而略有上翘。

若参变量 I_B 变为 V_{BE}，并将不同 V_{BE} 的各条输出特性曲线向负轴方向延伸，它们将近似相交于公共点 A 上，如图3.5-8所示。对应的电压用 V_A 表示，称为厄尔利电压（Early Voltage）。显然，其值大小可以用来表示输出特性曲线的上翘程度。$|V_A|$ 越大，上翘程度越小。小功率管的 $|V_A|$ 值约为50～100 V。从内部物理过程来说，其值与基区宽度有关，基区宽度越小，基区宽度调制效应对 I_C 的影响就越大，$|V_A|$ 也就相应越小。

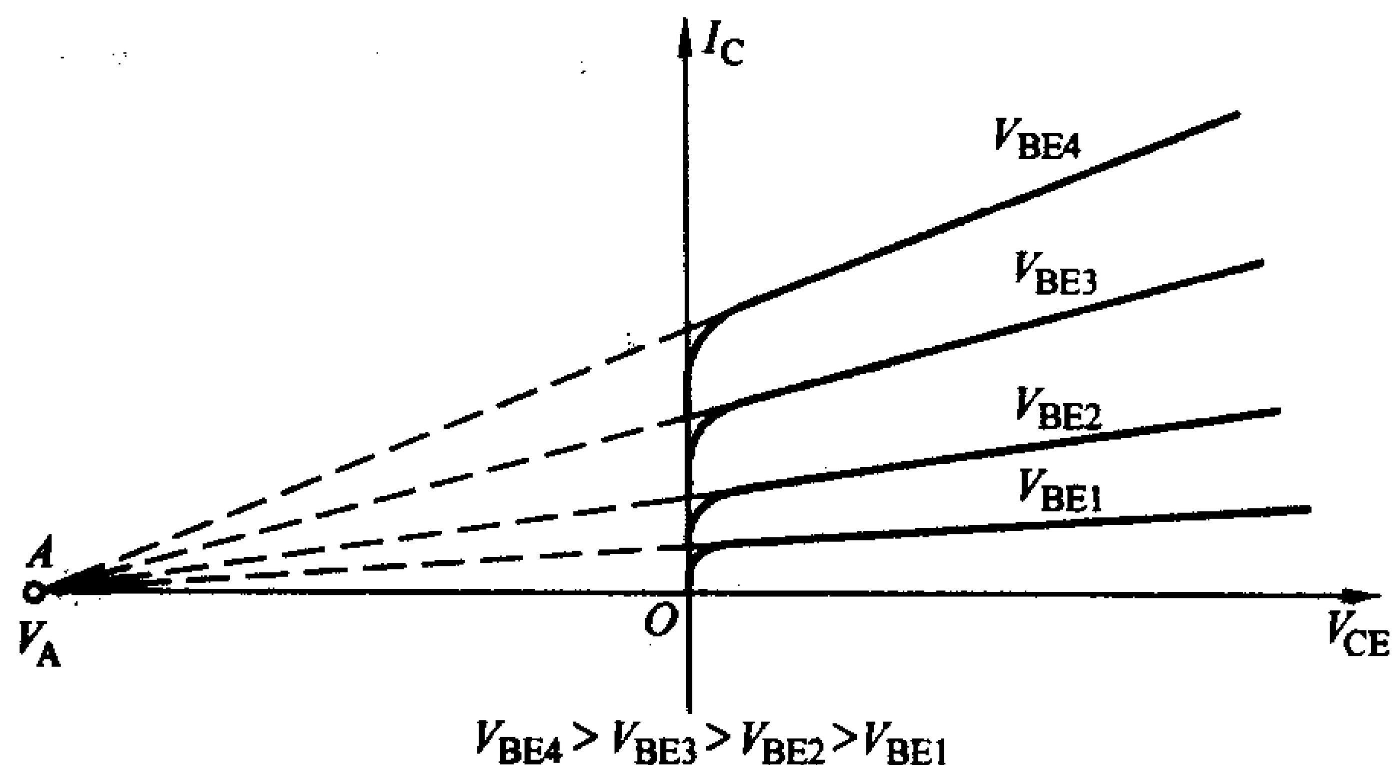


图3.5-8　厄尔利电压

V_A 由下式给出

$$V_A = I_C / (\Delta I_C / \Delta V_{CE}) \qquad (3.5\text{-}17)$$

严格来说，$\bar{\beta}$ 不是一个与 I_C 无关的恒定值。实际上，仅在 I_C 的一定范围内，$\bar{\beta}$ 随 I_C 的变化很小，如图3.5-9所示，可以近似认为是常数。而超出这个范围时，$\bar{\beta}$ 将下降。例如，当 I_C 过小时，由于发射结阻挡层内载流子的复合以及寄生表面复合的影响，致使基极电流增大，从而造成 $\bar{\beta}$ 下降。当 I_C 过大时，由于发射区注入到基区的非平衡少子自由电子浓度过大，可以与基区中热平衡少子浓度相比拟时，外电路就必须向基区补充大量的非平衡多子空穴，才能保持基区电中性，这些非平衡多子空穴将向发射区注入，使 I_{EP} 增加，从而导致 $\bar{\alpha}$ 和 $\bar{\beta}$ 下降。

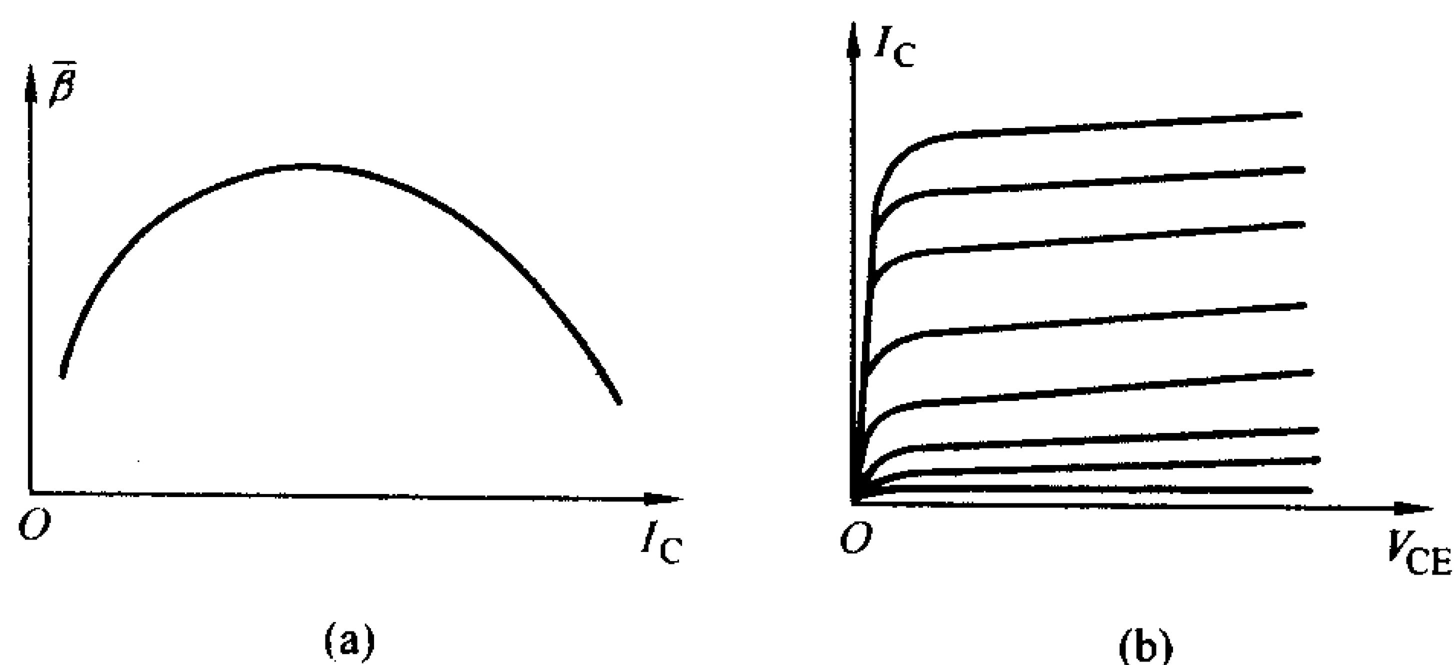


图3.5-9 $\bar{\beta}$ 与 I_C 的关系

考虑到上述 $\bar{\beta}$ 随 I_C 变化的特性，当 I_B 等量增加时，输出特性曲线就不再等间隔地平行上移。特别是在 I_C 值过大和过小的区域内，输出特性曲线显得比较密集。

2）截止区（Cutoff Region） 工程上，可规定 $I_B = 0$（相应地 $I_C = I_{CEO}$）以下的区域称为截止区，晶体三极管工作在截止区。

严格说来，截止区应是 $I_E = 0$ 以下的区域（$I_E = 0$ 时，$I_C = I_{CBO}$，$I_B = -I_{CBO}$）。因为在 I_B 自零减小到 $-I_{CBO}$ 时，如前所述，V_{CE} 分配在发射结上的为正偏电压，晶体三极管仍工作在放大区，I_C 随 I_B 而变化。不过，I_{CEO} 虽远大于 I_{CBO}，但其值仍很小（特别是小功率管）。因此，在共发射极连接时，规定 $I_B = 0$ 作为管子的截止条件是可以允许的。

3）饱和区（Saturation Region） 减小 V_{CE}，直到两个结均为正偏，晶体三极管进入饱和模式，输出特性曲线相应进入饱和区。在这个区域内，随着 V_{CE} 减小，I_C 将迅速减小，直到等于零，且 I_C 与 I_B 之间已不再满足电流传输方程（$I_C < \bar{\beta} I_B$）。实际上，由图3.5-7可见，输出特性曲线由放大区开始进入饱和区所对应的 V_{CE} 将随 I_B 减小而略有减小。不过工程上，为了简化起见，一般均忽略 I_B 的影响，并以 $V_{CE} = 0.3$ V 作为放大区和饱和区的分界线。如果继续减小 V_{CE}，且延伸到负值方向，I_C 变为负值，晶体三极管便进入反向工作区（Reverse Region），如图3.5-10所示。

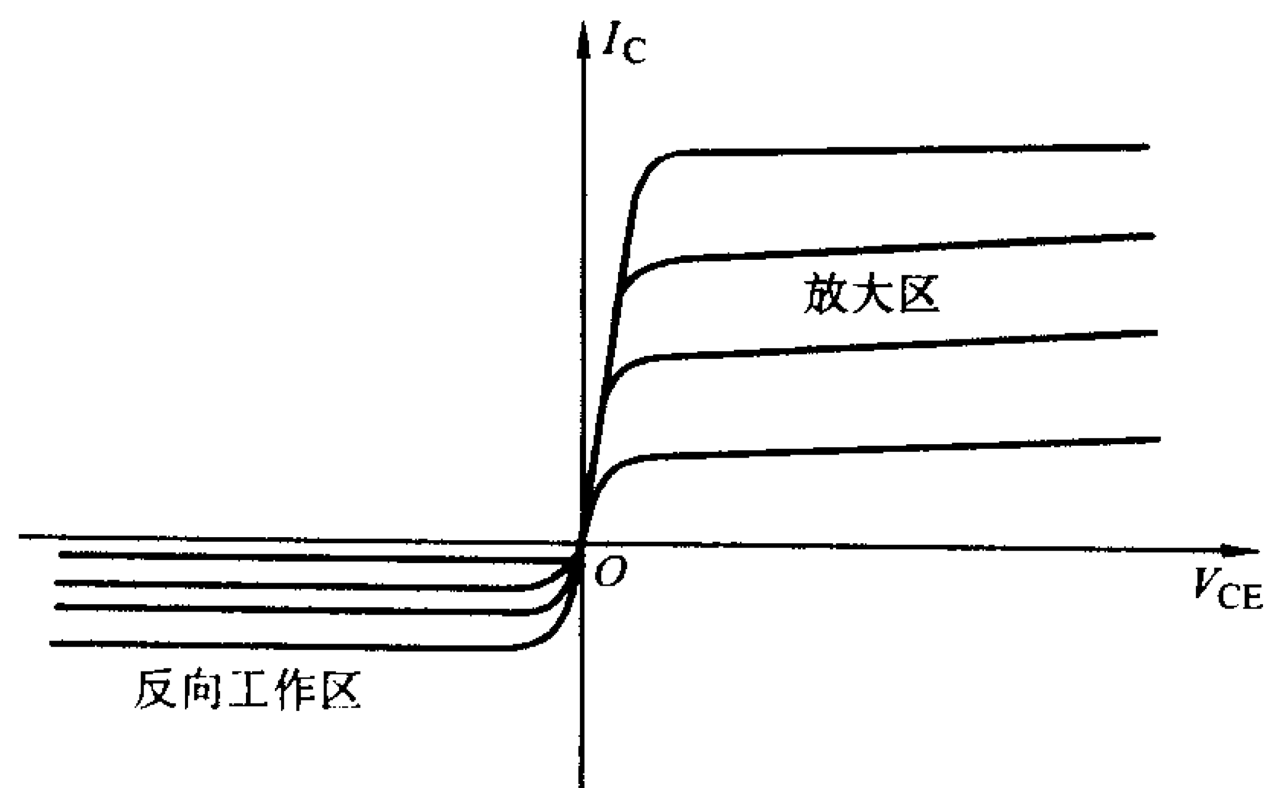


图3.5-10 共发射极反向工作区

必须指出，由于存在着体电阻和引线电阻，电流越大，其上产生的压降就越大，相应曲线开始饱和的 V_{CE} 也就越大。因此，大功率管开始饱和的 V_{CE} 大于小功率管。

4）击穿区 随着 V_E 增大，加在集电结上的反偏电压 V_{CB} 相应增大。当 V_{CE} 增大到一定值时，集电结发生反向击穿，造成电流 I_C 剧增。

集电结是轻掺杂的，产生的反向击穿主要是雪崩击穿，击穿电压较大。此外，在基区宽度很小的三极管中，还会发生特有的穿通击穿（Punch-Through），即当 V_{CE} 增大时，V_{CB} 相应增大，导致集电结阻挡层宽度增宽，直到集电结与发射结相遇，基区消失。这时发射区的多子电子将直接受集电结电场的作用，引起集电极电流迅速增大，呈现类似击穿的现象。不过，一般情况下，反向击穿主要是集电结的雪崩击穿。

由图3.5-10可见，集电极反向击穿电压随 I_B 增大而减小，原因是：I_B 增大，I_C 相应增大，通过集电结的载流子增多，碰撞机会就增大，因而产生雪崩击穿的电压减小。当 $I_E = 0$，即 $I_C = I_{CBO}$，$I_B = -I_{CBO}$ 时，击穿电压最大，其值用 $V_{(BR)CBO}$ 表示。而当基极开路，即 $I_B = 0$，$I_C = I_{CEO}$ 时，击穿电压为 $V_{(BR)CEO}$，其值小于 $V_{(BR)CBO}$。

（3）极限参数

采用共发射极连接时，晶体三极管的工作受到三个极限参数的限制。其中，除了上述的集电极反向击穿电压 $V_{(BR)CEO}$ 以外，其他两个极限参数是最大允许集电极电流 I_{CM}（Maximum Collector Current）和最大允许集电极耗散功率 P_{CM}（Maximum Collector Power），如图3.5-11所示。

前已指出，当 I_C 过大时晶体管的电流放大系数 $\bar{\beta}$ 将下降。I_{CM} 就是指 $\bar{\beta}$ 明显下降时所对应的最大允许集电极电流，其值对小功率管约为几十毫安。因此，要保证 $\bar{\beta}$ 近似不变，I_C 必须小于 I_{CM}。

在晶体三极管中，两个结上消耗的功率分别等于通过结的电流与加在结的电压的乘积。由于 V_{CE} 中的绝大部分降在集电结上，因此，加到集-射极间的功率 $P_C = V_{CE} I_C$ 主要消耗在集电结上，这个功率将导致集电结发热而使其结温升高。当结温超过最高工作温度时，管子性能下降，甚至被烧坏。P_{CM} 就是在集电结最高工作温度的限制下晶体三极管所能承受的最大允许集电极耗散功率。为保证管子安全工作，P_C 必须小于或等于 P_{CM}。在输出特性曲线上，根据 P_{CM} 可以画出最大功耗线，线上各点均满足 $V_{CEIC} = P_{CM}$ 的条件。

通常将图3.5-11中三个极限参数限定的区域称为晶体三极管的安全工作区（Safe Operating Area）。实际工作时，为保证管子安全运行和不失真放大，晶体三极管的 V_{CE} 和 I_C 应限制在这个区域内。

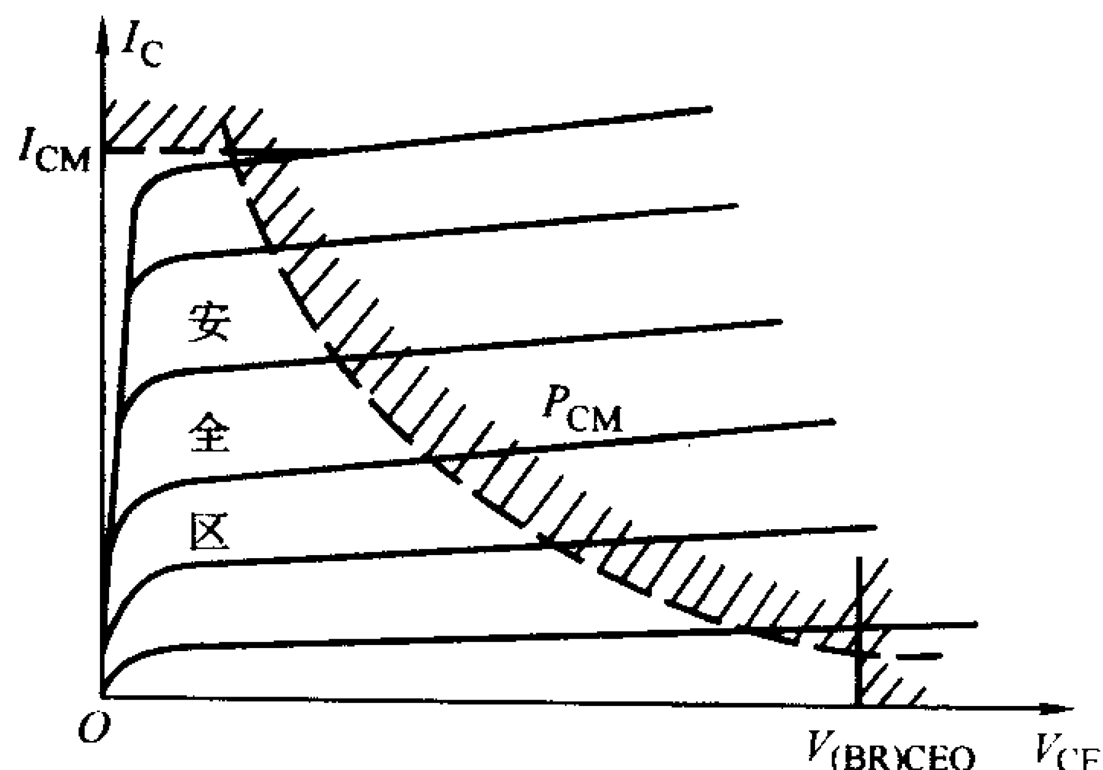


图3.5-11 晶体三极管的安全工作区

1.3 pn结二极管

集成电路中的二极管，多数是通过对集成晶体管的不同接法而形成的，所以不增加新的工序。通常可以灵活地采用不同的接法得到电参数不同的二极管，以满足集成电路的不同要求。在集成电路中也可以利用单独的一个硼扩散来形成。集成电路中常用的二极管有齐纳二极管和肖特基势垒二极管（SBD）。

集成电路中的齐纳二极管一般是反向工作的BC短接二极管，即将NPN双极晶体管的BC短路而形成。由于BC短路二极管没有寄生的PNP效应，而且存储时间短，正向压降低，故一般DTL电路的输入端的门二极管都采用这种接法。

肖特基势垒二极管（SBD），由半导体物理的知识可知，铝和N型硅接触形成的肖特基势垒具有类似于pn结的整流特性，其V－I关系如图3.5-12所示。

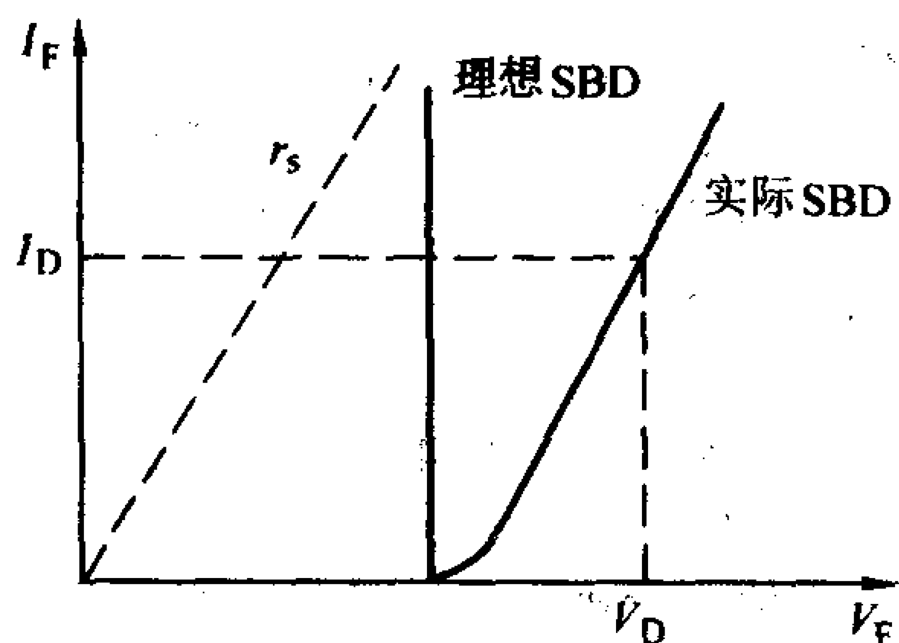


图3.5-12 SBD的伏安特性

1.4 NPN高频双极晶体管

在双极晶体管中，最重要的参数是电流增益β和特征频率f_T。β反映晶体管的静态特性，f_T则反映其交流特性的好坏。不同类型的电路对NPN管的β值要求是不一样的。在模拟电流中，一般要求β的值在100～500左右，在数字电路中，只需要在20左右就行了。

高速电路对f_T的要求比较高，普通NPN晶体管的f_T大约是几十到几百兆赫兹，高性能的NPN晶体管则可高达几十个GHz，甚至上百个GHz。

在高频双极晶体管中，由于电子比空穴具有更高的迁移率，因此通常采用NPN管。图3.5-13为NPN晶体管的电路符号和剖面图。

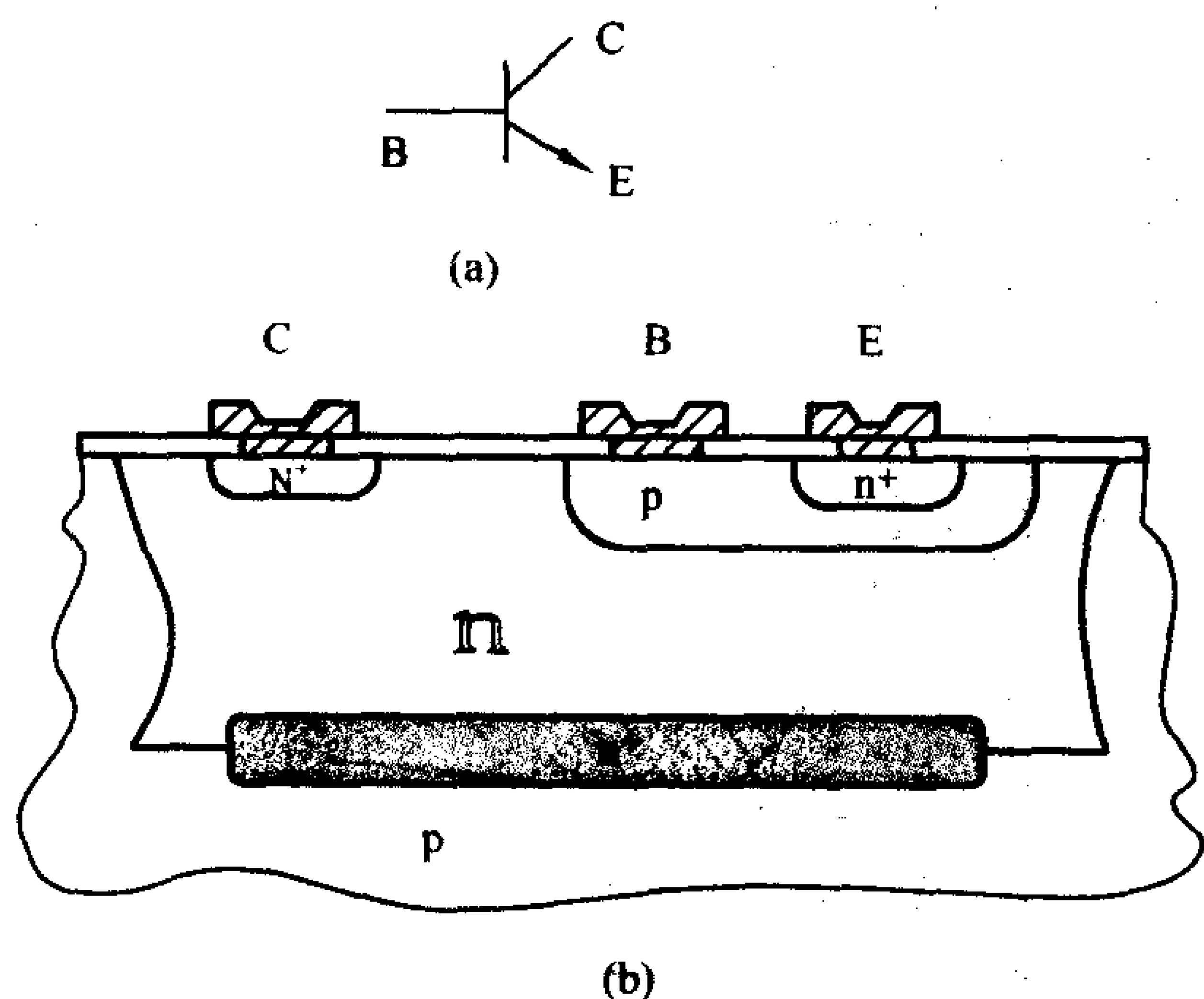


图3.5-13 NPN晶体管的电路符号和剖面图

在NPN双极晶体管中，增大f_T的主要方法包括减小基区宽度、采用埋层和深集电极接触等。在超高速的NPN双极晶体管中还通常采用双层多晶硅自对准结构和外延SiGe形成基区等方法来提高晶体管的频率特性。对于高性能的双极晶体管的结构特点和制作工艺将在后面的章节进行描述。

1.5 模拟集成电路中的PNP管

双极集成电路中的基本器件是NPN管，但在模拟电路中也往往需要PNP管，如运算放大器的输入级、输出级的有源负载等都经常使用PNP管。因为集成电路的工艺主要是针对大量应用的NPN晶体管设计的，因此在一般情况下，PNP管都是在与NPN管制造工艺兼容的情况下制造的，这样制得的PNP管的β较小，f_T也较低。虽然PNP管的单管特性不如NPN管，但在集成电路中由于使用了PNP管，而使电路的性能得到了很大的改善。

在集成电路中常用的PNP管主要有两大类：横向PNP管和衬底PNP管，其剖面图如图3.5-14所示。

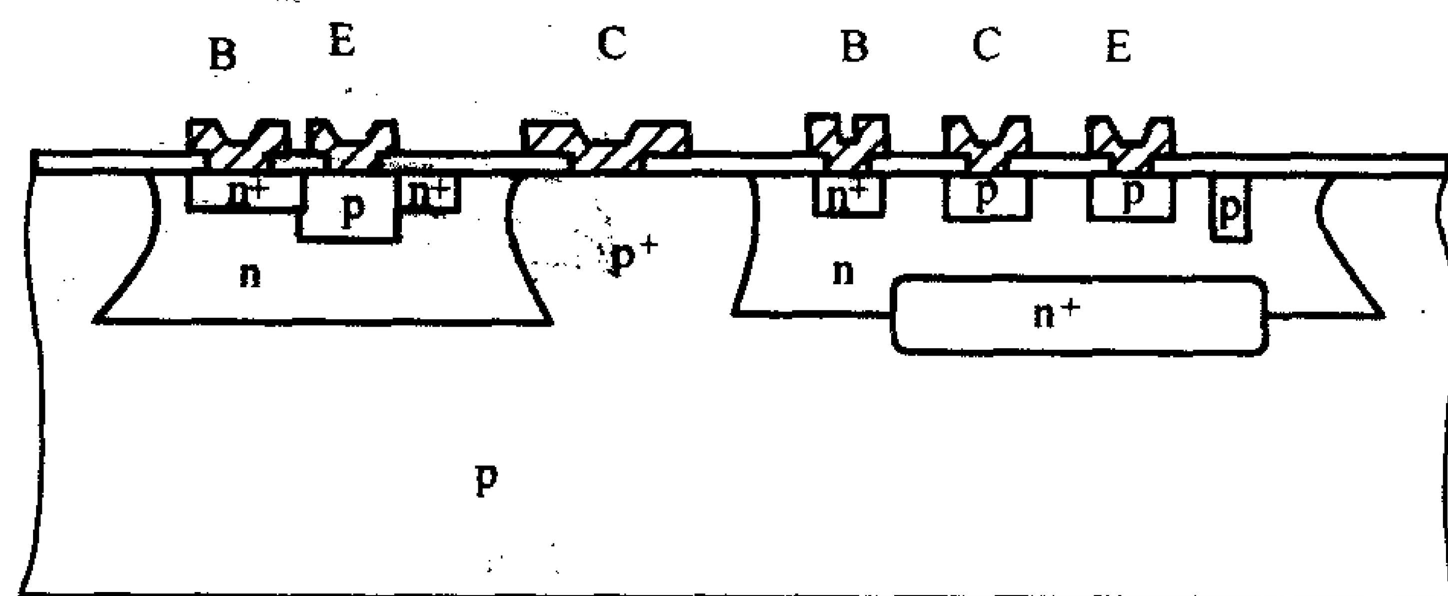


图3.5-14 集成电路中的PNP管

横向PNP管的制作工艺与NPN管制作工艺完全兼容，在进行NPN管基区扩散的同时形成了PNP管的发射区和集电区。横向PNP管的主要特点如下。

1）BV_{CEO}高，这主要是由于集电极结深和外延层电阻率较高引起的。

2）β值小，这是由于工艺的限制，基区宽度不可能太小，而且存在纵向寄生的PNP结构。

3）f_T较小，由于横向PNP管的有效平均基区宽度较大和空穴的扩散系数比电子扩散系数小，这使横向PNP管的基区渡越时间较长，基区存储电荷较多而使f_T下降。

衬底PNP管的制作工艺也是同NPN管的制作工艺完全兼容的，在进行NPN管基区扩散的同时形成衬底PNP管的发射区，其集电极则是整个电路的公共衬底。衬底PNP管的主要特点如下。

1）衬底PNP管的集电区是整个电路的公共衬底，所以只有利用PN结隔离工艺才能制作衬底PNP管。

2）其晶体管作用发生在纵向，所以又称为纵向PNP晶体管，因为各结面较平坦，发射区面积可以做得很大，所以工作电流比横向PNP管大。

3）由于衬底作为集电区，不存在有源寄生效应，所以可以不采用埋层结构。

1.6 集成电路中的无源器件

集成电路中常用的无源元件主要是电阻和电容。双极中用得最多的是基区扩散电阻，此外常用的电阻还有发射区扩散电阻、基区沟道电阻、外延层电阻和离子注入电阻。常用的电容有反偏pn结电容、MOS电容，多晶硅之间的介质电容等。这里主要对双极集成电路中常用的基区扩散电阻和反偏pn结电容器进行简单的介绍。

基区扩散电阻是利用集成晶体管的基区扩散层做成的，其典型的结构如图3.5-15所示。

在图中的$R-$和$R+$之间形成了一个独立的电阻器。这类电阻的电阻值可以粗略的估算为

$$R = R_s L/W \qquad (3.5\text{-}18)$$

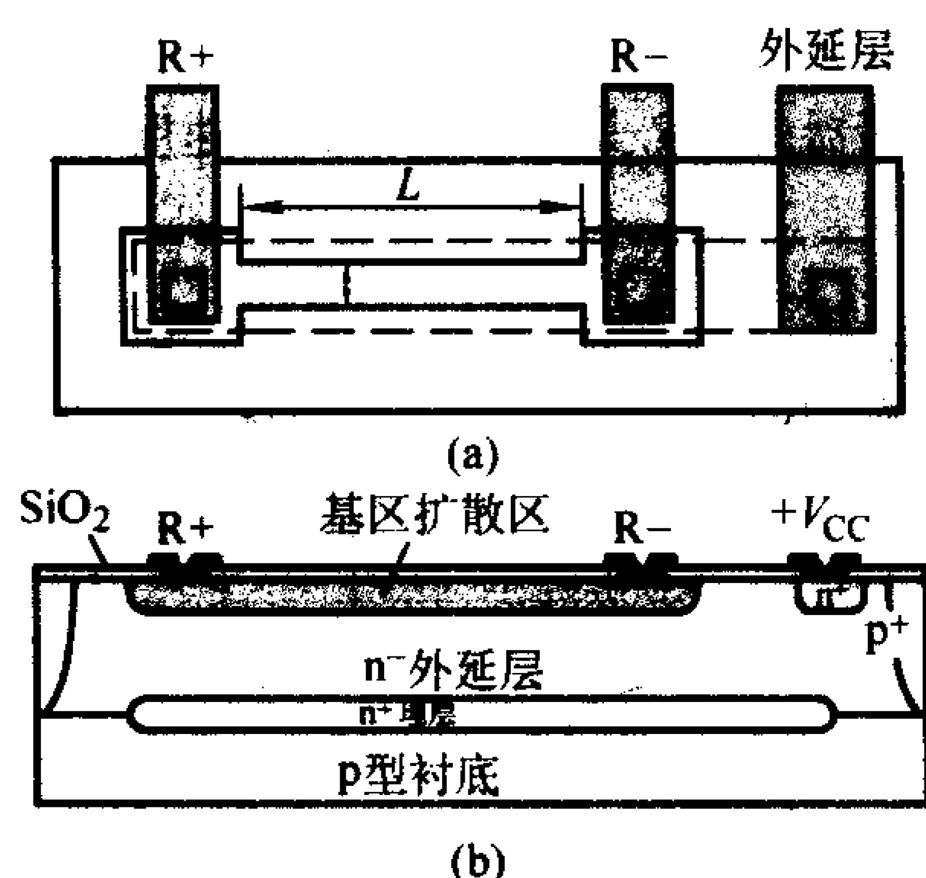


图 3.5-15 基区扩散电阻结构示意图

式中，R_s 为基区扩散层的薄层电阻；L、W 分别为电阻器的宽度和长度。式（3.5-18）是一个长方形导电薄层电阻的计算公式，但实际的基区扩散电阻的图形并不是这么简单，在实际的基区扩散电阻的结构中还需要考虑引出端、拐角、基区杂质的横向扩散等因素所引起的电阻值变化。所以应根据实际情况进行修正。

反偏 pn 结电容器的制作工艺完全和 NPN 管的工艺兼容，图 3.5-16 是由发射区扩散层－隔离扩散层－隐埋层结构形成的 pn 结电容结构。

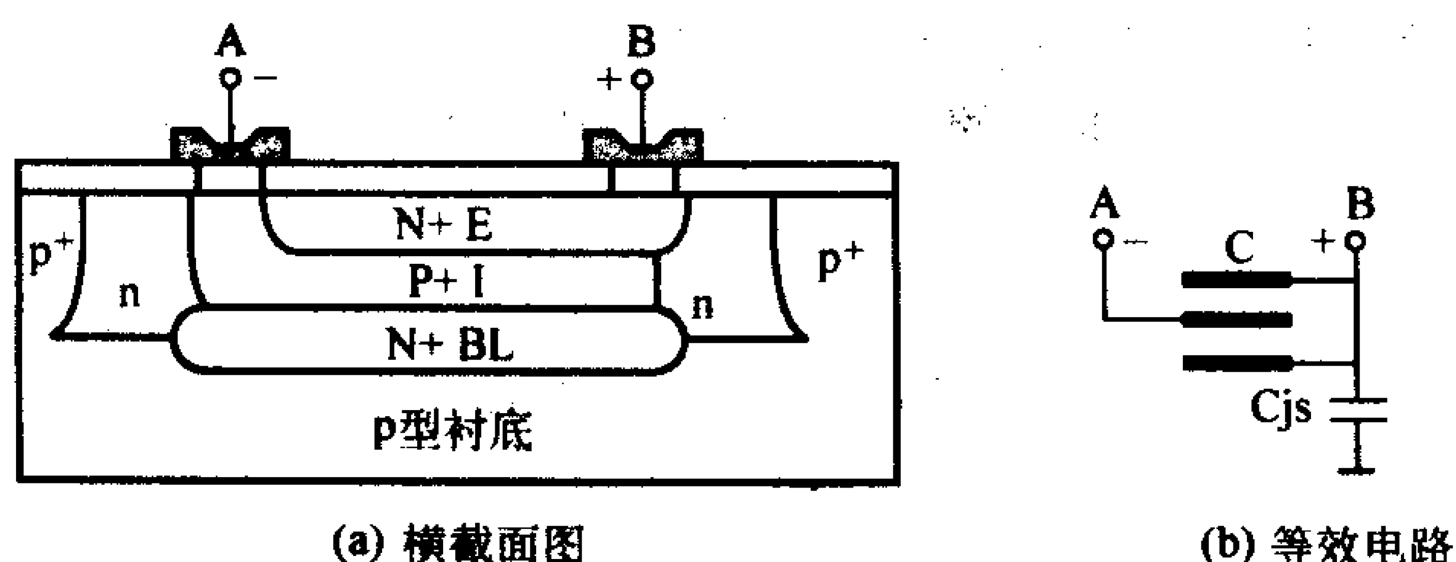


图 3.5-16 发射区扩散层－隔离扩散层－隐埋层 pn 结电容结构

从图中可以看出，这种电容器实际上是由两个电容并联形成的，所以零偏单位面积电容 C_{jA0} 大，但由于 p^+n^+ 结的存在，所以击穿电压较低。另外，由于衬底－埋层结的面积较大，所以 C_{js} 也较大。

1.7 双极集成电路中的基本电路

和 MOS 集成电路一样，双极集成电路也分为数字（逻辑）和模拟两种。数字电路主要由各种门电路组成，而模拟集成电路则主要由放大电路、输出极、电流源和电流镜组成。

（1）双极数字电路

双极晶体管在数字电路中最常见的用法是作为逻辑门和存储阵列。双极逻辑门电路有许多种，常见的是 TTL、ECL 和 I^2L。其中 TTL 和 ECL 是实现中小规模数字双极集成电路的主要途径，I^2L 是实现大规模双极集成电路的重要途径。

1）TTL 电路　TTL（Transistor－transistor Logic）就是晶体管－晶体管逻辑电路，是双极数字电路中最具有代表性的电路。其基本单元是“与非”门，TTL 的各种门电路和触发器，都可以看成是由“与非”门或“与非”门的变型组成的。简易的 TTL 与非门是两管单元组成的，其电路图如图 3.5-17 所示。

这是最基本的“与非”门，输入采用多发射极晶体管，充分利用了集成电路的优势，其主要优点是电路工作速度快。最大的缺点是输出电阻小，即电流驱动能力低，必须加以改进。改进的主要措施是在其后面加输出极，以增大输出电阻，从而增大电流驱动能力。

标准的 TTL 与非门——四管单元与非门，电路图如图 3.5-18 所示。

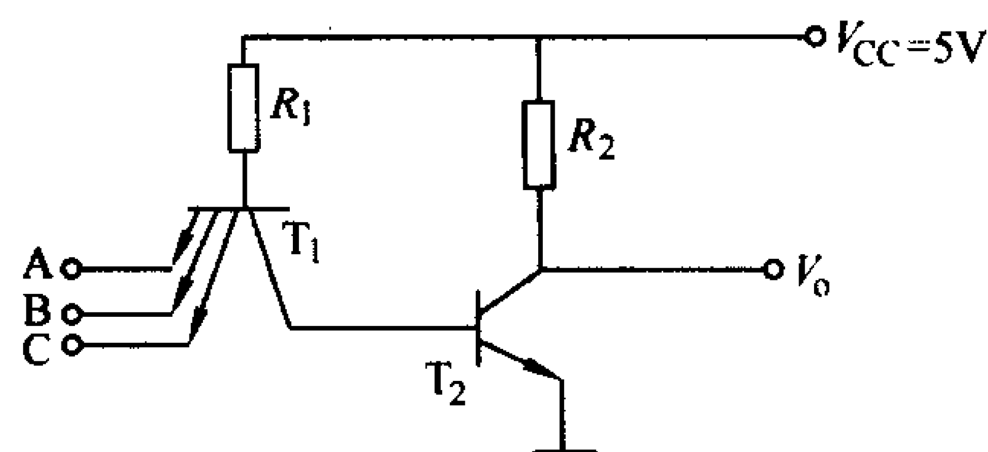


图 3.5-17 简易与非门

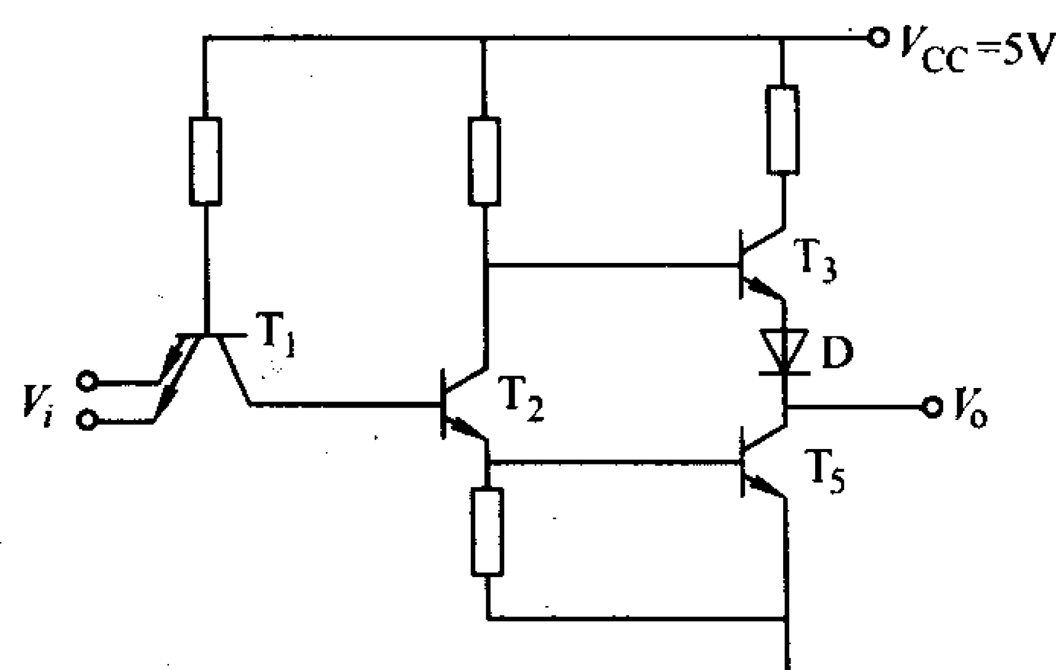


图 3.5-18 标准 54/74 系列 TTL 与非门

此电路在两管单元上加上图腾柱（T_3、D 和 T_5 轮流开启）结构作为输出极，不仅增大了电流驱动能力，而且减小了功耗。这种结构被双极数字电路设计者视为是 TTL 的标准电路形式，是 54/74 系列电路的基本单元。

五管单元和六管单元与非门电路，如图 3.5-19 所示。

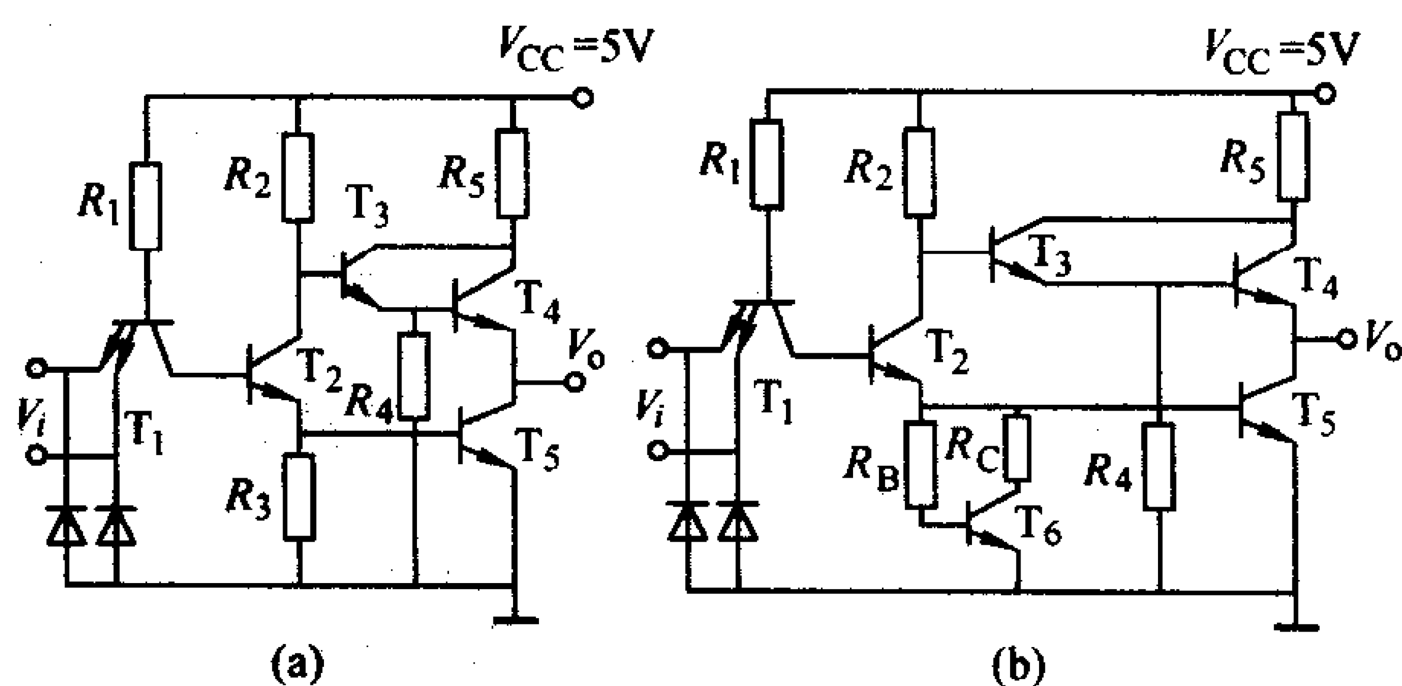


图 3.5-19 五管单元和六管单元与非门电路图

在四管单元与非门中，当输出端电平从低向高转换的瞬间，从电流源，经 R_5、T_3、D 到 T_5 有大电流流过，这时二极管 D 的 pn 结将存储大量电荷，但线路上没有放电回路，只能靠管子本身复合掉这些电荷，因此管子的开关速度会受到影响。

五管单元与非门，在四管单元基础上加入了一个电阻 R_4 来泄放电荷，并且用 NPN 管 T_4 代替了原来的二极管 D，从而提高了电路的速度性能。五管单元是 54H/74H（T2000）系列电路的基本单元。

六管单元则以泄放网络（由 T_6 和两个电阻构成）代替了原来的 T_2 泄放电阻 R_3。这样不仅改善了与非门的电压传输特性，使其曲线接近矩形，也提高了电路的抗干扰能力和速度。

在上述六管单元与非门中，以肖持基钳位三极管代替除 T_4 以外的全部三极管，就是 54S/74S 系列的与非门。SBD 钳位使三极管避免了进入反向工作区或饱和状态，从而大大减少了这些管子的超额存储电荷，提高了电路速度。

2）ECL（Emitter Coupled Logic）发射极耦合逻辑电路　尽管 TTL 电路采取了很多措施提高速度，但是始终不能使管子彻底摆脱饱和状态（SBD 钳位晶体管也仅仅是抑制了晶体管的过饱和和寄生电容）。ECL 是一种典型的非饱和电路，

即电路工作时晶体管不进入饱和状态，存储时间为零，因此它是目前速度最高的逻辑集成电路。ECL电路中最基本的门是或/或非门，其电路图如图3.5-20所示。

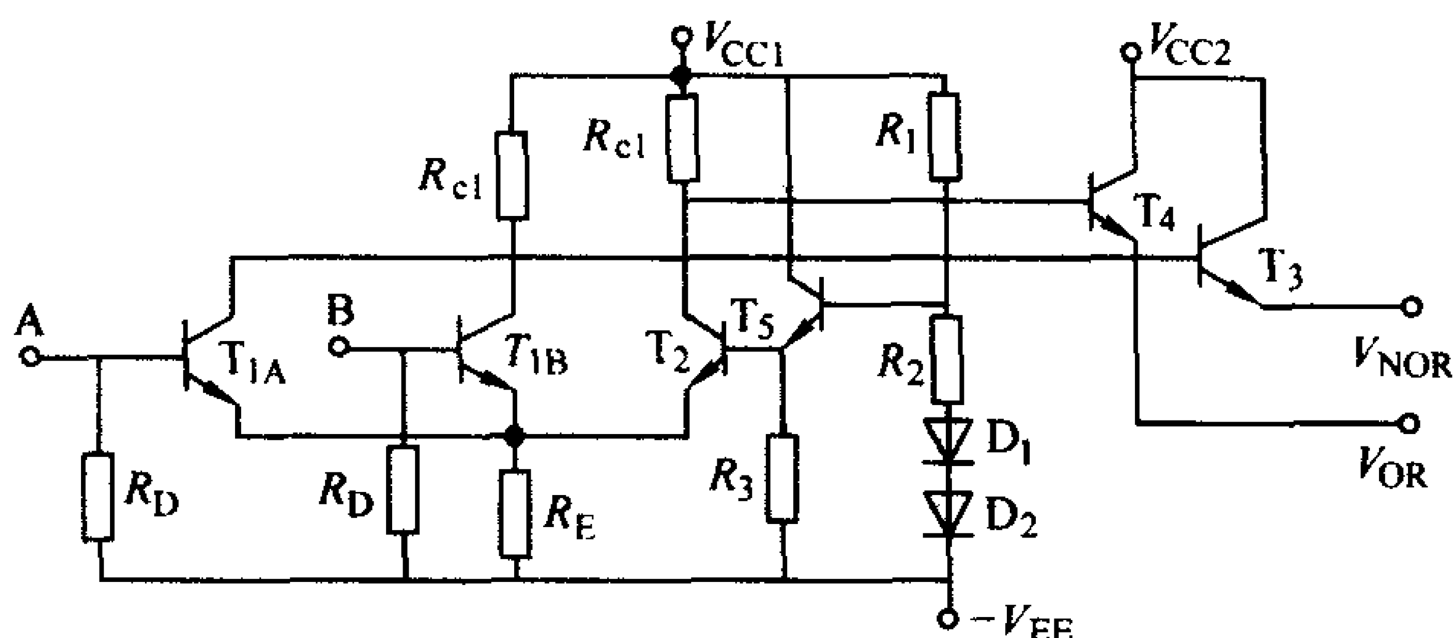


图3.5-20 ECL电路的基本门或/或非门

此或非门是由电流开关、参考电源和射极跟随输出极三部分构成，其中T_{1A}、T_{1B}和T_2管，电阻R_{c1}，R_{c2}和R_E组成射极耦合电流开关，这是电路的核心部分，由它来完成门的逻辑功能；T_5、D_1、D_2、R_1～R_3构成了参考电压源，提供了定偏晶体管T_2的基极偏置电压；T_3、T_4组成的射极跟随输出极，提高了电路的负载能力。

ECL电路的主要优点是电路开关速度高，主要原因有二：一是电路中的晶体管只工作于放大区和截止区，不进入饱和区，没有存储时间；二是ECL电路的逻辑摆幅小，各节点电容的充放电幅度小。但是ECL电路开关速度的提高，可以说是以牺牲功耗为代价换取的。在相同的工艺条件下，ECL电路每门平均空载功耗是TTL的2倍以上。近些年来对电路结构进行了改进，也采用了新的工艺，使ECL电路的性能大大改善，平均门延迟时间达到几十皮秒（10^{-12} s)，而功耗只有几毫瓦的数量级。

3) I^2L电路 I^2L（Integrated Injection Logic）集成注入逻辑电路，也称为并合晶体管逻辑MTL（Merged Transistor Logic)，是另一种类型的双极型逻辑电路。它具有集成度高，功耗-延迟时间乘积小，制造工艺简单，且与其他工艺容易兼容等显著优点，而且它可与模拟电路和其他数字电路集成在同一芯片上，在数模混合超大规模集成电路上有一定的应用。

I^2L电路的基本单元是单端输入多端输出的反相器，其电路图如图3.5-21所示。基本单元是由一个横向PNP管和一个倒置的多集电极NPN管组成，从图中可以看出有两对电极是共用的，两个管子相互耦合而成为统一的整体。电路中所有的NPN管的发射区接地，所以各单元之间无需隔离，电路形式简单，只有两种晶体管且有两对电极共用，而无电阻，单元内部没有互连线，这些使得单元电路占用芯片面积小，功耗低，工艺简单。

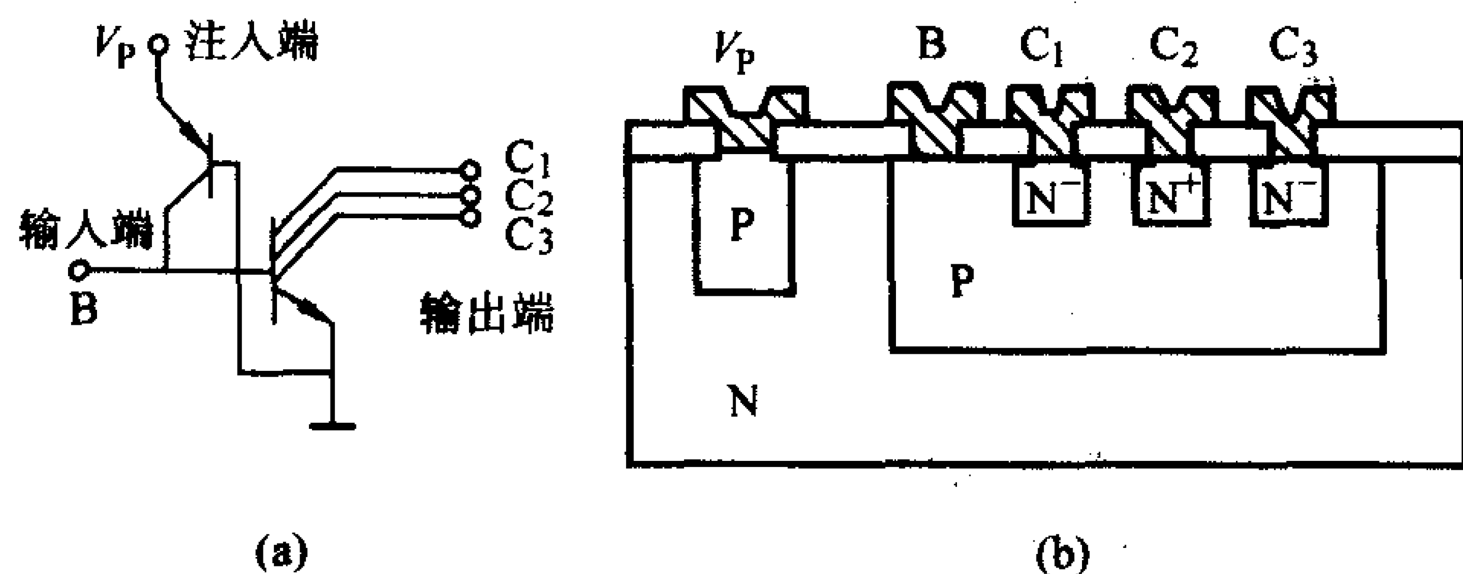


图3.5-21 I^2L反相器

4）双极静态随机存储（SRAM）单元 双极SRAM常用ECL单元，主要应用于高速电路中（如高速计算机的闪存中)，ECL SRAM可分为两类：高速（访问时间7～15 ns）和超高速（访问时间小于7 ns)。最常见的ECL SRAM单元电路如图3.5-22所示。

这种存储器的优势是集成度很高，速度很快，但是功耗很大。

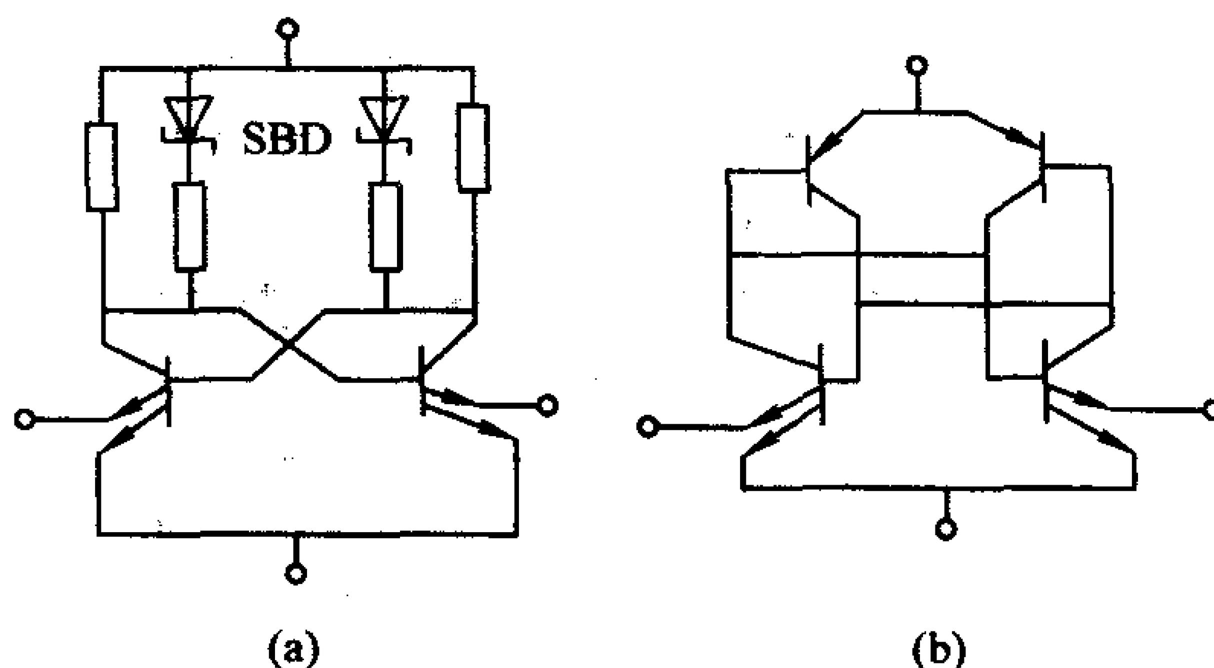


图3.5-22 双极SRAM单元

（2）模拟集成电路中的常见单元电路

模拟集成电路一直是集成电路的半壁江山，双极电路有极好的模拟特性：高线性、低噪声、大跨导。双极在模拟电路中的应用广泛，功能复杂，难以一一尽说，下面仅介绍双极模拟集成电路中的基本单元。

1）放大电路和输入极 放大电路是模拟电路中最基本的单元，输入极更是必不可少的部分。常见的放大电路有单管放大电路和差分放大电路。单管放大电路有共E、共C、共B三种，下面只介绍同时作为放大电路和输出极的差分放大电路。可以说差分放大电路是模拟集成电路的基础，几乎在所有的模拟电路中都有应用。其电路如图3.5-23。

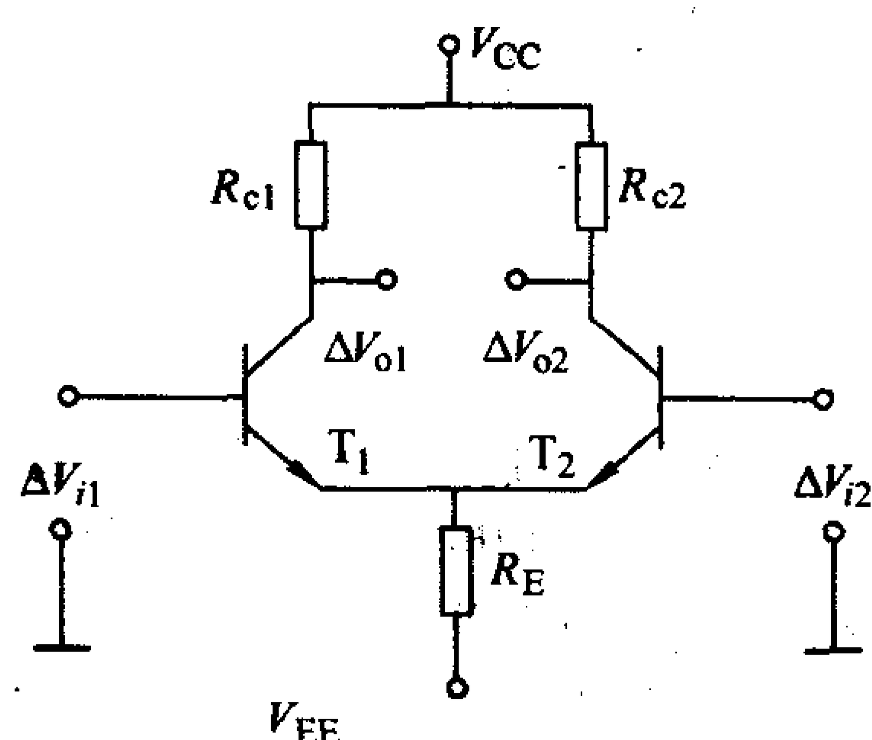


图3.5-23 差分放大电路

R_E是射极公共电阻，R_{c1}和R_{c2}分别是两个晶体管的负载电阻。Δv_{i1}和Δv_{i2}是输入信号，Δv_o是输出信号。T_1和T_2使用两个参数完全相同的NPN管。

2）输入极电路 输入极是集成运算放大器的最重要的部分，它直接决定了电流输入偏流，输入阻抗，共模和差模的输入电压范围，而且对电路的失调、温漂、共模抑制比也起了决定性的作用。对输入极的要求是：输入阻抗高，输入偏流小，共模增益小，而差模增益大。

3）恒流源电路（电流源和电流镜） 电流源和电流镜统称为恒流源电路。恒流源电路在线性集成电路中应用非常广泛。电流源的动态内阻大，本身的工作电压又可以很低，所以在模拟集成电路中广泛用做负载和偏置电路。用电流源作为放大器负载，叫做有源负载，能大大提高放大器的单级电压增益，且可以降低工作电压。电流源内阻大，因此对外加负载和电源电压都不敏感，可作为偏置电路。电流镜实际上是一种电流控制电流源，所以电流镜的输出电流也可以当作为电流源。不同的是，电流镜的输出电流与控制电流具有良好的跟随特性，除了作为偏置电路，还有其他用处。

图3.5-24是一种最简单的恒流源电路（实际上是一种电流镜)。

如果T_1和T_2两管的大小和特性都相同，可以推出：

$I_o=\beta/(\beta+2)\ I_i$，当 β 很大时，输入电流就近似等于输出电流。当然也可以通过调整两个管子的参数来调整 I_o 和 I_i，如果两管子的面积分别是 A_1 和 A_2，则 $I_o/I_i=A_2/A_1$。

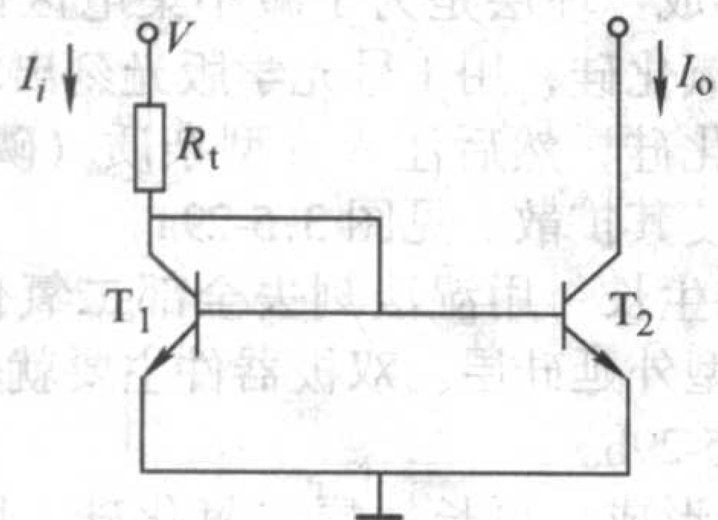


图 3.5-24　基本型恒流源电路

4）输出极电路　输出极电路也是所有电路中必不可少的部分，输出极直接与负载连接，因此要求输出阻抗低，另外还需要静态功耗低，电流驱动能力大。常用的输出极电路有射极跟随器、推挽输出极电路、互补输出极电路等。这里只介绍最简单的互补推挽输出级电路。电路如图 3.5-25 所示。

输出极电路的特点是电路极为简单，只有一个 NPN 管和一个 PNP 管。此电路输入阻抗高，输出阻抗低。其缺点是输出电压的正负向幅度不同，容易出现波形失真（交越失真）。

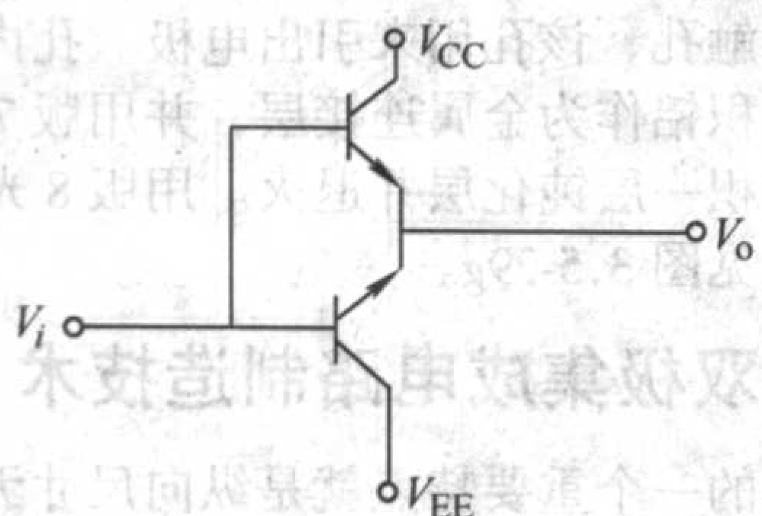


图 3.5-25　最简单的互补推挽输出极电路

2　双极集成电路制造技术

2.1　pn 结隔离的 NPN 器件结构

双极集成电路中的三极管、二极管、电阻、电容要以一定的规则联系起来，否则就不能实现既定的功能。从图3.5-26可以看出，两个晶体管的集电区通过衬底连接起来，除非电路本身需要共集电极结构，否则会造成双极晶体管的短路。

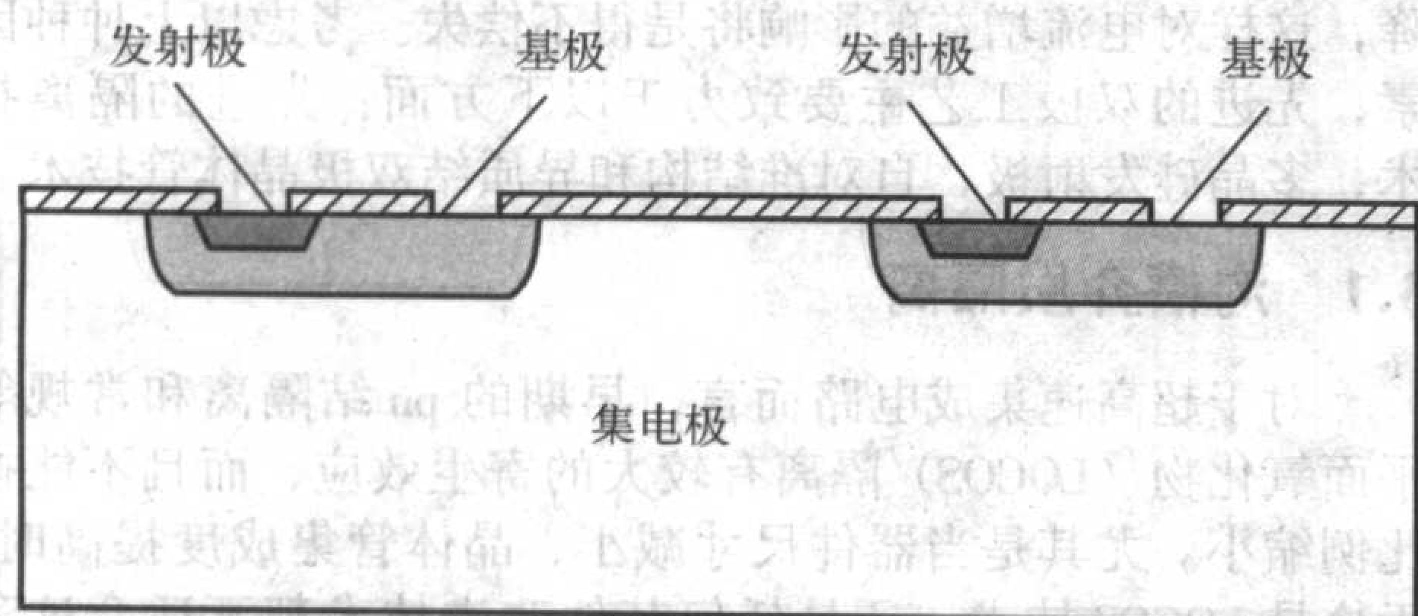


图 3.5-26　相同衬底上的两个双极晶体管

为了隔离这些双极晶体管，早期采用了 pn 结隔离的方式。主要应用在标准的埋入集电极晶体管（SBC）结构中和集电极扩散隔离晶体管（CDI）的结构中。

标准的埋入集电极晶体管（SBC）的结构如图 3.5-27 所示，在 SBC 工艺中使用 pn 结来隔离 NPN 器件时，首先在 p 型衬底上外延 n 型外延层，然后在隔离区的外延层中注入 p 型杂质，退火扩散到衬底，从而形成 p 型杂质包围 n 型外延层的结构，将晶体管隔离开。

集电极扩散隔离晶体管（CDI）的结构如图 3.5-28 所示，在 CDI 工艺中，一个 n^+ 环把整个器件包围起来并与底部的 n^+ 埋层合并起来，所以晶体管被集电极和埋层形成的 n^+ 区域将晶体管和衬底完全隔离开。

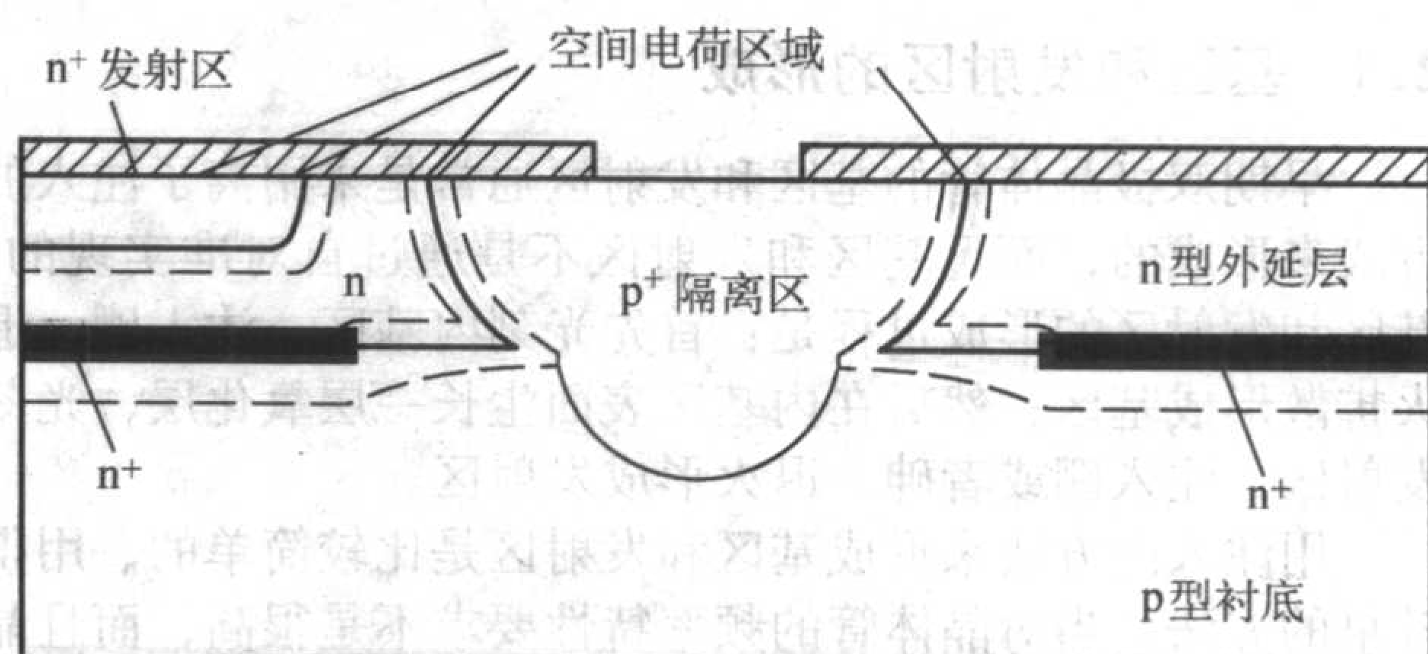


图 3.5-27　SBC 工艺中的 pn 结隔离

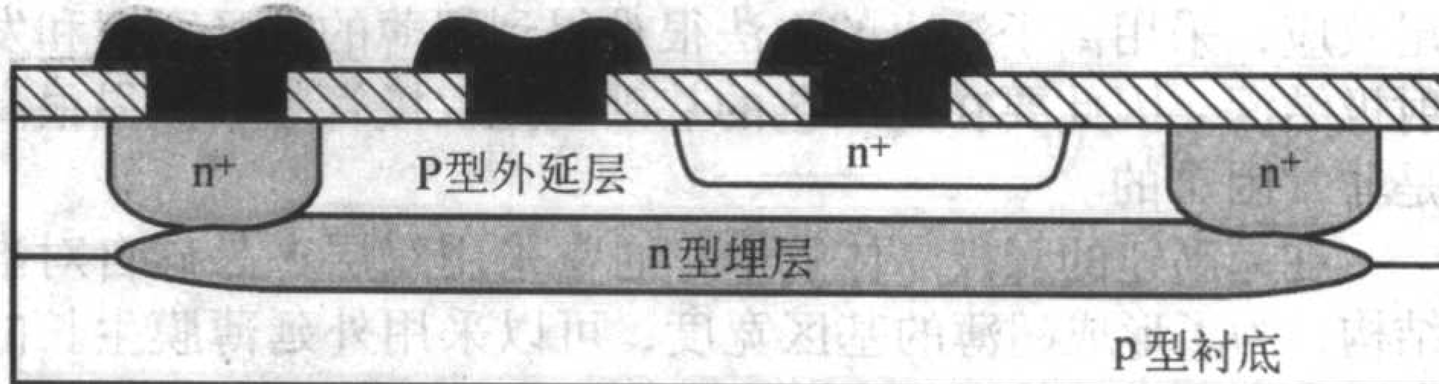


图 3.5-28　CDI 工艺中的集电极扩散隔离

早期的 pn 结隔离工艺虽然简单，但存在一些主要的缺点。首先是这种隔离方式占用面积大，这直接影响晶体管集成电路集成度的提高。另外隔离时杂质的扩散导致集电极与衬底之间以及集电极与基区之间的寄生电容增加，这会降低电路的速度。现在先进的双极晶体管制造技术通常采用的是隔离效果更好的沟槽隔离方式。沟槽隔离可以有效地减小晶体管面积，提高集成度，同时沟槽隔离还能有效地减小寄生电容，提高器件性能。沟槽隔离的具体实现方法将在下节描述。

2.2　埋层和外延层的设计和制备

在双极晶体管结构中，采用埋层和外延层结构主要用来减小集电区的体电阻。

埋层是通过离子注入和高温退火形成的。首先在衬底上生长一层二氧化硅，光刻埋层区，刻蚀去掉埋层区上面的氧化层，然后注入 n 型杂质，退火激活杂质并使其扩散。

埋层的掺杂浓度通常较高，一般在 10^{19} 和 10^{20} 数量级，方阻的范围为 20～40 Ω/□，注入的杂质有两种选择：As 和 Sb，As 的优势就是注入产生的缺陷少，方阻比较小，而它的缺点就是原子量小，扩散系数大，在外延层生长的高温过程中，很容易向外延层扩散，这样就很难做成薄外延层；Sb 正好相反，注入损伤大，方阻也大，但是扩散系数小，容易形成薄外延层。

埋层退火后，用湿法去掉硅片表面所有的二氧化硅，然后外延一层 n 型外延层，双极器件主要就是制作在这层外延层上的。

在高速的双极晶体管结构中，外延层的掺杂和厚度是比较重要的参数。双极晶体管尺寸的缩减将会引起集电区电流密度的增加，当电流超过了某一特定值 J_{cr} 时，双极管的电流增益 β 和特征频率 f_T 就会急剧下降，这是由于大电流效应引起的，主要是有效基区扩展效应或者叫 Kirk 效应，而 Kirk 效应的临界电流密度 J_{cr} 正比于外延层的掺杂浓度 N_C，所以考虑到抑制 Kirk 效应，可以增加外延层掺杂浓度，但是如果外延层掺杂浓度太高，又会引起 f_T 的降低。如果采用倒置掺杂分布的集电区就可以增加 f_T，倒置掺杂分布是指在 BC 结附近浓度较低，而向着埋层的方向浓度不断增加。另外，外延层的厚度随着器件的需要变化很大，从模拟电路中的几个微米到高速数字电路中的不到 1 μm，外延层太薄则容易耗尽，这样晶体管的击穿电压就会很低，如果太

厚，则会严重影响高频特性。所以外延层的厚度是由 BV_{CEO} 和 f_T 共同决定的。

2.3 基区和发射区的形成

早期双极晶体管的基区和发射区通常是采用离子注入的方式来形成的，而且基区和发射区不是通过自对准实现的。基区和发射区的形成过程是：首先光刻内基区，注入硼，退火扩散形成基区；然后在内基区表面生长一层氧化层，光刻发射区，注入硼或者砷，退火形成发射区。

用注入的方法来形成基区和发射区是比较简单的、用得较早的方法。当对晶体管的频率特性要求不是很高，而且晶体管有效发射区的尺寸还比较大时。通过工艺的优化，这种方式能获得比较好的器件性能。但是由于离子注入存在的拖尾效应，采用离子注入的方法很难得到超薄的基区宽度和发射极结深，因此要在此工艺的基础上把双极管频率做得很高是非常困难的。

在超高速的双极晶体管中，通常采用双层多晶硅自对准结构，为了形成超薄的基区宽度，可以采用外延薄膜生长的方法来实现本征基区，这样能把基区宽度控制在几十个纳米。对于高性能的双层多晶硅自对准晶体管将在后面的章节介绍。

2.4 工艺集成

双极集成电路的制造工艺所需工艺手段和 CMOS 基本相同，只是多需要一种外延技术（有时外延技术也可以省去）。传统的双极工艺由于隔离技术的不同，有很多种，除了 I^2L 电路的器件之间是自然隔离外，其他双极电路的器件都是需要隔离的。下面我们介绍一下最基本的双极集成电路工艺：用 pn 结隔离的标准埋层工艺（SBC）。考虑到描述的简单性，仅以 NPN 为例。其器件形成过程如图 3.5-29 所示。

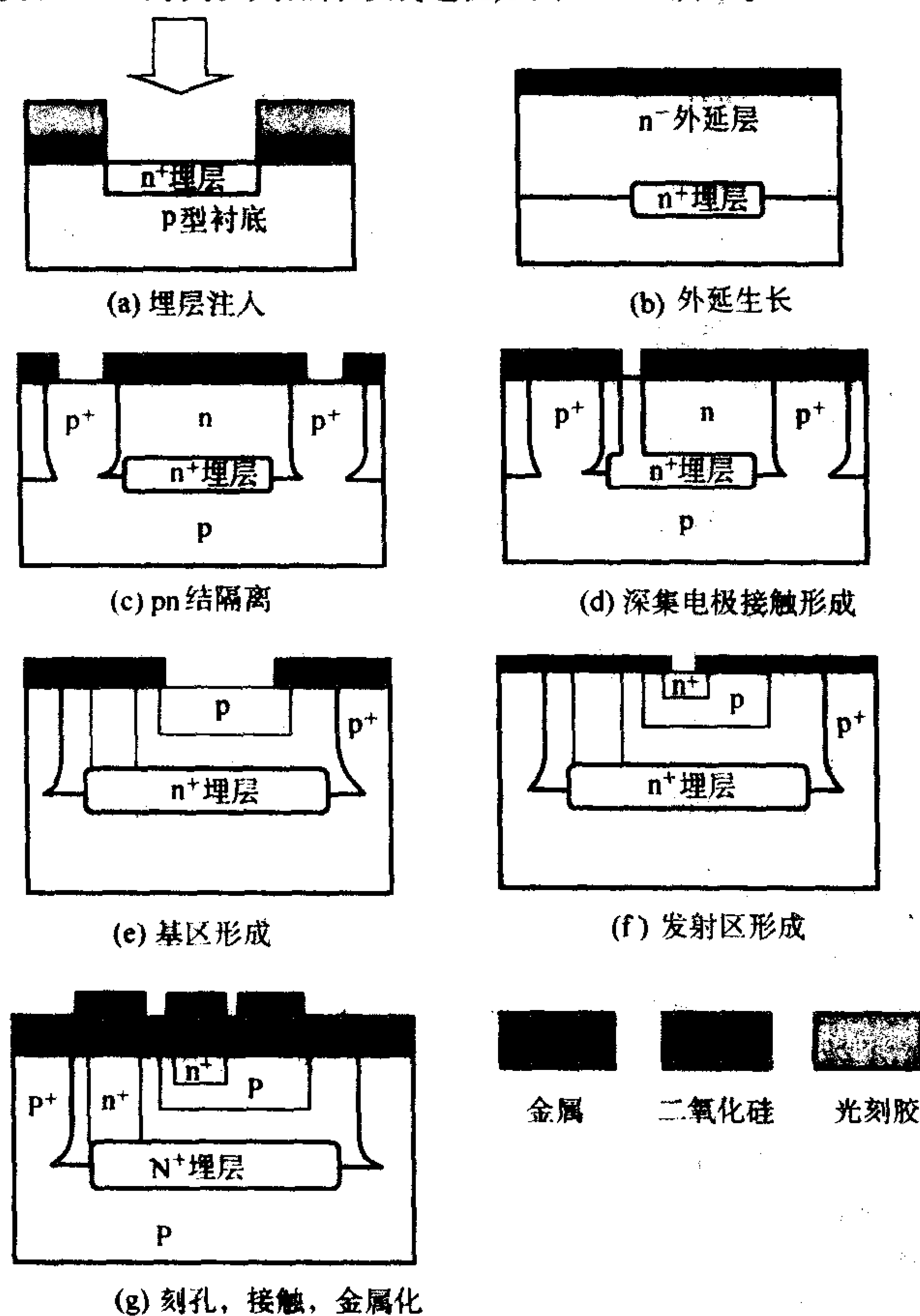


图 3.5-29 SBC 工艺流程示意图

1）衬底准备 衬底用轻掺杂的 p 型硅（浓度是 10^{15} 量级），这样可以减小集电极和衬底的耗尽层电容，但又不能太低，否则在后续工艺中会反型成为 n 型。

2）埋层形成 埋层是为了减小集电区体电阻。先在衬底上长一层二氧化硅，用 1 号光学版光刻出埋层区，干法刻掉埋层区的氧化硅，然后注入 n 型杂质（磷，砷或锑），退火激活杂质并使其扩散。见图 3.5-29a。

3）外延层生长 用湿法刻去全部二氧化硅，然后外延一层轻掺杂 n 型外延硅层。双极器件主要就是做在这层外延层上。见图 3.5-29b。

4）隔离区形成 再长一层二氧化硅，用版 2 光刻出隔离区。刻掉该区的氧化层。预淀积硼，并退火使其扩散。从而形成 p 型的隔离区。见图 3.5-29c。

5）深集电极接触形成 深集电极接触也是为了降低集电极体电阻。用版 3 光刻出集电极，注入磷（或扩散），退火激活并扩散。见图 3.5-29d。

6）基区形成 光刻基区（用版 4），然后注入硼。退火使其扩散就形成基区。要注意注入硼的能量和剂量，这对器件的性能影响特别大。见图 3.5-29e。

7）发射区形成 基区长一层氧化层，用版 5 光刻出发射区。注入砷（或磷）退火形成发射区。见图 3.5-29f。

8）金属接触和布线 淀积一层二氧化硅，用版 6 光刻并干法刻出接触孔，该孔用来引出电极。孔内溅射金属形成欧姆接触。淀积铝作为金属连接层，并用版 7 光刻并刻出连线层金属。淀积一层钝化层并退火。用版 8 光刻和一步刻蚀形成压焊块。见图 3.5-29g。

3 先进的双极集成电路制造技术

双极器件的一个重要特点就是纵向尺寸无法跟随横向尺寸成正比例缩减，这使得双极工艺水平始终落后于 MOS 一到两代。双极晶体管最重要的两项性能是电流增益和特征频率，影响特征频率的主要参数是基区宽度和寄生结电容。提高特征频率就要求有窄的基区，小的寄生电容。影响电流增益的主要参数是发射区和基区的掺杂情况，以及发射区向基区的载流子注入效率。基区的掺杂浓度越低，电流增益越大，但是如果太低，就很容易发生基区穿通，晶体管就无法正常工作。因此一般的措施就是提高发射区掺杂浓度，但是发射区掺杂浓度太高时，其杂质高度简并，会使其能带宽度减小，少数载流子的复合增加，从而导致发射极注入效率下降，这样对电流增益的影响将是得不偿失。考虑以上种种因素，先进的双极工艺主要致力于以下方面：先进的隔离技术，多晶硅发射极，自对准结构和异质结双极晶体管技术。

3.1 沟槽介质隔离

对于超高速集成电路而言，早期的 pn 结隔离和常规等平面氧化物（LOCOS）隔离有较大的寄生效应，而且不能按比例缩小。尤其是当器件尺寸减小、晶体管集成度提高时，无论是 LOCOS 技术，还是任何其他改进技术都不适合这种小尺寸、高集成度电路。为解决这些问题，开发了一些新的隔离方法，首先研究的是纵横比小的浅槽隔离（STI），图 3.5-30 为一个简单的浅槽隔离技术的工艺过程。

形成过程是硅片生长预氧化层和氮化硅层之后，首先光刻出隔离区，刻蚀出硅槽。在填沟之前，为了防止沟底形成自然反型层，增大器件与器件之间的击穿电压，在沟底注入了一定剂量的硼离子。然后用二氧化硅填充硅槽，最后进行平坦化处理。从浅槽隔离的形状来看，可以认为浅槽技术与 LOCOS 技术有些类似，只不过在浅槽技术中填入场区的是淀积的 SiO_2 而不是热氧生长的 SiO_2，淀积完 SiO_2 后，必须进行平坦化工艺来去除有源区上多余的 SiO_2，最后再去除预氧

化层和氮化硅层。

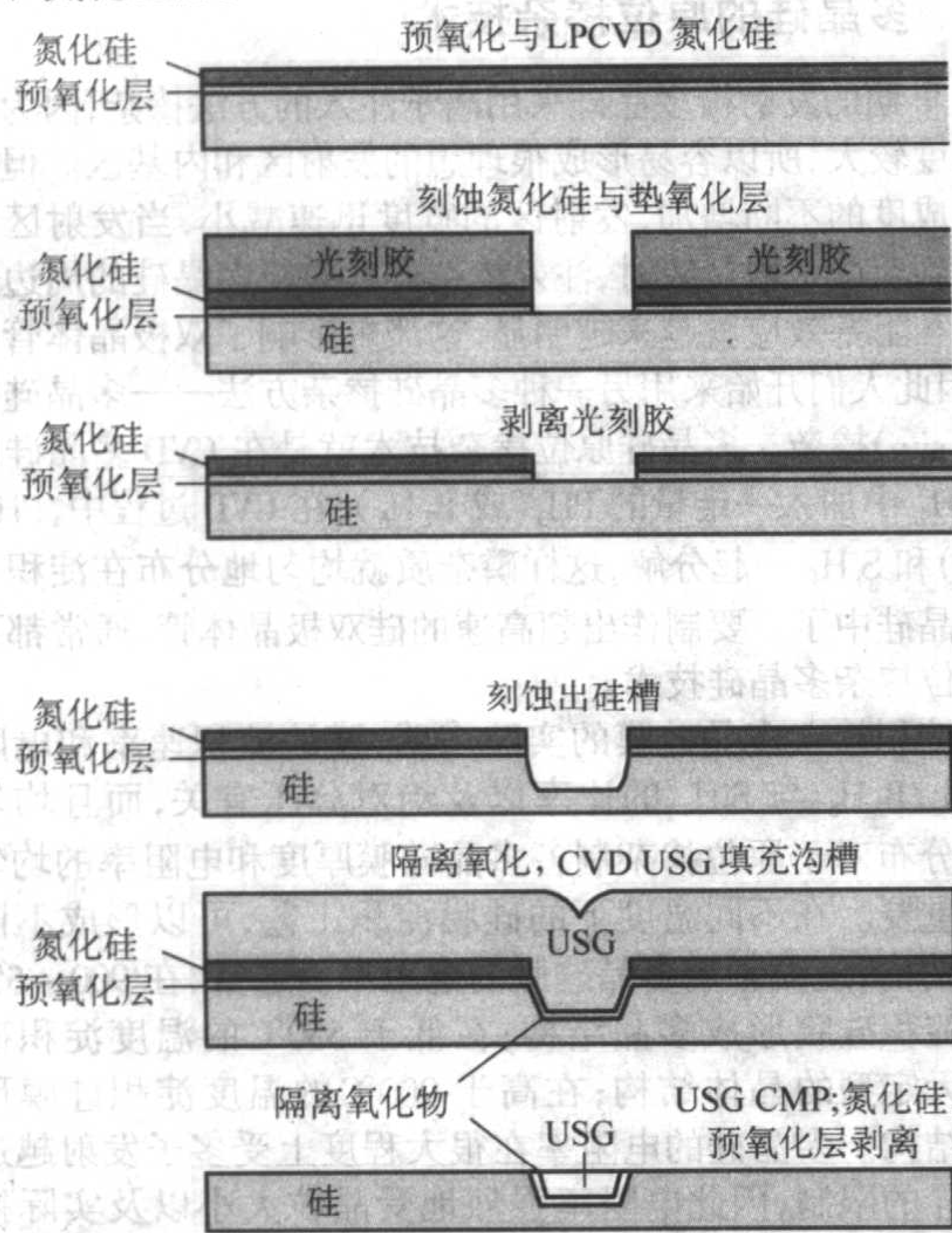


图 3.5-30 浅槽隔离技术的工艺过程

STI 隔离技术的主要优点在于它能形成更平整的硅表面，早期的 pn 结隔离和 LOCOS 隔离会在硅表面形成很高的台阶，这使得后面的淀积工艺的台阶覆盖差，并且将影响光刻工艺的对准。在光刻小尺寸图形时这种问题会更严重。而采用 STI 隔离可以很好地解决这个问题。另外 STI 的其他优点还包括减小了隔离区域的面积、增加了器件的封装密度、提高了器件的隔离性能、减小了寄生电容等。因此在特征尺寸小于 0.35 μm 的集成电路工艺中通常采用这种隔离技术。

另一种更好的隔离方法叫做深槽隔离技术。深槽隔离采用的是固定宽度的深槽，一般深槽的尺寸宽度在 0.18～1 μm 之间，深度在 2～5 μm 之间。在双极电路中，深沟隔离的使用能大大减小器件面积和 C－S 寄生电容，能显著提高 NPN 管的高频特性，增大集电极－集电极之间的击穿电压。深槽隔离的工艺通常是从标准的 LOCOS 隔离开始的，在形成 Si_3N_4 图案后，就进行沟槽的刻蚀。深槽刻蚀对刻蚀工艺的要求非常严格，刻蚀后沟槽的侧壁必须光滑。刻蚀完成后进行沟槽底部的硼离子注入，再进行沟槽填充，填充材料通常有 SiO_2 和不掺杂的多晶硅。最后进行反刻多晶硅或 CMP 平坦化形成深槽隔离结构。图 3.5-31 为深沟隔离工艺的示意图。

与其他隔离技术相比，深沟隔离的总体工艺过程复杂，难度大。但是由于其隔离性能非常好，在高性能的双极器件结构中，通常都采用深沟隔离技术。

3.2 多晶硅发射极工艺技术

所谓多晶硅发射极，就是利用多晶硅直接与发射区接触，引出发射极，多晶硅发射极的采用能增大双极晶体管的电流增益系数 3～7 倍，而这种对电流增益的提高为增加基区掺杂浓度（而不降低晶体管的电流增益）提供了交换余地，这样，双极管的各项性能有了更大的优化空间。

多晶硅发射极的优势有：①提高电流增益；②高频率；③使 NPN 管的纵向尺寸和横向尺寸能同时缩减，使 E－B 结电容的周边部分能同时按比例缩减；④避免了传统的离子注入发射区在 E－B 结附近形成缺陷，避免了铝刺穿 E－B 结。

多晶硅发射极高电流的增益机理如下。

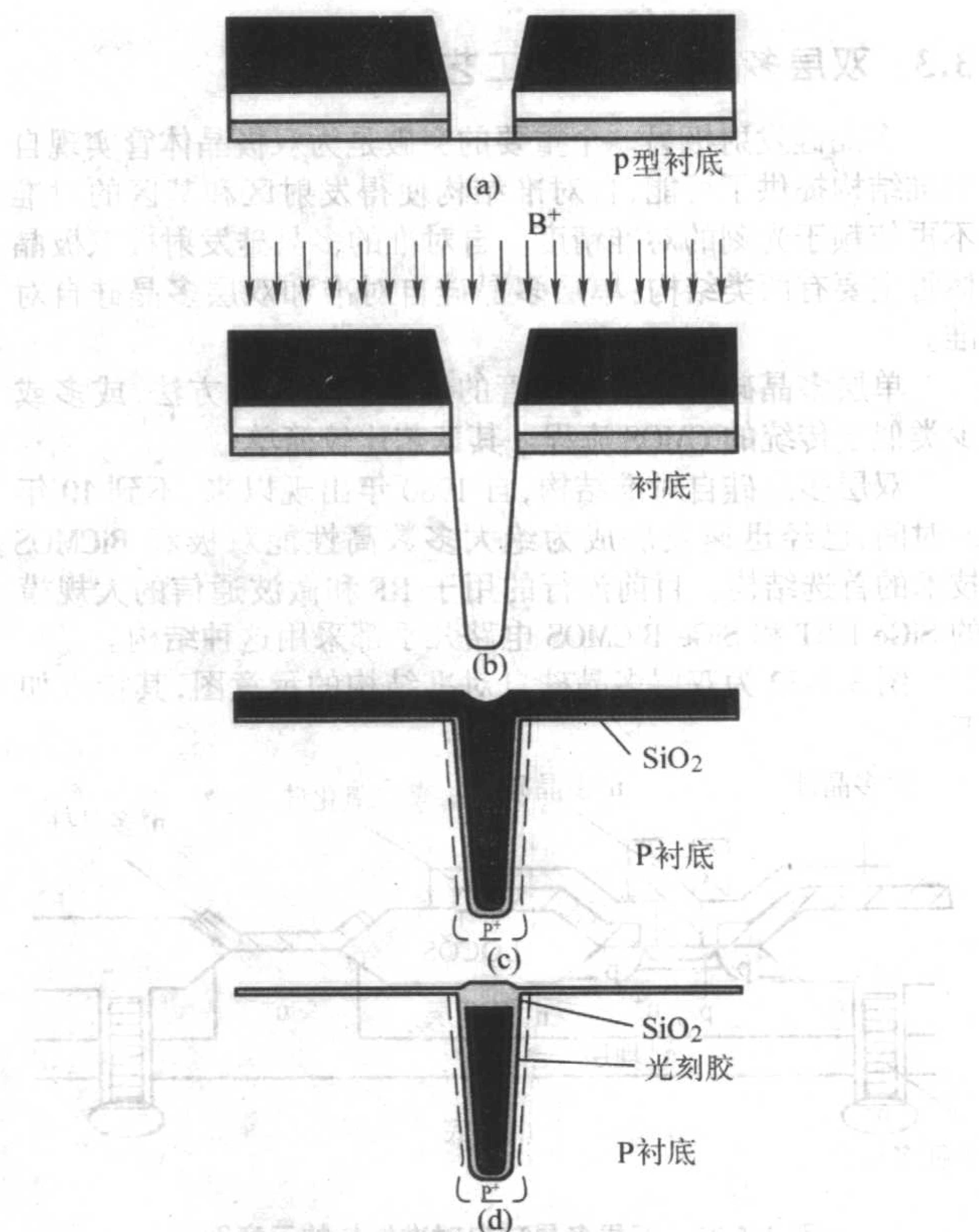


图 3.5-31 深沟隔离工艺的示意图

(1) 氧化层隧穿模型

该理论认为，在制造器件的工艺过程中，在多晶硅淀积之前，单晶硅衬底表面上会不可避免的生成一层自然氧化层。这层自然氧化层在多晶硅和单晶硅之间形成了一个很薄的势垒，而载流子必须通过遂穿效应通过此势垒。

(2)界面杂质离析模型

该模型是建立在假设多晶硅中的杂质会在多晶硅晶界上离析出来的基础上。因为在多晶硅发射极结构中，多晶/单晶界面实质上可以视为是一个大的连续的晶界，所以多晶硅的杂质会在界面上大量离析出来。离析在界面上的杂质抬高了界面的势垒，从而阻止正偏时空穴注入到发射极。这种阻挡行为降低了空穴在发射区的浓度分布，使空穴电流变小，从而增大了电流增益。此模型类似界面氧化层模型，不同之处就在于在界面处形成势垒的物质不同而已。

(3)载流子通过多晶硅膜的输运理论

该理论认为多晶硅发射极引起的电流增益是由于空穴在多晶硅膜中的输运引起的。在多晶硅中，空穴的迁移率会低于单晶硅中的空穴迁移率。因为在多晶硅的晶粒内，空穴的迁移率与单晶硅中是一样的，但是在晶界上，空穴的迁移率就下降了，并且还会发生复合，因此整体来说空穴的迁移率就下降了，而且晶粒数目越多，空穴的迁移率就越低。发射区的空穴迁移率降低，意味着基区电流减小，但是电子的迁移率在多晶硅中却并无多大变化，所以电流增益就会增大。

(4)实际情况

实际上，多晶硅发射极的电流增益应该是三种机制同时作用的结果，就是说可能有的地方是氧化物势垒在起作用，有的地方则是杂质势垒在起作用，再加上空穴在多晶硅膜中的迁移率的下降，共同导致了多晶硅发射极对电流增益的提高效果。这样使得双极管的设计增加了很大的自由度：我们可以适当的增大基区浓度，减薄基区，这样并不降低基区穿通电压，也可以保持电流增益，但是晶体管的特征频率 f_T 却得到了很大的提高。

3.3 双层多晶硅自对准工艺

多晶硅发射极另一个重要的突破是为双极晶体管实现自对准结构提供了可能，自对准结构使得发射区和基区的对准不再依赖于光刻的对准精度。自对准的多晶硅发射极双极晶体管主要有两类结构：单层多晶硅自对准和双层多晶硅自对准。

单层多晶硅自对准晶体管的制作有好几种方法，或多或少类似于传统的CMOS流程。其工艺比较简单。

双层多晶硅自对准结构，自1980年出现以来，不到10年的时间，已经迅速发展成为绝大多数高性能双极和BiCMOS技术的首选结构。目前流行的用于RF和微波通信的大规模的SiGe HBT和SiGe BiCMOS电路几乎都采用这种结构。

图3.5-32为双层多晶硅自对准结构的示意图，其特点如下。

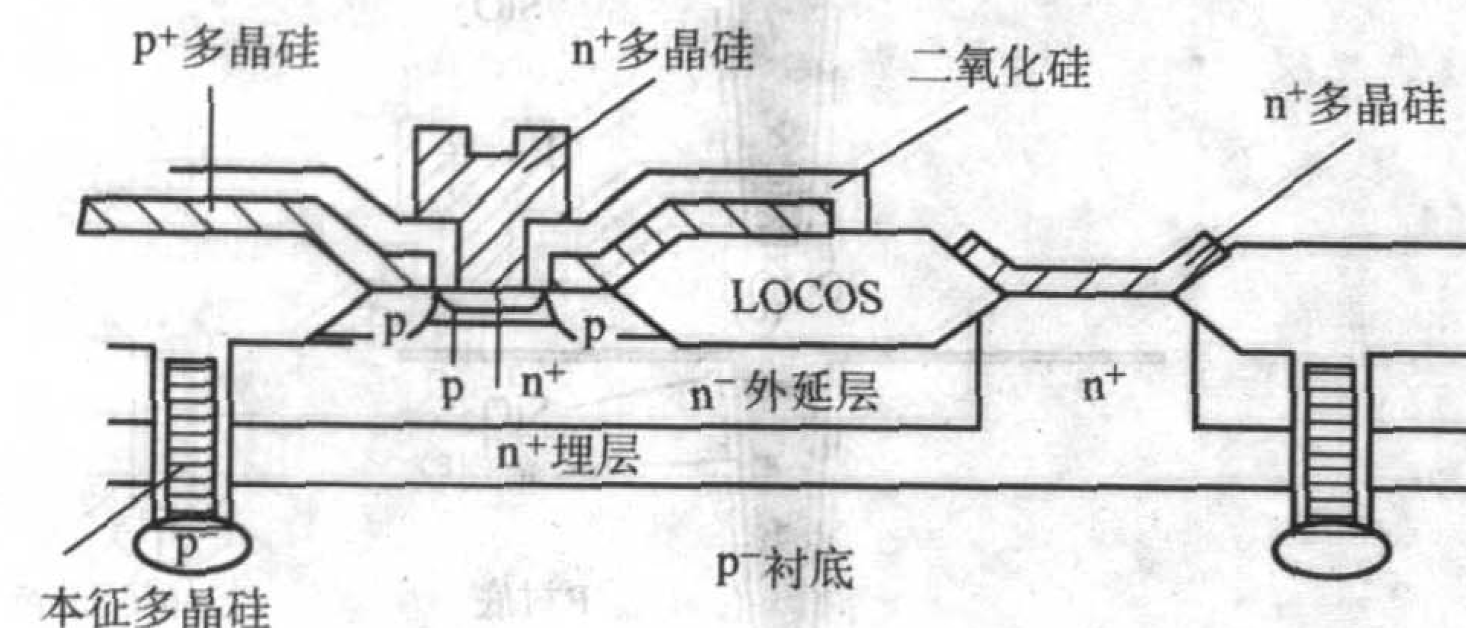


图3.5-32 双层多晶硅自对准结构的示意图

① 基极用p^+多晶硅引出，并且p^+多晶硅作为扩散源形成外基区。

② 发射极用n^+多晶硅引出，同样n^+多晶硅作为扩散源形成发射区。

③ 发射区通过侧墙与基区自对准，同时侧墙也影响着内外基区的连接。

图3.5-33为双层多晶硅自对准结构的制作过程，首先将硅片表面清洗干净，淀积第一层多晶硅，注入Boron到多晶硅中形成p^+外基区的扩散源，刻蚀内基区窗口，再进行内基区注入，然后淀积氧化层，反刻氧化层形成E－B结侧墙，再淀积第二层多晶硅，注入As或p形成n^+多晶硅，最后退火形成NPN晶体管。

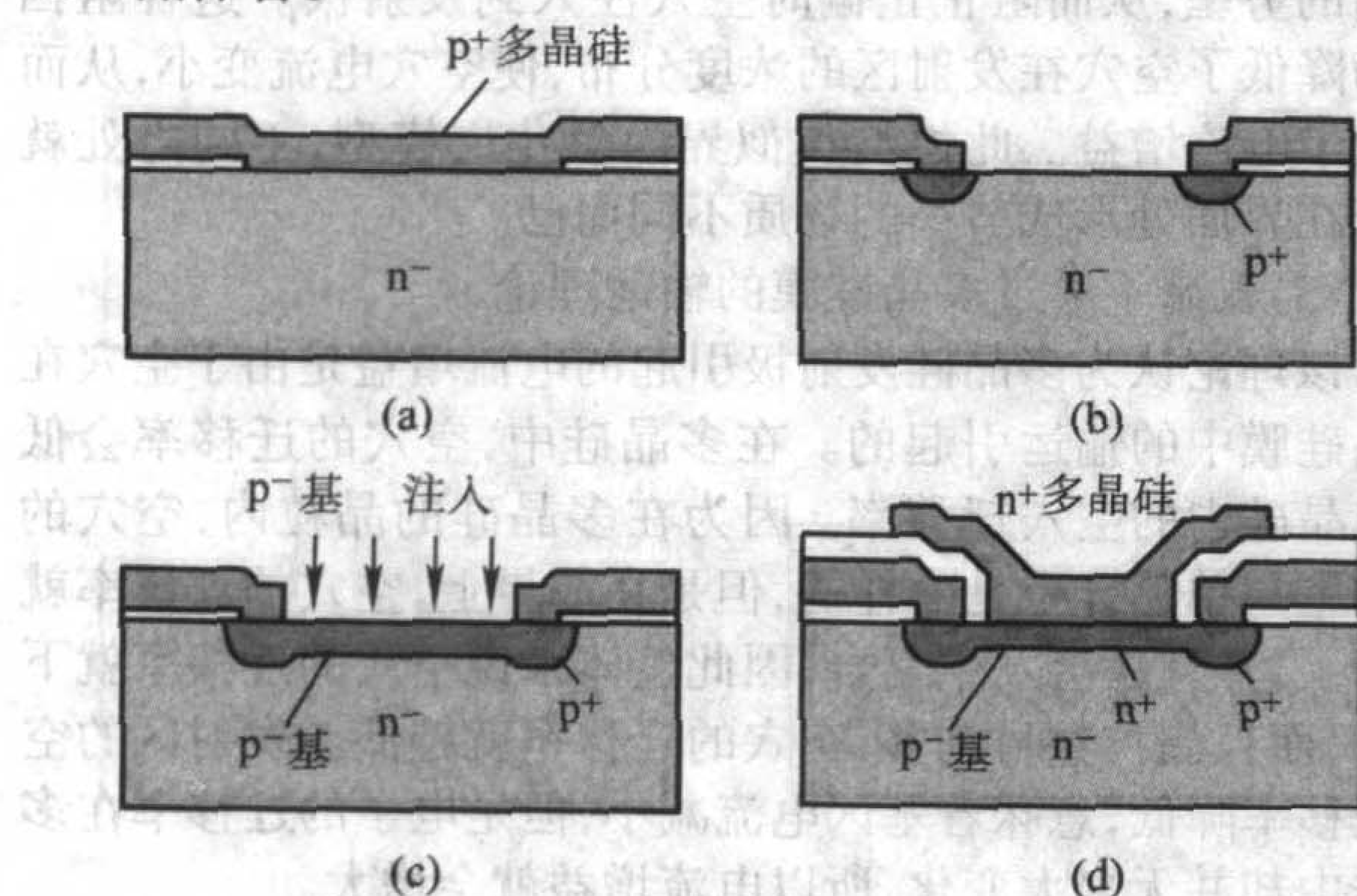


图3.5-33 双层多晶硅自对准结构的制作过程

这种双层多晶硅自对准结构的优势在于：①发射区与基区实现自对准，无需考虑光学版对准容错。发射区可以做得很小，甚至小于最小光学尺寸。②基区与有源区也实现自对准，因此基区也可以做得很小，这样减小了寄生电容，提高了晶体管的频率特性。③基极通过多晶硅引出，基极的接触孔可以开在隔离区上，这样可以减小管子的面积。④分别引出基极和发射极的两层多晶硅都可以用来布线，这样给电路设计者提供了很大的自由度。

3.4 多晶硅的原位掺杂技术

早期的发射极多晶硅采用离子注入的方法掺杂，因为发射区宽度较大，所以容易形成很理想的发射区和内基区。但是随着集成度的不断增加，发射区的宽度迅速减小，当发射区宽度减小到亚微米数量级时，注入掺杂的发射极多晶硅的周边耗尽效应和阻塞效应就越来越明显，这严重影响了双极晶体管的性能，因此人们开始采用另一种多晶硅掺杂方法——多晶硅原位(in－situ)掺杂。多晶硅原位掺杂技术就是在CVD多晶硅的气源SiH_4中加入一定量的PH_3(或B_2H_6)，在CVD过程中，PH_3(或B_2H_6)和S_iH_4一起分解，这样磷杂质就均匀地分布在淀积下来的多晶硅中了。要制作出超高速的硅双极晶体管，通常都要采用原位掺杂多晶硅技术。

淀积掺杂多晶硅膜的实验表明，膜的淀积速率和电阻率与PH_3/B_2H_6与SiH_4的比率以及绝对分压有关，而且均匀的气体分布对于原位掺杂制备多晶硅膜厚度和电阻率的均匀性至关重要。在不同温度下的硅膜淀积工艺，可以形成不同的晶体结构，进而影响多晶硅膜的电阻率。通常，在900～550℃之间淀积硅膜形成多晶结构；在低于550℃的温度淀积硅膜形成无定型的晶体结构；在高于900℃的温度淀积硅膜形成单晶结构。多晶硅的电阻率在很大程度上受多子发射越过晶粒间界的限制，因此电阻率强烈地受晶粒大小以及实际掺杂剂浓度的影响。要想形成电阻率小且均匀的多晶硅膜，原位掺杂的工艺关键就是控制好CVD的温度，PH_3/B_2H_6与SiH_4的比例及气体之间的均匀混和。

原位掺杂的多晶硅要形成发射极还要在淀积好膜后在退火的过程中控制发射结的深度和发射极的掺杂浓度，形成良好的发射极。新型的多晶硅发射极在一个LPCVD过程中连续淀积三层多晶硅，如图3.5-34所示。一薄层本征多晶硅隔离层淀积在界面与砷(磷)浓度为$10^{21}/cm^3$的原位掺杂多晶硅之间，来减小多晶与单晶界面的污染。第二层本征多晶硅淀积在原位掺杂多晶硅层的上面，对E－B结的金属接触有效地进行隔离保护，这个复合的多晶层的总厚度为225 nm。

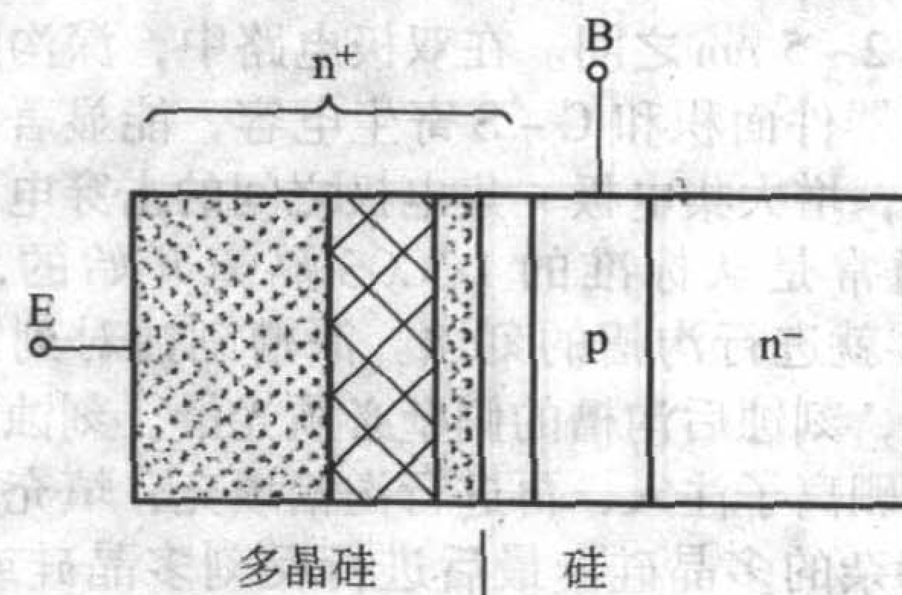


图3.5-34 三层多晶硅发射极结构

3.5 异质结双极晶体管(HBT)

双极器件的纵向尺寸进一步缩减时，会遇到一些严重的限制：当基区宽度减小时，必须提高基区的掺杂浓度以保持适当的基区穿通电压和基区电阻，但是基区掺杂浓度太高又会影响双极晶体管的电流增益β。为了有效克服这对矛盾，我们可以在晶体管中采用基区禁带宽度小于发射区禁带宽度的材料，即在基区外延异质结来形成双极晶体管。

在双极NPN晶体管中，发射区电流注入效率γ对电流增益β的影响是决定性的：

$$\gamma=(n_e v_e/p_b v_h)\exp(\Delta E_g/KT) \tag{3.5-19}$$

式中，n_e、p_b分别是发射区和基区的多数载流子浓度；v_e是电子注入基区的有效速度；v_h是空穴注入发射区的有效速度。而重要的是γ与$\Delta E_g/KT$成指数关系变化，ΔE_g正是发射区与基区的禁带宽度之差。

只需当 $\Delta E_g \geq 0.2$ eV, $\exp(\Delta E_g/KT)$ 就会超过 2 000,因此无须太在意发射区与基区的掺杂浓度就可以得到很高的发射区注入效率,从而得到很高的 β 值。这样给提高 f_T 留出了很大的工艺余地,所以异质结晶体管可以用于超高频、射频(RF)和微波电路设计中。

异质结有很多种,目前最流行的是Ⅲ-Ⅴ族化合物,但是最有希望与硅工艺兼容,最有可能适合大规模集成电路的则是 Si/SiGe 异质结工艺。图 3.5-35 为双层多晶硅自对准 SiGe HBT 的结构图。

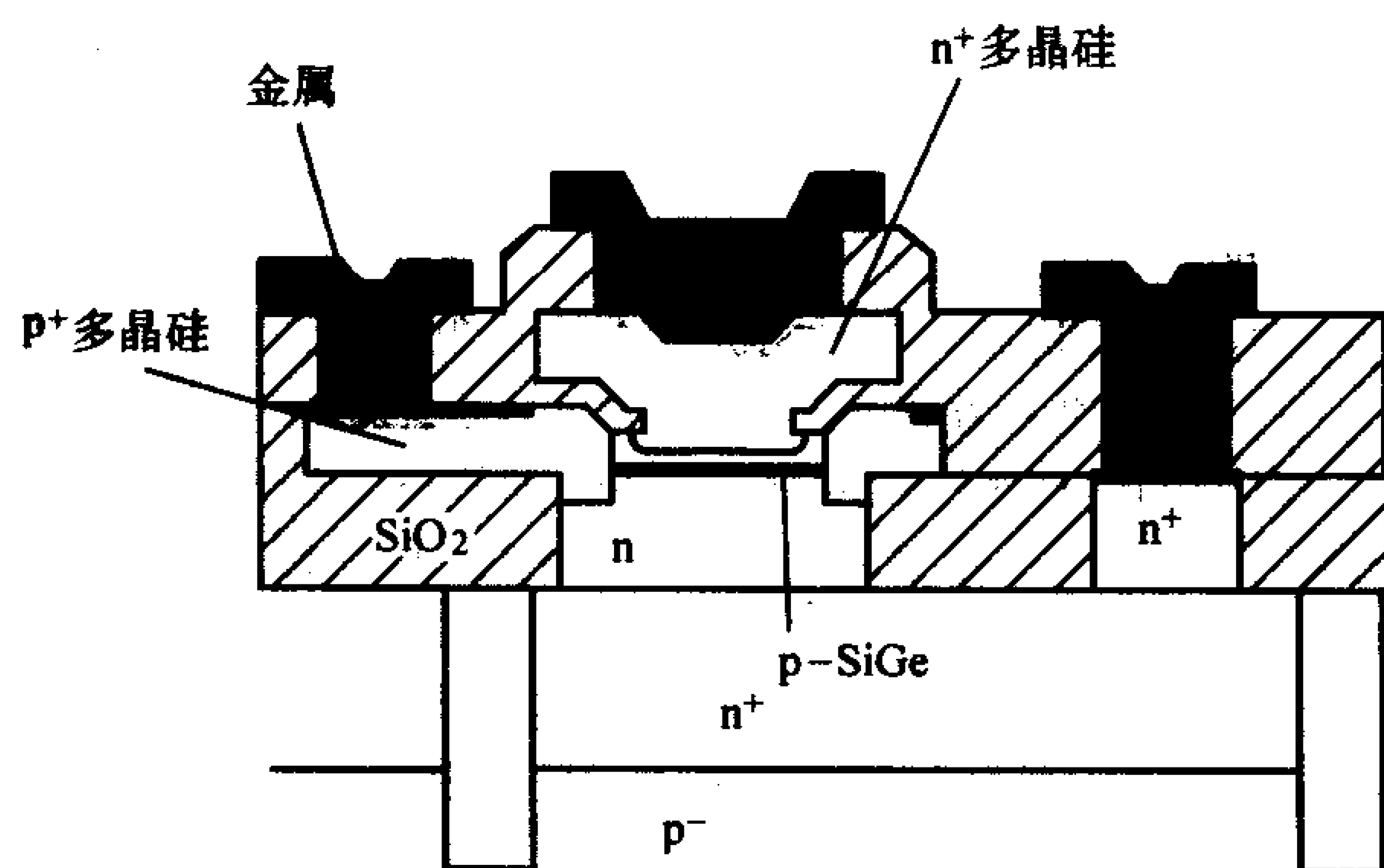


图 3.5-35 双层多晶硅自对准 SiGe HBT 的结构图

SiGe 异质结双极晶体管(HBT)就是利用先进的外延技术外延 SiGe 合金作为基区的双极晶体管,被称为"第二代新硅技术"。在 2003 年的 BCTM 上,IBM 公布了他们最新开发的 0.13 μm 的 SiGe BiCMOS 工艺,其中 NPN SiGe HBT 的特征频率 f_T 高达 200 GHz,最高频率 f_{max} 达到了 280 GHz。

4 BiCMOS 集成电路

4.1 BiCMOS 集成电路介绍

在集成电路中,CMOS 器件和双极器件的性能之间存在着显著的差距。CMOS 器件的主要特点是功耗低、器件尺寸小、集成度高,但是在速度和模拟性能方面,CMOS 器件与双极器件有很大的差距。双极电路虽然具有高速度、驱动能力强和模拟精度高的优点,但是电路集成度低、功耗大。从图 3.5-36 中可以看出,这些性能上差距的存在意味着无论是 CMOS 集成电路还是双极集成电路都很难同时满足电路高速和低功耗的要求。

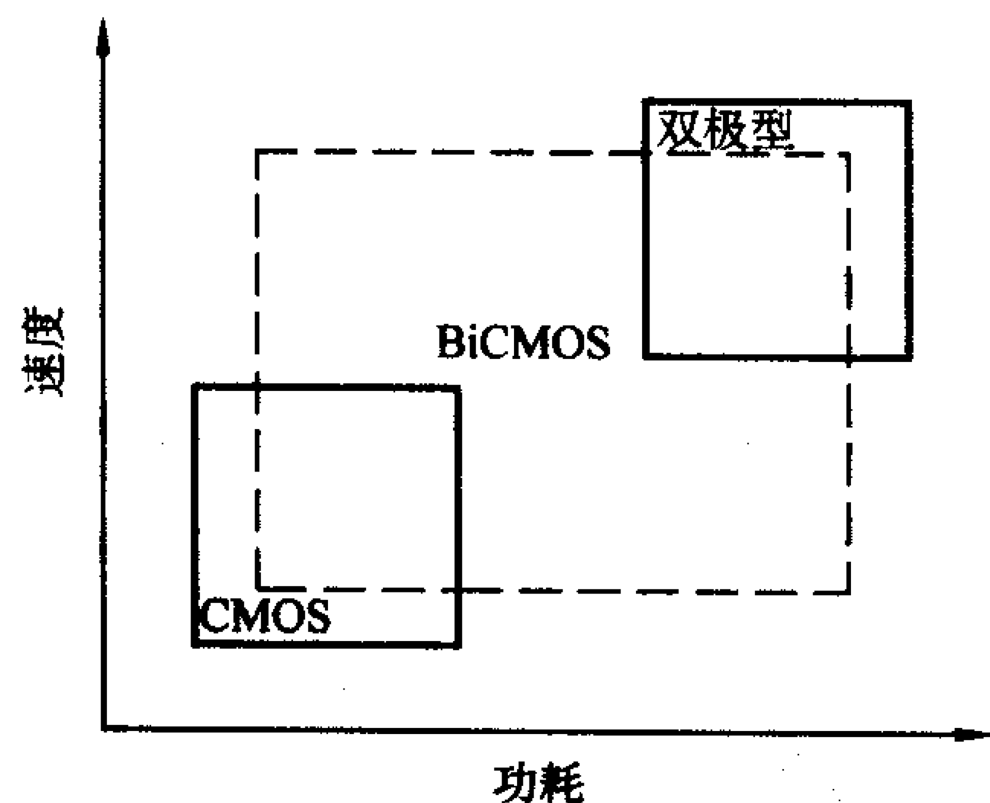


图 3.5-36 CMOS、双极晶体管和 BiCMOS 在速度和功耗方面的比较

双极-CMOS 兼容工艺技术(BiCMOS)的出现终于满足了电路同时在集成度和功耗之间的要求。BiCMOS 工艺就是把双极器件和 CMOS 器件同时集成在同一块芯片上,它集中了双极器件高速、高跨导、驱动能力强和 CMOS 器件低功耗、高集成度的优点,为高速、高性能的超大规模集成电路(VLSI)的发展开辟了一条崭新的道路。

BiCMOS 工艺发展开始于 20 世纪 80 年代早期,是作为一种显著提高数字电路性能的方法,主要应用于 SRAM 中。随着数字 BiCMOS 工艺的发展和应用的连续增长,模拟 BiCMOS 工艺也越来越受到重视。但在具体应用上却受到限制,这主要是因为在模拟电路中存在高电压盛行和双极工艺的负担。尽管此时 BiCMOS 工艺已经大量应用于大规模数字集成电路,但是由于工艺复杂价格昂贵,BiCMOS 始终没有取代 CMOS 而成为当今超大规模集成电路发展的主流工艺。而且随着 CMOS 尺寸的缩小和功能的增强,BiCMOS 的活跃有所跌落,但是近年来由于无线通信领域的模拟和混合信号应用的爆炸般的增长,BiCMOS 工艺可以说是经历了一次新生。

BiCMOS 最典型的应用是在静态随机存储器(SRAM)中,SRAM 存储单元要求低功耗高集成度,因此用 CMOS 电路,而其输入输出(I/O)部分电路则要求高速高电流驱动能力,所以用双极电路。这样,这两种工艺的结合的优势首先在高性能的 SRAM 中得到了具体的体现。BiCMOS 的主要应用包括以下几方面。

1)数字逻辑电路和门阵列 可以想象,BiCMOS 最明显的用法就是用 CMOS 做高集成度低功耗的部分而双极仅用来做输入输出部分,这是最早的数字 BiCMOS 集成电路(图 3.5-37)。后来,更先进的 BiCMOS 技术将双极晶体管也集成到逻辑门中,如图 3.5-38 所示。和传统的 CMOS 门一样,这种 BiCMOS 逻辑门也没有直流功耗,而且在同样设计尺寸时,它们的速度将更快。尽管双极管的加入将增加 20% 的面积,但是考虑到负载驱动能力的增加,BiCMOS 门的实际集成度比起 CMOS 将有所增加。

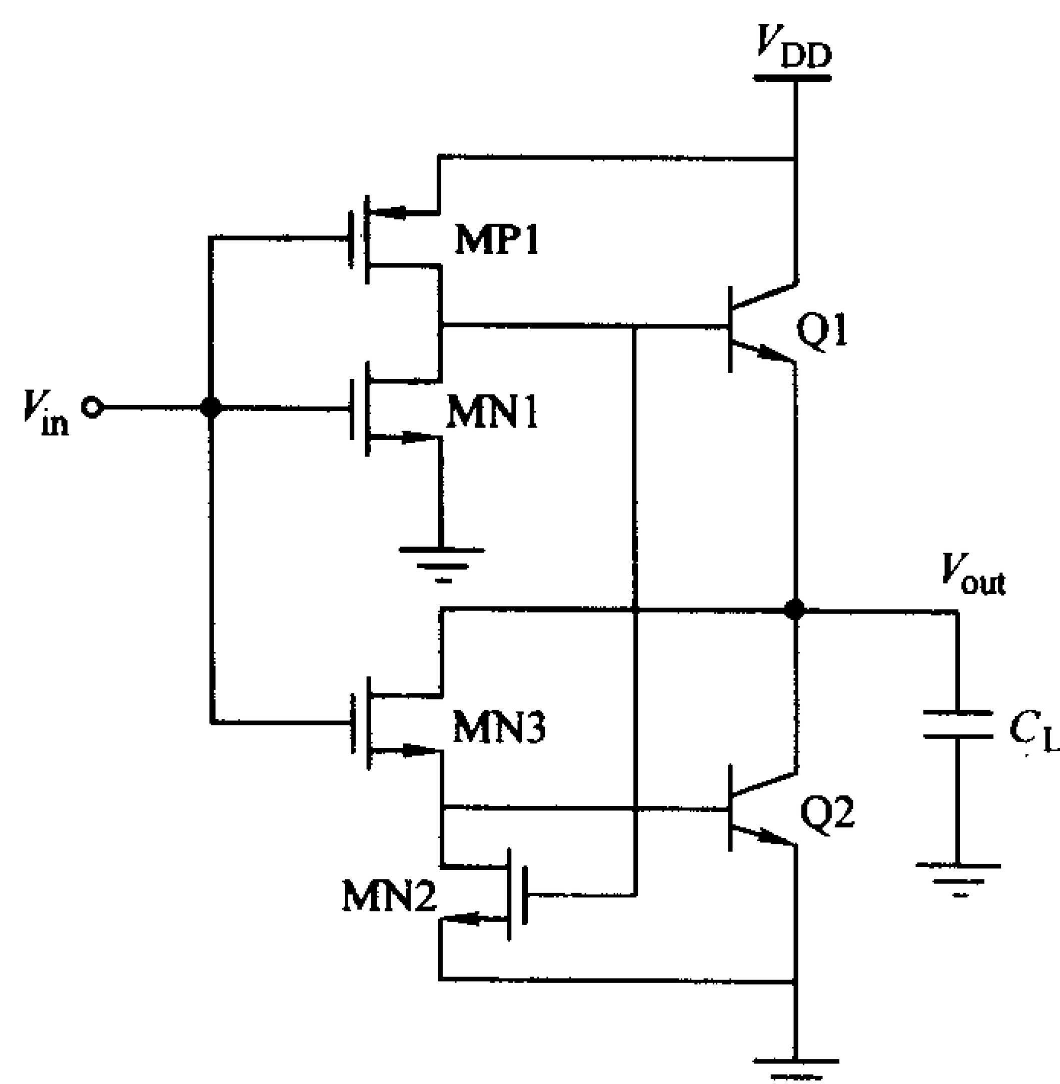
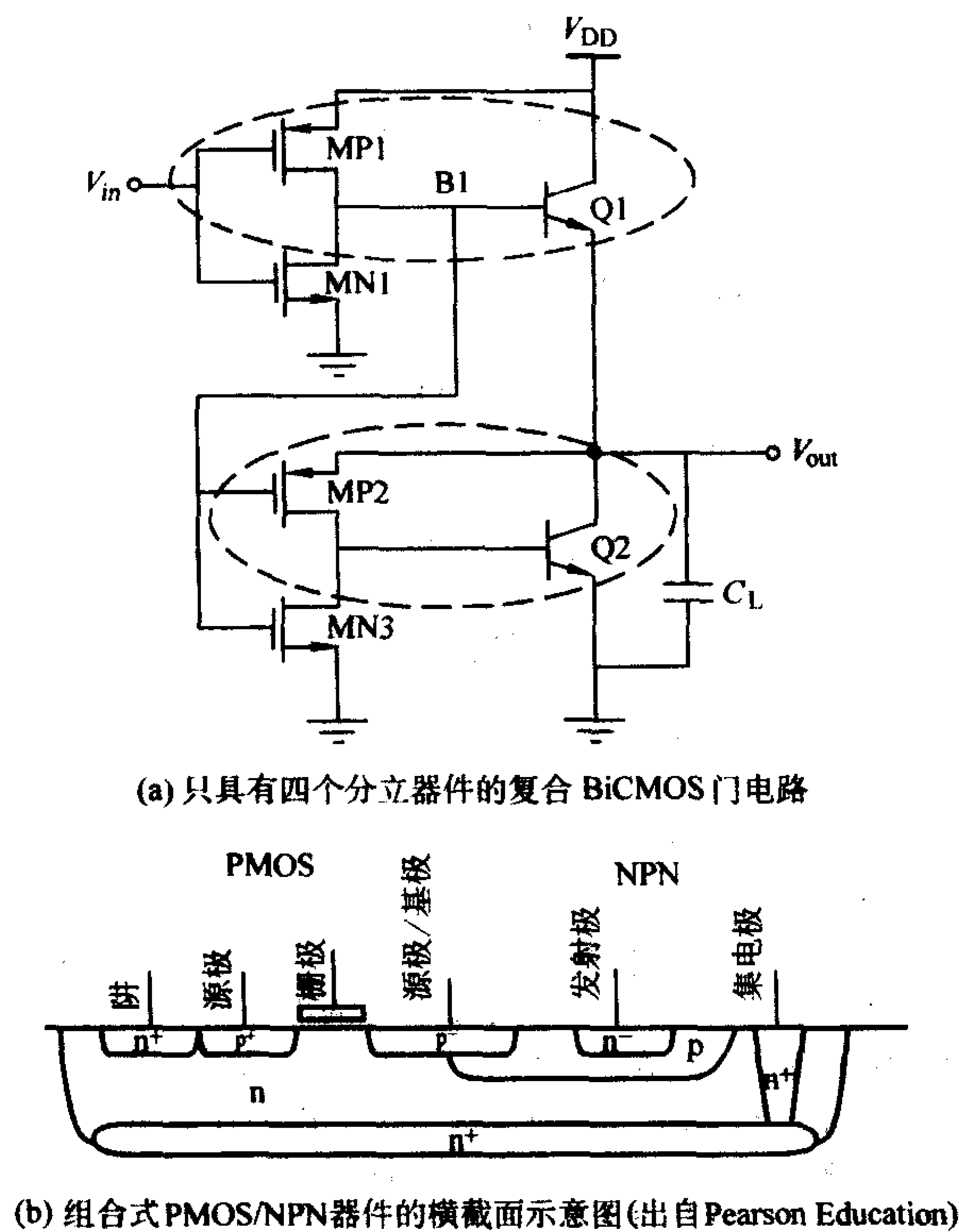


图 3.5-37 传统的 BiCMOS 反相器的电路结构示意图

BiCMOS 逻辑门在门阵列应用中也具有很大的吸引力,这是因为它的扇出一般为 3~5,这样大的扇出意味着有着极强的负载能力,而且 BiCMOS 门能比 CMOS 门更快地驱动这些负载。另外,BiCMOS 门阵列中的器件尺寸可以是一致的,这样降低了物理设计上的难度。不同的 CMOS 电路中,单位负载的延迟降低往往就不同。而对于 BiCMOS 电路,由于双极推挽器件隔开了 CMOS 电路和负载,使得不同电路中负载的变化都是相同的,这就简化了设计任务。

2)接口驱动电路 微处理器使用 CMOS 工艺,但是片外主线必须有较大的电容负载能力。传统的接口驱动电路是使用双极工艺制作的,这样可以保证数据传输速度,但是功耗却太大。以 32 位的微处理器为例,它包含 10 个或更多的接口器件,但是同一时间内只有一条主线是激活的,就是说每一条主线有 90% 的时间是没有工作的,由于这接口电路是纯双极的,即便没有工作它们也在不停地消耗功率,所以整个静态功



(a) 只具有四个分立器件的复合 BiCMOS 门电路

(b) 组合式PMOS/NPN器件的横截面示意图(出自Pearson Education)

图 3.5-38 BiCMOS 技术将双极晶体管集成到逻辑门中

耗也将极大。

但是如果用 BiCMOS 工艺做接口驱动电路,电路(主线)处于非工作状态的驱动器抽取的电流就要小多了。很多情况下,静态功耗可以节约将近 100%。而传统主线接口电路的功耗大约占整个系统电流功耗的 30%,所以这种节省的效果是非常显著的。而且 BiCMOS 驱动电路的传播延迟时间与先进的双极电路是不相上下的。

3)BiCMOS SRAM 因为 CMOS 的驱动能力逊于双极,也无法设计出拥有 ECL 输入/输出能力的 CMOS 输入输出缓冲电路,所以单纯的 CMOS 工艺无法生产出高性能高集成度的 SRAM,然而 BiCMOS SRAM 拥有与 CMOS 较为接近的集成度和功耗,和更高的速度。图 3.5-36 显示了双极、BiCMOS 和 CMOS SRAM 的速度-功耗关系图。BiCMOS 给 SRAM 电路的速度和功耗性能折中提供了余地(从极高速、低集成度高功耗到较慢、中等集成度和功耗的电路)。

典型的 BiCMOS SRAM 的存储阵列用 p 阱中的 NMOS 单元组成,所以这与 CMOS 的模块区大致相同;译码器、字线驱动器和读写驱动器则用 BiCMOS 逻辑门;灵敏放大器则用纯双极电路。在 TTL BiCMOS SRAM 中,输入/输出缓冲用的是 BiCMOS 逻辑门。而 ECL BiCMOS SRAM 则用 ECL 门作为输入输出缓冲(如图 3.5-39 所示)。

4)在模数混合电路中的应用 用 BiCMOS 工艺可以将模拟和数字功能集成在同一块芯片上。当然芯片上大部分面积是有数字信号处理功能的 CMOS 单元,而剩下的芯片面积(约 15% ~ 20%)被分配来做模拟单元,用途是芯片和外界模拟世界接口。这些模拟单元包括:输入输出模块(包括电阻和 NPN

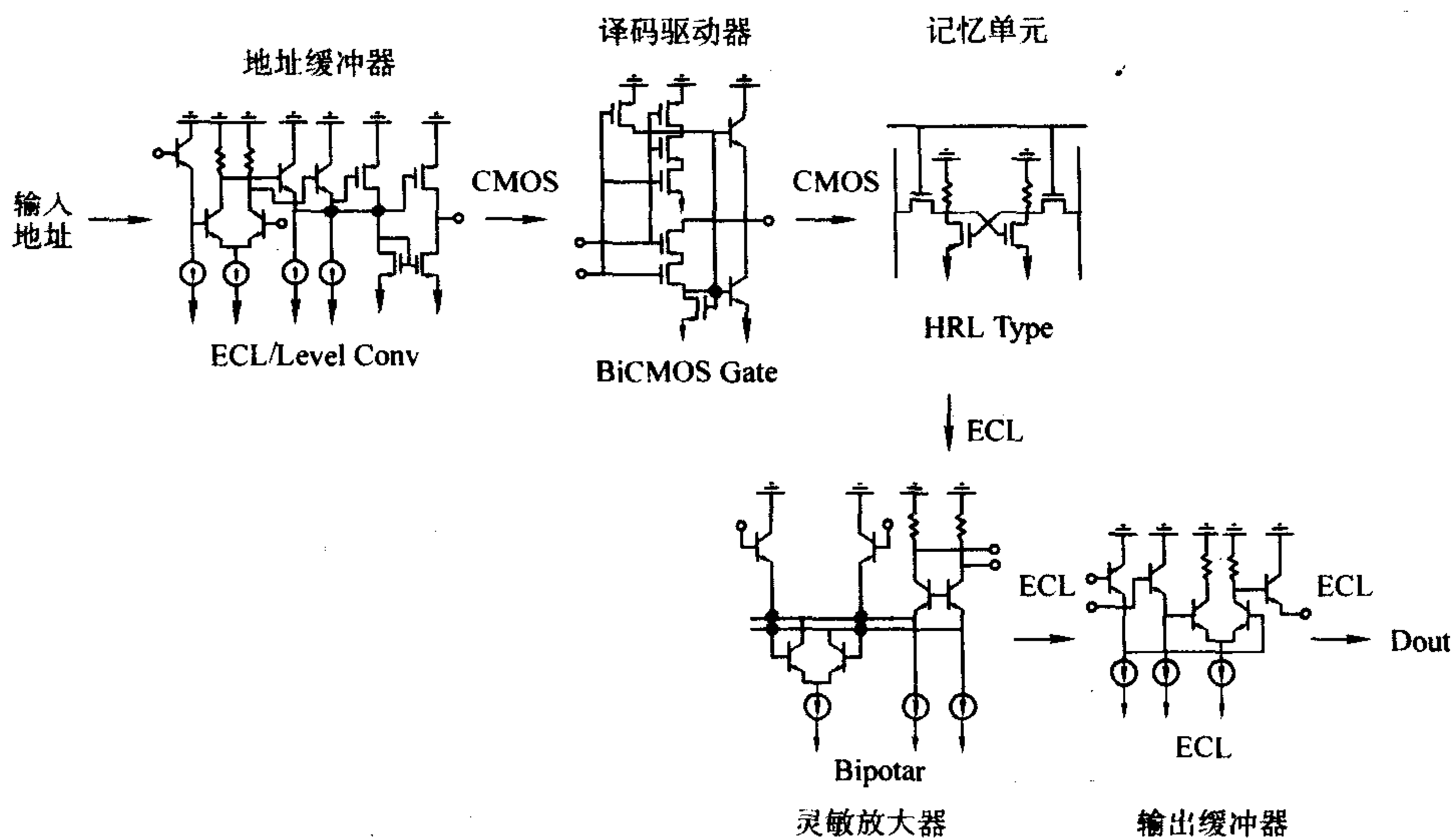


图 3.5-39 BiCMOS SRAM 的简单结构图

晶体管),用 NPN 管和 PNP 管做的运算放大器,参考电压比较器和耐高压 NPN 管组成的单元(例如用来直接驱动 LED 等)。这种专用芯片可以用来制作打印机和照相机接口电路、软盘数据分离器、录像控制器和通信电路。

因为 MOS 的阈值对工艺过程和器件尺寸非常敏感,双极晶体管的开启电压(V_{BE})比 MOS 器件的阈值电压更容易精确控制,所以双极晶体管更容易得到良好的匹配对。有这种优良匹配对的双极集成运算放大器的补偿电压要比 MOS 运放小一个数量级。BiCMOS 运算放大器拥有双极电路部分的低输入补偿和高增益,以及 CMOS 的高集成度和低功耗,这种强强联合的先进工艺也被用在了高速低功耗的 A/D、D/A 转换器中。

4.2 BiCMOS 集成电路的制造工艺技术

从直观上可以知道 BiCMOS 工艺就是将两种工艺融合在一起,但绝不是简单的机械的加在一起,而很多工序是可以一块做的。BiCMOS 的工艺主要有两种,一是以 CMOS 为基础的 BiCMOS 工艺,这种工艺对保障 CMOS 器件性能较为有利;一种是以双极工艺为基础的 BiCMOS 工艺,这种工艺比较有利于保障双极晶体管的性能。

传统的以双极为基础的 BiCMOS 电路根据其对器件性能要求的高低又分为三种:低价中速 5v 数字 BiCMOS;高性能高价 5v 数字 BiCMOS 和模拟/数字混合 BiCMOS。各种工艺复杂性比较见表 3.5-1。

表 3.5-1 各种工艺的复杂性比较

单步	CMOS	高性能 BICMOS	低成本 BICMOS	数模混合 BICMOS	Bipolar
版	12	15	13	16	13
刻蚀(RIE)	11	12	11	12	11
外延	选择	需要	选择	需要	需要
高温	16	19	16	19	16
注入	8	12	9	13	7
金属化	2	2	2	2	2
合计	49	61	51	63	50

工艺越复杂意味着成本越高,因此在应用中既要根据实际电路的需要,又得考虑性能价格比,从而慎重选择工艺。

下面对低成本工艺进行一下简单的介绍,并对高性能 5v BiCMOS 数字集成电路的具体工艺过程进行详细的介绍。

早期电路由于功率的限制,BiCOMS 电路是从 CMOS 电路工艺进化而来的,因此 CMOS 部分远多于双极性器件,而且 CMOS 部分的性能到了很好的保障,但双极性电路的优点没有完全发挥出来,正是因为这样,这种基于 CMOS 工艺的改进只增加了一到两个掩模层,因此制造成本也没有太大的提高。

最简单的低成本 BiCMOS 工艺只是在原有的 n 阱 CMOS 工艺中加了一层掩模版,这层掩模版是用来选择性的制造轻掺杂 p 区的,该层用来作为双极性管的基极,n 阱用来作为集电极。用制备 NMOS 源、漏的重掺杂过程来形成发射极和集电极的欧姆接触。用 PMOS 源漏的重掺杂形成基极的欧姆接触,双极性晶体管和 CMOS 用 LOCOS(局部氧化)进行隔离。这种简单的工艺叫做 3 - DBiCMOS(三重扩散工艺)。从这个简单的流程可以看出,双极性管的集电极电阻很大,为了解决这个问题在形成集电极的 n 阱下制作高掺杂埋层,这样可以有效地降低集电极的电阻,提高晶体管的性能,而且还能防止 MOS 管的闩锁效应。

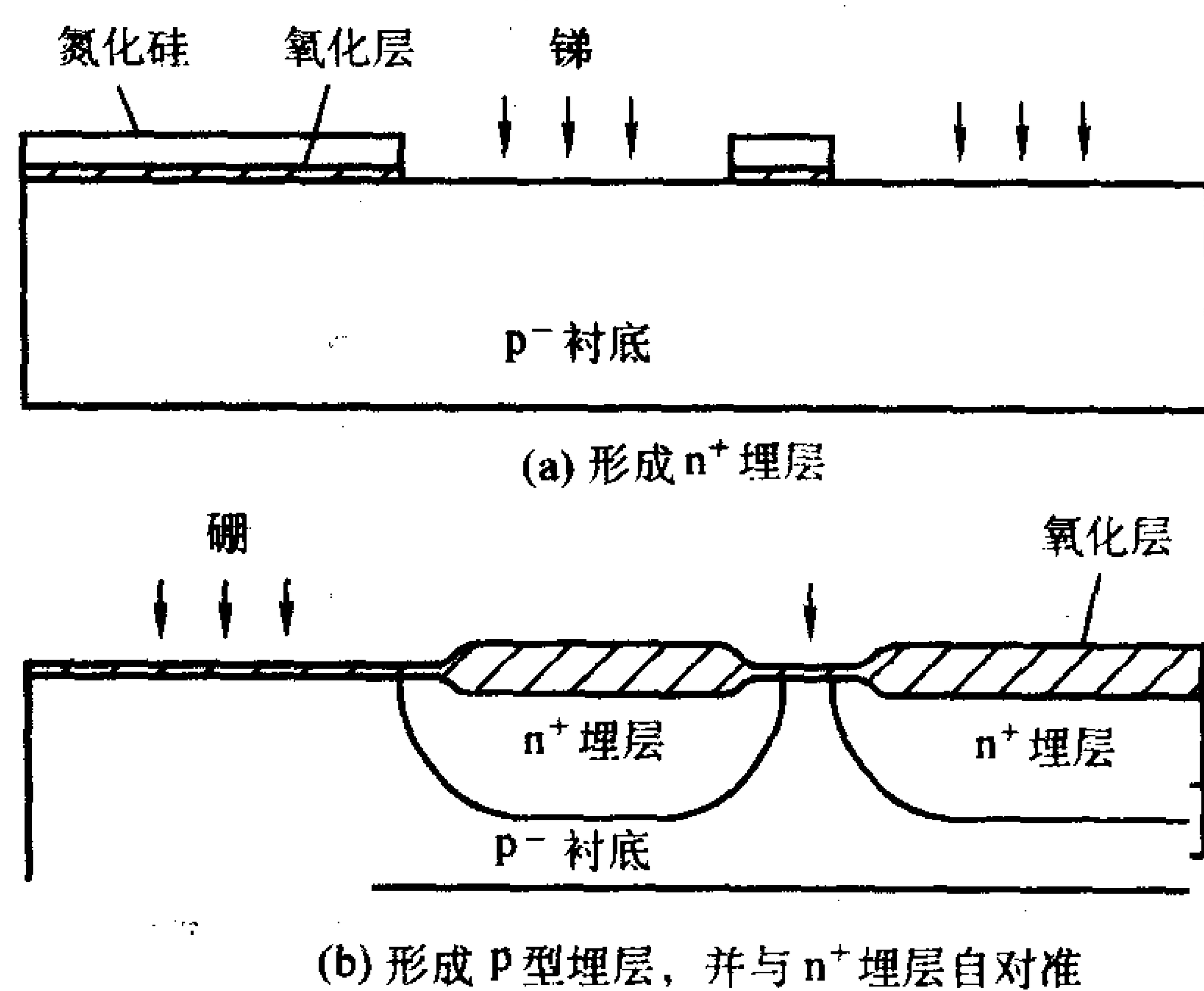
高性能 5v BiCMOS 数字集成电路的具体工艺过程如下。

这个工艺以 0.8 μm、12 层掩模版的 CMOS 工艺中额外加四层掩模版来实现高性能双极性晶体管的集成,这个工艺流程的大部分和双阱 CMOS 工艺非常相似,因此这里主要介绍这四层额外加的掩模版,按顺序把它们编号为 1 号、4 号、5 号、6 号。

首先我们采用的是(100)面的轻掺杂的 p 型硅片(约 10 Ω·cm),先制作 n^+ 埋层($>1\times10^{19}$ atoms/cm^3),见图 3.5-40 a),这层和 SBC(标准埋入集电极)工艺中的形成方法一样。第一层掩模版就是用来定义埋层的位置(埋层在退火时的横向扩散一定要注意,因为它限制相邻集电极的隔离距离,也决定 n 阱之间的距离)。

然后,选择注入硼以在 n^+ 埋层间形成一层附加的 p 型区(见图 3.5-40b)(相当于另一种埋层)。

随着两种埋层的形成,所有的氧化层要从硅片上去除,然后淀积一层薄的接近本征的外延硅层(掺杂 $<1\times10^{15}$, 1.0 ~ 1.5 μm),这层的作用是防止在 n 阱或 p 阱的形成过程中使刚才的埋层反型。这层外延层的厚度选择与电路的性能要求有关。然而这层轻掺杂的薄外延层的生长也是有一定的困难的,为了避免阱中的过反型,两种掺杂类型的自掺杂效应都必须最小化。可以证明砷的自掺杂在低压外延的条件下可以得到抑制,然而硼的自掺杂效应则在低压的情况下增加,此外锑的自掺杂效应在低压的情况下只有很微弱的降低,因此外延的条件一定要选好。一种方案就是两步外延过程,首先在高温(1 150℃)、低压[1 333.22 Pa(10 torr)]条件下用 SiH_2Cl_2 源淀积一个帽层,随后在低温(900℃)、低压[1 333.22 Pa(10 torr)]用 SiH_4 再淀积一层膜。这个过程提供了突变衬底的转型,而且最低的砷、硼的自掺杂。



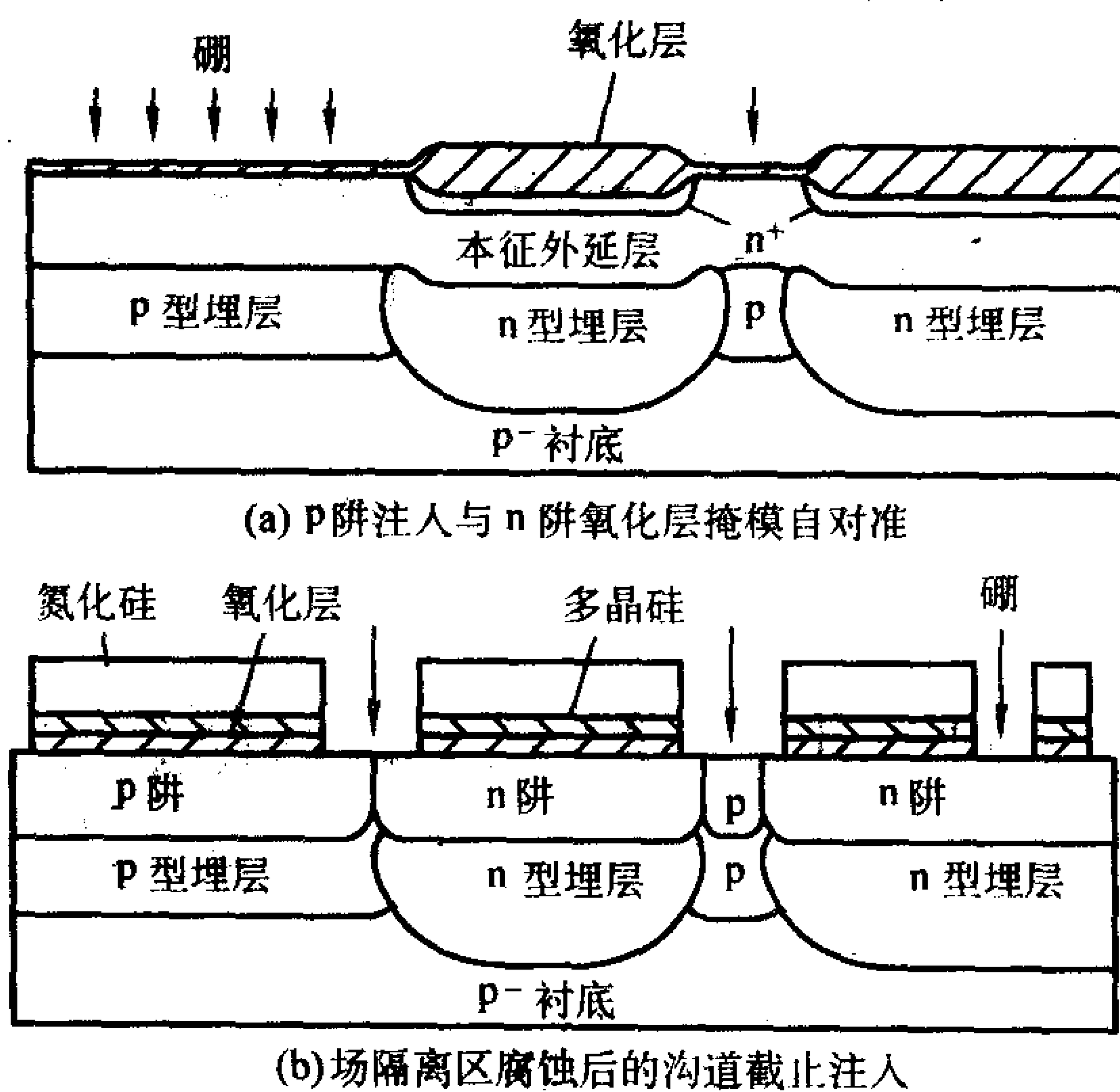
(a) 形成 n^+ 埋层

(b) 形成 P 型埋层,并与 n^+ 埋层自对准

图 3.5-40

第二层掩模版用来形成阱,在阱注入完成后,进行阱的推进(见图 3.5-41a)。

有源区用第三层掩模版来定义,用半埋入式的 LOCOS 隔离工艺来形成场氧以隔离有源区,在长场氧之前要进行沟道截止硼注入(见图 3.5-41b)。在某些工艺中还可以应用其他的隔离方法(如 poly - buffered LOCOS 或 SILO),另外场氧生长要在高压的条件下生长以减小掺杂杂质的再分布。



(a) P 阱注入与 n 阱氧化层掩模自对准

(b) 场隔离区腐蚀后的沟道截止注入

图 3.5-41

在去掉氮化层后,第四层掩模版用来定义集电极的深接触孔,随后进行磷的重掺杂和推进。由于长时间的热推进过程,使注入的杂质在外延层的各个方向扩散。为了减少高温情况下过大的横向扩散,需要降低推进时的温度,然而这又使集电极的接触电阻升高。为了解决这一问题,一种多晶硅插塞作为集电极接触的技术被开发出来。硅被腐蚀刻槽直到 n^+ 埋层,在槽的侧壁上长上隔离层,然后这个槽接着被原位掺杂的多晶硅进行填充,这样来形成一个低电阻的集电极的接触,这样的结构不仅集电极的电阻小还能减小双极性晶体管的面积,如图 3.5-42 所示(大概减小 15%)。

随后第五层掩模版用来定义基极和扩散电阻区,这部分还要用到硼的注入和推进工艺。

在多晶硅发射极工艺中,接下来就该形成发射极。首先生长一层氧化层,随后立刻生长一层初始多晶层(图 3.5-43a)。第六层掩模版和腐蚀步骤一起用来形成开到硅衬底的

窗口，然后淀积第二层多晶硅进行与衬底的接触，然后对多晶硅进行磷注入在随后的退火过程中使磷扩散并形成发射区。在这个工艺流程中，MOS管的栅氧被第一层多晶硅保护以防在干法腐蚀、光刻胶去除中被破坏和污染。

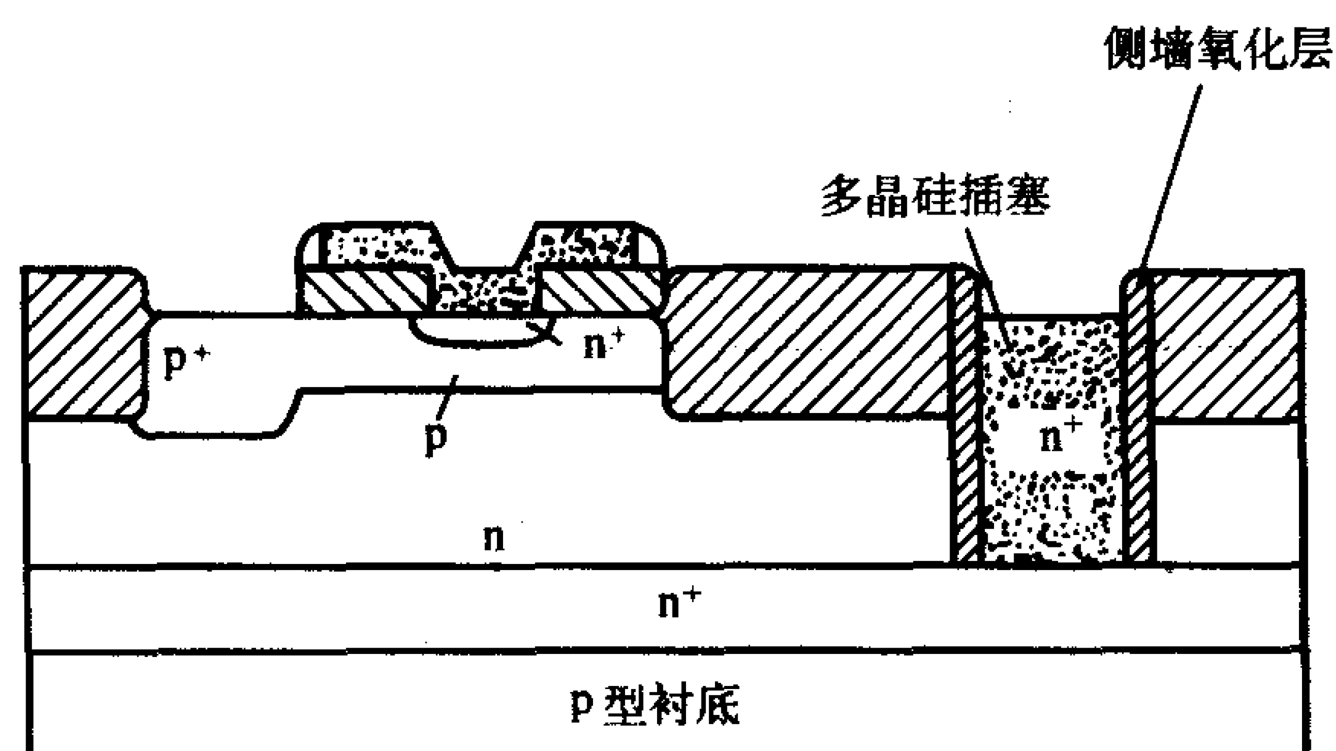
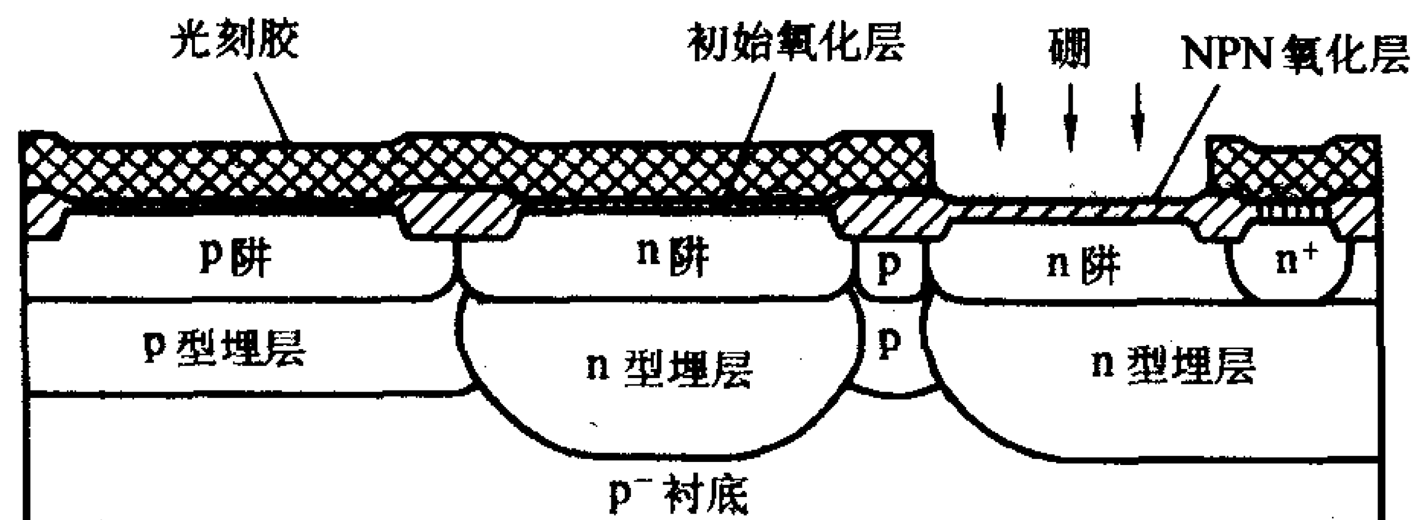
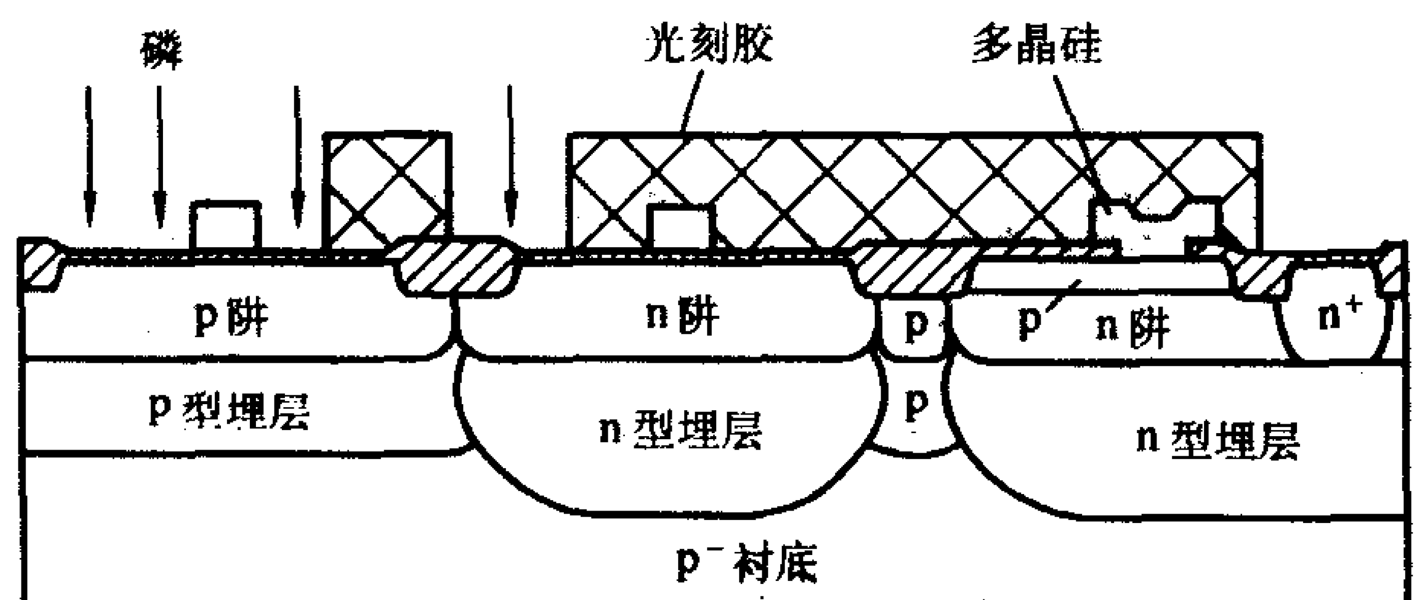


图3.5-42 用来减小集电极电阻的 n^+ 多晶硅插塞

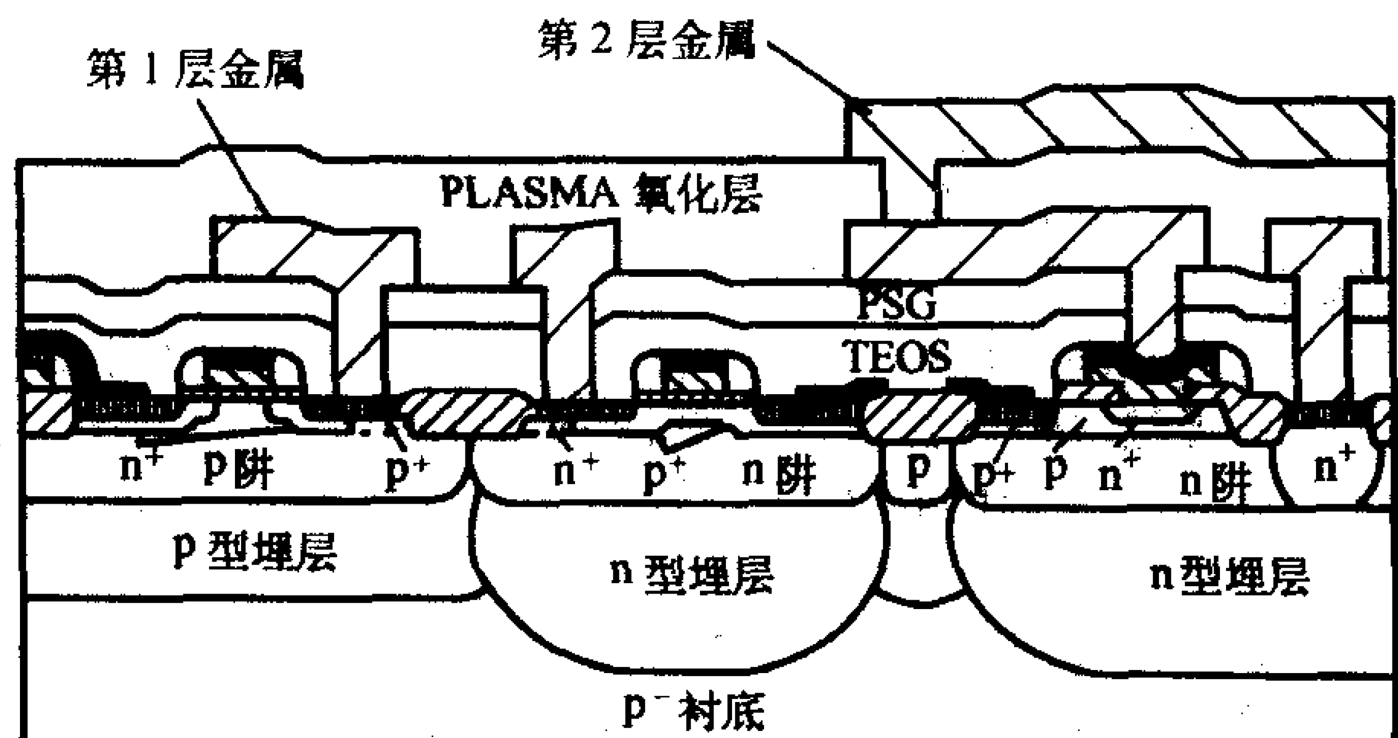
接下来用第七层掩模版和各向异性的干法腐蚀对多晶硅层进行腐蚀。之后用第八层掩模版对n型LDD进行选择性磷注入。接着CVD一层氧化层，再各向异性刻蚀，在刻好的多晶硅条上形成侧墙。第九层用来选择注入以形成NMOS的源、漏、集电极、n阱接触、NMOS多晶硅栅。第十层用来选择注入以形成PMOS的源、漏、衬底、p阱接触、双极性管的外基区、PMOS多晶硅栅(图3.5-43b)。接下来是900℃的退火推进过程，这时候发射区和外基区同时形成，而且NMOS、PMOS的源、漏得到激活。



(a) 定义P⁻注入区来形成基极和电阻



(b) 磷注入形成浅的n型LDD区，可以与NMOS的栅自对准



(c) 双层金属互连后的剖面图

图3.5-43

第十一层用来形成TiN以进行本地连接并形成对接触金属的阻挡层。第十二层用来定义接触孔，进行金属层与器件的连接，第十三层用来刻蚀第一层金属，第十四、第十五层分别定义第一层和第二层之间的过孔和第二层金属的互连(图3.5-43c)。第十六层用来做引线接出层。到此，这个高性能5V BiCMOS数字集成电路的具体工艺过程就完成了。

4.3 BiCMOS集成技术在数模混合电路和系统集成中的应用

先进的BiCMOS工艺不仅体现在特征尺寸上的缩小，主要的是对双极器件的改进，这是因为双极器件的性能极大地影响整个电路的速度性能。另外，也是由于双极工艺的发展实际上已经远远落后于CMOS工艺，所以BiCMOS技术的进步主要取决于双极工艺的发展。先进的双极工艺一旦开发出来，就马上被用于BiCMOS工艺中。对应着先进的双极工艺，先进的BiCMOS工艺主要包括两个方面。

(1)多晶硅发射极的BiCMOS工艺

双层多晶硅发射极NPN管的发射极多晶硅层可以与CMOS的硅栅共用，利用双极多晶硅自对准，双埋层，深沟隔离结合LOCOS隔离，双阱，制作出来的高性能BiCMOS器件剖面图如图3.5-44所示。

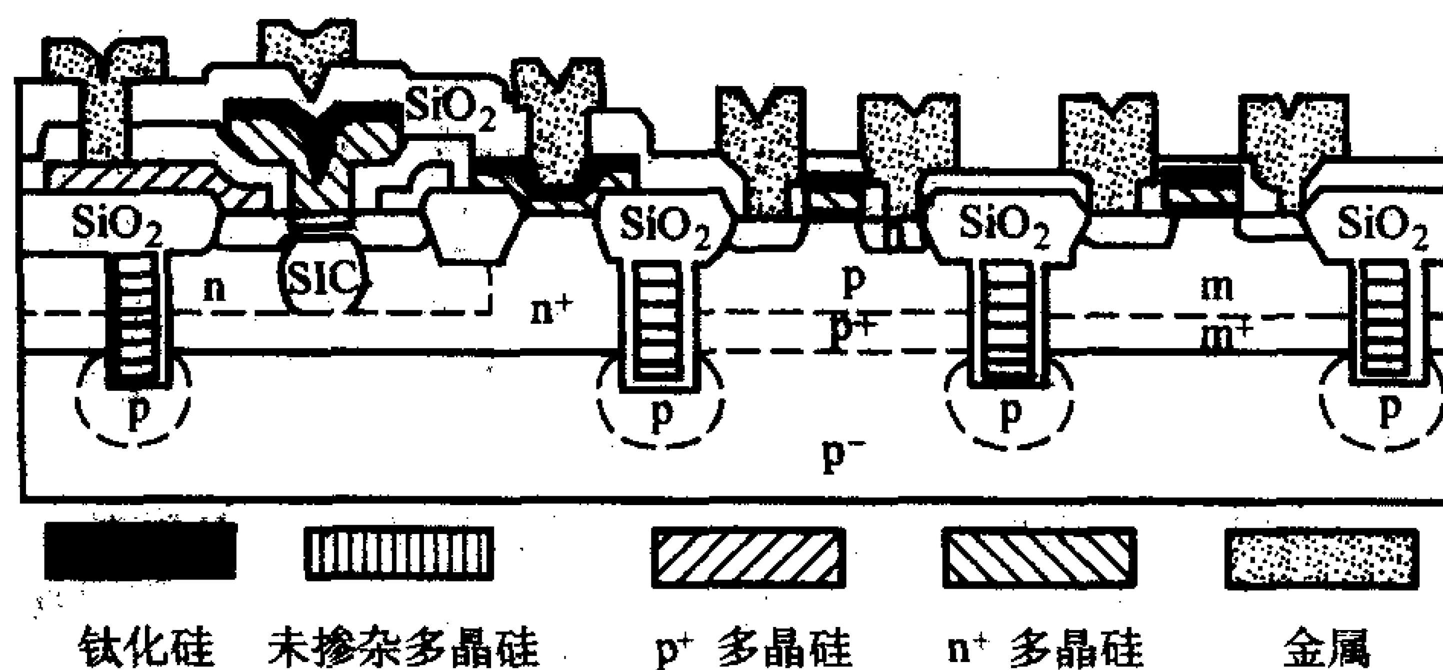


图3.5-44 先进的多晶硅发射极BiCMOS结构

而且由于NPN管本身有两层不同的多晶硅层，所以我们可以同时用来做双栅CMOS(p管用p型多晶硅栅，n管用n型多晶硅栅)结构而不必增加工艺步骤，从而提高CMOS性能。

(2)SiGe BiCMOS工艺

前面已经说过，SiGe HBT与Ⅲ-Ⅴ族HBT相比其优势就是能与硅工艺兼容，这样就可以保证较高的集成度，这是后者无法比拟的。SiGe BiCMOS工艺能满足更高的工作频率、更低的功耗和更高集成度的具体要求，为移动通信和无线internet标准(例如2.5G、3G或更高)提供一个理想的基础。可能用于模拟/混合信号和高水平集成RF产品的创新型的解决方案，例如低噪声放大器、混频器、锁相环(PLL)电路、收发器以及A/D、D/A转换器等。

从系统的角度来讲，模拟BiCMOS表现出不同于数字BiCMOS的特点。不同于数字电路中逻辑门由双极和CMOS器件组成那样，模拟BiCMOS的系统被分成独立的双极模拟部分和CMOS数字逻辑部分。

通信应用频率不断增加，几乎所有应用都将进入双-GHz频段。将多种功能集成在一个片子上，也是一个非常重要的要求，系统级芯片(SOG)不再仅限于低频的CMOS芯片设计，而且也包括了高频有线和无线通信BiCMOS芯片，这是当今高性能BiCMOS技术的一个重要方向。

系统芯片(SOC)的概念是20世纪90年代提出来的，其目的是为了克服多芯片集成系统所产生的一些困难，从而获得更高的系统性能。例如，现在的CPU芯片工作速度非常地高(延时小于几十皮秒)，但是如果存储器芯片依然与CPU分离开，则由于访址延时的限制，这种高速性能在计算机中就显示不出来了。即便使用光束传送信号，延时也有3.3 ps/mm。这就要求把存储器和CPU集成到一块芯片上去。而且将更多

功能集成到一个芯片上还能解决今后芯片管脚数目爆炸、测试困难和成本高等一系列问题。由此可见,SOC 是微电子芯片进一步发展的必然方向。

现在的 SOC 芯片主要有三种类型:一是以 MPU 为核心,集成各种存储器,控制电路,时钟电路,乃至 I/O 和 A/D,D/A 转换功能于一个芯片上;一是以 DSP(数字信号处理)为核心,多功能集成;再一种是以上两种的混合或者把系统算法与芯片结构有机地集成为 SOC。

SOC 的发展并不仅仅是设计上的问题,先进的工艺技术也是非常重要的。SOC 是很多模块集成,各种模块电路功能不同,对工艺的要求也很可能是不一样的,有的要求高集成度,有的要求高速,有的要求有强驱动,有的要求低功耗,有的是数字电路,有的是模拟电路,BiCMOS 工艺更能满足这么复杂的要求。而先进的 BiCMOS 技术将使 SOC 的发展如虎添翼。

5　双极技术的展望

在过去很长时间内,双极晶体管一直应用于许多高速电路中,可以预见,在未来的一段时间内仍然会这样。

微电子技术的不断进步也增强了双极晶体管的性能,使器件的尺寸和寄生效应变得更小,异质结的使用给晶体管的高速度设计增加了一个新的自由度。BICMOS 技术将双极晶体管和 EFT 的结合为高性能的数模混合与 SOC 的发展提供较为理想的基础平台。当然双极技术要保持其现有的优势并有所发展,还要不断地有所进步。

我们相信,随着器件尺寸的不断缩小,数字电路的密度会有所增加。同时器件的寄生效应、互连电容、单个器件的功耗也都相应地缩小。但是,同质结器件纵向尺寸的缩小受到一定的限制,而 HBT 通过尽量减小发射区存储电荷及避免基区穿通使工作速度进一步提高。

双极晶体管器件尺寸的不断缩小引起的问题包括器件的击穿、发射极隧穿电流及热电子效应等。但是,只要在晶体管尺寸减小时,工作电压也相应减小,这些问题的影响可以得到缓解。

双极器件在模拟电路应用中缩小器件尺寸的趋势并不很明显。一方面是由于晶体管中的电流不能减小(而减小 Rb 会在提高增益、减小噪声方面有利),另一方面较大的横向尺寸会带来减小基区方阻和提高 HBT 增益的好处。

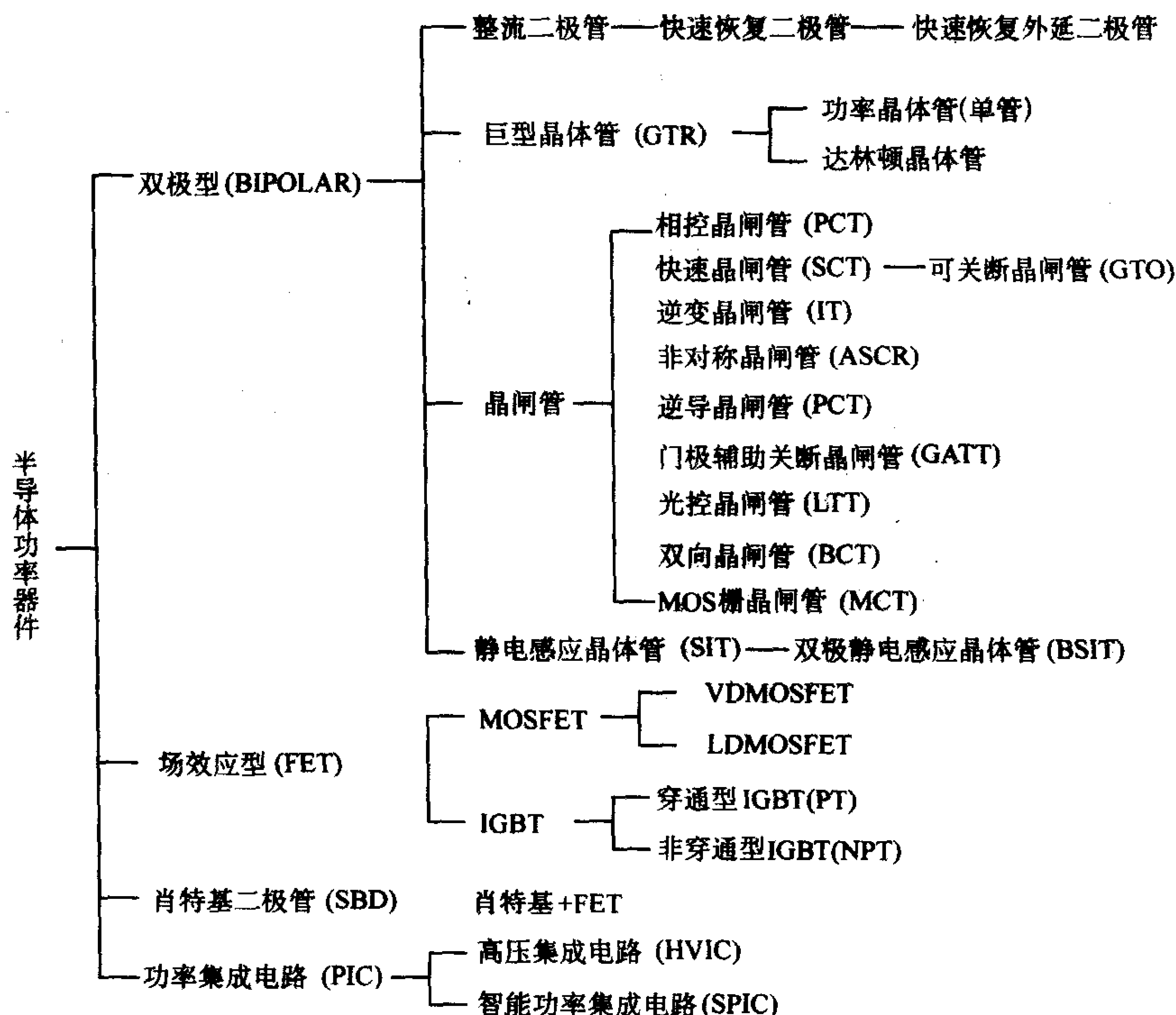
双极技术的难题之一是,对于某一固定的材料系统,V_{BE}不能按比例缩小,这就使得电源电压的减小变得困难。此外,晶体管在直流情形需要一定的基极电流维持,有相当可观的静态功耗和电荷存储。我们认为,对新材料的探索是提高器件性能的重要途径。例如:在具有渐变结的 HBT 中,V_{BE}依赖于基区材料的带隙 Egb,为了减小动态功率延迟积,通过材料的选取以提供低的 Egb 值是很重要的。

近年来,双极技术中已开发出高 f_T 的纵向 PNP 管并和快速 NPN 管结合在一起,使电路性能得到显著提高。长远的目标是希望在不久的将来开发出互补 HBT 逻辑方法,它能消除静态功耗,工作时逻辑摆幅低,进一步减低 V_{BE} 和电源电压,使双极技术以新的面貌为人类的文明和进步服务。

编写:海潮和(中国科学院微电子研究所)

第6章　半导体功率器件及电路

半导体功率器件是电力电子技术的核心组成部分，也是电力电子技术变流电路和控制电路的基础。随着半导体功率器件的应用不断扩大以及制造技术的提升，近50年来半导体功率器件得到了飞速发展。至今类型繁多，有各种不同的分类方法，大致可以分为：双极型各类功率器件、场效应控制器件、肖特基器件和功率集成电路等。



（1）双极型功率器件

1）双极型功率晶体管　双极型功率晶体管作为高速大功率开关应用，是一种电流型控制器件，有两大类型：巨型双极型晶体管和达林顿器件。巨型晶体管的不足之处，在输出高电流时增益较低，需要增加大的驱动功率，为了提高电流增益，发展成复合管形式的达林顿结构，常称达林顿晶体管，大大增加了电流增益，提高了器件的功率容量，在20世纪80年代得到了很大的发展。

2）晶闸管　晶闸管的研究成功，奠定了电力电子学的基础，通过20世纪60～70年代的发展，晶闸管的功率容量已发展到很高的水平，晶闸管已达到4 000 A/8 000 V，由换流关断型发展到了可关断型器件，可关断的晶闸管GTO功率容量可达到6 000 V/6 000 A，至今晶闸管在特大功率容量半导体功率器件中仍占着主导地位。

3）静电感应晶体管（SIT）　20世纪70年代发展起来的静电感应晶体管SIT是一种常开多子器件，开关速度非常快，工作频率很高，有负温度系数，热稳定性好，非常适合高频低压应用。在SIT的基础上发展起来的双极静电感应晶体管BSIT是一种自关断型功率器件，开关频率可达到100 kHz，具有导通电阻小、饱和压降低的优点。

（2）场效应功率器件

1）功率MOSFET（金属氧化物场效应晶体管）　功率MOSFET是20世纪80年代发展起来的半导体功率器件，具有高开关速度，高输入阻抗、负温度系数、热稳定性好、安全、工作区大等特点，是当今半导体功率器件的发展主要方向。

随着MOSFET设计、工艺制造技术的提升，MOSFET性能显著提高，当今领域迅速扩大，已在各类电源、工业控制、便携式电器、汽车电子、消费电子等领域得到广泛应用。功率MOSFET按其应用功能可分为两大类：作为开关应用的高速开关MOSFET和作为高频功率放大器应用的高频MOSFET。开关型MOSFET又分为N沟增强型MOSFET与P沟增强型MOSFET。高频MOSFET又有LDMOSFET（电流横向流动双扩散MOSFET）和VDMOSFET（电流纵向流动双扩散MOSFET），又称DMOSFET。LDMOSFET比VDMOSFET具有更高的频率。

① 开关型MOSFET　随着工业制造技术的不断发展，MOSFET已发展到第八代，一至六代采用平面栅元胞结构，第七代为平面栅条状结构，采用1～0.8 μm的制造技术，第八代为沟槽栅结构，采用1 μm以下的工艺制造技术，平面栅条状结构，由于采用了微细图形、浅扩散，增加了栅的宽长比 W/L，提高了单元电流密度，缩小了芯片面积，降低了栅电荷，大大提高了开关性能。沟槽栅早期仍采用元胞结构，现今一般采用条状结构，除了芯片面积缩小，提高了电流密度，减小了栅电荷外，又由于消除了JFET电阻，减小了少数载流子注入体层N－区的调制效应，使导通电阻大大减小，但工艺较复杂，增加了平坦化工艺，工艺难度也较大。

② 高频MOSFET　随着移动通讯技术的迅速发展，移动通讯系统的基站和广播电视、微波雷达中HF、VHF、UHF功率放大器对其性能有了更高的要求，20世纪90年代发展起来的高频VDMOSFET与LDMOSFET以其优越的性能得到了广泛应用，高频MOSFET比双极型高频晶体管具有许多优点：（a）高度线性，自动增益控制（AGC）能力强；（b）高

增益；（c）低噪声，低反馈电容；（d）简单的偏置电路；（e）恒定的输入阻抗；（f）负温度系数，热稳定性好，使用寿命长。高频 MOSFET 具有非常好的发展前景。

高频 VDMOSFET（DMOSFET），其频率由栅的长度决定（栅的长度近似于沟道长度），输出功率由沟道宽度决定，其设计原则基本上与双极型高频晶体管一致。高频 LDMOSFET，现已发展到第五代，第三代应用 0.8 μm 工艺制造技术，第四代应用 0.6 μm 制造技术，第五代应用 0.4 μm 制造工艺技术。LDMOSFET 频率在 1 GHz 以上。

2）功率绝缘栅双极晶体管 IGBT　IGBT 是在 MOSFET 的基础上发展起来的具有更大功率容量的半导体功率器件，它具有 MOSFET 和双极型晶体管的优点，是一种较理想的功率器件，目前有两种类型：①利用低阻 P 型衬底上外延 N 型高阻外延层作为材料的穿通型（PT）IGBT；②利用 N 型单晶材料的非穿通型（NPT）IGBT，自 20 世纪 90 年代以来 IGBT 技术发展非常迅速，IGBT 正向高速、超高速、大功率容量发展，如东芝的超高速 IGBT，耐压 1 200 V、电流 300 A，开关速度为 0.2 μs（微秒），西门子已有耐压 1 700 V、电流 300 A 的产品。一般采用平面栅元胞结构和条状结构。

（3）功率集成电路

功率集成电路是电力电子技术和微电子技术相融合而发展起来的，利用微电子技术的双极型工艺、CMOS 工艺、BiCMOS 工艺与 LDMOSFET 工艺，将半导体功率器件、控制电路、过热、过流、过压、开路、短路饱萨电路集成在同一芯片上，形成单片功率模块，大大缩小了体积，重量减轻，可靠性提高，功率集成电路又分为两种类型：高压功率集成电路（HVIC）和智能功率集成电路（SPIC）。高压功率集成电路的难点，要解决隔离技术问题，智能功率集成电路的功能更加齐全，包括控制、传感、保护、接口电路等功能。本章重点介绍 MOSFET、IGBT 的基本技术。

1　巨型晶体管（GTR）

习惯上将耗散功率 1 W 以上的晶体管通称为功率晶体管（GTR），它要求更大的电流容量，以提高输出功率。

1.1　功率晶体管（单管）GTR

从内部结构来看，单管 GTR 与小功率晶体管一样都是由两个背靠背的 pn 结构成，包括发射区、基区和集电区，如图 3.6-1 所示。区别于小功率晶体管结构，GTR 为了提高电流容量，需要增加发射极周长以及发射区和基区面积。

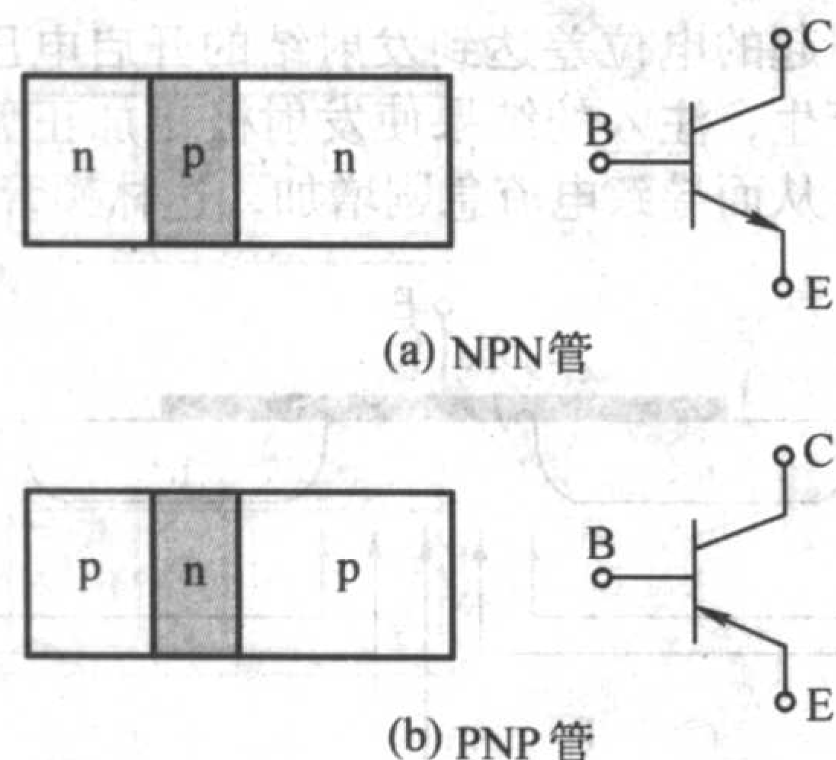


图 3.6-1　GTR 的组成及电路符号

（1）GTR 的基本参数

1）共发射极直流电流增益 h_{FE}　它在晶体管共发射极放大区运用时，集电极电流与基极电流的比值，即

$$h_{FE}=\frac{I_C}{I_B} \tag{3.6-1}$$

h_{FE}在晶体管参数测试时，要求晶体管处在放大区，通常在指定的 I_C 与适当的 V_{CE} 值下测得。一般单管 GTR 晶体管的 h_{FE} 较小，通常在 10 左右。

2）集电极－发射极击穿电压 BV_{CEO}　集电极－发射极击穿电压指 GTR 的发射极与集电极间能承受的最大反向外加电压，是 GTR 的主要参数。通常 BV_{CEO} 的数值决定了 GTR 安全工作区的一条边界，如果超过这个数值，GTR 将被击穿，造成永久性的损坏或性能下降。

表征 GTR 耐压能力的参数，还有发射极－基极击穿电压 BV_{EBO}，集电极－基极击穿电压 BV_{CBO}。在测试 GTR 各击穿电压值时，第三电极一般开路，如测试 GTR 的 BV_{CEO} 时，基极被置为开路。

3）反向漏电流　反向漏电流是晶体管运用中所不希望的，但是根据半导体理论，晶体管反向偏置时，这部分电流又是不可避免的，所以在 GTR 设计和制造过程中，要尽量减小因沾污与表面电荷带来的漏电流，从而减小反向电流消耗的电源能量，以及由此带来的不稳定因素。

GTR 的反向电流有集电极－基极反向漏电流 I_{CBO}，测试条件为发射极开路，集电极－基极加载额定的 BV_{CBO}；发射极－基极反向漏电流 I_{EBO}，测试条件为集电极开路，发射极－基极加载额定的 BV_{EBO}；集电极－发射极反向漏电流，测试条件为基极开路，集电极－发射极加载 0.5 倍的 BV_{CEO}。

（2）GTR 的输出特性

GTR 的输出特性曲线同小功率晶体管相似，属于电流控制器件，也分为截止区、饱和区与放大区。I_B 的大小直接控制晶体管在放大区时 I_C 的大小。

1.2　达林顿晶体管

单管 GTR 通常电流增益比较低，只有 10 左右，因此在集电极要求输出大电流的场合，就需要较大的驱动电流，很难降低前级的驱动功耗。为了获得足够大的电流增益，人们在单管 GTR 的基础上提出了一种双晶体管的复合结构，即达林顿晶体管（Darlington Transistor），电路如图 3.6-2a）所示。达林顿管以其大的电流增益、基极驱动电流小等特点，已得到广泛的应用。在承载更高的电压与更大的电流的情况下，达林顿还可以采用三个晶体管组成的三级达林顿形式，如图 3.6-2b）所示。

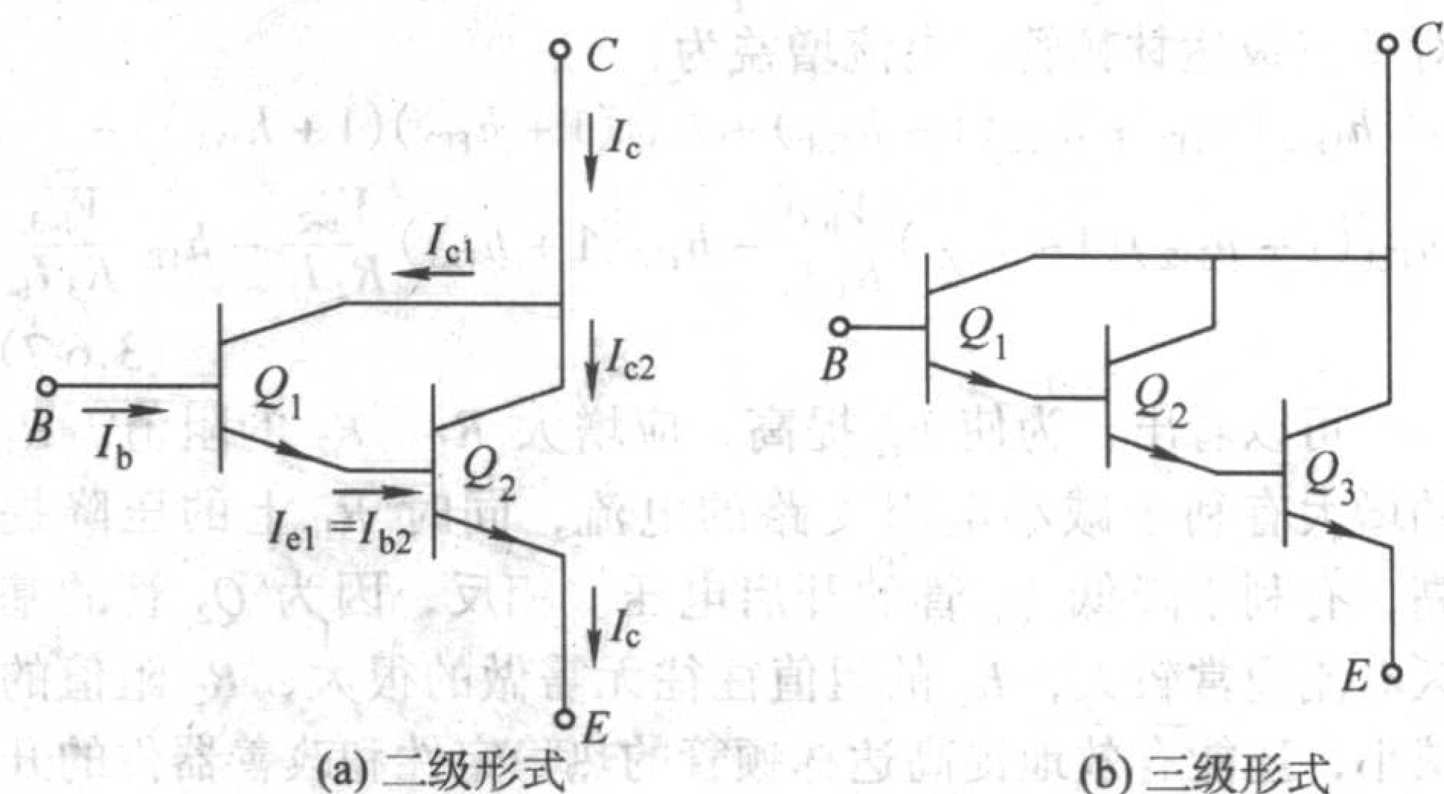


图 3.6-2　达林顿晶体管等效电路图

以二级达林顿晶体管为例，具体分析达林顿晶体管电流增益与两个晶体管增益之间的关系，如图 3.6-2a）中各管的电流分配情况。其中

$$I_{C1}=h_{FE1}I_b \tag{3.6-2}$$

$$I_{C2}=h_{FE2}I_{b2} \tag{3.6-3}$$

又因为：$I_C=I_{C1}+I_{C2}$，$I_{b2}=I_{e1}=(1+h_{FE1})I_b$，所以

$$I_C=h_{FE1}I_b+h_{FE2}(1+h_{FE1})I_b=(h_{FE1}+h_{FE2}(1+h_{FE1}))I_b \tag{3.6-4}$$

根据电流增益的定义

$$h_{FE}=h_{FE1}+h_{FE2}\ (1+h_{FE1}) \tag{3.6-5}$$

所以达林顿晶体管的电流增益相对于单管明显增大，三级达林顿管电流增益可以达到 $h_{FE1}+h_{FE2}\ (1+h_{FE1})\ +h_{FE3}\ (1+h_{FE2})\ (1+h_{FE1})$。

由集成技术制造的功率达林顿管，通常并非图3.6-3所示的那么简单，功率达林顿管的设计过程中，会在两个晶体管的基极与其发射极之间引入电阻元件，并通过改变各电阻阻值来优化晶体管的某些参数。电阻一般由基区扩散电阻或基区-发射区扩散形成的沟道电阻组成。此时的电路形式如图3.6-3b所示，图3.6-3a所示晶体管剖面图。

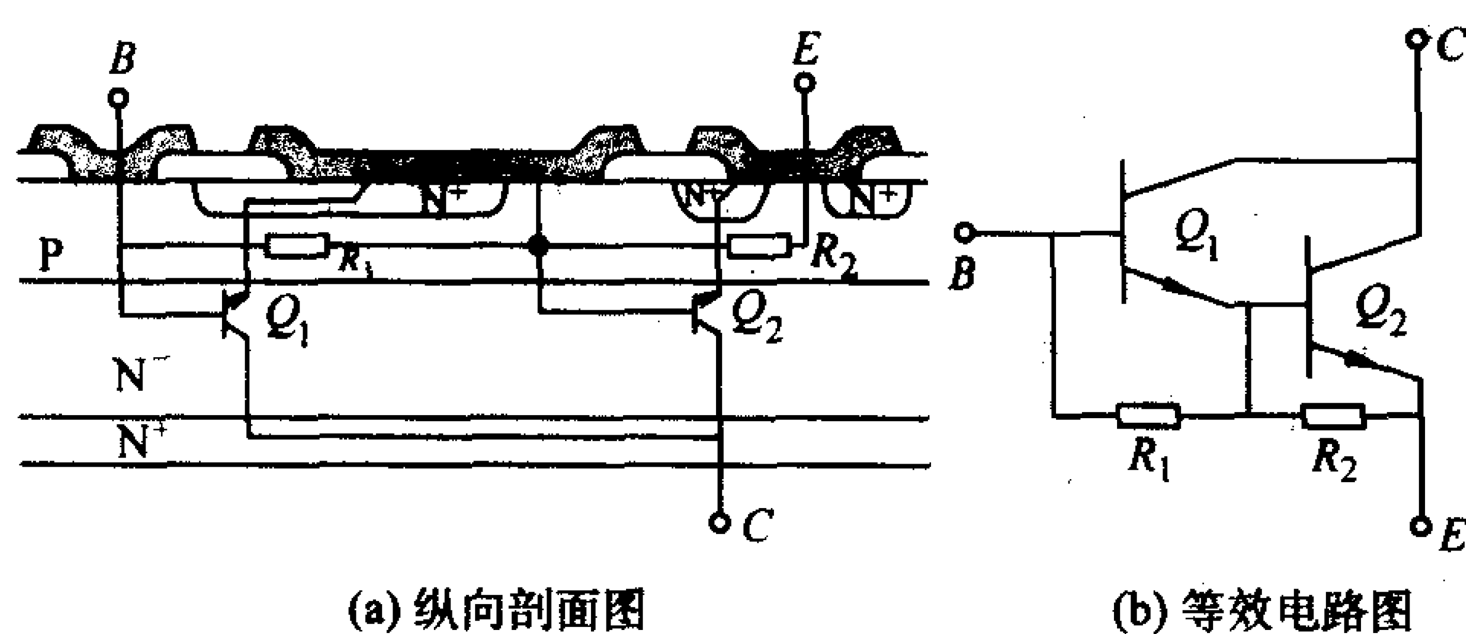


图3.6-3　功率达林顿管

（1）功率达林顿管的工作原理

当高电压加载到功率达林顿管的集电极时，如果基极电压与发射极同时处于低电压，则晶体管处于截止状态，此时集电极的高电压由p型基区与n-外延区形成的pn结承担，集电极-发射极之间只有很小的漏电流流过。如果此时在基极加一正电压，*BE*结间的电阻将产生电流流动，并在 R_1 产生电压降，当 R_1 上产生的压降大于或等于 Q_1 管发射极的开启电压时，Q_1 导通，Q_1 发射区向基区注入电子并有反向偏置的集电结扫向集电极，同时发射区通过金属连线向 Q_2 管基区注入电流，驱动 Q_2 管开启，进入导通状态。

R_1、R_2 的引入将提供一条由基区到发射区的电流通路，根据达林顿管等效电路与电流增益的定义，可以推导出此时二级达林顿管的电流增益公式：

$$h_{FE}=h_{FE1}+h_{FE2}(1+h_{FE1})-h_{FE1}(1+h_{FE2})\frac{V_{be1}}{R_1 I_b}-h_{FE2}\frac{V_{be2}}{R_2 I_b} \tag{3.6-6}$$

对于三级达林顿管，电流增益为：

$$h_{FE}=(h_{FE1}+h_{FE2}(1+h_{FE1})+h_{FE3}(1+h_{FE2})(1+h_{FE1}))-h_{FE1}(1+h_{FE2})(1+h_{FE3})\frac{V_{be1}}{R_1 I_b}-h_{FE2}(1+h_{FE3})\frac{V_{be2}}{R_2 I_b}-h_{FE3}\frac{V_{be3}}{R_3 I_b} \tag{3.6-7}$$

可以看出，为使 h_{FE} 提高，应增大 R_1、R_2 的阻值。R_1 的增大有利于减小电阻支路的电流，同时 R_1 上的压降提高，有利于降低 Q_1 管的开启电压。相反，因为 Q_2 管的基区电流通常较大，R_2 的阻值往往无需做的很大，R_2 阻值的减小，还能有效地提高达林顿管的热稳定性和改善器件的开关速度。一般 R_1 阻值大于3 kΩ，R_2 阻值在100～300 Ω范围内。

（2）R_1、R_2 阻值对开关速度的影响

R_1、R_2 除了影响达林顿管的直流线性外，对达林顿管的动态开关速度也有很大的影响。

达林顿管属于双极型器件，在其开启时会有大量的少数载流子注入，所以达林顿管在关断时，这些内部积累的超量电荷的泄放过程，严重影响晶体管的关断速度。由图3.6-4可以看出，达林顿管积累的少数载流子有三条泄放过程：一是 Q_2 管内部复合，二是经 R_2 泄放电阻来加速 Q_2 管基区载流子泄放过程，三是经 R_1 由外电路抽出（基区在关断时加一负电压）。在实际的达林顿管中，R_1 的阻值往往很大，对载流子的反向抽取作用相对较小，所以前两条泄放路径是达林顿管中少数载流子的主要作用泄放路径。

1.3　GTR的设计

（1）耐压设计

对于高反压GTR，反向电压的主要承担对象为外延集电结，通常集电区的掺杂浓度小于基区，承担反向偏压时，空间电荷区主要向集电区一侧扩展。根据耗尽层宽度与外延集电区厚度的大小，可分为非穿通型与穿通型集电区结构，前者在外加反向电压时，耗尽层宽度小于高阻外延层的厚度，后者则大于外延层的厚度，此时耗尽层宽度受外延层厚度的影响不能充分扩展，器件的耐压将受到影响。

对于非穿通型GTR，集电极-基极击穿电压可以看成单边突变的pn结击穿电压，并可以用下面的公式给出集电区掺杂浓度 N_D 与 BV_{CBO} 之间的关系：

$$BV_{CBO}\ (N_D)\ =BN_D^{-m} \tag{3.6-8}$$

式中，*B*、*m* 为常数，对不同范围的 BV_{CBO} 取不同的值，如100～1 000 V的 BV_{CBO}，*B* 可以取 6×10^{12}，*m* 可以取 -0.7，换算成电阻率 ρ_C 为：

$$BV_{CBO}\ (\rho_C)\ =90\rho_C^{-0.8} \tag{3.6-9}$$

同时外延层厚度 W_C 也可以由下面公式确定：

$$BV_{CBO}=2.8E6W_C^{0.8} \tag{3.6-10}$$

对于穿通型GTR结构，当电压加到 BV_{CBO} 时，高阻外延区早已被耗尽层穿通，所以上述关系不再适用，计算时可采用下式：

$$BV_{CBO}\ (N_D,\ W_C)\ =W_C\sqrt{\frac{2qN_D BV_{CBO}\ (N_D)}{\varepsilon}}-\frac{q}{3\varepsilon}W_C^2 N_D \tag{3.6-11}$$

式中，BV_{CBO} 为式（3.6-8）确定的非穿通击穿电压，*q* 为电子电荷，ε 为介电常数。

最后可以按下式确定 BV_{CEO}：

$$BV_{CEO}=\frac{BV_{CBO}}{\sqrt[4]{1+h_{FE}}} \tag{3.6-12}$$

对于复合达林顿晶体管，除了上面确定的 N_D、W_C，还要注意电阻 R_2 对击穿电压的影响，如图3.6-4所示。当 Q_2 管集电极与发射极之间加反向电压时，发射极下的漏电流从短路点流走，并在横向流动时产生一定的压降，相当于加在二极管pn结上，随着反向电流的增大，R_2 上的压降也增大，当横向电流引起的电位差达到发射结的开启电压时，发射结开始有注入产生，注入的结果使发射极更加正偏，形成一个正反馈过程。从而导致电流急剧增加，达林顿管发生击穿。

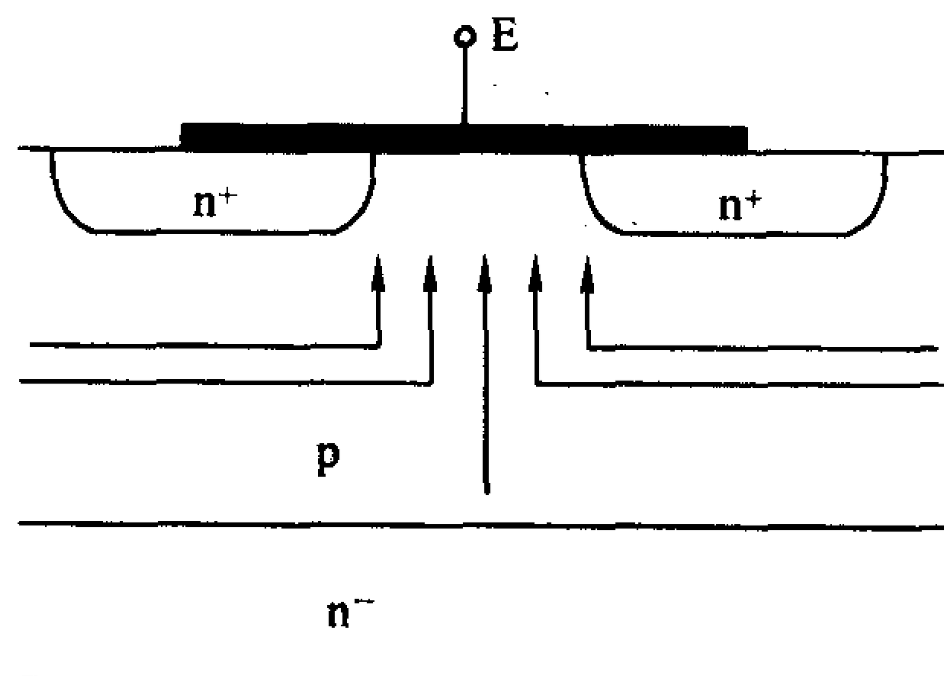


图3.6-4　电阻 R_2 对达林顿管击穿的影响

（2）电流增益的设计

对于给定的共发射极直流电流增益 h_{FE}（I_C，V_{CE}），主要是优化设计发射极面积，我们可以按下面的步骤进行设计。

1）由给定的 BV_{CBO}，通过式（3.6-8）确定非穿通型结

构的掺杂浓度 N_D'。

2）对于穿通型晶体管，可以设定一个 m 值。

$$m = N_D/N_D' \qquad 0<m<1$$

其中 N_D 为穿通型晶体管的掺杂浓度。

3）由穿通型器件的击穿电压公式（3.6-11）求出穿通型结构的外延层厚度 W_C。

4）选择 V_{BE} 值，如 $V_{BE}=0.75$ V，于是由给定的 V_{CE}，求出 $V_{CB}=V_{CE}-V_{BE}$。

5）分别把 W_C、N_D、V_{CB}代入下式：

$$h_{FE}=\frac{Q_E/D_E}{Q_B/D_B+\dfrac{I_C W_C^2}{4qD_B D_C A_e}+\dfrac{qA_e(\mu_n N_D V_{CB})^2}{I_C D_B D_C}-\dfrac{V_{CB}}{2KT/q}\times\dfrac{N_D W_C}{D_B}} \tag{3.6-13}$$

式中，D_E、D_B、D_C 分别为发射区、基区与集电区少数载流子的有效扩散系数；A_e 为发射极面积；μ_n 为电子迁移率；Q_E/D_E 一般在 4E13～6E13 之间；Q_B 由 $\int_0^{w} N_A(x)\mathrm{d}x$ 求得，w 为基区宽度。由此式可求出在给定的 h_{FE}下，发射极的面积 A_e。

重复 2）～5）步，可以得到最佳的发射极面积值。

达林顿晶体管的设计过程基本相同，不同处在于必须首先计算出每级晶体管的 h_{FE} 值。一般情况下，优化的 h_{FE} 设计并不在 $h_{FE1}=h_{FE2}\approx\sqrt{h_{FE}}$ 处，而是按下面的公式优化达林顿管各级芯片面积，即：

$$\text{Rgeom}=\left(1+\frac{1}{N}\right) \qquad N>2 \tag{3.6-14}$$

式中，Rgeom 为某级芯片面积与其前一级芯片面积的比值；N 为达林顿管的级数。

1.4　GTR 的终端结构设计

击穿电压是大功率 GTR 的最重要的参数之一，它和最大电流容量一起决定了 GTR 晶体管的额定功率。在 GTR 截止时，很高的外加电压主要由 p 型基区与 n－外延组成的 pn 结承担。理想的器件击穿电压是指 pn 结为平行平面结的情况，由于没有考虑结终端效应的影响，这时器件的击穿电压仅由外延层掺杂浓度与厚度等参数决定。但是，由于实际器件的情况，以及生产工艺流程中某些因素的影响，使得实际器件的击穿电压要低于理想平行平面结的击穿电压。

在实际生长中，由扩散形成的 pn 结的结面并不是真正的平面，仅在扩散窗口内可以看成是平行平面结，在结终端将发生弯曲。弯曲的 pn 结导致电场集中，电场强度就可以在较低的反向电压下达到击穿的临界电场强度，从而使 pn 结比理想的平行平面结提前发生击穿，如图 3.6-5 所示。为了尽量减小结终端弯曲部分对器件击穿电压的不利影响，就必须采取各种改进措施。用于平面工艺的平面结终端技术由于与平面工艺几乎完全兼容，且具有高效、低成本的优点，从而成为了平面电力电子器件提高耐压的最有效方法。目前主要应用的平面结终端技术主要包括场板和场限环方法。

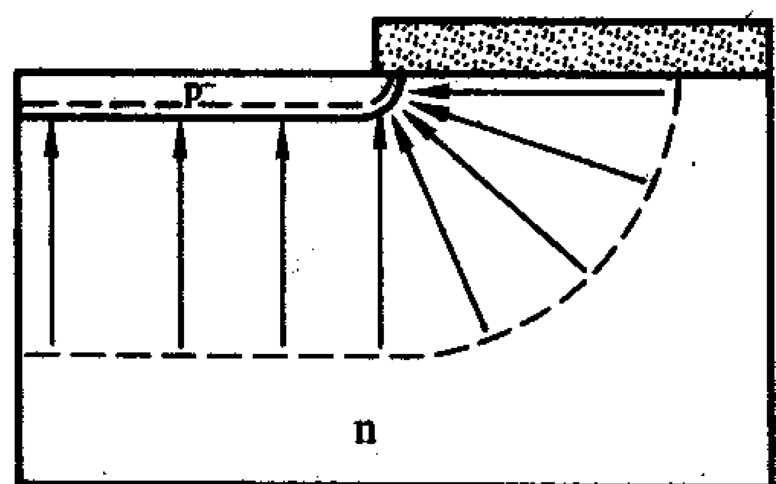


图 3.6-5　pn 结的结面弯曲导致电场集中

1）场板（FP）　场板技术通常用于低电压器件，击穿电压不超过 200 V。如图 3.6-6 为金属场板的剖面结构图。金属场板的制造工艺非常简单，它可以与器件的电极一起形成，而无需增加单独的工艺步骤，并且由于金属场板对介质层中电荷的吸引作用，使得采用这种终端技术的器件对界面电荷（尤其是可动电荷）不是很敏感，这点对于双极功率器件尤为有利。

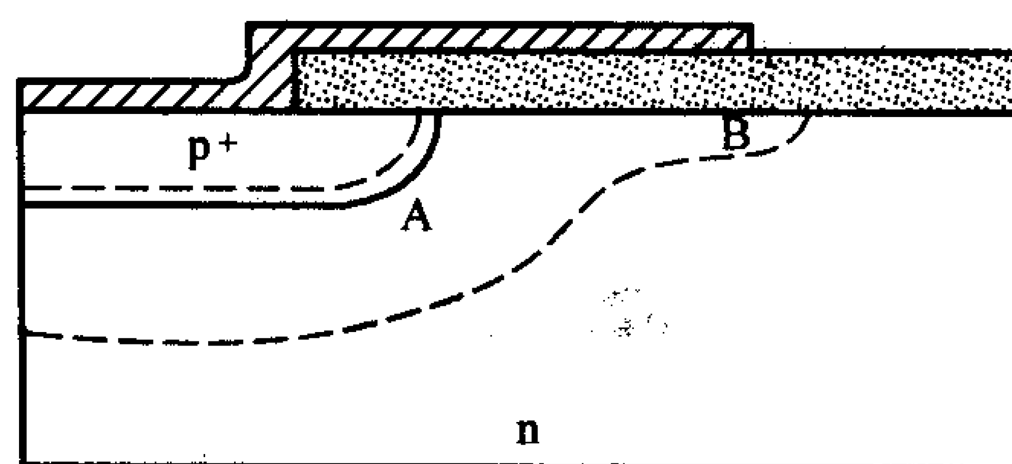


图 3.6-6　金属场板结构图

2）场限环（FLR）　场限环技术是普遍采用的一种平面结终端技术，它的工艺也很简单，可以与主结一起扩散形成，无须增加任何工艺步骤。如图 3.6-7 所示，主结与环结同时扩散形成，在对主结所加的反向电压还低于主结的雪崩击穿电压时，主结的空间电荷区已经扩展到环结，于是发生穿通。在穿通之后，环结的电位提高，如果进一步增加反压，空间电荷区将在环结附近展开，所增加的电压将由环结承担，这样环结就相当于一个分压器，故也称之为分压环。

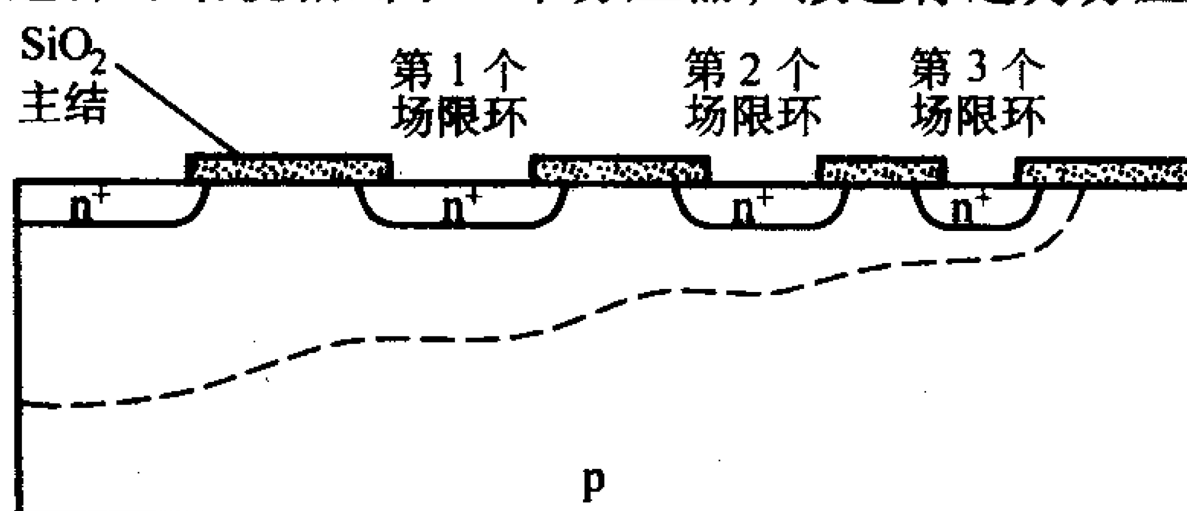


图 3.6-7　场限环终端结构图

2　功率场效应晶体管

20 世纪 80 年代以来，迅速发展的超大规模集成电路技术给高压大电流半导体器件注入新的动力，一批新型的场控功率器件诞生了，其中最有代表性的产品就是 VDMOS 场效应晶体管。VDMOS 与双极型晶体管相比，它的开关速度快，开关损耗小，输入阻抗高，驱动电流小，频率特性好，跨导高度线性。特别值得指出的是，它具有负温度系数，没有双极型功率管的二次击穿问题，安全工作区大。因此，不论是开关应用还是线性应用，VDMOS 都是理想的功率器件。

2.1　VDMOS 的基本结构

世界上第一支 N 沟道功率 MOS 场效应晶体管的结构如图 3.6-8 所示。它是在 n^- 外延层上扩散形成 p^- 区和 n^+ 区，然后腐蚀形成 V 形槽来确定沟道长度。这种结构的缺点是 V 形槽尖角处存在着强电场，漏源耐压不高，一般为 50 V 左右，限制了此结构在高压运用中的应用。

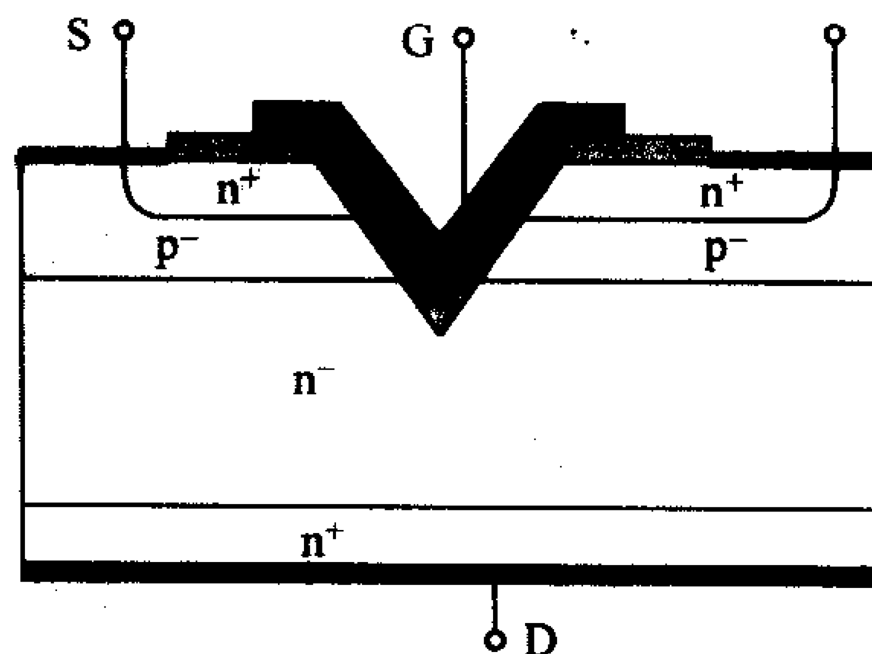


图 3.6-8　V 形槽 VDMOS 结构图

后来人们研究出了如图3.6-9所示的平面型垂直双扩散MOS管晶体管，简称VDMOS。此结构是在n^-外延层上通过p^-区、n^+两次扩散，其横向的扩散距离之差就是沟道长度。通常用N型掺杂多晶硅做栅极连线，这种结构的优点是可以精确控制沟道长度，工艺重复性好，同时可以承担大的漏源电压与大的漏极电流。现在这种平面型结构的VDMOS是各种应用中的主要结构。

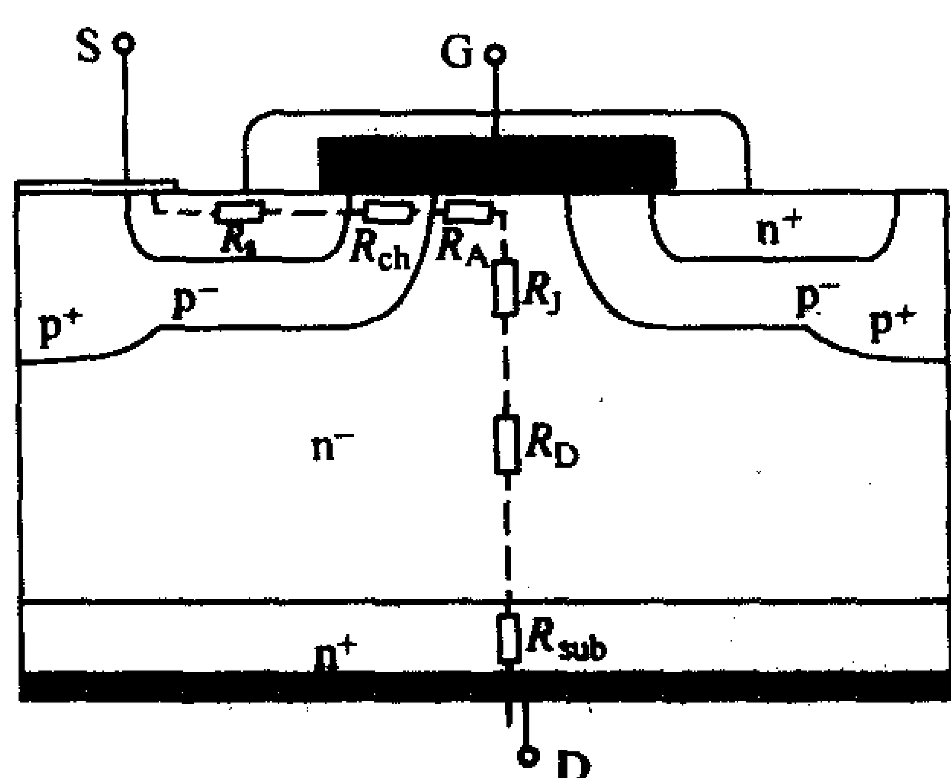


图3.6-9 平面型VDMOS结构图

2.2 VDMOS的基本工作原理

以图3.6-10为例，当n沟VDMOS的漏极加高电位，源极加低电位，如果栅极相对于源极电位小于沟道的开启电位，沟道不会开启，漏极的高电位主要由p阱－n^-外延形成的反偏pn结承担，漏极电流为零。如果栅极相对于源极电位大于沟道开启电位，将在扩散沟道区的表面形成n反型层，电子便从n^+区通过n反型层流向n^-区，再通过n^+衬底流向漏极，这是VDMOS的主要应用方式。

当源极相对于漏极接高电位，p阱－n^-外延形成的pn结处于正向导通状态，电子从源区通过pn结流向漏极，这个pn结形成VDMOS的寄生漏源二极管，又叫反向二极管。

VDMOS在电路应用中的符号与输出特性曲线如图3.6-10所示。可见VDMOS的输出特性曲线形状上与双极型功率晶体管相似。

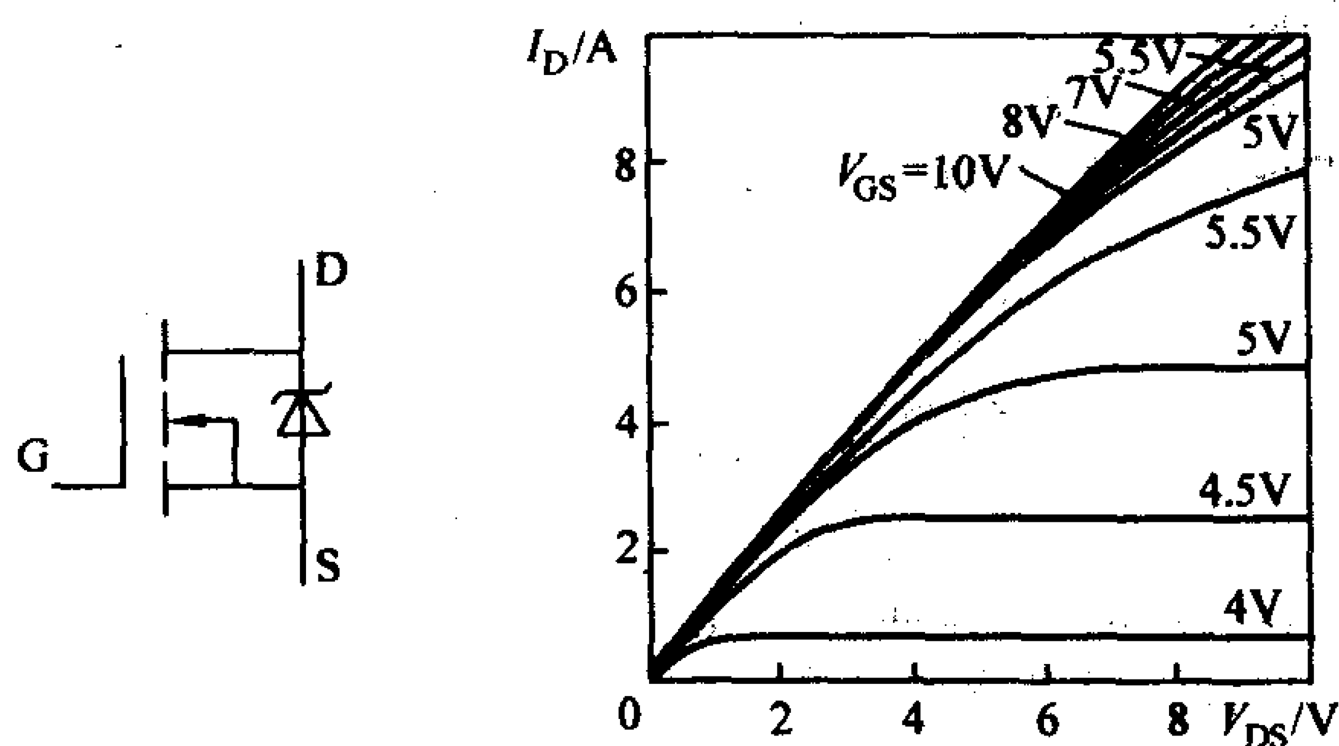


图3.6-10 VDMOS的电路符号与输出特性

2.3 VDMOS的主要参数

1）连续漏极电流$I_{D(on)}$ 漏极电流依赖于栅源电压V_{GS}和漏源电压V_{DS}。进入饱和区时，I_D与V_{DS}无关，与（$V_{GS}-V_{TH}$）的二次方成正比，即

$$I_D=\frac{Z}{2L}\mu_n C_{ox}(V_{GS}-V_{th})^2 \quad (3.6\text{-}15)$$

式中，$C_{ox}=\frac{\varepsilon_{ox}}{t_{ox}}$；$\varepsilon_{ox}=3.5\times10^{-13}$ F/cm（二氧化硅的介电常数）；t_{ox}为栅氧化层厚度；μ_n为沟道内电子迁移率；Z为沟道宽度；L为沟道长度；V_{th}为阈值电压。

在VDMOS的技术规范中，漏电流$I_{D(on)}$这个参数表征晶体管的电流承受能力，其测量条件规定为$V_{GS}=10$ V，V_{DS}为某个使晶体管处于饱和区的电压，通常$V_{DS}>I_{D(on)}\times R_{DS(on)}$，$R_{DS(on)}$为晶体管的导通电阻。

2）漏源击穿电压BV_{DSS} 漏源击穿电压表征的是VDMOS耐压极限的参数，测试条件规定为栅源短接，使漏极产生一个250 μA电流时漏极所需加载的电压。VDMOS的击穿电压一般为p阱－n－外延形成的pn结的雪崩击穿电压，主要取决于n－外延层的特性与器件的表面电场分布和结终端的形式。

3）栅源击穿电压 栅源击穿电压表征的是栅源所能承受的最高电压，主要由栅氧化层的质量和厚度来决定，在测试时，如果额定的栅源击穿电压下，栅源漏电流小于100 nA的器件，就认为是可接受的合格器件。

4）阈值电压V_{TH} 阈值电压表征的是扩散沟道形成表面强反型时所需要的最小栅源电压，主要由栅氧化层厚度和沟道区杂质浓度决定。一般高压器件要求2～4 V，低压及逻辑应用的器件要求1～2 V。测试时栅极与漏极短接，漏极电流达到250 μA时，所需的栅电压就为该器件的阈值电压。

阈值电压的表达式为：

$$V_{TH}=\Phi_{ms}+2\Phi_F-\frac{Q_{ox}}{C_{ox}}+\frac{[4\varepsilon_0\varepsilon_s qN_A(x)\Phi_F]^{\frac{1}{2}}}{C_{ox}} \quad (3.6\text{-}16)$$

式中，Φ_{ms}为金属与硅的接触电势差；Φ_F为硅的费米势；Q_{ox}为栅氧化层的表面等效电荷密度；C_{ox}为栅氧化层电位面积电容；$N_A(x)$为沟道杂质浓度。

阈值电压与器件的横向杂质分布状态密切相关，因为沟道杂质分布沿平面方向递减，阈值电压的大小主要由靠近n^+侧的沟道浓度决定，所以在工艺实现上除了控制p阱浓度与结深外，还要控制n^+的结深。

5）直流漏源导通电阻$R_{DS(on)}$ 导通电阻表征VDMOS从漏极流向源极所经过的总电阻，在VDMOS设计时，力争此电阻最小，从而减小耗散功率。导通电阻的测量是在$V_{GS}=10$ V，$I_D=0.5\ I_{D(on)}$，且器件未进入饱和区时测试得到。

6）正向跨导g_{FS} 正向跨导表征的是VDMOS场效应晶体管的放大性能，定义为饱和区内，漏极电流的变化量与相应的栅源电压的变化量之比。即

$$g_{FS}=\frac{dI_D}{dV_{GS}}=\frac{Z}{L}\mu_n C_{ox}(V_{GS}-V_{TH}) \quad (3.6\text{-}17)$$

2.4 VDMOS的设计

（1）耐压设计

功率VDMOS的耐压主要取决于n－外延区的规格，如厚度、电阻率等。但是如果器件设计不足，还可能发生下面的两种击穿情况，使器件的耐压偏低。

1）漏源穿通 在漏极加载高压时，p阱的耗尽层除了向n－外延区扩展还要向p阱内侧扩展，当p阱区内部的耗尽层与源区相连，将形成一条由源通向漏的电流通路，表现为器件的软击穿。

2）外延层穿通 p阱区的耗尽层随漏极电压的增加向n^-外延区扩展，当耗尽层达到衬底与外延界面时，耗尽层内电场迅速达到器件击穿电场，表现为低击穿。所以高击穿电压器件要求高阻厚外延材料。

器件的击穿电压的提高是以导通电阻增加为代价的，对于击穿电压在100～1 000 V范围的器件，最佳外延层掺杂浓度N_{epi}和厚度W_{epi}与BV_{DSS}之间的简化关系为：

$$N_{epi}=1.935\times10^{18}\times BV_{DSS}^{-1.4}/\text{cm}^3 \quad (3.6\text{-}18)$$

$$W_{epi}=1.74\times10^{-8}\times BV_{DSS}^{1.2}\ \text{cm} \quad (3.6\text{-}19)$$

(2) 导通电阻的设计

VDMOS的导通电阻由无数的元胞电阻并联而成，每个元胞的电阻可以分为六部分，如图3.6-10所示。

$$R_{DS(on)} = R_S + R_{ch} + R_A + R_J + R_D + R_{sub} \quad (3.6\text{-}20)$$

式中，R_S 为源区电阻；R_{ch} 为沟道区电阻；R_A 为积累区电阻；R_J 为寄生结型场效应晶体管JFET电阻；R_D 为外延漂移区电阻；R_{sub} 为衬底电阻。

各部分电阻在 $R_{DS(on)}$ 中占的比例可以参见图3.6-11。对于高压器件，衬底电阻率可达20 mΩ·cm，低压器件衬底电阻率一般小于5 mΩ·cm。所以高压器件，外延电阻和寄生JFET电阻为导通电阻的主要部分，而低压器件沟道电阻是其主要的电阻组成部分。对于方形元胞，下面给出四部分主要电阻的数学表达式，符号定义如图3.6-12所示。

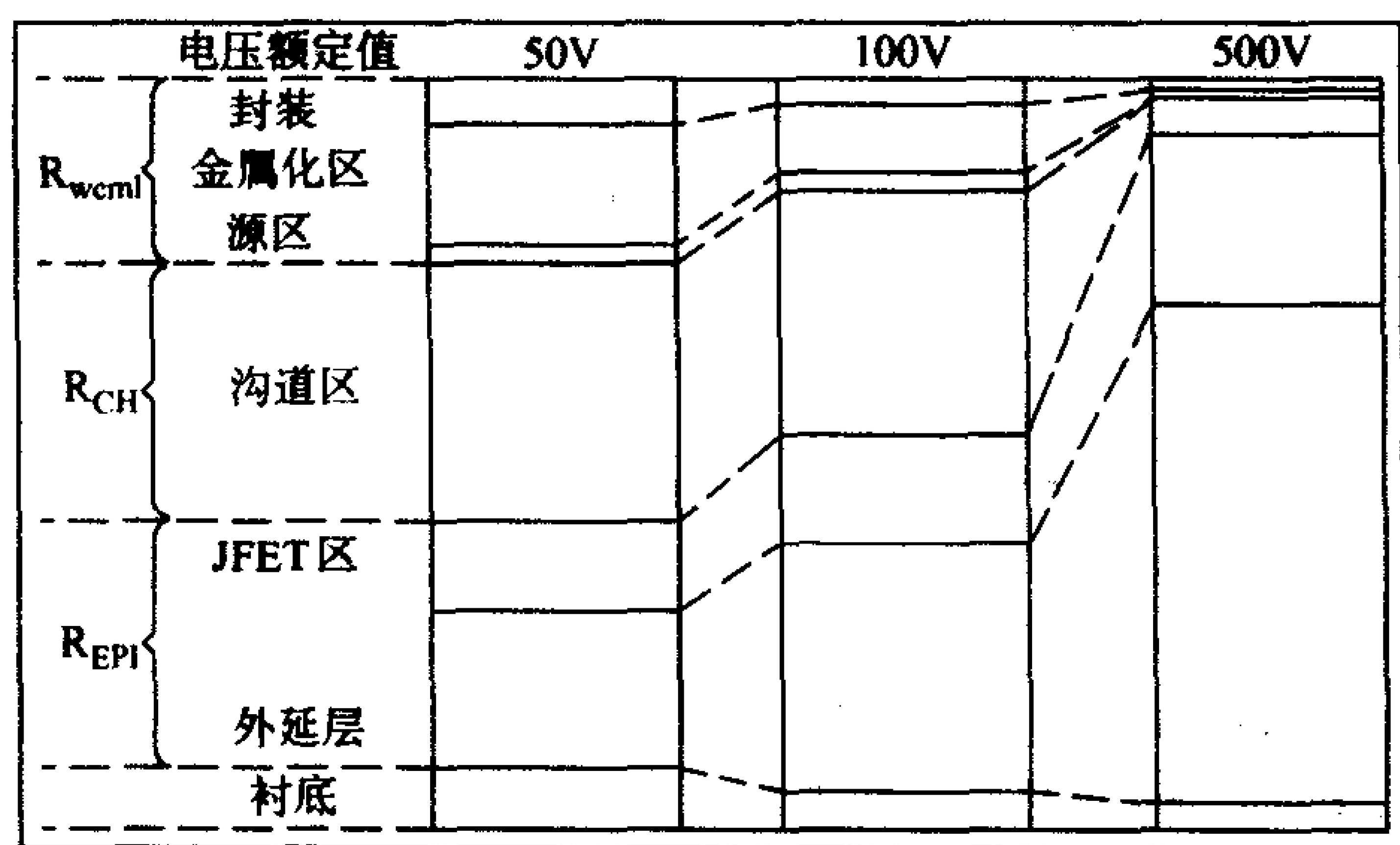


图3.6-11 各部分电阻在导通电阻中所占的比例

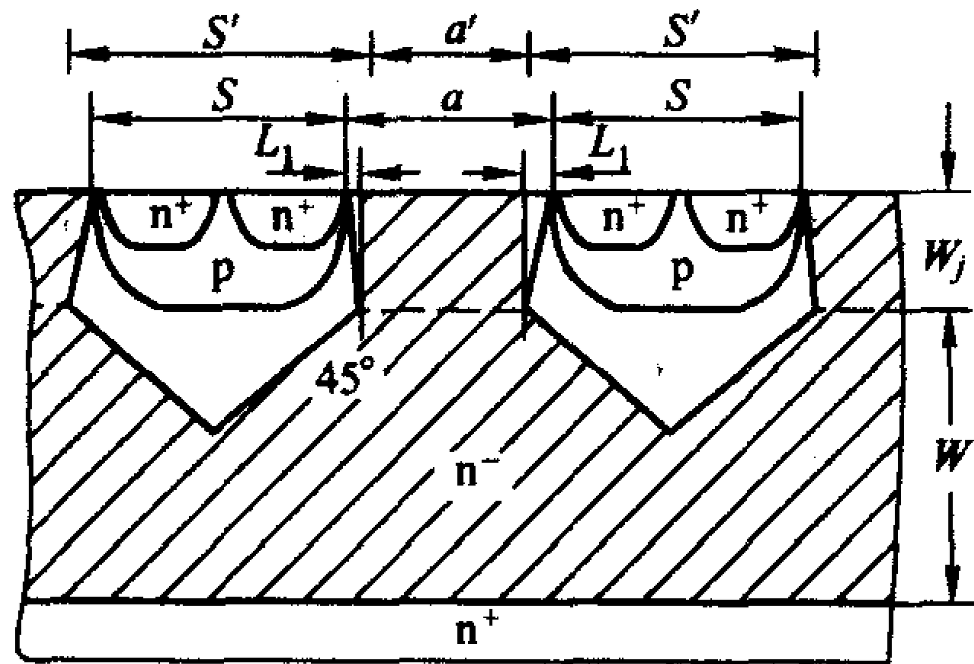


图3.6-12 方形元胞内漏区电流分布示意图

$$R_{epi} = \frac{\rho(s+a)}{4}\ln\left(\frac{s+a-s'+2w_j}{s+a+s'-2w_j} \times \frac{s+a+s'}{s+a-s'}\right) + \rho(w-w_j) \quad (3.6\text{-}21)$$

$$R_D = \left[\frac{\rho(s+a)^2}{8a(a+2s)}\right]\left[(s+a)^2\ln\left(1+\frac{a}{s}\right) - as - \left(\frac{a^2}{2}\right)\right] \quad (3.6\text{-}22)$$

$$R_J = \frac{\rho w_j}{1-\left(\frac{s}{s+a}\right)^2} \quad (3.6\text{-}23)$$

$$R_{ch} = \frac{L\,(s+a)^2}{4s\mu_{eff}C_{ox}\,(V_G - V_{TH})} \quad (3.6\text{-}24)$$

式中，μ_{eff} 为沟道区电子迁移率；V_{TH} 为阈值电压；V_G 为栅极外加电压；L 为沟道长度；C_{ox} 为栅电容。

(3) 电流设计

如前所述，对于给定的栅极电压，VDMOS的饱和电流在很大程度上取决于沟道区的宽长比，按式(3.6-15)，连续漏极电流 $I_{D(on)}$ 为10 V栅压时的源漏电流，V_{TH} 的典型值为3 V，C_{ox} 在工艺控制 V_{TH} 时确定，沟道区电子迁移率按700 cm²/(s·V)近似，所以在设计阶段需要确定的就是VDMOS的宽长比，由于功率VDMOS器件中，$I_{D(on)}$ 为安培数量级，其宽长比 Z/L 在 10^3 以上。

同时，如图3.6-10还应注意到，VDMOS的漏源电流并非始终与($V_{GS} - V_{TH}$)保持二次方关系，当 V_{GS} 增加到一定数值后，I_D 不再随 V_{GS} 增加而增加，而是基本保持不变，这是由于寄生JFET的影响，这个区域叫做VDMOS的准饱和区。由JFET结构参数决定的漏源电流可由下式确定：

$$I_D = qN_e v_s bZ \quad (3.6\text{-}25)$$

式中，N_e 为p阱之间的外延区杂质浓度；v_s 为JFET沟道区电子的饱和速度；b为p阱之间的最小宽度；Z 为JFET沟道区的深度，即沟道垂直版面向内的深度。

此外，在确定了器件宽长比后，还要考虑导通电阻对 $I_{D(on)}$ 的限制。如果器件的导通电阻很大，器件工作在大电流时会产生大量的热量，很容易超过器件的最高结温而烧毁。导通电阻限定的 $I_{D(on)}$ 可由下式表示：

$$I_D < \sqrt{\frac{T_{jMAX} - T_C}{R_{DS(on)}\,R_{th(JC)}}} \quad (3.6\text{-}26)$$

式中，$R_{th(JC)}$ 为结到管壳的热阻；T_{jMAX} 为最高允许结温；T_C 为管壳结温。

可以看到，除了导通电阻，热阻也是限制 $I_{D(on)}$ 的参数，通常散热装置热阻可以使管壳温度保持在90~110℃之间。

(4) VDMOS的主要工艺流程

VDMOS在工艺实现上，一般采用自对准工艺，减小工艺复杂度，极大地增加了工艺的可重复性，如图3.6-13为VDMOS的主要工艺流程。

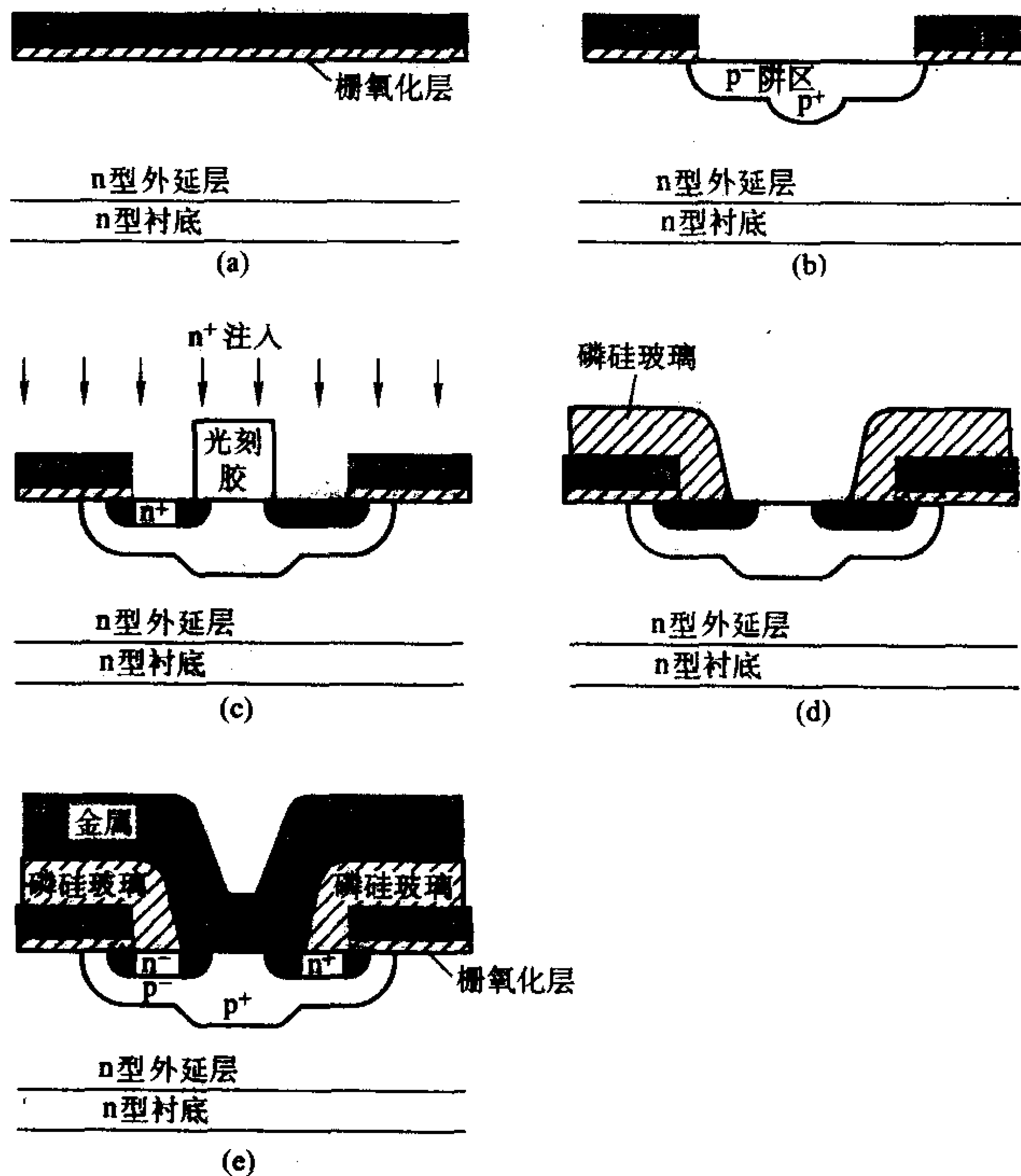
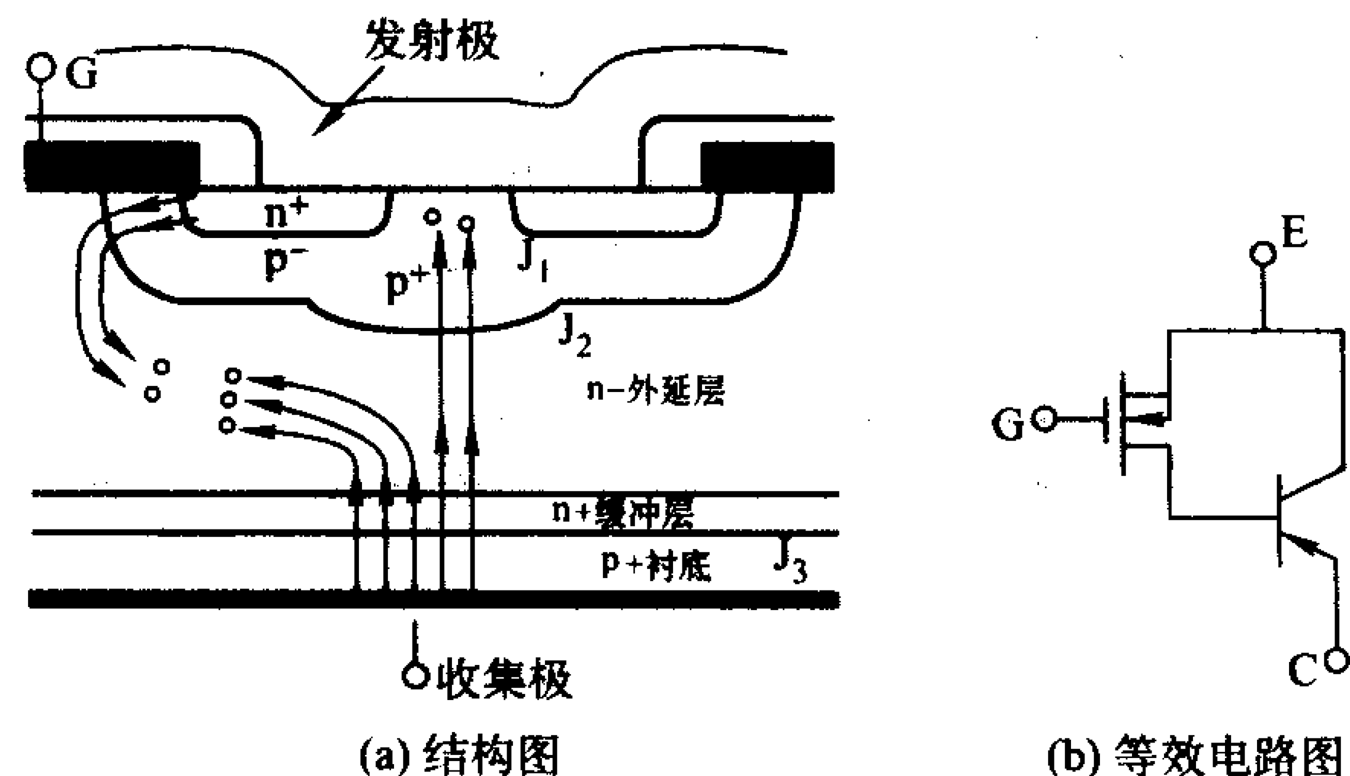


图3.6-13 VDMOS的主要工艺流程

1) 在n⁻外延上生长栅氧化层以及淀积多晶硅。
2) 通过干法刻蚀多晶硅与氧化层，并进行淡硼与浓硼注入，退火形成p阱区。
3) 用光刻胶作为掩模，进行n⁺源区注入。
4) 淀积PSG，并刻蚀引线孔。
5) 溅射金属，形成源区电极。

3 绝缘栅双极晶体管（IGBT）

功率 MOSFET 属于电压驱动器件，具有速度快、输入阻抗高、热稳定性好等优点，是电力设计的很好选择，但是他导通电阻大，且随器件耐压的增加而急剧增加，高的导通电阻必然导致高的通态损耗，限制其在高压场合中的应用。1982 年，B. J. Baliga 等提出了一种新型的绝缘栅场效应晶体管 IGBT（Insulated Gate Bipolar Transistor－IGBT），它具有很多功率 MOSFET 的优点，如易驱动、输入阻抗高，宽安全工作区 SOA 等，同时具有导通电阻小、电流密度高、适合于大电流工作的优点，其基本结构如图 3.6-14a）所示。从结构上看，除了 p^+ 衬底外，IGBT 的纵向结构与 VDMOS 是完全一致的，都包含多晶硅栅、p 阱与 n^+ 源等，同时二者的 n^- 外延区都是主要的承担电压的区域。图 3.6-14b 是 IGBT 的等效电路图，可以看出，它是由一个 PNP 管和一个 N 沟 MOS 管按达林顿结构伪连接而成。工作时，p^+ 区接正电位，称为 IGBT 器件的阳极 C，同时也是 PNP 晶体管的发射极。通过栅介质引出的电极为 IGBT 的栅极 G。MOS 管的源区是 IGBT 器件的阴极 E，同时也是 PNP 晶体管的集电极。



(a) 结构图　　(b) 等效电路图

图 3.6-14 IGBT 的结构示意图与等效电路图

3.1 IGBT 的主要工作原理

IGBT 的基本工作原理如图 3.6-14a 所示，如果在阳极相对于阴极施加负偏压，同时栅压为零，此时不存在沟道，MOS 管不导通，因此 J_2 结此时正偏，J_3 结反偏，电流被阻断，几乎没有载流子注入 N－外延区，IGBT 中只存在 J_3 结反向漏电流。IGBT 处于反向偏置状态，具有反向阻断能力，但是 IGBT 一般不工作在这种状态。

如果阳极相对于阴极施加正偏压，同时栅压为零，MOS 管的 p 阱中没有沟道形成，此时 J_3 结正偏，J_2 结反偏并承担几乎所有电压。IGBT 电流主要是 J_2 结漏电流。IGBT 具有正向阻断能力。

当栅极相对于阴极施加正向电压，且电压值大于 MOS 管的阈值电压时，IGBT 的 MOS 沟道反型，形成导电沟道，电子由 n^+ 源区流经沟道到漏极，并垂直地流入 n^- 外延区。在 n^- 外延区中，由于电子的流入，降低了 n^- 区的电位，加速了 p^+ 衬底向 n^- 外延区注入空穴的进程，使器件进入正向导通状态，此时 p^- 阱－n^- 外延－p^+ 衬底相当于正向偏置 PNP 管。衬底 p^+ 区注入的空穴载流子在 n^- 基区产生电导调制，n^- 区的阻抗迅速减小，降低了 n^- 区的压降，使 IGBT 具有很低的通态压降。IGBT 导通时，p^+ 衬底注入的空穴一部分在 n^- 外延区与来自 MOS 管的电子复合，形成复合电流，这部分电流作为 PNP 管的基区电流；另一部分通过扩散或漂移，渡越 n^- 基区，到达 J_2 结，由于 J_2 结处于反向偏置，这部分空穴被扫入 p^- 阱区，形成 PNP 的集电极电流，载流子流动情况如图 3.6-14a 所示。PNP 管的基区宽度很大，β 值很低，通过 MOS 管的电流是 IGBT 总电流的重要部分。

IGBT 在静态状态下工作时，需要注意的主要参数有阳极－阴极击穿电压、导通电阻、饱和压降等。

1）阳极－阴极击穿电压　由于 IGBT 工作在关闭状态时，主要的阳极－阴极击穿电压由 J_2 结承担，所以优化设计 n^- 外延层与 p 阱的结构参数显得尤为重要。同时为克服结边缘由于曲率半径对击穿电压的影响，通常加场限环、场板等终端结构，其原理及方法同功率 GTR。

2）导通电阻　自 p^+ 衬底层注入的空穴在 n^- 层产生载流子的积累，形成电导调制作用（Conductivity Modulation），所以 n^- 层的电阻由于电导调制急剧变小。与 300 V 以上的功率 MOSFET 相比，IGBT 的阻抗要小一个数量级以上。因而可工作在大电流密度下，并有低的通态压降。1 000 V 的 IGBT 通态压降为 2～3 V。

3）饱和压降　由于 n^- 外延层电导调制效应的存在，CE 间导通后的压降主要由 J_3 结压降与 MOS 管的沟道压降决定。与 VDMOS 不同，J_3 结的压降是 IGBT 的固有部分，是无法克服的部分。两种方法可以用来降低器件的饱和压降，一是增大芯片尺寸或增加元胞密度，进而减小 MOS 管的导通电阻；另一个是增大 PNP 管的电流增益 β。

3.2 IGBT 的基本结构

IGBT 从纵向结构来看均可归为分成穿通型 IGBT（PunchThrough－IGBT－PT－IGBT）或非穿通型 IGBT（Non-PunchThrough－NPT－IGBT）。临界击穿电压下，前者 J_2 结耗尽层的扩展穿透了 n^- 外延区，后者则不然。

最早被提出的 IGBT 为穿通型结构，基本结构如图 3.6-14a 所示，它是通过在高浓度的厚 p^+ 衬底上依次外延 n^+/n^- 层，在 n^- 层表面制作 MOSFET 制成的。这种制造思路与生长外延片制作 VDMOS 的思路一脉相承，因此，IGBT 的制作工艺是与 VDMOS 的制作工艺相兼容的。PT－IGBT 制作的简易工序示意图如图 3.6-15a 所示。不同于穿通型结构，非穿通型 IGBT 的制作是直接在单晶硅上进行的，它是在正面 MOSFET 结构制作完成后，用离子注入的方法通过背面注入 B 离子形成 p^+ 区。NPT－IGBT 的结构及工艺流程示意图分别如图 3.6-15b 所示。

3.3 IGBT 的开关特性

IGBT 的开关时间包括导通时间 t_{on} 和关断时间 t_{off}。导通时间 t_{on} 又包含导通延时时间 $t_{d(on)}$ 和上升时间 t_r。关断时间 t_{off} 又包含关断延时时间 $t_{d(off)}$ 和下降时间 t_f。对各参数的定义如图 3.6-16 所示。

1）导通延时时间 $t_{d(on)}$　从输入栅极脉冲电压 V_{GE} 上升至其峰值电压的 10% 开始计算，到阳极电流 I_c 上升至其峰值的 10% 所需要的时间。

2）上升时间 t_r　阳极电流 I_c 从其峰值的 10% 上升到 90% 所需要的时间。

3）关断延时时间 $t_{d(off)}$　从栅极脉冲电压 V_{GE} 下降至其峰值电压的 90% 开始计算，到阳极电流 I_c 下降至其峰值的 90% 所需要的时间。

4）下降时间 t_f　阳极电流 I_c 从其峰值的 90% 上升到 10% 所需要的时间。

开关时间长是限制 IGBT 应用的主要问题，特别是 IGBT 的关断速度慢，造成开关损耗大，无法在频繁开关的高频领域内应用。从器件结构上看，IGBT 的总电流包括 MOS 管、PNP 管两部分电流，即：

$$I_{IGBT} = I_{MOS} + I_{PNP} \quad (3.6\text{-}27)$$

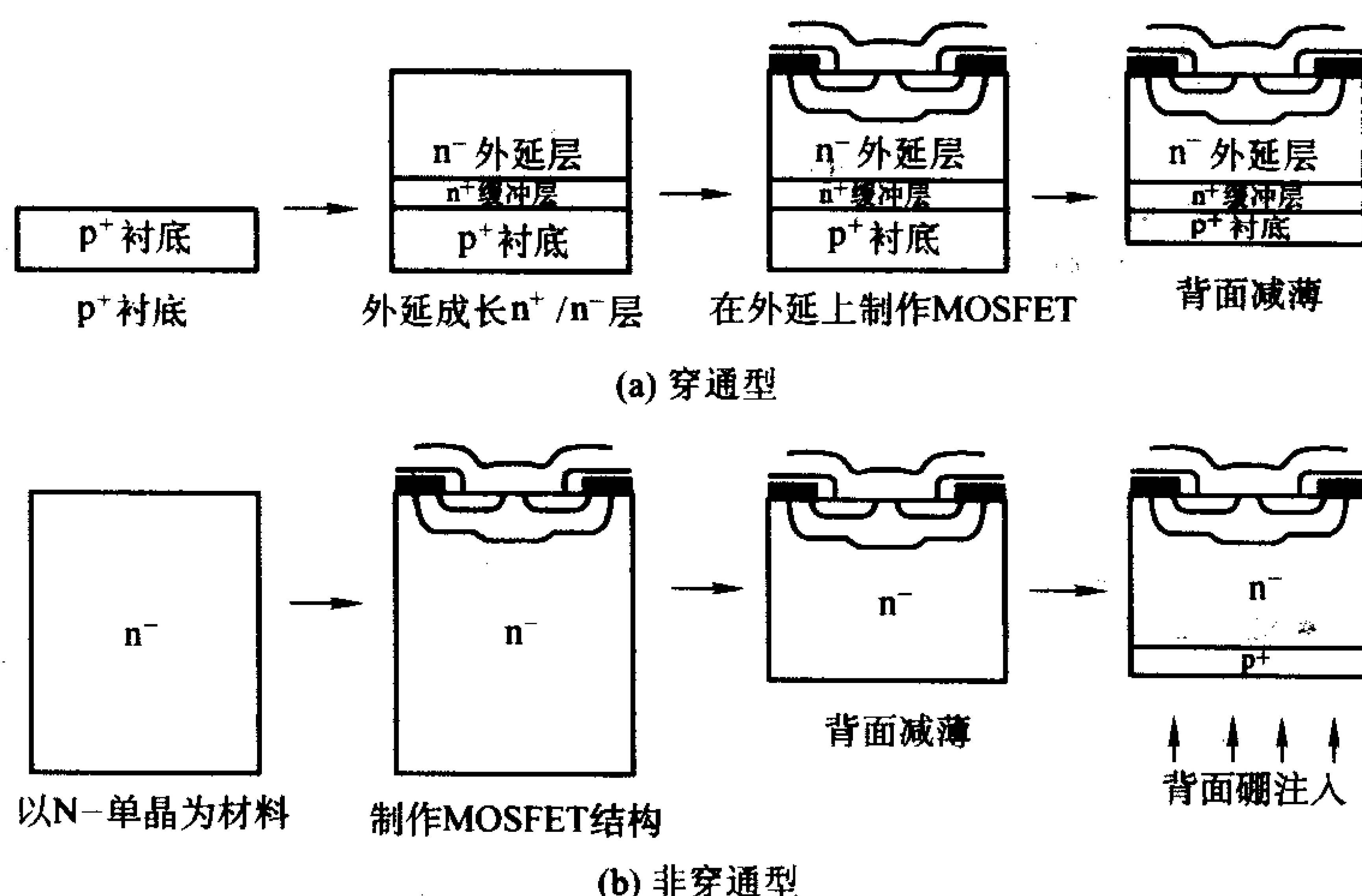


图 3.6-15　穿通型与非穿通型 IGBT 的制作过程

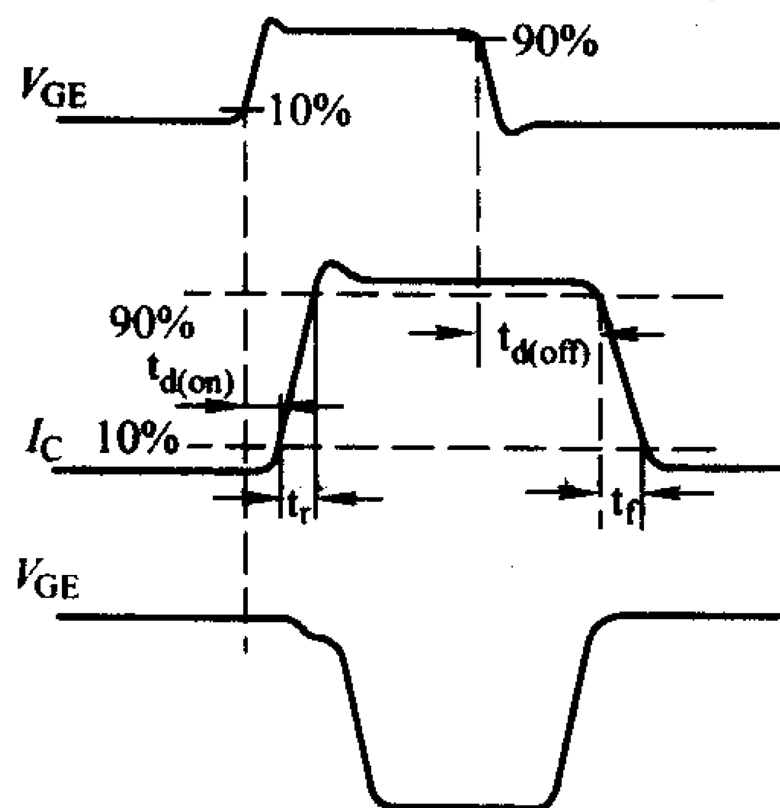


图 3.6-16　IGBT 的开关曲线

关断时，栅极电压消失，MOS 管的沟道电流迅速消失，而 PNP 管正向导通时 N－基区存储的大量少数载流子，不能迅速消失，必须经过少数载流子的复合过程。所以复合过程的快慢就决定了 IGBT 关断速度的大小。如图 3.6-17 所示，IGBT 的关断过程包括两个阶段：一是 MOS 管导通电流迅速消失的阶段；一是 PNP 管基区存储的电荷通过复合过程缓慢下降的阶段，又叫拖尾过程。

影响 IGBT 关断速度的最大限制就是 N－基区中少数载流子的寿命，因为这个基区不易受外电路的影响。虽然 IGBT 中的 PNP 管采用伪达林顿管接法，关断时间较深饱和状态的 PNP 管小，但是在许多高频应用中，IGBT 仍然不能满足要求。

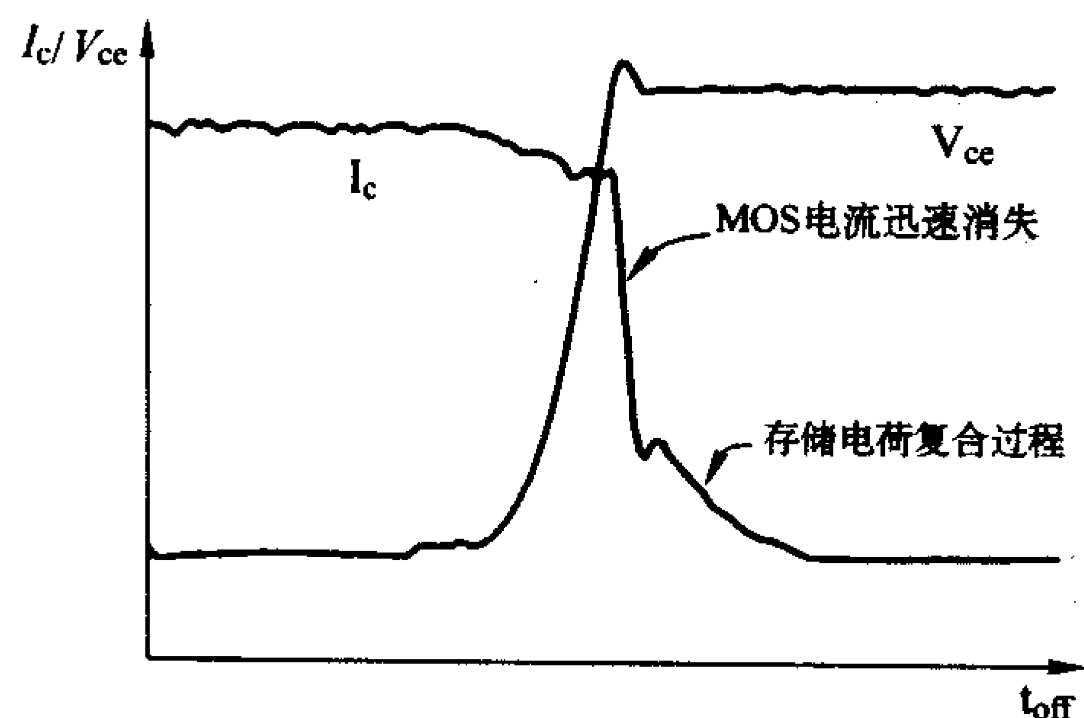


图 3.6-17　IGBT 的关断特性曲线

3.4　IGBT 的闩锁效应

从 IGBT 结构上看，IGBT 内部存在 pnpn 的四层结构，如图 3.6-14a 所示，其等效电路如图 3.6-18 所示，可以看出，IGBT 内部还存在一个由 n^+ 发射极－p^- 阱区－n^- 外延层组成的寄生 NPN 晶体管。虽然在器件结构上，n^+ 发射极－p^- 阱区是通过金属短路在一起的，但是 p－阱区扩展电阻 R_S 的存在，使横向流动的空穴产生一定压降，对 J_1 结来说，相当于一个正偏置电压。在规定的阳极电流范围内，这个正偏置电压不大，Q_2 不起作用，当阳极电流大到一定程度时，该正偏置电压足以使 Q_2 开通。此外，在 IGBT 关断的动态过程中，假若阳极电压变化较大，dv_{ce}/dt 过高，那么在 J_2 结中引起的位移电流 $C_{J2}(dv_{ce}/dt)$ 会很大，当该电流流过扩展电阻 R_S 时，也可产生足以使晶体管 Q_2 开启的正向偏置电压。根据 pnpn 晶闸管理论，如果 $\alpha_{NPN}+\alpha_{PNP}\geqslant 1$，则寄生 npnp 晶闸管开启，栅极失去控制作用，自关断能力丧失，这就是所谓的闩锁效应。IGBT 发生闩锁效应后，阳极电流增大，造成很高的功耗，导致器件的损坏性失效。

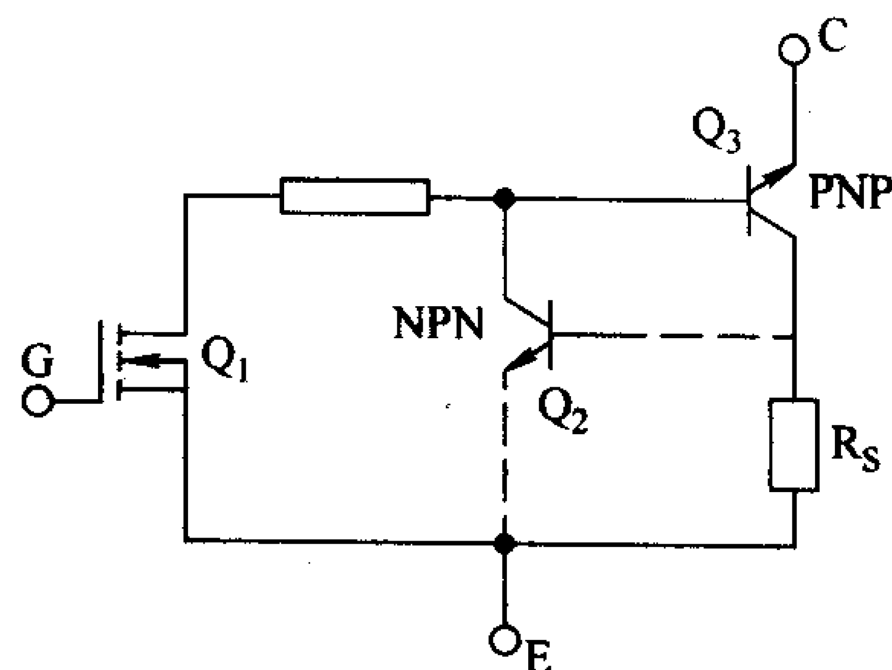


图 3.6-18　IGBT 的寄生晶体管电路结构

3.5　IGBT 的设计

IGBT 同 VDMOS 管相比，可以承载更高的电流密度，同样的输出功率，IGBT 的芯片面积往往只有 VDMOS 的 40%，同时其导通损耗低，所以很长时间内，IGBT 被认为是在中高压范围内可以替代 VDMOS 管的新型器件。但是 IGBT 较慢的开关速度以及很长的拖尾电流，目前在很多领域内还无法取代 VDMOS。IGBT 的设计主要围绕的就是开关时间。

1）加薄层 n^+ 缓冲层　在 p^+ 衬底与 n^- 外延层之间加一层 n^+ 缓冲层，可以通过扩散、注入或是两次外延的方法实现。n^+ 缓冲层掺杂浓度较高，关断时少数载流子复合速度增加，加速了拖尾部分电流的下降，提高了开关速度。同时 n^+ 层的加入使 PNP 管的发射效率大大降低，还有利于提高 IGBT 的抗闩锁效应。

2）控制少数载流子寿命的技术　如向硅中掺入过渡元素，引入深能级加快少数载流子的复合速度。还可以通过电

子或中子辐照，在硅中引入晶格损伤和相应的陷阱复合中心使少数载流子寿命和迁移率下降，提高关断速度。

3）阳极断路　如图 3.6-19 所示，它是在硅片背面进行选择性 p^+ 扩散来实现，这时 n^- 区存储的少数载流子可以通过短路部分泄放，从而使关断波形中的拖尾部分减小，提高开关速度。另外，这种结构的寄生晶闸管效应也相应降低，抗闩锁作用大大加强。

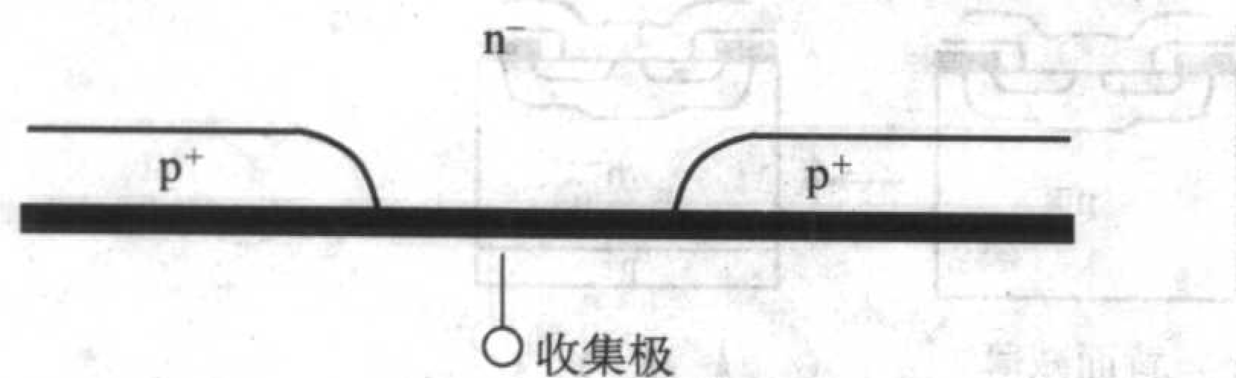


图 3.6-19　阳级短接结构

4　其他功率器件

4.1　UMOS

随着近年来 VDMOS 的普遍应用，人们要求进一步降低器件的导通电阻，进而减小器件的功率损耗。但是平面型 VDMOS 自身的结构特点，无法克服其固有的寄生电阻，如 R_A、R_J 等。

槽形栅功率 MOSFET 结构的提出成功地把器件的导通电阻降了下来，图 3.6-20 为槽形栅的纵向剖面图，因为它的栅极位于 U 形的沟槽内，所以又叫 UMOS。

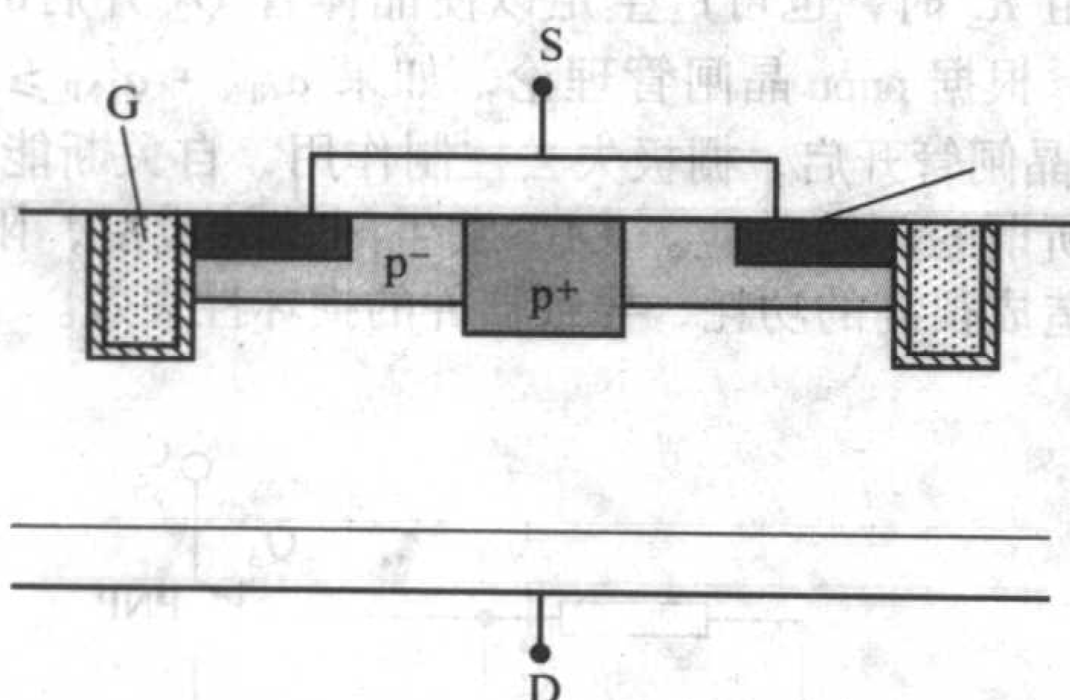


图 3.6-20　槽形栅 MOSFET（UMOS）的剖面图

UMOS 的主要生产工艺如图 3.6-21 所示。

1）n^- 外延上扩散形成 p 阱区与 n^+ 源区。

2）通过反应离子刻蚀在硅片上形成 U 形的凹槽。

3）随后进行湿法腐蚀槽内壁，形成良好的平滑的侧壁。

4）通过高温氧化，在槽侧壁形成栅氧化层，然后淀积多晶硅，形成栅极连线。

5）刻蚀源极与栅极接触孔。

6）溅射金属，形成源极与栅极电极。

（1）UMOS 的导通电阻

由图 3.6-20 可知，UMOS 的结构特点，完全克服了导通电阻中的寄生 JFET 电阻部分，以及积累区电阻部分，所以导通电阻主要由沟道电阻 R_{ch} 和外延层电阻 R_{epi} 组成。

$$R_{on}=R_{ch}+R_{epi} \tag{3.6-28}$$

对于沟道电阻可由式（3.6-22）确定，外延层电阻可由下面图 3.6-22 所示模型求得：

$$R_{epi}=\rho\left(\frac{b}{2}\lg\frac{b}{a}+t-\frac{b-a}{2}\right)\quad \left(t>\frac{b-a}{2}\right) \tag{3.6-29}$$

或

$$R_{epi}=\rho\left(\frac{b}{2}\lg\frac{b}{a}\right)\quad \left(t\leqslant\frac{b-a}{2}\right) \tag{3.6-29}$$

式中，a 为槽宽；c 为槽间距；t 为外延层厚度；b 为元胞宽度。

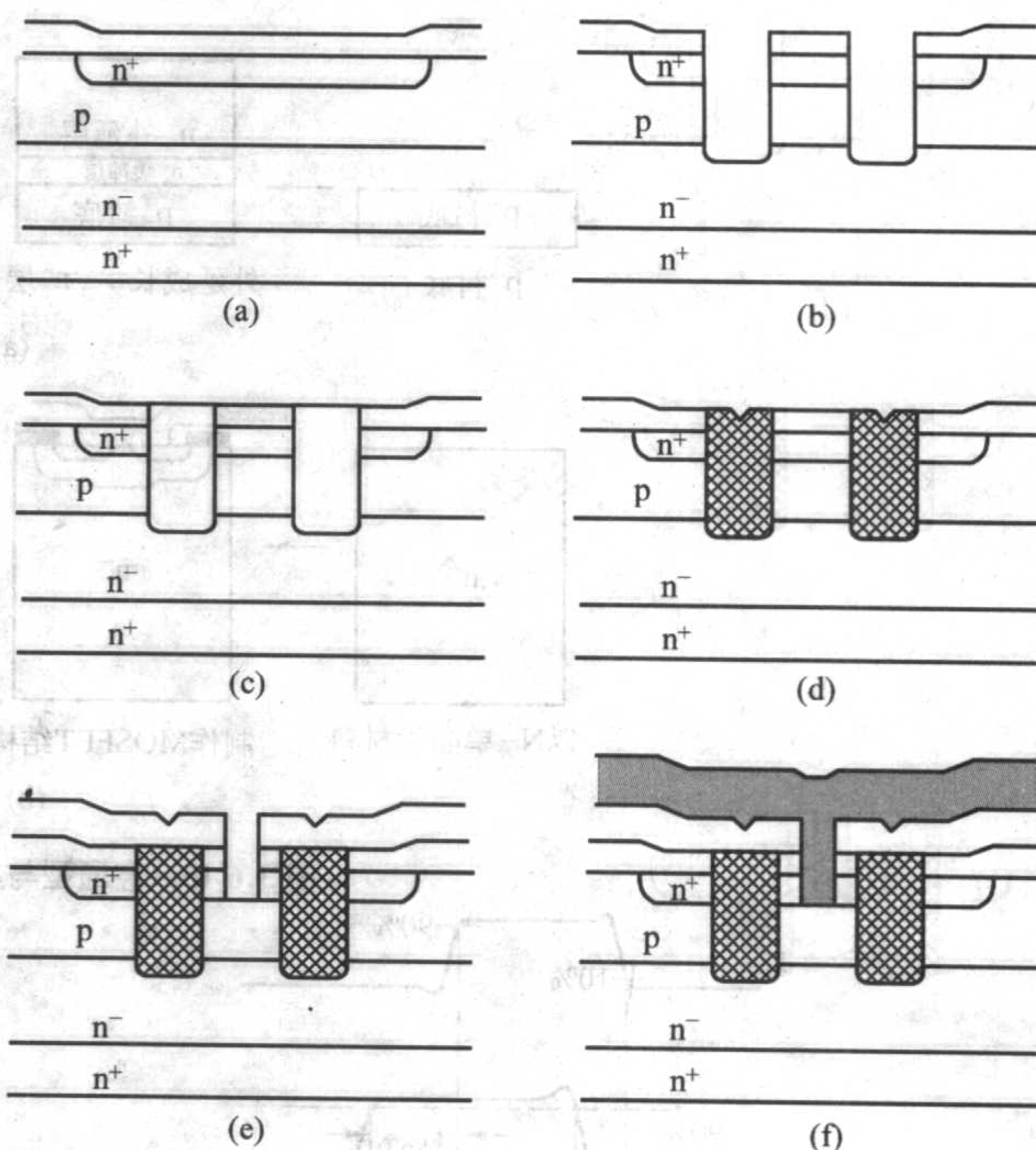


图 3.6-21　UMOS 的主要工艺流程

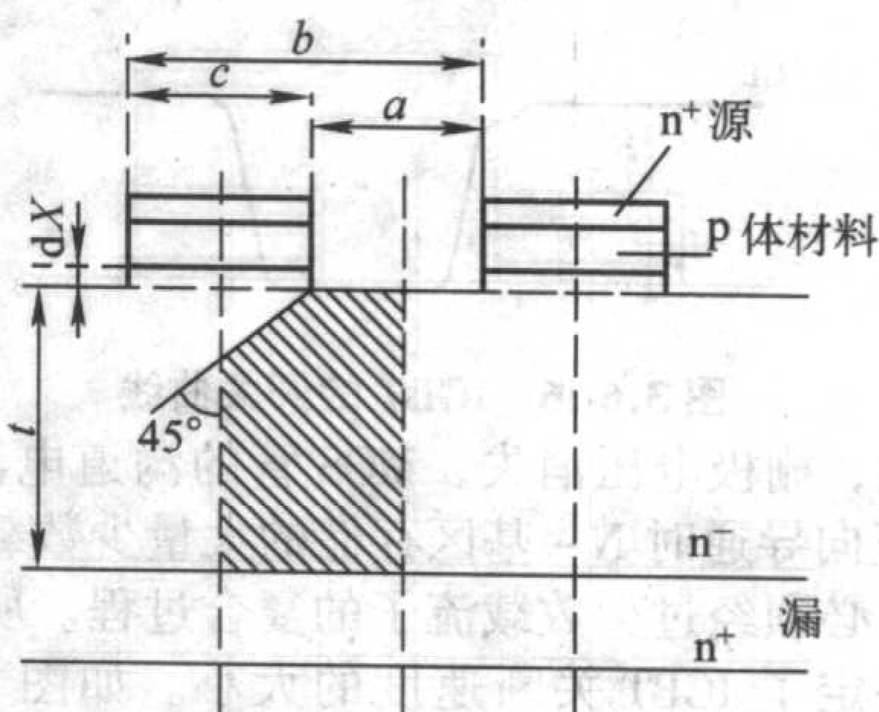


图 3.6-22　UMOS 导通电阻计算模型

（2）UMOS 的击穿电压

在 UMOS 的耐压方面，U 形槽对器件的击穿电压有很大的影响，因为在 U 形槽的氧化层拐角处电场高度集中，如图 3.6-23 所示，此电场使 UMOS 的击穿电压要比平面型 VDMOS 低很多，这是 UMOS 结构较平面 VDMOS 结构的不足之处。通常 UMOS 用作低压器件，特别是在 100 V 以下的器件。

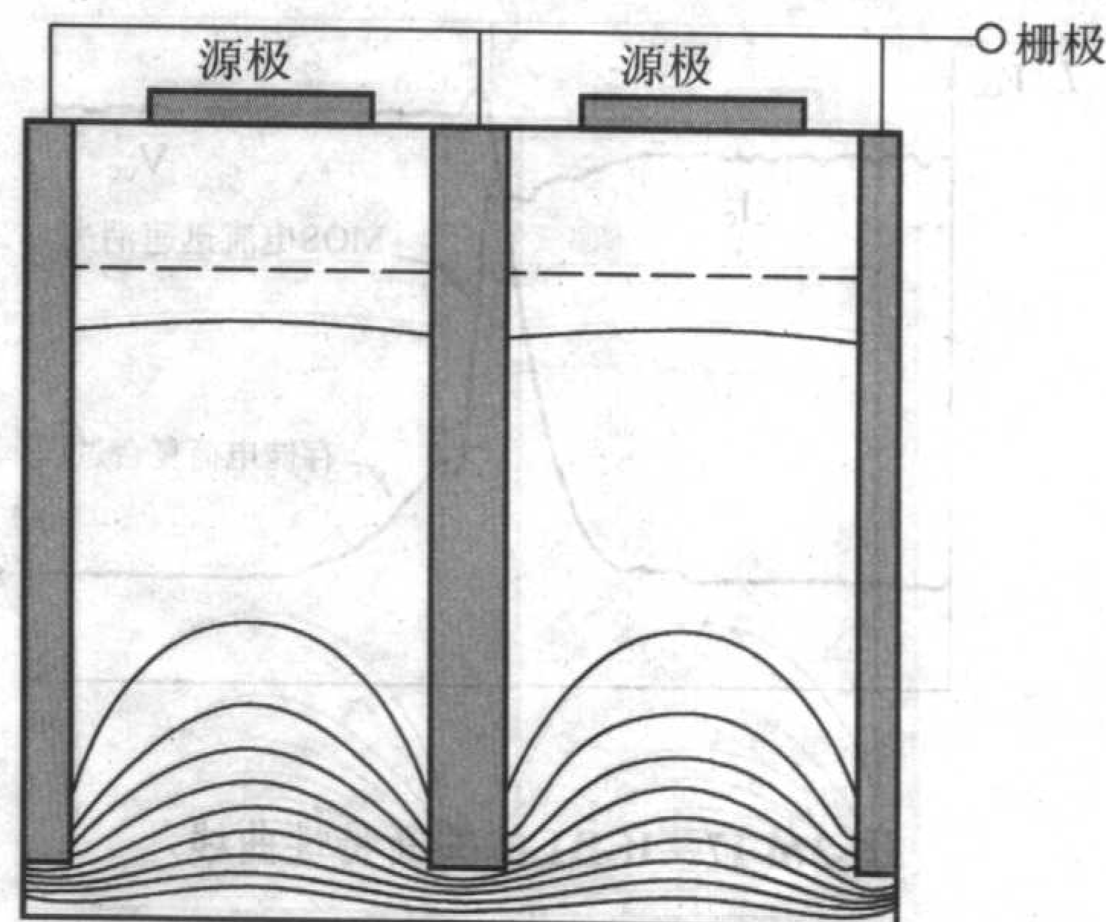


图 3.6-23　U 形槽拐角处电场分布

4.2　LDMOS

LDMOS 是一种横向双扩散 MOS 管结构，它具有两种类

型，一种是用于射频（RF）或高频（HF）功率放大器的LDMOS单管或功率模块，另一种是用于功率集成电路的LDMOS器件。用于射频（RF）或高频（HF）功率放大器的LDMOS晶体管是20世纪90年代迅速发展起来的，主要用于移动通讯基站、广播电视和微波雷达，其频率在1 GHz以上。当前市场有输出功率为180 W，频率为2.11～2.17 G，等多种类型。

（1）RF LDMOS

RFLDMOS晶体管全部采用增强型n沟道结构，衬底为高掺杂P型材料，外延层是轻掺杂的P型材料，其纵向结构如图3.6-24所示。漏、栅采用梳型结构，源、漏、栅都在芯片的顶部，源极通过穿透扩散穿通外延层与衬底相连至金属层，即由衬底底端引出源电极，芯片顶部的源极是独立的。漏极、栅极通过金属层连接至焊接点，再通过金属丝将焊接点与管脚相连。

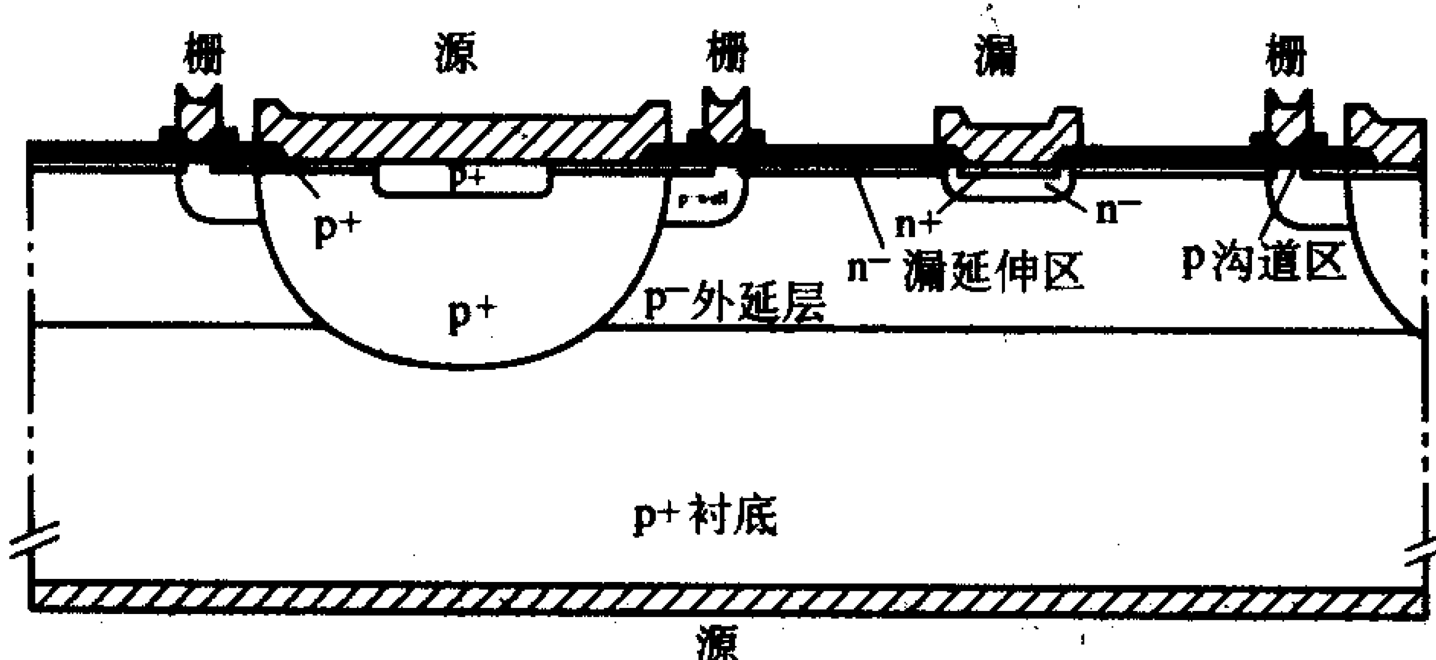


图3.6-24 LDMOS晶体管纵向结构示意图

RF LDMOS晶体管的射频输出功率由漏源极电流 I_{DS} 决定，漏－源极的直流 I_{DS} 与栅宽成正比，栅宽可以近似等于栅的沟道宽度。

RF LDMOS晶体管的截止频率 f_T 由栅的沟道长度 L_{ch} 决定，其计算公式：

$$f_T=\frac{G_{fs}}{2\pi C_{is}}=\frac{v_{sat}}{4\pi L_{ch}} \tag{3.6-30}$$

式中，G_{fs} 为正向跨导；C_{is} 为输入电容；v_{sat} 为饱和速度（硅：10 cm/s）；L_{ch} 为栅的沟道长度。

RF LDMOS主要工艺流程为：高掺杂 p^+ 型衬底——外延（轻掺杂p型外延层）——LOCOS氧化——光刻 p^+ 区（穿透区）——刻蚀、硼注入、推进——光刻有源区、刻蚀，生长栅氧化层——淀积多晶硅（扩磷）——硅栅刻蚀——p^- 阱硼注入、推进——p^+ 区刻蚀、硼注入、推进——n^- 区刻蚀、砷注入——n^-、p阱刻蚀——磷注入、推进——源漏 n^+ 区刻蚀，砷注入、推进——接触孔刻蚀——溅射金属层——电极刻蚀——背面减薄、多层金属化。

RF LDMOS的优良性能如下。

1）偏置电路简单　由于LDMOS晶体管是电压控制器件，偏置电路中没有电流流过，且LDMOS晶体管具有负温度系数，偏置电路不需要过流保护电路和温度补偿电路。

2）恒定的输入阻抗　LDMOS晶体管的特征之一是具有恒定的输入阻抗，随栅压变化而变化的幅度很小，非常适用于输入匹配网络及任意类型的放大器。

3）高线性度　LDMOS晶体管 $I_{DS}-V_G$ 特性（漏源电流－栅极电压）从导通到饱和几乎是线性，能够在一个大的动态范围内提供很好的线性特性。

4）高增益　比双极型RF功率晶体管具有更高的增益，一是由于其源电极直接焊接在管座上，无需引线连接，大大减小了引线的自身电容和电感引起的反馈，有利于在高频下获得更高增益，二是由于具有负温度系数，热稳定性好，可以在高的漏源电流 I_{DS} 下工作。

5）低噪声　LDMOS晶体管，源极不需要双极晶体管中的镇流电阻，不会由于电流通过镇流电阻而产生热噪声。

6）低反馈电容　LDMOS晶体管具有比双极晶体管少得多的输出和输入引线间的反馈电容，有利于为宽带放大器通过负反馈来实现宽频范围的平坦增益特性。

7）热稳定性好　LDMOS晶体管具有负温度系数，这是由于器件通过更多电流时，温度升高，同时引起了栅阈值电压的增加，温度继续上升，使栅阈值电压也继续增加，致使通过器件的电流减小甚至关断。

（2）功率集成电路中的LDMOS器件

功率集成电路中的LDMOS也是一种横向双扩散MOS管结构，该结构是可以采用常规低压集成电路工艺实现高耐压、大电流的功率器件，同时其三个电极都在表面引出，方便了与集成电路的互连，所以LDMOS在功率集成电路中也有广阔的发展空间。图3.6-25为LDMOS的纵向剖面图。

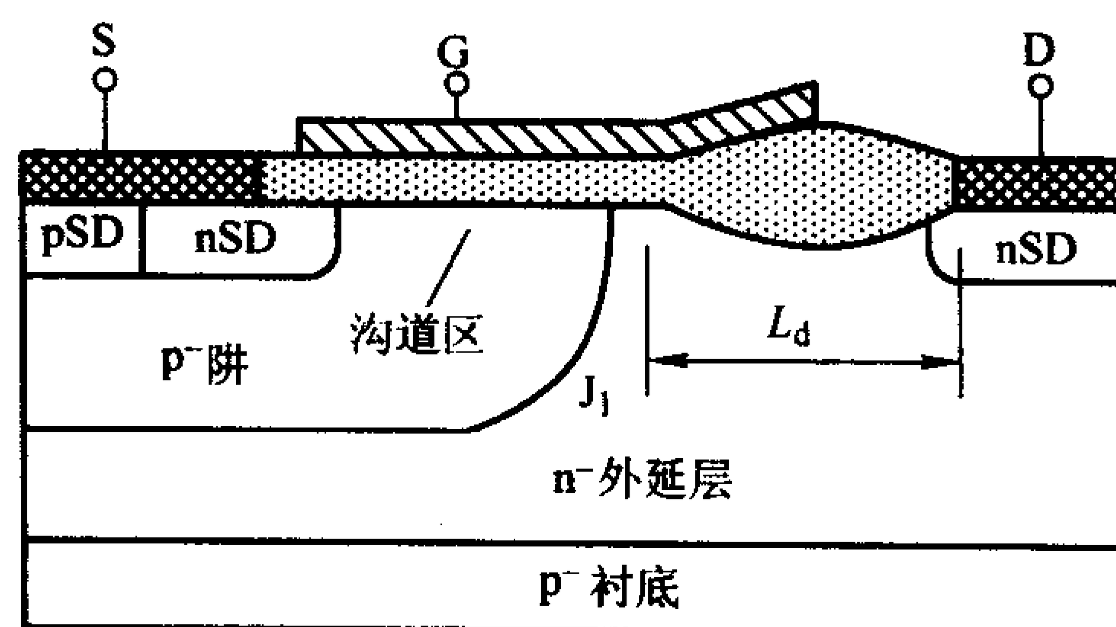


图3.6-25 LDMOS剖面结构图

LDMOS的主要工作原理如下。

如图3.6-25所示，当LDMOS不加栅压，而在D（漏）极相对于S（源）极加正向偏压时，则器件的 J_1 结反偏，承担D、S间的偏压，J_1 结上只有很小的漏电流流过，使LDMOS器件具有电流阻断能力。因为 N_{epi} 的浓度通常比p阱区低很多，所以 J_1 结反偏时，其耗尽区主要向低浓度 N_{epi} 区延伸。故只要合理优化外延层参数和 L_d，使p阱/n外延结附近电场尚未达到临界击穿电场时，整个外延区就已耗尽，击穿电压就可以做得足够高。

当栅（G）极相对于S极加足够的正电压时，即栅压大于栅阈值电压时，在栅极下的p阱区形成反型层，电子经此电流沟道流向 N_{epi} 区，并在 N_{epi} 区流向D极时达到速度饱和，器件进入饱和区工作。

LDMOS的主要生产工艺流程如图3.6-26所示。

1）在n外延上进行LOCOS氧化。

2）栅氧化，淀积多晶硅栅。

3）p阱与 n^+ 扩散，通过两次扩散差，控制器件沟道长度。

4）刻蚀各电极引线孔。

5）溅射金属，并刻蚀金属，形成金属电极。

4.3 静电感应晶体管（SIT）

静电感应晶体管（Static Induction Transistor－SIT）是由日本人首先提出的。它具有多子导电、充放电时间短、漏极负温度系数、无二次击穿以及适合大功率运用等优点。

SIT按其栅极位置的不同主要分为表面栅结构与埋栅结构，表面栅结构工作频率高，适合高频运用，埋栅结构制作工艺简单，但频率低，适合低频大功率运用。图3.6-27是平面栅与埋栅SIT的结构示意图。

SIT的元胞结构特征与垂直结型场效应晶体管J－FET器件很相似，只是沟道的长度相对很短。在传统的JFET中，沟道电阻由栅压来控制，沟道夹断时所形成的势垒足够高，

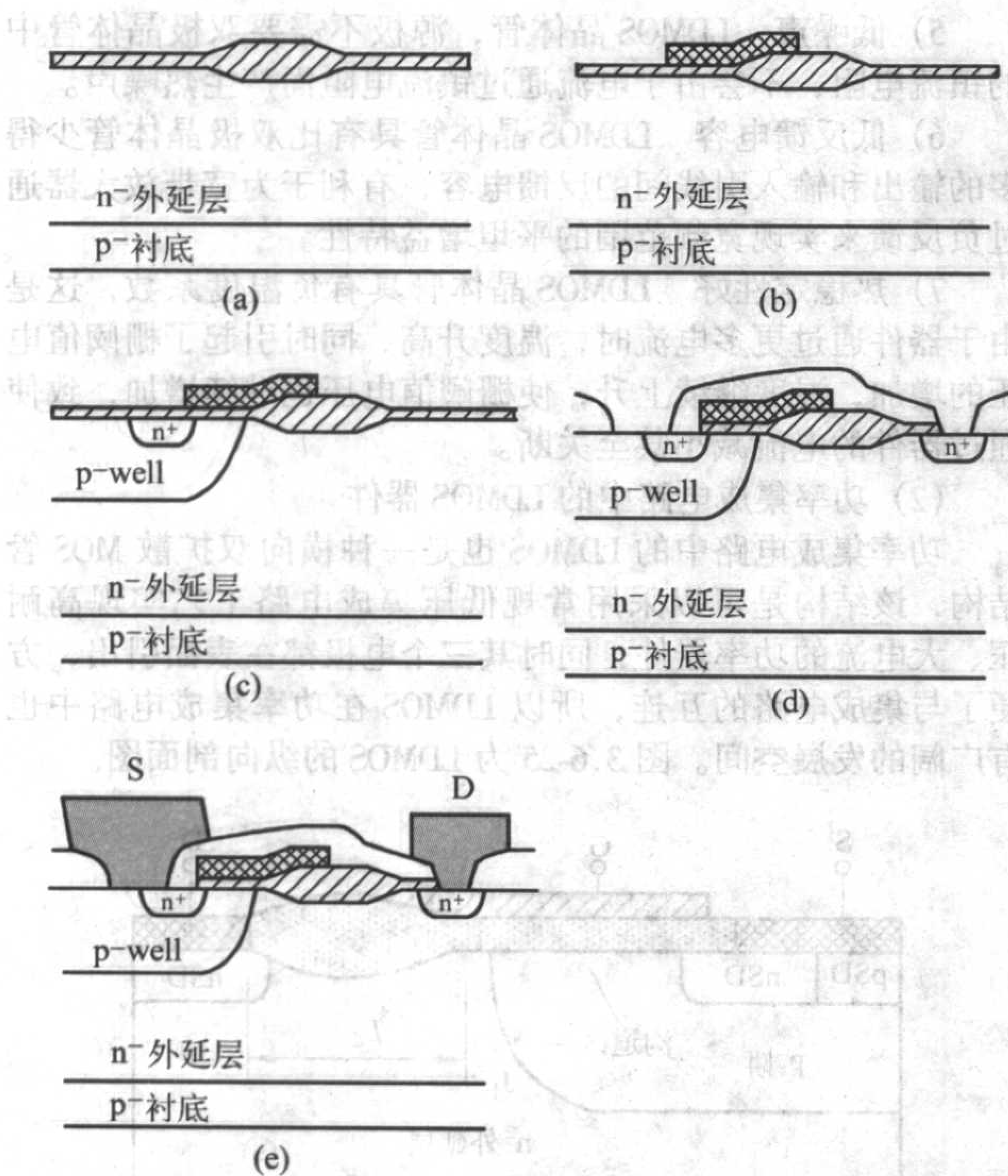


图 3.6-26 LDMOS 的主要工艺流程

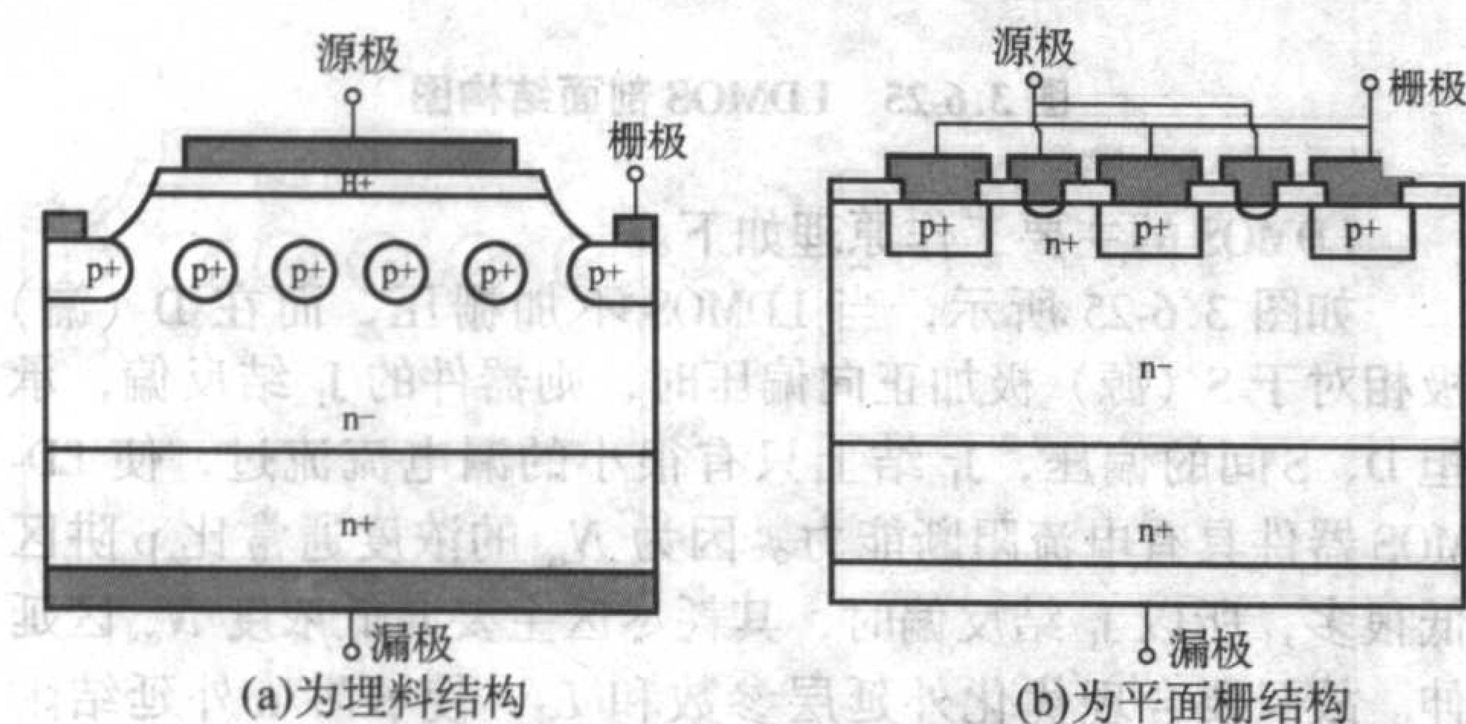


图 3.6-27 SIT 的结构示意图

载流子无法越过势垒形成电流。在 SIT 中，栅区所形成的势垒低，多数载流子注入栅区围绕的耗尽层中，并通过漏极电压与栅极电压的共同作用来控制。

平衡状态时 SIT 的电场由三部分电场叠加而成，第一部分为沟道区电离施主所产生的电场，第二部分为沟道外，源端电离施主所产生的电场，第三部分为沟道外，漏端电离施主所产生的电场。三部分电场叠加构成 SIT 器件内部的电场分布，产生载流子从源区流向漏区的势垒电势。随着 V_{GS}、V_{DS}的改变，第二、第三个电场相应改变，从而改变载流子的势垒电势，使沟道电流分布改变。图 3.6-28 为计算机模拟得到的 SIT 内部载流子势垒的分布图。由图可知，势垒分布存在马鞍点，这是栅漏电压共同作用所致。

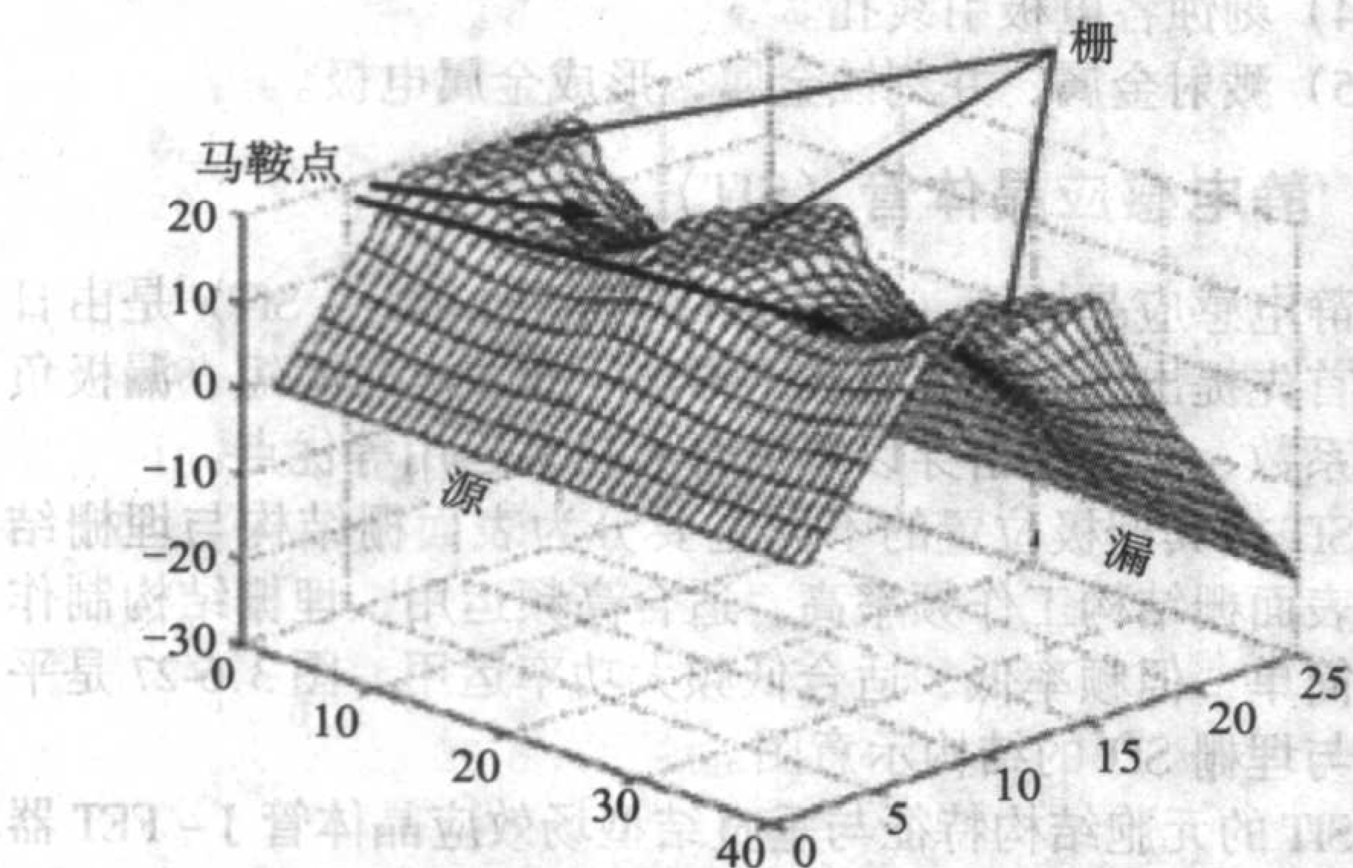


图 3.6-28 SIT 内部电势分布图

SIT 一般为常开器件，即在栅源零偏置时，栅极 pn 结的空间电荷区相互不接触，需要在栅极加反偏电压，导电沟道才被夹断。所以在栅源零偏压时，SIT 的输出特性呈现可变电阻式的线性伏安特性。V_{DS}一定时 I_D 的大小就取决于 n 型半导体呈现的电阻。当栅极加足够高的反向偏置时，导电沟道被耗尽，由源极流向漏极的载流子需要越过一定的势垒，势垒高度就是鞍点与源电势之差。图 3.6-29 为 SIT 的输出特性曲线。

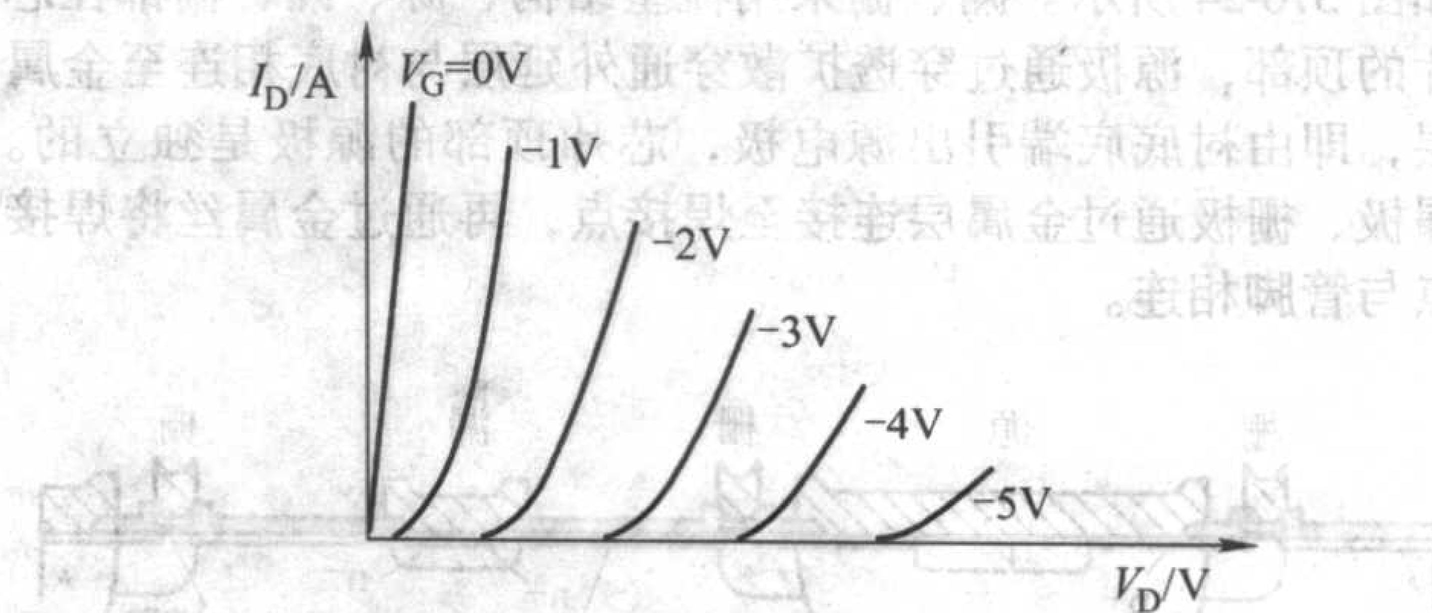


图 3.6-29 SIT 的输出特性曲线

4.4 功率集成技术

功率集成电路，简称 PIC，是一种集半导体功率器件和独立功能电路的单片集成电路。它是微电子技术和功率电子技术相结合的产物。这种 IC 的出现，不仅可以减小元器件的个数，使功率电路小型化，而且功率电路的设计、功率器件的保护等问题不再需要用户考虑。

(1) 功率集成电路的分类

HVIC：高压集成电路，主要是高耐压功率器件与控制电路的集成。

SPIC：智能功率集成电路，它是功率器件与控制电路、保护电路以及传感器等多功能的集成。

(2) 工艺实现方法

功率集成电路集功率器件与电路于同一芯片内，所以必须对电路中各种器件进行隔离。目前用于功率 IC 的隔离方法大致可分为介质隔离和 pn 结隔离，介质隔离耐压高，而 pn 结隔离则用于耐压较低的 IC 中。

pn 结隔离是传统的隔离技术，工艺简单，隔离成品率高。它利用 pn 结反向偏置时漏电流小的特点，在 P 型衬底上生长 N 外延，并通过局部高浓度的 P 杂质扩散，将外延层扩穿，这样就形成了一个个孤立的 N 型隔离硅岛，隔离岛间的电势差靠 pn 结来阻断。电路工作中，隔离区 pn 结需要反向偏置。因为高耐压下，pn 结的空间电荷区向外扩展，造成 pn 结隔离的芯片面积利用率降低，同时各隔离岛之间引入了结电容，高耐压的芯片中，急速的电位变化 dv/dt 将产生寄生电容的噪声电流，引起电路误动作，所以 pn 结隔离通常用于电压较低的场合。图 3.6-30 为用 pn 结隔离的电路剖面图。

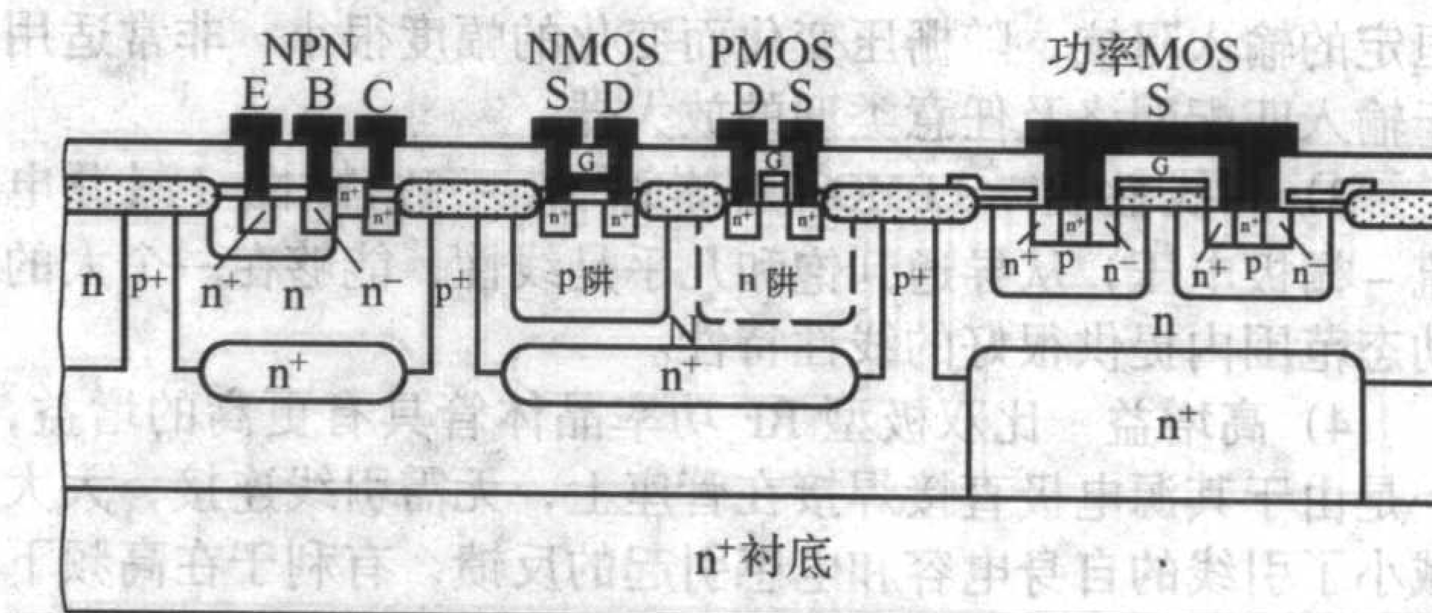


图 3.6-30 pn 结隔离

介质隔离相对来说工艺的复杂度增加，单位面积的成本增加，但同pn结隔离相比，无pn结的空间电荷区扩展，芯片利用率增加，芯片面积减小了，结果在价格上仍然有优势，特别是高耐压电路，介质隔离的优势更明显。图3.6-31为介质隔离的剖面图，它是将电路中的各个器件用电介质SiO_2进行隔离。

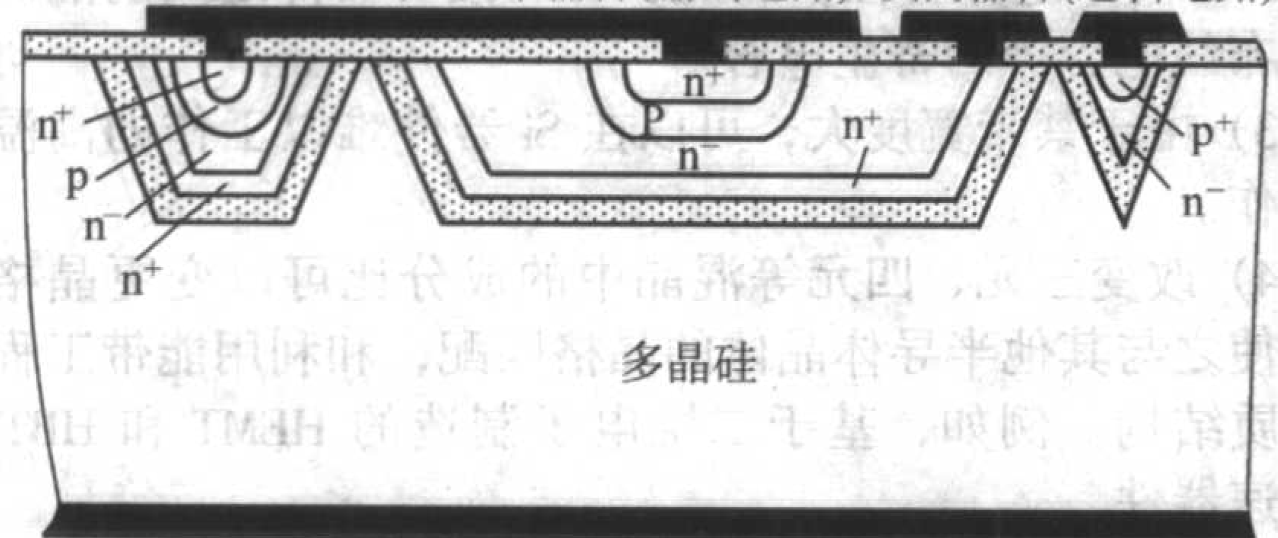
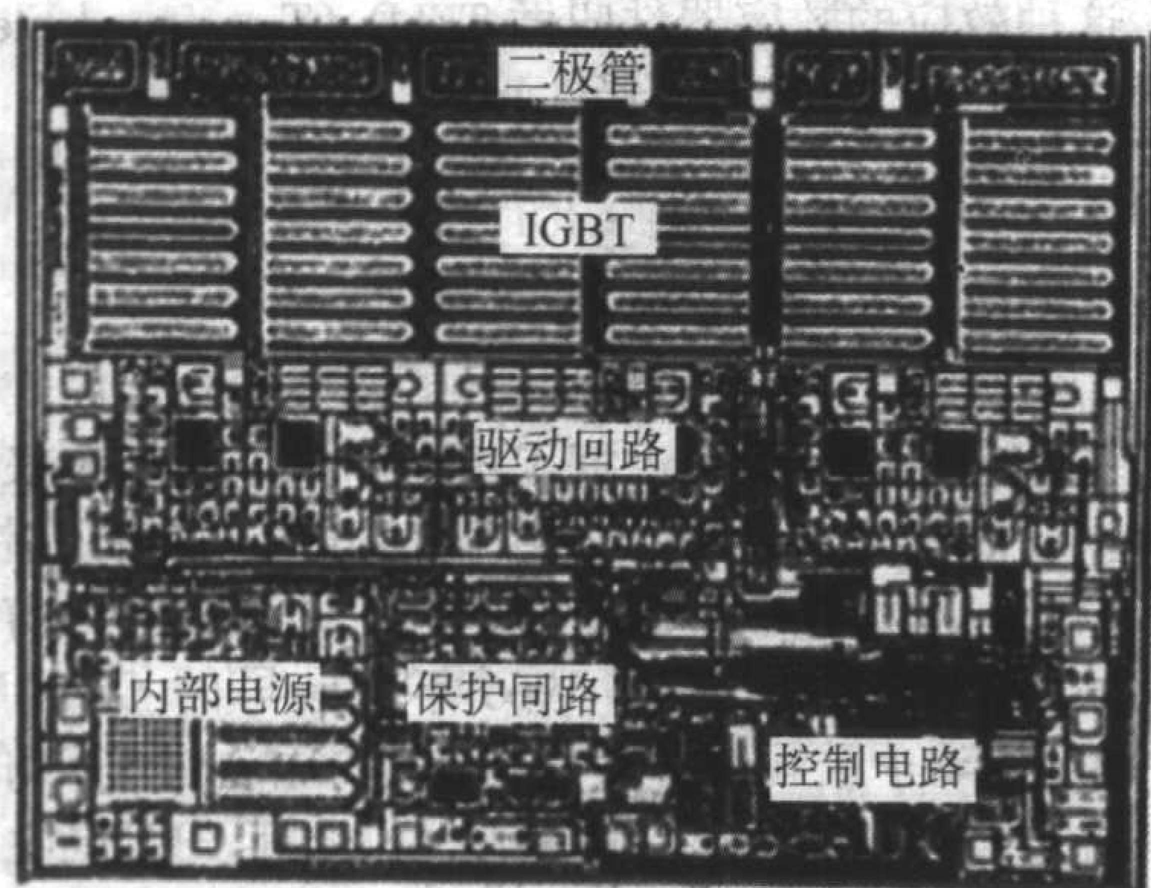


图3.6-31 介质隔离

在器件选择上，LDMOS器件在表面引出电极，便于器件之间的互连，加之与CMOS工艺兼容，是很好的选择。同时应选择电流密度大的功率器件，因为功率器件部分的面积往往做得很大，占据芯片面积的大部分，如IGBT同MOSFET相比，芯片面积会大大缩小。为了减小电路上的功耗，压控器件要优于流控器件。

PIC举例：图3.6-32是一220 V/1 A级单片三相逆变器PIC的芯片照片与功能图，它集成了驱动马达的逆变器里所必要的一切功能，只要外部提供主电源和驱动电源，输入转速指令，就可控制马达工作。以前这样的高耐压、大电流电路只能用分立器件构成，使逆变器电路的体积与电机的大小相当。所以PIC的出现使电路结构小型化，应用简单化，是一种独立于双极、单极以及复合结构的另一种新型功率器件结构。



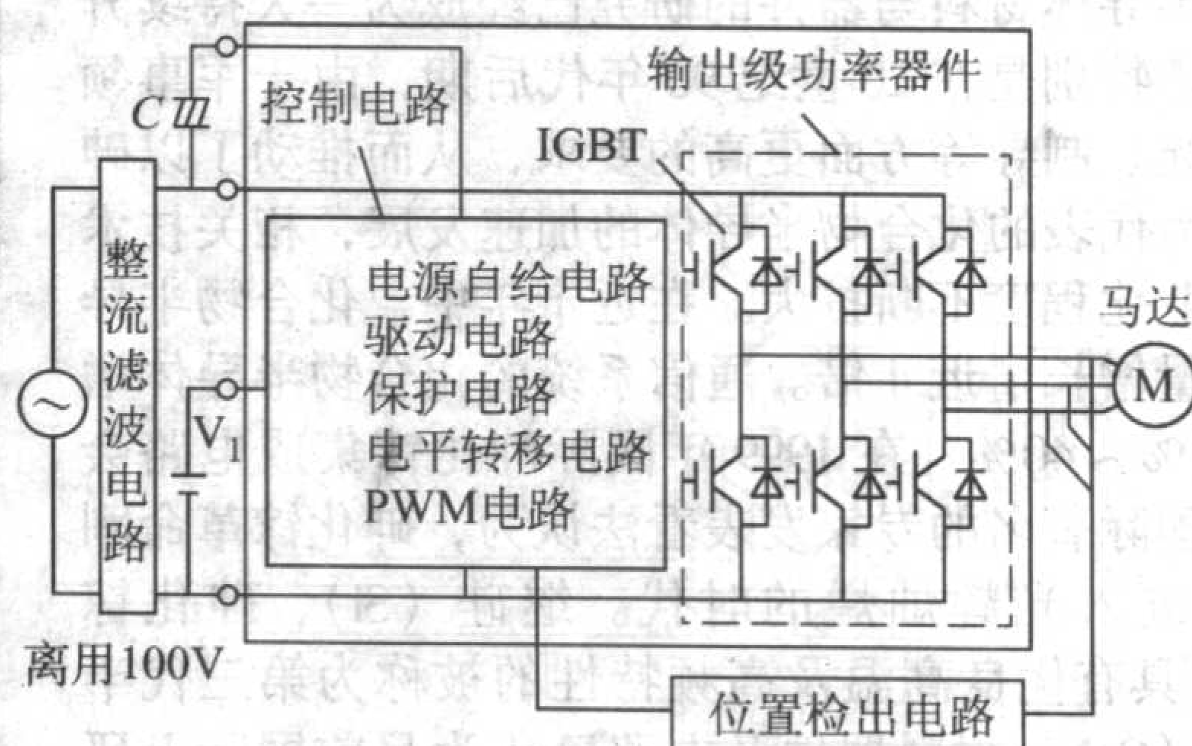


图3.6-32 单片三相逆变器PIC

4.5 VDMOS、IGBT的新发展

随着电力电子技术向高频化、节能化、轻量化、小型化发展，对功率半导体器件的频率特性、开关特性、功率容量、功率损耗、高可靠性、低成本提出了新要求。由于半导体设计技术、制造技术的不断提升，为半导体功率器件满足这些新要求和向新的方向发展提供了保证。

目前的新发展是工艺技术上采用0.8 μm、0.5 μm的IC制造技术，采用浅结扩散，p阱结深为2 μm，结构上由平面元胞结构发展到平面条状结构和沟槽栅结构，减小沟道长度，增加栅宽长比W/L，提高了电流密度，减小了导通电阻R_{on}和栅电荷Q_g，大大提高了MOSFET的开关性能和功率容量。又由于芯片面积缩小，工艺流程简化，成本下降。条栅、沟槽栅MOSFET结构是低压MOSFET的主要发展方向，沟槽栅比条栅在降低导通电阻和提高开关特性方面更具优越性，但工艺技术难度较大。

IGBT有穿通型（PT）和非穿通型（NPT），穿通型IGBT采用外延材料，由于高阻厚外延层材料的缺陷，高压器件成品率较低。新的发展采用区熔单晶，材料厚度控制在150 μm以上，特别是1 200 V的高压器件采用非穿通型最适合。IGBT的结构也正在向条状结构和沟槽结构发展，以便提高单元集成密度，缩小芯片面积。提高IGBT的开关特性也是发展方向之一。穿通型IGBT主要是从控制外延层缓冲层杂质浓度来解决。非穿通IGBT一般是采用掺铂工艺技术。

目前主要发展门级可关断晶闸管GTO（Gate Turn Off），具有更大的功率容量，采用经过中子嬗变掺杂（NTD）的单晶离子注入的扩散工艺和质子辐照控制少子寿命等技术实现。

编写：廖太仪（中国科学院微电子研究所）
王立新（中国科学院微电子研究所）

第7章 化合物半导体器件和电路

随着网络时代的来临，人们对信息的存储、传输及处理的要求越来越高，通讯产业开始替代计算机产业成为信息时代技术与经济增长的新龙头。近年来，光纤通讯、移动通讯、卫星通讯等通讯领域的发展对通讯器件尤其是高频器件的需求正推动着相关技术和市场的快速发展和扩张。其中，微波毫米波通讯器件由于其在制导、雷达以及电子对抗等军事电子技术中的特殊重要性，已成为各国重点发展并展开竞争和对抗的一个核心技术领域。

以 Si 为代表的第一代半导体材料和双极、MOS 器件及集成电路已广泛地应用在国民经济各个领域，成为信息化社会的主体。以 GaAs、InP 化合物为代表第二代半导体器件在高频、高速、高带宽以及微波毫米波集成电路中具有明显的优势，化合物半导体材料与器件的研究已经成为一大持续升温的热点领域。特别是在 20 世纪 90 年代后期，由于军事领域在通讯、激光、制导等方面更高的要求，从而推动了以砷化镓（GaAs）为代表的化合物半导体的加速发展，相关技术日趋成熟，产业化程度不断扩大。在近十年中，化合物半导体器件的销售量增长了近 4 倍。通信系统的化合物半导体增长速率达到 33%～40%。在 1999 年国际砷化镓集成电路会议之后，一些国际著名的专家发表看法认为，砷化镓革命刚刚开始，并将进入光辉灿烂的时代。继硅（Si）、砷化镓（GaAs）之后，具有优良高温及高频特性的被称为第三代半导体的氮化镓（GaN）材料器件及电路已成为目前国际上研究的热点。表 3.7-1 给出各种材料的性能对比。

表 3.7-1 各种半导体材料的特性

性能	Si	Ge	GaAs（AlGaAs/InGaAs）	InP（InAlAs/InGaAs）	4H SiC	GaN（AlGaN/GaN）
带隙/eV	1.1	0.66	1.42	1.35	3.26	3.49
电子迁移率/$cm^2 \cdot V \cdot s$	1 500	3 900	8 500	10 000	700	900
饱和电子速度/10^7 $cm \cdot s^{-1}$	1	0.6	2.1	2.3	2	2.7
2DEG 电子面密度/$10^{12}cm^{-2}$	NA	NA	<4	<4	20	13
临界击穿电场强度/$MV \cdot cm^{-1}$	0.3	0.1	0.4	0.5	2	3.3
热导率/$W \cdot (cm \cdot K)^{-1}$	1.5	0.6	0.5	0.7	4.5	>1.7
相对介电常数 ϵ_r	11.8	16.0	12.8	12.5	10	9.0

与数字器件现在大量使用的单元素 Si 材料比较，用 GaAs，InP 或其他三元、四元混晶等化合物半导体材料制作的数字器件具有高频、高速、高功率、高温、低噪声和抗辐照等优点。

1）能带结构是直接跃迁型，波数矢量 $k=0$ 时，有效质量小，导带达到极小值，因而，化合物半导体的电子迁移率很高。

2）导带与价带之间的禁带宽度，GaAs 为 1.43eV，InP 为 1.27eV，都比硅（1.12eV）大，电阻率可达到 10^7～10^9 $\Omega \cdot cm$的半绝缘特性，因此，可以减少器件之间的隔离电容和布线电容等的寄生电容。

3）由于禁带宽度大，可以在 Si 器件难以工作的高温领域工作。

4）改变三元、四元等混晶中的成分比可以变更晶格常数，使之与其他半导体晶体的晶格匹配，和利用能带工程设计异质结构。例如，基于二维电子制造的 HEMT 和 HBT 等超高速器件。

5）导带能带结构产生负的微分迁移率，这就是说在某种电场强度下，电子从轻、快状态向重、慢状态迁移，利用这种效应的数字器件叫做 TELD（Transferred Electron Logic Device，电子迁移逻辑器件）。

6）由于是直接跃迁型，具备良好的光电性能，可以实现单片光电集成化。

7）抗辐射能力强。

化合物半导体材料以其特有的优良性质，在超高速微电子学和光电子学中占据了重要的地位。近年来特别是在超高速、低噪声、新性能、新器件方面，发展极快。GaAs 材料以其相对稳定的性质、成熟的工艺而成为目前化合物半导体的主流和典型代表。1966 年，最早的 GaAs MESFET 问世，1974 年 HP 公司率先发表了采用 GaAs MESFET 的逻辑门 IC 的报告，1980 年出现了 HEMT，1982 年 HBT 诞生。经过各国科学家几十年的研究，人们在 GaAs 器件和电路上取得了很大的进展，特别是最近十年，发展极快，无论在设计制造和应用方面都走向了实用化。近几年来，由于无线通信的迅猛发展，GaAs 器件和电路也因之迎来了新的发展机遇，预计这种趋势还将持续很长一段时间。

简单地说，化合物半导体数字器件的主要特征是超高速、低功耗、多功能、抗辐射。它的主要应用领域是：①政府和军事部门的电子装备，如通信卫星、空间/海洋探测系统、各种电子兵器、数字 RF 存贮器、军用计算机；②通信，如微波通信系统、激光通信、蜂窝电话、无绳电话、通信网络系统、多媒体通信及信息高速公路等；③计算机，如超级计算机、信息处理、模拟、图像处理等设备；④测量仪器，如微波测试仪、IC 测试装置、信号分析/合成、频率合成等仪器。

1 化合物半导体器件结构和器件物理

1.1 GaAs MESFET

GaAs 金属半导体场效应晶体管（MESFET）是最早的三端有源 RF 器件。自从被 Caswell 介绍后，Ⅲ－Ⅴ族场效应晶体管就成为 MMIC 技术的基础。

1.1.1 器件结构

图 3.7-1 给出 MESFET 的结构示意图。首先在半绝缘性衬底上进行选择性离子注入形成有源层，再在其表面制作源和漏的两个欧姆电极，并在两者之间制作肖特基势垒的栅电极，形成三端结构。FET 结构的基本参数有：栅的长度 L_G，栅的宽度 W_G，有源层厚度 a，耗尽层深度 h。将栅耗尽层下面的有源层部分叫做沟道。在 GaAs MESFET 中，由于电子比空穴的迁移率大，因而通常用以电子为载流子的 n 型作为有源层。

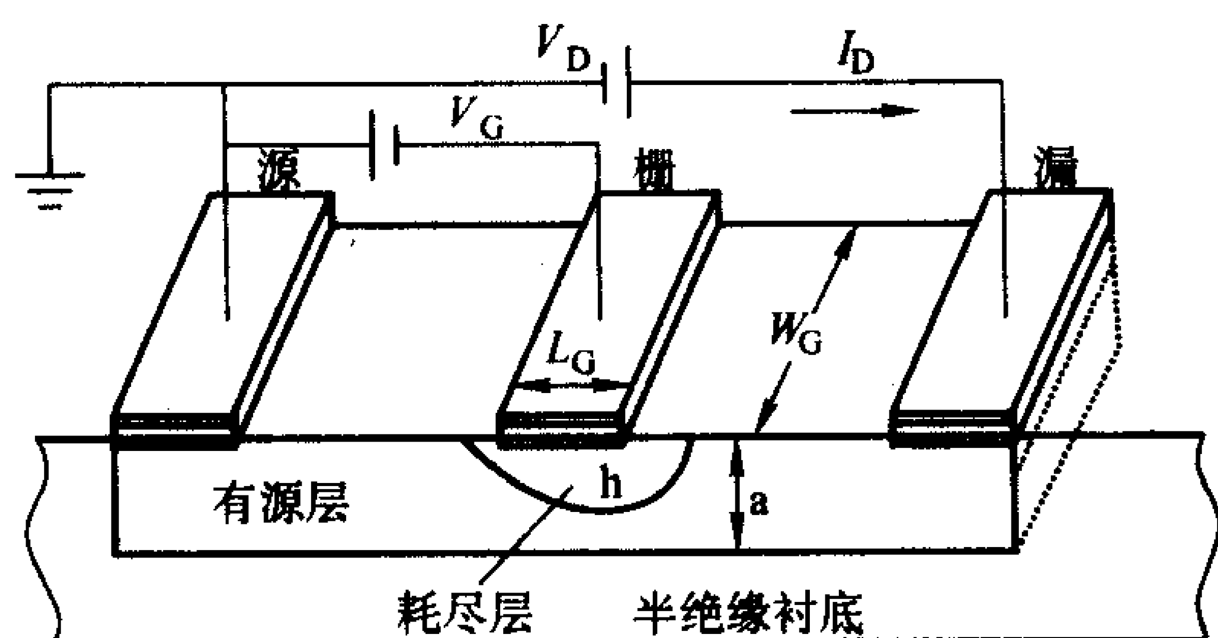


图 3.7-1 MESFET 的结构

1.1.2 MESFET 的工作机理

在 MESFETS 最简单的结构中，MESFET 剖面图由两层组成。最上层为重掺杂的帽层和较厚的轻掺杂的沟道层，其中，重掺杂的帽层利于形成低电阻的源和漏接触；较厚的轻掺杂的沟道层，电流在这一层流动。下一层生长于半绝缘衬底之上，是未掺杂的高阻缓冲层，这一层的作用是限制电流在沟道层。在典型的工作状态下，MESFET 的源接地。假设是 n 沟道方式（电流由电子输运），漏相对于源接正向偏压。肖特基栅可接无论正电压（正向）或负电压（方向）。

理解 MESFET 的工作原理可以把无栅 FET 和肖特基二极管结构结合起来。对于零栅源电压，假定一定的沟道厚度和掺杂浓度，就可以形成一定厚度 a（$< h$）的耗尽层。这样，在低的漏源电压下，源漏电流可以表示为：

$$I_{ds} = qN_d\ (h-a)\ W\mu \frac{V_{ds}}{s} \tag{3.7-1}$$

由方程（3.7-1），很清楚地看到，加大负的 V_{gs}，可以增加耗尽层厚度，降低源漏电流。因此，在给定的源漏电压下，源漏电流依赖于栅源电压，如图 3.7-1 所示。当栅源电压达到某一给定负值时，耗尽层将充满整个沟道层，阻止源漏电流通过，该电压定义为器件的夹断电压 V_p，由式（3.7-1），夹断电压表示为：

$$V_p = \frac{qN_d a^2}{2\varepsilon_0 \varepsilon_r} - V_{bi} \tag{3.7-2}$$

在高的漏电压下，漏电流达到饱和。这时，漏电流可写为：

$$I_{ds} = qN_d\ (h-a)\ v_{eff} W \tag{3.7-3}$$

V_{eff}是器件沟道的载流子速度。

对于给定的漏极偏置，负栅压导致栅结耗尽层宽度增加。所以栅压越负，在越低的漏极电压下就可以发生电流饱和。因此，I_{ds}（V_{ds}，V_{gs}）特性曲线可划分为栅极和漏极两个偏置区——线性区和饱和区，见图 3.7-2。

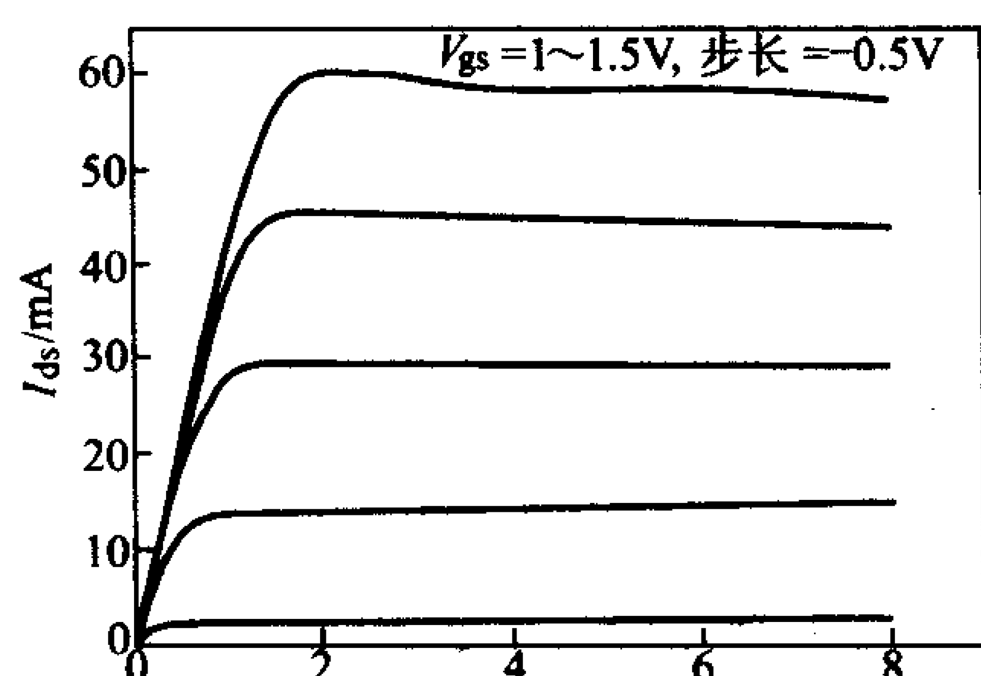


图 3.7-2 MESFET 器件输出特性

图 3.7-2 描述了 GaAs MESFET 的试验特性曲线，基本和上述分析一致。主要区别在于，在试验结果中，饱和区的 I_{ds}曲线发生了有限的倾斜。一些因素导致了有限的输出跨导 g_{ds}，定义为：

$$g_{ds} = \left.\frac{\partial I_{ds}}{\partial V_{ds}}\right|_{V_{gs} = \text{constant}} \tag{3.7-4}$$

这些因素包括沟道和未掺杂缓冲层之间的电荷注入，以及表面态和沟道衬底界面态的传导机理，本书不作详述。

FET 的增益由跨导 g_m 来表示，定义为在给定漏极电压 V_{ds}下，沟道电流 I_{ds}和栅电压 V_{gs}的比值：

$$g_m = \left.\frac{\partial I_{ds}}{\partial V_{gs}}\right|_{V_{ds} = \text{constant}} \tag{3.7-5}$$

即

$$g_m = \frac{\varepsilon_0 \varepsilon_r v_{eff} W}{a} \tag{3.7-6}$$

可见，大的跨导需要器件沟道中高的载流子速度。由于器件沟道受耗尽层调制，加大负栅压，增加耗尽层厚度，可以降低跨导。此外，给定载流子速度，增加沟道掺杂浓度，降低耗尽层厚度，也可以增加跨导，但是却降低了击穿电压。

电压增益 A_v，直接决定了功率增益。定义为：

$$A_v = \frac{\partial V_{ds}}{\partial V_{gs}} = \frac{g_m}{g_{ds}} \tag{3.7-7}$$

根据 MESFET 等效电路模型中的本征部分，输出短路，$V_{out} = 0$（漏源短接）：

$$\frac{i_d}{i_g} \approx \frac{g_m}{j\omega\ (C_{gs} + C_{gd})} \tag{3.7-8}$$

$f = f_T$ 时，$\frac{i_d}{i_g} = 1$，得到：

$$f_T = \frac{g_m}{2\pi\ (C_{gs} + C_{gd})} \tag{3.7-9}$$

将式（3.7-6）代入式（3.7-9）得到截止频率：

$$f_T = \frac{v_{eff}}{2\pi L_g} \tag{3.7-10}$$

考虑到等效电路中的寄生电阻，f_T 可写为：

$$f_T = \frac{g_m}{2\pi\left[(C_{gs} + C_{gd})\left(1 + \frac{R_s + R_d}{R_{ds}}\right) + g_m C_{gd}(R_s + R_d)\right]} \tag{3.7-11}$$

因此，要得到大的 f_T，应当减小栅电容和寄生电阻，同时应增大跨导。这需要：

1）沟道内高的载流子速度；
2）短的沟道长度；
3）低的源漏电阻。

最大资用增益（MAG）定义为通过调整输入输出匹配可获得的最大功率增益。最大振荡频率 f_{max}定义为 MAG 降为 1 时的频率。

$$\text{MAG} = -\frac{(f_T/f)^2}{4\ \left(\frac{R_g + R_i + R_s}{R_{ds}}\right)\ + 4\pi f_T C_{gd}\ (2R_g + R_i + R_s)} \tag{3.7-12}$$

$$f_{max} = \frac{f_T}{2\ \left(\frac{R_g + R_i + R_s}{R_{ds}} + 2\pi f_T R_g C_{gd}\right)^{\frac{1}{2}}} \tag{3.7-13}$$

1.2 GaAs HEMT

由于 MESFET 导电的沟道是掺杂的，离化杂质散射将限制电子迁移率和截止频率，1960 年，Anderson 预言在异质结界面存在有电子的积累。1969 年，Easki 和 Tsu 提出在禁带宽度不同的异质结结构中，离化的施主和自由电子是分离的。电子载流子由掺杂宽带隙材料一侧进入窄带隙材料一侧，这种分离减少了母体对电子的散射作用，提高了电子迁移率。同时，分离的电子在界面被局限于非常窄（约 10 nm 厚）的层内，只可能平行于界面做运动——即二维电子气

(2DEG)，它有非常高的电子迁移率，可以高达9 000 $cm^2/(V\cdot s)$。这是针对GaAs MESFET的一个重大改进。由于是薄层，其载流子密度经常用表面密度来确定，典型面密度为 $10^{12}\sim10^{13}/cm^2$ 量级。1980年，一种新调制掺杂 GaAs/n－$Al_xGa_{1-x}As$ 异质结构场效应管，即所谓高电子迁移率晶体管（HEMT）问世。高电子迁移率晶体管（High Electron Mobility Transistor，HEMT）也称为调制掺杂场效应晶体管（Modulation－Doped Field－Effect Transistors，MODFET），目前频率已达到100 GHz或更高。图3.7-3所示另一种GaAs基典型的HEMT器件结构和能带。

近些年来，随着MBE和MOCVD材料生长技术的快速发展，人们利用能带工程设计了多种异质材料结构的HEMT器件。作为微波毫米波电路中最重要的器件之一，HEMT主要可以应用在以下几个方面。

1）在低噪声方面，HEMT要优于所有已知的其他器件，制作的低噪声器件（LNA）具有最小的噪声系数。

2）在功率放大器（PA）方面，由于PHEMT的线性好，功率附加效率高，再加上其饱和电压比MESFET小，因此非常适合低电源电压供电下的功率放大器应用。

3）HEMT的开态电阻很小，因此也很适于制作开关（switch）模块。

HEMT也可以用于制作振荡器（Oscillator）和混频器（Mixer）。

1.2.1　器件结构



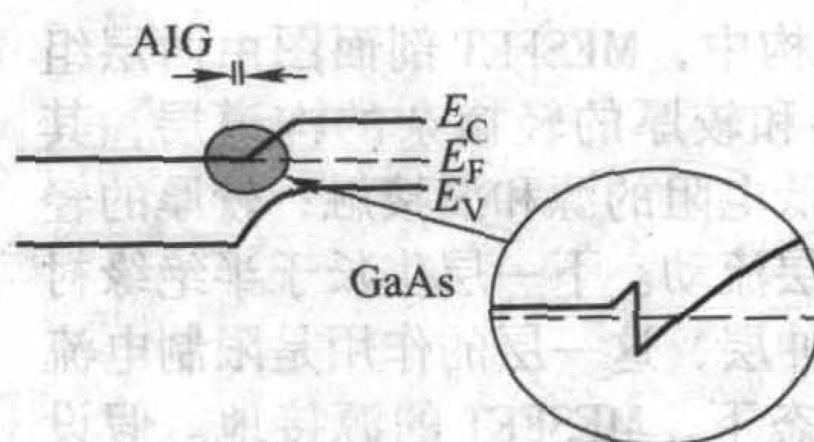


图3.7-3　一种GaAs基典型的HEMT器件结构和能带

1.2.2　HEMT的工作原理

HEMT器件是在MESFET基础上逐步发展起来的异质结场效应器件，与MESFET相同可分为增强型和耗尽型。所谓增强型和耗尽型器件是由器件肖特基势垒高度、势垒层厚度、掺杂浓度等因数共同确定的，在电学特性上表现为：增强型器件在零伏栅压下，源漏电流夹断，随着栅压向正电压变化，源漏电流逐渐变大；而耗尽型器件在零伏栅压下，源漏电流就开启，随着栅压向负电压变化，源漏电流逐渐变小直至夹断。本文中器件一般为耗尽型器件。由图3.7-4可以看出栅压和漏压的变化，沟道的宽窄发生变化，沟道中电场的分布也发生变化。从源端出发的电子在电场的作用下不断加速，当漏压较小时，电子的漂移速度随电场的增加而增加，即 I_{ds} 和 V_{ds} 呈线形关系；当电场继续增加时，I_{ds} 随 V_{ds} 的变化变缓；当电场达到或超过临界电场时，电子速度趋于饱和，因此出现了 I_{ds} 饱和特性。

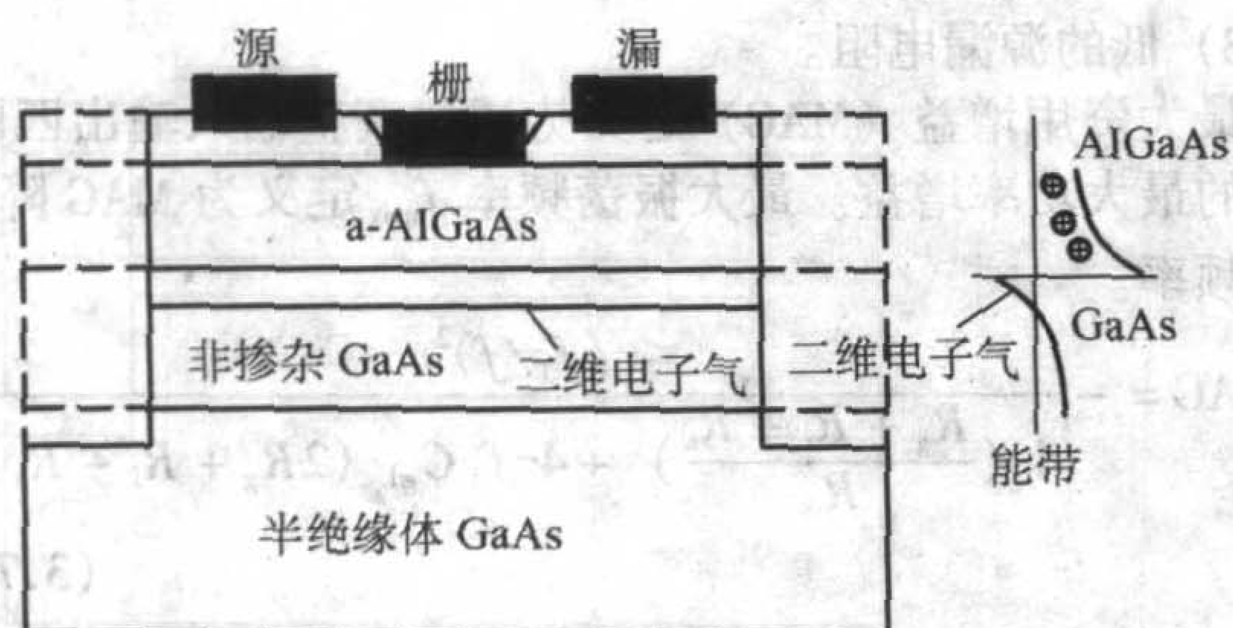


图3.7-4　GaAs HEMT器件结构图

HEMT器件结构是在半绝缘GaAs衬底上生长n型掺杂的AlGaAs及 n^+ 顶层，源、漏电极制作在 n^+ GaAs顶层上，肖特基栅制作在AlGaAs上。若零栅压下肖特基栅下的耗尽层与异质结的耗尽层恰好连通，在 $V_{ds}>0$ 时，增加负栅压，耗尽层加深，同时，费米能级向势阱底部下移，电子密度减小，直到无电流输出，称之为夹断。

1）当 $V_{GS}<V_{DS}-V_T$ 时，假设迁移率 μ_n 为常数，那么 $I_d=\beta\left[(V_{GS}-V_T)V_{DS}-\dfrac{V_{DS}^2}{2}\right]$，其中 $\beta=\dfrac{\varepsilon\mu_n W_g}{(d_d+d_i+\Delta d)L_g}$。

2）当 $V_{DS}\geqslant V_{GS}-V_T$ 时，漏极电流达到饱和电流：

$$I_D=\beta\frac{(V_{GS}-V_T)^2}{2}\tag{3.7-14}$$

其中 $V_0=E_{crit}L_g$。

HEMT器件的小信号模型如图3.7-5所示。

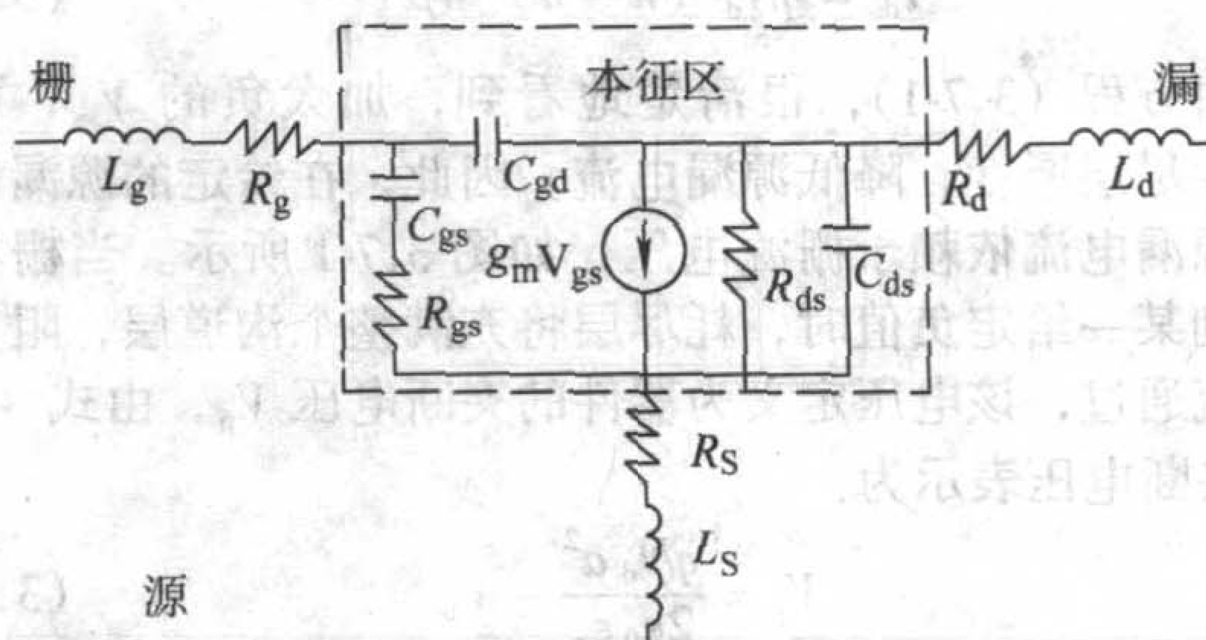


图3.7-5　HEMT的小信号等效电路模型

HEMT在饱和区工作下的本征跨导为：

$$g_{m0}=\frac{dI_{dss}}{dV_{GS}}\bigg|_{V_{ds}=const}=\frac{\beta(V_{GS}-V_{off})}{\sqrt{1+\left(\dfrac{V_{GS}-V_{off}}{V_0}\right)^2}}\tag{3.7-15}$$

考虑寄生电阻 R_s 则实际测量的跨导 $g_m=\dfrac{g_{m0}}{1+g_{m0}R_s}$

栅源电容 $C_{GS}=\dfrac{dQ_T}{dV_{GS}}=\dfrac{L_g}{v_{sat}}g_m$

其中 Q_T 是沟道内存储的电荷：$Q_T=W_gq\int_0^{L_g}ns(z)dz$。

HEMT器件的截止频率 $f_T=\dfrac{g_m}{2\pi(C_{gs}+C_{gd})}$　(3.7-16)

最大振荡频率

$$f_{max}=\frac{f_T}{\sqrt{4g_{ds}\left(R_{gs}+\dfrac{R_s+R_g}{1+g_mR_s}\right)+\dfrac{4}{5}\dfrac{C_{gd}}{C_{gs}}\left(1+\dfrac{2.5C_{gd}}{C_{gs}}\right)(1+g_mR_s)^2}}\tag{3.7-17}$$

1.3　GaAs HBT

早在1948年，Shockley就提出了异质结双极性晶体管（Heterojunction Bipolar Transistor，HBT）的概念。由于当时技术水平的限制，HBT理论上的优越性能一直没有得到证实。

直到20世纪80年代中期，MBE和MOCVD等先进外延技术的发展，高质量超薄外延层的生长成为可能，使双极性晶体管技术由“杂质工程”向“能带工程”转变，HBT技术才取得实质性的进展。随着90年代光通信和移动通信技术的飞速发展，HBT技术得到了广泛的应用。

1.3.1 器件结构

异质结双极晶体管（HBT）是纵向结构的三端器件。发射区采用轻掺杂的宽带隙半导体材料（如AlGaAs或InGaP），基区采用重掺杂较窄带隙的材料（如GaAs）。ΔE_g的存在，允许基区比发射区具有更高的掺杂浓度，因而可以降低基极电阻，减小发射极-基极电容，从而提高频率和速度。由于$\Delta E_g>0$并且有一定的范围，所以电流增益也很高。HBT的阈值电压严格由ΔE_g决定，与GaAs FET的阈值电压由其沟道掺杂浓度和厚度控制相比，容易控制，偏差小，易于大规模集成电路，这也是HBT重要的特点。

图3.7-6给出了HBT基本结构示意图。

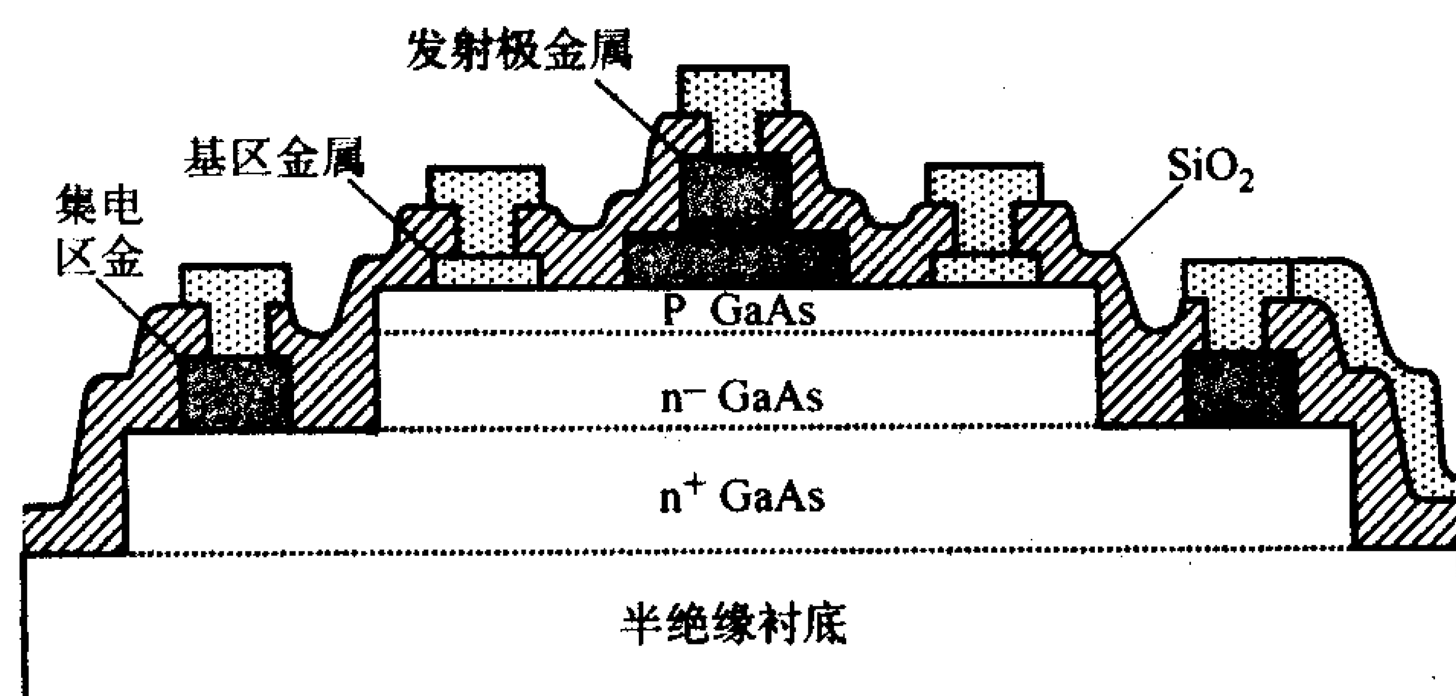


图3.7-6　HBT基本结构示意图

1.3.2 工作原理

异质结双极晶体管（HBT）是双极晶体管（BJT）中的一种。HBT采用宽禁带半导体材料作为器件的发射极，与窄禁带基区半导体材料一起，形成了发射结（BE）异质结，该异质结的存在使HBT具有BJT没有的许多优点。在HBT中，集电极材料可以与基极材料相同，也可以不同：当集电极材料与基极材料相同时，集电结（BC）为同质结，称为单异质结双极晶体管（SHBT）；如果不同，则BC结也是异质结，称为双异质结双极晶体管（DHBT）。本文中，如果没有特别指出，HBT均指单异质结双极晶体管。根据发射结是突变结还是缓变结，HBT分为突变发射结HBT和缓变发射结HBT。下面我们以常用的突变发射结npn HBT为例，分析HBT的基本工作原理。

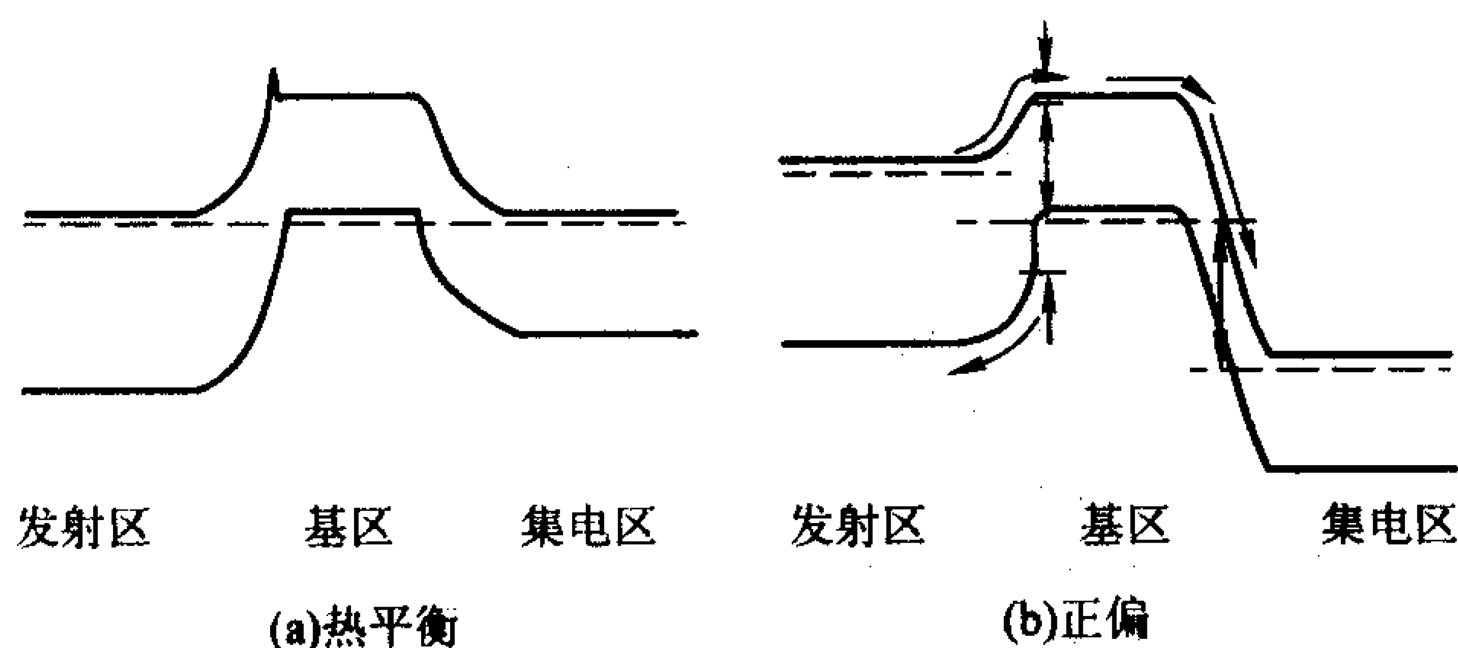


图3.7-7　突变发射结npn HBT在热平衡和正偏状态时的能带图

（1）ΔE_c，ΔE_v对电流输运的影响

图3.7-7是HBT在热平衡和正偏工作状态下的能带图。从能带图中可以看到，HBT在两种禁带宽度不同的半导体材料界面处存在能带不连续性：ΔE_c、ΔE_v，并在导带底形成了一个势垒尖锋ΔE_c，这是HBT的最大特点。下面将分析ΔE_c、ΔE_v对电流输运的影响。

1）ΔE_v对电流输运的影响　对于同质结双极晶体管和突变发射结HBT，发射结注入效率分别由式（3.7-18）和式（3.7-19）给出：

$$\frac{I_C}{I_{Bp}}=\frac{D_{nB}X_EN_E}{D_{pE}X_BN_B} \tag{3.7-18}$$

$$\frac{I_C}{I_{BP}}=\frac{D_{nB}X_EN_E}{D_{pE}X_BN_B}\exp\left(\frac{\Delta E_V}{KT}\right) \tag{3.7-19}$$

式中，I_C为集电极电流；I_{Bp}为基区空穴的反向注入电流；D_{nB}、D_{pE}分别为基区少子（电子）、发射区少子（空穴）的扩散系数；$X_{E(B)}$、$N_{E(B)}$分别为发射区（基区）宽度和掺杂浓度；K为玻耳兹曼常数；T为热力学温度；ΔE_V为突变发射结HBT的价带不连续值。

对于突变发射结异质结双极晶体管，由于价带不连续ΔE_v的存在，阻碍了基区空穴向发射区的反注入，I_{Bp}减小；ΔE_v越大，对空穴阻碍作用越大，I_{Bp}越小，因此式（3.7-19）中有一个与ΔE_v成正比的指数项，该指数项的存在使得器件在获得高的注入效率的同时，允许发射区低掺杂、基区重掺杂，器件频率特性改善，避免了BJT同时获得高电流增益和高频率特性的矛盾。此外，基区重掺杂还使得HBT中的基区宽变效应和发射极电流集边效应减弱、early电压增大等。

2）ΔE_c对电流输运的影响　对于突变发射结HBT，由发射区注入基区的电子以热电子发射的方式通过发射结，然后以扩散的方式通过基区（因复合而损失一部分），最后被集电区的反向强电场所收集。Grinberg和Luryi提出了热电子发射-扩散模型，并给出了以下关系式：

$$\int_{c1}^{c2}\frac{J_n}{\mu_n n}dz=qV_a-\Delta E_c+kT\ln\left(\frac{n_+}{n_-}\frac{N_c^E}{N_c^B}\right) \tag{3.7-20}$$

式中，J_n为穿过BE结的电子电流密度，V_a为外加偏压；N_c^E和N_c^B分别为发射区和基区靠近能带不连续处的导带态密度。由式（3.7-20）可知，导带尖峰ΔE_c的存在使J_n减小，对HBT的放大特性起了消极作用，因此ΔE_c越小越好。

价带不连续性ΔE_v的存在，阻碍了空穴由基区向空穴、由基区向发射区的反向注入，因此大大提高了发射结载流子的注入效率。使得在基区掺杂浓度很高的情况下，也能得到较高的直流电流增益。

对于普通的双极晶体管，要想提高它的发射极注入效率，就必须增加发射区的宽度、提高其掺杂浓度，同时要减小基区宽度、降低它的掺杂浓度。而对于超高速晶体管，减小基区电阻Rb和发射结电容Ce是至关重要的。Rb的减小有赖于增宽基区和提高基区掺杂浓度；而这又要降低电流放大系数，况且基区的增宽会引起载流子渡越基区的时间增加，反过来影响到晶体管开关速度的提高。Ce的减小要求降低发射区掺杂浓度，这与提高直流电流增益是相矛盾的。对于普通的双极晶体管要做到超高速和超高频是当困难的。

对于HBT而言，在注入效率的表达式中，由于存在一个与能带不连续性成正比的指数项，为了提高器件的频率特性即使发射区采用低掺杂浓度，基区采用高掺杂浓度，它也能够得到高的电流增益。这就解决了普通BJT提高频率特性与提高电流增益的矛盾。另一方面，由于通常用于制备HBT的材料多为Ⅲ-Ⅴ族化合物半导体材料，它比普通Si材料有更高的电子迁移率，因此它的频率特性也将更进一步提高。

（2）对HBT的几种概念和现象

1）偏移电压V_{offset}　图3.7-8给出HBT器件的$I-V$特性曲线，对于HBT器件的发射结为异质结，开启电压约为1.1 V；集电结为同质结，开启电压约为0.7 V；当器件在共发

射极应用时，必须加一定的集电极电压来补偿这种差别，偏移电压 V_{offset} 就是指集电极电流为零时对应的集电极－发射极电压，如图3.7-8所示。如果采用DHBT的结构，发射结和集电结的开启电压相近，偏移电压减小；但即使发射区和集电区采用完全相同的材料，对应的偏移电压也不等于0。偏移电压的表达式如下：

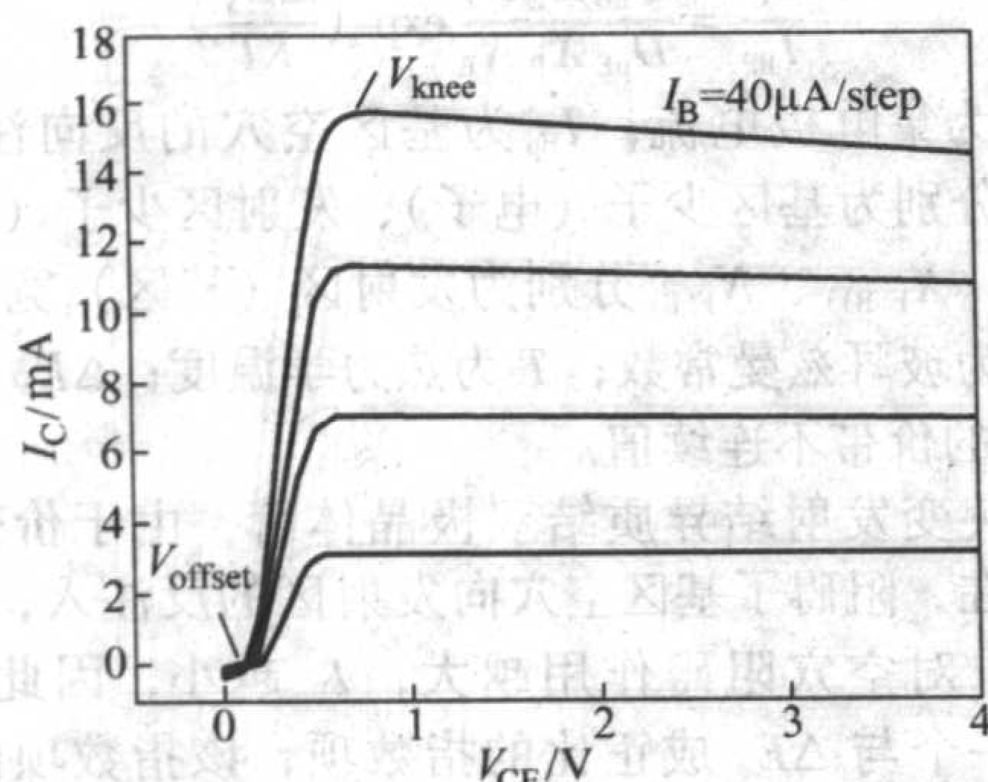


图3.7-8　HBT器件的 $I-V$ 特性曲线

$$V_{offset}=\frac{\eta_{BC}kT}{q}\ln\left(\frac{I_{CS}}{I_{ES}}\right)-\frac{\eta_{BC}kT}{q}\ln(\alpha_F)+\frac{\eta_{BC}}{\eta_{BE}}I_BR_E+\left(1-\frac{\eta_{BC}}{\eta_{BE}}\right)(V_{BE}-I_BR_B)$$

式中，α_F 为正向电流转移率；η_{BE}、η_{BC} 分别为发射极、集电极电流的理想因子；R_E、R_B 分别为发射极、基极电阻。可见偏移电压与外延材料、器件结构以及制作工艺都有关，是一个比较复杂的物理量。减小 R_E 可以减小 V_{offset}。

2）膝点电压 V_{knee}　膝点电压 V_{knee} 是指集电极电流达到饱和时的集电极－发射极电压，如图3.7-8所示。膝点电压的表达式如下

$$V_{knee}=\frac{\eta_{BE}kT}{q}\ln\left[\frac{I_E-\alpha_RI_C}{I_{ES}(1-\alpha_F\alpha_R)}\right]-\frac{\eta_{BC}kT}{q}\ln\left[\frac{\alpha_FI_E-I_C}{I_{CS}(1-\alpha_F\alpha_R)}\right]+I_ER_E+I_CR_C \qquad (3.7\text{-}21)$$

式中，α_R 为反向电流转移率。由式（3.7-21）可知，减小 R_E、R_C 可以减小 V_{knee}。此外，减小 V_{offset} 也可以减小 V_{knee}。在实际制作中，我们通过优化集电极金属和集电极金属的合金条件减小 R_C 以减小 V_{knee}。

对于功率应用的器件，V_{knee} 是一个非常重要的器件参数，它与器件输出功率的关系如式（3.7-22）所示

$$P_{out}\Big|_{max}=\frac{(BV_{CEO}-V_{knee})\times J_{max}\times S_E}{8} \qquad (3.7\text{-}22)$$

式中，$P_{out}\big|_{max}$ 为器件的最大输出功率，BV_{CEO} 为基极开路时集电极与发射极间的击穿电压，J_{max} 一般对应发生Kirk效应时的电流密度 J_{kirk}，S_E 为发射极面积。由式（3.7-22）可知，V_{knee} 越大，$P_{out}\big|_{max}$ 越小。在移动通信系统中，手机的工作电压一般仅为3～4 V，这时降低 V_{knee} 对提高器件的输出功率尤为重要。因此，在功率器件的设计和制作过程中，应该尽可能减小器件的膝点电压以提高器件的性能。

3）电流增益和基极电流　直流电流增益 β 是表征双极晶体管性能最重要的参数之一，为集电极电流 I_C 和基极电流 I_B 的比值。当发射结正偏时，基区的空穴反向注入到发射区，即形成基区反向注入电流 I_{Bp}，与正向注入到基区的电子相比，空穴的数量很少，如果基区没有电场，这些电子以扩散的形式通过基区，一小部分电子在基区被复合，大部分的电子到达集电区表面，被集电结的强电场收集形成集电极电流。对于每一个电子，要么被集电极收集形成集电极电流，要么在基区被复合形成基极复合电流。根据电子复合的位置，基区复合电流被分为四类，如图3.7-9所示，依次为：①外基区表面复合电流 $I_{B,surf}$；②基区欧姆接触表面复合电流 $I_{B,cont}$；③基区体复合电流 $I_{B,bulk}$；④发射结空间电荷复合电流 $I_{B,scr}$。基区电流 I_B 为这四种复合电流和基区反向注入电流 I_{Bp} 的总和

$$I_B=I_{Bp}+I_{B,surf}+I_{B,cont}+I_{B,bulk}+I_{B,scr}$$

当外延材料和器件结构不同时，各基极电流成分所占的比例也不同，了解这五种电流成分的物理机制对设计HBT功率器件、提高功率器件的性能具有十分重要的指导意义。

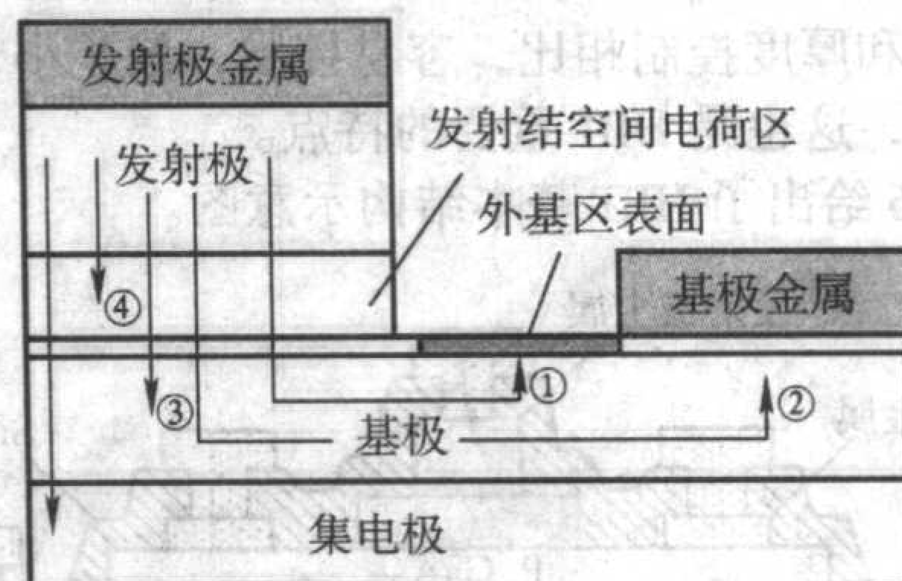


图3.7-9　HBT基区复合电流示意图

4）HBT电流增益下降　功率器件主要工作在大电流情况下，分析大电流下器件性能对改善HBT功率器件和电路的性能非常必要。图3.7-10为我们研制的HBT器件的电流增益随集电极电流的变化。从图中可以看到，当 I_c 较小时，β 随 I_c 增大而增大，当 I_c 增大到某一值后，β 随着 I_c 增大反而减小，这一现象称为电流增益下降（current gain fall－off），发生在大电流工作区。目前对电流增益下降产生的物理机制有多种解释，主要有Kirk效应和自热效应和发射极电流集边效应等。

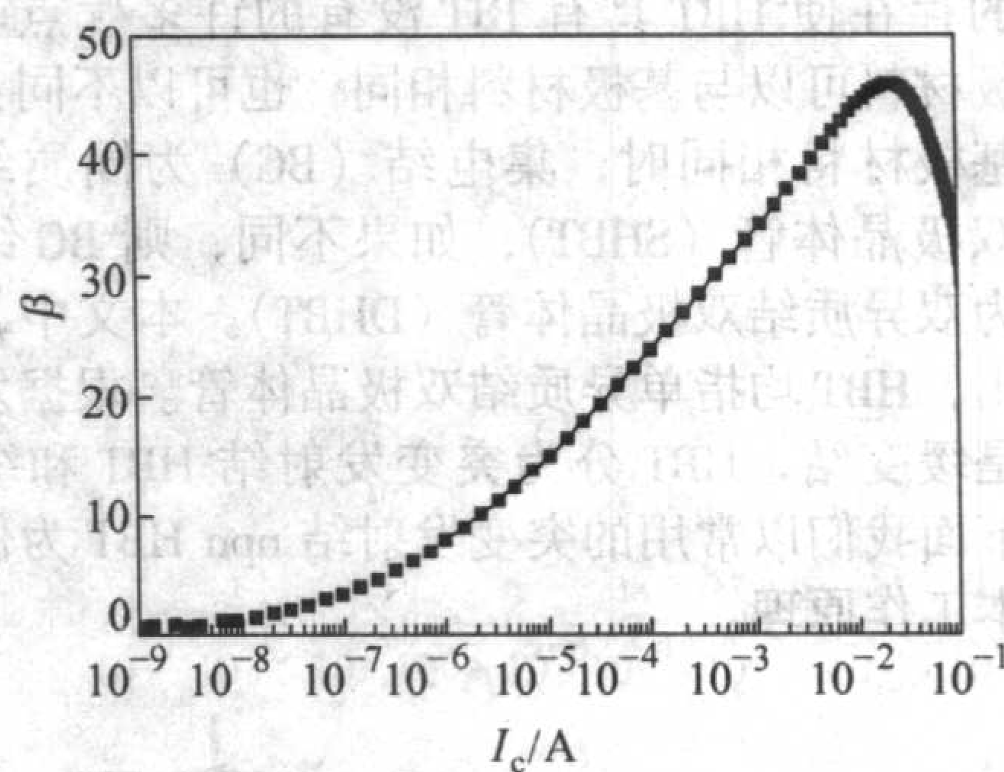


图3.7-10　电流增益随集电极电流的变化

Kirk效应也称基区宽变效应，是指随着集电极电流的增加基区变宽的效应。其主要原因是空间集电区电场最大值随集电极电流增大而发生了迁移，由靠近基区一边转到靠近亚集电区一边，从而使基区展宽。

自热效应是指由自身发热而导致器件性能恶化的现象，该效应在GaAs功率HBT中极为显著。GaAs的热导率远低于Si的热导率，因此散热问题成为限制GaAs功率应用和可靠性的最大问题。自热效应也是引起电流增益下降的主要原因之一，由于基区电阻的存在，当基极电流横向流到发射区时产生电势降落，有效 V_{BE} 由发射极边缘向中间递减，造成了发射极电流分布的不均匀，边缘的电流密度大于中间的电流密度，称为发射极电流集边效应。

5）HBT的频率特性　与Si BJT类似，表征HBT的频率

特性的主要参数为f_T、f_{max}。

HBT的正向传输时间τ_{ec}包括发射极电容充电时间τ_e，基区渡越时间τ_b，集电区渡越时间τ_{sc}，和集电极RC延迟τ_c。表达式如式（3.7-23）所示：

$$\tau_{ec}=\tau_e+\tau_b+\tau_{sc}+\tau_c \quad (3.7\text{-}23)$$

因此电流增益截止频率为

$$f_T=\frac{1}{2\pi\tau_{ec}}$$

最高振荡频率为

$$f_{max}=\sqrt{\frac{f_T}{8\pi R_b C_{jc}}}$$

1.4　无源器件

化合物器件和电路中使用的无源元件可分为集总元件和分布元件两部分，集总元件包括使用在单片电路中的电阻、集总电感、集总电容、金属半导体谐振器等，分布元件由传输线段构成。

集总或分布元件的选择决定于化合物器件和电路的工作频率，一般来说，工作频率在20 GHz以下使用集总和分布元件，20 GHz以上主要使用分布元件，也就是说集总元件的设计方法适用到20 GHz。

1.4.1　平面电阻

平面电阻有多种用途，如作为功率合成器的终端，功率分配器的平衡端，耦合器的终端，作为缓冲电阻平衡宽带范围的增益，用做稳定电阻预防寄生振荡，用做直流馈电线的电压分配和降压电阻，还可以用来控制输出功率和效率等。

设计平面电阻需要考虑的因素是：

1）电流或功率承受能力；
2）热阻和最高工作温度；
3）电阻膜的热稳定性和温度系数；
4）电阻制造工艺与FET的工艺兼容性；
5）薄膜电阻率；
6）电阻的工作频带宽度。

平面电阻可用不同的方法制造，它可由GaAs膜、金属膜或陶瓷膜构成，表3.7-2示出了某些电阻膜的性质。GaAs半绝缘衬底上的有源层通过隔离注入形成隔离岛，小块的有源层即可用做电阻，在半绝缘衬底上蒸发金属再进行光刻，可形成薄层导体电阻；陶瓷电阻由金属和介质的混合物构成，介质通过加热将金属粉末黏结起来，类似于碳膜电阻器，但是它的适用频率在1 GHz以下，在MMIC中只能用于偏置网络和装配件。

表3.7-2　常用电阻膜的性质

材料	电阻率 /μΩ·cm	温度系数 /$10^{-6}K^{-1}$	淀积方法	稳定性	备　注
Cr	13	+3 000	蒸发、溅射	较好	对GaAs黏附极好
Ti	55～135	+2 500	蒸发、溅射	较好	对GaAs黏附极好
Ta	180～220	-100～+500	溅射	好	可以阳极氧化
NiCr	60～600	200	蒸发、溅射	较好	在300℃下慢退火可以达到稳定
TaN	280	-180～-300	反应溅射	较好	可以阳极氧化
Ta_2N	300	-50～-100	反应溅射	好	可以阳极氧化
GaAs	3～100Ω/℃	+3 000	外延、注入	好	在高电流密度下呈现非线性

1.4.2　平面电容

平面电容的种类可分为两种：介质平面电容（MIM）和微带线电容。介质平面电容由光刻技术设定的两层金属薄膜之间有一层介质而构成。微带线电容则通过微带线的开路、耦合等特性形成。某常规的一些平面电容的结构如图3.7-11所示。图中，前三种为微带线电容，它们是适用于高阻抗匹配电路的小电容。后两种为介质平面电容，双层金属膜中间夹着介质膜，它们适用于低阻抗电路、旁路和隔直电路。

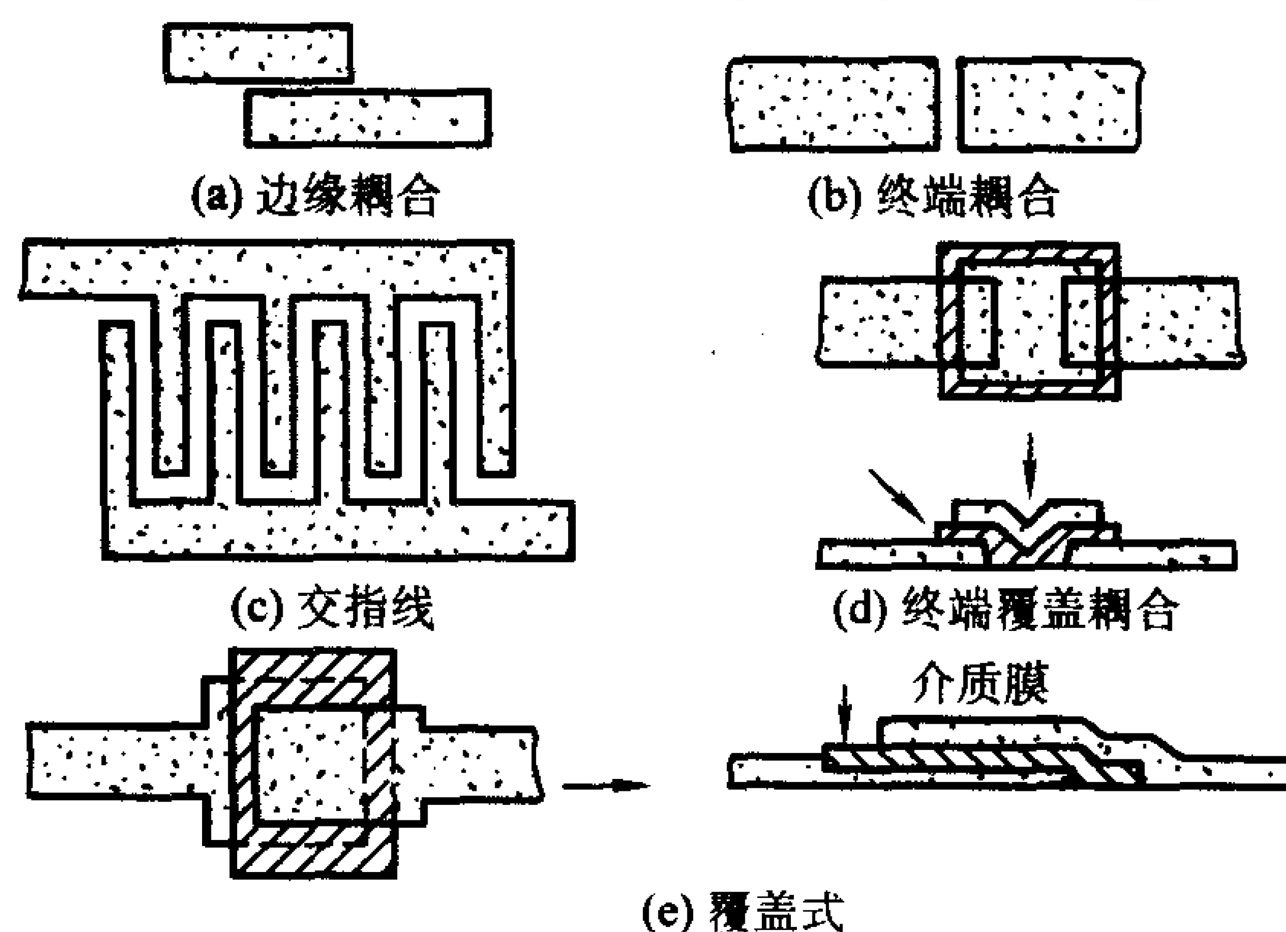


图3.7-11　一些平面电容的结构

1.4.3　平面电感

化合物器件和电路中的平面电感采用单层或多层金属化图形来实现，单片电路的电感有多种结构，图3.7-12给出一些常用的平面电感的结构。图中除了a是一根直的高阻抗线之外，为了在小面积上得到大的电感，都是用弯曲的高阻线构成的，因此不可忽视高阻抗线间的耦合效应。a、b、e三种图示结构可直接与其他元件相接，而d、e图示结构需要用空气桥或者键合引线将其一端与其他元件连接。

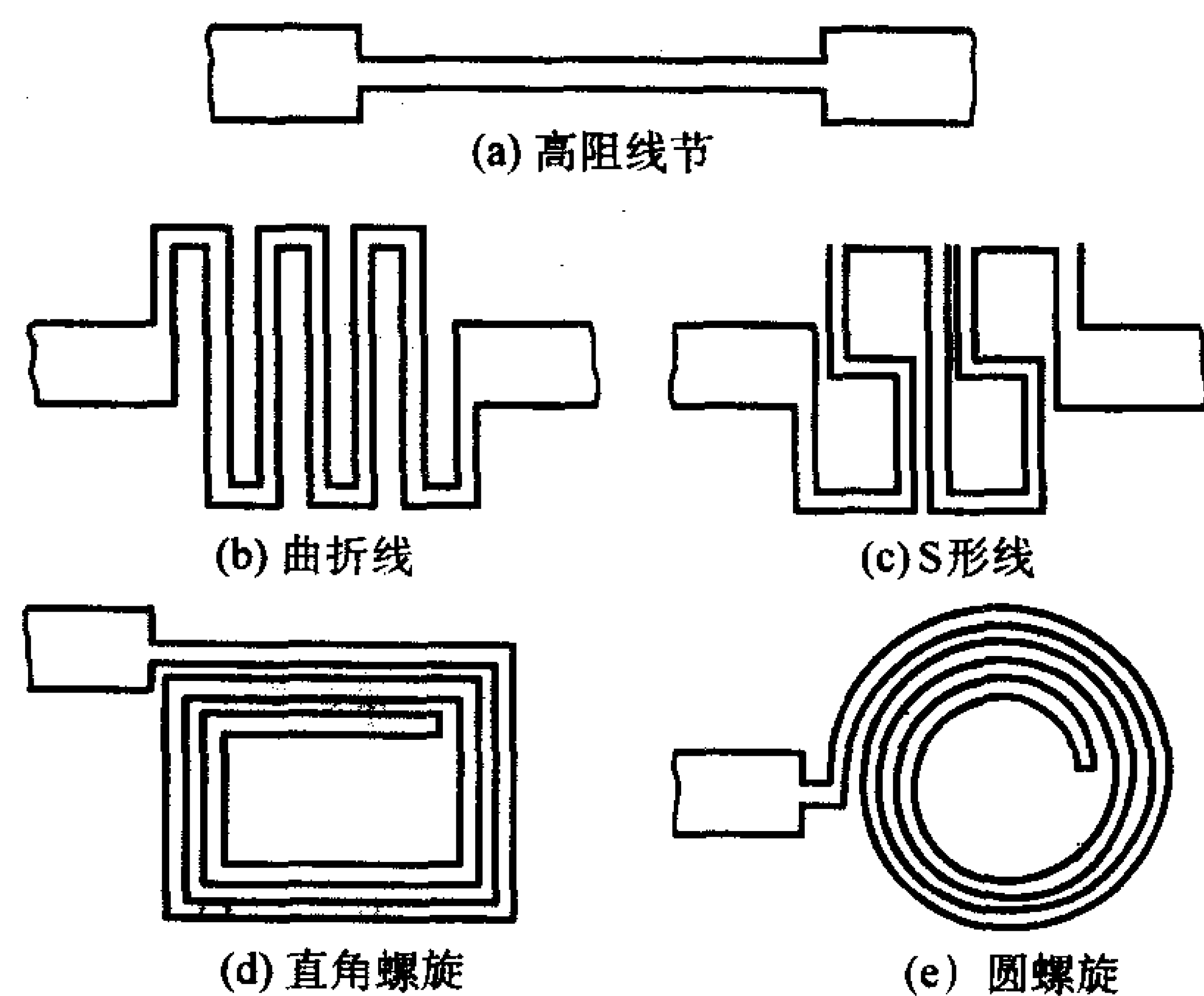


图3.7-12　一些平面电感的结构

对于螺旋电感没有简单适用并且精确的表达式，适用而精确但比较费事的方法是对电感进行s参数测试，然后将其s参数应用到电路设计仿真中。

在不计接地面导体和互感的影响时，在工作频率小于2 GHz的情况下，可用下述近似公式。

对于圆形薄带结构：

$$L=0.21\left[2.303\left(\lg\frac{2\pi l}{W}\right)-1+\frac{W}{\pi l}\right]\ (\text{mH})$$

对于单环开口结构：

$$L=1.257a\left[2.303\lg\left(\frac{8\pi a}{W}\right)-2\right]\ (\text{nH})$$

式中，l为薄带长度；W为薄带宽度；t为薄带厚度；a为

平均半径。

频率升高以后，在假定一根长的电感可以分成若干限定长度的线段、段与段间不存在电流相位漂移的条件下，Greenhouse 认为可以计算组成电感线圈的各段的自感和互感，然后通过对它们求和计算出线圈的总电感。

1.4.4 平面谐振器

螺旋电感与薄膜电容连接便成了谐振电路，然而由于螺旋电感与薄膜电容的 Q 因子较小，使得谐振电路的 Q 值不大。要得到高一些的 Q 值，要用 MS（M 形、S 形）谐振器短线（MS 节）。这里 MS 节的意思是这样的微带短截线，它特意延伸到四分之一微带波长，以便产生并联或者串联的谐振，这取决于微带线节的终端是接地还是开路，如果终端开路则是串联谐振（电压谐振），如果终端短路，则是并联谐振（电流谐振）。

谐振电路有三个损耗源：趋肤损耗、介质损耗、辐射损耗。GaAs 的介质损耗小，可以忽略；辐射损耗主要是对开路端口来说的；趋肤损耗对于微带线来说，和导电层厚、衬底层厚变化趋势相反，是随着线阻抗的增加而增加的。

微带线导体损耗电阻的 Q_c 值可由下式表示：

$$Q_c=\frac{27.3}{\alpha\lambda_e}$$

式中，$\overline{\alpha\lambda}_e$ 是用分贝/微带波长表示的线段损耗，因为 $\overline{\alpha\lambda}_e$ 随 $f^{\frac{1}{2}}$ 而减少，所以 Q_c 随 $f^{\frac{1}{2}}$ 而增加

开路端的辐射损耗 Q_c 按下式变化：

$$Q_r=\frac{R}{(fh)^2}$$

这里，h 是衬底的厚度（即高度），R 是宽高比和衬底介电常数的函数。开路端辐射因子 R 对 $(\lambda_e/4)$ 波长线来讲是很大的，不是开路端 R 则很小。辐射损耗随频率与衬底厚度乘积的平方而减小，所以试图增加 Q_c 的措施却使 Q_r 降低。一般来说，到 10 GHz 以上，开路线段谐振器的损耗主要由辐射损耗确定。辐射损耗还会引起邻近电路间的耦合。为克服这两种效应，优选的结构形式是环形谐振器。

2 化合物半导体工艺技术

GaAs 工艺由于自身材料和结构的特点，经过多年的研究、实践和完善。形成了一套具有自身特色的工艺制造体系，其主要工艺特色表现在：

1）台面工艺；
2）肖特基工艺；
3）金属剥离工艺形成关键的源、漏和栅；
4）空气桥工艺；
5）通路孔工艺；
6）低温工艺，最高工艺温度为欧姆接触合金，约 400℃等。

针对 GaAs HEMT 和 HBT 自身结构的特点，图 3.7-13 和图 3.7-14 分别给出其简要的工艺流程。

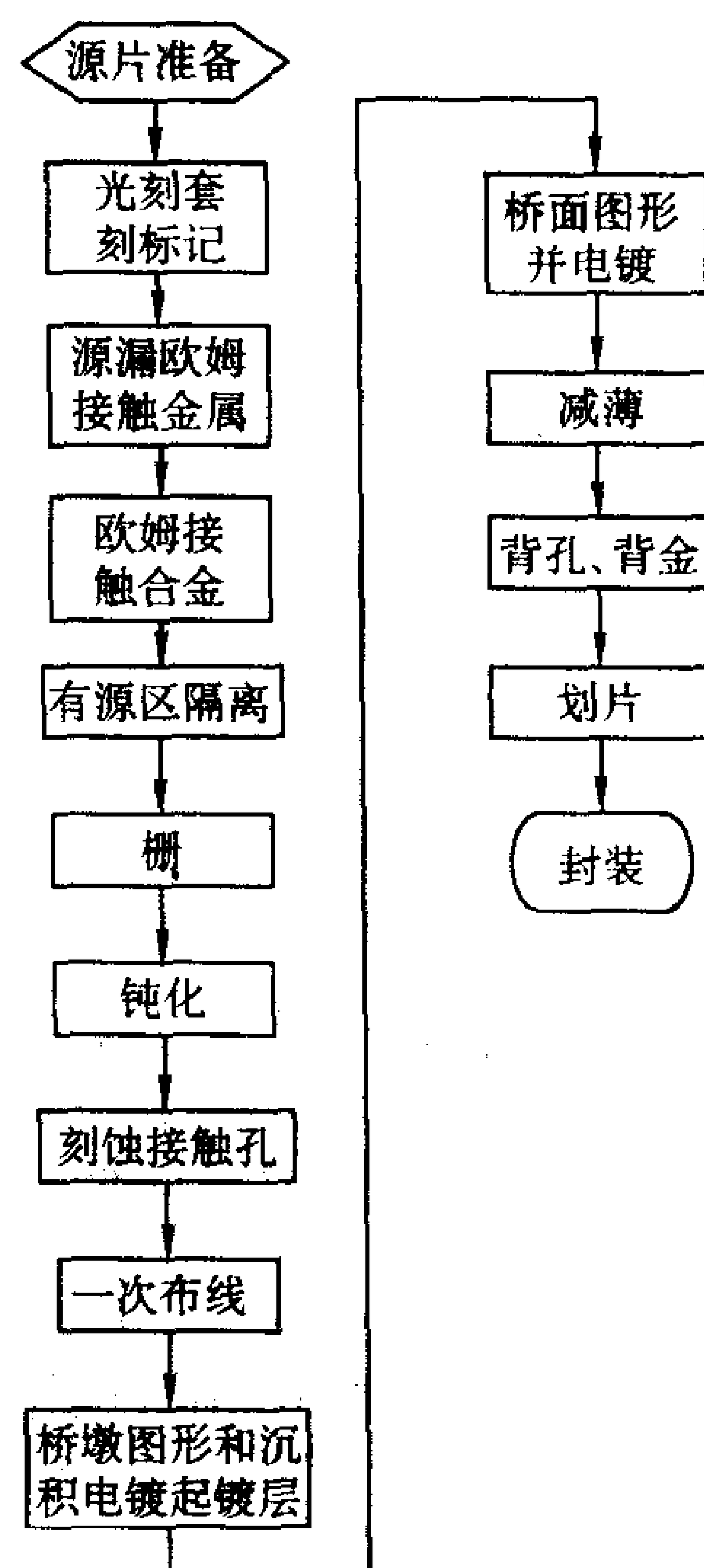


图 3.7-13 GaAs HEMT 工艺简要流程

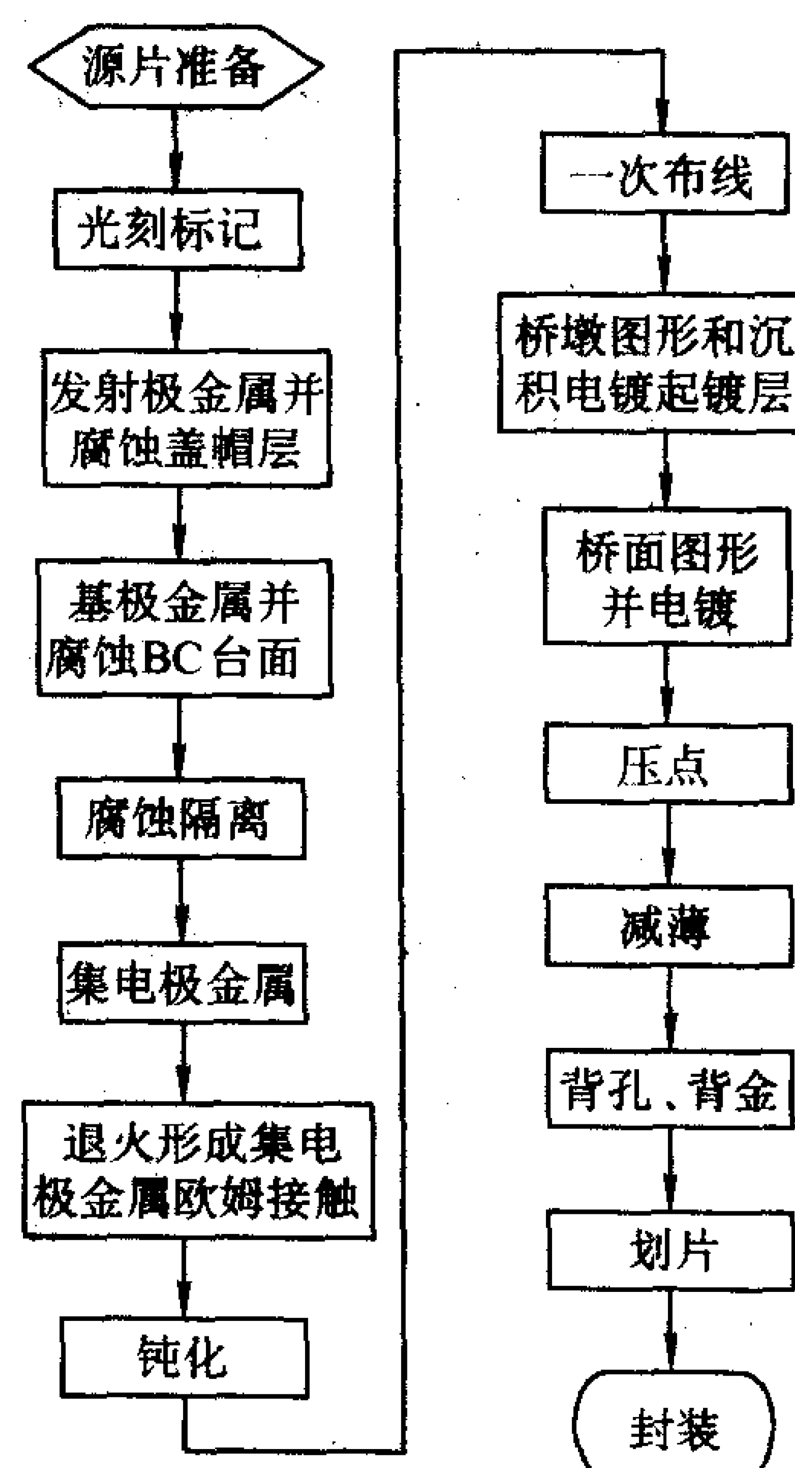


图 3.7-14 GaAs HBT 工艺简要流程

2.1 刻蚀技术

刻蚀技术是实现图形转移的主要技术手段，它在化合物电路的生产中具有很重要的作用。腐蚀技术一般分为湿法刻蚀技术、干法刻蚀技术。湿法主要指利用化学溶液，通过化学反应是将不需要的薄膜去掉的图形转移方法。湿法腐蚀简便易行，但是当线宽小于 3 μm 时存在严重的钻蚀现象，很难保证腐蚀后有比较陡直的边缘，难以获得理想的线宽。干法刻蚀则指利用具有一定能量的离子或原子通过离子的物理轰击或者化学腐蚀，或者两者的协同作用，以达到刻蚀的目

表 3.7-3 湿法刻蚀与干法刻蚀的比较

比较内容	干法刻蚀	湿法刻蚀
刻蚀速率	低	高
均匀性	好	差
重复性	好	差
CD 损失	小	大
选择比	差	好
剖面控制	好	差
多层介质刻蚀	可行	困难
对设备的要求	复杂，成本高	简易，成本低

的。干法刻蚀包括等离子体刻蚀、离子体喷射、电子束和 X 射线照射等。无论是化学方法还是物理方法，它们在刻蚀速率、刻蚀的精细程度和操作可控性、难易性等方面各有所长。

表 3.7-3 为湿法刻蚀与干法刻蚀的比较。

2.1.1　湿法腐蚀

半导体材料与周围介质（特别是与电解质溶液）相互作用而使材料自行分解的现象称为半导体的腐蚀。湿法腐蚀从广义上讲，除了半导体与化学试剂直接发生化学反应的化学刻蚀外，还包括电化学刻蚀和光电化学刻蚀。

湿法腐蚀的主要特点如下。

1）反应生成物是气态或可溶性物质，常用加热或搅拌等办法加速气体的排放、加快生成物的溶解，以加快反应速度。

2）湿法刻蚀一般是各相同性腐蚀，对于晶体结构的物质，会因存在晶向而产生不同的剖面结构。

3）反应可控制性差，工艺重复性差。湿法刻蚀的缺点在于当线宽小于 3 μm 时，极易钻蚀，刻蚀精度、可控性差，均匀性差。

随着异质结器件例如 HBT 器件的的研究迅速崛起，AlGaAs/GaAs InGaP/InGaAs 等异质结器件的研究兴起，选择腐蚀技术的研究随之出现。材料湿法选择腐蚀方面的研究非常多，目前使用的腐蚀剂有柠檬酸系、琥珀丁二酸系、磷酸系、H_2SO_4 系、光化学腐蚀等。选择腐蚀的异质结材料组合有：GaAs/AlGaAs，GaAs/AlGaAs/GaAs，InAlAs/InGaAs，InGaAs/InAlAs/InP 等，湿法选择腐蚀方式已经在器件工艺中得到广泛运用。

2.1.2　干法刻蚀

干法刻蚀利用气相刻蚀剂与表面作用，刻蚀产物为挥发性气体并经由真空系统被抽走。该过程通常为各向异性且按直线进行，具有刻蚀速率高、均匀性和选择性好以及避免废液料污染环境等优点。目前常用的等离子体源有：反应离子刻蚀 RIE/MERIE、电子回旋共振源（ECR）、感应耦合等离子体源（ICP）和螺旋波（Helicon）源等。由于结构简单，成本较低，ICP 是主流技术之一。

表 3.7-4 给出了典型的化合物的刻蚀速率。

表 3.7-4　典型化合物的刻蚀速率　　A·min^{-1}

气体组份	GaAS	AlGaAs	InP	InGaAs
Cl_2/Ar	20 000	20 000	200	200
$SiCl_4/Ar$	5 000	5 000	150	350
$PCl_3?/H_2$	3 000	3 000	150	350
CF_2Cl_2/O_2	2 000	50	650	1 000
CH_3Br/Ar	600	400	250	320
HBr/Ar	600	500	400	400
CH_4/H_2	200	160	220	280
C_2H_6/H_2	250	180	250	320
$HI/H_2/Ar$	5 000	4 000	7 000	5 000

干法刻蚀代替了传统的湿法刻蚀是技术发展的一个大趋势。现在正不断研究各种低压、高密度离子源，用于干法刻蚀。

2.2　隔离方法

2.2.1　台面腐蚀

台面腐蚀方法的优点是工艺简单，设备要求低，具体方法是用光刻胶掩蔽器件的有源区，然后腐蚀去除有源区外的外延层结构。腐蚀方法一般有湿法和干法两种。

（1）湿法腐蚀

湿法腐蚀具有损伤小、设备简单、操作方便、成本低、选择性高等优点。由于湿法腐蚀的台面比较平缓，使栅金属和源漏金属在台面处不易断开，而且避免了干法刻蚀带来的损伤，当器件台面腐蚀要求的精度不高，腐蚀台面不深时，是一种较好的选择。湿法腐蚀隔离常用的腐蚀液有 H_3PO_4、HCL、H_2SO_4 等，根据实际的外延层结构来决定。

（2）干法刻蚀

干法刻蚀的机理有物理溅射、化学反应和离子辅助等离子刻蚀等三种。物理溅射主要靠提高轰击离子的能量，离子通过和被轰击材料进行能量交换，使材料从表面溅射出。利用该机理进行刻蚀能获得各向异性的刻蚀形貌，但刻蚀速度慢、材料表面的损伤大、材料表面的化学配比改变、表面形貌差、刻蚀选择性差。以化学反应为主的刻蚀方法是通过刻蚀气体和材料反应生成容易挥发的产物来实现刻蚀的。由于离子的能量低，给材料带来的损伤小，但是刻蚀为各向同性的，不利于降低器件的尺寸。离子辅助等离子刻蚀则包含物理作用和化学作用两种机理。化学刻蚀速度高，各向同性；物理刻蚀速度低，各项异性。通过调节物理、化学作用的比重可以优化刻蚀效果。

2.2.2　离子注入隔离

离子注人技术在化合物半导体中的应用主要分为两大类：一类是用于形成均匀的 n 型或 p 型电导层，即为离子注入掺杂技术；一类是用补偿自由电子和空穴，形成半绝缘的高阻层，作为器件的隔离，称为离子注入隔离技术。由于离子注入隔离技术实现平面型隔离结构，克服了传统腐蚀法形成台面隔离结构所引起的一系列缺点，所以成了化合物半导体器件，尤其是集成电路制造技术的一大突破。

离子注入隔离技术是把掺杂剂离子加速到所需要的能量（一般为几十到几百 keV），直接注入到未用厚光刻胶掩蔽的半导体材料中，使有源区以外的区域材料电学性能由于掺杂而改变，从而达到隔离的目的，这样的方法不破坏器件的表面平整，很好地改善了器件金属断线的问题。通过掩模使不需要隔离的区域免于注入损伤。

与干法刻蚀相比，采用注入隔离可以获得平面化结构，有利于集成化时成品率的提高。注入隔离的补偿机理有两种。一种是物理补偿作用，另一种是化学补偿机理。

注入隔离的缺点是，高温条件下被改变的晶格结构可能恢复，使隔离失效。注入隔离的另外一个缺点是注入设备复杂。

2.3　欧姆接触

欧姆接触定义为相对于半导体的体电阻或扩展电阻而言接触电阻可以忽略的金属 - 半导体接触。欧姆接触的质量优劣对器件性能有较大影响，其引入的串联电阻直接影响器件的噪声、增益、效率以及可靠性，对欧姆接触的要求是有线性伏安特性，接触电阻小且稳定可靠。

合金法是形成欧姆接触最常用的方法，其机理可以理解为作为掺杂剂的金属通过热处理扩散进入半导体，在其表面形成一层高掺杂层，导致导带发生简并，势垒高度降低，势垒宽度变窄，因此通过隧道效应而使载流子在金属和半导体之间输运，总的效果是使接触电阻降低。

在化合物半导体上制造欧姆接触是很困难的。具有足够低的功函数以得到低势垒的金属通常并不存在。在这些情形下，制造欧姆接触的一般技术包括采取各种方法建立诸如金属 - n^+ - n 或金属 - p^+ - p 接触的重掺杂表面层。这些方法是：浅扩散、合金再生长、包含在接触材料中的掺杂剂的扩散、双外延和离子注入。

虽然形成欧姆接触的金属各不相同，但是基本制作工艺

大同小异。首先是将欧姆接触金属按照事先光刻好的图形沉积到半导体上，通过剥离工艺（化合物半导体器件的制作普遍应用剥离工艺，见后面相应章节）形成特定的金属图形，然后在惰性气体（例如氩或者氮）气氛中，将这些接触加热到相应的共熔点，使合金进入到半导体中去。主要步骤如图3.7-15所示。

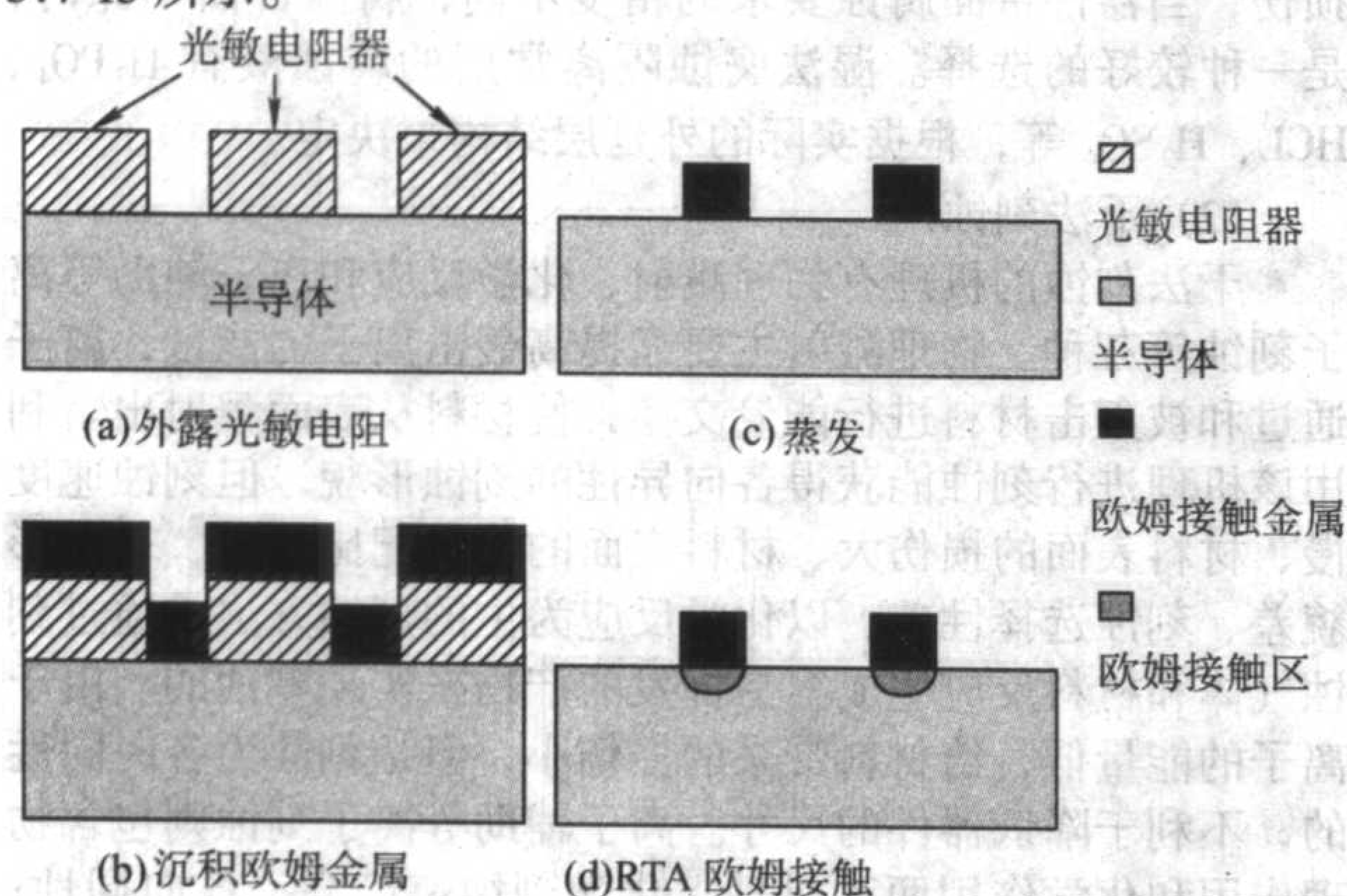


图3.7-15 欧姆接触工艺主要步骤

欧姆接触金属的沉积工艺主要有电阻蒸发、电子束蒸发、溅射等。比较常用的为电阻蒸发和电子束蒸发。由于溅射方法沉积的金属膜在光刻图形的各个部位都存在（尤其是在光刻图形的侧壁），对于金属剥离工艺不利，所以较少采用。值得注意的是，进行沉积欧姆接触金属前，要注意半导体表面的清洁并去除氧化层，因为半导体表面的清洁程度直接影响欧姆接触的性能。

对于GaAs和其他Ⅲ－Ⅴ族化合物半导体，已经研究出制作欧姆接触的各种工艺。表3.7-5是这些工艺的汇编。

表3.7-5 常用Ⅲ－Ⅴ族和混合Ⅲ－Ⅴ族化合物半导体的欧姆接触工艺

Ⅲ－Ⅴ族化合物	Eg /eV	类型	接触材料	合金温度 /℃
GaN	3.36	n	Ti－Al	750～850
		n	Ti－Al－Ti－Au	
		n	Ti－Al－Ni－Au	
		p	Ni－Au	750～850
$Al_{1-x}Ga_xN$	3.36～5.9	n	Ti－Al－Au	800～850
GaAs	1.42	n	AuGeNiGeAu	380～420
		n	TiPtAu	380～420
		p	TiPtAu	380～420
		p	PtTiAu	380～420
$Ga_{1-x}In_xAs$	1.47～0.35	n	AuGeNiGeAu	
			TiPtAu	

2.4 肖特基势垒

为了制作肖特基结，先要形成完整的、位置准确的细栅条图形，进行n^+挖槽、获得要求的夹断电压，这两步工艺（栅光刻和栅挖槽）是整个FET工艺中对成品率产生最大影响的重要工艺，然后经清洗、镀膜、剥离，使形成了肖特基势垒结。

2.4.1 挖槽

栅挖槽工艺是在光致抗蚀剂或光致抗蚀剂与介质膜限定的窗口内部进行的，是在GaAs表面沟道区上部，用腐蚀方法形成比肖特基结宽的凹槽。一般来说，腐蚀是用湿法工艺完成，尽管可以用干法工艺形成槽，但因其易形成损伤层，还需要用湿法工艺腐蚀去除，所以还是用湿法兼容性和灵活性大。但对于极薄层的挖槽干法腐蚀比湿法腐蚀易于控制极浅的栅槽。

常用的挖槽腐蚀液有$H_2SO_4-H_2O_2-H_2O$，$H_3PO_4-H_2O_2-H_2O$和$HCl-H_2O_2-H_2O$等，后续的清洗要与之配合，保证表面Ga与As的比例为1:1，多余的As需去除。

栅凹槽对于功率GaAs FET的必要性表现在以下几方面。

1）饱和电流是功率FET的关键参数之一，栅凹槽可改善因外延材料批次不均匀性所产生的饱和电流的偏差。

2）击穿是功率FET的又一关键参数，栅凹槽可以改变栅边缘的几何形状，使电场不在栅边缘集中，从而提高栅的击穿性能。

3）功率FET的输入信号电平比较高，凹槽避免了表面耗尽层（自然形成）在正向栅偏置时对大电流流通的阻碍作用，从而有利于拓宽动态范围。

4）源接触下面有源层加厚以减小源电阻，可降低大动态大电流工作时的自建栅偏压。

栅挖槽也有缺点，这表现在栅金属与槽边缘之间存在栅－漏、栅－源寄生电容，它有可能损失增益或产生信号正反馈使器件工作不稳定。

2.4.2 栅金属化

首先讨论形成GaAs肖特基势垒采用的金属。形成肖特基偏置的金属应当有高的导电性、好的黏附性和热稳定性。这些要求排除了许多金属，金属与GaAs的界面行为十分复杂，许多金属在不完美的双元晶体上会产生混晶。Ga向多种金属的内部扩散，且随温度升高，扩散加速。Au向GaAs内部扩散，且Ga向Au的扩散还促进了Au向GaAs的扩散。所以尽管Au有许多优越特性，用它作为肖特基势垒金属却是不合适的，用它制成的肖特基势垒很快就会发生退化。另外，Au与GaAs的黏附性能也不好。

双元金属Ti-Au或Cr-Au将延缓扩散作用，提高黏附性能，但是，它们不能防止扩散。这样人们需要一种作为扩散阻挡层的金属摆在双元和多元金属的中间位置，以屏蔽Au的扩散效应。Pt是具有这种作用的良好的阻挡金属，将它放在AM与Ti之间可以成功地作为FET的肖特基结，Mo和Pd也具有同样的作用。目前GaAs工艺中Ti-Pt-Au已十分通用，可用它作为肖特基、覆盖层和传输线。其中Ti形成肖特基结并可提供良好的黏附性能，其厚度可为100～200 nm（1 000～2 000 Å）。Pt作为阻挡层的厚度约为50～100 nm（500～1 000 Å）。Au作为导电层的厚度为300～600 nm（3 000～6 000 Å）。

金属元素除Au、Ti、Pt以外，还有Ag、Al、Cu等，它们不但具有高的电导率，还对GaAs具有良好的黏附性。但是，Ag为化学活泼元素，和GaAs工艺中的许多物质都容易发生反应，表面易于氧化，除非作为上层金属且镀上Ag之后立即把它保护起来。Cu也是化学活性大的元素，且能在GaAs中迅速扩散，在晶体缺陷中聚集，使GaAs有源层“中毒”。Al兼有镀膜方便、价格便宜、肖特基结漏电小的优点，因此也广泛使用在GaAs工艺中。但是在装架工艺是不可避免地要用Au，而Au与Al产生界面反应生成Au_2Al已为众所周知，因此Al上需要再覆盖其他金属与Au接触。Al易氧化，承受电冲击的能量较小、易电迁移、比Au电导率低等特性，使得它不能在功率FET中得到广泛采用，从而使Ti-Pt-Au在FET，特别是在功率FET中占有支配地位。

其他适合作为肖特基势垒的金属组合还有：Pt-W-Pt-Au，Ti-Mo-Au，Ti-Pd-Au，Cr-Pd-Au，Ti-Al，Mo-Al等。

2.5 金属化和剥离工艺

2.5.1 芯片金属化

芯片金属化（Metallization）是应用化学或者物理方法在

芯片上淀积导电金属薄膜的过程。对不同金属连接有专门的术语名称，包括：互连（interconnect）、接触（contact）、背孔（via）。描述一种金属材料的性能，其主要参数有：电导率、黏附性、淀积、光刻图形、平坦化、可靠性、抗腐蚀性、应力等。在化合物半导体器件及电路制造业中，各种金属和金属合金主要有：Ti/Pt/Au，Pt/Ti/Au，Pt/Ti/Pt/Au，AuGeNi/Ag/Au，Ni/Ge/Au/Ge/Au，Ni/Ge/Ni/Au，Ni/Au，Pt/Au，Ti/Au，Ti/Al，Ti/Al/Ti/Au，Ti/Al/Ni/Au，Ti/Al/Pt/Au，Mo/Au 等。

用于实现半导体制造业金属化的不同金属淀积系统有：蒸发、溅射、金属 CVD、电镀等。在早期半导体工艺中，所有金属层都是通过蒸发这种物理气相淀积（PVD）方法淀积的。目前，在研究领域和化合物半导体技术中，蒸发仍然被使用。但在硅工艺中，由于蒸发台阶覆盖的特性差，它首先被溅射所代替，现在电镀等化学气相淀积（CVD）方法已经被应用于各种半导体制造业金属化领域。

2.5.2 剥离工艺

剥离（Lift－off）技术目前广泛应用于 MESFET、HBT、HEMT 等各种半导体器件的制作工艺过程中。用剥离技术制作的栅或发射极图形精细，是制作微米、亚微米尺寸器件的一种可靠的技术。目前的化合物半导体技术主要是围绕剥离技术发展，而不是刻蚀。这个工艺普遍用来替代离子轰击来刻蚀难于刻蚀的材料，而且剥离过程不像干法刻蚀那样需要昂贵的设备、工艺相对简单、金属图形制作过程中不会引入机械损伤、表面不易粘污，因此被广泛地应用于化合物半导体制造业。

剥离技术属于湿法腐蚀范畴，与干法刻蚀方法不同。通常，首先在处理干净的晶片上涂上厚的光刻胶并光刻形成所需要的图形，然后蒸发或溅射一层金属薄层，如果光刻胶得到一个倒梯形的剖面，金属条保证会断线，接下来将晶片浸泡在能溶解光刻胶的溶液（主要有丙酮、溴苯、氯苯、甲苯、氟苯等）里，直接淀积在晶片上的金属线将被保留，而淀积到光刻胶上的金属将随着光刻胶的溶解而从晶片上脱落。这种一来避免了对衬底的刻蚀损伤，二来金属图形的线宽尺寸完全由光刻胶曝光后的窗口大小决定，而不是由金属的腐蚀或刻蚀工艺决定，因此可以实现精确的掩模图形转移和优良的线宽控制。剥离技术的工艺过程如图 3.7-16 所示。

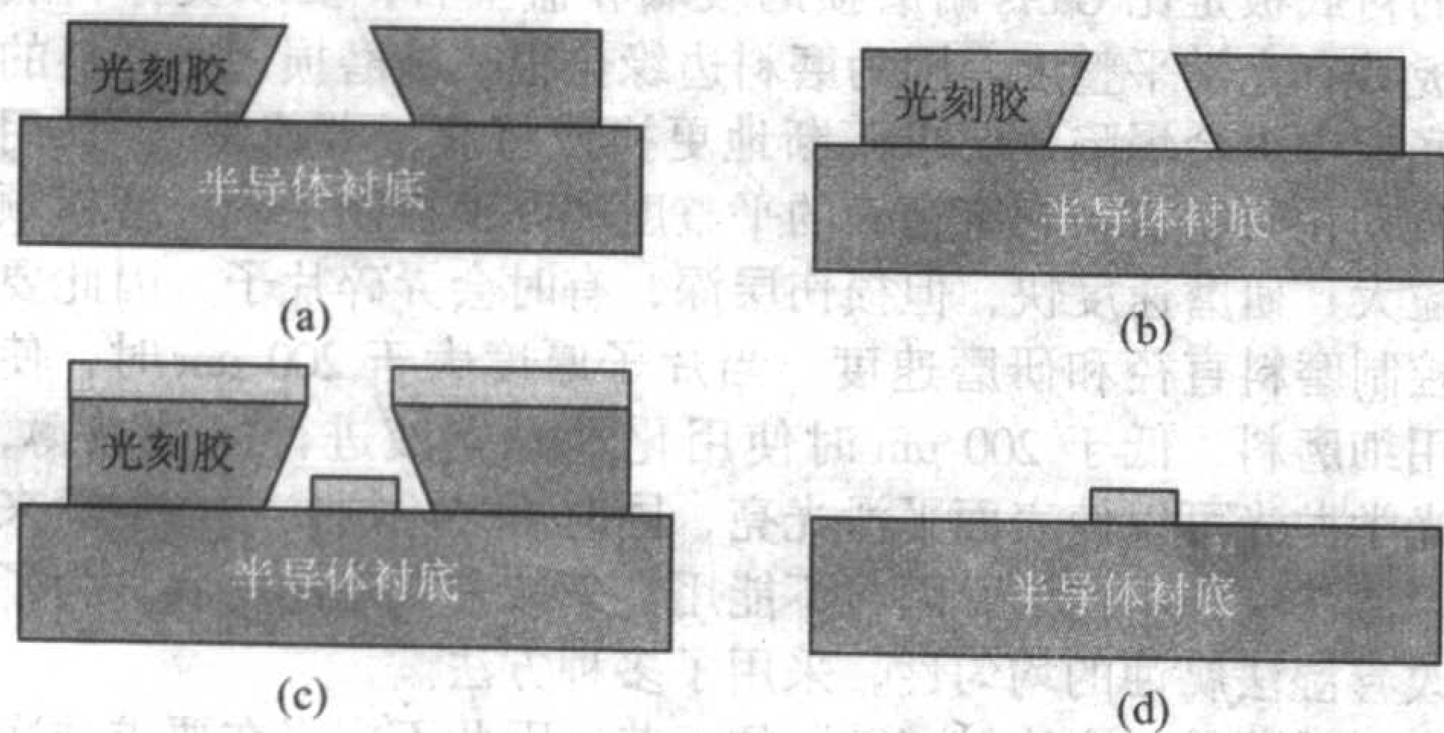


图 3.7-16 剥离过程示意图

为了有效地剥离，掩模层必须满足以下条件。

1）首先要使金属图形沉积在光刻掩模断开的区域内，同时上金属层与掩模断开区域内的金属图形是互相分开的。这就要求掩模的厚度一定比形成的金属层厚。

2）剥离掩模必须容易形成光刻掩模板的图形，且分辨率高，在烘烤、蒸发或溅射金属的环境下，掩模材料的热胀系数要小，掩模图形的热稳定性要好，形变小、掩模层必须容易剥离。

3）掩模图形剖面必须呈倒梯形，这是剥离能否成功的关键因素。

4）脆性金属（如 Al）比延展性好的金属材料（如金）容易获得好的剥离金属图形。

5）所有工艺必须不损伤晶片材料也不损伤晶片表面的金属图形。

2.6 空气桥与接地

2.6.1 电镀

电镀金工艺可用于加厚有源区导电金属层，制作通路孔、空气桥和背面热沉，它可改善导电性、导热性和提供键合所需的金属层厚度。对于 MMIC 需要的电容、电感、传结线等，电镀金可使有关金属层的电阻率大大降低。金是贵重金属，具有延展性好、化学性能稳定、耐高温、易于压焊且接触点性能稳定等特点。但价格昂贵，采用蒸发或溅射方法制得较厚金属，材料浪费太大，采用选择电镀方法金的利用率最高。

通常的镀金液有氰化物镀金液、柠檬酸镀金液、亚硫酸盐镀金液，氰化物因为有毒，所以已不在工艺中使用，亚硫酸盐镀金液无毒，分散能力、覆盖能力好，镀层光亮致密，目前广泛应用于 MMIC 工艺中。

电镀金是应用电解原理在给定的 GaAs 表面区域镀上一薄层金的过程。电镀时，以待镀的晶片为阴极，以镀金板为阳极，用含有金离子的溶液作为镀液，在直流电源或脉冲电源的作用下完成电镀的过程。

在电镀溶液中，亚硫酸盐是镀液的主络合剂，它与金生成阴离子型的亚硫酸金铵络合物：



$$Au^{3+} + SO_3^{2-} + H_2O \rightarrow Au^+ SO_4^{2-} + H_2 \uparrow$$



$$Au^+ + 2SO_3^{2-} \rightarrow [Au\ (SO_3)^2]^{3-}$$

亚硫酸金铵电离，在阴极（GaAs 片、接电源负极）发生的反应为：



$$[Au\ (SO_3)_2]^{3-} + e^- \rightarrow Au + 2SO_3^{2-}$$

在阳极（Au 板或 Pt 板，在电镀液中不溶解，接电源正极）上的反应为：

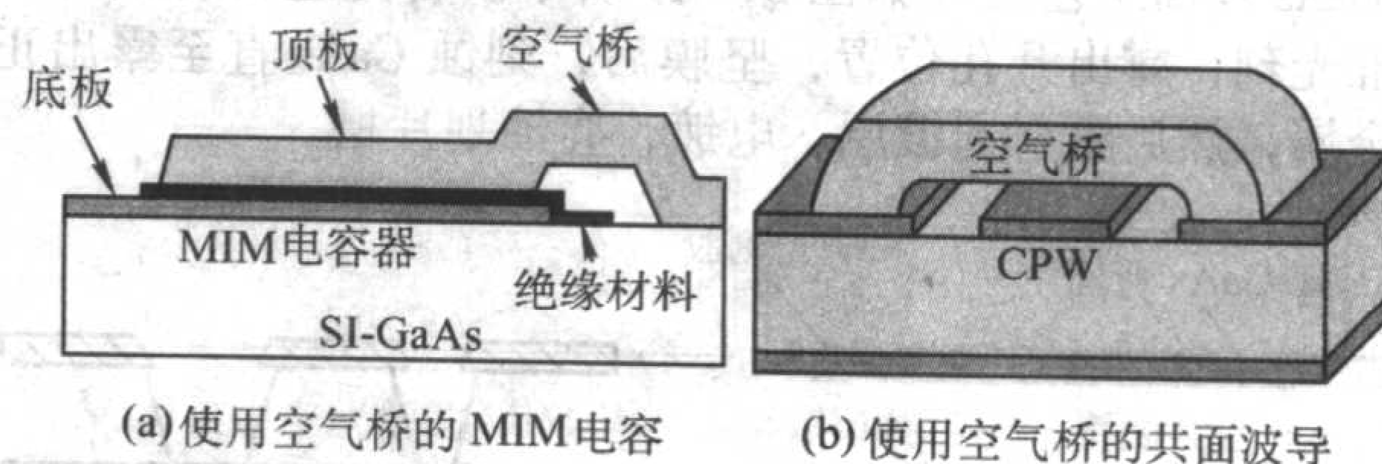


$$4OH^- \rightarrow 2H_2O + O_2 + 4e^-$$

电镀用的电源一般用直流电源，为提高镀层质量，可使用脉冲电源，它可提高电镀层的致密性和电导率，降低镀层的内应力，提高镀层的光亮性，特别有利于选择电镀，不会产生边缘突出，有利于小孔电镀。

2.6.2 空气桥

化合物半导体如 GaAs，没有像 Si 那样良好的氧化膜，并且化合物半导体一般都用于频率较高的电路领域，因而为了减小寄生效应，电路交叉点的连线不能简单靠介质隔离来完成，而是采用空气桥的方法来实现交叉点连结，如图 3.7-17 所示。



(a) 使用空气桥的 MIM 电容　　(b) 使用空气桥的共面波导

图 3.7-17 交叉点空气桥法连结

通常空气桥采用蒸发或者电镀的工艺实现，蒸发空气桥工艺加厚金属不能蒸得太厚，一般厚度只能控制在 2 μm 以内，否则剥离上有困难，使得空气桥强度降低。同时蒸发空气桥工艺造成大量金的浪费，因此，这里我们介绍更常用的电镀气桥工艺。

图 3.7-18 给出了电镀空气桥工艺的示意图。首先利用正性光刻胶光刻出桥墩的图形（即图 3.7-18a 中的预镀光敏

电阻），然后溅射一薄层起镀层（如 Ti/Au），再用正性光刻胶（即图 3.7-18a 电镀光敏电阻）光刻出桥面图形。第一层 Ti 的作用是增加表面黏附性，以利于第二步匀胶。电镀布线金属 2.5～3 μm，电镀采用脉冲镀，可以提高镀层的质量。剥离掉上层光刻胶，去除起镀层，最后再用丙酮去除桥墩后即形成如图 3.7-18b 所示的空气桥图形。

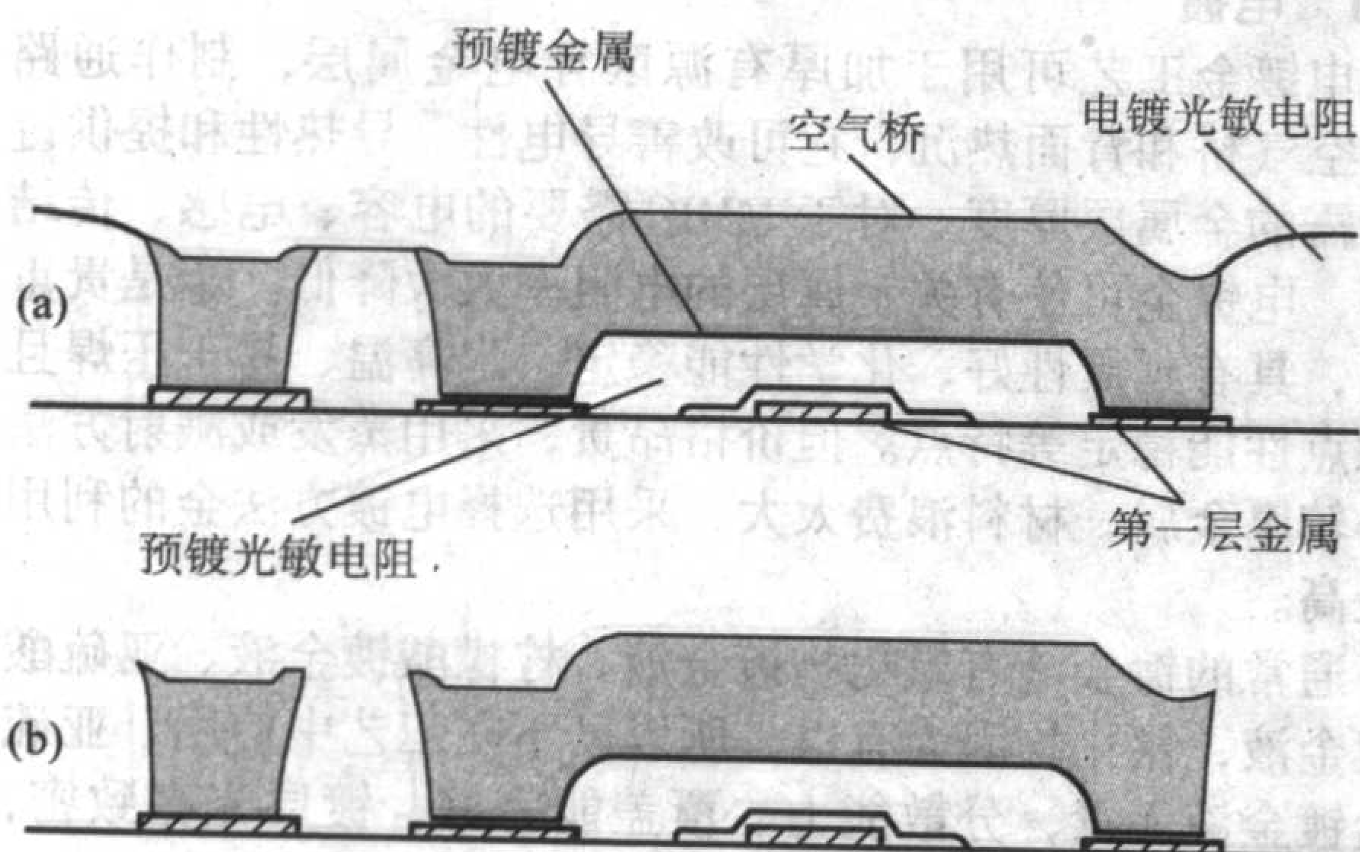


图 3.7-18　电镀空气桥工艺示意图

2.6.3　接地

对于 MMIC 电路，接地电感和热阻对其器件与电路的性能影响极大，因此工程师们采用了许多办法尽力减小接地电感和改善散热。发展初期，采用多根引线将芯片的接地面与底盘连接起来，为了缩短引线长度，在源一边的底盘表面上加工一个凸台，与源接地面平行等高，用引线或 Au 带就近互连。面接地是在背面减薄工艺之后，对分片道进行腐蚀直至正面的金属层，再进行金属化，分开管芯以后烧结时将管芯接地面与底盘连在一起。接地面通常位于源侧，芯片在烧结温度下向底盘的金属墙靠拢，使背面的焊料沿金层流散到接地面上，因此接地电感和电阻都非常小，通过电流的容量也大，但是这种方法对芯片的布局提出了很高的限制，后来这些办法被通路孔技术所取代，通路孔还成了单片集成电路的必备工艺。

通孔从晶片背面形成，并与晶片正面的接地金属连接。通孔中填充金属后，将形成一个低电感的连接。当晶片放置在一个导电的衬底上时，就形成了一个简单的接地，接地电感大大降低。这种技术不仅使电路的高频工作特性得到很大提高，而且使电路设计者能够在更小的尺寸下设计出功能更加强大的单片集成电路。并且背孔的位置布置不受限制，可以极大地改善芯片散热。

在晶片正面器件制作完成后，将晶片减薄至 50～100 μm，然后通孔和背金等后道工艺在晶片背面进行，具体的 GaAs 背面工艺流程如图 3.7-19 所示。首先进行背面红外对准光刻，露出开孔位置，坚膜后，刻蚀 GaAs 直至露出正面金属，然后溅射起镀层，电镀，腐蚀划片槽。

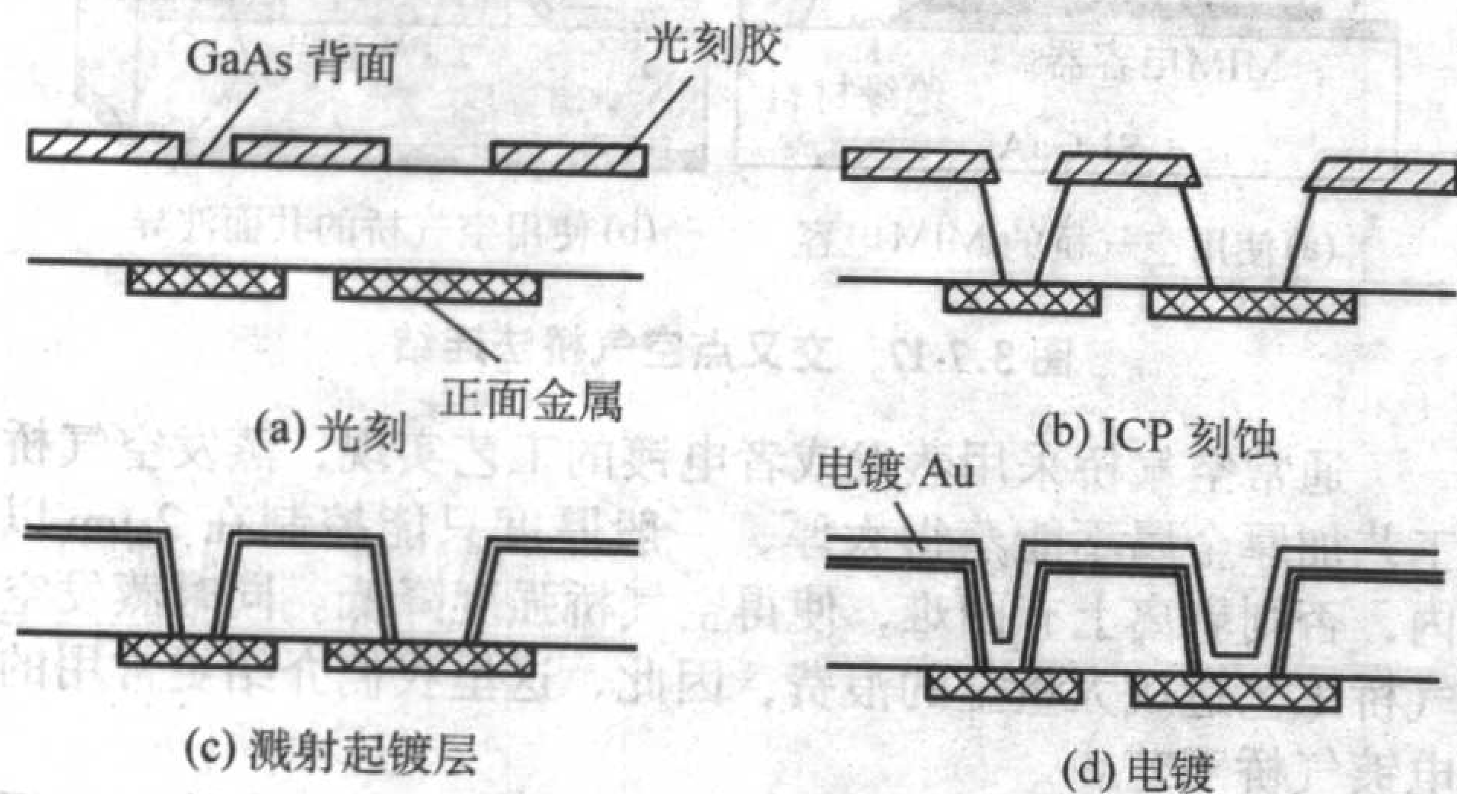


图 3.7-19　背孔制作工艺

通孔刻蚀分为湿法和干法两种。湿法腐蚀通孔的形状和尺寸的控制比较困难，为了达到较好的剖面形状，需要严格控制减薄的厚度与均匀性及腐蚀液的温度和成分，湿法腐蚀所用的 GaAs 片厚度在 30 μm 左右最好，不适合 100 μm 左右的 GaAs 片。

干法刻蚀包括 RIE、ICP、ECR 等，其中最常用的是 ICP 法，干法刻蚀所用到的腐蚀气体有很多种，包括 CCl_2F_2、CF_4、BCl_3、Cl_2、$SiCl_4$ 等。

对于 GaAs 背面通路孔腐蚀工艺的要求包括：

1）腐蚀衬底而对掩模材料的影响较小；
2）精确的尺寸控制；
3）侧墙平滑并且有些倾斜以利于淀积金属；
4）对于正面的金属腐蚀较小；
5）为了补偿减薄过程中的不一致性，要求可以有一定的过腐蚀余量；

2.7　背面减薄

GaAs 晶片很脆，因此圆片需要足够的厚度，才可以保证经过多道工序操作而不碎片。为了减小热阻、制造正面和背面通路孔，需要将其减薄至 120 μm 之内。为在后道工序保持片子的完整性，通常将其黏在蓝宝石、玻璃、石英或者硅片上面，这些材料能透过红外光，不妨碍红外光刻操作。

将片子与支撑材料黏结起来的方法很多，如水玻璃、光致抗蚀剂、高温石蜡等，要求黏结牢固、能经受背面光刻时的烘焙温度、表面平整、能承受反应离子刻蚀和电镀、耐清洗耐化学腐蚀、便于拆卸等。

小功率的 FET 因为散热不是重要问题。对减薄要求不严，可以用相对较厚的衬底。但是衬底太厚给最后的划片带来困难，因此也要减至 150 μm；大功率的 FET 能产生可观的热量，因此要将衬底减至 50 μm。对于 MMIC，其传输线尺寸是衬底厚度的函数，太厚意味着传输线宽，太薄意味着传输线损耗大，一般控制在 50～120 μm，但要求厚度准确度在 ±5 μm 以内。

传统的减薄方法是机械研磨，用十分坚硬的碳化硅和氧化铝粉末（颗粒度为 0.3～0.5 μm），掺以润滑剂和水，研磨的衬底板是比 GaAs 耐磨损的玻璃和蓝宝石，要求支撑衬底板具有光学平整度。因为磨料边缘会很快被磨损，盛磨料的底板中央会塌陷，要求不断地更换或将底板“找平”。采用自动化研磨机，它有精确的平整度和厚度控制系统。磨料颗粒大、研磨速度快，但损伤层深，有时会弄碎片子，因此要控制磨料直径和研磨速度。当片子厚度大于 200 μm 时，使用细磨料，低于 200 μm 时使用化学抛光液进行腐蚀减薄，光学抛光可以使表面平滑光亮，同时可去除损伤层。一般来说湿法腐蚀不均匀，因此不能用它来减去太厚的材料。为了改善湿法腐蚀的均匀性，采用了多种方法。

减薄是一个比较“脏”的工艺，因此不应当在要求洁净化程度很高的光刻工作间进行，也不应当放在金属化工作间，而应在与洁净度要求高的工艺相隔离的房间进行减薄操作。

减薄以后是制作背面通路孔和分片道，工序相同的地方是红外对准背面光刻，不同的地方是通路孔要刻孔、小孔金属化和电镀，分片道可能没有这些工序。为了保证金属能覆盖孔槽的每一个地方，孔槽的壁不能太陡（接近 90°），不用蒸发方法而用溅射方法做多层金属（TiAu，NiCrAu，AuGe，A uGeNiAu，TiPtAu，TiWAu），此层金层用做电镀的打底金属，应保证与 GaAs 有良好的黏附，否则热阻大幅度上升。电镀用于提供热沉、加固芯片、便于烧结。通孔选择电镀或大面积电镀金层厚度大于 10 μm。

3　GaAs 集成电路

3.1　MMIC 简要介绍

微波单片集成电路（MMIC——Microwave Monolithic Integrated Circuit）是将电路中所有有源元件和无源元件都制作在同一块半导体芯片上。工作频率从 1GHz 到 100 GHz，应用了大量不同的技术和电路制作方法。GaAs 的电子迁移率比 Si 高数倍，而半绝缘单晶体的电阻率又比 Si 高几个量级，它不仅是微波器件的理想材料，也可以作为微波平面传输线的介质基片，因而 GaAs MMIC 已迅速成为微波技术领域的重点研究与发展方向。

微波集成电路（MIC——Microwave Integrated Circuit）是一系列有源元件和无源元件利用焊点或导电树脂黏结胶制作在同一块半导体芯片上。MMIC 相比于 MIC 的特点在于：有源器件不再单独封装，减少了管壳分布参数的有害影响；有源器件与无源元件和电路构成一体，消除了 MIC 的许多人工焊点带来的影响；由于多种元器件的全部集成，使 MMIC 的电路体积和重量都比 MIC 减少两三个数量级。

3.1.1　MMIC 技术的发展历史

GaAs 被广泛应用于 MMIC 中是因为它具有高的截止频率和低的电阻损耗特性。Plessey 实验室的 Jim Turner 于 1962 年研制出了第一个 GaAs 晶体管，从而促使了 GaAs FET 的发展。1967 年一个命名为 GAT1 的 4 μm 栅长的器件被 plessy 公司制作出，其成为历史上第一个 GaAs 商用晶体管，它在 1 GHz下能产生 10 dB 的增益。第一个 GaAs MMIC 电路诞生于 1968 年，它是一个将二极管和微带线制作在一起的简单电路，TI 公司的 Mao，Jones 和 Vendelin 报告了这一结果。

在功率放大器设计领域，由于 Pavlidis 提出了 cluster maching 技术，功率放大器中的热问题和匹配问题很大程度上得到了解决。对于宽带放大器，行波管放大器技术由于结合了 MESFET 的高性能和 MMIC 的低寄生特性而得到了广泛应用。1982 年 Strid 和 Gleeson 在一篇文章中介绍了从 DC 到 12 GHz 频率范围内的行波放大器的在片测试方法。许多年来有很多公司致力于完善行波管放大器的性能，在高功率应用中，这种放大器的应用一直受到限制，直到 1984 年 Ayasli 提出电容耦合方法，行波管放大器的功率门限才被打破。

随着 HEMT 技术的发展，行波放大器进入了一个新的发展阶段。1990 年 Majidy - Ahy 提出了采用共面波导的 InP MMIC 行波放大器，其频率范围扩展到 5 ~ 100 GHz。在欧洲用于卫星电视的接收机受到广泛关注，第一个 12 GHz 的 MMIC 接收芯片的发明成为其重要的里程碑。

20 世纪 80 年代是 MMIC 设计的全盛时期。90 年代是新型器件的快速发展时期：HEMT 放大器突破 100 GHz 的限制；GaAs HBT 使高功率特性器件达到一个新的水平；GeSi 技术的发展对于Ⅲ、Ⅴ族元素的主导地位提出了挑战，尤其是在毫米波范围。90 年代 MMIC 的快速发展还表现在通信领域民用技术的发展和以低成本 MMIC 无线电收发信机为标志的“无线革命”的出现。90 年代末期，商用电磁仿真软件的广泛应用大大提高了设计者模拟电路的能力。

3.1.2　MMIC 的优缺点和应用

MMIC 同 MIC 相比的优缺点见表 3.7-6。

表 3.7-6　MMIC 和 MIC 相比的优缺点

MMIC	MIC
大批量产品成本低；复杂电路更经济	简单电路成本低；可以自动装配
重复性好	器件位置和焊点的影响，重复性较差
体积小、重量轻	可以在多层基板上嵌入无源元件
稳定性好	人工焊点的引入使可靠性变差
寄生小 - 可应用于更宽和更高的频率	常用于 LNA 和 PA 中
电路面积需要尽量小	基片价格低，可以广泛应用微带线
元器件选择范围有限	元器件选择范围广
加工时间长	加工周期短
启动成本高	对设备要求高

MMIC 的主要应用见表 3.7-7。

表 3.7-7　MMIC 的应用

军用	空间	民用
相控阵雷达 电子战 合成孔径雷达 无源毫米波成像 高度计 检测器 遥感、遥测	通信卫星 合成孔径雷达 辐射计 天文 低轨道移动系统 可控相控阵天线 遥感、遥测	卫星 TVRO 移动电话 VSAT 地球终端 无线局域网、GPS、智能卡、蓝牙系统 高速网络接入、医学系统 安检系统

3.2　实用电路举例

微波单片集成电路包含的种类很多，下面仅对几种主要使用的电路形式加以介绍。

3.2.1　放大器

在发射接收系统中，低噪声放大器和功率放大器对于信号的接收和发射起着重要作用。在接收机中，信号由天线接收，经过滤波器滤除带外信号，低噪声放大器放大有用信号，然后经过下变频器变为基带信号，经过 A/D 转换，DSP 处理，使用户得到需要的信息。在发射系统中，基带信号通过调制，上变频，传输到功率放大器，经功率放大器放大后得到足够的发射功率，经过滤波器滤除带外信号，传送到天线发射。

1）低噪声放大器　低噪声放大器（low noise amplifier，简称 LNA）是射频接收机前端的主要部分。它主要有以下几个特点：首先，它位于接收机的前端，这就要求它的噪声系数越小越好。为了抑制系统噪声，要求 LNA 有一定的增益，为了避免后级的混频器引起的非线性失真，增益不宜过高，而且在工作频段要求稳定。其次，要求低噪声放大器是小信号线性放大器。第三，要求低噪声放大器的输入输出跟外接元件很好地匹配，以便达到最大功率传输和最小噪声系数。

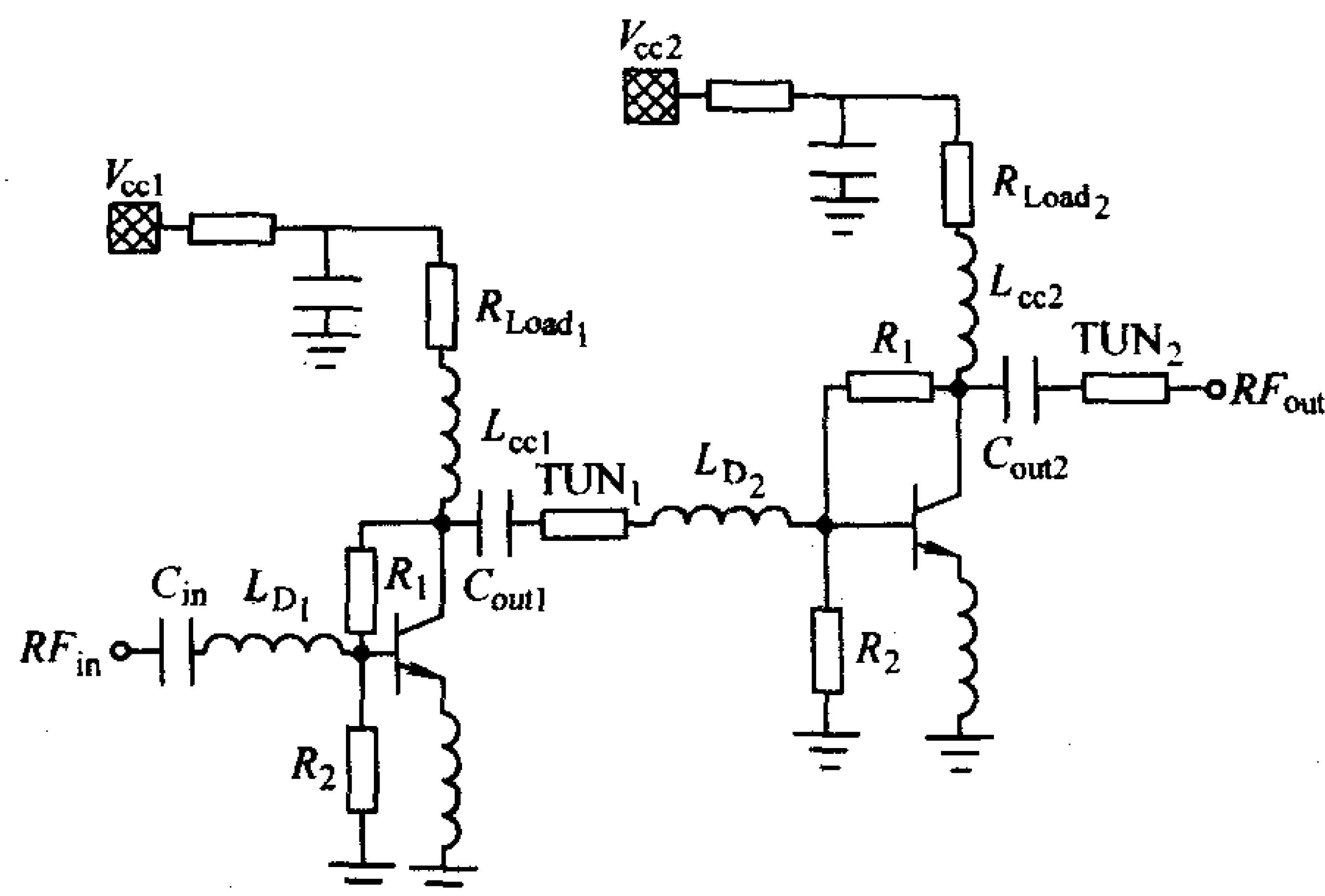


图 3.7-20　C 波段二级自偏置 HBT 低噪声放大器电路

图3.7-20所示为2级HBT工艺设计的自偏置C波段LNA，该LNA的指标如下：增益25 dB；增益平坦度优于0.5 dB，噪声系数1.2 dB，输入输出电压驻波比小于2.0，

目前采用Bipolar，Bi－CMOS或者GaAs工艺设计低噪声放大器，其电路结构都是差不多的，都是由晶体管，直流偏置，输入匹配，级间匹配，输出匹配和负载七大部分组成。

2）功率放大器　功率放大器用于发射机的末级，它将已调制的频带信号放大到所需要的功率值，送到天线中发射，保证在一定区域内的接收机可以接收到满意的信号电平，并且不干扰相邻信道的通信。

功率放大器最重要的指标是输出功率和效率，根据这两点，可以将功率放大器分成A、B、C、D、E、F类，归纳这些分类原则，大致可以分为两种：一种是按照晶体管的导通情况来分，另一种是按照晶体管的等效电路分。

按照信号一个周期内晶体管的导通情况，即按照导通角大小，功率放大器可以分为A、B、C三类。在信号的一周期内管子均导通，导通角 $\theta=180°$（在信号周期一周内，导通角度的一半定义为导通角 θ），称为A类。一周期内只有一半导通的称为B类，即 $\theta=90°$，导通时间小于一半周期的称为C类，此时 $\theta<90°$。

如果按照晶体管的等效电路分，则A、B、C类属于一大类，它们的特点是：输入输出均为正弦波，晶体管都等效为一个受控电流源。而D、E、F属于另一类功放，它们的特点是，输入是矩形波，晶体管被等效为受输入信号控制的开关，它们的导通角都近似为90°，都属于高效率的非线性功率放大器。

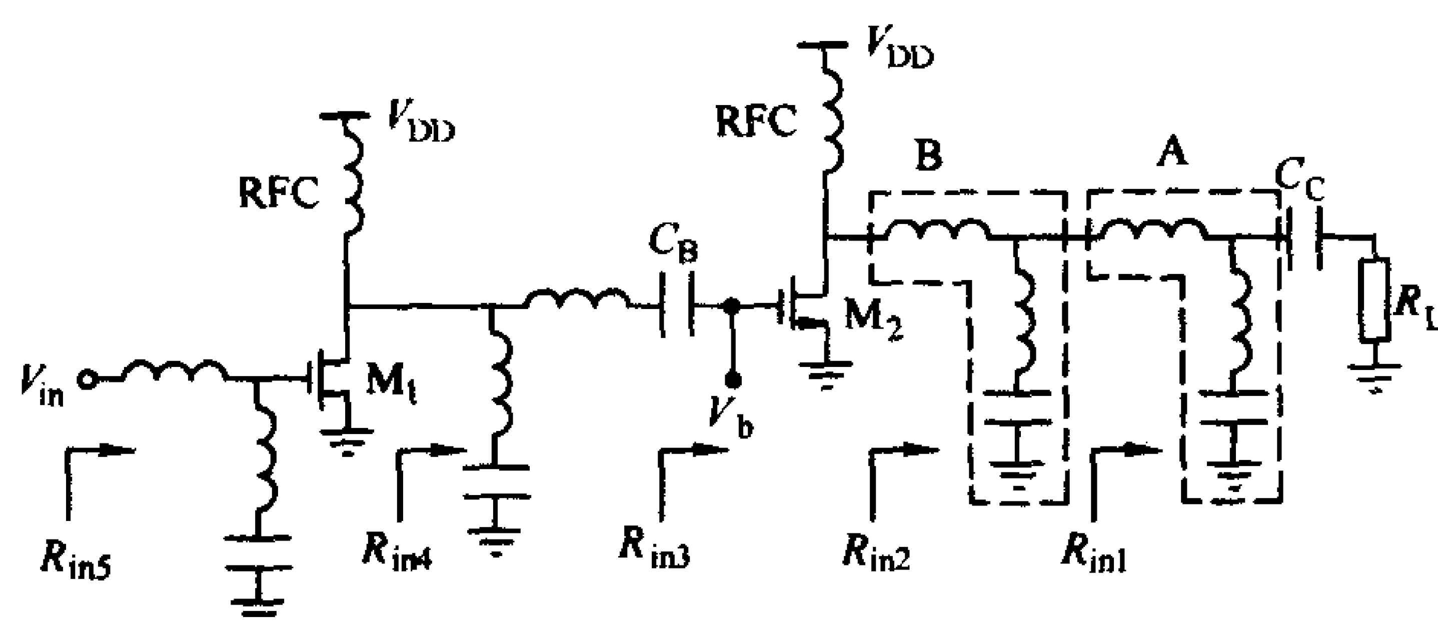


图3.7-21　功率放大器电路

图3.7-21为功率放大器电机该电路采用两级放大，输入输出端均与50 Ω阻抗匹配。由于两级放大器有较高的二次谐波分量，为了抑制二次谐波，在每级L网络到地支路设置一个串联谐振点，在该功率放大器中，各个L网络到地支路所采用的片内电容加上杂散电感的作用，恰好提供约在工作频率点附近的自谐振点，适当调整此自谐振频率值，使其在输入信号的二次谐波附近处谐振，则阻抗最小，吸收了二次谐波。

3.2.2　移相器

移相器是控制RF信号相位变化的元件，广泛地应用于雷达系统、微波通信系统和测量系统；根据控制方式的不同，可以分为模拟移相器和数字移相器。模拟移相器通过控制阻抗网络的电抗实现RF信号相位的连续变化，常用的可变电抗元件为变容二极管，相位的变化范围有限，通常用于数字移相器的相位修正；数字移相器采用微波开关控制信号的终端阻抗或信号通路的相位延迟实现RF信号的相位离散变化，n 位数字移相器可以提供 2^n 个离散的相位状态，相位步进值为 $360°/2^n$。常用的电路拓扑形式为：反射型、加载线型、开关线型和高通/低通滤波器型；移相器的技术指标主要有：工作频带、相移量、相移精度、插入损耗、插损波动、电压驻波比、功率容量、移相器响应时间等。

（1）反射型移相器

反射型移相器的基本结构是在RF传输路径上接入电抗性负载，控制改变接入终端的阻抗特性，改变其反射系数的相位，从而使入射波和反射波之间产生相位移。

在实际电路中，需要将RF输入信号和输出信号分隔，常用环形器或3 dB定向耦合器作为分隔元件实现输入和输出RF信号的分离。3 dB定向耦合器相对于环形器的特点是：容易采用集成电路工艺实现单片集成；需要用两个微波开关，虽然多用了器件，但是每只开关只承担一半功率，因而移相器的功率容量增加了一倍。3 dB定向耦合器常用电路形式为分支线耦合器和耦合线耦合器（如兰格耦合器）。

（2）加载线型移相器

图3.7-22所示为一个由微带线组成的加载线型移相器。主传输线电长度为 θ，特性导纳为 Y_1。在它两端用并联微带分支线和FET开关进行加载，分支微带的电长度为 θ_2，特性导纳为 Y_2。假定FET为理想开关，当FET开关处在导通状态时，主线两端并联电纳是 jB_+；FET开关断开时，主线两端并联电纳是 jB_-。在这两种情况下移相器分别等效为不同电长度 ϕ_+ 和 ϕ_- 的传输线，传输线特性导纳为 Y。参见图3.7-22b和c。则移相器的相移量就是 $\Delta\phi=\phi_+-\phi_-$。

（3）开关线型移相器

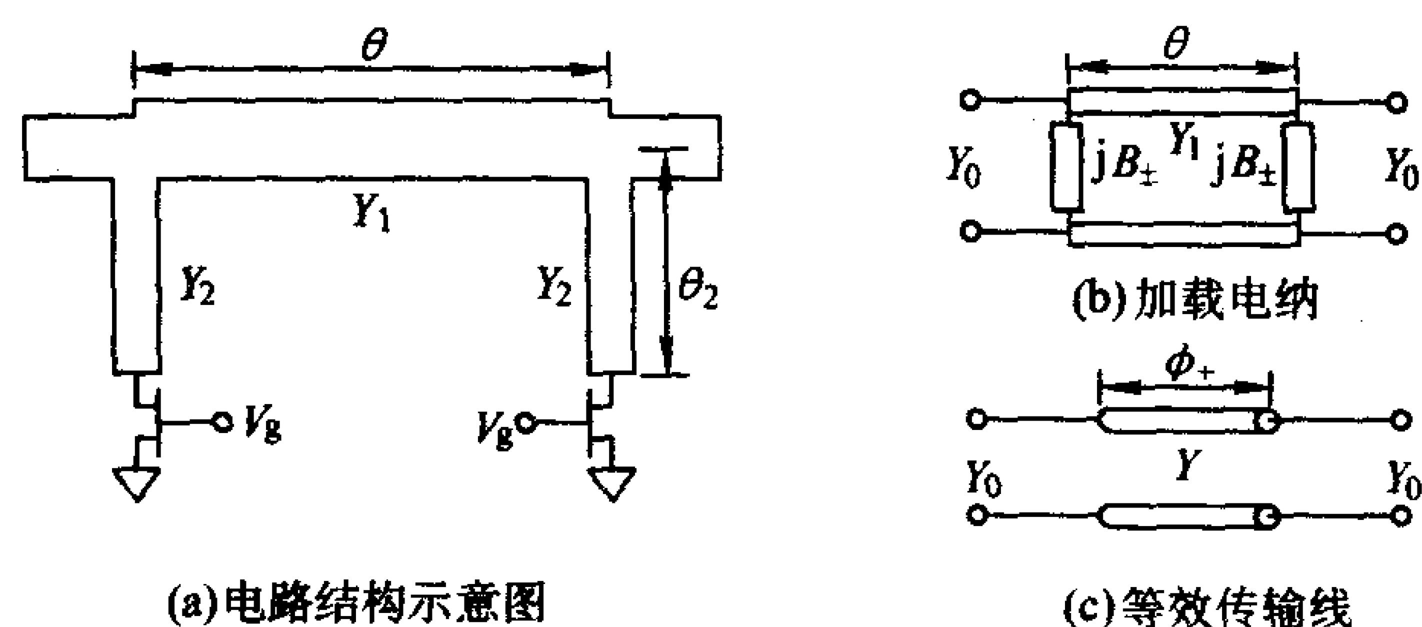


图3.7-22　加载线移相器

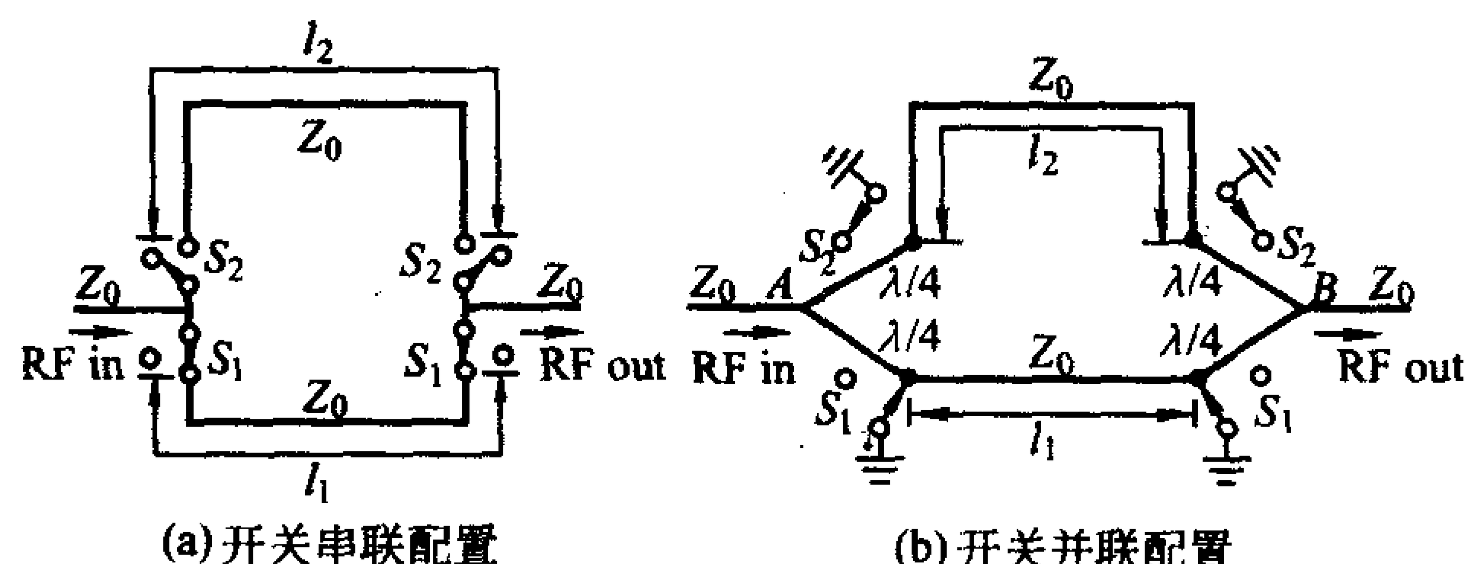


图3.7-23　开关线移相器电路示意图

开关线型移相器是基于传输线延迟的电路理论，电路基本原理示意图如图3.7-23所示，一种是开关串联配置形式，另一种为开关并联配置形式，l_1 和 l_2 是两条不同长度的微带线或任意微波传输线。在开关串联偏置电路中（图3.7-23a），当开关 S_1 和 S'_1 闭合，S_2 和 S'_2 断开时，微波信号通过传输路径 l_1 传输；当开关状态相反，S_1 和 S'_1 断开，S_2 和 S'_2 闭合时，信号通过传输路径 l_2 传输。由于信号传输路径 l_1 和 l_2 的长度不同，传输信号的角度变化不同，两种开关状态之间的转换使微波信号通过不同的传输路径而实现相位移为 $\Delta\phi=\beta(l_2-l_1)$，$\beta$ 为传输线的传播常数（假设所有传输线具有相等的传播常数和特性阻抗 Z_0）。

（4）高通/低通滤波器型移相器

微带线移相器电路主要应用在微波、毫米波频段。在低频段，微带线移相器的物理尺寸较大，因而低频段移相器电路普遍采用高通/低通滤波器型电路。采用单片集成电路技术，使用FET作为开关元件，高通/低通滤波器型移相器用集总元件组成，可以做成十分紧凑的宽带移相器，而实际的电路芯片尺寸将主要由开关的尺寸来决定。

高通/低通滤波器型移相器是由开关线型移相器发展而来，开关网络由高通和低通滤波器组成，如图3.7-24所示。当微波信号通过高通滤波器时，相位超前；通过低通滤波器时，相位滞后；信号在两滤波器电路之间转换时，实现相位移。它的特点是两种滤波器的频率响应不同，高通滤波器的超前相位随频率的升高而减小，低通滤波器的滞后相位随频率的升高而增大，二者的相位变化互相补偿，因此高通/低通滤波器型移相器可以在较宽频带上实现平坦的相位移频率响应，或者获得所希望频率响应的相位移，适于宽频带应用。

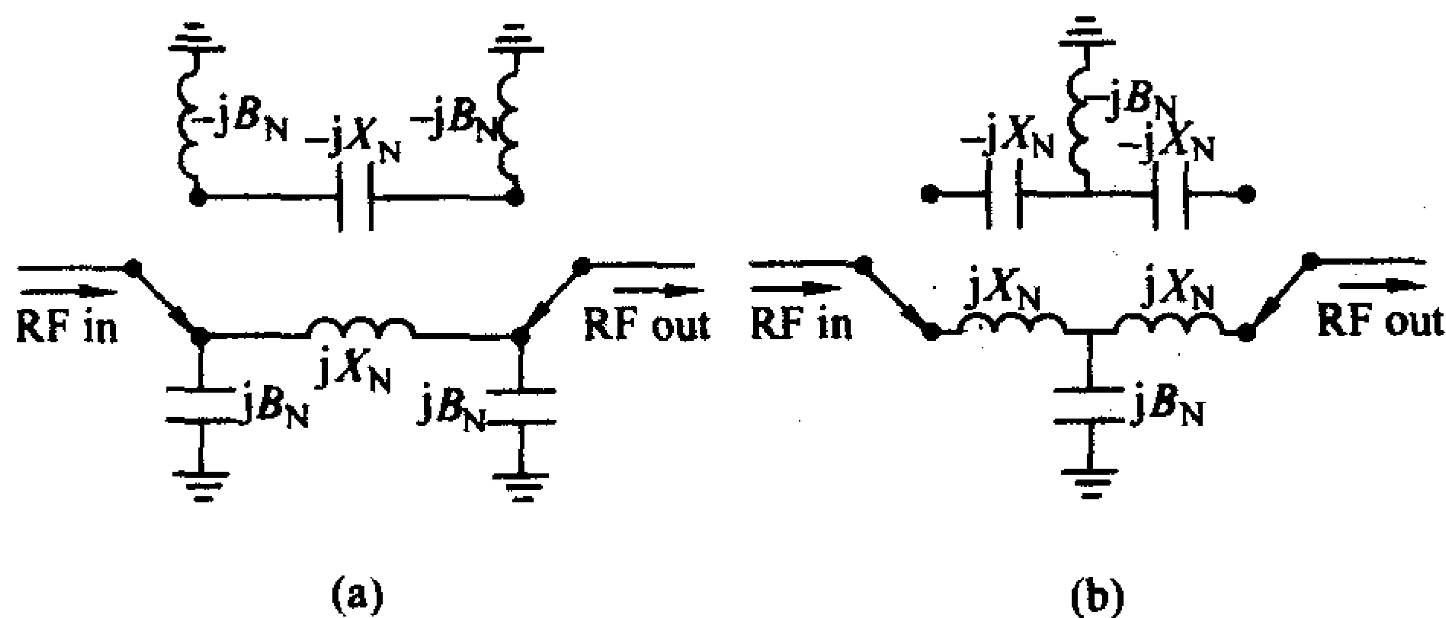


图3.7-24 高通/低通滤波器型移相器

3.2.3 混频器

(1) 原理

混频器是几乎所有射频和微波通信收发系统和信号发生器的关键部件，其基本功能在于转换信号的频率，使之更容易被放大、滤波以及传输。根据输入射频信号RF的频率w_{RF}与输出中频信号IF的频率w_{IF}之间的大小关系，混频器可以分为两种：若$w_{IF} > w_{RF}$，则称之为上混频，一般用于发射系统中；反之则称为下混频，用于在接收系统中将输入高频信号转化为易于被后端数字部分处理的中频信号。

混频器基本结构框图如图3.7-25所示。

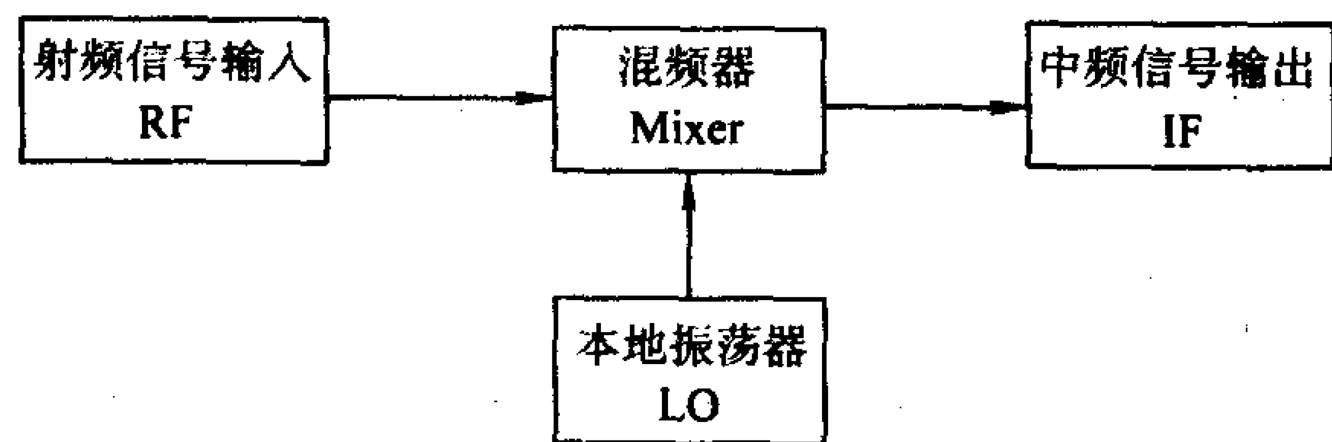


图3.7-25 混频器基本结构框图

由图3.7-25可知，混频器是一个三端口器件，由本地振荡器提供频率为w_{LO}的本振信号来对输入射频信号进行频谱搬移，实行频谱搬移的基本原理是将两个信号相乘，其数学原理如下：

输入射频信号：$v_{RF} = V_{RF}\cos w_{RF}t$

本振信号：$v_{LO}(t) = V_{LO}\cos w_{LO}t$

两信号相乘可得 $v_{LO}\ v_{RF} = \frac{1}{2}V_{LO}\ V_{RF}\begin{bmatrix}\cos(w_{RF}-w_{LO})t \\ +\cos(w_{RF}+w_{LO})t\end{bmatrix}$，得到由射频信号频率和本振信号频率组合而成的两个频率分量$w_{RF}-w_{LO}$和$w_{RF}+w_{LO}$，由此则实现了频谱的搬移，之后再通过滤波器，则可取出所需要的频率。

(2) 混频器性能指标

常见衡量混频器的指标有增益，噪声系数，1 dB压缩点，三阶互调截点以及口间隔离。

混频器的增益定义为输出中频信号的大小与输入射频信号大小之比。需要注意的是，在混频器使用中，经常会遇到输入阻抗和输出阻抗匹配到不同阻抗的情况，此时混频器的功率增益和电压增益的分贝数值是不等的。

混频器的噪声根据射频信号与本振的频谱关系可以分为两种，若射频信号位于本振的一侧，则经过混频后混频器不仅将有用信号频带内的噪声，也将位于镜像频带内的噪声搬到了中频。此时测得的噪声系数称为单边带噪声系数。若射频信号分布于本振信号的两侧，则没有镜频，混频之后仅将信号频带内的噪声搬到了中频，此时测得的噪声系数则为双边带噪声系数。

口间隔离是衡量混频器性能的重要指标。该指标包括三项，信号与本振之间的隔离度，信号与中频之间的隔离度，本振与中频之间的隔离度。隔离度定义是本振或信号泄漏到其他端口的功率与原有功率之比，单位为dB。信号至本振隔离度是个重要指标，尤其是在共用本振的多通道接收系统中，当一个通道的信号泄漏到另一通道时，就会产生交叉干扰。本振至射频信号的隔离度不好时，本振功率可能从接收机信号端反向辐射或从天线反发射，造成对其他电设备的干扰。一般单管混频器的隔离度较差，为了提高隔离度，可以采用平衡结构的混频器，依靠平衡电桥来获得较好的隔离。

(3) 常见混频器拓扑

混频器有单管式混频，两管平衡式混频和多管式混频。单管混频只用一支管子，结构简单，成本低，但噪声高，抑制干扰能力差，在要求不高处可以采用；平衡式混频器借助于平衡电桥可使本机振荡器的噪声抵消，因而噪声性能得到改善，电桥又使信号与本振之间达到良好隔离，因此平衡混频器是最普遍采用的形式；还有多二极管的混频器，比如管堆式双平衡混频器，是在单平衡混频器的基础上发展起来的电路结构；场效应管则利用场效应管在$v_{GS} > v_{GS(th)}$且v_{DS}很小时场效应管处于线性电阻区的特性获得很好的特性指标；镜频抑制混频器等是为特殊要求而设计的，可用于多倍频程设备、镜频能量回收或自动抑制镜频干扰等。

3.2.4 振荡器

频率产生源是大多数电子系统中不可缺少的组成部分，更是无线系统的核心。在微波毫米波电路如无线通信、汽车雷达、光纤通信系统中，一个高频、稳定、低相噪声、可调的振荡器是整个系统获得良好性能的关键因素之一，也往往是这些系统固体化、小型化、集成化的难点所在。以前作为微波固态源的是转移电子器件振荡器、雪崩二极管振荡器、微波双极晶体管振荡器等。现在GaAs场效应晶体管（FET）已在几千兆赫兹到几十千兆赫兹的范围内占据了固态微波振荡器的主导地位。GaAs FET作为固态源，比双极晶体管的工作频率高、振荡效率高，比两端器件直流射频转换效率高。例如二极管耿氏振荡器由于必须要一定阈值电流，所以只有3%～5%的转换效率。而典型的GaAs FET转换效率可达15%～25%。这是因为FET不需要阈值电流，只是根据输出功率要求调整工作电流值大小。与两端器件相比，GaAs FET还具有频率稳定度和频率调谐更容易，温度补偿方便，具有更多的功能和灵活性。

(1) 振荡器的主要指标

1）输出振幅　通常我们希望输出的振幅比较大，这样输出波形对噪声不敏感。输出振幅在调谐范围内的变化也要尽可能小。

2）功耗　振荡器典型的功耗在1～10 mW。

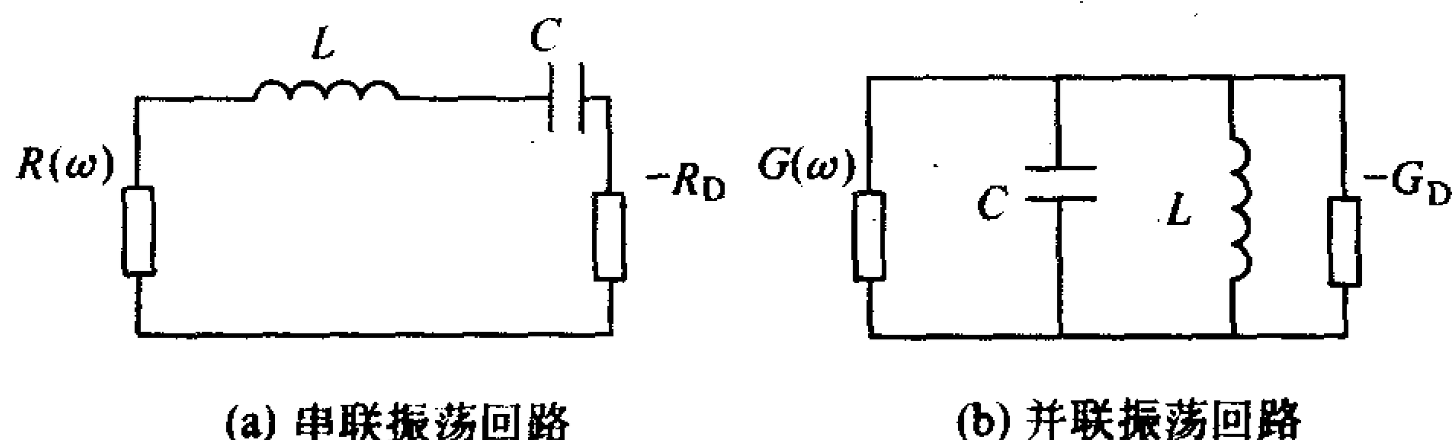
3）噪声　理想的振荡器的输出信号只有一个频率，但实际中不可能做到，总是会有一些其他频率的信号，我们用相位噪声来描述。或者可以用频率稳定度来描述，这两种描述方法在本质上是一样的。

4）频率准确度　一般我们要求振荡器的频率准确度在10^{-6}数量级。

5）其他指标　振荡器还有一些指标如工作温度范围、谐波抑制、频漂等。对于振荡器中很重要的VCO（压控振荡器）来说，压控线性度和调谐范围是非常重要的指标。

（2）振荡器起荡条件和平衡条件

下面我们首先讨论负阻振荡器的起振条件。如图3.7-26b所示，负阻元件与串联回路相连接。设电流为 i，则可以建立电流微分方程为



(a) 串联振荡回路　　(b) 并联振荡回路

图3.7-26　起振时包含负阻器件的振荡回路

$$L\frac{di}{dt}+(R(\omega)-R_D)i+\frac{1}{C}\int idt=0 \quad (3.7\text{-}24)$$

求解此微分方程解为

$$i=Ie^{-at}\cos(\omega t+\varphi) \quad (3.7\text{-}25)$$

由上式可以看出，振荡器回路中的电流是一个正弦振荡波。式中 $a=(R(\omega)-R_D)/2L$，因此只要：

$$R(\omega)<R_D \quad (3.7\text{-}26)$$

电流的振幅就会随时间而变大。因为电路中总会有一些初始电流（如开关带来的冲击或噪声），因此上式实际上就是串联回路负阻振荡器的起振条件，即要求负阻器件的小信号负阻的绝对值大于外电路的电阻。而且从式（3.7-25）中可以看出 a 的绝对值越大，电流的增加速度越快，电路的起振速度就越快。

当采用并联振荡回路时，我们用类似的方法可以得到并联回路负阻振荡的起振条件为负阻器件的小信号负电导的绝对值大于外电路的电导，即

$$G(\omega)<G_D \quad (3.7\text{-}27)$$

式（3.7-26）和式（3.7-27）只适用于判断起振。当电路起振后，器件的阻抗是振幅的函数。实际中，负阻元件阻抗的绝对值会随着振荡幅度的增大而减小。因此振荡不可能无限制持续增长，而会逐渐趋于某种稳定状态。当振荡器处于平衡状态时，希望是稳定平衡状态。即当受到外界因素扰动时，振荡器能自动恢复到原来的平衡状态。稳定条件可以分为振幅稳定条件和相位稳定条件。

振荡器平衡时，环路增益 $T=1$，反馈电压 $V_F=TV_i$。假设在平衡点处一外界扰动使 V_i 增大，为了保持平衡则要求 T 减少。同理 V_i 减小则需要 T 增大。因此振荡器的振幅稳定条件是要求在平衡点满足：

$\left.\frac{\partial T}{\partial V_i}\right|_{平衡点}<0$，而且环路增益 T 随 V_i 变化的越快，振幅的稳定性越好。

当外界突发的扰动使振荡器的输出信号的相位（φ）超前时，意味着频率上升。而如果信号相位滞后则意味着频率下降。因此振荡器的相位稳定条件也就是它的频率稳定条件。为了保证振荡器的频率稳定，当外界扰动使振荡器的频率 f 增大时，要求 φ 减小。而当外界扰动使振荡器的频率 f 减少时，要求 φ 增大。

$$\left.\frac{\partial\varphi_T}{\partial\omega}\right|_{平衡点}<0$$

并联谐振回路的相位特性和回路有载品质因数 Q 直接相关。回路的 Q 值越高，$\varphi-\omega$ 曲线就越陡，振荡器的频率稳定性就越好。

4 先进的化合物半导体器件

化合物半导体器件和电路在无线通信和光纤通信领域具有不可替代的地位，随着通信容量的急剧增大，对低功耗、单电源、低电压工作的移动终端也提出越来越高的要求，相对成熟的GaAs基HEMT和HBT器件已经无法满足这一新的需求，必须在新的材料体系下开发综合性能更高的器件和电路。基于InP衬底的一些新的异质结材料组合的第二代化合物半导体材料和以GaN、SiC为代表的第三代化合物半导体材料具有优越的材料特性，发掘新材料体系的潜力，开发高性能器件、电路成为微电子领域的一个研究热点。

4.1 InP基器件

随着空间防御应用对高性能电子产品的要求，GaAs基器件和电路已无法满足应用，从而推动了InP异质结技术的发展。在过去10年里，各大公司和研究所发展了InP基HBT和HEMT用于导弹的关键技术。此外，MBE技术的不断发展，改善了器件和电路的性能，高产量、高可靠性已使InP成功地应用于空间和防御系统中。

InP与GaAs相比，击穿电场、热导率、电子平均速度更高，而且在异质结InAlAs/InGaAs界面处存在较大的导带不连续性、二维电子气密度大、沟道中电子迁移率高等优点，决定了InP基器件在化合物半导体器件中的领先地位。目前InP HEMT已经成为毫米波高端应用的支柱产品，器件的 f_T 和 f_{max} 分别达到340 GHz和600 GHz。InP HBT有望在大功率、低电压等方面开拓应用市场。

4.1.1 InP HEMT

近年来，InP基HEMT的研究在微波毫米波低噪声器件及功率器件领域占有越来越多的份额。与GaAs基PHEMT相比，AlInAs/GaInAs/InP结构具有更高的沟道电子浓度，更高的室温电子迁移率［10 000对应6 000 $cm^2/(V\cdot s)$］，更高的电子漂移速度。InP基HEMT的 f_T 比GaAs基PHEMT高出约30%。在功率器件应用方面，由于InP的热导率高出GaAs 40%，在相同耗散功率工作状态下InP基器件的沟道温度更低。图3.7-27给出典型AlInAs/GaInAs/InP HEMT的结构示意图。

PHEMT的工作原理和HEMT相似，它是在双异质结界面中间的InGaAs层沟道形成二维电子气，电子气的密度和器件的电流密度受栅电压的调制，电荷控制层决定器件阈值电压和栅电压的摆幅。

目前InP基HEMT是毫米波高端应用最好的低噪声器件，自1987年问世后短短几年，工作频率达到w波段，噪声已降低到令人惊讶的程度。TRW公司研制的0.1 μm栅长的InAlAs/InGaAs/InP HEMT在95 GHz下，噪声系数NF仅1.3 dB，相关增益高达8.2 dB，在140 GHz下小信号增益高达5.8 dB。美国通用电气公司电子实验室研制的0.15 μm栅长的InAlAs/InGaAs/InP HEMT，最高截止频率达到455 GHz。



图3.7-27　典型AlInAs/GaInAs/InP HEMT的结构示意图

4.1.2 InP HBT

过去制作HBT的首选材料是AlGaAs/GaAs，这正是我们前面讨论的内容。因为AlGaAs和GaAs晶格常数相近，它即可制作成突变结，也可制作成缓变结。近年来随着外延技术

的成熟，InP基材料逐渐应用于HBT器件。图3.7-28给出InGaAs/InAlAs/InP HBT器件的结构示意图。从图中可见，InP基HBT器件采用InGaAs作为基区，由于InGaAs基区优于GaAs基区，能得到更高的电子速度，较低的发射极－基极开启电压，较好的噪声特性，因而更适用于高速低功耗电路。

4.2　GaN电子器件的原理和发展趋势

GaN首先由Johnson等人合成。未有意掺杂的GaN在一般情况下都呈n型。AlGaN/GaN系材料通常用于组成GaN器件的外延结构中，AlGaN的禁带宽度更大，其电学特性使其很适合微波大功率方面的应用。GaN与各种半导体材料的比较见表3.7-1。

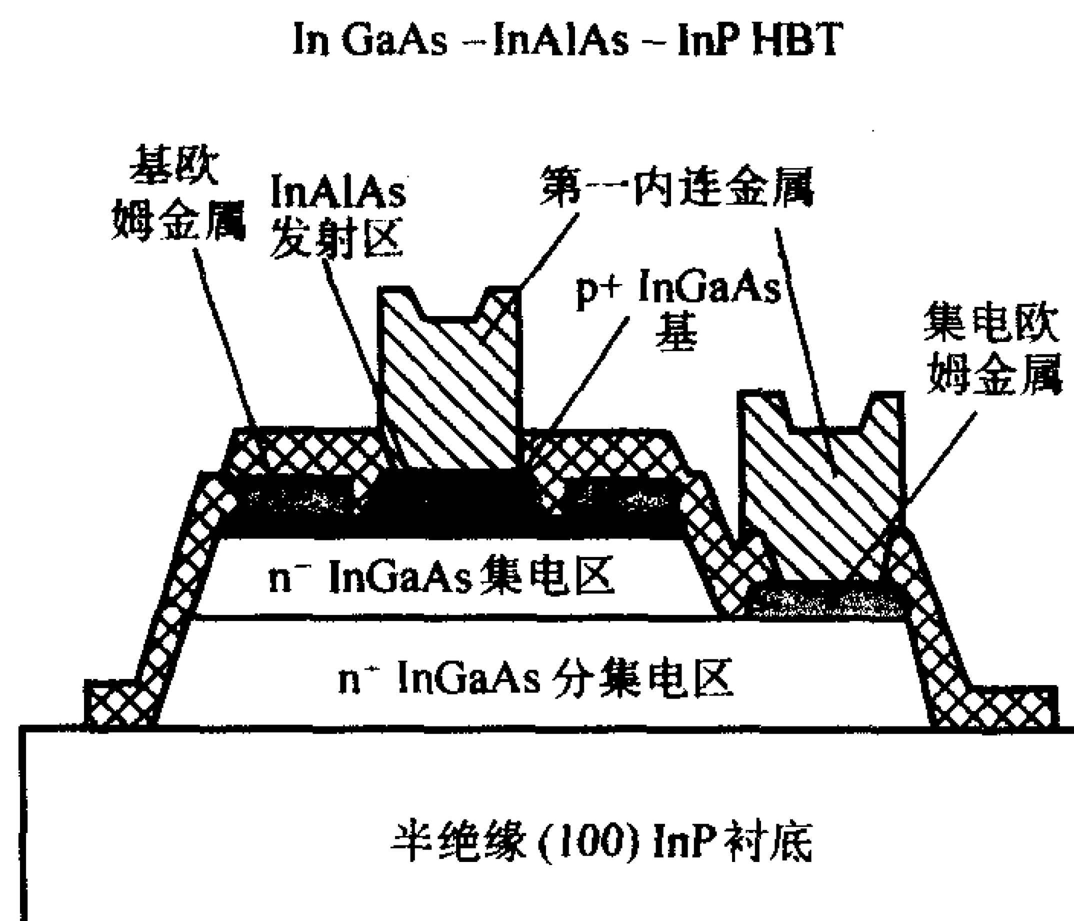


图3.7-28　InGaAs/InAlAs/InP HBT器件的结构示意图

从表3.7-1中可以看出GaN的禁带宽度为3.26，是Si的3倍，是GaAs的2.5倍，GaN的击穿场强为3.3 MV/cm，分别是Si的11倍、GaAs的8倍。我们知道击穿电压与击穿场强的平方成正比，因此GaN器件的击穿电压将比Si和GaAs高50～100倍，目前GaN材料的最高击穿电压可达500 V以上。此外，GaN中电子的饱和漂移速率 V_s 很高，可达 2.7×10^7 cm/s，大于Si和GaAs，而而HEMT器件的最大源漏电流与电子的饱和漂移速率 V_s 成正比。因此，GaN器件可以获得更高的工作频率和更大的输出电流。高工作频率，大电流，高的击穿电压可以使器件获得高的附加增益（PAE）。

1993年，Khan等人首次报道GaN基电子器件——GaN MESFET，采用蓝宝石衬底外延600 nm GaN材料，其掺杂浓度和电子迁移率分别为 $1\times10^{17}/\text{cm}^3$ 和350 cm^2/V_s，4 μm栅长器件性能为：I_{max} = 180 mA/mm、g_m = 23 mS/mm。目前M.W.Shin等人报道性能最好的GaN MESFET器件：I_{max} = 500 mA/mm、g_m = 93 mS/mm，在工作频率8 GHz、V_{ds} = 40 V、V_{gs} = －3.5 V的偏置条件下，器件可产生约4 W/mm的输出功率，其PAE为50%，23 dBm输入功率下的线性增益为20 dB。通过减小栅长、改变沟道掺杂和接触技术，GaN MESFET的 f_T 可以达到40 GHz以上。这充分说明GaN器件的良好输运特性使它可以成为微波大功率高温器件的新选择。

1994年，Ozgur等人借鉴GaAs HEMT器件结构研制出首个GaN HEMT器件，采用MBE生长蓝宝石衬底上AlGaN/GaN外延结构，其电子迁移率和二维电子气浓度分别为500 cm^2/V_s 和 $1.2\times10^{13}/\text{cm}^2$，3 μm栅长器件的性能为：$I_{max}$ = 300 mA/mm、g_m = 120 mS/mm。1996年，随着外延技术和器件工艺技术的提高，器件性能得到迅速改善，1 μm栅长器件的性能为：I_{max} = 600 mA/mm、g_m = 120 mS/mm、f_T > 18.3 GHz。GaN基器件电流密度首次超过GaAs基器件，得到各国研究机构和军方的重视，从此GaN基器件步入快速发展阶段。

随着外延技术、二维电子气形成机理和器件工艺技术的发展，1996年，Wu等人首次报道具有功率指标的GaN HEMT器件，在蓝宝石衬底上用MOCVD生长AlGaN/GaN外延结构，其电子迁移率和二维电子气浓度分别为1 200 cm^2/V_s 和 $7\times10^{12}/\text{cm}^2$，1 μm栅长AlGaN/GaN HEMT器件的性能为：I_{max} > 500 mA/mm、f_T = 9.6 GHz、f_{max} = 20 GHz，在4 GHz时，器件线性功率增益为12.5 dB、PAE为20%、功率密度为1.6 W/mm。1997年，器件性能进一步提高：0.2 μm栅长AlGaN/GaN HEMT的 f_T = 50 GHz、f_{max} = 70 GHz，在10 GHz时，器件线性功率增益为11 dB、PAE为23%、功率密度为1.7 W/mm。这一结果显示AlGaN/GaN HEMT在微波和毫米波应用方面有极大的潜力。目前AlGaN/GaN HEMT的 f_T 已经达到106 GHz，PAE达到57%。

由于蓝宝石衬底热导率仅为0.3 W/（cm·℃），GaN功率器件散热问题成为其应用的障碍。1997年，Thibeault等人采用AlN基板倒扣散热的方案，研制出栅长为1 mm、2 mm、4 mm、6 mm的功率器件，工作电流、输出功率（4 GHz）和PAE分别为：0.8 A、1.4 A、2.3 A、3.5 A，2.1 W、3.2 W、5.5 W、7.6 W，33%～53%。GaN功率器件开始进入实验应用领域。另一方面，研究者采用SiC衬底外延GaN材料解决器件散热问题和提高器件性能，1998年Sullivan等首次报道了在4H－SiC衬底上的大尺寸GaN功率器件，0.7 μm栅长的AlGaN/GaN HEMT器件性能为：I_{max} > 1 100 mA/mm、f_T = 15 GHz、f_{max} = 42 GHz，在10 GHz时，1.28 mm器件的线性功率增益为3.6 dB、PAE为13%、功率密度为2.3 W/mm。这些数据优于蓝宝石衬底的GaN器件。2000年，S. T. Sheppard等人在半绝缘SiC上实现的0.15～0.2 μm栅宽的HEMT器件，功率密度达到5.3～6.9 W/mm。10 GHz下功率附加效率PAE典型值为35.4%，功率增益为9.2 dB。最近SiC衬底上AlGaN/GaN HEMT的功率密度在 f = 8 GHz时达到9.8 W/mm，其功率转换效率（PAE）达到44%～47%，在超高功率密度器件方面显示出极大的潜力，是相同波段情况下所有场效应晶体管（FET）中功率密度最高的，超过GaAs FET的10倍。这是一种突破，它证实了半绝缘4H－SiC上生长的AlGaN/GaN HEMT用于X波段大功率器件和电路的能力。美国Cree公司称最新研制的GaN HEMT在2 GHz时输出功率已经达到180 W，比现有任何一种器件的功率都要高，这将使单级微波功放成为可能。

另外，最近Cree公司研制成功第一个40 W GaN MMIC单片放大器，所研制电路的工作频率为10 GHz，脉冲功率为40 W。同时，Cree还报道另一种生长在半绝缘SiC衬底上的GaN MMIC，在9.4 GHz时，RF功率为20 W，增益为14 dB，PAE为20%。Cree坚信，GaN MMIC研制成功标志着宽带隙MMIC基放大器时代的到来。

4.3　SiC电子器件的原理和发展趋势

SiC也是第三代最具有代表性的半导体材料之一。由于SiC具有宽带隙（3.2 eV，大约是GaAs的2倍和硅的3倍）、高击穿电场（4×10 E⁶ V/cm，是Si和GaAs的5倍）、高电子峰值速度（室温饱和漂移速度达到 2.7×10^7 cm/s，为Si的2.5倍和GaAs的2倍）、高热导率[4.9 W/（cm·K)]，是Si的3.3倍和GaAs的11倍，在所有半导体和绝缘体中是最高的），而且热稳定性和化学稳定性相当好。

这些特点非常适合于制作高温、高压、大功率、抗辐射半导体器件，使得SiC材料具有巨大的应用潜力。SiC功率器件的最高工作温度达到650℃，是Si的3～4倍。4H-SiC肖特基二极管的通导电阻比砷化镓和硅的低15倍和1 000倍。功率密度是3.3 W/mm，是GaAs MESFET的10倍，估计

4H-SiC MESFET 最高使用频率将超过 42 GHz。在同样的电压阻断能力下，SiC 功率开关器件需要的外延层厚度比 Si 少几倍，因此可以有更少的导通压降，由于高温和散热性能好，SiC 功率开关器件有更好的功率密度和抗冲击能力。

20 世纪 90 年代以来，对 SiC 材料及器件的的研制越来越受到美、日、西欧的关注。日本通产省已宣布一项为期三年的“硬电子国家计划”研究目标，总投资 5070 亿日圆，制造较大直径的单晶衬底并对器件制作难题进行了同步研究，已经陆续研制出来一些单晶和高压器件。1997 年 8 月，美国 Cree 公司宣布研制成功 n 型 4H 和 6H 的 50.8 mm（2 in）的 SiC 晶片，接着在斯德哥尔摩召开的Ⅳ-Ⅳ族和Ⅲ-Ⅴ族材料国际会议上，又宣布了 76.2 mm（3 in）的研究结果。目前在美国至少有三家公司从事 SiC 晶片的生产，他们分别是诺斯洛普·格鲁曼、Cree 和 ATMI，其中 Cree 公司向市场出售 34.93 mm（1.375 in）的 SiC 晶片，2001 年开始大批量出售 50.8 mm（2 in）的 SiC 晶片。此外俄罗斯和西欧的一些公司或者研究所也在制造 SiC 晶片。

现已开发出许多类型的 SiC 分立电子器件，包括二极管、JFET、MESFET、MOSFET、HBT、SIT 等。肖特基二极管 300℃时耐压可达 1 400 V，2 V 正偏时电流密度超过 700 A/cm^2。1996 年亚微米栅长的 6H－SiC MESFET 的 f_{max} 为 25 GHz，频率 6 GHz 时输出功率 3.5 W/mm，单位栅宽输出功率是 GaAs FET 输出功率的三倍以上。1998 年 Cree 公司向市场演示了连续波输出功率为 53 W（工作频率 3 GHz）的 SiC MESFET，其管芯面积仅仅 3 mm^2，在如此小的面积上获得如此高的功率真是史无前例的，这是一项重大的进展，真实地表明 SiC 微波器件具有非常高的功率容量。Cree 和 Motorola 合作研制 SiC MESFET，得到了采用宽禁带半导体以来获得的增益附加效率（PAE）的最高值——超过 65%。

在集成电路的开发方面，1992 年制造出第一块 SiC 基运算放大器，1994 年通用电子公司（GE）又制造出单片运算放大器，300℃时的增益为 49 dB、增益带宽为 724 kHz，高温下的高速电路是研究的热点。Purdue 大学已经制作出 NAND、NOR、XOR、ADD 和 11 级环行振荡器等多种电路。

编写：刘新宇（中国科学院微电子研究所）

第8章 集成电路的封装技术

1 集成电路封装的发展历程及趋势

当人类步入又一个新千年的时候，蓬勃发展的计算机、通信、汽车电子和其他消费类系统对微电子的封装技术提出了更高的要求，即：高性能、高可靠、多功能、小型化、薄型化、便携式及低成本，使微电子封装面临着严峻的挑战。在这一挑战中，世界各国的微电子封装技术已经并将得到空前的发展。

对于所有芯片，集成电路封装具有以下四种重要功能：①保护芯片免受由环境和传递引起的损坏；②为芯片的信号输入和输出提供互连；③芯片的物理支撑；④散热。

自从1947年世界上第一只晶体管的出现，人们发现晶体管有着惊人的优越性。于是很快在发达国家出现了集成电路（IC）和集成电路的封装技术。集成电路封装的历史始于四十多年前，当时仅采用金属和陶瓷两大类封装管壳。数十年来，集成电路封装技术一直追随着集成电路的发展而前进，一代集成电路，就有相关的一代集成电路的封装技术（以后也称为微电子封装技术）。

20世纪60年代、70年代中小规模集成电路，最早曾大量采用输入和输出（I/O）有几十个引脚的电子管形式（TO）的封装，后来发展成为这个时期的主导封装产品——双列直插型封装（DIP）。

80年代出现了表面贴装技术，相应的集成电路封装形式又发展成为适合表面贴装的扁平短引线或无引线（SMC/SMD）元器件结构，如低温共烧结元件（LTCC）、塑封有引线芯片载体（PLCC）、小外形封装（SOP）等，用以封装I/O数十个引脚的表面组装集成电路（SMIC）或较低I/O的大规模集成电路（LSI）；在此基础上，经十多年研制又开发出陶瓷四边引线扁平封装器件（QFP）、塑料四边引线扁平封装器件（PQFP），不但解决了较高I/O大规模集成电路的封装问题，而且适于用表面组装技术在印刷电路板（PCB）或在其他的基板上进行表面贴装，使陶瓷四边引线扁平封装器件和塑料四边引线扁平封装器件终于成为表面贴装技术的主导微电子封装形式。

90年代初，陶瓷四边引线扁平封装器件在不断缩小引脚间距达0.3 mm工艺技术极限时，对于封装、贴装、焊接更高I/O引脚的超大规模集成电路和某些专用集成电路的封装结构时遇到了难以克服的困难。这时，以面阵列排列、球形焊点为I/O的面阵结构引脚的插针栅格阵列封装（PGA）应运而生。直到近几年，又发展成为球栅阵列（μBGA），使封装达到不超过芯片尺寸的20 %，即所谓的芯片尺寸封装（CSP）。

1992年日本富士通首先提出了“芯片级尺寸封装”（CSP）概念。这种观念很快引起国际上的关注，它必将成为集成电路封装的一个重要热点。这类“芯片级尺寸封装”的结构不但具有封装器件的全部优点，还具有裸露芯片的所有长处，使微电子封装达到集成电路“最终封装”的境界。“芯片级尺寸封装”促使综合体现各类先进微电子封装技术的多芯片组装器件得以迅速发展。特别是“芯片级尺寸封装”的出现，使芯片可以真正实现预知成品率的器件（KGD——Know the Good Devices的缩写）。这就使多芯片组装器件的成品率大为提高，成本也随之降低，可望使多芯片组装器件走上工业化规模生产的道路。

随着国际网络、移动电话、掌上电脑、台式电脑和笔记本电脑、数码相机、数码摄像机与其他电子消费产品的不断扩展，倒扣技术（FCT）的兴起已完全展开。产品的功能性从未有过如此多的要求，即时上市并迅速量产，则变得越来越重要。倒扣技术（FCT），就是将芯片上有电路的那个面，对准相应的位置直接“叩”焊在电路的基板上。这样，不仅省去了通常用的引线键合工序，即用金属细丝连接相应压焊点（WB）的这一步，并且，由于芯片上的压焊点与相应的电路基板上的压焊点之间的、直接面对面的焊接，使得焊接强度更高、电学性能更好。倒扣封装目前存在于从很少引线腿的无线识别芯片（RFID），一直到超过2000个引线腿的球形栅网格阵列（BGA）的电子产品范围中。并且，基板技术已从传统的陶瓷转移到更广泛范围的有机材料，以确保众多不同的封装应用都能以倒扣技术来完成。近年来由于倒扣技术的持续不断的应用，已驱使了下一代量产的倒扣设备的需求，其中包括倒扣焊机（Bonder）、底部用胶填充机（Under fill）和涂布机（Dispenser）等。

封装电子元件有着不同的封装层次。将芯片封装到一个集成电路块中，被称为第一级封装。将一个或多个集成电路块装配到具有许多元件和连接件的印刷电路板上，被称为第二级封装。在大多数第二级封装中，使用Sn/Pb焊料（熔点183℃）将集成电路块焊接在印刷电路板上，也有将集成电路组件直接插入插座中，形成一个子系统。将一块或多块印刷电路板放入最终产品中（有时被称为线盒装配，像计算机的组装），形成一个功能系统，被称为第三级封装。

为进一步提高微电子封装密度，增加更多的功能，提高电子产品的性能、可靠性及进一步降低成本等，现正在各类先进封装的基础上，进一步向三维立体（3D）封装技术发展。特别是微电子封装专家已经设想并正在实施的集成化多芯片组装器件（MCM），将由以往的三级封装层次（芯片封装－印刷电路板上封装－母板上封装）变为单一的封装层次，即所谓单级集成模块（SLIM）。其中包含在基板夹层中埋有各种介质层、引线、电阻、电容、电感、波导管等各种无源器件，在基板表面再用表面组装技术的倒装焊的方法，焊接上各类元器件，成为高度集成化的3D－MCM。这种封装结构的Si效率（安装的芯片面积与基板面积之比）可由最初的8 %，到2000年已近40 %，预见到2010年单级集成模块的Si效率可达到80 %以上。

集成电路封装技术是跟随着集成电路的发展而前进的，不断出现的集成电路封装新技术，又进一步促进集成电路的进步与提高。我们可以这样粗略地归纳封装的发展进程：

结构方面TO→DIP→LCC→QFP→BGA→CSP；

材料方面是金属→陶瓷→塑料；

引脚形状是长引线直插→短引线或无引线贴装→球状焊点；

装配方式是通孔封装→表面组装（SMT）→直接芯片组装（DCA）。

上述种类繁多的封装，都源自20世纪60年代就诞生的封装设想。推动其发展的因素一直是生产效率、成品率、功率、重量、引线数目、尺寸、密度、电学特性、可靠性、热耗散和价格等。

尽管已有这么多封装可供选择，但新的封装还会不断出现。另一方面，有不少封装设计师及工程师正在努力去掉封装。当然，这绝非易事，封装将至少还得陪伴我们40年，直到真正实现芯片只在一个互连层上集成。表3.8-1示出了

微电子封装发展的历程及趋势。

表 3.8-1 微电子封装发展的历程及趋势

年份	1970	1980	1990	2000	2010
芯片互连	WB	WB	WB	FC	低成本 高 I/O 的 FC
封装形式	DIP	QFP	BGA	CSP	裸露芯片
组装方式	PIH	SMT	BGA/SMT	BGA/SMT	直接芯 片组装（DCA）
无源元件	分立	分立	分立	分立/组合	集成
基板	有机	有机	有机	DCA 板	SLIM
需要封装层次	3	3	3	3～1	1
元件类型	5～10	5～10	5～10	5～10	1
Si 效率（芯片面积/基板）	2 %	7 %	10 %	25 %	＞85 %

本章第二节讲述传统的集成电路封装技术，第三节讲述倒装焊封装技术的原理及工艺过程，由于在倒装焊封装技术发展起来的 MCM 及系统级封装已经突破了对单个裸露芯片的封装，所以第四节新型电子封装技术要专门讲一下这两种技术。

2 传统的集成电路封装技术

集成电路的封装外壳，一般都是以所用的材料和结构的形式加以分类。如以材料来划分，常用的有金属封装外壳、陶瓷封装外壳以及塑料封装外壳；如以结构形式来划分，那么有单列式、双列式、扁平式、圆管形等几种。随着集成电路的不断发展，集成电路的结构出现多样化和复杂化，如针栅阵列式、片式载体等。由于一些功率器件、超高频器件、高阻抗器件和光电器件不断的研制和生产，加上微组装技术、表面贴装技术、混合集成技术以及二次集成技术的应用和推广，由此衍生出结构更为新颖、材料更为优越的封装外壳。其中按封装外壳细分又有：玻璃陶瓷扁平、陶瓷、陶瓷熔封、金属帽形、金属菱形、片式载体、陶瓷四面引线扁平、塑料封装等外壳。集成电路的各类封装外壳，由于其结构和所用的材料不同，因而性能也有明显的差别，各类封装外壳的结构形式、最大引线数和性能可参见表 3.8-2。

表 3.8-2 各类封装外壳性能、特点和应用

外壳类型	结构形式	最大引线数	性能特点	应用范围
陶瓷外壳	扁平式 双列式 片式载体 针栅阵列式 表面贴装式	68 48 84	绝缘性能好 气密性高 化学稳定性强 工作温度范围宽 适应于高可靠器件生产	大中小规模数字集成电路 混合集成电路 模拟电路 微组装器件
陶瓷熔封外壳	扁平式 双列式	18 48	散热条件好 光干扰性小 气密性好，成本低 能适应于大批量生产	大中小规模数字集成电路 光电器件 模拟电路
金属玻璃外壳	扁平式 帽形 菱形	24 12 10	绝缘性能好 气密性高 化学稳定性强 工作温度范围宽	小规模数字集成电路 混合集成电路 模拟电路 功率集成电路
塑料封装外壳	单列式 双列式 扁平式 片式载体	12 48 128 84	成本低 能适应于大批量生产	大中小规模数字集成电路 功率器件

在 20 世纪 80 年代前后，半导体集成电路基本封装技术的工艺过程大体如下。

由前工序各道工艺加工的大圆硅片，尔后又经过减薄、清洗、中间测试打点标识等工序，在不合格的单个芯片打上磁性墨迹作上标识是为了便于识别和淘汰不合格的芯片。然后将这些大圆硅片送到后工序。由后工序来完成对大圆硅片的分割，分割成单个芯片（单管或集成电路小管芯），并将合格的单个芯片封装在相应的管壳里。后工序也叫组装工序。标准的集成电路的组装工序大体可分为：陶瓷外壳封装和塑料外壳封装两大分类。

陶瓷外壳封装的典型工艺流程分为：①划片；②装芯片（芯片黏结）；③压焊（引线键合）；④封盖（熔封或压封）；⑤成品检测；⑥老化筛选等。

塑料外壳封装的典型工艺流程分为：①划片；②装芯片（芯片黏结到框架）；③压焊（引线键合）；④填放塑封料；⑤热压成形、切筋、剪边和分离；⑥成品检测；⑦老化筛选等。

但是无论哪一类中，引线键合是最为关键的工序，在很大程度上它们决定了集成电路的可靠性和成本。

2.1 常用的封装类型及应用范围

封装的方法随外壳的种类而异，其主要目的是阻止来自外界的冲击和潮气等，以保护内部的芯片不受损害；其次是为了易于安装在印刷电路板上构成整机和系统。集成电路所使用的外壳有 TO 型、直插型和扁平型三种。这些外壳的封装方法有通电流的电阻熔焊法、低熔点焊锡法、低熔点玻璃

法以及树脂模塑法等。

常用的封装类型，按照外壳材料的不同可分为金属外壳封装、陶瓷外壳系列封装和塑料封装三大类。

2.1.1　金属外壳封装

金属外壳封装采用由柯伐合金材料冲制成的金属底座，借助于 BD 型电真空玻璃，在氮气保护下将柯伐合金引线按照设定的布线方式，熔接在金属底座上，经过引线端头的切平和磨光后，再镀镍镀金，可以在底座中心进行芯片黏结和在引线端头进行硅 - 铝丝的键合。当组装完毕，再用 10 号钢带冲压成形的镀镍的管壳帽，进行盖帽。构成气密性的、坚固的金属封装结构。金属外壳制造工艺流程如图 3.8-1 所示。

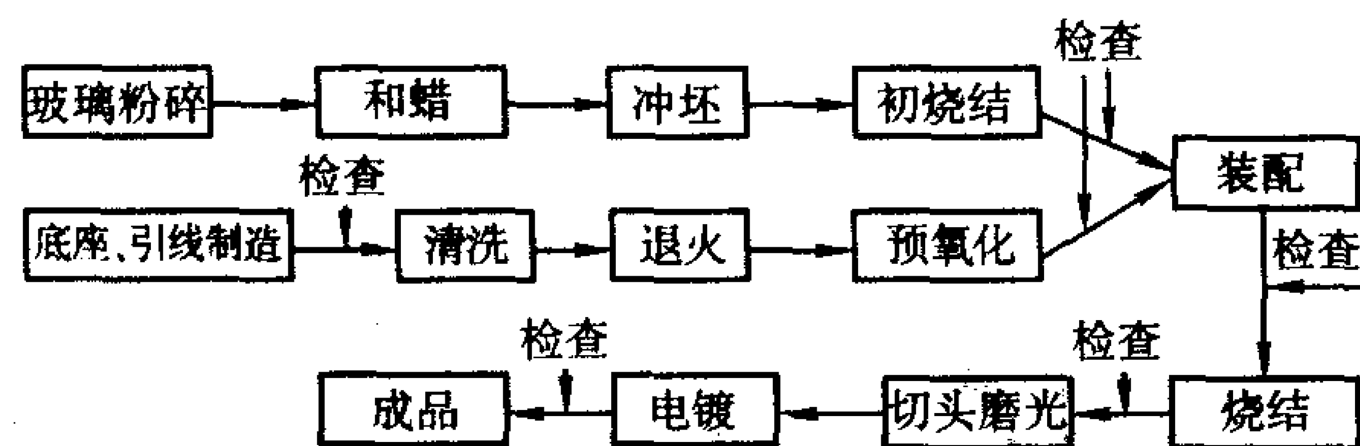


图 3.8-1　金属外壳制造工艺流程

2.1.2　陶瓷外壳封装

陶瓷外壳封装：常采用三层或多层由高纯度氧化铝的生陶瓷片，通过丝网漏印技术分别在各层陶瓷片上印刷钼（Mo） - 锰（Mn）低电阻金属化线路和图形，借助于有机胶黏剂将陶瓷片加压叠加在一起，再在氢气保护条件下经高温熔烧后而成为一个致密的整体，构成一个有着高气密的、坚固的封装腔体。再用金属焊料将柯伐合金或铁镍合金材料冲制成的引线框架与陶瓷体焊接在一起，以形成内外金属引线的互连，然后进行镀镍镀金，以便于芯片黏结和内引线硅铝丝的键合。当组装完毕后，再使用填加焊料熔融焊接、平行密封焊接或者激光焊技术进行金属盖板的封盖。

陶瓷熔接封装：由黑色高纯度氧化铝陶瓷的基座、上盖和表面覆盖有铝层的铁镍合金引线框架等三部分所组成。在陶瓷基片和上盖上，通过丝网漏印，分别印刷具有一定厚度和熔化温度的低熔点玻璃，并且事先借助于低熔点玻璃将引线框架预先熔接而固定在陶瓷基座上。在陶瓷基座的芯片内腔中烧渗有金层，以便于芯片的粘接。引线框架上涂覆铝层，利用“硅 - 铝丝”可以进行键合。当组装完毕后，将陶瓷的上盖和底座重叠在一起，在规定的熔点温度下，按照一定的温度分布曲线，通过其中的低熔点玻璃将基座和上盖焊接为一个整体，形成气密性、性能良好的封装结构。陶瓷熔接外壳的制造工艺流程如图 3.8-2 所示。

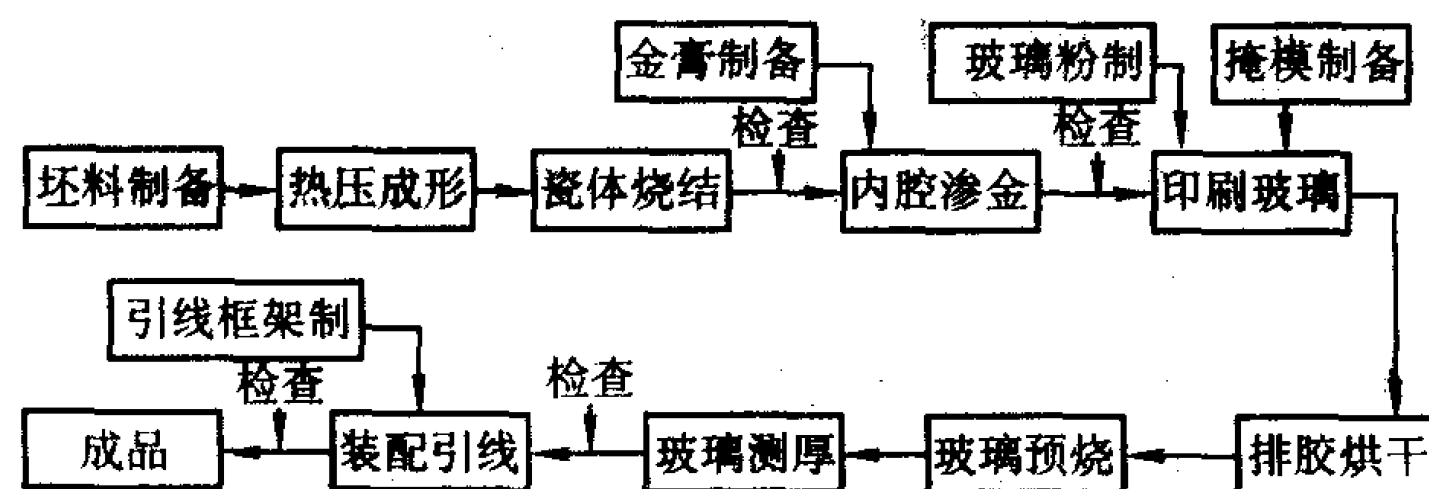


图 3.8-2　陶瓷熔接封装外壳制造工艺流

2.1.3　塑料外壳封装

塑料外壳封装是在一定的金属引线框架上，利用其中央部位的芯片衬垫和引线压焊处端面的局部镀金，先进行芯片的金/硅粘接和内引线的金丝球焊，再在特定的金属模具中通过改性环氧树脂等塑封料，进行模塑成形和镀锡，最后将金属引线加工，切去多余的金属边料、边框和塑料的溢出料，再按照规定的尺寸将引线打弯成形，成为一个完整的封装结构。如图 3.8-3 所示。

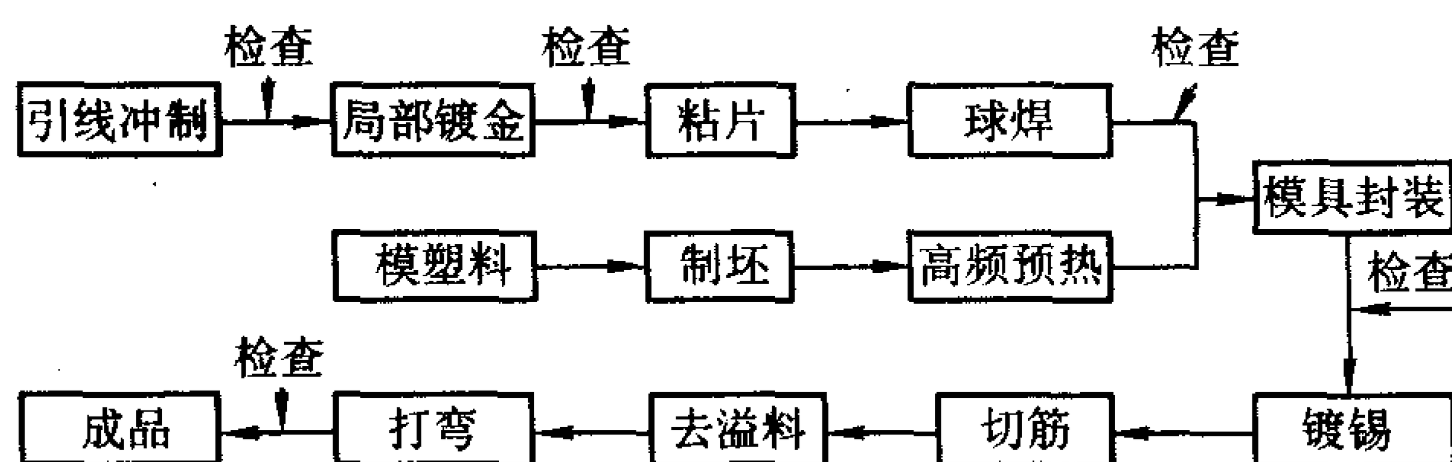


图 3.8-3　塑料封装外壳制造工艺流程

塑料封装生产的特点：在集成电路的生产过程中，通过组装可以一次加工完成，而不需由外壳生产厂家进行配套，因而其工作量和成本可以大大降低，适合于大批量的自动化生产，目前塑料封装已成为集成电路的最主要封装形式之一。

随着集成电路向着超大规模方向发展，要求基片和印刷线路板有较高的装配密度，芯片载体就是按照这个要求发展起来的。目前芯片载体有陶瓷的和塑料的两种类型。但大部分还是陶瓷的。

芯片载体的特点：芯片载体的面积为对应的双列式外壳上的底座或印刷布线面积的三分之一；而它的表面积约为对应的双列式外壳的五分之一；它的分布电感、引线之间电容大约比对应的双列式外壳小十倍；它的引线可超过 64 条，可进行四面布线；并且可靠性与双列式外壳基本相当；同样可以在封盖之前进行预先的检验和老化。成本降低，尤其是 64 线以上的更为显著。

芯片载体常为正方形或长方形，它的结构类似陶瓷外壳中的腔体部分，其金属化引线通过埋层延伸到芯片载体的外部四周，以便在装配时用回流焊技术将其焊接在相应的印制线路板上。不同的是其引线间距是 1.02 mm 或 1.27 mm，这样就能使芯片载体面积更为减小。目前还有一种单层陶瓷的芯片载体。它的金属化引线是直接烧渗在陶瓷基片的表面上而无需掩蔽，上盖板也是陶瓷材料的，可以采用低熔点玻璃材料进行密封焊接，来实现密封。

各类封装类型的主要应用范围见表 3.8-3。

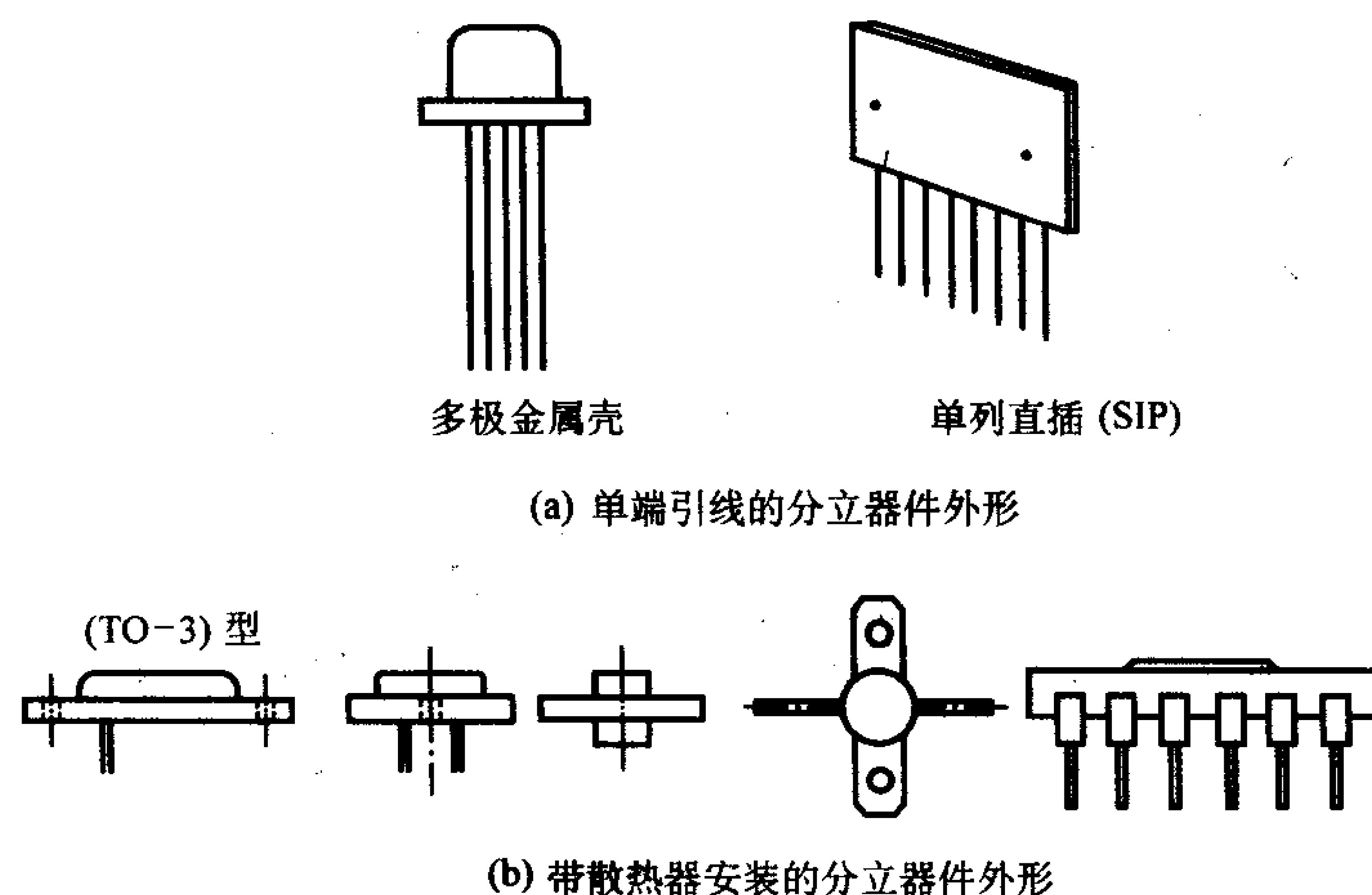
表 3.8-3　各类封装的主要应用表

	封装类型	主要应用	图示
1	(TO)金属管帽形封装	晶体管、SSI	图 3.8-4
2	(TO)塑料封装	晶体管、SSI	图 3.8-4
3	陶瓷平行缝焊双列直插封装	SSI ~ LSI	图 3.8-5
4	陶瓷模塑双列直插封装	SSI ~ LSI	图 3.8-6
5	陶瓷扁平封装	SSI ~ MSI	图 3.8-7
6	塑料双列直插封装	SSI ~ LSI	图 3.8-8
7	芯片载体	LSI ~ VLSI	图 3.8-9

注：SSI——小规模集成电路，MSI——中规模集成电路，LSI——大规模集成电路，VLSI——超大规模集成电路。

图 3.8-4 ~ 图 3.8-9 给出了各类封装的主要外形。

芯片载体封装形式将是双列直插式封装的发展必然趋势。因为这种芯片载体封装形式特别适合于规模较大，而且（输入/输出）引线较多的 LSI / VLSI 器件。不仅如此，芯片载体封装的形式能够大大增加系统的封装密度，并且还有着更好的气密性和更高的可靠性。



(a) 单端引线的分立器件外形

(b) 带散热器安装的分立器件外形

图 3.8-4　晶体管、SSI 封装

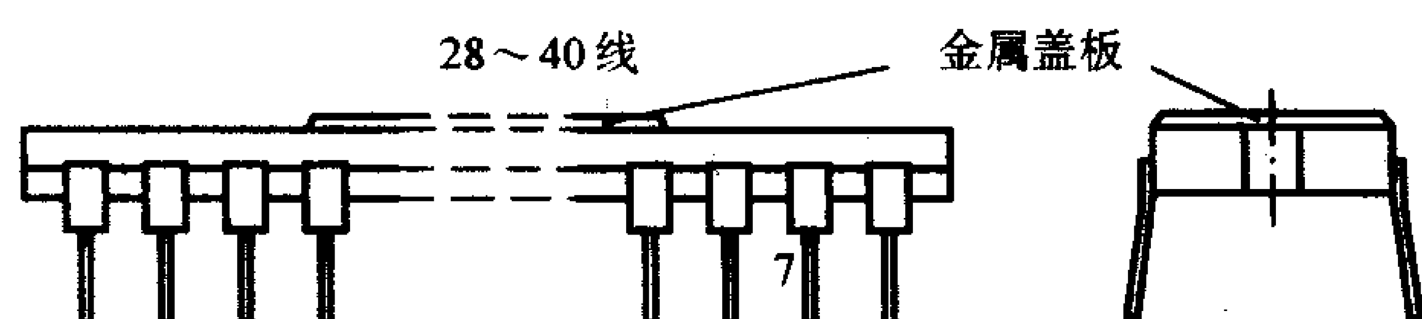


图 3.8-5　陶瓷平行缝焊双列直插式封装

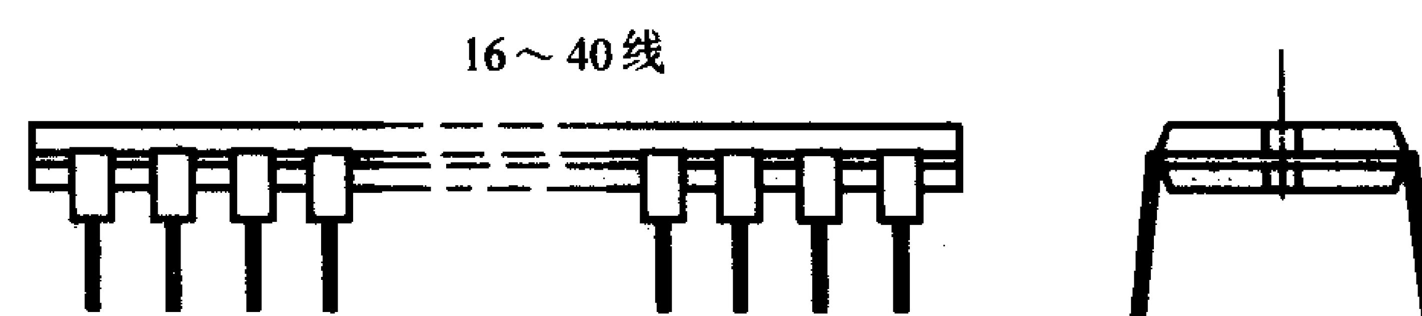


图 3.8-6　陶瓷模塑双列直插式封装

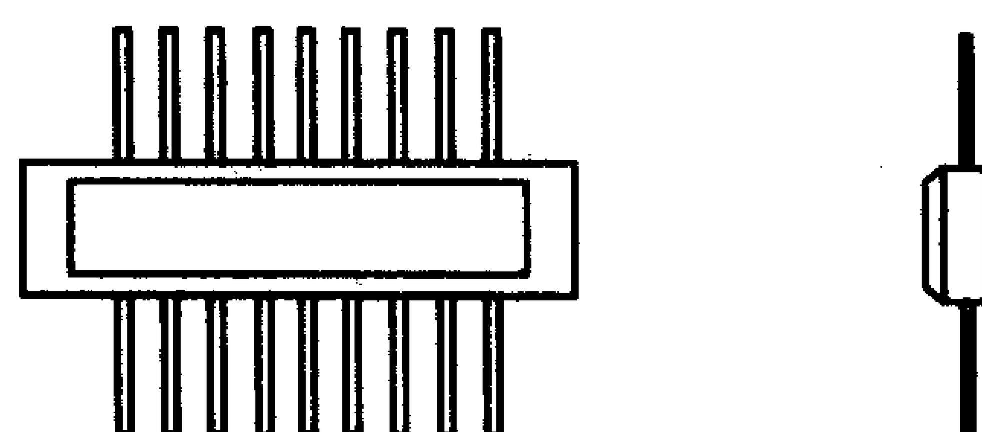


图 3.8-7　陶瓷扁平封装

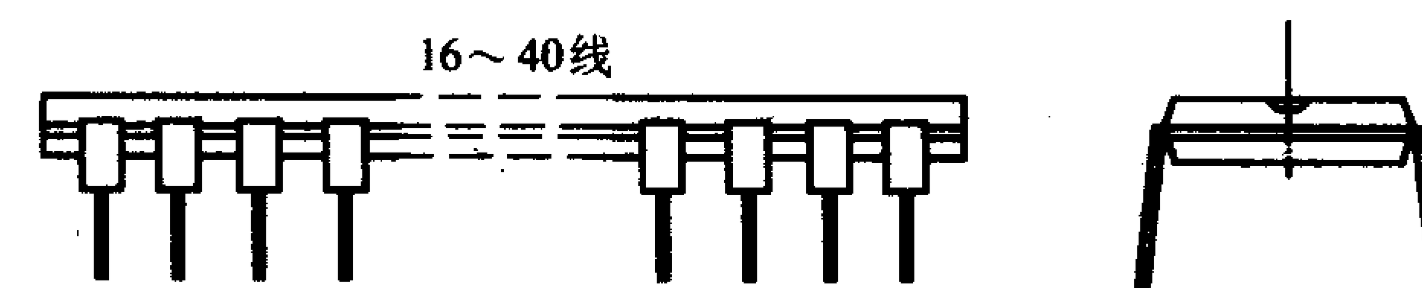


图 3.8-8　塑料双列直插式封装

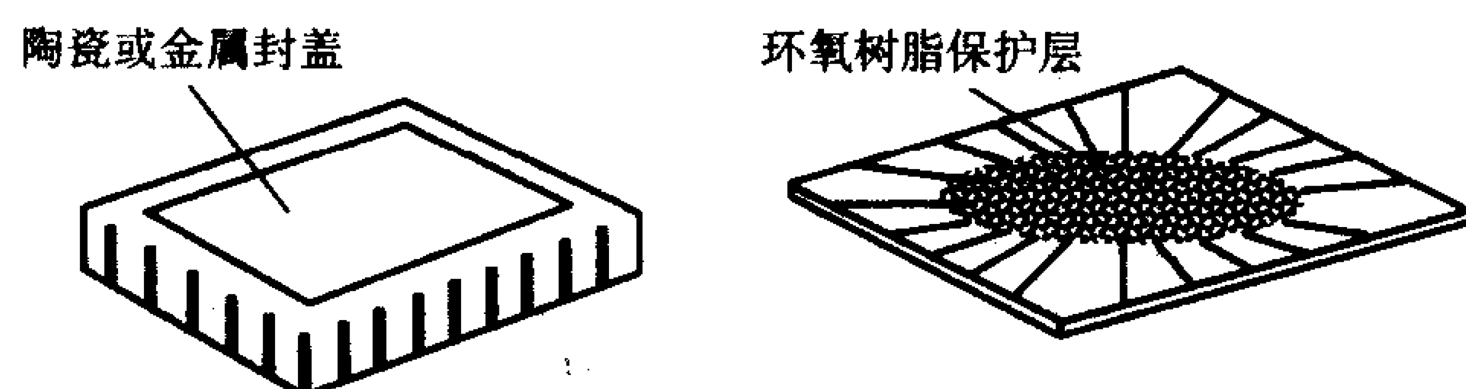


图 3.8-9　芯片载体

2.2　引线键合是关键

引线键合工序由两部分组成：①芯片黏结（将芯片放在合适的位置与管座黏结）；②引线键合（芯片中各压焊点与管座相应引出腿之间的键合）。下面将详细介绍：

1）芯片黏结　芯片黏结是芯片与管座的机械结合，不仅要使芯片得到牢靠的固定，而且要能够实现电学上的欧姆接触并能改善散热条件。芯片黏结的方法因外壳的形式而异，通常有：导电银膏低温还原方法、低温共熔点合金或低熔点玻璃黏结。也有不用芯片黏结的工序，而是直接将芯片上的压焊点与管壳上的压焊点连接，例如共面的键合。

导电银膏低温还原：将芯片直接安置在涂有新鲜的、深灰色的导电胶（银浆）的管壳基座上，在温度 150℃左右的氮、氢气气氛保护下进行还原处理。此时，深灰色的导电（银浆）被还原成银白色的固态银，将芯片牢固地黏结在管壳基座上。

低温共熔点合金：典型低温共熔点合金材料是 Au31/Si69（摩尔百分比）。这是一种将芯片直接黏结在镀金外壳或放在芯片与外壳之间夹着的金箔上，使之形成 AuSi 低温共熔点合金。AuSi 低温共熔点合金的最低共熔点温度约在 370℃左右。

低熔点玻璃：当管壳基座为玻璃或陶瓷时，就需要用低熔点玻璃来进行黏结。这时，将芯片直接埋入低熔点玻璃进行烧结黏结。应该指出，这种低熔点玻璃与陶瓷基座以及硅片的线胀系数必须接近。

2）引线键合　将已安装在管壳基座中的芯片上的各个压焊点与管壳基座边上的相应压焊点用金属细丝（线）连接起来的工序称为引线键合。引线键合的方法有金丝球焊法、热压键合法、超声键合法等。通常使用直径为 25～30 μm 的金丝，或者铝丝作引线，如今也有用 25 μm 厚、100～200 μm 宽的金带来替代金丝，被作为引线。

3）面朝下键合　面朝下的键合是指芯片正面朝下，将芯片上的各压焊点与管壳基座边上相应的压焊区同时进行键合。这种方法省略了金属引线、键合速度快、可靠性和成品率都高，因而对自动化极为有利。面朝下键合的典型方式有：倒装方式，梁式引线以及蛛网方式等。

2.3　质量稳定可靠的秘诀

刚经过管壳封装后的集成电路器件貌似成品，但还不能作为商品出厂。必须经过老化、筛选分类、打印标识并且通过某等级的可靠性例行试验后才能作为最终的商品出厂。因此老化、筛选分类加上可靠性例行试验是使质量稳定可靠的三个秘诀。

老化——一般指通电老化。由于刚经过管壳封装后的集成电路器件，其内部所有接触点（和接触面），包括金属与金属的接触、金属与半导体材料的接触，在通电老化前还未能形成电学上的欧姆接触。通常需施加比正常工作电流大许

多的电流来进行“电形成”（也称“激活”），使其内部所有接触点（和接触面）的欧姆接触的电阻达到最小；同时使pn结的区域中所掺杂质的浓度得以更稳定的分布，消除或减少因杂质浓度分布的缓慢变化而造成pn结的漂移，而最终造成整个系统失效的。由此可见，老化工序对集成电路器件参数的稳定性和可靠性起着十分重要的作用。

筛选分类：经过老化后的集成电路器件，器件的各项参数都已稳定。此时，必须按照各项参数的高低优劣，分门别类地将它们分成若干档次归类。然后按型号、档次、生产批号及厂家代号等，在器件的外壳上打印标识。日后，使它们能够“按档次各尽其用”。显然，检测分类中也会有一部分不合格的成品，此时，必须将它们严格地分离出来，打上明显的标记后隔离处理。其中，对典型的不合格成品需要作进一步的失效研究分析，找出失效原因，以提高日后的产品性能和质量，对大部分不合格成品却需要做出立即销毁的处理，以免日后发生误将废品混入成品的可能。

可靠性例行试验：每当新品种或新产品完成时，必须按比例随机地抽出一定数量的样品，对它们进行可靠性例行试验。只有通过了可靠性例行试验的新品种或新产品，才许可出厂进入销售市场。可靠性例行试验有着各种不同等级标准的试验内容。有军用级，民用级。

一般来说可靠性例行试验内容有：高频和低频震动试验（检查焊接点是否虚焊、腔内有、无残留的金属引线头等异物）；高、低温储存试验（检查选用材料的线胀系数是否合理）；高、低温循环冲击试验（检查选用的不同材料之间是否开裂）；高温、高湿度储存试验（检查管壳是否密封、有无泄漏的孔洞）；加速度冲击试验（检查引线是否过长或交叉）；抗辐照试验（检查器件有否避免高、低能粒子穿透的能力）；通电、高温和低温储存试验（检查器件的纳离子污染程度）等等。

2.4 环境与静电对集成电路封装过程的影响

2.4.1 环境因素对集成电路封装的影响

众所周知，封装业属于整个集成电路生产中的后道生产过程，在该过程中，对于集成电路的塑料封装、混合集成电路或单片集成电路的一般封装，主要有：单晶大圆片的减薄（磨片）、单晶大圆片的切割（划片）、装架（粘贴芯片）、键合、封装（包封）、前固化、电镀、打印、后固化、切筋、封后测试等工序。各工序对不同的工艺环境都有不同的要求。工艺环境因素主要包括空气洁净度、高纯水、压缩空气、碳酸气、氮气、温度、湿度等等。

对于减薄、划片、装架、前固化、压焊、包封等工序，原则上要求必须在超净厂房内进行，因在以上各工序中，IC内核——芯粒始终裸露在外，直到包封工序后，芯粒才被环氧树脂包裹起来。这样，包封以后不仅能对集成电路芯粒，起着机械保护和引线向外的电学连接的功能，而且对整个芯片的各种参数、性能及质量都起着根本的保持作用。在以上各工序中，哪个环节或因素不合要求，都会把芯粒损害甚至报废，所以说，净化区内工序对环境诸因素要求比较严格和苛刻。超净厂房的设计施工要严格按照国家标准GB 50073—2001《洁净厂房设计规范》的内容进行。

1）空调系统中洁净度的影响　由于微电子产品生产中，对环境中的尘粒含量和洁净度有严格的要求，目前，大规模IC生产要求控制直径大于0.1 μm的尘粒达到十级，（即：在0.028 m^3（1 ft^3）的体积中，直径大于0.1 μm的尘粒数目不超过10个），甚至更严（要达到零级）。对集成电路封装来说，要求稍松一些，净化区内的关键工序的洁净度至少要达到千级。

2）超纯水（去离子水）的影响　在封装过程中的减薄工序和划片工序，同样是离不开超纯水的。由于单晶硅圆片与大量的超纯水长时间的直接接触，一方面使单晶硅圆片在减薄，划片过程产生的硅粉尘等杂质得到洗净，而另一方面纯水中的微量杂质又将芯粒再次进行污染。显然，不纯洁的超纯水将对封装后的IC质量有着极大的影响。

随着IC集成度的进一步提高，对超纯水中污染物的要求也将更加严格。据美国提出的水质标准说明，集成度每提高一代，杂质都要减少1/2 ~ 1/10。

随着半导体集成电路设计规则从1.5 ~ 0.13 μm的变化，相应的超纯水的水质，除电阻率已接近理论值以外，其中总有机碳（TOC）、溶解氧（DO）、二氧化硅（SiO_2）颗粒和离子性杂质均需减少2 ~ 4个数量级。

在当前的水处理中，各项杂质处理的难易程度依次是：TOC、SiO_2、DO、电阻率，其中电阻率达到18 MΩ·cm（25℃）是当前比较容易达到的。由于TOC含量高，它会致使栅氧化膜，尤其是薄栅氧化膜中缺陷密度增大，所以栅的厚度越薄，要求TOC的含量越低，况且现在IC技术的发展趋势中，芯片栅的厚度越来越薄，因此降低TOC是当前和今后的最大难点。据有关资料介绍，在美国芯片厂中，50%以上的成品率损失起因于化学杂质和微粒污染；在日本工厂中由于微粒污染引起器件电气特性的不良比例，已由2 μm的70 %上升到0.8 μm超大规模IC的90 %以上，可见IC线条宽度越细，其危害越突出。相应的在IC封装过程中超纯水的重要性也就显而易见了。

3）气体纯度的影响　在IC封装过程中，把已减薄的晶圆片，切割分离的芯片，粘接、固化后待压焊的引线框架（LF）与芯粒，必须放在高纯的氮气储藏柜中，这样可以有效地防止污染和氧化。同样，把高纯的CO_2气体混合入高纯水中，产生一定量的正离子（H^+），这种混合水具有消除静电吸附的作用。如果在划片工序使用，将会有效地消除芯粒表面的硅粉尘杂质，以此来减少封装过程中的对芯粒的污染。

4）温、湿度的影响　温、湿度在IC的生产中扮演着相当重要的角色，几乎每个工序都与它们有密不可分的关系。GB 50073—2001《洁净厂房设计规范》中明确强调了对洁净室温、湿度的要求要按生产工艺要求来确定。对封装工艺洁净房间，正常情况下的温度为22 ~ 28℃，相对湿度为45 ~ 55 %RH。温、湿度的失常会影响封装器件的气密性，从而影响可靠性。若芯片表面的水汽包封在腔体内，会使芯片表面的钝化层水解。

2.4.2 静电因素对集成电路封装的影响

（1）静电产生的原因

静电产生的原因是随处可见的，主要有以下几个方面的原因。

1）封装车间建筑装修材料多采用高阻抗的绝缘材料

集成电路封装工艺要求使用洁净车间或超净车间。要求关键工序的净化区洁净度至少达到千级。为此，除了安装各级除尘设备之外，还要采用无机和有机的不起尘的防静电材料。但对于建材的电性能工业企业没有作为一项指标考虑进去。工业企业洁净厂房设计规范中对防静电材料的性能也未作规定。部分集成电路封装的洁净厂房至今仍采用的室内装修材料还是：聚氨酯弹性地面、尼纶、硬塑料、聚乙烯、塑料壁纸、树脂、木材、白瓷板、瓷漆、石膏等等。由于这些都是高分子化合物或绝缘体材料，它们的体电阻率都大于10^{10} Ω·cm。例如，有机玻璃体电阻率为10^{12} ~ 10^{14} Ω·cm，聚乙烯体电阻率为10^{13} ~ 10^{15} Ω·cm，因而导电性能极差，由种种原因产生的静电不容易通过它们向大地泄漏，从而造成静电的积聚。

2）人体静电　人们都知道：摩擦产生电荷。洁净厂房

工作人员的操作活动、走动，衣服之间的相互摩擦、人与地面的不断摩擦、人与空气的不断摩擦，都会在人体产生静电荷。只要人在活动，无论是举胳膊还是抬腿，不论是小跑快走还是慢走，都会产生静电荷。静电荷在人体不断地积累便会产生上万伏特的静电压，这些异常高的人体静电如果不适时消除掉，而是用手指去直接接触集成电路（IC）芯片，几万伏高的静电压瞬间向集成电路芯片放电（通称尖端放电），就可能在不知不觉中造成集成电路的击穿。

3）空气调节和空气净化引起的静电 由于集成电路封装要求在45%～55%的相对湿度（RH）条件下进行，所以要实行空气湿度调节，同时要进行空气净化。已降低湿度的空气还要经过初级过滤器、中级过滤器、高级过滤器和洁净的通风管道才可送入净化室。一般的主通风管道风速为8～10 m/s，通风管道的内壁上还涂有防锈漆，当干燥的空气和风道，干燥的空气和过滤器作相对摩擦运动时，都会产生静电。应该引起注意的是静电与湿度有着较敏感的关系。

另外，集成电路成品在包装运输过程中都会产生静电，这都是静电起电的因素之一。

（2）静电对集成电路封装的危害

静电对集成电路封装的危害是相当大的。一般来说，静电具有高电位、强电场的特点，在静电起电－放电过程中，有时会形成瞬态大电流放电和电磁脉冲（EMP），产生频谱很宽的电磁辐射场。另外，与常规电能量相比，静电能量比较小，在自然起电－放电过程中，静电放电（ESD）参数是不可控制的，是一种难以重复的随机过程，因此它的作用往往被忽视。尤其在微电子技术领域，它所造成的危害是惊人的，据报道每年因静电造成经济损失高达几亿元人民币，静电危害已成为发展微电子工业的重大障碍。

在半导体器件生产车间，由于尘埃吸附在芯片上，集成电路（IC）尤其是超大规模集成电路（VLSI）的合格率会大大下降。

集成电路封装车间的操作人员都得穿洁净工作服，如果人体带上静电，则极易吸附尘埃、污物等，若这些尘埃、污物被带到操作现场的话，将影响产品质量，恶化产品性能、大大降低集成电路封装的合格率。如果吸附的灰尘粒子大于1 μm，而集成电路中的金属引线线条的宽度只是1 μm时，各金属引线线条的间隙的宽度在0.5 μm左右时，则金属引线之间最易降低绝缘性能而使产品报废，影响产品封装的合格率。

（3）如何消除静电对集成电路封装的损害

除非发生静电放电，人体不能直接感知静电，但发生静电放电人体也不一定能有电击的感觉，这是因为人体感知的静电放电电压为2～3 kV。但是，无形中这已足以损害了已被封装的IC芯片。知道了静电产生的原因后可采取以下措施降低和消除静电对IC封装的损害。

1）不宜采用高电阻、绝缘材料，应采用防静电材料作为净化车间的装修材料。

2）通入净化车间的空气应保持一定的相对湿度，一般为45%～55 %RH。

3）净化车间内工作人员应尽量少活动、少走动。

4）应采取适当的防静电措施：如仪器、设备要妥善接地，防静电地板，人员佩戴防静电手镯等。

3 倒装焊技术

3.1 倒装焊技术的特点和优势

本书中倒装焊的定义为：在集成电路封装中不论使用任何材料，利用任何方法，只要是将芯片的正面（有源区）面向管座的衬底而进行压焊焊接，这种焊接就称为倒装焊。

芯片和二级封装——印刷电路板（PCB）或基板之间的连接，传统的方法需要两步工序：第一步工序是先将芯片黏结在一级封装的底座或芯片键合点上，第二步工序再用金丝或铝丝连接芯片上的键合点和一级封装上的引线内端。通过一级封装上的外引线端点实现芯片和二级封装间的电连接和器件的固定。长期以来，这种引线键合（WB）被认为是最佳方式。

虽然早在60年代末就已发明了芯片倒装焊技术，即在芯片的压焊点上制作金锡焊接球，然后将这类芯片直接倒扣焊接在陶瓷基板上。两步工序合成为一步工序，体现芯片倒装焊技术的优越性。但由于当时使用高温软焊料（95Pb5Sn），使印刷电路板的制作成本增加；虽然硅的线胀系数 $CTE \approx 2 \times 10^{-6} K^{-1}$，与陶瓷的 $CTE \approx 4 \times 10^{-6} K^{-1}$ 相近，但与电子工业中大量使用的印刷电路板的线胀系数 $CTE \approx (16 \sim 18) \times 10^{-6} K^{-1}$ 相差太大，在与印刷电路板安装过程中的高温焊接及热循环、热冲击试验后，造成焊点开裂或硅片拉裂，失效率高。因此该项技术长期以来只局限于极少量的大型计算机或军用装置上。

20世纪90年代以来，由于便携式计算机、移动通信装置等的迅速发展，需要安装密度高、电性能好、可靠性高和较好的可制造性的封装。芯片倒装焊既是一种高密度芯片互连技术，同时还是一种理想的芯片黏结技术。正因为如此，它在芯片尺寸封装及常规封装（球栅阵列、插针栅格阵列）中都得到了广泛的应用。例如，Intel公司的PⅡ及PⅢ芯片就是采用芯片倒装焊互连方式组装到FC－PBGA、FC－PGA中的。而Flip Chip技术公司的FC－DCA则是一种超级芯片尺寸封装。而倒装芯片技术中由于使用了63Sn37Pb低温焊料、芯片下填充等新技术，和表面安装技术更为兼容，同时具有以下一些传统封装无法比拟的优点。

（1）封装后体积更小

1）引脚密度更大。图3.8-10为引脚数示意图。

2）封装硅效率高（即管芯面积/封装后面积）。图3.8-12为封装硅效率的比较。

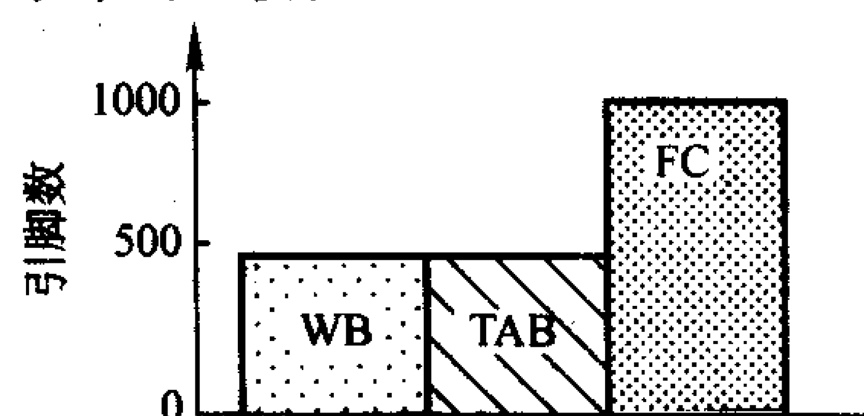


图3.8-10 引脚数示意图

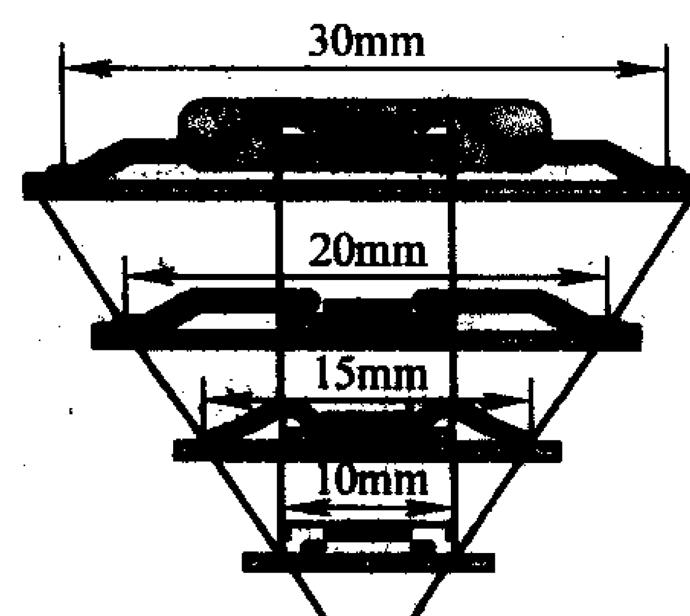


图3.8-11 封装硅效率的比较

（2）寄生参数较小

1）引线电阻减小。

2）引线电感减小。图3.8-12为引线电感的比较。

3）内部引线电容减小。图3.8-13为引线电容的比较。

总之，倒装焊技术（图3.8-14）有如下的特点和优势：

1）具有最多的输入/输出端口（I/O）数；

2）具有最好的电学性能（内连线最短）；

3）具有优越的热学性能（最有利于散热）；

4）有着良好的可修复性；
5）具有自对准性；
6）有着与表面贴装工艺的可兼容性；
7）具有高可靠性；
8）具有低成本优势。

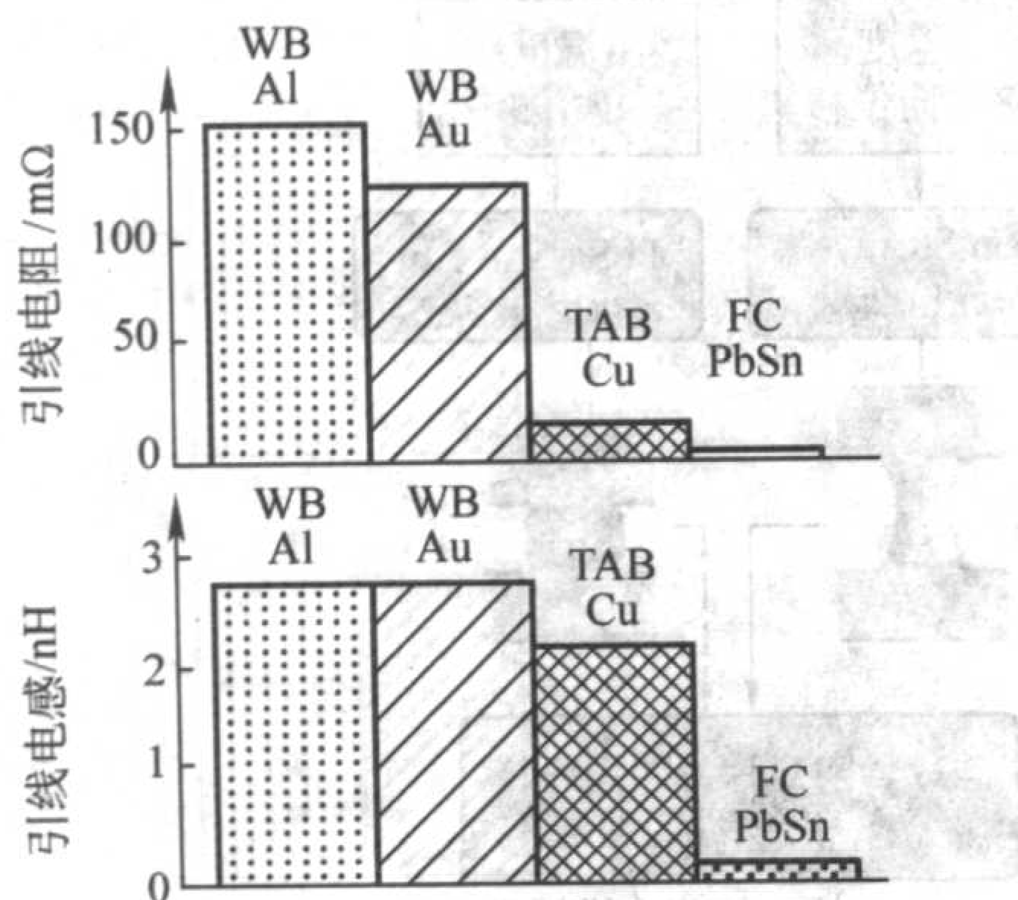


图 3.8-12　引线电感的比较

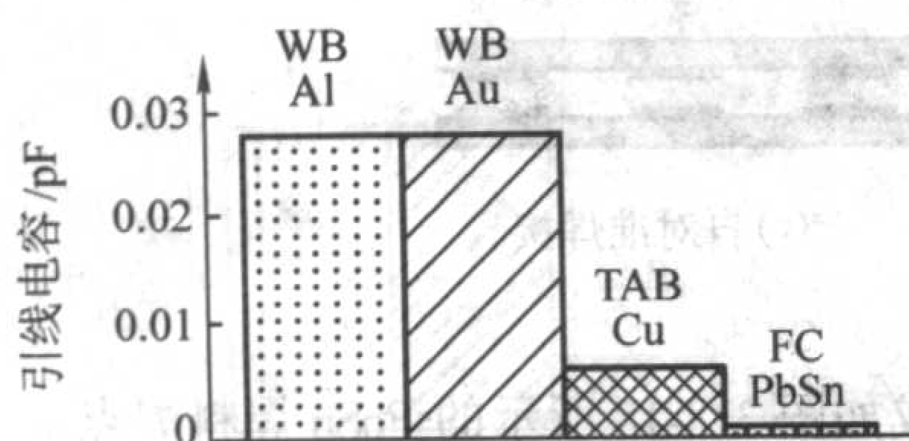


图 3.8-13　引线电容的比较

由于以上的一些优点使得裸露芯片及倒装技术终将成为集成电路封装产业的发展方向。集成电路封装将从有封装、

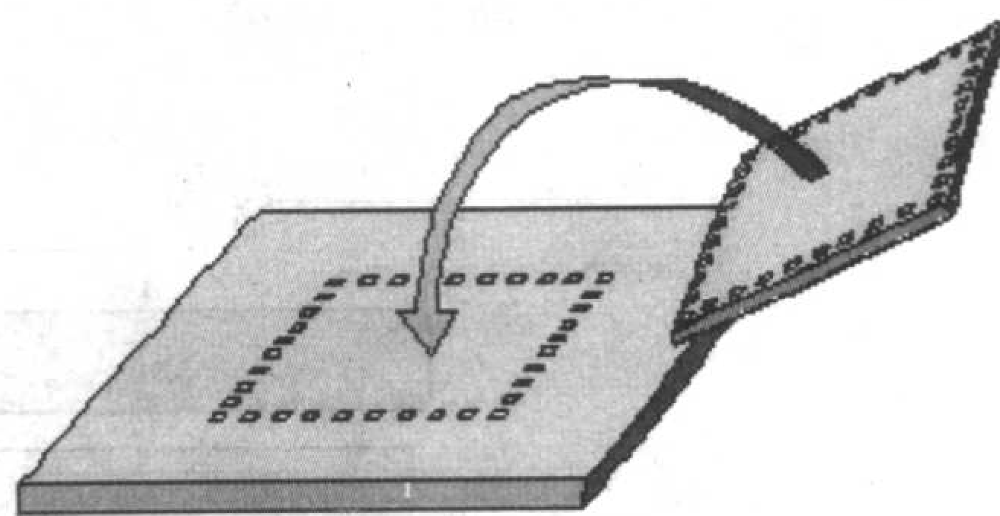


图 3.8-14　倒装焊技术示意图

少封装向无封装方向发展，裸露芯片及 FC 将在今后 10 年内成为一个工业标准。因为利用表面贴装技术，可将裸芯片、倒扣芯片直接贴装到印刷电路板或其他多层的基板上，称为芯片直接贴装（DCA）技术，互连方式为 WB、TAB 和 FCB（倒装焊）。特别是在芯片上制作成各类焊点的倒装焊，可同时完成贴装与焊接，不但芯片占的基板面积最小，而且可靠性更高，相对成本却更低。当前飞速发展的先进封装，如：球栅阵列（BGA）、芯片尺寸封装（CSP），虽然是将芯片先封装后再焊接，因与芯片倒装焊、芯片直接贴装，并无实质性差别，所以也可视为倒装焊技术。利用原有的半导体工艺设备，既能生产出倒扣裸露芯片，又能生产圆片级（芯片级）尺寸封装，它们看上去几乎相同，只是倒扣芯片的引脚之间的距离更小（0.3 mm 以下），而芯片级尺寸封装的引脚间距更符合当前适于使用表面组装技术的工业标准（0.5～1.0 mm）。它们都可以充分发挥集成电路的高性能，都不存在较大电感、电容及其他不希望有的特性。另外，FC 裸露芯片尚未解决测试、老化筛选问题，难以达到真正 KGD 芯片的标准；而 CSP 则既具有封装芯片的一切优点，又具有倒扣裸露芯片的所有长处。芯片级尺寸封装可全面老化、筛选与测试，可成为真正的 KGD 芯片。

图 3.8-15 是国际微电子封装发展史的示意图。

3.2　倒装焊技术的分类

图 3.8-16 是倒装焊技术中凸点的分类图。

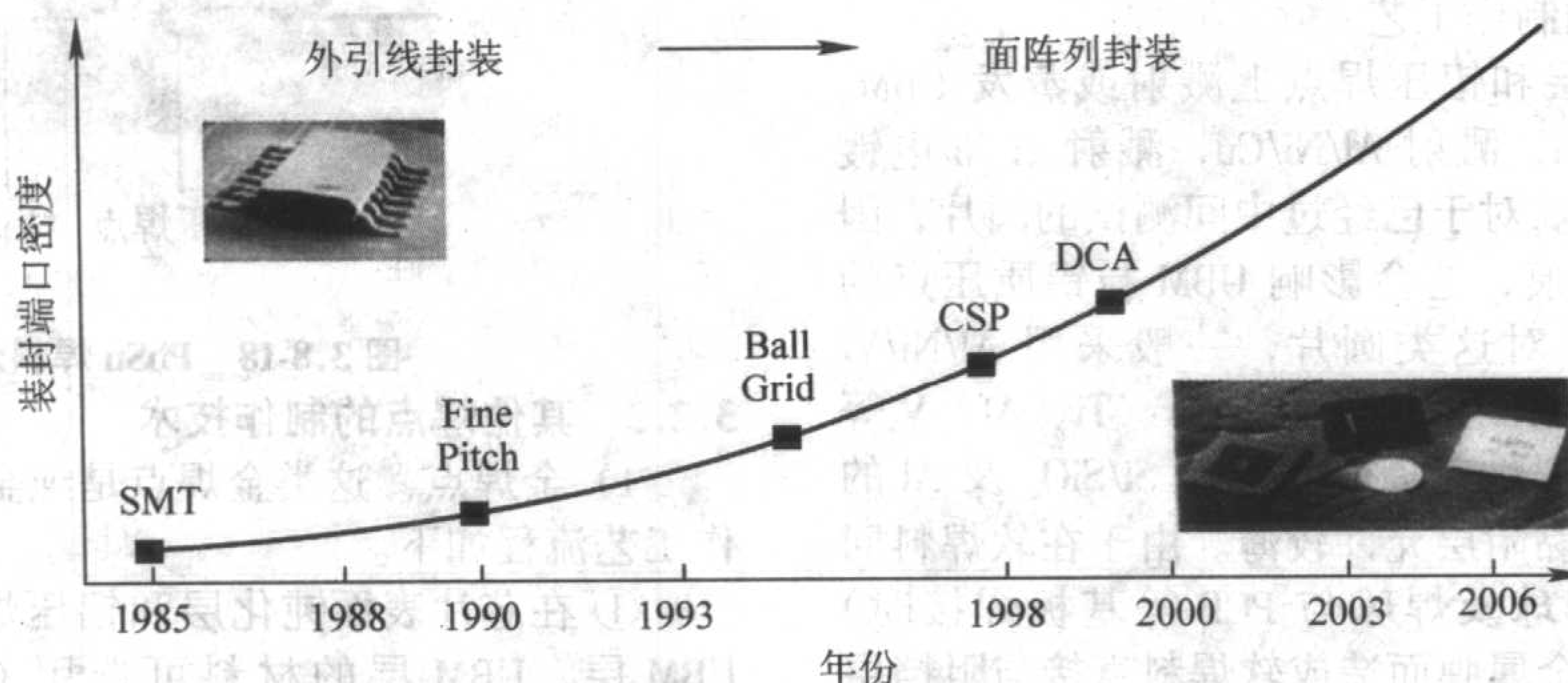


图 3.8-15　国际微电子封装发展史的示意图

构成焊点的材料有多种，热压常用的有 Au 和 AuSn 焊点；有带导电胶的 Au，Ni/Au 焊点；回流常用的有 PbSn，SnAg，80AuSn，In 焊点；在这些焊点中，PbSn 焊料焊点因具有突出优点而倍受重视。由于它呈半球形，在倒装焊接时，随着焊料的熔化，它具有较大的表面张力，因此可实现自对准定位，如图 3.8-17 所示。如果此时只要适当地控制压力大小，便能调节 PbSn 焊料熔融时的塌陷程度及焊点高度，这种技术优越性更大，称为可控塌陷芯片连接（Controlled Collapse Chip Connection），又称 C4 技术。本节将重点介绍 PbSn 焊料焊点的制作技术。

3.2.1　铅/锡（Pb/Sn）焊料焊点的制作技术

（1）铅/锡焊料焊点的构成成分

实际上的铅/锡焊料焊点由焊点下面的多层金属膜和焊出的焊点两部分组成。

1）焊点下多层金属膜常用英文缩写为 UBM（Under Bump Metallurgy）表示。由于 UBM 处在焊点和芯片上铝压焊点之间，通常它又由以下三层组成。

① 黏附层　与铝、硅薄膜层和钝化层的黏附性好，确保和铝、硅薄膜层之间形成欧姆接触，且线胀系数相近，热应力小。一般选用 Cr、Ti、V、Ti、W 等。

② 阻挡层　能阻止焊料与金（或铝）和 Si 材料之间相互扩散，常选用 Ni、Cu、Pd、Pt 等。

③ 焊点浸润层　能和焊点材料相浸润，可焊性好，并且不形成有害于焊接的金属间化合物，能保护 Ni、Cu 等不被氧化、沾污，常选用很薄的 Au 或 Ag 膜或 Au 的合金膜。

由于不能找到一种材料可同时满足上述三方面的要求，

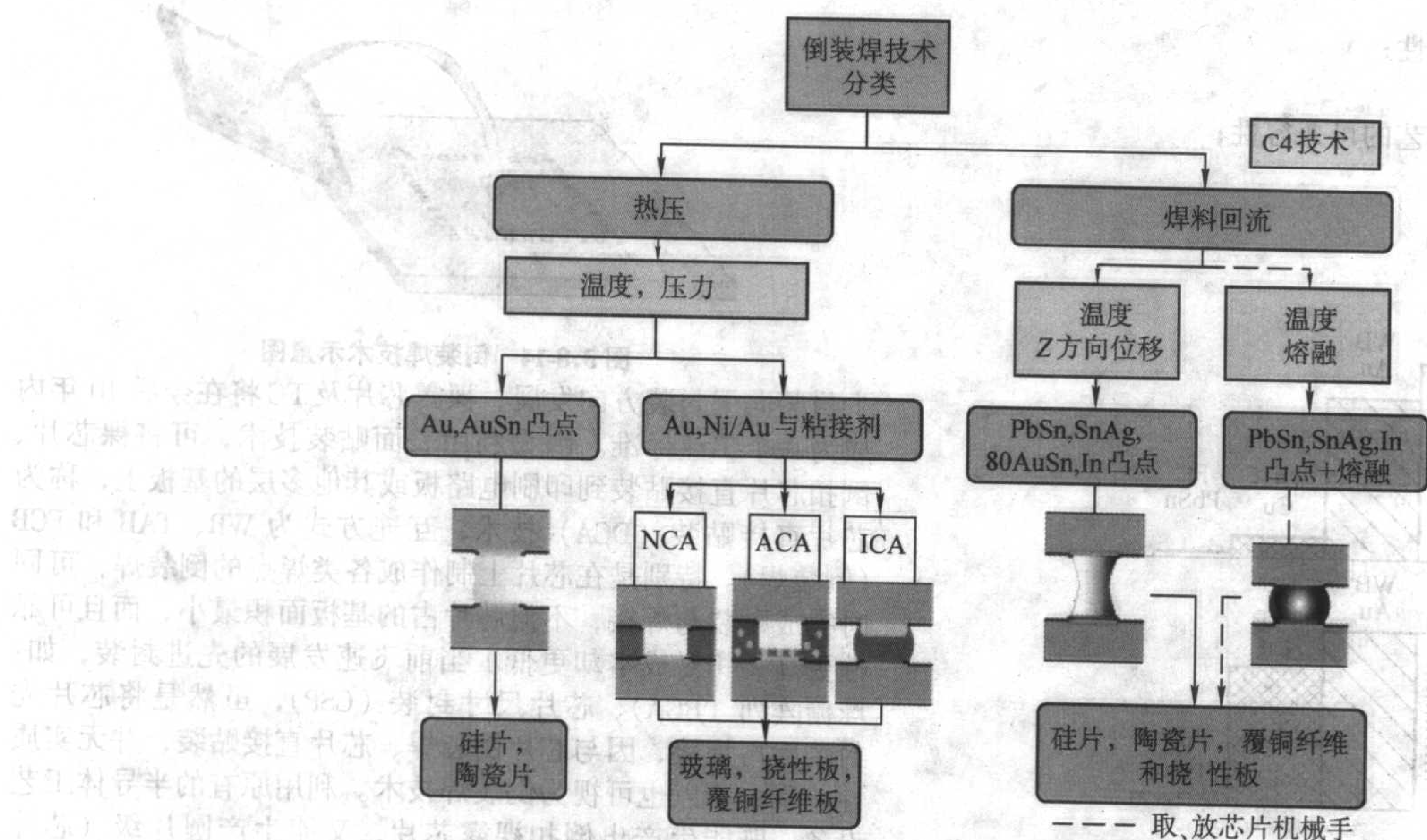


图 3.8-16　倒装焊技术中凸点的分类

NCA—非导电胶；ACA—各向异性导电胶；ICA—各向同性导电胶

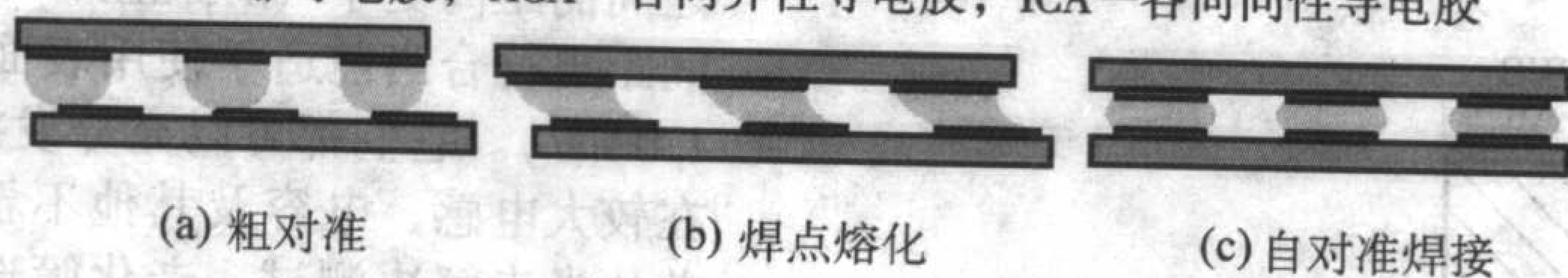


图 3.8-17　自对准焊接示意图

所以通常 UBM 都由三层金属膜组成。

2）凸出的焊点　铅锡焊球的成分种类较多，主要分为用于陶瓷基板的高温、高铅含量焊料 95Pb5Sn 或 97Pb3Sn，熔点约为 314～320℃。另一类是常用于有机基板的低温焊料，例如共晶体焊料 37Pb63Sn，熔点为 183℃。为了提高焊料的抗热疲劳性能，通常在 PbSn 焊料中加入少量的银（Ag）或铟（In）。

（2）铅/锡焊料焊点的制作工艺

1）在芯片表面钝化层和铝压焊点上溅射或蒸发 UBM。如蒸发 Cr－Cu－化学镀 Ni，溅射 Al/Ni/Cu，溅射 Ti/Ni/电镀 Ni，溅射 Ti/Cu/电镀 Cu 等。对于已经过中间测试的圆片，因为铝压焊点上有探针的压痕，这会影响 UBM 与铝质压点的粘接强度及表面平整度。对这类圆片，一般采用 Al/Ni/V/Cu，且铝层的面积要大于原压焊块。由于 Cr、Ti、Al、V 等材料与焊料不会浸润，可焊性差。但它们与 Si/SiO_2 及 Al 的浸润性能很好。所以这层黏附层允许较薄。由于在软焊料回流时（包括焊点回流成焊球及焊球与 PCB 等基板焊接时）会"吃掉"UBM 最外一层金属膜而造成软焊料直接与阻挡层（过渡层）相接触。因此，阻挡层应该有足够的厚度，且也应该与焊料有一定的浸润性。同时它与焊料接触时也不会产生有害的金属间化合物。

2）在 Ti/Ni 膜上涂一层薄光刻胶，保护 UBM 图形，光刻。

3）腐蚀掉 UBM 以外的 Ni 层。

4）去掉薄光刻胶，涂布厚光刻胶，在 UBM 上方开窗口。

5）去掉窗口内 Ni 层表面的浮渣后，电镀厚 Ni，完成 UBM。

6）在 UBM 上电镀 63Sn37Pb 焊料。

7）去掉厚光刻胶。

8）蚀刻 UBM 外的 Ti 膜。

9）高温回流，焊料依靠自身的表面张力形成球形。制作完毕形成如图 3.8-18 所示的 PbSn 焊料焊点。

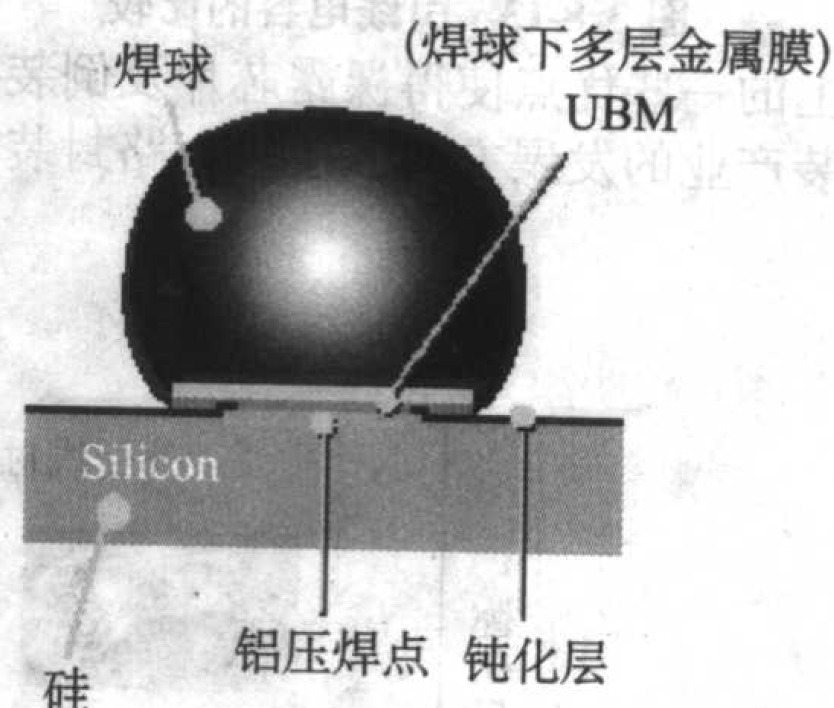


图 3.8-18　PbSn 焊料焊点示意图

3.2.2　其他焊点的制作技术

1）金焊点　这类金焊点是纯金，其熔点在 1 063℃，制作工艺流程如下。

① 在芯片表面钝化层和铝压焊点上溅射或电子束蒸发 UBM 层，UBM 层的材料可选用 Cr/Ni/Au、Ti/Ni/Au、Ti/Pt/Au、Ti/Pd 或 Ti/W 等。

② 涂布厚光刻胶。

③ 利用光刻胶，蚀刻出电镀区图形。

④ 电镀厚金。

⑤ 去掉电镀保护膜（去光刻胶）。

⑥ 刻蚀去掉金焊点以外的 UBM，就形成了金焊点。

芯片在与基板连接时金焊点不会熔化，一般采用压力粘接技术，在 Z 方向紧压各向异性的粘接剂来实现金焊点和基板间的电连接，粘接剂中导电小珠的外层包覆有绝缘膜，当加温加压时绝缘膜破裂，形成导电通路。需焊接的金焊点则采用电镀 AuSn 合金，再回流成球型 AuSn。

2）纯铟（In）　纯铟（In）的熔点低，只有约 156℃，与一般 SMT 技术不兼容，且较易腐蚀，它只用于低温工作的红外器件。

3）聚合物焊点目前尚未成熟。

3.2.3　无铅焊料焊点

传统的焊料大多数含有铅的成分。电子元器件常用的焊料（焊锡丝）为：锡/铅 = 63/37，铅的含量占 37 %，含量极高。由于重金属元素铅对环境有较大的污染、对人体有着极大的危害性，所以日益被各政府重视。这是由于铅是典型的多亲和性毒物，能作用于人体各个系统，主要损害神经、造血、消化和心血管等系统。发达国家已经纷纷颁布法律即将严禁使用含铅的焊料，到 2006 年 6 月，我国也将加入严禁使用含铅焊料的行列。

一般认为，铅的含量小于 0.2%（质量分数）的焊料也可以称为无铅焊料。对不同元器件的焊接有着多种无铅焊料的选择，但通常的焊接温度还是应高于熔点 30～50℃为最佳。

1）几种常用的无铅焊料（见表 3.8-4）

表 3.8-4　几种熔点温度高于 200℃的无铅焊料

	系列	成分（质量分数）	熔点/℃	特点	采用的公司
1	锡银铜	Sn95.5/Ag3.8/Cu0.7	217	可焊接性、湿润度、高温稳定性好（欧盟配方）	Motorola，Nokia，Ericsson
2	锡银铜	Sn95.5/Ag3.9/Cu0.6	217	可焊接性、湿润度、高温稳定性好（美国配方）	Nemi
3	锡银铜	Sn95.5/Ag4.0/Cu0.5	217	可焊接性、湿润度、高温稳定性好（日本配方）	日本 Jieda
4	锡铜	Sn99.3/ Cu0.7	227	用于波峰焊、便宜但返修性差	Nortel，Racal
5	锡银	Sn96.5/Ag3.5	221	可焊接性、强度好，湿润度差	Ford，Motorola，Ncms
6	锡银铜铋	Sn95.5/Ag3.7/Cu0.7/Bi0.1	200～217	可焊接性好，但当波峰焊在通孔焊点处，容易发生裂纹	Sony

注：常用的铅锡（Sn63/Pb37）焊料的熔点为 183℃。

2）熔点温度低于 200℃的无铅焊料有：

① Sn/Zn，199℃；

② Sn/Bi，138℃。

3）选择无铅焊料的主要因素有以下几种。

① 无铅焊料的熔点　焊料的熔点高低决定了有关工艺条件和特征。

② 可焊接特性　特别是黏锡性和焊接强度。

③ 可靠性　能经受高低温度、湿度、震动等的冲击。

④ 材料价格　尤其大量使用时必须考虑成本的核算。

⑤ 是否有专利　专利的使用可快捷提高质量。

3.3　倒装芯片的焊接方式

倒装焊（FC）主要有以下四种互连焊接方法，即：可控塌陷芯片连接法（C4 法）；各向异性导电胶（膜）法（ACF）；钉头型焊点法（SBB）；机械接触互连法。

1）可控塌陷芯片连接法（C4 法）　它是将芯片的焊点上制作的高温 Pb/Sn 焊料焊点，通过对准、焊点回流，焊接到基板的焊点上，在焊接时调节压力的大小，控制焊料焊点的塌陷程度来实现最佳的焊料焊点形状。如图 3.8-19 所示。

2）各向异性导电胶（膜）法（ACF）　它的各向异性导电胶（膜）中含有不连续的导电粒子球，将 ACF 涂（覆）在焊点芯片或基板上后，适当加热、加压，使焊点金属平面通过导电粒子球压在基板的焊点上，而其他方向（x、y 平面）上，因没有连续的粒子球而不会导电。该技术多用于温度要求不高的液晶显示器（LCD）上的焊点芯片连接。如图 3.8-20 所示。

3）图 3.8-21 的钉头型焊点法（SBB）　它是将由金丝形成钉头型的焊点扣焊到涂有导电胶的基板金属焊接区上，再对导电胶加热固化，从而形成牢固的互连。该技术工艺简便、易行、使用灵活、成本低廉，常用于 I/O 不多的单焊点芯片的叩焊、互连。

4）图 3.8-22 机械接触互连法　它是在基板金属焊接区上涂敷可光固化的环氧树脂，将有焊点的芯片叩焊加压进行 UV 光固化，所形成的收缩应力将焊点金属与基板金属焊接区达到可靠的机械接触互连（并非焊接）。这种方法对高 I/O 的微小焊点尤为适用。

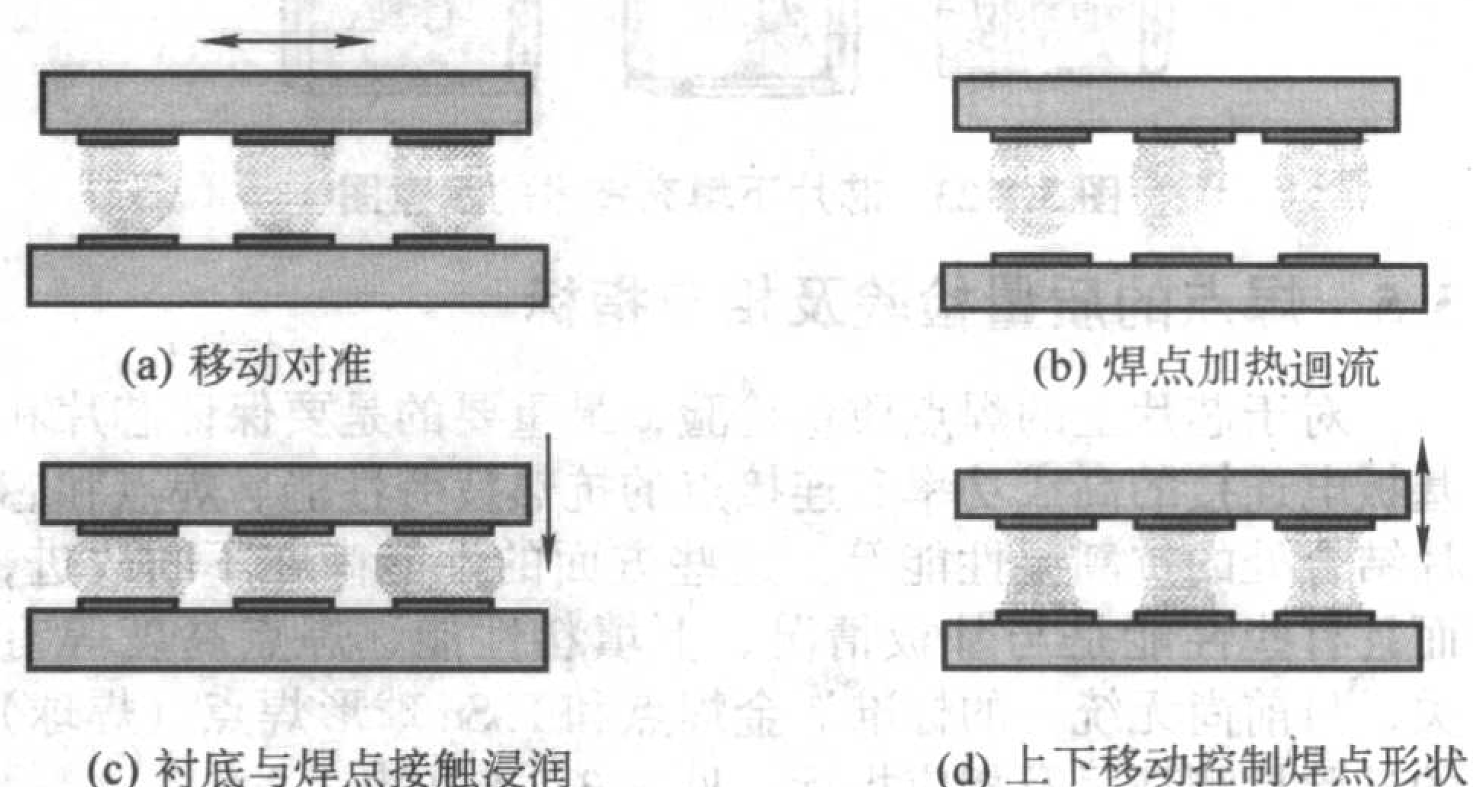


图 3.8-19　可控塌陷芯片连接法（C4 法）示意图

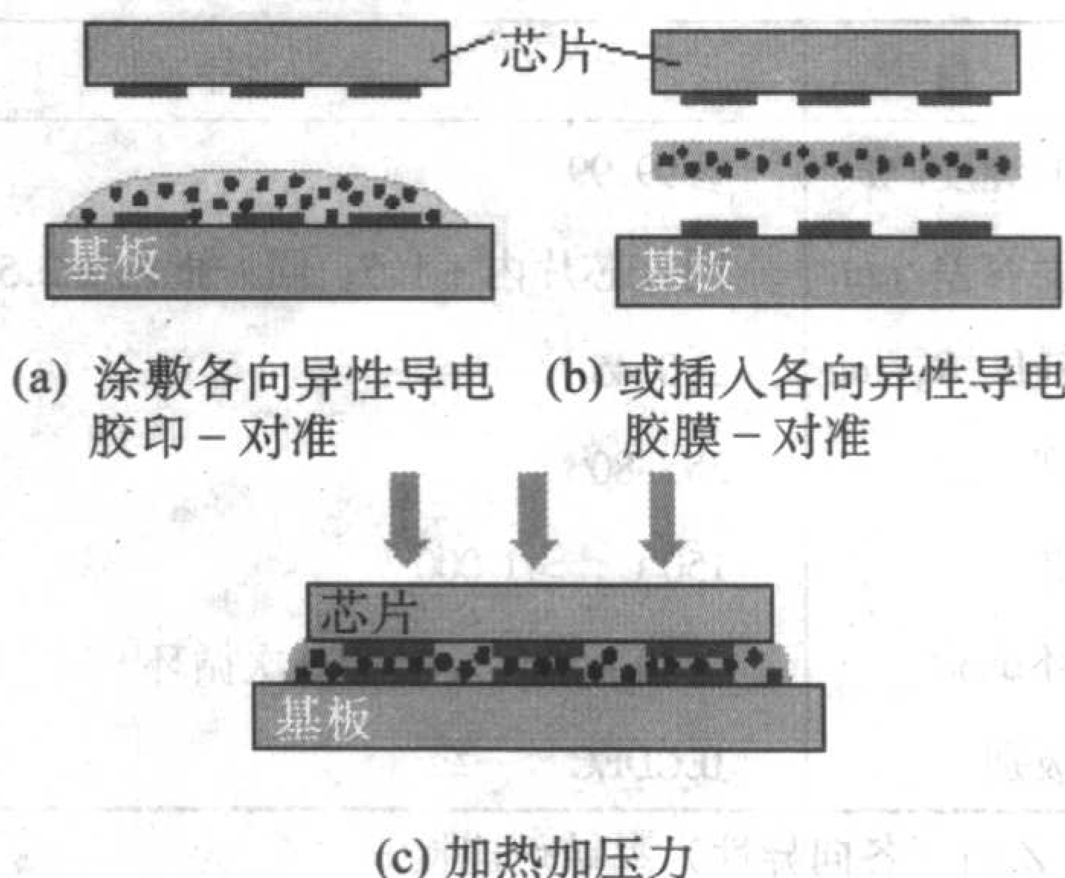


图 3.8-20　各向异性导电胶（膜）法



图 3.8-21　钉头型焊点

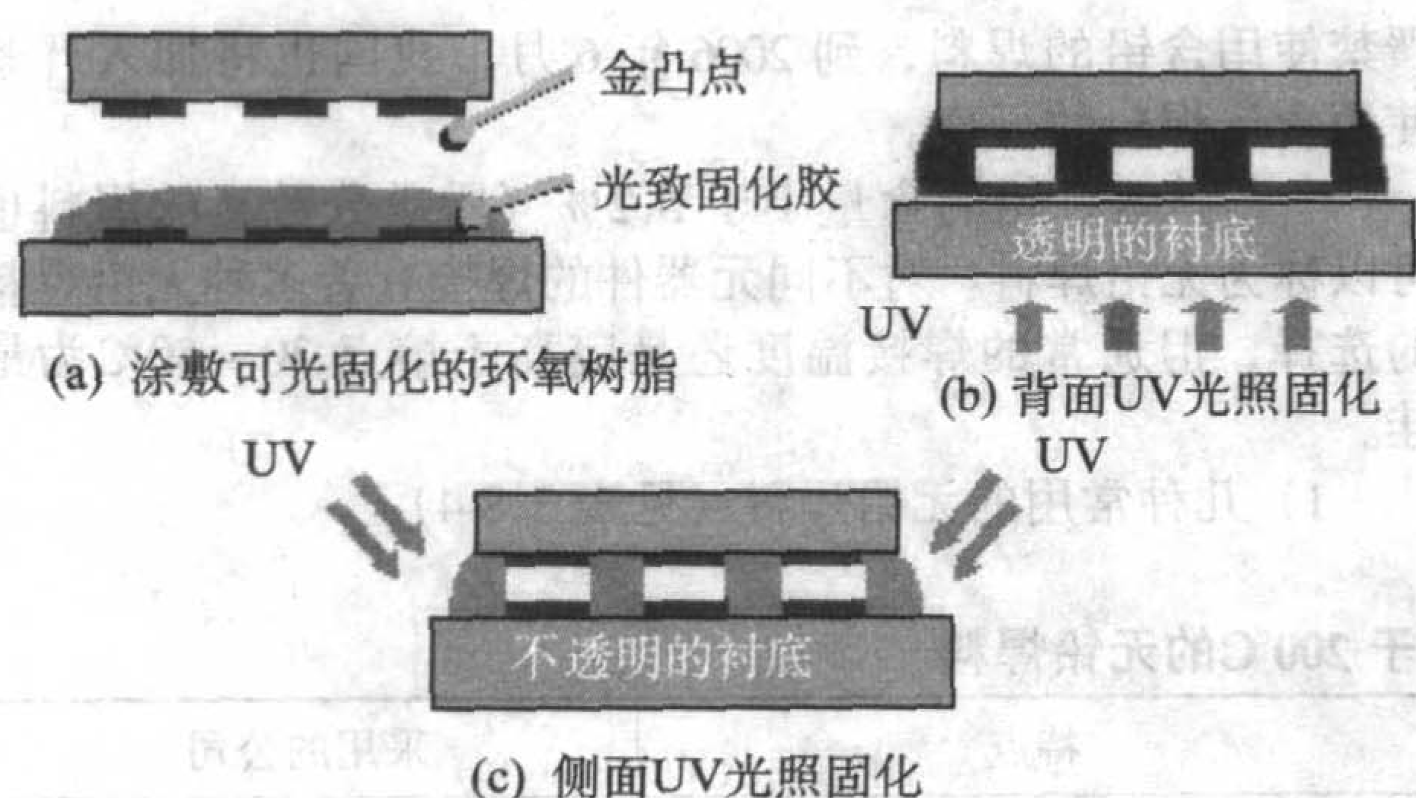


图 3.8-22 机械接触互连法

3.4 倒装焊工艺的芯片填充技术

由于在新型的倒装技术中，芯片直接与衬底连接没有自己的管壳，所以其可靠性受到很大影响，为了提高其可靠性，现在国际上采用了芯片下填充技术。在不考虑其他因素的情况下，倒装芯片封装的可靠性主要取决于所用的材料，取决于对填充剂的特性如线胀系数、黏度、流动性、弹性模量及黏着力等的正确选定。图 3.8-23 给出了芯片下填充技术的示意图。

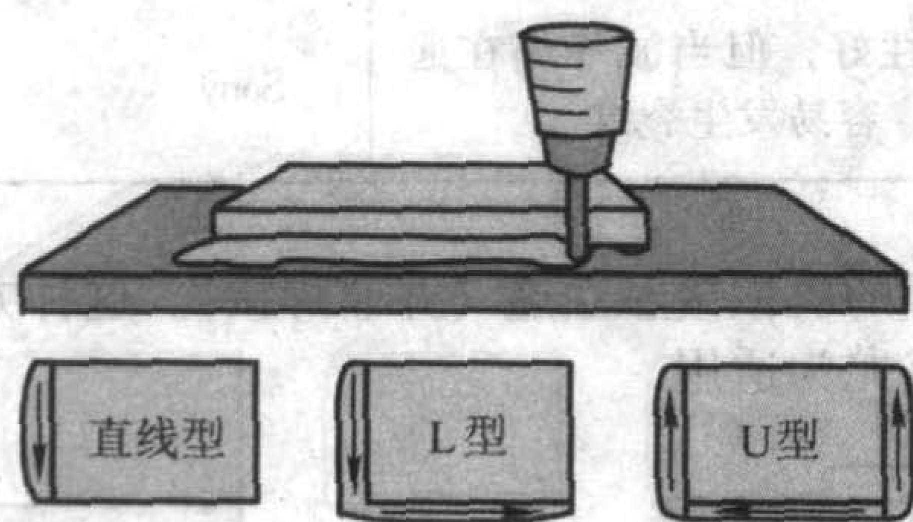


图 3.8-23 芯片下填充技术的示意图

3.5 焊点的质量检验及相应指标

对于芯片上的焊点质量检验，最重要的是要保证芯片和基板电连接的高成功率、连接点的抗热疲劳性能、焊点和芯片结合处的抗潮湿性能等。这些方面的性能尚在不断改进，而且有些性能是与基板情况、下填料性能、焊点高度等有关，目前尚无统一的标准。金焊点和 PbSn 球形焊点（焊球）的试验检测项目及相应指标，见表 3.8-5 和表 3.8-6。

表 3.8-5 金焊点的试验检测项目及相应指标

项　目	指　标
电镀金的纯度/%	≥99.99
焊点高度容差/μm	同一芯片内 ±1.5，同一批内 ±2.5
表面粗糙度 R_a/μm	≤0.45
维氏硬度	35 ~ 80
高温存储	150℃，≥1 000
温度循环试验	−40 ~ 125℃，>500 次循环①
抗潮湿级别	JECDEC　一级

① Z 向（各向异性）黏结剂连接。

表 3.8-6 球形 PbSn 焊点的检测项目及相应指标

项　目	指　标
PbSn 球的成分	Pb37/Sn63，成分偏差 ±2%
球形焊点的高度容差/μm	芯片内 ±10，圆片内 ±15

续表 3.8-6

项　目	指　标
焊点最小剪切强度	≥31 MPa，焊点直径 ϕ = 100 μm
动态工作寿命	125℃，≥1 000
温度循环试验	−25 ~ 125℃，≥1 000 次循环，高档为 −44℃或 −55 ~ 125℃，≥1 000 次循环
高温、高湿、等偏置试验	85℃/85%RH，1 000
压力蒸汽	121℃/85%RH，96
抗潮湿灵敏度	JECDEC　三级

由于大量使用铅（Pb）会污染环境，使人体中毒，因此，世界各国日益重视使用无铅焊料来替代有铅焊料。

4 新型电子封装技术

球形栅网格阵列（BGA）封装于 20 世纪 90 年代早期出现，并与针栅阵列（PGA）有类似的封装设计。球形栅网格阵列大多是由陶瓷或塑料的基座构成。基座具有用于连接基座与电路板的 Sn/Pb 共晶体焊料球的面阵列。使用本章第 3 节中介绍的倒装芯片 C4 技术或本章第 2 节中介绍的引线键合的技术，将裸露芯片黏附到基座的顶部，形成球形栅网格阵列面阵列封装。像用倒装芯片一样，球形栅网格阵列在小外形的表面贴装技术上已经有效地获得了更多的管脚数目。高密度的球形栅网格阵列封装已经具有多达 2 400 个管脚。球形栅网格阵列焊料球的间距通常为 100 μm、127 μm、152 μm。最新的球形栅网格阵列管壳的焊料球的间距已经小于 50 μm。球形栅网格阵列封装的塑料基座有着广阔的发展前途，一种称为有机或薄片载体正在被发展。它是用引线键合的技术或 C4 焊料凸点将硅芯片粘贴到塑料基座上，基座上同时带有可粘贴到电路板的焊料球。由于塑料基座具有比陶瓷更低的介电常数，这将有利于减少信号的传输延迟而使高频性能得以改善。球形栅网格阵列封装的优势还在于第二装配，球形栅网格阵列组件可以跟其他表面贴装组件（例如：四边引线扁平封装器件 QFP，薄小型封装器件 TSOP）一起被放在印刷电路板上并进行同时焊料回流，球形栅网格阵列的焊料球，经过回流后形成对印刷电路板的互连。将球形栅网格阵列与现有的表面贴装工艺技术两者集成在一起的封装工艺，再一次降低了封装成本。

多芯片封装（MCP）为半导体封装领域提供了另一种不同的创新方法。MCP 封装发展的前身是传统上用于高性能专业市场的多芯片模型，那时几乎都是特别定制的，MCP 应该成为商业化的封装产品。MCP 已使用倒装芯片、卷带自动键合（TAB）或引线缝合方法，可以在传统尺寸的高密度基板上包含多个裸露芯片。多芯片模块组装（MCM）技术的进一步发展就是系统封装（SIP）。SIP 可以在传统阵列封装大小的廉价的基板上封装几个裸露芯片，并且可以使用现有设备进行组装。在集成异种元件方面，SIP 提供了最大的灵活性，例如可以在一个成本适当的组合中装进不同尺寸的芯片、无源器件、天线、屏蔽以及滤波器等。在 2003 年有一个重要的实例，这就是面向射频应用的 Tessera 公司的 Pyxis 模块。

与传统封装形式（先将原片切割成一个个独立的裸露芯片、再分别封装每个裸露芯片）的方法相比，将整个原片不经过切割而直接进行封装，称为原片级封装（WLP）。原片级封装具有明显的规模优势。它可以节省大量的劳动，提高产量。原片级封装还有一些技术优势，如封装尺寸最小，由于连接较短且具有更好的电气性能，取消了不必要的工艺

步骤，还有利于更有效地使用测试资源。随着原片级封装的发展，无疑我们将看到半导体单晶硅圆片加工业与封装业之间的进一步整合。

4.1 多芯片模块的组装技术（MCM）

所谓MCM是指把多块裸露的集成电路芯片安装在一块多层高密度互连衬底上，并封装在同一个管壳中。图3.8-24是典型的多芯片模块组装技术（MCM）示意图。

国外对MCM已有多年的研究历史，最早研制的MCM主要用于各公司自己生产的大型计算机或其他电子仪器和电子设备中，这些早期的MCM厂家都属于自产自用型系统厂家，包括IBM、Digital、AT&T、DEC、TI、Fujitsu、NEC等。后来才出现另一类厂商——批量生产型厂商，如Nchip、Intel等。随着MCM设计和制造技术的提高及MCM成本的降低，MCM市场将会迅速膨胀，MCM的应用领域也开始从军事、航天、大型计算机逐步走向PC机、通信和消费类电子产品。

MCM的特点是封装密度高、体积小、重量轻，把多块裸露芯片封装在同一个管壳中进行互连，大大缩短了同一电气网络的互连线，减少了信号线延迟、传输线阻抗以及电路的各种寄生参数。

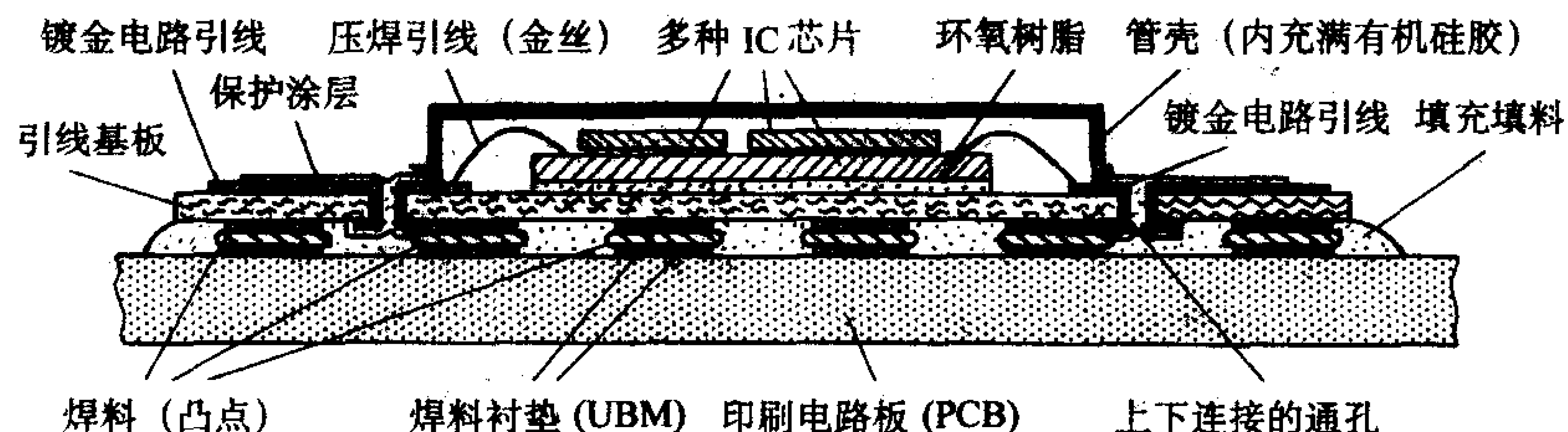


图3.8-24 多芯片模块组装技术（MCM）示意图

MCM可分为MCM－L、MCM－D和MCM－C三种。

1）MCM－L以印刷电路板（PCB）叠层结构技术为基础，衬底制作及互连工艺接近PCB技术。MCM－L在三种MCM中成本最低，使用于PC机、通信、消费类以及其他成本低、功耗小的应用领域。

2）MCM－D应用薄膜技术将金属材料蒸发或溅射到薄膜基板上，用光刻腐蚀方法实现互连。这种技术布线密度高、线条间距小，适用于高频高速电路。

3）MCM－C工艺是建立在厚膜及多层共烧结陶瓷基板混合电路技术基础上的一种可进行批量生产的成熟工艺。利用丝网印刷方法将金属导体印在生瓷片上实现电气互连，然后经过层压、排胶、烧结等工艺制作出散热性能好、机械强度高的多层共烧结陶瓷基板。其布线间距可以达到200 μm，层数可以达到30层以上，一般采用栅阵列（PGA）封装形式。下面主要介绍一下MCM－C的制作工艺。

4.2 MCM－C的主要制作工艺和技术

4.2.1 基板材料和基板金属化工艺

MCM－C的基板材料是多层陶瓷，它是制造MCM－C的基础。MCM－C对基板材料的要求是：绝缘性能好、热导率高、介电常数低、与硅片有良好的热匹配、表面平整度高、易于金属化、机械强度高、成本低等。

MCM电路密度的增加、功率的提高、信号速度的加快，对基板的热导率、介电常数、线胀系数等提出了更为严格的要求。信号延迟时间可用式（3.8-1）表示：

$$T_d = L \times \sqrt{\varepsilon}/C \tag{3.8-1}$$

式中，T_d为信号延迟时间；L为传输距离；ε为基板介电常数。从式（3.8-1）中可以看出，介电常数低，信号延迟时间就少。所以在高速电路组件中必须采用低介电常数的基板。

任何物体，耗散功率P产生的温度场T都满足公式：

$$K\left(\frac{\partial^2 T}{\partial X^2}+\frac{\partial^2 T}{\partial Y^2}+\frac{\partial^2 T}{\partial Z^2}\right)+C_v\frac{\partial T}{\partial t}=P \tag{3.8-2}$$

式中，K为物体的热导率，W/(m·K)；C_v为体热容量；P为耗散功率。从式（3.8-2）中可以看出，P不变时，物体的热导率K直接影响着物体的温升，所以选择热导率高的基板材料可以提高MCM－C的热性能。另外，在选择MCM－C基板材料时还应尽可能使基板的材料与芯片的线胀系数接近，因为电路在工作时，芯片会产生热量（尤其是那些功耗较大的芯片）。由于线胀系数的不同，芯片与基板的接触面之间会产生应力，这就容易造成焊点的热疲劳、开裂，使芯片失效。

MCM－C是在多层共烧陶瓷基板混合电路基础上发展起来的，其传统的基板材料是Al_2O_3，这种材料的工艺技术比较成熟，成本也比较低，这种材料的热导率相对较低，介电常数较高，其线胀系数与硅片[$(3.5\sim4)\times10^{-6}K^{-1}$]相差较大。从MCM向高频、高速、大功率发展的趋势来看，Al_2O_3的前景不太看好，但目前它仍是主要的基板材料。

陶瓷材料经过球磨、流延后按照MCM电路组件外形尺寸的要求，经过热切而成为合适大小的毛坯瓷片后，下一步工艺就可以进行导体布线了。这就是所谓的金属化过程，其目的是为了把芯片安装在基板上并使芯片与芯片之间达到互连。首先根据MCM EDA设计结果提取出MCM电路各层介质之间的互连孔位置、大小等数据送给程控打孔机，在生瓷片上打出小互连孔；再根据MCM EDA设计结果提取出MCM－C电路各层的布线图，做成丝网膜，通过印刷工艺将金属导体浆料印刷在对应的陶瓷介质上。

导体金属化要求导体的电阻率低、金属膜与陶瓷基板的结合强度高、线条精细清晰。Al_2O_3基板材料的金属化导体通常采用W、Mo等导体，但这些导体的电阻率高，线电阻率大，不适合开发高频电路。所以有必要研究低温共烧结陶瓷基板，并选择电阻率低的金属浆料（如铜等）作为金属化导体。

4.2.2 裸露芯片的测试、筛选、老化问题

尽管MCM是当今最先进的封装技术之一，且未来市场也相当乐观，但目前在生产制造方面仍存在许多问题，其中裸露芯片的测试和筛选问题是制约MCM发展并形成批量生产的最困难问题之一。

把多个裸露芯片安装在一个封装腔体内成品率低，即使单个裸露芯片的成品率为90%，而5个裸露芯片的总成品率也会低于60%。所以裸露芯片必须是测试过的已知好芯片(KGD)。因此裸露芯片测试成为MCM测试问题中的关键，国外各MCM厂家或IC厂家争相开发各种测试方法。

1）**裸露芯片级测试和裸露芯片级老化（DLBI）** 先把待测的裸露芯片通过键合工艺安装在一个载体内进行测试，包括参数测试、功能测试甚至包括可靠性测试。这种裸露芯片载体只是作为一种过渡性载体，当裸露芯片测试完成后，将裸露芯片从载体上拆卸下来并保证裸露芯片的完好性。过

渡性裸露芯片载体可以重复使用。

2）晶片级老化（WLBI） 晶片级老化是把整个晶片在切开之前就进行老化，从而大大提前了老化工艺，缩短了制片工艺流程，降低了芯片成本。裸露芯片级老化（DLBI）需要很多的芯片老化载体，成本高，效率低。而晶片级老化用一个固定夹具就可以老化成千上万的IC芯片。这种老化系统一般是由一台中央大片自动传送系统和多台大片探测台而组成。

4.2.3 芯片互连技术

MCM-C基板制作很类似于多层共烧陶瓷微组装电路基板的制作过程。结基板完成以后，接下来的工作就是MCM-C的组装了，这很类似集成电路的陶瓷封装工艺，不同的是MCM-C基板上安装的是多个芯片，而且封装腔体体积较大，这就增加了工艺难度。

芯片与基板的互连方法有：引线键合（WB）、载带型自动键合（TAB）以及倒装焊（FC）等。引线键合的方法已使用多年，由于工艺成熟，因此它容易保证互连质量且不需投资更新设备。但这种工艺每次只能键合一条引线，工作效率较低。采用TAB工艺每次组装一块芯片，比引线键合速度快。芯片倒装焊工艺也可以将多个芯片按要求放置在基板的指定位置上，通过加热将多个芯片一次性地同时焊接。采用装焊工艺，芯片互连强度比采用引线键合和TAB稍低，但大大减少了后两者所产生的引线电阻、引线电容和引线电感，所以它尤其适用于制作高频高速MCM。倒装焊工艺对陶瓷基板的收缩率要求很严格。必须十分严格控制其收缩率，才能使芯片与基板焊点定位精确，保证倒装焊的成功。

4.3 三维立体（3D）封装

三维立体（3D）封装是近几年来正在发展着的电子封装技术。各类SMD的日益微小型化、引线的细线和窄间距化，实质上是为实现X、Y平面（2D）上微电子组装的高密度化；而3D则是在2D的基础上，进一步向空间Z方向发展的微电子组装高密度化。三维立体封装可以在一个结构里提供二、三、四层甚至更多层次的堆叠封装，而外形尺寸与原来的单芯片封装相差无几。

三维封装需要考虑的因素更多，其中有：①层压板或柔性电路基板；②引线键合、倒装芯片（flip chip）、导电胶或组合连接方式；③金字塔式堆叠、“凸悬”（Overhang）、折叠（Fold over）等形式；④以及使用无铅焊料或共晶焊料而产生的问题等等。实现3D封装，不但使电子产品的组装密度更高，也使其功能更多，传输速度更高、功耗更低、性能更好，并且有利于降低噪声，改善电子系统的性能，从而使其可靠性更高等。

三维立体封装（3D），是在垂直于芯片表面的方向上堆叠，互连两个以上裸露芯片的封装。其占用空间小，电性能稳定，是一种高级的“功能系统封装在一个管壳内（SIP）”的封装技术。三维立体封装可以采用混合互连技术，以适应不同器件间的互连，如裸芯片与裸芯片、裸芯片与基板、裸芯片与无源元件间可以根据需要采用倒装、引线键合等互连技术。传统的芯片封装中每个裸露芯片都需要与之相应的高密度互连基板，基板成本占整个封装器件产品制造成本的比例是很高的，如BGA占40%~50%。而倒装芯片所用的基板制造成本更高，达70%~80%。三维立体封装内的多个裸露芯片仅需要一个基板，同时由于裸露芯片间大量的互连是在封装内进行，所以互连线的长度大大减小，提高了器件的电性能。三维立体（3D）封装还可以通过共用I/O端口减小封装的引线数目。概括地说，三维立体封装3D的主要优点是：体积小、重量轻，信号传输延迟时间减少，低噪声，低功耗，极大地提高了组装效率和互连效率，增大信号带宽，加快信号传输速度，多功能性、高可靠性和低成本性。例如Amkor公司采用了裸露片叠层的三维立体封装，比采用单芯片封装节约了成本30%。

4.4 系统级封装（SIP）

系统级芯片（SOC）是半导体行业里专用集成电路（ASIC）和知识产权技术领先厂商们的一种流行做法。

随着集成电路的规模越来越大，21世纪SOC技术已由130 nm进入到90 nm工艺技术的快速发展阶段。目前在同一个芯片中可集成数亿个（即10^9个）晶体管。在一个芯片中可集成包括CPU、DSP、逻辑电路、模拟电路、射频电路、存储器和其他电路模块以及嵌入式软件等，并相互连接构成完整的系统，这就是SOC。SOC的发展潜力是巨大的，但是相关的掩蔽板和小尺寸器件的制作及设备成本也相当高，因此光电制造厂商和SOC供应商都认为SOC可用或最终应用范围会比最初预期的要小。同时SOC的面市时间压力非常大，因此许多OEM厂商和供应商都感到解决存储器、无线发射及混合信号集成要求的最佳方法（至少在近期）是通过封装集成或者系统级封装（SOP或SIP）技术。

近年来，在SOC基础上快速发展成为系统级封装（SOP），即在一个封装内不仅可以组装多个芯片，还可以将包含上述不同类型的器件和电路芯片叠在一起，构建成更为复杂的、完整的系统。

系统级封装（SOP或SIP）又称为系统集成封装，包括用于地址子系统或功能集成中的封装技术。SOP有三种主要方法，第一种是无源和分立元件与有源IC的集成，这就是早期的微组件技术，适用于无线和RF领域所需的集成封装；第二种是3D封装技术，即在一个封装中将多个封装或多个芯片层叠；第三种是将电源与地线的布线与芯片分开，与某种WLP再分配技术一起用于FCIP解决方案。因为这些集成方法可以提高子系统的价值，因此受到广泛关注并被大量采用。SOP与SOC提供的集成度能够满足新一代系统设计的需求。

下面以佐治亚技术学院封装研究中心（PRC）的研究成果介绍一下系统级封装SOP。

PRC研究的系统级封装技术包括无源元件如电阻、电容、电感、光器件以及采用微型机电系统（MEMS）工艺的射频元件的集成，同时，也包括低成本的冷却装置、混合信号设计和测试、相关设计工具以及不采用底部填充材料的低成本倒装芯片安装工艺。当然，SOP技术的基础是可靠的高密度互连板材、工艺和材料。系统级封装中某种型号的截面，如图3.8-25示。

低成本的高密度互连（HDI）有机衬底材料是实施系统级封装（SOP）技术的最重要条件。问题的关键在于：必须在FR4这样的有机板材上蚀刻出间距极小的超精密走线。NEMI、SIA、IPC和ITRI研究机构的报告表明，在今后的芯片设计过程中，基材供应商必须具备制造低成本精细线的工艺。

印刷线路板（PWB）制造业通常把小于100 μm的线宽称为“精细线”。现在，线宽最小可以做到50~35 μm之间，因此，目前对精细线、极精细线和超精细线和线间距的概念并未清晰地定义。

这里讨论的极精细线（very fine）指的是50 μm以下的线宽，该线宽能满足现在及今后一段时期业界的需求。“超细线”（Ultra fine）指的是宽度为15 μm以下的线宽，该线宽能够满足在未来几年后精密间距阵列内连倒装芯片的要求。

影响“极细”与“超细”线和线间距加工的两个关键因素是：

1）将高分辨率光掩蔽图形通过设计或用光掩蔽工具将

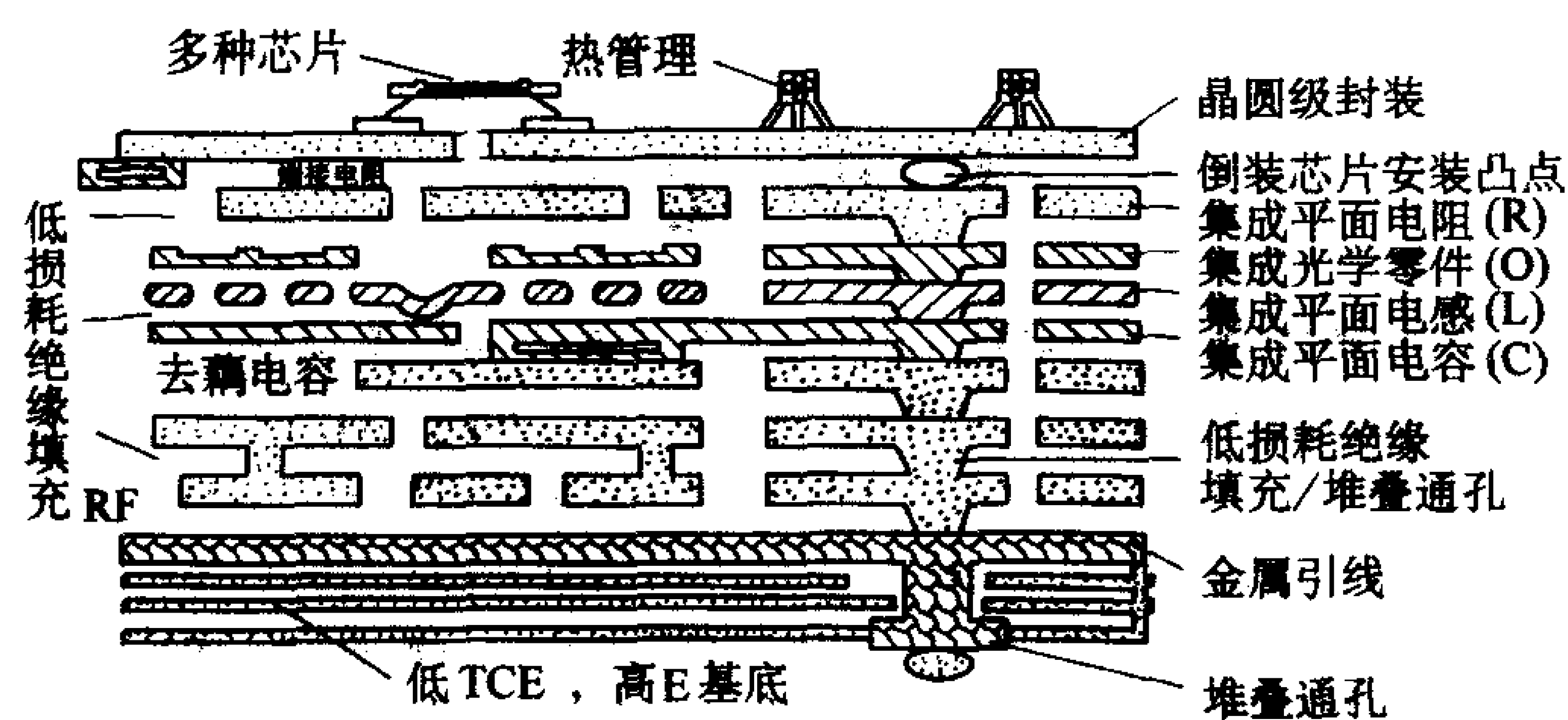


图 3.8-25　系统级封装（SOP）的截面

图形复制在基底上；

2）低成本的、能制成超细线的铜金属线材料。

在以上两个因素中，光掩蔽成像工艺更为关键，要将目标特征几何图形印刷到低成本的衬底上，困难不少。与半导体加工工艺相比可以看到，PWB 制造必须选择价格非常低廉的掩蔽成像材料。

佐治亚技术学院封装研究中心（PRC）已经实现了 25 μm的极细线和 15 μm 超细线 HDI 技术，低于 7.5 μm 线和线间距的研究已经完成，未来几年内，还将开发 6 μm 线宽和线间距以及 10～15 μm 的通孔工艺。下一代芯片技术要求线和线间距必须达到 5 μm 以下，只有这样才能使微电子行业正在开发的 SOP 技术真正取得成功。

编写：汪镇发（中国科学院微电子研究所）

参考文献

1 高尚通．跨世纪的微电子封装．半导体情报，2000，(6)

2 况延香，马莒生．迈向新世纪的微电子封装技术，电子工艺技术，2000，(1)

3 贾松良，胡涛，朱继光．倒装焊芯片的焊球制作技术．半导体技术，2000，(5)

4 滑军学，李春发．MCM－C 的设计和制造．半导体情报，1996，(4)

5 P. Rai－Choudhury．Handbook of Microlithography，Micromachining，and Microfabrication，SPIE Press，1997

6 Hitoshi Handa，et al．Cleaning technology of PSM for under quarter micro devices，SPIE vol.3096，1997，p8492

7 Jerry X. Chen，ArF (193nm) alternating PSM Quartz defect repair and printability for 100nm node，BACUS 2001，Photomask Technology，2001，(9)

8 Andrew W. Neureuther．Understanding Lithography Issues through Simulation．Jpn．J．Appl．Phys．vol.32，1993，p 5823～5828，

9 Liu．W，Ingino．J，and Pease R F W．Resist charging in electron beam Lithography．J．Vac．Sci．Tech.，B13，p1979，1995

10 Lin．B The optimum numerical aperture for optical projection micro－lithography．SPIE vol．1463，p42～53，1991

11 Abboud．F，Mark Gesley，and Maldonado．J，Pattern generation requirements for maskmaking beyond 130 nm．SPIE 3331，p.236，1998

12 Fedynyshyn T H，Szamanda C R and Cerniglario G J，Optimizing the resist to the aerial image in a chemically amplified system．J．Vac．Sci．Technol.，B 15，1997，2587

13 Muray．A，Abboud．F III．Raymond，F，and Berglund．C．Feasibility study of new graybeam writing strategies for raster scan mask generation *J*．*Vac*．*Sci*．*Technol*.，B 11，p 2390，1993

14 Arthur G，Mack C A，Eilbeck N and Martin B. Analysing the dissolution characteristics of deep UV chemically amplified photoresist．Microelectronic Engineering 41/42 (1998) 311

15 Byers J，Peterson J and Sturtevant J. Calibration of chemical amplified resist models．Proc．SPIE 2724 (1996) 156

16 Erdmann A，and Friedrich C. Rigorous diffraction analysis for future mask technology．Proc．SPIE 4000 (2000) 684

17 Ferguson R.A.，Hutchinson J.M.，Spence C.A.，and Neureuther A.R.．Modeling and simulation of a deep－ultraviolet acid hardening resist．J．Vac．Sci．Technol．B 8 (1990) 1423

18 Chen．J F，Laidig．T，Wampler．K E，Caldwell．R，Nakagawa．K H，and Liebchen．A．A practical technology path to sub－0.10 micron process generations via enhanced optical lithography．19th Annual BACUS Symposium on Photomask Technology，SPIE vol．3873，p 995～1016，1999

19 Toublan．O，Sahouria．E，Cobb．N，Do．T，Donnelly．T，Granik．Y，Schellenberg．F and Schiavone．P．Phase aware proximity correction for advanced masks．Optical Microlithography XIII，SPIE vol．4000，p 160～170，2000

20 Kim．B S，Kim I S，Yeo．G S，Lee．J H，Choi．J Y，Cho．H K and Moon J T．The emergence of assist feature OPC era in sub－130nm DRAM devices．20th Annual BACUS Symposium on Photomask Technology，SPIE vol．4186，p 452～459，2001

21 Liebmann．L，Bruce．J，Chu．W，Cross．M，Graur．I，Krueger．J，Leipold．W，Mansfield．S，McGuire．A，and Sundling．D．Optimizing style options for sub－resolution assist features．Optical Microlithography XVI，SPIE vol．4346，p 141～152，2001

22 Dobisz．E A and Marrian．C R K．Control in sub－100nm lithography in SAL－601．J．Vac．Sci．Technol．B15 (6)，1997

23 Eisenmann．H，Waas．T，and Hartmann．H PROXECCO－Proximity effect correction by convolution．J．Vac．Sci．Technol．B11 (6)，2741～2745，1993

24 Ockwell．D C，Crosland．N C E and Kempson．V C．Synchrotron Light as a source for extreme ultraviolet lithograohy．J. Vac. Sci. Technol. B17 (6)，1999，3043～3046

25 Bjorn A.M. Hansson，Lars Rymell，Magnus Berglund，Liquid－Xenon－Jet Laser－Plasma Source for EUV Lithography，Proceedings of SPIE，vol 4506，2001，277～285

26 Claude Montcalm，Sasa Bajt，Paul B. Mirkarimi etal .Multilayer reflective coatings for extreme－ultraviolet lithography. Proce. SPIE vol 3331，1998，42～51

27 Louis E. Reflectivity of Mo/Si multilayer systems for EUVL．Proc. SPIE vol.3676，1999：844～845

28 Louis E et al．Reflectivity of Mo/Si multilayer systems for EUVL，Proc. SPIE vol.3676，p 844～845，1999

29 Claude Montcalm et al. Multilayer reflective coatings for extreme－ultraviolet lithography．Proc．SPIE vol.3331，p 42～51，1998

30 Windt D L，Waskiewiez W K．Multilayer facilities required for extreme ultraviolet lithography．J. Vac. Sci. Tech，1994 B12，(6) 3826～3832

31 Spallas J P，Hosteller R E，Sommargren G E et al．Fabrication of extreme－ultraviolet point－diffraction interferometer aperture array，Appl Opt，1995，34 (28)：6393～6398

32 Okazaki．S．EUV program in Japan．Proc．SPIE vol.3676 Symposium on Microlithography，1999

33 Gwyn．C W et al.．Extreme ultraviolet lithography．J．Vac．Sci．Technol.，B16 (6)，p 3142～3149，1998

34 Burger R M，Glaze J A，Seidel T. Solid State Technology，1995，38 (2)：42～46

35 Nace Layadi，Jennifer I．Colonel An Introductio to Plasma Etching for VLSI Circuit technology Bell Labs technical Journal. July－September 1999，p155

36 stradtmann R R，Lee．J W，Abenathy．C R，And S.J.-pearton Ar Plasma－induced damage InGaAs J. Electrochem，Soc vol.143，No9，Septemnber 1996 L219

37 Nace Layadi，Jennifer I，Colonel et al．An introduction to plasma etching for VLSI，July－September1999，Bell Labs Technical Journal

38 weel，T．El－Gomali M M and wood．J．Low temperature reactive ion etching of silicon with SF_6/O_2 plasmas，J．Vac．Sci Techno．B15，1997，p339

39 Chang．C and Sze．S．USLI Technology．(Newyork：McGraw－Hill，1996)

40 S．Wolf and Tauber．R．Silicon Processing for the VLSI Era，Volume 1－Process Technology 2nd ed.，Sunset Beach，CA：Lattice，2000

41 Kern．W．Handbook of Semiconductor Wafer Cleaning Techn-

ology Park Ridge, NJ: Noyes Publications, 1993

42 Ghandhi. S. VLSI Fabrication Principles, Silicon and Gallium Arsenide.2nd ed.. New York: Wiley, 1994

43 B.El – Kareh. Fundanmentals of Semiconductor Processing Technologies. Boston: Kluwer, 1995

44 刘恩科等. 半导体物理. 北京: 国防工业出版社, 1994

45 张兴等译. 用于 VLSI 模拟的小尺寸 MOS 器件模型. 北京: 科学出版社, 1999

46 甘学温. 数字 CMOS VLSI 分析与设计基础. 北京: 北京大学出版社, 2002

47 Shojiro et al. Technology Challenges for Integration Near and Below 0.1μm" .Proceedings of the IEEE. 1997, 85 (4): 505 ~ 520

48 Hisao Kawaura et al. Electrical Transport in Nano – scale silicon Devices. IEICE Trans. Electron., 2001, E84 – C (8): 1037 ~ 1042

49 吴德馨等. 现代微电子技术 . 北京: 化学工业出版社, 2002

50 刘永等. 晶体管原理. 北京: 国防工业出版社, 2002

51 朱正涌. 半导体集成电路. 北京: 清华大学出版社, 2001

52 Yamaguchi T, et al.Process and Device Characterization for a 30 – GHz f_T Submicrometer Double Poly – Si Bipolar Technology Using BF2 – Implanted Base with Rapid Thermal Process. IEEE Transactions on Electron Devices, 1993, p1484 ~ 1495

53 徐静平, 余岳辉, 陈涛, 彭昭廉. 多晶硅膜原位掺杂制备浅发射结的研究. 半导体技术, 1994.6

54 Burghartz J N, Megdanis. A C, Cressler J D, Sun J Y C, Stanis C L, Comfort J H, Jenkins K A, and Cardone F. Novel in situ doped polysilicon emitter process with buried diffusion source (BDS). IEEE Electron Device Lett, vol. 12. pp. 679 ~ 681, 1991

55 Omer, B. A.; Liu et al. A 0.13 /spl mu/m BiCMOS technology featuring a 200/280 GHz (f/sub T//f/sub max/) SiGe HBT. BCTM Technical Digest, 2003, p203 ~ 206

56 Stanley Wolf. Silicon Processing for the VLSI Era: Volume 2, Lattice press , 1990, p523 ~ 560

57 施敏主编. 现代半导体器件物理. 北京: 科学出版社, 2002

58 高勇. 高压功率达林顿开关管的芯片设计与制造. 半导体技术, 1993 (1): 37 ~ 42

59 王彩琳等. 三级达林顿管 GTR 体耐压计算机辅助设计. 半导体技术. 1996 (6): 57 ~ 61

60 王守武. VDMOS 场效应晶体管手册. 北京: 北京科技出版社. 1990

61 廖太仪. VDMOS 场效应器件的设计与研制. 半导体技术, 1990 (5): 29 ~ 35

62 杨晶琦. 电力电子器件原理与设计. 北京: 国防工业出版社, 1999

63 刘刚等. 半导体器件 – 电力、敏感、光子、微波器件. 北京: 电子工业出版社, 2000

64 Taylor Efland, et al. Opetimized Complementary 40V Power LDMOS – FETs Use Existing Fabrication Steps In Submicron CMOS Technology. IEDM 1994, 16.2.1 ~ 16.2.4

65 M. Wilamowski, High speed, High Voltage, and Energy Efficient Static Induction Devices. 12 Symposium of Static Induction Devices – SSID' 99: 23 ~ 28

66 Ken' ichhi Matsushita, Blocking Voltage Design Consideration for Deep Trench MOS Gate High Power Devices. ISPSD 1995, 256 ~ 260

第4篇

硅基异质结构材料和器件

主 编 余金中

编 写 余金中 左玉华 吴远大 陈少武
韩培德 成步文 姚 飞

审 稿 中国材料工程大典编委会

中国机械工程学会
中国材料研究学会
中国材料工程大典编委会

第1章　概　　述

1　信息社会呼唤新的半导体材料

在人类社会发展中，20世纪是一个科学技术突飞猛进的世纪。前50年中，以爱因斯坦相对论为代表的理论研究和居里夫妇的放射性探索为代表的科学实验为人类开辟了新的纪元。后50年中，以集成电路和激光器为代表的技术发明彻底改变了人类社会的生活方式，人类进入了一个发展速度比此前任何时期都快得多的高速发展时期。在这一进程中，材料科学功不可没。

半导体是介于导体和绝缘体之间的材料，包括元素半导体、化合物半导体、合金半导体、有机半导体等等。它们的发现和应用比导体和绝缘体都晚。然而，一旦人们认识到了它们的特殊性和实用性，便得到非常快的发展。最初认识的半导体是二氧化铜、锗，之后才是硅。硅是地球上含量最多的元素之一，SiO_2 材料几乎遍地都是。而且硅的提纯技术的发展使其成为目前世界上可以得到的最纯的物质，纯度可以高达 $10^{12}/cm^3$ 量级，杂质浓度可以低至 $10^{10}/cm^3$ 量级，这意味着在十万亿个硅原子中才仅仅有一个杂质原子。硅的单晶生长技术的进步使得我们可以获得各种不同掺杂的高质量的单晶，进一步使其成为应用最广的半导体材料。

硅材料的进步大大促进了半导体集成电路的发展。50年来电子器件在器件尺寸、功耗、集成度、延迟时间等特性上发生了很多量级的变化，在计算机的计算速度上得到充分的体现，表4.1-1中列出了电子器件50年来的发展变化。早在50年代初期，晶体管刚刚发明不久，每个器件的尺寸都相当大，到了20世纪末超大规模集成电路中的每个器件平均体积小于 10^{-8} cm^3，整整缩小一亿倍。当初的器件功耗大于50 mW，现在已经小于10 nW，缩小了一千万倍。以前是没有什么集成一说的，现在可以在同一个芯片上同时制作一亿个电子器件，集成度提高了一亿倍。电子器件的发展速度越来越快了，现在门电路的延迟时间仅仅约为0.1 ns的量级，加快了数万倍。正是硅集成电路的高速发展，使得计算机的速度高达每秒亿次以上。可以说20世纪的后50年是半导体硅材料和器件发展得最快的50年。

表4.1-1　电子器件50年的发展变化

年份	1950	2000	前后变化
电子器件尺寸	晶体管发明不久，尚无可靠产品，微小型电子管体积 >0.6 cm^3	VLSI中每个器件平均体积 $<10^{-8}$ cm^3	缩小 10^8 倍
电子器件功耗	>50 mW	<10 nW	缩小 10^7 倍
集成度	无	$>10^8$ 器件	$>10^8$ 倍
门电路延迟时间	约1 μs	约0.1 ns	加快数万倍
计算机速度	约 10^2 次/s	约 10^{12} 次/s	增加 10^{10} 倍

人类的追求从来没有停止过，体积小了之后还希望更小，速度快了之后还希望更快。当前对硅的研究和应用几乎达到了完美无缺的程度，在此基础上，重新又想到了锗。于是硅锗合金登上了新的历史舞台。正是半导体集成电路的发展造就了硅，而信息社会的呼唤将造就了硅锗合金新材料，进一步又引伸出硅基异质结材料，包括硅基硅锗异质结、硅基锗碳异质结、硅基Ⅲ－Ⅴ族化合物异质结、绝缘体上的硅（SOI：Silicon on insulator）和硅基二氧化硅等等。

到了21世纪，人类进入了信息时代。信息时代的特征是：信息量大爆炸、信息传递高速可靠、信息处理迅速快捷。其量化的标志为三“T”（T：Tera，10^{12}）：光通信传输速率1 Tb/s，计算机运算速率1 Tb/s，光盘存储密度1 Tb/cm^2。

三“T”的实现得益于信息科学的整体发展，包括材料科学、微电子学、计算机科学、光电子学、光子学等许多学科的发展。简而言之，它具体体现了“光、机、电、计、材”的全面进展，是现代光学、微机电、微电子、计算机和材料科学等多学科的高度交叉和集成。在这些学科中，最基础、最根本的是材料科学，它的发展与进步为其他学科的发展提供了最实在的基础、最广阔的领域、最好的性能和最实际的应用。

随着高科技的发展，光纤传输速率大于1 Tb/s的高速率、大容量通信业已实现。2001年在美国召开的光纤通信会议(2001’OFC)上，日本和法国的研究人员就报道了高达10 Tb/s的光纤通信系统。近年来运算速率高达亿次的计算机已经问世，但它们多是并行运转的，然后再综合运算。如果要实行串行运算，就需要将信息的处理速度、传输速度提高更快。现今的处理和传输速度常常受到电子瓶颈的限制。信息存储是信息资料保存、处理的重要环节，虽然磁盘存储和半导体存储有了长足的进步，但仍显不足；用“光”作为“读”和“写”的工具，可以在光盘上存储足够大的信息量，进而实现1 Tb/cm^2 以上的高密度存储，将为我们提供更大的数据库。

在上述三“T”中，硅的大规模集成电路已经起了相当重要的作用，但不能完全满足这些要求。大规模集成电路发展很快，集成度在不断地增加，呈指数的关系，遵循“摩尔定律”：每三年翻两番，即每过18个月之后，大规模集成电路的集成度提高一倍。图4.1-1为摩尔定律的示意图，可以看出，从1979年以来，单片微处理器的晶体管数目已经由当初的2 000晶体管/片提高到目前的 2×10^8 晶体管/片。也就是说，现在一个微处理器就含有两亿支晶体管，再过五年将达到几十亿支（10^9）晶体管。在这个发展过程中，有许多我们熟悉的计算机CPU芯片名称，例如，从1977年到现在，陆续出现了386、486、奔腾Ⅱ（Pentium Ⅱ）、奔腾4（Pentium 4）和Itanium 2等等，它们对应的集成度分别为 10^5、7×10^5、7×10^6、3×10^7 和 2×10^8。在20多年中，集成度已经提高了两千多倍。因此我们使用的计算机速度越来越快、存储量越来越大、价格越来越便宜。

让我们以通信的发展历程为例来看看现代电子技术和光电子技术的发展过程。19世纪末人类才安装了第一条电话线，从而开创了语音通信的先河。20世纪的20年代首次架起了可以同时通十二路电话的一根电线，此时的通信速度仅仅为每秒几个比特的量级。这是一个十分有创造性、然而发展速度相对较慢的时期，但是它的作用和影响是巨大的。到了20世纪的60年代同轴电缆的出现使得通信速度大大加快，

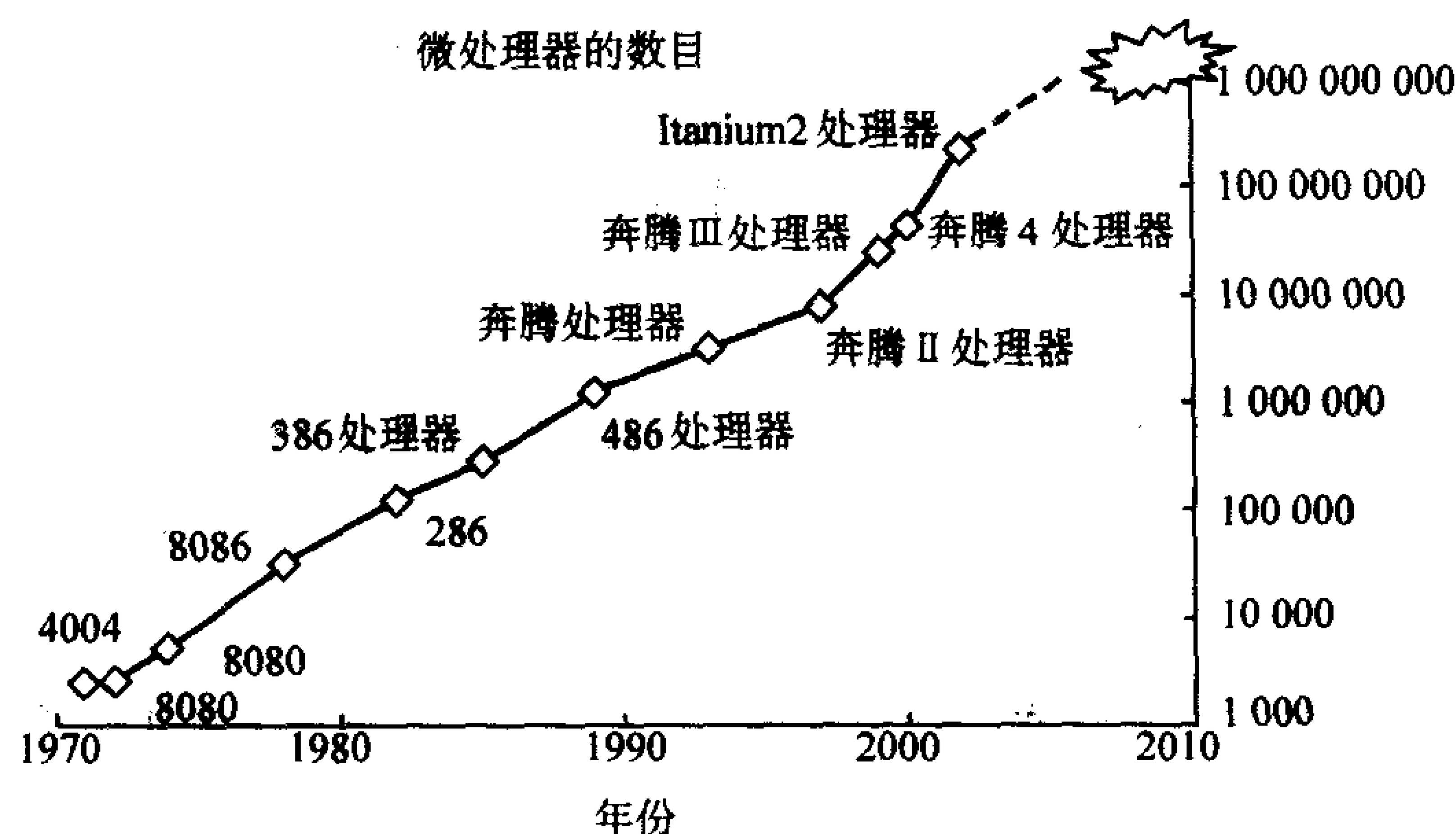


图 4.1-1 大规模集成电路的摩尔定律示意图

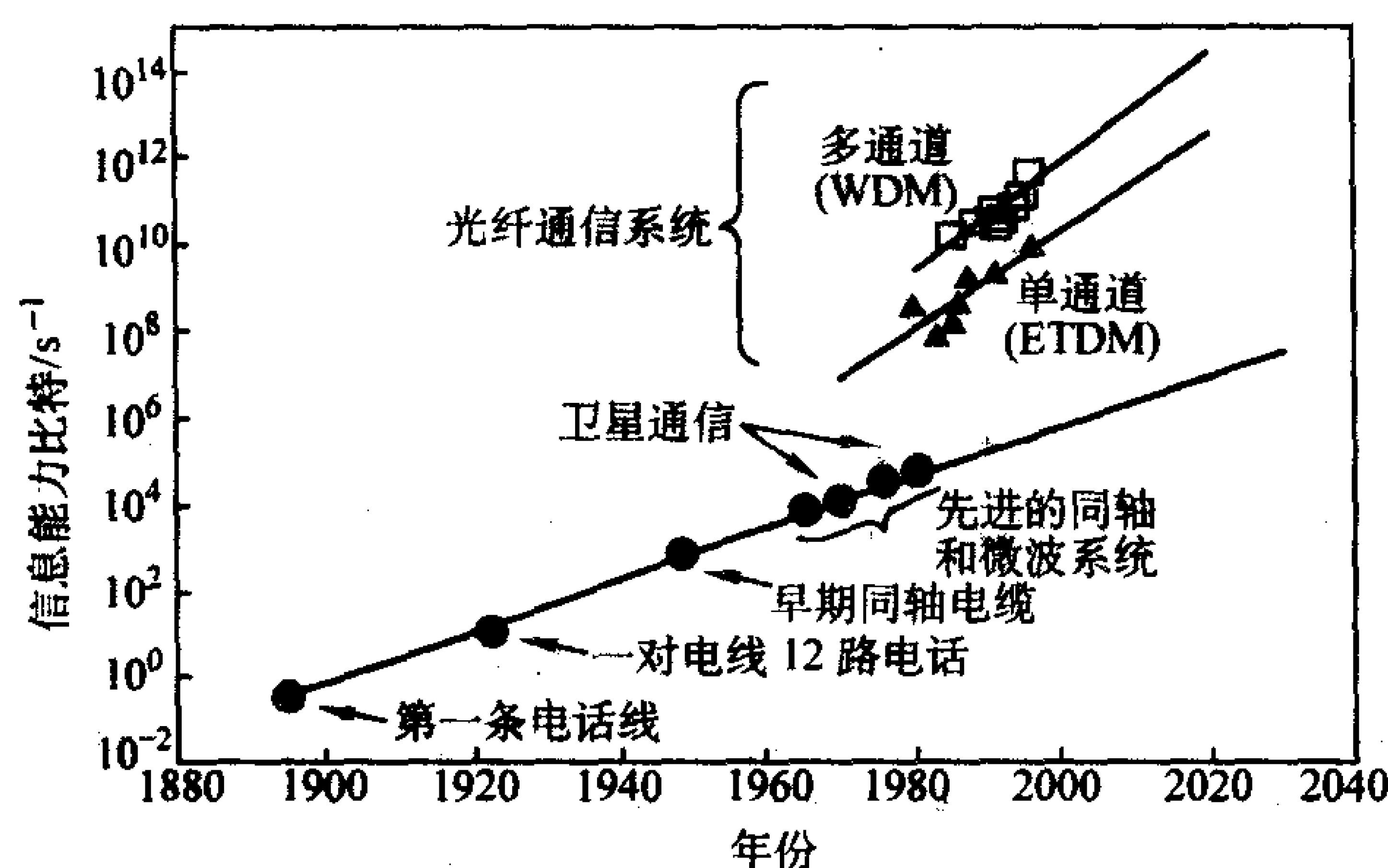


图 4.1-2 通信的发展历程示意图

通信速度可以达到为每秒几百比特的量级。卫星通信和微波通信将信息传输速率大大加快，很快就实现了每秒几万比特的高速率。到了21世纪，光纤通信实现了每秒十万亿比特的高速率。图4.1-2示意地表示出了通信的发展历程。可以看出，真正的突破是在光通信的出现之后，无论是通信速率还是通信容量上都实现了重大的突破。

自从20世纪70年代光纤通信开始应用以来，无论是材料、器件还是系统都发展得非常迅速。这既得益于半导体激光器、探测器、光纤的进步和应用，也得益于集成电路的迅速发展。它们的综合效应就是整体的提高。时分复用（ETDM）和波分复用（WDM）的发展，进一步加快了光电信号的传输速度和容量。

将图4.1-1同图4.1-2进行比较，不难发现它们具有非常类似的特性，两者都是随时间呈指数的关系增长。事实上，信息技术的发展是建立在材料科学技术、电子集成和光电技术的基础上的，只有在高性能的材料上才可能制造出高性能的电子和光电子器件，才可能设计制造出高性能的系统。

然而，现在光学光刻的精度已经差不多达到了理论的极限0.16 μm，在光刻精度达到0.16 μm之后，光学方法本身再也无法进一步提高了。新的工艺手段出现了，X射线和电子束曝光的工艺线已成为现实，因此出现了0.09 μm的工艺线。但是，在这些高度集成的电子器件中，依然存在着“电子瓶颈”：半导体和连线中载流子的有限速率限定了器件间电学信号的传递速率，因此处理得非常快的信息在互联传递时被延迟了。光刻精度的提高总是有极限的，仅仅靠提高光刻精度已经没有特别大的余地了，必须寻求别的出路。显然，为了真正实现信息社会的三“T”目标，必须在材料上寻求更纯、更快、更便宜、更可靠的半导体材料，同时在微电子、光电子、光子等技术和集成等方面进行更多的深入研究与开发。因此，信息社会呼唤新的半导体材料，硅基异质结材料是一种很好的选择，这就是为什么 GeSi/Si、GaAs/Si、SOI 等硅基异质结材料应运而生的原因。

2 硅基异质结材料——第二代硅

美国科学家 H. J. Leamy 等指出：“硅是一种变神奇为平常的材料”。事实上，在过去的60年中，世界因硅的材料和器件的进展发生了重大的变化。通信快捷了，计算迅速了，存储容量大了，图像清晰实时了，人与人之间的距离缩短了。如今硅材料和器件无处不在、无人不用。

回顾一下第一代硅的发展历程。1947年美国贝尔实验室的 J. Bardeen 和 W. H. Brattain 发明了晶体管，于是在石器时代、钢铁时代和工业时代之后，开创了电子时代。这一发明改造了世界，也改造了人类的生活方式。10年之后的1957年，J. S. Kilby 等研制出了第一块集成电路，到1971年，美国的因特公司研发出了第一代微处理器，型号为4004，在同一芯片上集成了2 300支晶体管，自此集成电路风驰电掣般地发展着。

依据早期的发展态势，Gordon Moore 博士提出了一个经验公式：在同一集成电路芯片上的晶体管的数目每年增长一倍。这就是众所周知的摩尔定律。不过后来将时间间隔进行了一些修正，由12个月改为18个月。

现在大规模集成电路的特征尺寸为130 nm，在同一硅片上集成数百万支晶体管。到2005年，半导体工业的生产线采用直径为300 mm的硅片，特征尺寸将达到60 nm。

早在1999年，半导体工业就成为了美国最有附加值的产业，当年半导体工业产值几乎是钢铁产业的5倍。在1996年以前的30多年中，硅工业每年以约20%的速率增长着，这一高速率是别的工业望尘莫及的。到了1996年之后，这一发展速率变得缓慢了一些，但依然是高速率增长着。半导体工业的总产值将由2003年的1 630亿美元增至2006年的2 190亿美元。在整个半导体产业中，激光器、传感器等半导体光电子产业约占5.5%，而通信占整个半导体工业的23%。由此可见，半导体产业是一个多么巨大、多么有效益的产业。

表4.1-2列出了各种半导体材料的发展情况。预计半导体材料的市场由2003年的1 250亿美元增加到2007年的1 908亿美元，增长52.6%，可见半导体材料市场继续保持旺盛的增长势头。在整个半导体材料中，2003年硅单晶材料

占整个市场的98.6%，GaAs、InP等Ⅲ－Ⅴ族化合物材料占1.2%，SiGe合金材料仅仅占0.2%。从这一比较可以看出，Si单晶材料依然占有很大的份额。但这一份额却由2003年的98.6%降低至2007年的97.6%，这并不是Si单晶材料的产量减少了，它的绝对产量依然还在快速增长，而是Ⅲ－Ⅴ族半导体材料和SeGe合金的增长速度更快，它们在半导体材料中所占有的份额分别从2003年的1.2%和0.2%增加到2007年的1.6%和0.8%，4年中分别增加75%和400%。由此可见，在整个半导体材料市场中，SiGe合金材料异军突起，增加得最快。

表4.1-2 SiGe合金在半导体材料中的份额 %

年份	2001	2007
Si单晶材料/%	98.6	97.6
Ⅲ－Ⅴ族半导体/%	1.2	1.6
SeGe合金/%	0.2	0.8
总价值/10^9（亿）美元	120.5	190.8

在硅材料和器件中，现在的关键是价格、特性和工艺相容性，它的发展几乎达到登峰造极的程度。硅材料的后续材料中，SiGe合金、SOI、应变Si等硅基异质结构材料显示出了许多优越性。这就是我们通称的硅基异质结构材料——第二代硅。

随着“能带工程”、“材料工程”的深入研究，Si基异质结构显示出越来越重要的作用，为我们剪裁能带、设计异质结构、调整电学和光学性质、制造新功能器件等提供了有力的工具。Si基异质材料中，SiGe/Si是研究得最多、最深入的一类材料。

Si和Ge之间有太多的相似：同为Ⅳ族元素，同是半导体材料，同为金刚石结构，可以形成组份完全均匀分布的固溶体Si_{1-x}，固溶体$Si_{1-x}Ge_x$的许多物理性质，包括它们的晶格常数、介电常数、折射率、禁带宽度等都介于Si和Ge之间，甚至大都是随组分的变化而线性地变化，例如晶格常数、折射率等参数基本是组份值的线性函数。从这一点出发，我们就获得了一个新的变量x，通过改变x值，我们可以人为地获得大自然中并不存在的新材料，可以按照我们的意愿设计能带结构、禁带宽度等参数，相应地，晶格常数、折射率等参数也会发生变化，我们可以从中得到器件设计所需要的数值，例如获得某一波长对应的禁带宽度和光学波导需要的折射率，从而使得器件的性能发生根本性的改变，获得前所未有的效果，这也就是我们常说的能带工程、材料工程。

以$Si_{1-x}Ge_x$为材料的器件很快显现其优越性，$Si_{1-x}Ge_x$ HBT（异质结双极晶体管）就是一个很好的例证，由于Si和SiGe的禁带宽度不同，产生很高的载流子注入比和超注入效应，实现了频率高达350 GHz的稳定工作，显现出非常好的品质特性，并且已经用于硅基器件的生产线。这一事实和其后的经济效益让人们认识到这一材料的重要性。很快，国外有人把$Si_{1-x}Ge_x$称为第二代硅。

我们不妨把第二代硅的内涵再扩充一些，它不但包括$Si_{1-x}Ge_x$，还包括其他硅基异质结材料，诸如SiGeC/Si、硅基Ⅲ－Ⅴ族化合物、SOI、硅基量子结构等。

在能带工程研究的基础上，通过异质结构和纳米结构，能够对新生长的晶体进行材料改性，获得所期望的能带结构、带隙和折射率，提供了器件设计的多样性。硅基异质结构（SiGe/Si、SiGeC/Si、GaAlAs/Si、InGaAsP/Si等）、绝缘体上的硅（SOI：Silicon on Insulator）、硅基量子结构（SiGe/Si量子阱、SiGe量子点等）为硅基电子器件、光子器件以及光电子集成提供了物质基础，材料晶体完整性的提高和光电物理参数的改善为硅基光电子集成的发展创造了新的可能性，作为第二代硅，硅基异质结材料显示出光明的前景。

3 硅基异质材料和器件的发展趋势

硅集成电路的器件尺寸越来越小，价格越来越便宜，它们的发展趋势越来越小型化、平民化。图4.1-3为MOSFET的栅长和栅氧厚度的发展趋势图，可以看出，MOSFET的栅长由1970年的10 μm缩短为当前的0.1 μm，35年中缩短了100倍；与此同时，MOSFET的栅氧厚度由1970年的100 nm减薄为当前的几纳米，35年中也缩小了几十倍。当器件尺寸小到10 nm量级时，我们就必须考虑量子效应的作用了。而要实现10 nm量级的量子效应，SeSi、GeSiC量子结构（量子阱、量子线和量子点）就会显得越来越重要了。这样一来，硅基异质结构材料和量子结构就成为当前和今后一段时期的热门课题。

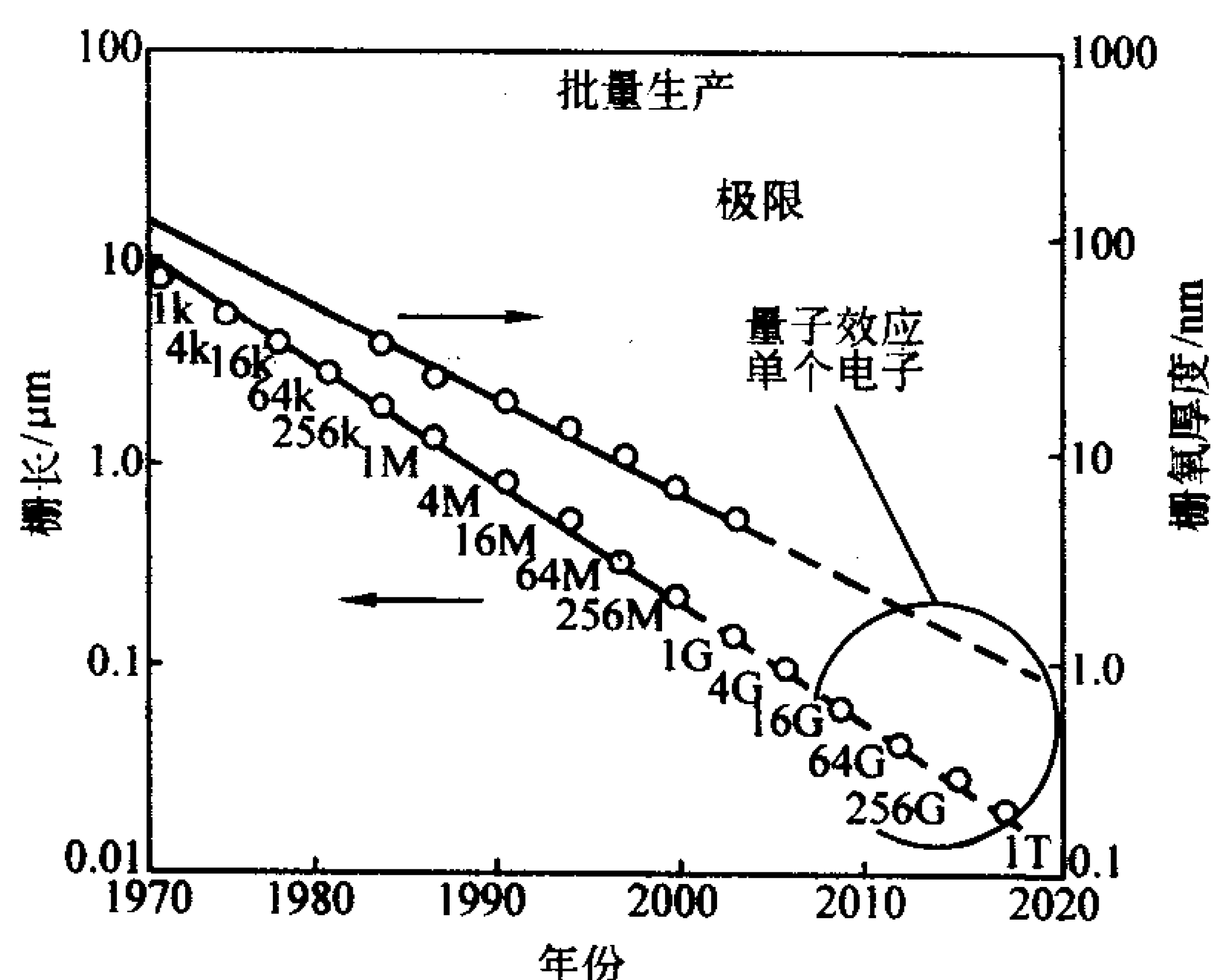


图4.1-3 MOSFET的栅长和栅氧厚度的发展趋势

图4.1-4示意表示了晶体管的价格的发展趋势。1968年晶体管的单价为1美元，现在集成电路中几百万支晶体管才合1美元。照此发展下去，将来每支晶体管的单价会达到纳美元的量级（10^{-9}美元）。可见，尽量地提高集成度、提高性能和降低器件成本就成了硅基异质结构材料和量子结构的目标了。

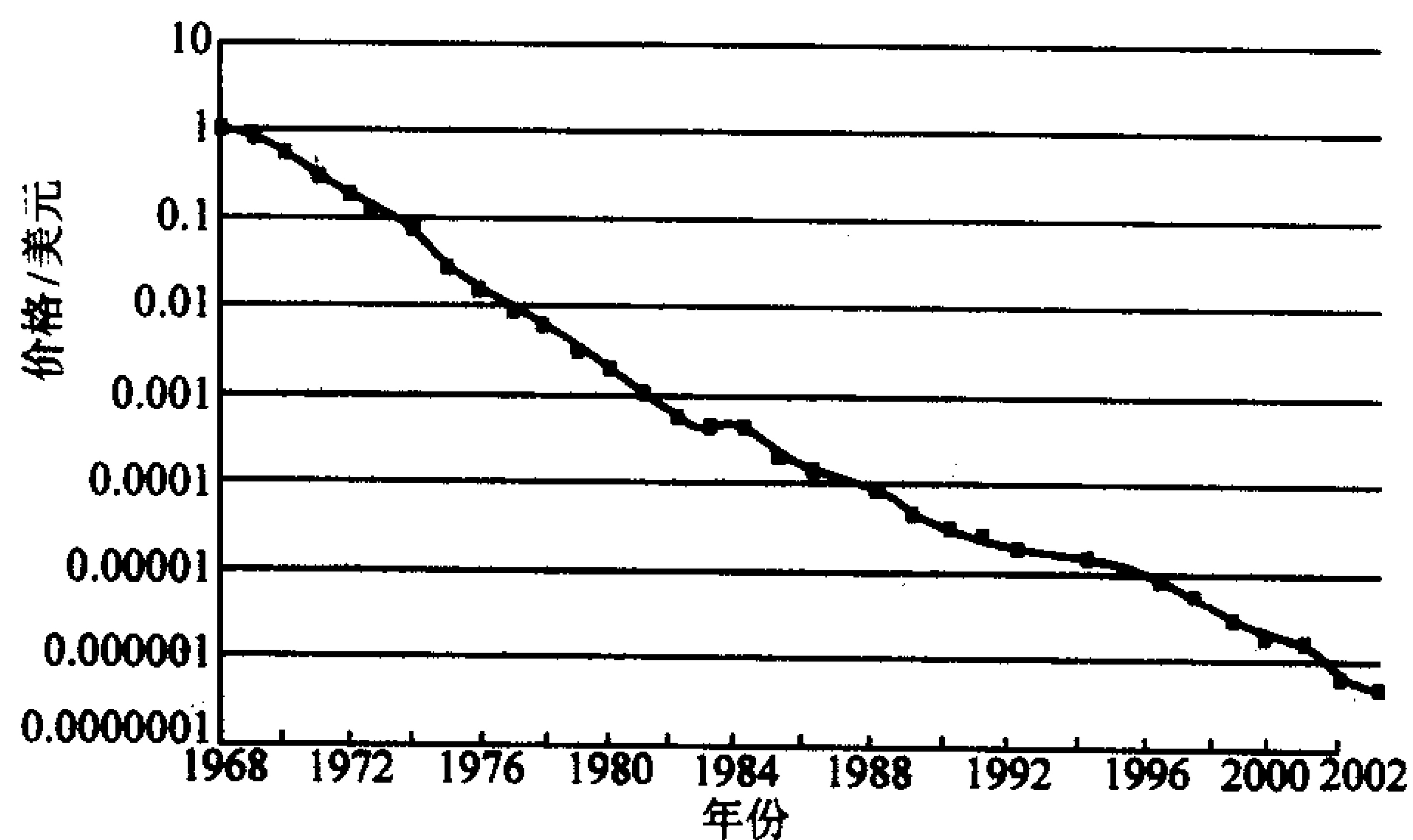


图4.1-4 晶体管的价格发展趋势

依照硅集成电路的器件尺寸和价格的发展趋势，我们可以预计硅基异质结构材料和器件的发展趋势为：异质材料多型化、材料尺寸纳米化、物理性质量子化、功能特性完善化、光电集成复杂化、实际应用多样化。

最初的硅基异质结材料是SeGe/Si，它们显现出许多优

点，但是大的晶体格失配也带来许多麻烦，为此引进元素C进行平衡，于是出现了SeGeC/Si异质结，不但解决了晶体格失配问题，而且给能带设计带来许多方便。同样地，随着硅基异质材料的深入开展和应用的需要，一大批新型硅基异质材料出现了，诸如SOI、GaAs/Si等等，构成了异质材料的多型化。

在这些材料出现以后，对它们的量子阱、量子线和量子点的研究越来越深入了，材料尺寸越来越小，达到纳米量级，许多量子性质呈现出来，为进行新型量子器件设计和制造提供了很多选择，从而促进了开发和应用。

由于硅基应变材料系能带工程的研究与发展，现已研制出频率高达350 GHz的异质结双极晶体管（HBT）、发射波长为1.2 μm的Si量子点激光器和可见光多孔硅发光二极管、探测灵敏度为0.9 A/W的Si/Ge探测器和谐振腔增强型的SiGe PIN光电二极管、调制频率高达1 GHz的SOI CMOS结构的光学调制器、通道数高达540的SiO_2/Si阵列式波导光栅（AWG）、16×16的SiO_2/Si光开关阵列、8×8 SOI光开关阵列等。

这就是说，硅材料不再只是在电子集成电路上独占鳌头，硅基异质材料已经将它的大脚踏进光子和光电子领域。硅基电子集成和光子集成技术具有一系列共同的特点：采用最常规的半导体材料硅作为衬底、硅基异质结构为材料基础、制造技术同已成熟的CMOS工艺完全兼容、制造成本低、电子电路与光子线路集成在一起构成多功能的模块、应用方便、用途广泛等，已经在应用中显示出强有力的生命力。

图4.1-5示意表达了半导体材料、加工尺寸、集成电路、光电器件和应用领域的发展趋势图。图中标出了硅和化合物半导体两类材料的半导体光电子器件的演变过程，包括年代、主要的集成电路和光电子器件、材料外延生长或微细加工的尺寸和主要的应用成果。

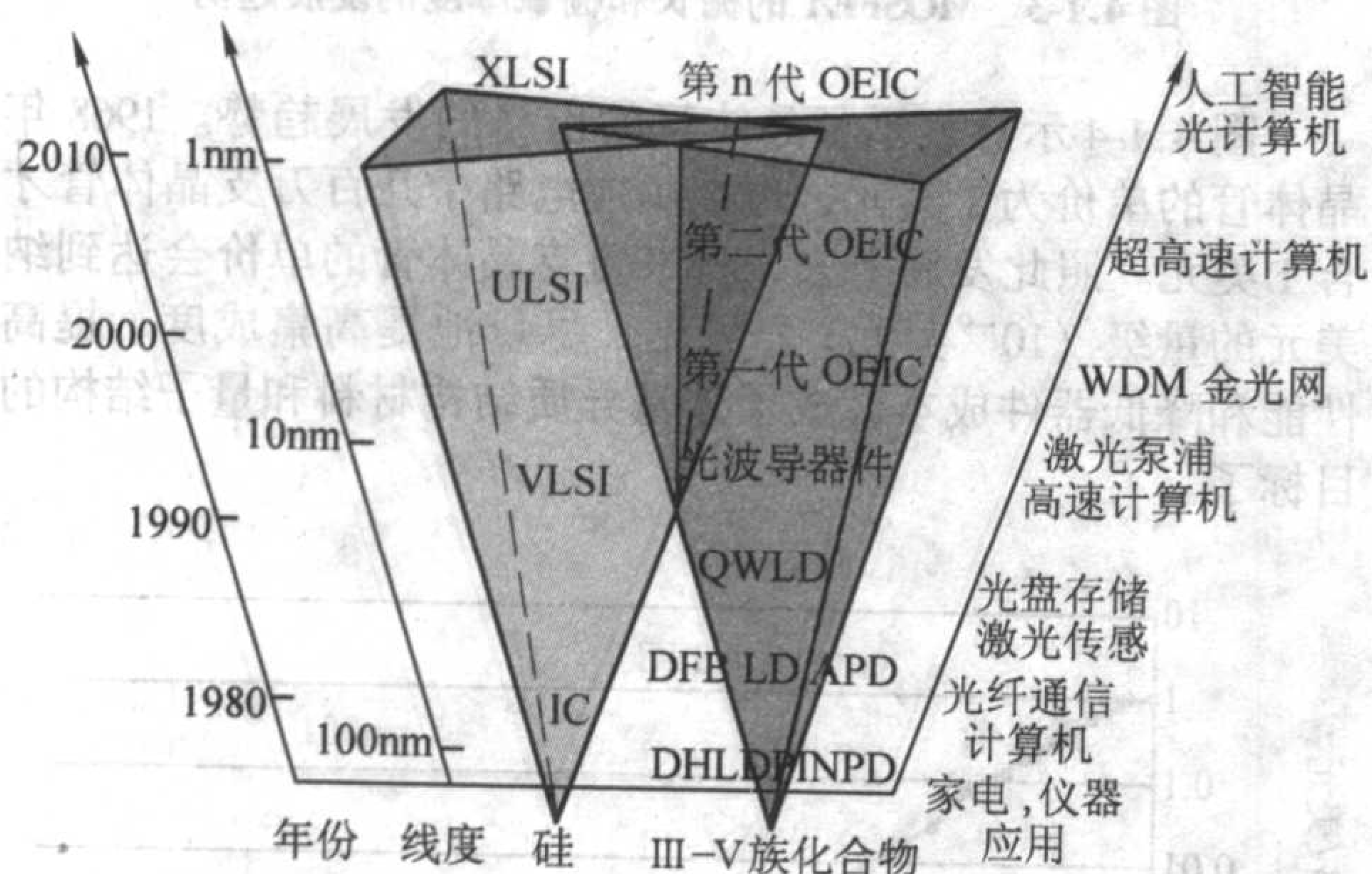


图4.1-5 半导体材料、加工尺寸、集成电路、光电器件和应用领域的发展趋势

众所周知，硅材料已经成功地用于二极管、晶体管、集成电路，特别是20世纪的60年代以后，随着加工尺寸进入亚微米量级，出现了大规模的集成电路（VISI），到了90年代，硅基CMOS的特征线宽已达0.16 μm，于是出现了特大规模集成电路（ULSI），到了21世纪，加工线宽在向0.1 μm并向亚0.1 μm推进，将出现极大规模集成电路（XLSI）。因此，总的发展趋势是，Si的加工线宽越来越窄，将达到纳米量级，而集成度越来越高，依摩尔定律所言，每过一年半集成度提高一倍，与此同时，由于线度尺寸进入到纳米量级，可以实现人工改性。近年来，通过制作纳米量级的量子点，Si、Ge以及SiGe量子点等新材料也能发光了，因而另一个发展趋势是，在Si、Ge等Ⅳ族半导体材料在微电子技术集成电路中大显其能的同时，也向光电子器件领域发展，并且越来越多地同Ⅲ－Ⅴ族化合物半导体材料发生交融了。

GaAs最早出现在半导体光电子领域，这是不足为奇的。一方面，它的直接带隙的能带结构非常适合于制作光电子器件，另一方面得益于GaAs晶体材料的成功，区域提纯、外延生长等方法将GaAs以及后来的InP、GaP、InAs、AlAs等等Ⅲ－Ⅴ族化合物半导体材料带到我们的面前，就像裁缝有了许多不同布料之后可以设计、缝制出许多不同的服装一样，科学家们也可以采用这些五光十色的材料进行能带工程的剪裁，于是一批又一批光电子器件问世了。随着外延层的厚度和光刻的精度由1 μm—0.1 μm—10 nm—1 nm方向的发展，科学家们研制出了双异质结激光器、分布反馈激光器、光电二极管、雪崩光电二极管等一系列光电子器件，与此同时，第一代、第二代、第三代光电集成电路（OEIC）也先后问世了。到了21世纪，已进入了纳米时代，外延生长已实现单原子层外延，微细加工已能进行纳米量级的光刻，扫描电子显微镜（SEM）、透射电子显微镜（TEM）、原子力显微镜（AFM）等为微细结构的观测提供了有力的工具，这些技术综合起来大大促进了光电子技术的研究和开发，并将进一步促进未来的发展。

伴随着半导体电子器件和光电子器件的成功，光纤通讯系统、高速计算机、超高速计算机、密集型波分复用（DWDM）全光通信网等应用系统一一问世。这是一个高速发展的过程，也是一个多种材料、多种技术、多种学科相互依存、相互促进、相互交叉的过程，如今Ⅳ族的Si、Ge材料既能制作电子器件，也能制作光电器件；Ⅲ－Ⅴ族、Ⅱ－Ⅳ族、Ⅱ－Ⅵ族半导体材料（GaAs、GaP、InP、InAs、GaN、ZnS、GdHg等）及其三元、四元合金，既用于光电子器件，也用于电子器件。现在Ⅳ族Si、Ge同Ⅲ－Ⅴ族等也在发生交叉，异质结构外延和键合技术的发展使得它们有机地结合在一起，为进一步的发展提供了坚实而宽广的材料基础。

由于不同器件间的相容性、制备工艺的复杂性以及成本较高等原因，Ⅲ－Ⅴ族化合物光电子集成技术目前到了一个进展相对缓慢的时期。与此形成对照的是，硅基光电子器件近年来不断地有新的突破性报道：①采用硅纳米量子点结构实现硅基量子点结构电注入受激发射；②成功研制出速率高达1 GHz的硅基CMOS结构光调制器；③硅基RAMAN激光器实现室温下连续工作。这些新的突破更激起了新一轮的硅基电子技术和光子技术研究的新热潮，将会出现更多的硅基光电子器件和更新的集成技术。

硅基光子集成，以硅衬底为基片，在同一芯片上集成光电子有源器件和无源器件，实现光和电的信息或能量的高效转换、高速传输和接收，并同电子器件一起进行信息处理。它的研究与发展，已经形成了一门新的学科：硅基光子学。

由于硅大规模集成电路制备工艺极其成熟，硅基光子集成的研究工作主要集中在四个方面：①适于制作光电器件的硅基异质结构的外延生长和键合技术；②硅基异质结构与量子结构的光发射和光探测；③硅基光波导器件和光互连；④硅基光电子器件同电子器件的集成。

可以这么认为：半导体电子集成电路进入了成熟期，而半导体光电子集成电路还处于孕育期。因此，光电子集成具有非常巨大的发展空间，需要研究的课题很多很大，需要解决的技术很高很新，因而为我们设定了很大的舞台。

为了获得高集成度、高性能、实用的半导体光电子集成回路，需要解决材料选择、结构设计、工艺制作、性能检测等一系列科学问题，现在总的发展趋势是：材料采用异质结构、设计尽量兼容广纳、工艺重视微细加工、特性功能高级多样。

Si是大规模集成电路的基本材料，虽然别的材料的集成

电路已有一些报道，但Si基电子集成基本上是独霸天下、一统江山。随着近年来Si基光电子学的发展，Si基光电子器探测器、发光管、光开关、AWG（阵列波导光珊）、光合波器、分束器等一一问世，导致人们越来越多地重视Si基光电子集成电路的研究与开发了。一方面，Si探测器和Si基光波导器件具有很好的光电性能，适合于作集成电路；另一方面，Si基大规模集成电路的制备技术非常成熟，可以借鉴与利用。因此Si基光电子集成具有十分诱人的前景。2004年和2005年，硅基激光器的问世让我们更看到了希望。图4.1-6是硅基光电子集成电路的示意图，可以看出，将电子器件（SiGe量子器件、HBT、CMOS、射频器件、隧道二极管等）、光子器件（激光器、探测器、光开关、光调制器等）、光波导回路集成在同一硅片或SOI片上，构成具有很多特殊光电性能的光电子集成电路，有可能实现光计算和人工智能。

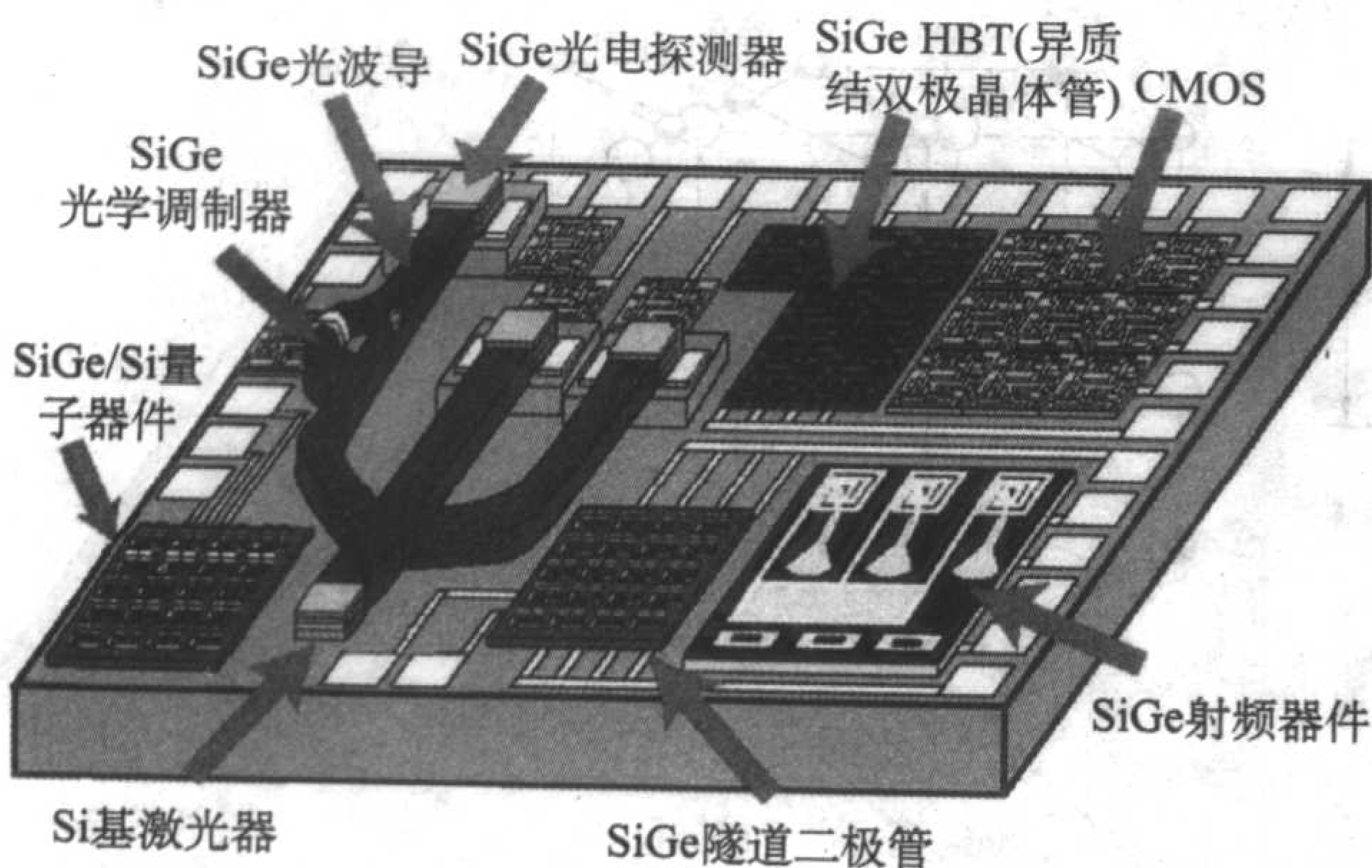


图4.1-6 硅基或SOI基光电子集成电路示意图

光电子集成电路的材料既包括上述衬底材料也包括器件结构所需的材料，尤其是各种异质结构、量子结构、超晶格结构等格外受到关注。利用异质结构，可以获得载流子限制和光限制，利用量子结构、纳米结构、超晶格结构，可以实现材料工程、能带工程的材料改性，即使是间接带隙的Si，也可能通过量子点或能带折叠效应获得直接带隙，因而也能制作出好的发光器件。MBE、MOCVD和HUV/CVD等外延生长技术的发展，延伸出单原子层外延（ALE：Atomic Layer Epitaxy）、选择性的局域外延和激光辅助的外延等外延生长技术，无需光刻，就能直接外延生长出带有各类立体图形的量子结构、纳米结构、超晶格结构，必将为光电子集成提供坚实的基础。

以GaAs和Si为衬底的外延生长异质结材料，构成OE-IC，这无疑是光电子集成的首选。然而这一理念还是过于程式化了，必须将思路转向新的技术、新的工艺。近年来高速发展起来的键合（Bounding）技术给我们带来新的希望，可以将一片半导体光电子芯片转移至另一异质半导体材料上。例如先在GaAs或InP上制作好激光器单管或阵列或组件，然后通过键合工艺转移至Si衬底上。如果Si衬底上已制作好电子集成回路、探测器单管或阵列、光波导器件，再在其上键合上带有发光器件的GaAs基或InP基光电子集成回路，就共同构成一个“混合”光电子集成回路。特别要强调一下，此处“混合”的含义已不同于从前电子电路集成中的“混合集成”。那里是通过焊接、金属焊料键合等方式将单个元器件或组件组合在同一印刷电路板上，是真正意义的“混合”。而这里的“混合”已是将一个芯片的有效部分转移到另一基片上，完全键合成一个新的结构，在外观上是一个完整的芯片，甚至普通的显微镜也分辨不出来。这种技术还在发展之中，大有壮大的趋势。

编写：余金中（中国科学院半导体研究所）

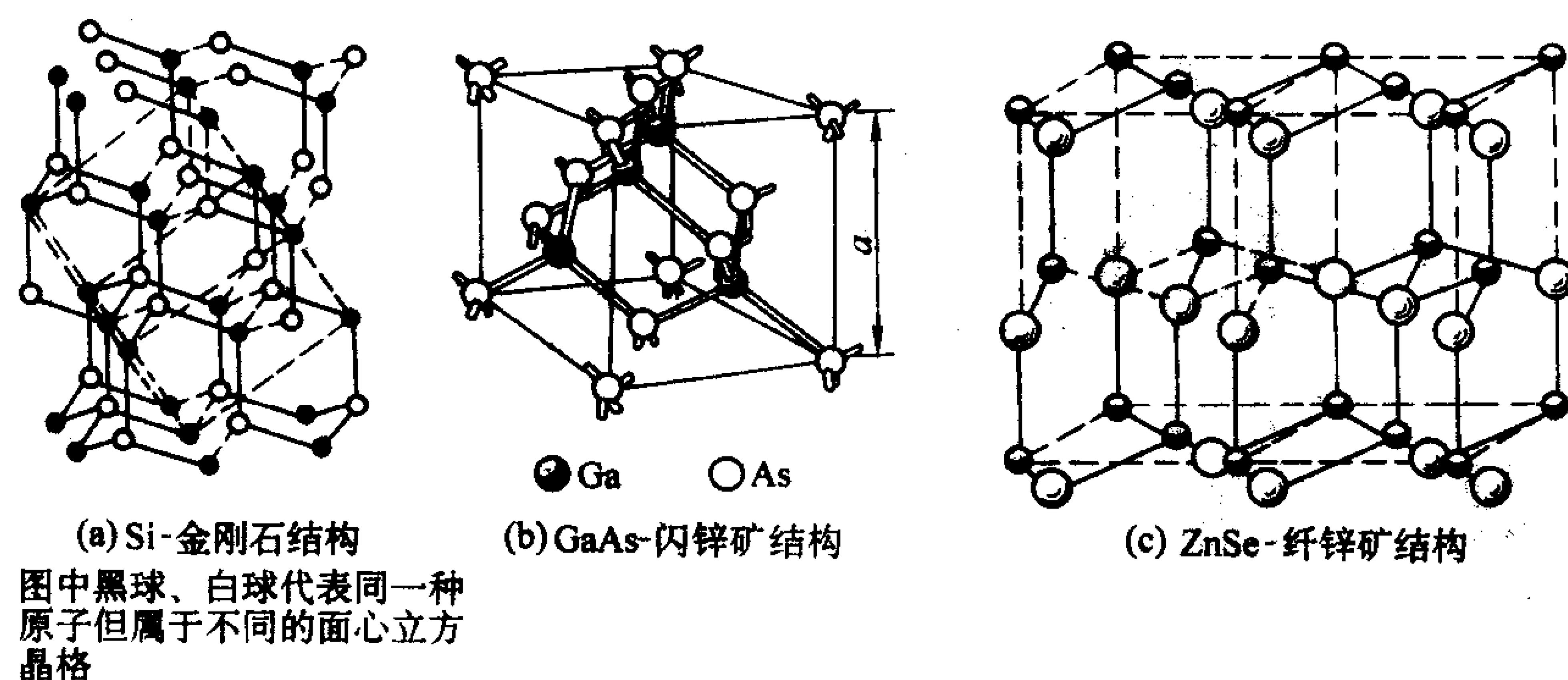
第2章 SiGe的晶体结构

Si和Ge都是Ⅳ族元素半导体材料，能够形成组分完全均匀分布的固溶体 $Si_{1-x}Ge_x$，Si、Ge和固溶体 $Si_{1-x}Ge_x$ 的晶体都为金刚石结构。在这一章中，将对Si、Ge和固溶体 $Si_{1-x}Ge_x$ 的晶体结构、相图、合金的有序性、晶格失配、临界厚度和失配位错进行描述和分析。

1 晶体结构

在元素周期表中，Si和Ge同属Ⅳ族元素，其原子最外层均为4个电子，因此它们构成固体时形成非常稳定的共价键，并且是完全对称的。正是由于这种完全的对称性和稳定的共价键，使得它们的晶体结构具有一系列的稳定特点。

图4.2-1示出了Si、GaAs和ZnSe的晶体结构。Si和Ge的晶体同为金刚石结构，GaAs和ZnSe的晶体结构分别为闪锌矿结构和纤锌矿结构。事实上，金刚石结构是由两套面心立方晶格（fcc）沿着对角线方向相对位移1/4而成。金刚石结构的空间群是Fd3m，在每个立方原胞中包含有8个原子，这8个原子占据的位置如表4.2-1所示。



(a) Si-金刚石结构 图中黑球、白球代表同一种原子但属于不同的面心立方晶格

(b) GaAs-闪锌矿结构

(c) ZnSe-纤锌矿结构

图4.2-1 Si、GaAs和ZnSe的晶体结构图

表4.2-1 金刚石结构中原子的位置

000	$0\frac{1}{2}\frac{1}{2}$	$\frac{1}{2}0\frac{1}{2}$	$\frac{1}{2}\frac{1}{2}0$
$\frac{1}{4}\frac{1}{4}\frac{1}{4}$	$\frac{1}{4}\frac{3}{4}\frac{3}{4}$	$\frac{3}{4}\frac{1}{4}\frac{3}{4}$	$\frac{3}{4}\frac{3}{4}\frac{1}{4}$

在这一描述中，表4.2-1中的1表示图4.2-1中的实线构成的立方体的单边长度 a，$\frac{1}{2}$ 表示单边长度的一半，因此上述分数就表示原胞中每个原子在金刚石结构中的原子坐标位置。图中的虚线构成的立方体就是Si（或Ge）的原胞。

从该图可以看出，金刚石结构是靠原子间的共价键形成的，在图中用圆棒表示。在这一结构中，每个原子有四个最近邻原子。每个原子同其4个最近邻原子一起构成正四面体结构，该原子位于正四面体中心，4个最近邻原子分别位于正四面体的四个顶点上。

虽然金刚石是人们知道的最硬的材料，但是金刚石结构并不致密，原子实硬球只占整个有效空间的34%。

正如图4.2-1所示，实线所示的立方体的边长被定义为晶格长度 a，即晶格常数，因此两个最近邻原子之间的间距为 $\frac{\sqrt{3}}{4}$。

2 晶格常数

在讨论半导体材料的性质时，晶格常数是最重要的参数之一。非常精确的实验测量表明，在室温25℃下，高纯Si单晶的晶格常数 $a_{Si}=0.543\ 10$ nm，而本征Ge单晶的晶格常数 a_{Ge} 介于0.565 73～0.565 79 nm之间，这是两个实验室测量的结果，稍有不同，但差别不是很大。因此，人们通常采用的Ge的晶格常数为 $a_{Ge}=0.565\ 75$ nm。

Si和Ge之间有太多的相似：同为Ⅳ族元素，同是半导体材料，同为金刚石结构。Si和Ge一起构成固溶体 $Si_{1-x}Ge_x$，可以形成组分完全均匀分布的无限固溶体，也就是说，以任何组分组成新的固溶体都是可能的，其组分 x 可以在0～1之间取任何值。

特别值得指出的是，固溶体 $Si_{1-x}Ge_x$ 的许多物理性质，包括它们的晶格常数、介电常数、折射率、禁带宽度等都介于Si和Ge之间，甚至大都是随组分的变化而线性地变化，例如晶格常数、折射率等参数基本上是组分 x 值的线性函数。然而也有些参数偏离同组分的线性关系，例如 $Si_{1-x}Ge_x$ 的禁带宽度同组分的关系就复杂得多。

在物理学中，常常以Vegard定则来表示两个物理参量之间的线性关系，也就是用线性插入的方法来表示介于两者之间的特性。Si的晶格常数为 a_{Si}，Ge的晶格常数为 a_{Ge}，以组分为 x 的Ge与组分为 $1-x$ 的Si在一起构成固溶体 $Si_{1-x}Ge_x$，也就是说，在新的材料 $Si_{1-x}Ge_x$ 中，Si和Ge各占的比例分别为 $1-x$ 和 x。例如 $x=0.3$ 时，$Si_{0.7}Ge_{0.3}$ 中它们各占70%和30%。依据Vegard定则，$Si_{1-x}Ge_x$ 的晶格常数为：

$$a_{SiGe}=a_{Si}(1-x)+a_{Ge}x=a_{Si}+(a_{Ge}-a_{Si})x \quad (4.2\text{-}1)$$

室温下，将 a_{Si} 和 a_{Ge} 的数据带入式（4.2-1），则 $Si_{1-x}Ge_x$ 的晶格常数可以表述为：

$$a_{SiGe}=0.543\ 1+0.022\ 65x \quad (4.2\text{-}2)$$

然而实际情况决没有这么简单，更为细致精确的测定表明，a_{SiGe} 同 x 的关系偏离线性关系。表4.2-2示出了25℃下不同 x 值的 $Si_{1-x}Ge_x$ 的晶格常数 a_{SiGe}，表中不同处列出了实测的 a_{SiGe} 同式（4.2-1）依照Vegard定则线性关系计算得到的值之间的偏差Δ：

$$\Delta=a_{SiGe}-[a_{Si}(1-x)+a_{Ge}x] \quad (4.2\text{-}3)$$

表4.2-2 室温下 $Si_{1-x}Ge_x$ 合金的晶格常数 a_{SiGe}、实验数据与Vegard定则数据的偏差值 Δ

x	a_{SiGe}/nm	Δ/nm
0	0.543 10	—
5	0.544 10	-0.000 4
10	0.545 22	-0.001 4
15	0.546 24	-0.002 6
20	0.547 22	-0.004 1
25	0.548 25	-0.005 1
30	0.549 28	-0.006 2
35	0.550 38	-0.006 5
40	0.551 49	-0.006 7
45	0.552 61	-0.006 8
50	0.553 73	-0.006 9
55	0.554 92	-0.006 3
60	0.556 09	-0.006 0
65	0.557 27	-0.005 5
70	0.558 42	-0.005 3
75	0.559 60	-0.004 8
80	0.560 85	-0.002 7
85	0.562 06	-0.002 3
90	0.563 25	-0.001 9
95	0.565 75	—

从表4.2-2中数据可以看出，偏差值 Δ 全部为负数，并且在 $x=0.50$ 附近偏离最大，达-0.006 9 nm。依据表4.2-2的实验数据，采用数学拟合的方法，可以将 $Si_{1-x}Ge_x$ 合金的晶格常数 a_{SiGe} 更为精确地表达为组分 x 值的抛物线函数：

$$a(x)=0.543\,1+0.019\,92x+0.002\,733x^2 \qquad (4.2\text{-}4)$$

这一表达式比较准确、精练地表述了 $Si_{1-x}Ge_x$ 合金的晶格常数 a_{SiGe}，依此公式计算得出的数值同实验测得的数据最大偏差仅为 10^{-4} nm。

在上述晶格常数数据中，我们列出的是 $Si_{1-x}Ge_x$ 合金完全驰豫后的数值，也就是说该合金中不存在有应力，因而没有应变，也可以说这些数据是 $Si_{1-x}Ge_x$ 合金的体材料的晶格常数。所谓体材料指的是材料尺寸足够大而不是我们以后将主要讨论的薄膜材料。事实上，如果 $Si_{1-x}Ge_x$ 合金是生长在Si或Ge衬底上的薄膜材料，则会因为晶格常数的不同而产生应变，相应地会引起晶格常数的变化，这些都会影响 $Si_{1-x}Ge_x$ 合金的性质，包括晶格常数。

有人采用 x 射线衍射谱的方法测量了Si衬底上生长的 $Si_{1-x}Ge_x$ 应变层中键长的大小。实验结果表明，在应变层中，Ge-Si、Ge-Ge和Si-Si三种共价键中，它们最近的距离分别为0.238 mm±0.002 nm、0.242 mm±0.002 nm和0.235 mm±0.002 nm。这些数据非常接近它们的元素共价键半径之和，而与 $Si_{1-x}Ge_x$ 合金的组分 x 值无关。$Si_{1-x}Ge_x$ 合金的晶格常数 a_{SiGe} 基本上是随组分 x 值单调变化的，随着 x 的值增大而增大，接近线性关系，同时有较弱的二次关系。这同上述Ge-Si、Ge-Ge和Si-Si共价键的键长不随 x 值的变化而变化并不矛盾。在 $Si_{1-x}Ge_x$ 合金中，Ge的含量变化不会影响各种共价键的键长发生变化，但会影响这些共价键之间的相互交叉角度发生变化，相应地会影响合金的晶格常数发生变化。因此可以说，在 $Si_{1-x}Ge_x$ 合金中，依然保持Ge-Si、Ge-Ge和Si-Si共价键的键长不变，它们依然非常接近它们的元素共价键半径之和，但是由於共价键之间的相互交叉角度发生了变化，最终使得晶格常数 a_{SiGe} 随组分 x 值的增大而增大，接近线性关系。

3 SiGe合金的相图

如上所述，无论是理论分析还是实验测试都证实，Si和Ge混合组成SiGe合金时，可以构成任何组分 $Si_{1-x}Ge_x$ 的合金，x 的值可以在0~1之间取任何值。无论是Si或Ge还是 $Si_{1-x}Ge_x$ 合金，都是金刚石结构，同为两个面心立方子格子沿对角线方向位移1/4对角线长度套构而成，位移为 $R=\frac{1}{4}$ <111>，即沿着<111>方向位移1/4的大小。理论分析还表明，Si和Ge混合构成 $Si_{1-x}Ge_x$ 合金时，其焓增大。

由于焓的增大，Si和Ge混合构成的合金形成的特性就与生长温度有关，高温下生长 $Si_{1-x}Ge_x$ 合金时，可以形成任意组分的合金。但在中等温度或较低温度下，就发现Si和Ge的长程有序，因而难以形成合金。

图4.2-2示出了Si-Ge系统的相图。Si和Ge的熔点分别为1 414℃和936.3℃。图中上面的曲线为液相线，下面的曲线为固相线，它们将该图分隔为L，L+S和S三个区域，即液相区、液相同固相共存区和固相区。在液相区和固相区，Si和Ge是完全互溶的，组分 x 的值可以取0~1之间的任何值，也就是说，Si和Ge在一起可以构成原子完全均匀分布、组分为任何值的液体或固体。在固相区中，固溶体为金刚石结构，合金的晶格常数随着Ge含量 x 值的增加而增大，并且是几乎线性地增大，只是在Si和Ge的组分彼此比较接近时，即 x 值在0.5附近时晶格常数才略微偏离一些Vegard定则。

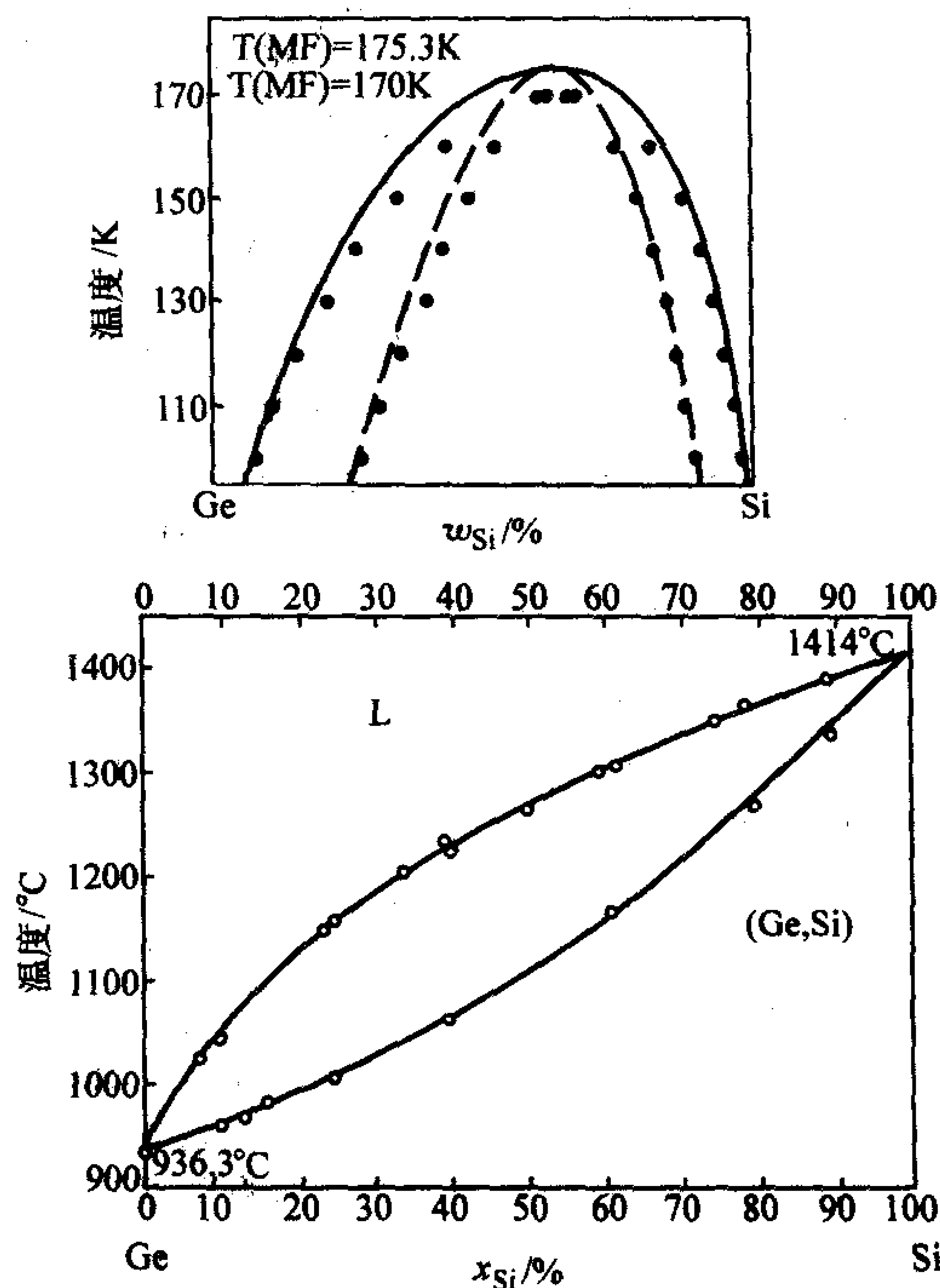


图4.2-2 Si-Ge系统的相图

事实上，基于Si和Ge的许多极其类似的特性，Si和Ge共同构成的 $Si_{1-x}Ge_x$ 合金的许多特性是可以采用Vegard定则来描述的，尤其是在没有办法测试或没有准确的实验数据之前，常常用这种线性插入的方法估算出其数值。虽然进一步

的实验会测出一定的误差，但许多情况下测出的误差不是很大。因此，Vegard定则为我们估算一些参数提供了十分便利的方法。

4 $Si_{1-x}Ge_x$合金的有序性

采用透射电子显微镜（TEM）、扫描电子显微镜（STEM）和高分辨率透射电子显微镜（HRTEM），都可以观察到$Si_{1-x}Ge_x$合金原子结构具有有序性，也就是说，$Si_{1-x}Ge_x$合金中Si和Ge总是按照一定的顺序进行排列的。进一步的研究表明，$Si_{1-x}Ge_x$合金具有三种有序结构，如图4.2-3所示。

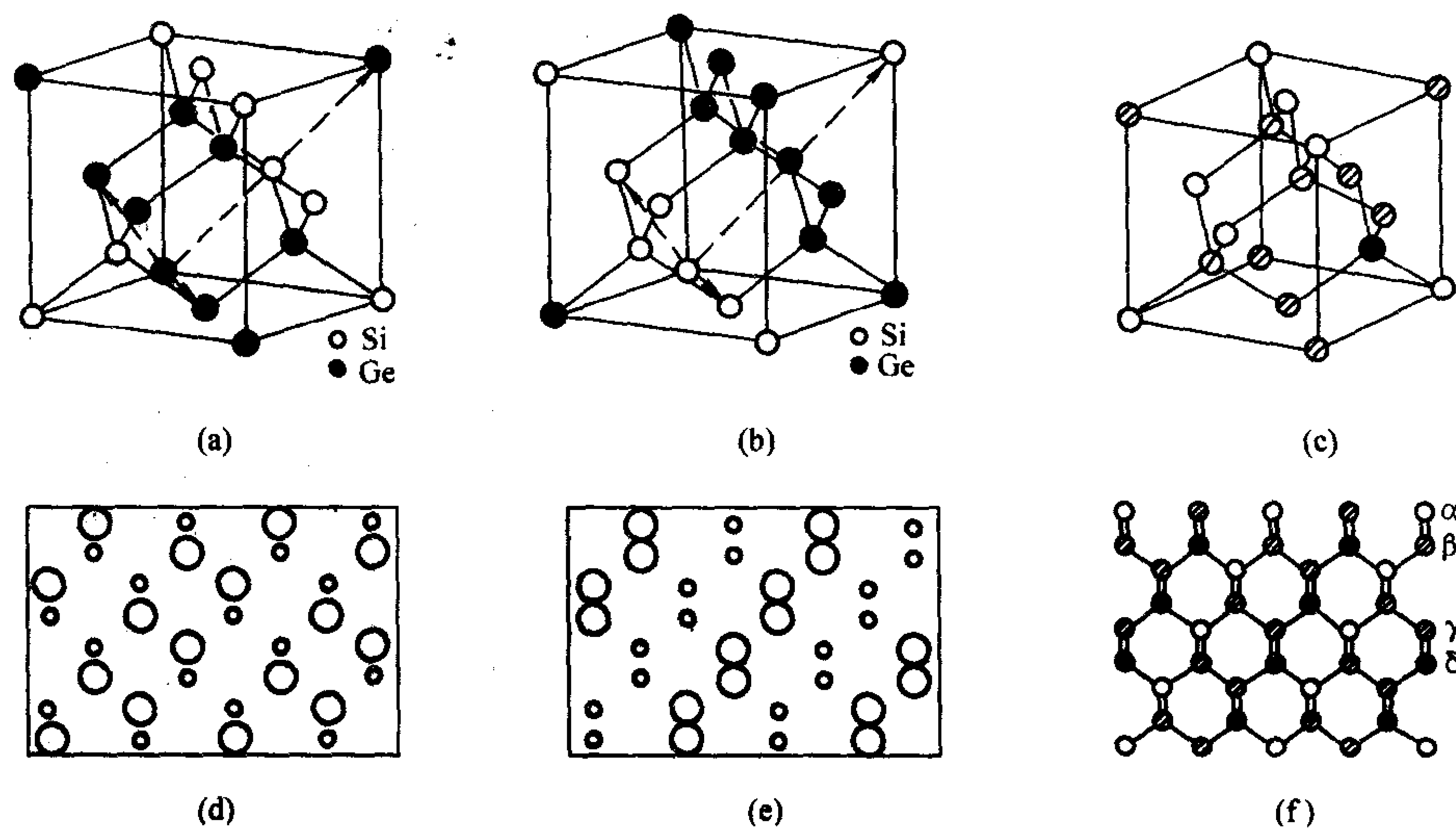


图4.2-3 $Si_{1-x}Ge_x$合金的三种有序结构

从图4.2-3中可以看出，$Si_{1-x}Ge_x$合金有三种菱形六面体结构模型：RS1，RS2和RS3。图4.2-3a所示的为RS1，在相距较远的{110}面上，各个格点都为同类原子所占据。图4.2-3b则示出了RS2有序结构，其相距较远的{111}面都为同类原子所占据。图4.2-3c所示RS3的有序结构要复杂得多，其各投影格点及各晶格间的组分可以不同，有α、β、γ和δ四种投影，它们对应着不同的富Ge和富Si的组分。图4.2-3c的立方原胞由8个结构单元构成，并且相邻单元中不同原子格点位置按照（$\alpha\leftrightarrow\gamma$，$\beta\leftrightarrow\delta$）关系转换。

图4.2-3中的a、b、c为原胞结构，d、e、f分别为对应结构沿<110>方向的投影图。在金刚石相中，只有闪锌矿结构和菱形六面体结构具有自由度，以便形成键长和键角都很理想的四面体结构。在电子衍射图样中，金刚石结构的布拉格反射指数只能全部为奇数或全部为偶数。

不同的实验室曾经采用MBE（分子束外延）法在Si、Ge和$Si_{1-y}Ge_y$三类（110）衬底上生长Si_{1-x}-Ge_x薄层或$Si_{1-x}Ge_x$Si超晶格，并且利用暗场TEM像、选区电子衍射图（SAD）、x射线衍射摇摆曲线（XDR）、扫描电子显微镜（STEM）等手段，对它们进行了观测，结果发现了RS1，RS2和RS3等三种有序结构。这些实验说明，在分子束外延生长的$Si_{1-x}Ge_x$薄层或超晶格结构中，其Si和Ge的排列的确存在有序结构。在合金层内部或者不同组分层之间的界面处，确实存在有序结构，这类有序结构同外延生长过程中的岛状生长模式具有密切关系，它们优先出现在台阶的边缘。

$Si_{1-x}Ge_x$层的有序结构同组分的关系不大，在很大的x值范围内都观测到有序结构。应变层对RS1和RS2的影响是不同的，RS2的产生同外延层中的应变没有关系，而RS1与应变存在是否有关。

以上论述的是$Si_{1-x}Ge_x$薄层中的有序结构特性。对于$Si_{1-x}Ge_x$体材料而言，无论是富Si的体单晶、富Ge的体单晶还是$Si_{0.5}Ge_{0.5}$体单晶，都未曾观测到有序结构。在这些体材料中，Si和Ge是无序的、均匀地分布在体单晶材料中。这从另一面说明，$Si_{1-x}Ge_x$中是否存在有序结构非常依赖于生长方法和晶体大小，用MBE等方法外延生长的$Si_{1-x}Ge_x$薄层和$Si_{1-x}Ge_x$超晶格等结构中的确存在有序结构，用熔融液体拉制出的$Si_{1-x}Ge_x$单晶体材料中没有上述有序结构，Si和Ge是无序均匀地分布在整个晶体之中。

虽然同为固溶体，材料是否具有有序结构对其物理性质是有影响的。同无序合金相比，有序的Si-Ge合金层在超晶格界面上的光学跃迁强度要大得多。但对有序和无序合金的光学、电学性质的研究还很肤浅，因此现今还没有很多的实验数据。

总之，MBE法在（100）面上生长的$Si_{1-x}Ge_x$合金具有有序结构，而熔体中生长出来的$Si_{1-x}Ge_x$体材料单晶中没有有序结构。原子排列的有序结构表现为沿<111>方向的双层堆积结构。不同的有序结构的温度稳定性是不同的。RS1在800℃附近发生转变，但这种转变是可逆的。RS2在570℃附近发生转变，但这种结构是不可逆的。至于超晶格结构，当退火温度超过570℃时，就转变为无序结构了。

5 晶格失配和SiGe的临界厚度

所谓晶格失配指的是两种晶格常数不同的材料一起构成异质结构的晶体材料时，由于两种晶格常数的不同，在异质结界面处不能够完全互相吻合，因而不能完全互相匹配，会使得界面附近材料的晶格常数发生变化或者引进缺陷和位错，这就是我们常说的晶格失配。

Si的晶格常数为0.543 10 nm，Ge的晶格常数为0.565 7 nm，它们的晶格失配度为：

$$\Delta=\frac{a_{Si}-a_{Ge}}{a}=\frac{2(a_{Ge}-a_{Si})}{a_{Ge}+a_{Si}}=4.18\% \qquad (4.2\text{-}5)$$

当Ge和Si一起构成异质结构时，高达4.18%的晶格失配必然会引起应力，产生应变。当外延层的厚度足够厚时，大的应力会使界面附近的材料产生位错，释放出所积累的应力，使其驰豫。同理，$Si_{1-x}Ge_x$/Si异质结构的界面处也同样存在晶格失配，也同样具有应变、驰豫、位错等问题，只不过x值的大小会影响这些特性发生的程度，当x值小的时候，$Si_{1-x}Ge_x$同Si的晶格常数差别小一些，晶格失配度就不大；当x值不是很小的时候，就有相当大的晶格失配度，

这就为 $Si_{1-x}Ge_x$/Si 异质结构的外延生长带来了许多麻烦。

当一种材料外延生长在另一种材料上时，由于晶格常数的差异而导致外延层发生应变；随着外延层厚度的增加，应变层的厚度也逐渐增加，应变的程度也逐渐增加，最终引进失配位错。我们将这种应变积累到一定程度并且最终引发位错刚刚产生时的厚度定义为临界厚度。也就是说，从能量角度看，所谓临界厚度就是晶格常数不同的异质结构中，界面处开始出现失配位错时的最小层厚。

显然，临界厚度依赖于异质结材料本身、晶格常数、异质结的组分 x 值、界面的晶向和温度等。图 4.2-4 和图 4.2-5 分别示出了（100）和（011）两个晶面上 $Si_{1-x}Ge_x$/Si 异质结构的临界厚度同组分 x 值的关系。

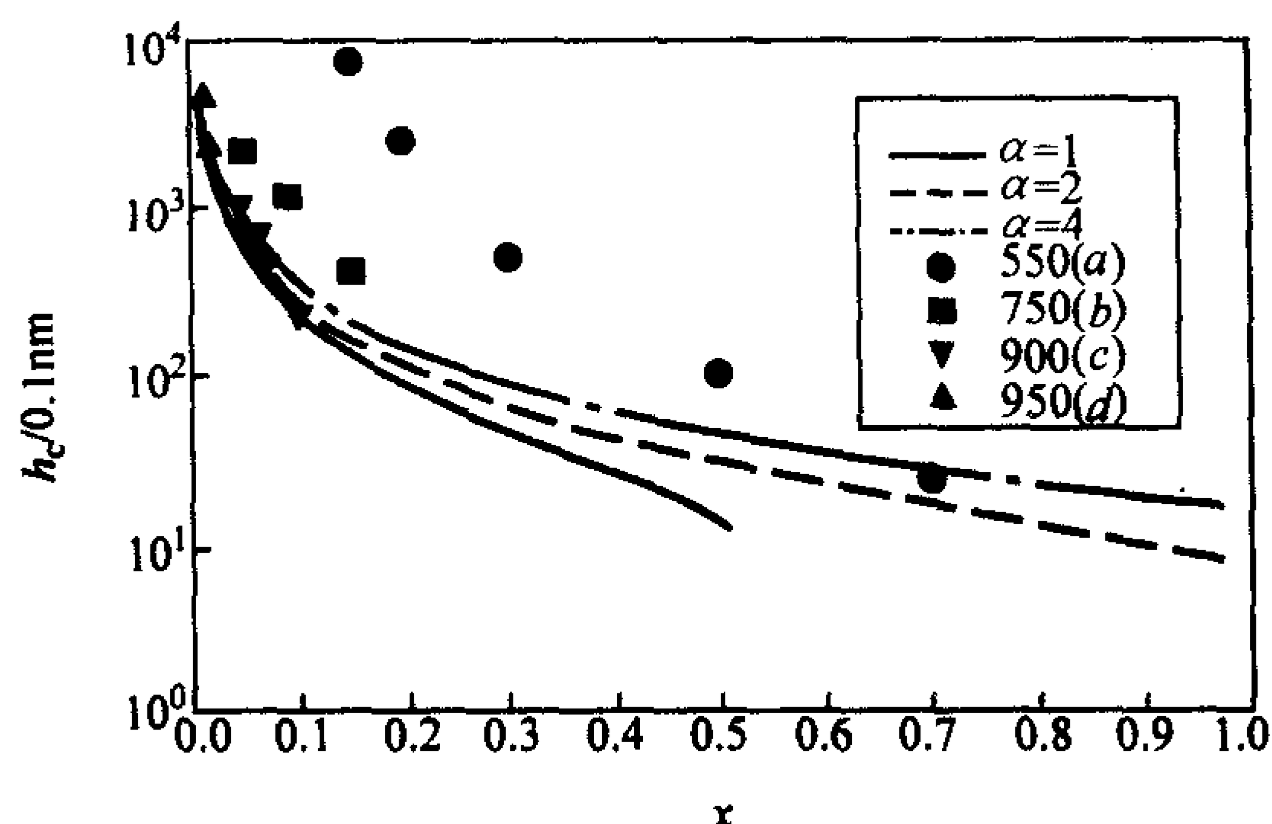


图 4.2-4　（100）晶面上 $Si_{1-x}Ge_x$/Si 异质结构的临界厚度同组份 x 值的关系

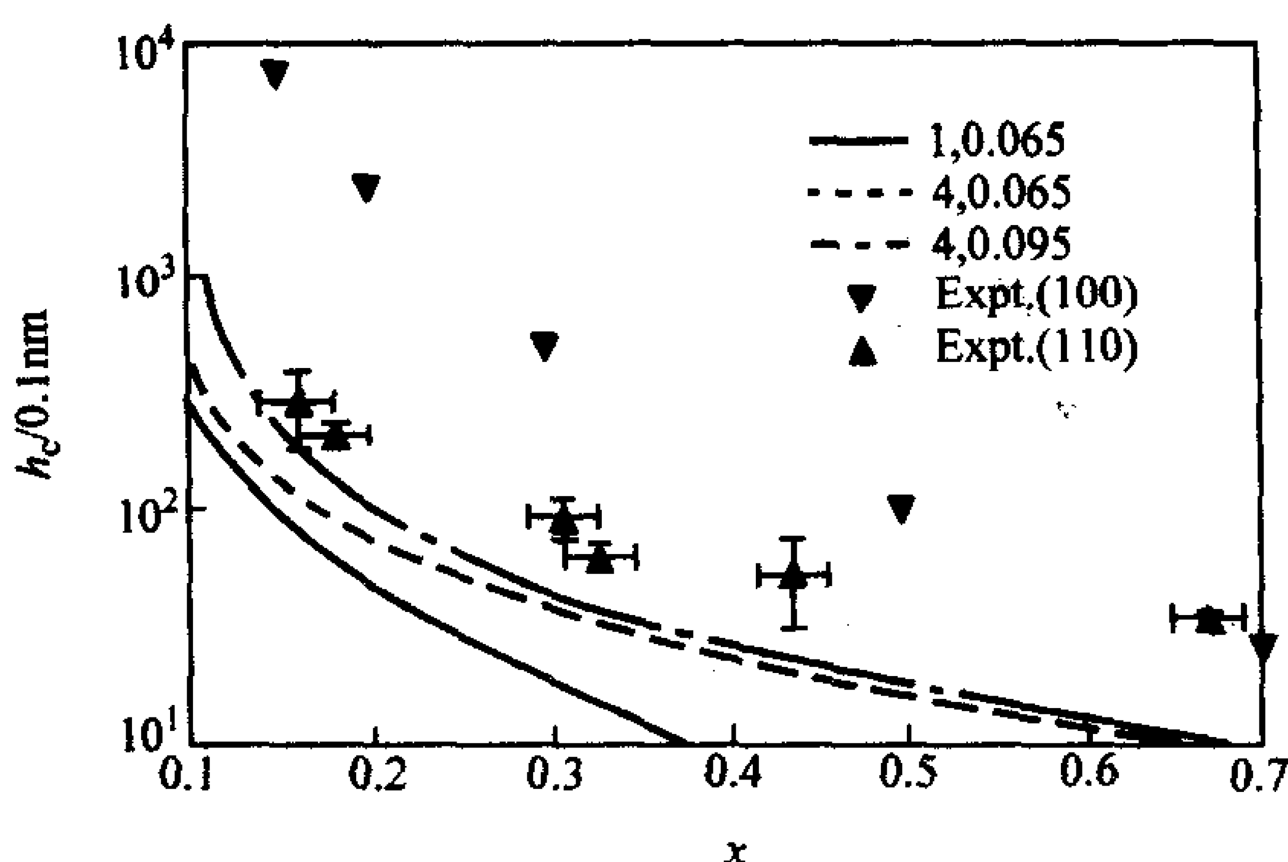


图 4.2-5　（011）晶面上 $Si_{1-x}Ge_x$/Si 异质结构的临界厚度同组分 x 值的关系

世界各国的科学家曾经提出过许多种计算临界厚度的理论模型，现在最常用的是 Matthews 和 Blakeslee 两人提出来的 MB 模型。事实上，这一模型是以能量平衡的概念为理论基础的。在产生位错和传递螺旋位错的过程中，相关的作用力应当达到平衡，计算此时施加至位错上的作用力大小，并令其相互平衡，就可以导出临界厚度的大小。

如果在衬底上外延生长厚度为 h 的异质结材料，并且外延层的切变模量为 G，泊松比为 ν，外延层和衬底之间的失配应变为 ε，Burgers 矢量的大小为 b，该矢量同界面内垂直于位错方向的法线之间的夹角为 θ，则依据各向同性的弹性理论给出晶格失配引起的位错线的作用力 F_σ 为：

$$F_\sigma = 2Gbh\varepsilon\cos\theta\,\frac{1+\nu}{1-\nu} \tag{4.2-6}$$

与此同时，由于产生了失配位错，位错本身会引起线性张力。依据位错理论，这种张力大小为：

$$F_T = Gb^2\,\frac{(1-\nu\cos^2\theta)}{4\pi\,(1-\nu)}\ln\frac{\alpha h}{b} \tag{4.2-7}$$

式中，α 为一能量参数，它是依据弹性理论引进的，可以用来描述弹性特性不是线性时进行的一些修正，大小可以取 1、2、3、4 等简单数字。

当晶格失配产生的应变达到某一定量时，此时弹性应变不能再维持晶格完全均匀的形变，而是出现位错，以便释放出晶格不能再承受的力量。在位错刚刚出现时，作用在位错上的张力 F_T 应当正好等于位错临要出现前的弹性张力 F_σ，这两种力正好平衡时的外延层厚度就是临界厚度 h_c。这就是有关临界厚度的物理解释。

因此，令式（4.2-6）和式（4.2-7）彼此相等，求解 $F_T = F_\sigma$，就可以得出外延层的临界厚度 h_c。

图 4.2-4 示出了理论计算的和实验测量出的临界厚度随组分值的变化关系。在计算中，假设 $G = 64$ Pa，$\nu = 0.28$，$\cos\theta = 0.5$，$b = 0.39$ nm。图 4.2-4a 示出了（100）面上 $\alpha = 1$、2、4 三种情形的临界厚度 h_c。α 的大小具有一定的不确定性。其典型值为 1。如果外延层的 x 值很高，应变也相应地变得很大，则 x 值的不确定性变得更为突出了。从图中曲线也可以看出，在低的 x 值时，3 条曲线十分接近，彼此差别不大；而当值逐渐加大时，3 条曲线相距越来越远，其结果是数据的离散性变大了。

从图中还可以看出，随着 x 值的增加，$Si_{1-x}Ge_x$ 外延层的临界厚度急剧下降，由 $x = 0.01$ 时的 $h_c \approx 5\times10^2$ nm 急剧降至 $x = 0.5$ 时的 $h_c \approx 5$ nm，x 更高时仅为 1 nm。这就说明，对于 $Si_{1-x}Ge_x$/Si 系来说，由于它们之间的晶格失配度很大，其异质结构中存在很大的应力，因而非常容易引起位错，致使没有发生位错之前的临界厚度非常薄，甚至薄至只有一两个单原子层的厚度了。

图 4.2-4 和图 4.2-5 中还示出了不同研究者实验测出的临界厚度的大小。图中所示的数字为外延时的生长温度。把曲线进行比较就可以看出，高温下（900℃，950℃）生长出来的外延层临界厚度 h_c 接近理论曲线的计算值，而较低温度下生长出来的外延层的厚度 h_c 要大得多，特别是低 x 值时更是如此。此外，所有的实验值都比理论值大，说明实际的临界厚度要比理论预计的数值大。同时，该图还给我们一种启示：采用较低的温度进行外延生长有助于增大临界厚度，也就是说，采用低温外延生长是降低外延层位错密度的一个重要途径。

比较一下图 4.2-4 和图 4.2-5 两曲线可以看出，$Si_{1-x}Ge_x$/Si 的临界厚度随着界面的取向而变化。影响这种变化的因素有两个：Burgers 矢量同位错线的法线方向之间的夹角 θ 和不同 Burgers 矢量的出现概率。将两图相互进行比较可以得出如下结论：（011）面上的 h_c 比（100）面上的 h_c 薄，这是因为两个面的 Burgers 矢量不同，（011）面上的 $\cos\theta$ 值较高。既然（011）面上生长 $Si_{1-x}Ge_x$ 外延层的临界厚度很薄，因此人们常常选择（100）面为生长面，为的是增大临界厚度和减小外延层的位错密度。

6　$Si_{1-x}Ge_x$/Si 系的失配位错

外延层同衬底的晶格常数不同时，外延生长出来的异质结构中就存在应变，这种应变就会引起失配位错，在异质结的界面处形成一系列的失配位错阵列，同时将晶格失配造成的弹性应变能量释放出来。当外延层的层厚小于临界厚度 h_c 时，弹性应变能量还比较小，外延层还能允许它在其内部存在。一旦外延层厚度超过临界厚度，其弹性能力已不再能够承受得起足够大的应力作用，于是在异质结的界面处引进失配位错，它决不会是单个的位错线，而是位错阵列。这些新生成的位错阵列决不会是只在界面处，而是出现在整个外延层，并且按照一定的规律产生、传播。

图 4.2-6 示出了 3 个不同晶面上观测到的透射电子显微镜（TEM）照片，显而易见，这些位错线在不同晶面上表现

出了不同的晶向。在（100）面可以看出布纹状的几何图案，而在（110）和（111）面上观测到了斜的位错线。进一步的分析表明：在 Si、Ge 和 $Si_{1-x}Ge_x$ 合金等金刚石立方晶格结构中，位错主要是沿着界面附近的{111}面滑移，这些滑移面同界面相互交叉时构成界面位错阵列的几何结构。

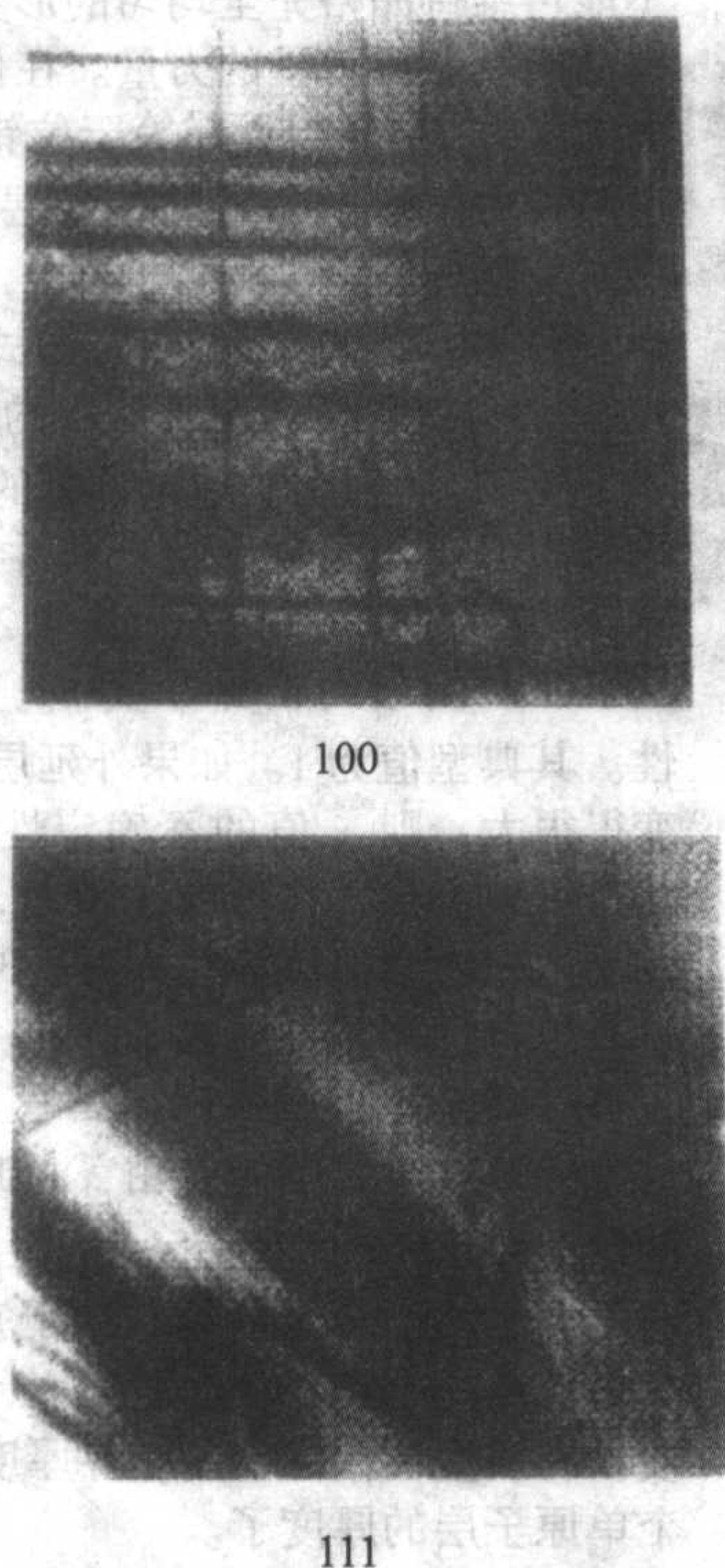


图 4.2-6 3个不同晶面上观测到的透射电子显微镜（TEM）照片

在（100）、（110）和（111）等界面中，滑移面沿着面内 $<01\bar{1}>$ 方向进行，分别产生出直角的、同轴的和六角的位错。当晶格失配度很高时，例如失配度 $\Delta>3\%$ 时，就会发生二次滑移，滑移的方向不再是 $<01\bar{1}>$ 方向，而是别的方向。例如在高 x 值的 $Si_{1-x}Ge_x$ 的（100）界面上已经观测到 $<010>$ 方向的位错阵列，这些阵列同{011}面上的滑移相对应。

位错是会滑移、传播和延伸的。图 4.2-7 示意地表达了不同外延层中的位错几何图形。在 Si 上只外延生长一层 Si_{1-x}-Ge_x 层，晶格失配会产生两种位错，一种是平行于异质结界面处的线位错，另一种是图 4.2-7a 中 A－B 所示的螺旋位错，它同异质结界面成一定角度。

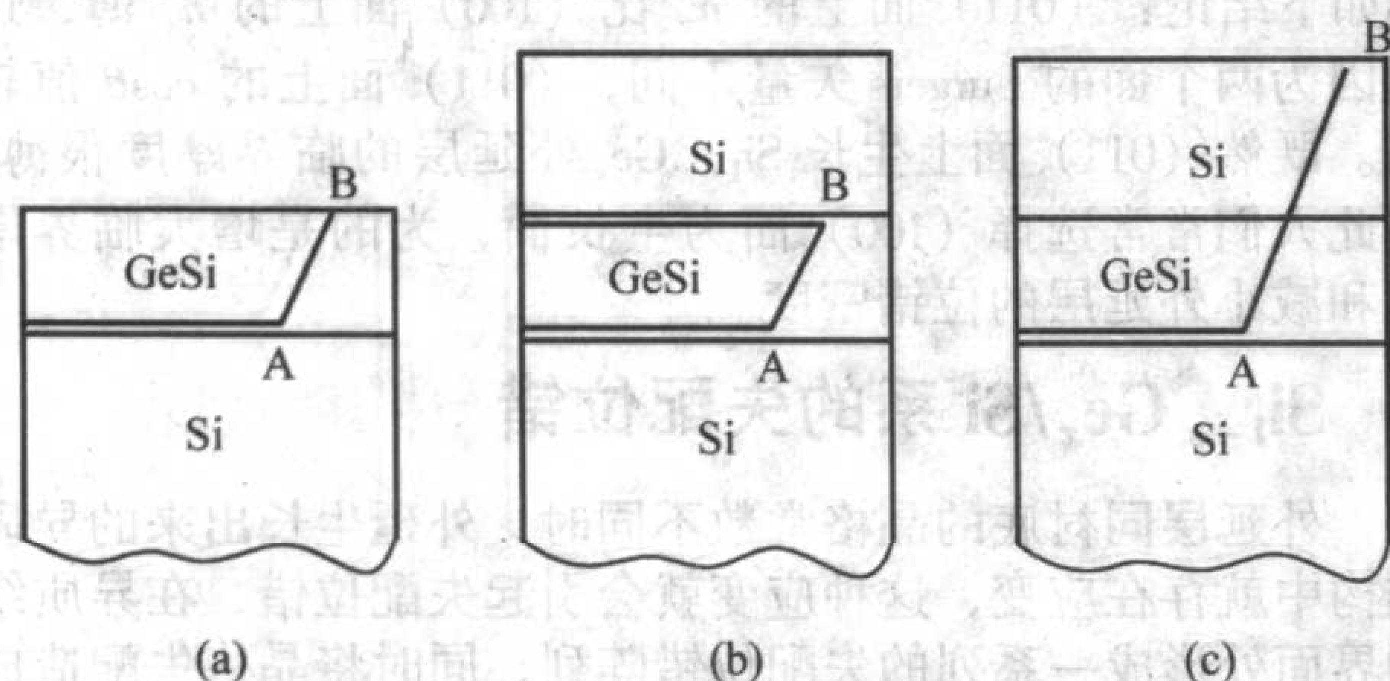


图 4.2-7 不同外延层中的位错几何图形

位错不可能终止在晶体内部，而是通过如下三种形式之一来完结位错的传递：

1）形成位错环，构成一个封闭的完整位错系统；

2）一条位错同另一缺陷相接，构成一个结点；

3）位错继续传递，最终终止在外延层的上表面或者侧面的界面处。

图 4.2-7 的三种结构中的位错图形示意地表示出了位错线的延伸情况。图 4.2-7a 所示的是 Si 衬底上只外延了一层 $Si_{1-x}Ge_x$ 层的情况，此时除了界面处平行于界面的位错线外，还发生了位错的转折，形成螺旋位错，它在外延层中延伸，一直传播到外延层的表面。在图 4.2-7b 和图 4.2-7c 两种结构中，除了外延层 $Si_{1-x}Ge_x$ 外，还外延生长了 Si 覆盖层，因此在 $Si_{1-x}Ge_x$ 层的两边，各还有一个异质结。图 4.2-7b 形象地示出了位错环，因此它构成了一个封闭的闭合状态。而图 4.2-7c 的情况就不同了，位错线形成之后，它穿透整个 $Si_{1-x}Ge_x$ 层继续向上传递，位错进一步延伸、最终终止在上表面上。无论是图 4.2-7b 还是图 4.2-7c 两种情况中，上下两个异质结界面之间，界面失配位错是通过螺旋位错相互连接起来的。应当特别指出的是，上面的异质结界面处的失配位错必须同来自下面的位错一起构成位错环，或者是通过螺旋位错延伸至上覆盖层的自由表面。

上覆盖层的厚度很薄时，上异质结界面处的应力不大，因而来自下面的位错线会延伸至最上面的自由表面，如图 4.2-7c 所示。而上覆盖层相当厚时，上异质结界面处就会产生新的位错线，它们同来自下面的位错线一起构成位错环，如图 4.2-7b 所示。事实上，无论中间的 $Si_{1-x}Ge_x$ 层的厚度如何，图 4.2-7b 和图 4.2-7c 的位错图形都会出现，并且 4.2-7b 的情况更为普遍，图 4.2-7c 的情况是在 $Si_{1-x}Ge_x$ 外延层的厚度非常薄的时候才会出现。这些分析表明，可以通过一些设计使位错线形成位错环封闭在内部的外延层中，而部分地阻止了位错继续向上延伸，因而有可能在外延层的上部获得位错密度较低的外延层。

在 Si、Ge 和 $Si_{1-x}Ge_x$ 中位错的 Burgers 矢量为：

$$\vec{b}=\frac{a}{2}<101> \tag{4.2-8}$$

在金刚石结构中，所谓 Burgers 矢量就是晶格能够发生平移的最小矢量，a 为晶格常数，$<101>$ 为平移的方向。

也就是说，在金刚石中，当位错通过 Burgers 矢量进行传递时，不会遗留任何层错。

位错的 Burgers 矢量 $\vec{b}$ 可以分解为两个 Shocheley 分量：

$$\frac{a}{2}<101>=\frac{a}{6}<211>+\frac{a}{6}<2\bar{1}2> \quad (4.2\text{-}9)$$

也就是说，Burgers 矢量 $\vec{b}$ 是不稳定的，它可以分解为 $\frac{a}{6}<211>$ 和 $\frac{a}{6}<2\bar{1}2>$ 两个分量。通过应力场的相互作用，这两个分量相互排斥，并且沿着它们的公共面｛111｝滑移，最终相互分离开来。由于 Burgers 矢量 $\vec{b}$ 的分量分解、滑移的结果，在它们之间会产生一个堆垛层错带，最终达到平衡，堆垛层错带之间的平衡间隔为 S_0，其大小是由位错分量之间的组合相互排斥的能量同堆垛层错之间的平衡能量所确定的。通常堆垛层错之间的距离为几个纳米。

7　结论

综上所述，Si、Ge 和 $Si_{1-x}Ge_x$ 同为金刚石结构，是由两个面心立方体沿对角线方向移动 1/4 之后套构而成的，空间群是 Fd3m。这三种材料的晶体结构中，Si－Si 键、Ge－Ge 键和 Si－Ge 键都为共价键，它们构成非常稳定的晶体结构。由于同属元素周期表的Ⅳ族元素，同是共价键，因此具有非常好的对称性。正是这种对称性，使得它们的许多物理性质具有线性特性，而非线性特性都比较弱，例如它们的电光效应都比较弱。每个立方原胞中包含有 8 个原子，每个原子有 4 个最近邻原子，最近邻原子之间的间距为 $\frac{\sqrt{3}}{4}a$。每个原子同其 4 个最近邻原子一起构成正四面体结构，该原子位于正四面体中心，4 个最近邻原子分别位于正四面体的四个顶点上。室温下高纯 Si 单晶的晶格常数 $a_{Si}=0.543\ 10$ nm，Ge 的晶格常数为 $a_{Ge}=0.565\ 75$ nm。

Si 和 Ge 能够构成任意组分的 $Si_{1-x}Ge_x$ 固溶体，固溶体的性质介于 Si 和 Ge 之间，甚至许多特性可以采用线性插入的方法描述，即采用 Vegard 定则。例如 $Si_{1-x}Ge_x$ 的晶格常数基本上同 x 只呈线性关系，从 Si 的 0.543 10 nm 几乎线性地增至 Ge 的 0.565 75 nm。只是在 $x=0.5$ 附近偏离线性关系，但仅仅偏离 1% 稍多一些。Ge－Si、Ge－Ge 和 Si－Si 三种共价键的最近距离分别为 0.238 mm ± 0.002 nm、0.242 mm ± 0.002 nm 和 0.235 mm ± 0.002 nm。在 $Si_{1-x}Ge_x$ 合金中，Ge 的含量变化不会影响各种共价键的键长，但共价键之间的相互交叉角度会发生变化，使得晶格常数 a_{SiGe} 随组分 x 值的增大而增大，接近线性关系。

Si 和 Ge 构成的 $Si_{1-x}Ge_x$ 固溶体具有结构的有序性，这种有序性同组分的关系不大，但与生长条件、温度等有关。对于体材料而言，无论是 Si、Ge 还是 $Si_{1-x}Ge_x$，都不具有结构的有序性，而且是完全均匀的无序结构，只在薄的外延层中才观测到有序结构。

Si 和 Ge 的晶格失配度高达 4.18%，这给外延生长 $Si_{1-x}Ge_x$/Si 异质结构带来了许多困难，外延层的临界厚度 h_c 很薄，当 $x=0.3$ 时，(100) 面上的外延层临界厚度只有 8 nm 左右，如果是在 (011) 面上则更薄，仅仅约为 5 nm。这说明外延生长 $Si_{1-x}Ge_x$ 时，是非常容易引进失配位错的。

Si 或 Ge 上外延生长 $Si_{1-x}Ge_x$ 时所形成的位错有平行于异质结界面的位错线、穿透外延层的螺旋位错以及各种异质结构中的位错环和堆垛层错等。它们的出现释放了晶格失配引进的应变，使得外延层变得稳定了。然而大量位错的引入会破坏晶体的性质和恶化材料的电学与光学性质，因此如何合理地采用多层异质结构和优化的工艺技术来获得优质的晶体材料就成了非常重要的课题。

编写：余金中（中国科学院半导体研究所）

第 3 章　SiGe 的能带结构

在研究半导体物理时，能带结构是非常重要的特性。对于能带结构的了解有助于对材料本质特性的认识。它将为我们提供能带形状、带隙大小、载流子的有效质量等许多信息。因此在研究 $Si_{1-x}Ge_x$ 合金的生长的同时，人们对 $Si_{1-x}Ge_x$ 的能带结构进行了深入的研究。

Si 和 Ge 都是间接带隙材料。同样地，$Si_{1-x}Ge_x$ 介于 Si 和 Ge 之间，也是间接带隙材料。

虽然同为 $Si_{1-x}Ge_x$，但是体材料 $Si_{1-x}Ge_x$ 的能带结构和应变的 $Si_{1-x}Ge_x$ 合金的能带结构是不同的。这里将详细分析它们的共同和不同之处。光学吸收法和光荧光法等方法有效地测量了禁带宽度的大小，而采用椭圆测量、电反射率测量和压电调制测量等技术，可以测定 $Si_{1-x}Ge_x$ 合金的几个直接带隙同组分 x 值的依赖关系，在这一章中将详细列出有关的实验结果。

Si 和 Ge 共同组成新的固溶体 $Si_{1-x}Ge_x$ 时，它们的晶格常数会发生相应的变化，因而会引起应变。应变使得材料的原子间距发生微小的变化，就会促使其能带偏移；同时单轴应变或者双轴应变会引起简并能带分裂。这里将详细地描述应变是如何影响能带结构并发生变化的，同时还给出了一些计算公式、理论值和实验值。将有应变的和没有应变的 $Si_{1-x}Ge_x$ 的带隙同组分 x 的关系结合起来，就可以预期应变的 $Si_{1-x}Ge_x$ 外延层的能带结构。

无论 $Si_{1-x}Ge_x$ 合金中 Ge 的组分 x 值为多少，带隙偏移都将主要发生在价带中，价带位置的变化几乎完全等于禁带宽度的变化，而导带却几乎没有多大的变化。对于 Si/Ge 或者 $Si_{1-x}Ge_x$/Si 等异质结来说，它们构成异质结时所发生的形变对异质结的能带结构具有很大的影响。我们将讨论异质结的界面处价带偏移值的大小，之后，再利用异质结两边材料的禁带宽度的差别，很方便地计算出异质结的界面处导带的偏移值。

载流子的有效质量是半导体材料中一种非常重要的物理参数，可以用它来表征晶体的能带结构和载流子的输运性质。我们将给出 $Si_{1-x}Ge_x$ 合金中载流子的有效质量的一些实验数据。在 $x=0\sim0.85$ 范围内，$Si_{1-x}Ge_x$ 的导带仍保持为类 Si 的结构，有效质量也有类似的特性。但是，由于自旋分裂、应变的作用，价带的形状不是抛物线形的。在重空穴带中，空穴的有效质量随着载流子浓度的增加而下降，而回旋共振的质量却随着增加。我们将讨论有关结果。

1　Si 和 Ge 的能带结构

由于构成晶体的原子自身的大小、原子间的间距、原子间的价键（共价键或者离子键）、价键间的夹角等等因素都会影响元素半导体和化合物半导体的能带结构，进一步会影响到两种或两种以上的半导体材料一起构成固溶体的新型半导体材料的能带结构。因此，任何晶体的能带结构都与晶体结构有关，无论是Ⅳ族元素半导体还是Ⅲ－Ⅴ族、Ⅱ－Ⅵ族化合物半导体，它们的晶体结构导致它们具有各自不同的能带结构。为了研究 $Si_{1-x}Ge_x$ 的能带结构，有必要先了解一下元素半导体 Si 和 Ge 的能带结构，并且进一步分析它们之间的联系和差异。

图 4.3-1 示出了 Si 和 Ge 的能带结构。为了比较，我们同时列出了 GaAs 的能带图。可以看出，Si 和 Ge 同为间接带能带结构，也就是说，在 k 空间中，它们的导带底和价带顶不是同时出现在相同的极值处，它们的导带底的极小值出现在布里渊区的不同方向上。Si 的导带底出现在［100］方向的 X，而 Ge 的导带底出现在［111］方向（0，0，0.8）处的 L。GaAs 是直接带能带结构，它的导带底同在（000）处的 Γ。

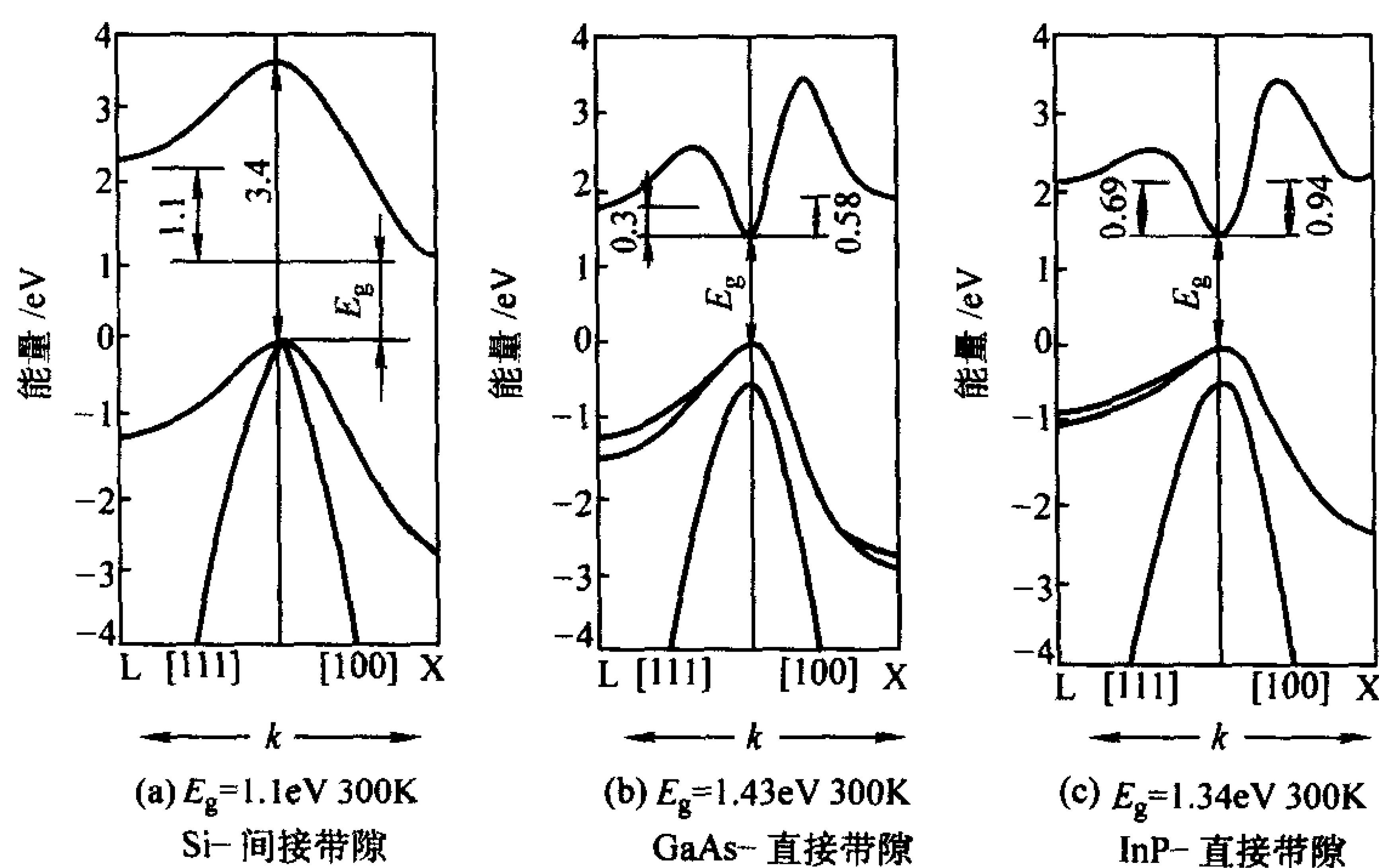


图 4.3-1　Si、Ge 和 GaAs 的能带结构

应当特别指出的是，半导体材料是否是直接带隙对它们的物理特性有着重要的影响，特别是对其辐射复合特性有着重要的影响。直接带隙中，导带底附近的电子同价带顶附近的空穴相复合时，就会产生光子，并发射出来，其辐射复合效率较高，这就是 GaAs、InP 等直接带隙材料适合于制作光电子器件的重要原因。Si、Ge 等间接带隙半导体材料中，由于导带和价带的极值所对应 k 值不同，载流子复合时必须有声子的参与才能满足动量守恒的规律。因此，在间接带隙材料中，载流子的复合过程在产生、发射光子的同时，还必须有声子参与这一复合过程，以便维持动量守恒的规律。这就使得这类间接带隙半导体材料中辐射复合产生光子的效率大为下降，通常其发光效率比直接带隙材料的辐射效率低 $10^3\sim10^5$ 倍，因而大大限制了它们在发光器件中的应用。

Si 和 Ge 是间接带隙材料，它们的电子－空穴对复合发

光时需要声子参与，即部分能量转变为晶格振动的热能，使得电－光能量转换效率很低，因此间接带隙材料不适合制作发光管和激光器。近年来量子结构材料的深入研究使得这一状况发生了一些改变，硅基量子点发光器件也已问世，因此对于 $Si_{1-x}Ge_x$ 能带结构的研究显得更为重要了。

2 SiGe 体材料的能带结构

从材料学的角度出发，以 Si 和 Ge 为元素能够构成任何组分的固溶体 $Si_{1-x}Ge_x$。在上一章中我们描述过 $Si_{1-x}Ge_x$ 的晶体结构介于 Si 和 Ge 的晶体结构之间，同样地，$Si_{1-x}Ge_x$ 的能带结构也是介于 Si 和 Ge 的能带结构之间。相应地，这种 $Si_{1-x}Ge_x$ 二元合金的能隙和物理性质会在 Si 和 Ge 之间连续可变。深入研究表明，当 $x<0.85$ 时，$Si_{1-x}Ge_x$ 合金表现出类 Si 的晶体特性，同时也表现出类 Si 的能带结构；而 $x>0.85$ 时，$Si_{1-x}Ge_x$ 合金表现出类 Ge 的晶体特性，其能带结构也就表现出类 Ge 的能带结构了。至今，人们研究的 $Si_{1-x}Ge_x$ 材料的 x 值大都小于 0 .5，因此，在大多数情况下，$Si_{1-x}Ge_x$ 体材料以及弛豫了的 $Si_{1-x}Ge_x$ 合金的能带结构类似于 Si 的能带结构。

在本节中，我们特别强调的是 $Si_{1-x}Ge_x$ 体材料，而不是薄膜材料。这是由于 $Si_{1-x}Ge_x$ 体材料和薄膜的能带结构是不同的。$Si_{1-x}Ge_x$ 体材料可以是从熔融的 Si 和 Ge 的混合熔液中拉制出来的单晶锭条，也可以是 MBE 等外延方法生长出来的厚膜材料，但其共同点是晶体的尺寸足够大，半导体材料内部的组分、结构完全均匀，不存在任何应力和应变，每一个部分的晶格常数、组分等都是一致的，这就决定了它们的禁带宽度具有完全的独立性和准确的数值。就这一点而言，这完全不同于下一节要介绍的应变的或者驰豫的 $Si_{1-x}Ge_x$ 合金的能带结构。因此可以说，本节所描述的是没有应变的 $Si_{1-x}Ge_x$ 合金的能带结构。

图 4.3-2 示出了不同温度下 $Si_{1-x}Ge_x$ 合金的间接带隙随组分 x 值的变化关系。图中右边的数字示出的是每条曲线所对应的 x 值。最上面的曲线的 $x=0$，因此该曲线表示的是元素半导体 Si 的禁带宽度随温度的变化。最下面的曲线的 $x=1$，

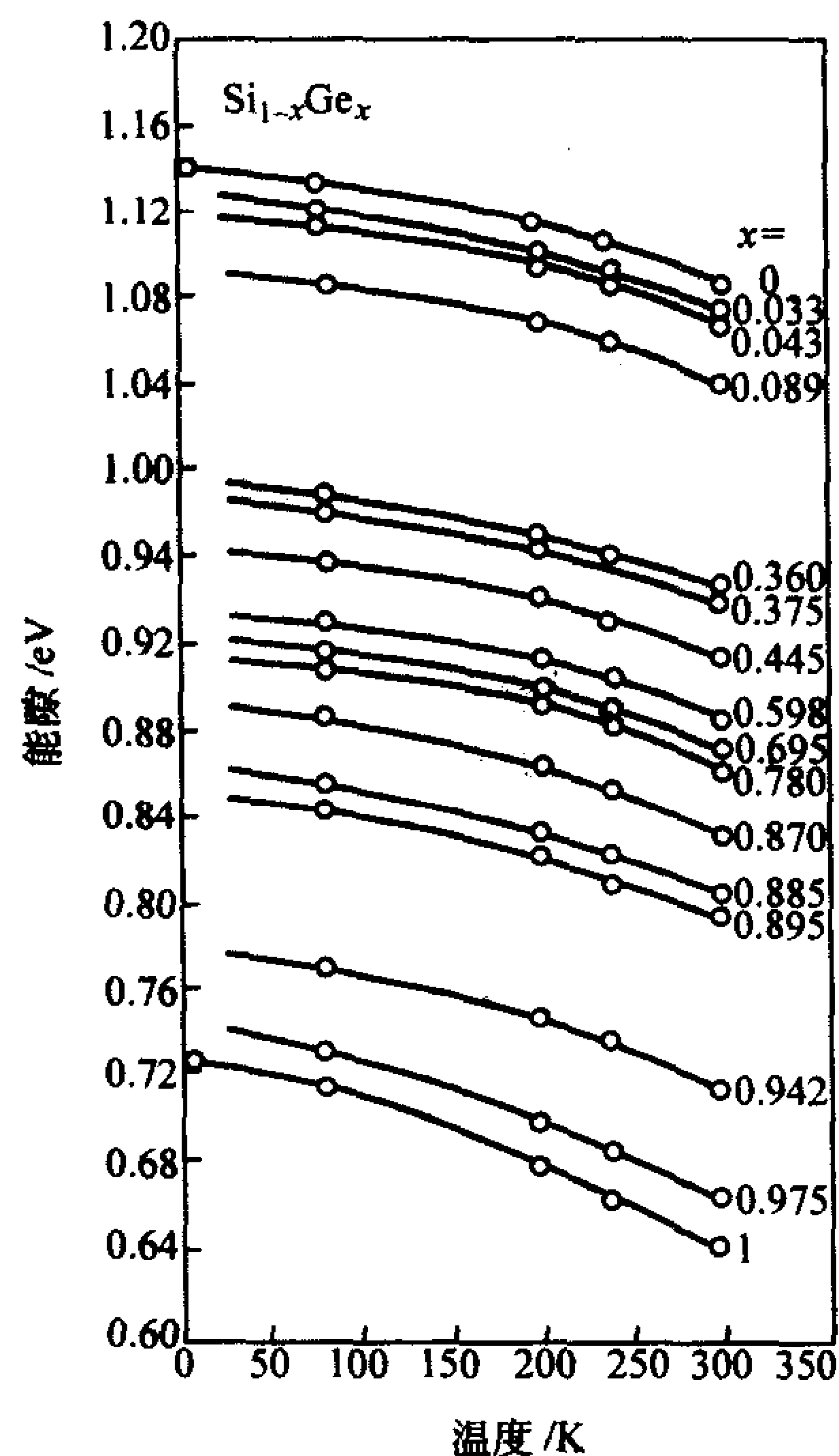


图 4.3-2 $Si_{1-x}Ge_x$ 合金体材料的禁带宽度同温度的关系

它就是元素半导体 Ge 的禁带宽度随温度的变化。随着温度的升高，每条曲线都是平滑的下降，表明 $Si_{1-x}Ge_x$ 的禁带宽度随着温度的上升而逐渐变小。这是可以理解的，半导体材料的禁带宽度都是随着温度的上升而变小的。

如前所述，$Si_{1-x}Ge_x$ 是间接带隙半导体材料，其光学性质远不如 GaAs 等Ⅲ－Ⅴ族直接带隙半导体材料那么显著，因此常常要在低温下测量物理参数来表征其物理性质。图 4.3-3 就是在 4.2 K 的极低温度下通过光学吸收法和光荧光法测得的禁带宽度 E_g 同组分 x 值的依赖关系。

图中示出的数据是光学吸收法和光荧光法两种测量的实验结果，前者所得到的结果用黑方块表示，后者用黑三角表示。可以看出，光吸收法测得的禁带宽度 E_g 比光荧光法测得的 E_g 大 40 meV，这可能是分析光吸收数据时所用的公式过于简单引起的误差。显而易见，在 $x=0.85$ 附近，实验数据发生转折。在 $x<0.85$ 区域，所测得的数据为类 Si 的 Δ 导带最小值，$x=0.85$ 处发生转变之后，在 $x>0.85$ 区域中，转变为类 Ge 的 L 导带最小值。

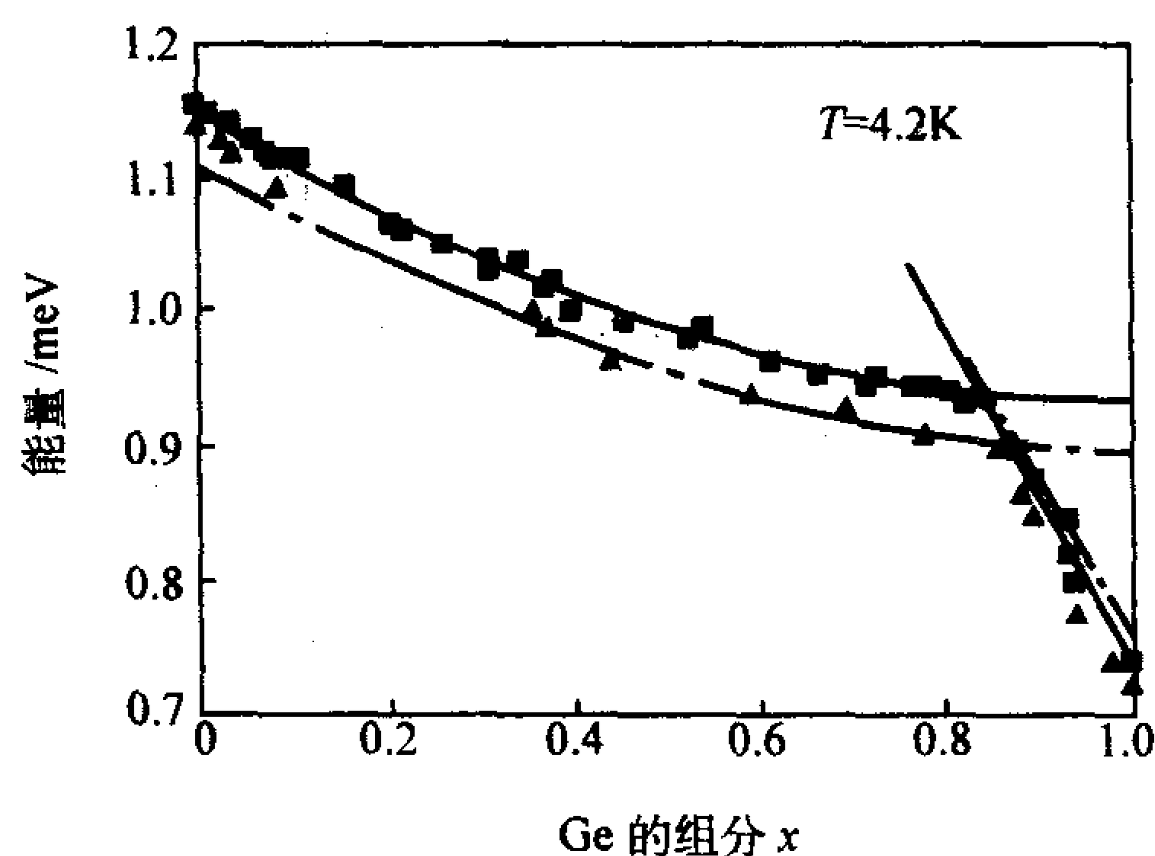


图 4.3-3 $T=4.2$ K 下实验测得的 $Si_{1-x}Ge_x$ 合金的禁带宽度同组分的关系

由于实验数值是针对每一具体的 x 值 $Si_{1-x}Ge_x$ 体材料测量的，在实际应用时不大方便，于是采用弥合的方法将实验数据画成连续化的曲线。图 4.3-4 上面的实线表示的曲线就是依据光吸收谱数据进行弥合所得到的结果，而下面的点划线表示的是依据光荧光谱数据进行弥合所得到的结果。利用图中的实线，采用数学方法将 $Si_{1-x}Ge_x$ 体材料的禁带宽度表达为：

$$E_g^{(\Delta)}(x)=1.155-0.43x+0.0206x^2\quad(0<x<0.85)\tag{4.3-1}$$

$$E_g^{(L)}=2.010-1.27x\quad(0.85<x<1)\tag{4.3-2}$$

依照这两个公式，可以很方便地计算出 $Si_{1-x}Ge_x$ 体材料的禁带宽度。当然，由于实验数据有限，计算值同实验结果会有所差别。显然，这些分析结果给出了禁带宽度的变化趋势，而不是精确的数值。除了禁带宽度 E_g 以外，人们还关注 $Si_{1-x}Ge_x$ 的能带结构中另外几个能带参数。

1）直接能隙 E_0（$\Gamma'_{25}-\Gamma'_2$），虽然 E_0 大于禁带宽度 E_g，但它表示 Γ 处的价带顶同导带底的距离，因此很容易受到关注。

2）自旋轨道分裂能隙：E_1（$\Lambda_3-\Lambda_1$）、E_2（靠近 x 点）、$E_0+\Delta$、E'_0（$\Gamma'_{25}-\Gamma'_{15}$）和 $E_1+\Delta_1$。采用椭圆测量、电反射率测量和压电调制测量等技术，可以测定 $Si_{1-x}Ge_x$ 合金的这几个直接带隙同组分 x 值的依赖关系。

业已发现，$Si_{1-x}Ge_x$ 体材料合金中，自旋轨道分裂能隙 E_1 和 $E_1+\Delta_1$ 可以表达为如下的函数关系：

$$E_1(x)=3.395-1.440x+0.153x^2\tag{4.3-3}$$

$$E_1+\Delta_1=3.428-1.294x+0.062x^2\tag{4.3-4}$$

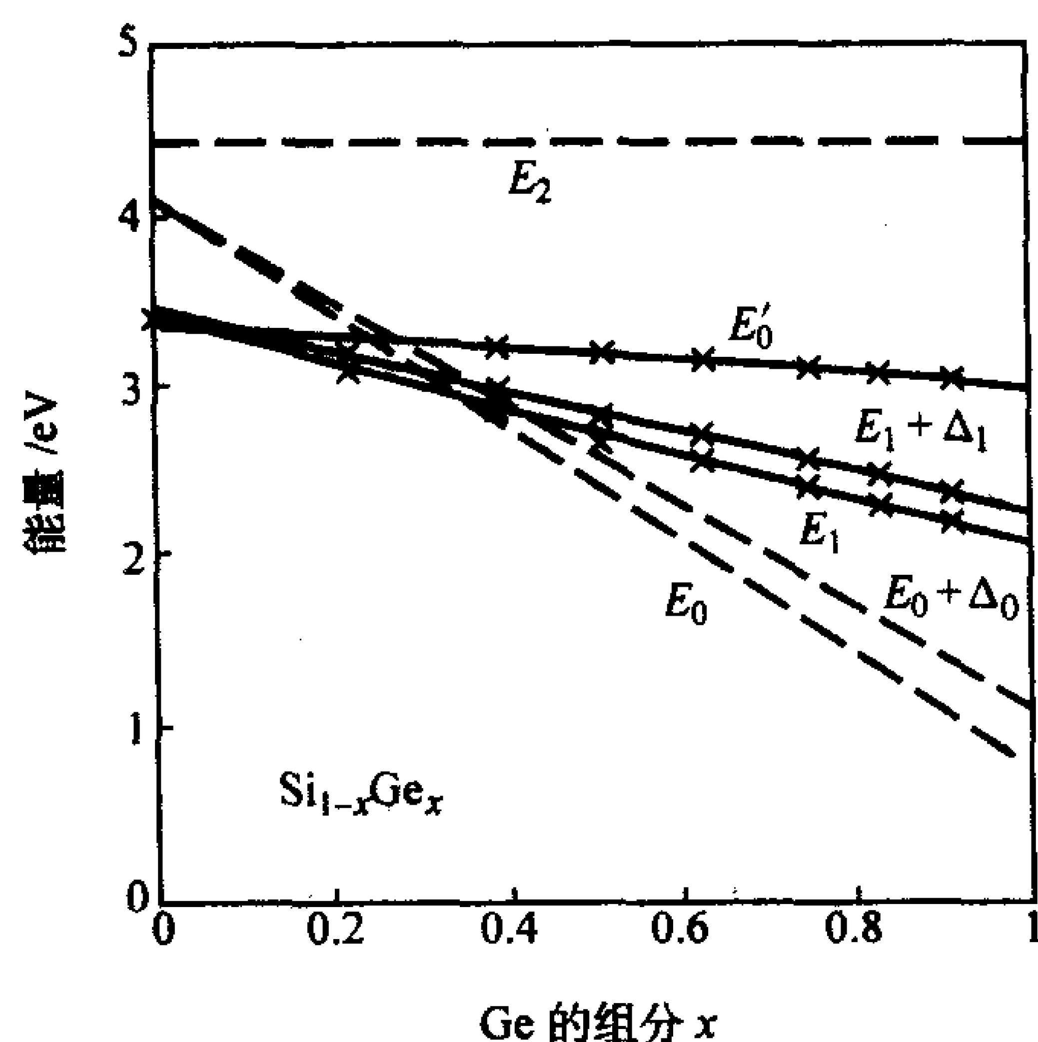


图4.3-4 $Si_{1-x}Ge_x$合金体材料的直接带隙E_0、$E_0+\Delta$、E'_0、E_1和E_2同组分x值的关系

虽然缺少实验数据来描述$Si_{1-x}Ge_x$的直接带隙E_0（$\Gamma'_{25}-\Gamma'_2$）同x值的关系，但是这些表达式明确地表示出了这些禁带宽度同x值的变化趋势，因而能够从中了解x值改变时各个子能带如何发生偏移的，特别是了解价带中各个分裂能级的变化，这是因为组分的变化主要影响价带的变化。

在这里需要再次强调指出的是，这一节所描述的能带结构是没有发生任何应变的$Si_{1-x}Ge_x$合金体材料的能带结构，所表达的是禁带宽度同组分的关系以及直接带隙同组分的关系，同时还给出了一些测试的结果。但是，这些结果是$Si_{1-x}Ge_x$体材料的能带结构的数学表达式和实验数据，而不是现今人们研究和应用得很多的$Si_{1-x}Ge_x$外延薄层的能带结构。在不同衬底上外延$Si_{1-x}Ge_x$薄层，会引起不同的应变；不同的x值组分也会引起不同的应变。因此有必要专门研究应变了的$Si_{1-x}Ge_x$合金的带隙同x值组分、衬底的关系。这就是下一节所要描述的内容。

3 应变对$Si_{1-x}Ge_x$能带结构的影响

确切地讲，上一节讨论的是$Si_{1-x}Ge_x$体材料的能带结构，材料内不存在任何应力，因此既不存在应变，也不会发生弛豫。由于Si和Ge共同组成了新的固溶体$Si_{1-x}Ge_x$，只是因为材料的组分发生了变化，它们的能带结构也就会发生相应的变化。上一节就是给出这种不存在任何应变的固溶体的晶格结构同组分的函数表达式以及实验结果。在使用上述实验数据和数学表达式时，一定要记住它们只适于没有发生应变的材料，否则会引入较大的误差。

事实上，现在常常利用外延的方法在Si、Ge或$Si_{1-y}Ge_y$衬底上外延生长$Si_{1-x}Ge_x$薄层，由于外延层很薄，它的晶格常数不同于衬底的晶格常数，因此外延层会受到应力的作用而产生应变，外延层的能带结构也会相应地发生一些变化，特别是其价带会发生许多变化。

应变对能带的影响主要表现为：如果在半导体材料上施加静压力，使得材料的原子间距发生微小的变化，就会促使其能带偏移；另一个效应是单轴应变或者双轴应变引起的，它们会使简并的能带发生分裂。半导体的能带中，价带常常是简并的。在能带的Γ点处，重空穴和轻空穴带是简并在一起的。在单轴或双轴应变的作用下，它们会分裂开来。

在应力的作用下，半导体的体材料或薄层材料的体积都会发生变化。如果原来的体积为V，体积的变化量为ΔV，则体积的相对变化$\Delta V/V$同应变张量$\vec{\varepsilon}$的关系可以表达为：

$$\frac{\Delta V}{V}=T_r(\vec{\varepsilon}) \tag{4.3-5}$$

也就是说，体积的相对变化是应变张量$\vec{\varepsilon}$的函数。一般而言，应变不会太大，体积的相对变化同应变呈线性关系。在外延层为赝晶的情况下，应变通常不会引起非线性效应，因此上述线性关系常常是普遍适用的。

如果将衬底上外延生长的方向定义为z轴，平行于衬底上的方向定义为x轴和y轴，则垂直于衬底方向（z向）的应变常常以$\varepsilon_\perp$表示，而平行于衬底平面的张量常常用$\varepsilon_{/\!/}$表示。

Si、Ge和$Si_{1-x}Ge_x$都是金刚石结构，在该结构的四面体中，如果没有应力的作用引起应变，就不会引起自旋轨道的分裂，它们的价带的极大值都位于布里渊区的中心，因此是三重简并的。

应变使得一个三重简并的能带发生分裂，其分裂的情况如图4.3-5所示。在Si、Ge或$Si_{1-y}Ge_y$衬底上生长$Si_{1-x}Ge_x$外延层时，由于生长面的晶格常数要适应衬底的晶格常数，所以在生长面上的外延层会受到双轴应力的作用；而在生长方向上，则会受到单轴应力的作用。正如图4.3-5示意的那样，单轴应变使得简并能带发生分裂，三重简并的能带分裂成为两组，较高处的一组为单独的能带，而较低处的一组是二重简并的能带。图中的虚线是三个能带的平均值，显然平均值是不受单轴应变影响的。

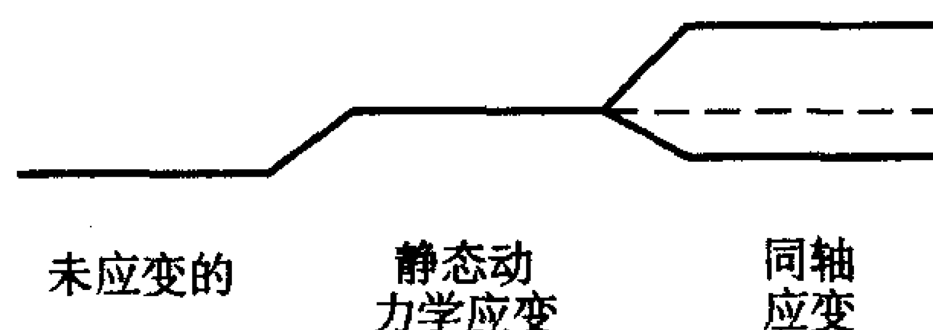


图4.3-5 应变引起三重简併能带的示意图

由于没有应力作用时这些材料的价带是三度简并的，因此没有自旋轨道分裂的能级。但是，当自旋轨道发生相互作用时，就会改变简并度，能带发生分裂，并且使价带发生变化Δ_0。如果价带顶的平均位置为E_{v0}，则轻空穴带E_{v2}和重空穴带E_{v2}向上移动$\frac{1}{3}\Delta_o$，而自旋分裂能带向下移动$\frac{2}{3}\Delta_o$。

静压力产生的应变使价带顶发生位移，位移的量ΔE_{vo}为：

$$\Delta E_{v0}=a_v\frac{\Delta V}{V} \tag{4.3-6}$$

式中，a_v是价带的静压形变势能。由此可见，位移量ΔE_{vo}同静压形变势能a_v和体积的相对变化$\Delta V/V$成正比。$\Delta V/V$可以由式（4.3-5）表达为：

$$\frac{\Delta V}{V}=T(\vec{\varepsilon})=2\varepsilon''+\varepsilon_\perp \tag{4.3-7}$$

ε''和$\varepsilon_\perp$分别为平行于衬底和垂直于衬底的应变的大小。综合式（4.3-6）和式（4.3-7），显然可以得出：

$$\Delta E_{vo}=a_v(2\varepsilon''+\varepsilon_\perp) \tag{4.3-8}$$

以上为静压应变对价带的影响，现在来讨论单轴应变的影响。如果衬底表面为（100）面或者（111）面，那么在[100]或[111]方向上具有应变时，价带会发生偏移，其大小为：

$$\Delta E_{v1}=-\frac{1}{6}\Delta_o+\frac{1}{4}\delta E+\frac{1}{2}\left[\Delta_o^2+\Delta_o\delta E+\frac{9}{4}(\delta E)^2\right]^{1/2} \tag{4.3-9}$$

$$\Delta E_{v2}=\frac{1}{3}\Delta_o-\frac{1}{2}\delta E \tag{4.3-10}$$

$$\Delta E_{v3}=-\frac{1}{6}\Delta_o+\frac{1}{4}\delta E-\frac{1}{2}\left[\Delta_o^2+\Delta_o\varepsilon E+\frac{9}{4}(\delta E)^2\right]^{1/2} \tag{4.3-11}$$

式中，Δ_o为自旋分裂引起的价带变化值，而δE同应变$\varepsilon_\perp$和ε''的关系可以表达为：

界面为（100）时，

$$\delta E_{100}=2b(\varepsilon_{\perp}-\varepsilon'') \tag{4.3-12}$$

界面为（111）时，

$$\delta E_{111}=2\frac{\sqrt{3}}{3}b\ (\varepsilon_{\perp}-\varepsilon'')$$

$$\delta E_{111}=2\frac{\sqrt{3}}{3}d\ (\varepsilon_{\perp}-\varepsilon'') \tag{4.3-13}$$

这两个表达式中的 b 和 d 为新引进的物理量，b 为四方对称应变时的应变势能，而 d 为三角对称应变时的应变势能，它们的单位均为 eV。对于 Si 和 Ge 来说，b 和 d 都为负数。表 4.3-1 列出了计算应变的 Si 和 Ge 的能带偏移值时物理参量的大小，包括理论值和实验值，所有数据的单位都为 eV。

表 4.3-1 计算 Si 和 Ge 能带结构时的一些物理参数

项目	Si		Ge	
	理论值	实验值	理论值	实验值
Δ_0/eV		0.04		0.30
a_c^{Δ}/eV	4.8	3.3	2.55	
a_c^{L}/eV	−6.6		−1.54	
a_g^{Δ}/eV	1.72	1.500±30	1.31	
a_g^{L}/eV	−3.12		−2.78	−2.0±0.5
ϕ_u^{Δ}/eV	9.16	8.6±0.4	9.45	
ϕ_u^{L}/eV	16.14		15.13	16.2±0.4
a_v/eV	2.46	1.80	1.24	
b/eV	−2.35	−2.10±0.10	−2.55	2.86±0.15
d/eV	−5.32	−4.85±0.15	−5.50	−5.28±0.50

在式（4.3-9）、式（4.3-10）和式（4.3-11）三个公式中，既有 Δ_0 也有 δE，也就是说，这三个公式既包括了自旋轨道效应，也包括了单轴应变的作用。

以上讨论了应变对 $Si_{1-x}Ge_x$ 合金价带的影响，现在讨论应变对 $Si_{1-x}Ge_x$ 合金导带的影响。由于导带的结构比较复杂，不像价带那么简单，Si 和 Ge 的导带极小值不在布里渊区的中心 Γ 处，因此问题就变得复杂多了。对于导带而言，Si 的最小值位于布里渊区的［100］方向上，即 Γ 点到 X 点的直线上，我们将导带的极小值的地方标为 Δ。相应地，在 Si 的布里渊区中，在 6 个等价的 <100> 方向（<100>，<010>，<001>，<$\bar{1}$00>，<0$\bar{1}$0> 和 <00$\bar{1}$>）上，Si 的布里渊区中相应地有六个等价的 Δ，在这六个地方导带取极小值。在 Ge 中，其导带的极小值出现在［111］方向上，同样的分析可以知道：Ge 的布里渊区中有八个等价的极小值，我们将其标为 L。

Si 和 Ge 组成的合金 $Si_{1-x}Ge_x$，当 x 值在 0～0.85 范围内时合金是类 Si 的，在 0.85～1 范围内时是类 Ge 的，合金的禁带宽度可以用线性内插法算出其大小。由于 Ge 的含量在到达 85% 时导带的极小值发生变化，由此前的 Δ 点变至 L 点，因此在在 0～0.85 之间时必须用 Si 和 Ge 的 Δ 值进行线性内插，而在 0.85～1 之间时必须用 Si 和 Ge 的 L 值进行线性内插。

当半导体材料承受静压力而发生应变时，导带的位置发生变化，其平均位移大小为：

$$\Delta E_{\infty}=a_c=a_c\frac{\Delta V}{V} \tag{4.3-14}$$

该式同式（4.3-6）非常相似，只不过前者的系数为 a_v，此处为 a_c，都是表示位移量正比于形变的大小，呈线性关系。

由于半导体材料的禁带宽度 $E_g=E_c-E_v$，应变引起的禁带宽度变化 $\Delta E_g=\Delta E_c-\Delta E_v=a_g\frac{\Delta V}{V}$，因此 $a_g=a_c-a_v$，也就是说，应变引起的带隙形变势能 a_g 等于导带和价带的形变势能之差。再进一步分析的话，还应具体算出应变引起的 Δ 点和 L 点的位移，因此引出 a_g^{Δ} 和 a_g^{L}。

$$a_g^{\Delta}=a_c^{\Delta}-a_v \tag{4.3-15}$$

$$a_g^{L}=a_c^{L}-a_v \tag{4.3-16}$$

在 Si 中，Δ 处的禁带宽度随着体积的增加而增加，所以 a_c^{Δ} 的值是正的，换句话说，在压应力的作用下，Si 的禁带宽度减小了。相反，L 处的禁带宽度随压应力的增大而增大，因此 a_c^{L} 的符号相反，变为负值了。还有一点需要指出的是，在 Ge 中，在大的压应力的作用下，Ge 的禁带宽度还是减小了。这是因为应力使得导带中 X 点和 L 点都发生了变化，X 点是减小，L 点是增大，大应力下 X 点的最低值比 L 点的最低值更低，结果导致禁带宽度变小。

正如图 4.3-5 所示，静压力会使带边位移，而单轴应变会使导带发生分裂。分裂后的导带的平均值依然等于静压力时的值，也就是说平均能带位置不受单轴应力分量的影响，只受静压应力分量的影响。导带中有 Γ、L、X 等多个能谷，统统以 i 来表示，因此由于应变而引起第 i 个能谷的能量变化为：

$$\Delta E_c^i=(\phi_d\overleftrightarrow{1}+\phi_u\{\hat{a}_i\cdot\hat{a}_i\}:\overleftrightarrow{\varepsilon} \tag{4.3-17}$$

式中，$\overleftrightarrow{1}$ 为单位张量，$\hat{a}_i$ 为导带的第 i 个能谷中平行 $\vec{k}$ 的单位矢量，{ } 表示二重乘积。在导带的极小值处，平均能量位移了 ΔE_{∞}：

$$\Delta E_{\infty}=(\phi_d+\frac{1}{3}\phi_u)\overleftrightarrow{1}:\overleftrightarrow{\varepsilon}=(\phi_d+\frac{1}{3}\phi_u)T_r(\overleftrightarrow{\varepsilon}) \tag{4.3-18}$$

在这一表达式中，导带的静压力形变势能 $a_c=\phi_d+\frac{1}{3}\phi_u=E_1$，常常以 E_1 来表示这一物理量。

由于单轴应力是以一定方向来对半导体施加应力，因此引起导带的位移会随着晶体晶向的不同而不同。例如在［001］方向上施加单轴应力则能带发生分裂，由此产生的导带底位移分别为 ΔE_c^{001} 和 $\Delta E_c^{100,010}$：

$$\Delta E_c^{001}=\frac{1}{3}\phi_u^{\Delta}(\varepsilon_{\perp}-\varepsilon'') \tag{4.3-19}$$

$$\Delta E_c^{100,010}=-\frac{1}{3}\phi_u^{\Delta}(\varepsilon_{\perp}-\varepsilon'') \tag{4.3-20}$$

在这些表达式中，Δ 表示布里渊区中 $\Gamma-X$ 方向上导带的最小值。同理，我们可以给出单轴应力的施加方向分别为［110］和［111］时的能带分裂的表达式。

在［110］方向上，

$$\Delta E_c^{001}=-\frac{1}{3}\phi_u^{\Delta}(\varepsilon_{\perp}-\varepsilon'') \tag{4.3-21}$$

$$\Delta E_c^{100,010}=\frac{1}{6}\phi_u^{\Delta}(\varepsilon_{\perp}-\varepsilon'') \tag{4.3-22}$$

$$\Delta E_c^{111,11\bar{1}}=\frac{1}{3}\phi_u^{L}(\varepsilon_{\perp}-\varepsilon'') \tag{4.3-23}$$

$$\Delta E_c^{\bar{1}11,1\bar{1}1}=\frac{1}{3}\phi_u^{L}(\varepsilon_{\perp}-\varepsilon'') \tag{4.3-24}$$

在［111］方向上，

$$\Delta E_c^{111}=\frac{2}{3}\phi_u^{L}(\varepsilon_{\perp}-\varepsilon'') \tag{4.3-25}$$

$$\Delta E_c^{\bar{1}11,1\bar{1}1,11\bar{1}}=-\frac{2}{9}\phi_u^{L}(\varepsilon_{\perp}-\varepsilon'') \tag{4.3-26}$$

在表 4.3-1 中，我们综合列出了 Si 和 Ge 的相关物理参

数，既有理论值，也有部分实验值。利用这些参数可以计算出在应力的作用下 $Si_{1-x}Ge_x$ 合金的价带和导带的偏移数据。

在应力的作用下，$Si_{1-x}Ge_x$ 的价带发生分裂。如果在晶格常数较小的衬底上生长晶格常数稍大的外延层（Si衬底上生长 $Si_{1-x}Ge_x$ 时就是这种情况），受外延层应力的作用，应变将使重空穴带上升，使其变为价带顶。相反，在晶格常数较大的衬底上生长晶格常数稍小的外延层时，例如在Ge上生长 $Si_{1-x}Ge_x$，外延层受拉应力的作用，轻空穴带变为价带顶了。可见压应力和张应力的不同使得价带顶也不相同，分别为重空穴带和轻空穴带。

众所周知，在轻空穴带和重空穴带中，空穴的有效质量是不同的，因而引起的载流子的输运性质也有许多差别。根据这一物理性质，人们可以根据实际应用的需求来设计能带的结构，使得器件中载流子的有效质量、迁移率和量子结构中的限制作用表现出不同的物理特性，实现各种复杂的功能。这也便是能带工程的研究对象和应用领域了。对 $Si_{1-x}Ge_x$ 来说，应变对价带和导带都发生了影响，并且对价带的影响更大一些。然而，应变使导带发生分裂，使得导带的极小值变得更低，无论是压应变还是张应变，都导致导带能谷的能量更低。我们可以利用这一点在纵向和横向上获得有效质量具有特殊特性的载流子。当设计半导体器件时，如果能够设法改变能带偏移、载流子特性，就为设计和制造器件提供了更大的灵活性。

这一节详细描述了应变是如何影响能带结构、如何发生变化的，同时还给出了一些计算公式、理论值和实验值。将本节的一些结果同上一节没有应变的 $Si_{1-x}Ge_x$ 体材料的带隙同组分 x 的关系结合起来，就可以预期应变的 $Si_{1-x}Ge_x$ 外延层的能带结构，这将在下一节中予以讨论。

4 应变SiGe合金的能带结构

Si和Ge之间的晶格失配度高达4.18%，因此无论是在Si衬底、Ge衬底还是 $Si_{1-y}Ge_y$ 衬底上外延生长 $Si_{1-x}Ge_x$ 薄层时，该外延层都要经受双轴应力的作用，例如在Si衬底上外延生长 $Si_{1-x}Ge_x$，由于 $Si_{1-x}Ge_x$ 的晶格常数比Si的晶格常数大，则在平行于衬底平面的 x 和 y 两个方向上，外延层将会受到压缩应力的作用，与此同时，在垂直于外延层的 z 方向上，外延层要经受拉伸应力的作用。无论是何种应力的作用都将改变外延层的能带结构和禁带宽度。研究表明，外延层 $Si_{1-x}Ge_x$ 在均匀双轴压缩应力的作用下，带隙发生偏移。无论合金中Ge的组分 x 值为多少，带隙偏移都将主要发生在价带中，价带位置的变化几乎完全等于禁带宽度的变化，而导带却几乎没有多大的变化。

图4.3-6示出了应变 $Si_{1-x}Ge_x$ 的禁带宽度 E_g，为了比较，图中同时示出了未发生应变的 $Si_{1-x}Ge_x$ 体材料的禁带宽度。可以看出，由于发生了应变，禁带宽度的大小都比体材料的禁带宽度 E_g 小，无论是在Si衬底、Ge衬底还是 $Si_{1-y}Ge_y$ 衬底上生长 $Si_{1-x}Ge_x$ 层都是如此。同时还需指出，图中所示的空方框和黑圆点都是实验结果，而图中的各种曲线，包括实线、虚线和点划线都是理论计算得的结果。图中的阴影区域是对重空穴（$\pm\frac{2}{3}$）和轻空穴（$\pm\frac{1}{2}$）两种跃迁进行理论计算所得的结果。

采用光荧光测定时，我们在低温下经常测到的是无声子参与的自由激子的荧光谱。Si中自由激子的束缚能为14.7 meV，Ge中的自由激子束缚能为4.15 meV。因此将荧光谱测得的数据所对应的能量减去自由激子的束缚能，才能真正地计算出 $Si_{1-x}Ge_x$ 外延层的禁带宽度 E_g 的大小。依据6 K下的低温光荧光数据，经过分析和推导得出适合于 $x<0.25$ 范围的 $Si_{1-x}Ge_x$ 的禁带宽度 E_g 表达式为：

$$E_g(x)=1.171-1.01x-0.835x^2\ (x<0.25) \quad (4.3\text{-}27)$$

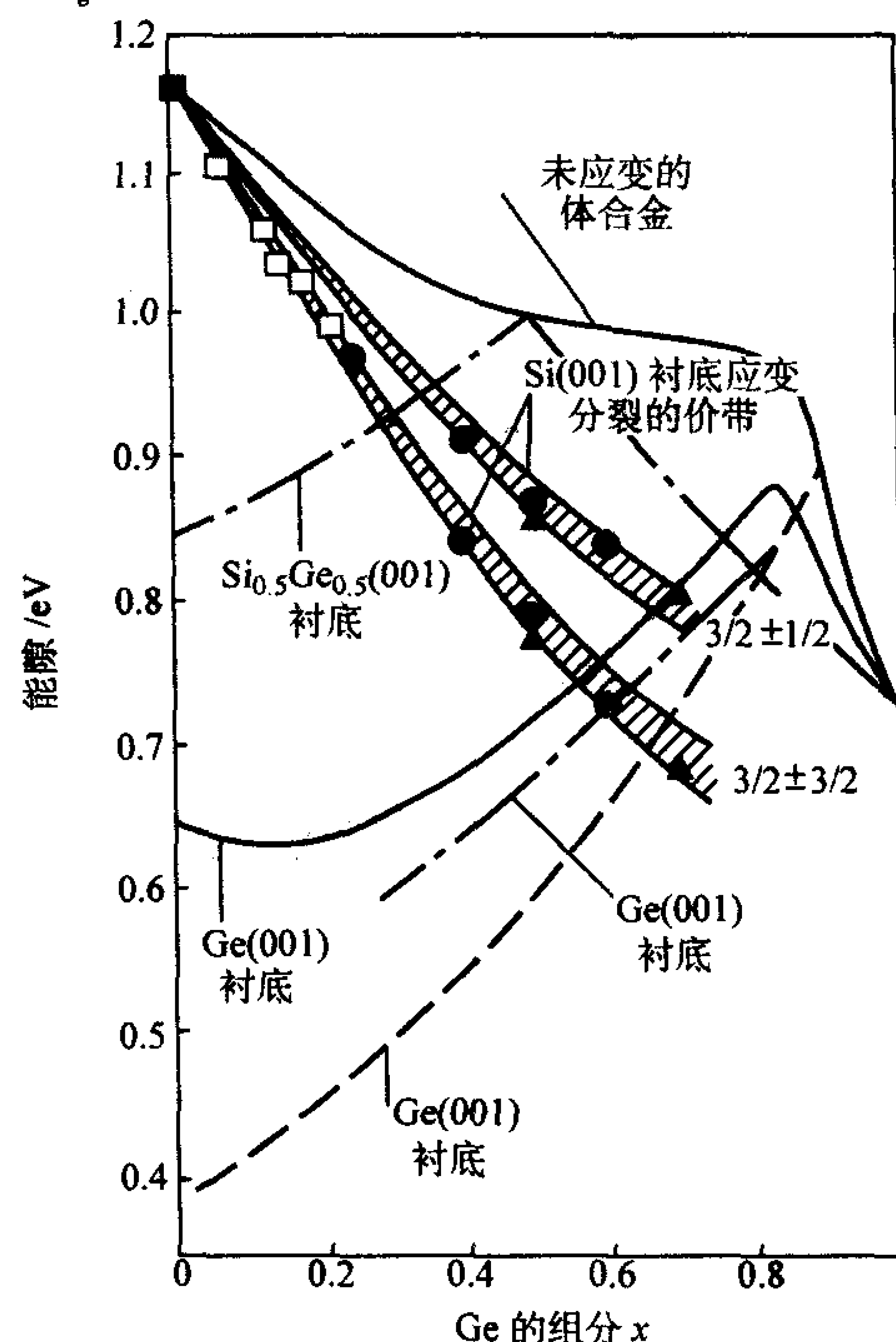


图4.3-6 不同衬底上生长的应变 $Si_{1-x}Ge_x$ 外延层的禁带宽度 E_g 同Ge组分 x 值的关系

由此可见，E_g 同组分 x 值成抛物线的关系。有人采用扰动理论，计算了 $Si_{1-x}Ge_x$ 层中自由激子的束缚能 E_b，在 $0<x<0.25$ 范围内其表达式为：

$$E_b(x)=0.0145-0.022x+0.020x^2 \quad (x<0.25) \quad (4.3\text{-}28)$$

同时考虑自由激子荧光谱测得的的能谱和束缚能 E_b，得出禁带宽度 $E_g(x)$ 的如下表达式：

$$E_g(x)=1.17-0.896x+0.396x^2 \quad (4.3\text{-}29)$$

将式（4.3-3）同式（4.3-29）进行比较，在 $x<0.3$ 的范围内两个公式的计算值仅仅相差7 meV。

以上分析都是在Si衬底上外延 $Si_{1-x}Ge_x$ 层的理论结果。对于Ge衬底和 $Si_{0.5}Ge_{0.5}$ 衬底来说，其禁带宽度 E_g 的变化要比Si上生长的 $Si_{1-x}Ge_x$ 层的 E_g 的变化小许多。如果外延层的双轴应变由压应变转变为张应变时，则最小禁带宽度由 $lh-\Delta$（2）跃迁转变为 $hh-\Delta$（4）跃迁。lh 为轻空穴带，而 hh 为重空穴带。对于 $lh-\Delta$（2）跃迁来说，能隙随着Ge组分 x 值的增加而增加，但对于 $hh-\Delta$（4）跃迁来说，能隙随着Ge组分 x 值的增加而减小。当衬底中Ge含量和外延层 $Si_{1-x}Ge_x$ 中的Ge含量足够高时，$hh-\Delta(4)$ 跃迁最终变为 $\Gamma-L$ 跃迁。图4.3-3中以Ge和 $Si_{0.5}Ge_{0.5}$ 为衬底的外延层的 E_g 曲线都说明了这一点。在 x 值为不太大的范围内，禁带宽度随着 x 值的增加而增加，外延层受压应力的作用比较明显。当 x 值很大时，外延层承受张应力的作用，禁带宽度随着 x 值的进一步增大而变小。

5 SiGe异质结的能带偏移

以上的描述是发生了应变之后的 $Si_{1-x}Ge_x$ 层的能带结构。事实上，这些结果还是这些外延层的层内的能带图，而不是衬底同外延层界面处的能带结构。人们不但关注 $Si_{1-x}Ge_x$ 外延层的层内发生了应变前后的能带情况，还十分关注 $Si_{1-x}Ge_x$ 合金组成异质结构时（例如 $Si_{1-x}Ge_x/Si$、$Si_{1-x}Ge_x/Ge$、$Si_{1-x}Ge_x/Si_{1-y}Ge_y$ 等异质结构）的能带结构，亦即发生

在异质结界面处的能带偏移。

当两种禁带宽度不同的半导体晶体材料在一起构成异质结构时，就会在异质结的界面处引起禁带宽度的突变，显然异质结的带隙差 ΔE_g 等於它们各自的禁带宽度之差，即 $\Delta E_g = E_{g2} - E_{g1}$，$E_{g1}$ 和 E_{g2} 分别为两种材料的禁带宽度。禁带宽度的突变又进一步表现为导带的偏移 ΔE_c 和价带的偏移。显然 $\Delta E_g = \Delta E_c + \Delta E_v$。

这样的描述是异质结的一种非常简单的能带结构模型，它已经无意识地包括了如下的假设：

1）界面处晶格匹配，不存在界面态；

2）异质结界面的两边的材料是突变的，不存在互扩散；

3）界面处的能带同各种材料中远处的能带结构相同。

当然，实际的情况不是如此，异质结界面处总是存在界面态；两种材料组成异质结时，由于生长时的温度或者固体或气体源的流量变化等问题，界面处的组分总是有一个过渡层。如果这个过渡层仅仅只是几个原子尺寸的长度，就将其称为突变的异质结。如果这个过渡层的厚度足以可以同材料的德布洛依波波长相比拟，这个过渡层就为缓变的异质结。

无论是突变的还是缓变的异质结，它们构成异质结时会在结的两边形成载流子的耗尽层，耗尽层的存在会使得能带发生弯曲，能带弯曲的程度与耗尽层的厚度有关，其尺寸为几十纳米到几微米。除了这种耗尽层的影响外，还必须考虑应变对界面处的能带偏移的影响。

当材料发生了应变时，应变的静压力将产生附加的能带偏移，而单轴应变还会使能带分裂。由于应变使得导带和价带产生不同的变化，这些变化都会影响异质结界面附近的能带偏移。

对于 Si/Ge 或者 $Si_{1-x}Ge_x$/Si 等异质结来说，它们构成异质结时会发生形变，以便界面两边的晶格常数会是连续地变化，也就是说该异质结外延层是赝晶。正如本节中前面所讨论的，应变对能带结构有很大的影响，所以能带的偏移问题与应变关系很大。

理论上深入研究过 $Si_{1-x}Ge_x$ 异质结构的能带偏移的情况。图4.3-7示意地表示在 Si 衬底上外延生长 Ge 的异质结构的价带偏移的情况，在这里 Si 衬底没有发生应变，但是 Ge 层已经发生了应变。

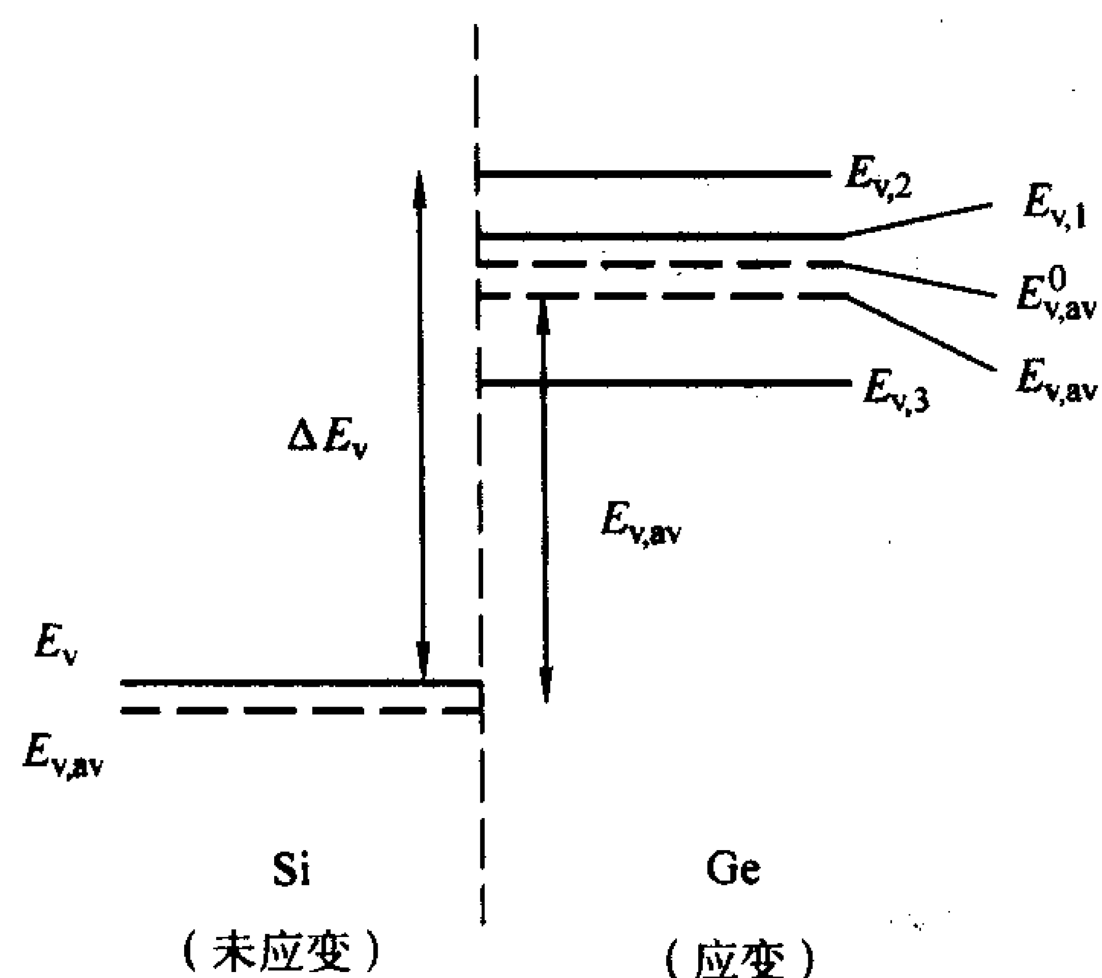


图 4.3-7 Si/Ge 异质结的价带偏移示意图

在计算能带时，常常用“固体模型”，它直接提供了 Si 和 Ge 的价带平均值 $E_{v,av}$。对于各种半导体来说，都曾经计算过各自的价带平均值，然后依据不同半导体的参考数值之差来确定能带偏移量的大小。依照文献的数据得知：在 Si 中，$E_{v,av} = -7.03$ eV，在 Ge 中，$E_{v,av} = -6.35$ eV。这里必须指出的是，这些数据的绝对值是没有实际的物理意义的，只有两种半导体结合在一起时，求出它们的价带平均值的差值才有意义。由此出发，我们求得 Si 和 Ge 之间的价带偏移的大小为$\Delta E^0_{v,av} = E_{v,av}(\mathrm{Ge}) - E_{v,av}(\mathrm{Si}) = 0.68$ eV。这一表达式中的上角标“0”表示它们没有发生应变，因此 $\Delta E^0_{v,av}$ 表示异质结两边都没有发生应变时的价带偏移的平均值。

如果考虑到自旋轨道分裂的贡献 Δ，则 Si 的价带平均值为：

$$E_{v,1,2}(\mathrm{Si}) = E_{v,av}(\mathrm{Si}) + \frac{1}{3}\Delta_o = -7.03 + \frac{1}{3}0.04 = -7.02 \tag{4.3-30}$$

式中，下角标 1 和 2 表示轻、重空穴带。在外延层 Ge 的这一边，赝晶应变较低，如果采用文献给的数据 $\varepsilon_{/\!/} = 0.039$ 和 $\varepsilon_{\perp} = -0.029$，就可以计算得出 Ge 的价带平均值大小为：

$$\begin{aligned} E_{v,av}(\mathrm{Ge}) &= E^0_{v,av}(\mathrm{Ge}) + a_v\frac{\Delta V}{V} \\ &= -6.35 + 1.24(2\times(-0.019) - 0.039 + 0.029) \\ &= -6.41\ \mathrm{eV} \end{aligned} \tag{4.3-31}$$

将式（4.3-30）和式（4.3-31）两式结合在一起，可以计算出在 Si 衬底上外延生长 Ge 层时价带偏移值的大小：

$$\begin{aligned} \Delta E_{v,av} &= E_{v,av}(\mathrm{Ge}) - E_{v,1,2}(\mathrm{Si}) \\ &= -6.41 - (-7.03) = 0.62\ \mathrm{eV} \end{aligned} \tag{4.3-32}$$

这一数据中还包括 Ge 的价带的分裂引起的差别。正如图4.3-7所示，Ge 的价带分裂为 $E_{v,1}$、$E_{v,2}$ 和 $E_{v,3}$，可以利用式（4.3-9）、式（4.3-10）和式（4.3-11）将它们计算出来，其结果分别为：$\Delta E_{v,1} = 0.12$ eV，$\Delta E_{v,2} = 0.27$ eV，$\Delta E_{v,3} = -0.39$ eV。这三个数值之和正好为 $E_{v,av}$。

因此，依据理论分析的结果，$Si_{1-x}Ge_x$ 异质结的平均价带位移为式（4.3-32）计算得出的 0.62 eV。如果再计及 Ge 这一边因价带分裂所引起的最大的 $\Delta E_{v,2}$，则价带的偏移为：

$$\Delta E_v = -6.41 + 0.27 - (-7.03) = 0.89\ \mathrm{eV} \tag{4.3-33}$$

图4.3-7示出了 $\Delta E_{v,av}$ 和 ΔE_v，式（4.3-32）和式（4.3-33）两式计算出了它们的大小。这些分析也可以用于 Ge（100）衬底上生长应变的 Si，类似的计算得出$\Delta E_{v,av} = -6.35 - (-6.91) = 0.56$ eV 和 = 0.32 eV。

以上分析了 Si 上生长 Ge 和 Ge 上生长 Si 的两种情形。对于 $Si_{1-x}Ge_x$ 合金来说，可以采用线性内插法来计算 $Si_{1-x}Ge_x$/Si 和$Si_{1-x}Ge_x$/Ge 异质结构的价带偏移。事实上，采用线性插入法所得的结果与实际情况基本符合，因此是一种很好的近似。

在求得价带偏移值之后，再利用异质结两边材料的禁带宽度的大小，可以很方便地计算出导带的偏移值。因此可以画出整个能带偏移图来。

在这里我们着重强调的一点是，在计算能带偏移时，应当先计算价带的偏移情况，然后再推算出导带的偏移情况。能带的线性插入法只用于价带，不能用于导带，这是因为合金的禁带宽度同组分不完全是线性的关系，而且这种非线性主要表现在导带随组分的变化上。因此以价带为基准分析问题更为准确一些。当我们获知价带的连接和偏移量的大小时，就可以应用没用应变时的禁带宽度实验数据（图4.3-2）再加上上述应变引起的价带分裂和偏移的数据，计算出导带的偏移来。

不同的实验室采用光发射、x 射线光电子谱、DLTS（深能级瞬态能谱）、光反射谱等不同的方法测量了各种 $Si_{1-x}Ge_x$ 异质结构的能带偏移，结果发现，（100）Si 上生长 Ge 的 $\Delta E_v = 0.83 \sim 0.62$ eV，（100）Ge 上生长应变 Si 的 $\Delta E_v = 0.22 \pm 0.13$ eV，$Si_{0.7}Ge_{0.3}$/Si 的 $\Delta E_v = 0.22 \pm 0.02$ eV，$Si_{0.3}Ge_{0.7}$/Ge 的 $\Delta E_{v,av} = 0.14 \pm 0.03$ eV。进一步的分析表明，理论分析的计算结果比实测结果大 0.1 eV 左右。

现在比较普遍的看法是：对于 Si 上生长 Ge 来说，理论

值 $\Delta E_v^0 = 0.58$ eV，这些数据是没有应变时的价带偏移。对于具有应变的情况来说，应当考虑静压单轴应变的影响。

6　SiGe 的有效质量

在半导体材料中，载流子的有效质量是一种非常重要的物理参数，可以用它来表示晶体的能带结构和载流子的输运性质，因此成为人们十分关注的物理量。

对于没有应变的 Si 来说，其导带的极小值位于布里渊区［100］方向上 $0.85\pi/a$ 处的 X 点，由于［100］方向有 6 个等价的方向（<100>、<010>、<001>、<$\bar{1}$00>、<0$\bar{1}$0>、<00$\bar{1}$>），因此它是六重简并。同理，可以分析没有应变的 Ge 的能带结构，其导带的极小值位于布里渊区［111］方向上的 L 点，该点就在［111］方向上的边界处，它有 8 个等价的方向，因此是八重简并的。

在导带底极低值附近，我们可以将能量同波矢 $\vec{k}$ 的关系近似地看作抛物线关系：

$$E = \frac{1}{2}\left(\frac{h}{2\pi}\right)^2\left(\frac{k_t^2}{m_t} + \frac{k_l^2}{m_l}\right) \tag{4.3-34}$$

式中，h 为普朗克常数；k_t 和 k_l 分别为波矢的横向和纵向的分量，m_t 和 m_l 分别为电子的横向质量和纵向质量。

表 4.3-2 列出了纯 Si 和纯 Ge 的电子有效质量，这些数据都是在 1.4 K 附近的极低温度下测得的结果。至今没有 $Si_{1-x}Ge_x$ 的电子有效质量的实验数据，在图 4.3-8 中给出的曲线是线性插入法所示的 $Si_{1-x}Ge_x$ 的电子有效质量同 x 值的关系。再次强调指出，x 在 0～0.85 范围内，$Si_{1-x}Ge_x$ 的导带仍保持为类 Si 的结构，因此在这一范围内主要考虑 $m_l(L)$ 和 $m_t(L)$ 的值。从该图可以看出，在整个范围内，电子的有效质量没有明显的变化。

表 4.3-2　Si 和 Ge 的电子有效质量

材料	m_t	m_l
Si	$0.190\,5m_0$	$0.916\,3m_0$
Ge	$0.082m_0$	$1.58m_0$

注：m_0 为真空中自由电子的质量。

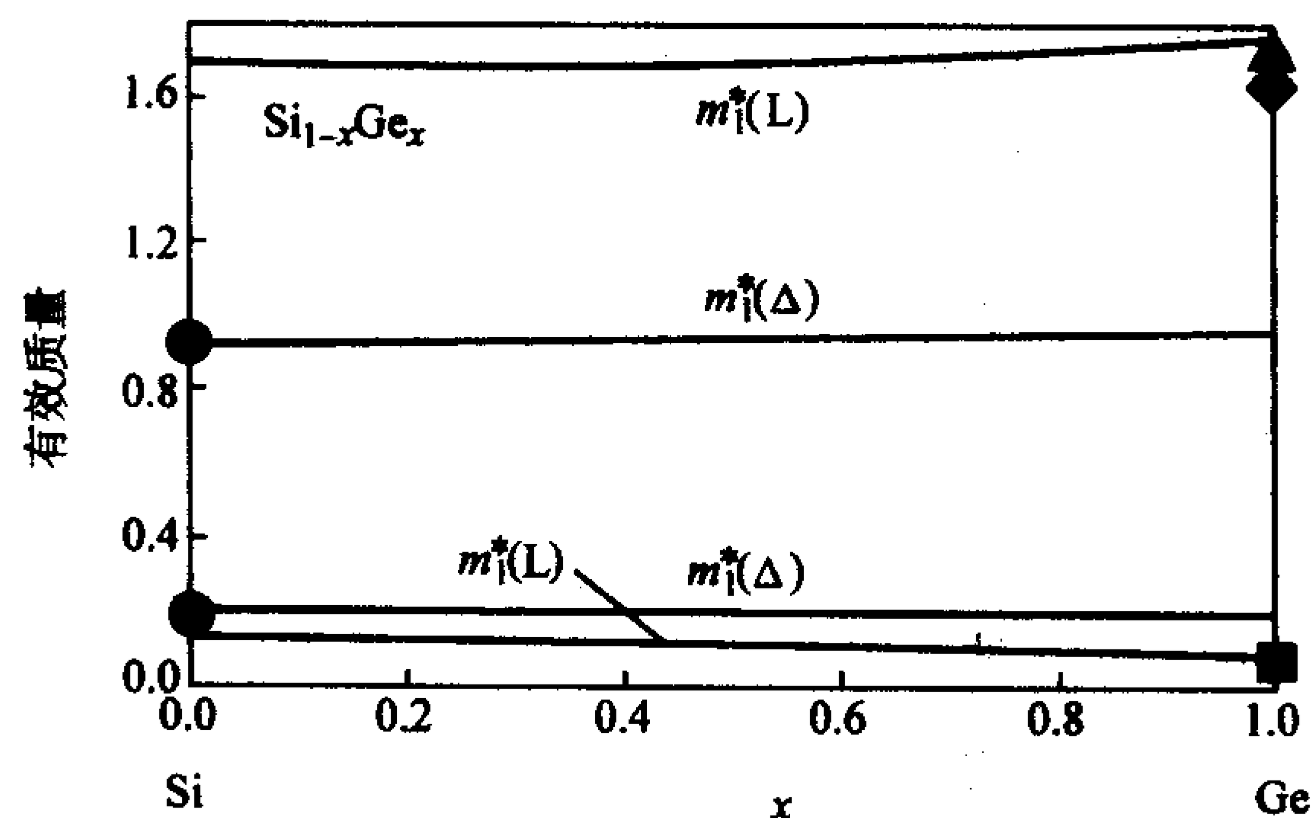


图 4.3-8　$Si_{1-x}Ge_x$ 的电子有效质量同组分 x 的关系

实验证明，纯 Si 和纯 Ge 中载流子的有效质量几乎没有什么变化，相应地，我们也预期温度对 $Si_{1-x}Ge_x$ 合金中载流子的有效质量没有什么影响。

半导体的价带结构要复杂一些，即使在没有应变的纯 Si 体材料的价带中也是要复杂一些。由于自旋能带分裂、应变的影响等的作用，价带的形状常常不是抛物线形的。Ge 的相关数据也清楚地表明，其能带具有很强的非抛物线性。在重空穴带中，空穴的有效质量随着载流子浓度的增加而下降，而回旋共振的质量却随着载流子浓度的增加而增加。

表 4.3-3 列出了回旋共振测得的空穴回旋质量的数据。表中的样品一栏 $Si_{1-x}Ge_x/Si_{1-y}Ge_y$ 的含义是这样的：在斜分号"/"之前的 $Si_{1-x}Ge_x$ 为外延层，而斜分号"/"之后的 $Si_{1-y}Ge_y$ 为衬底，因此头四个样品都是在 Ge 衬底上外延 $Si_{1-x}Ge_x$ 薄层的数据，第五和第六个样品分别是在 $Si_{0.25}Ge_{0.75}$ 和 $Si_{0.1}Ge_{0.9}$ 衬底上外延 Ge，第七个样品分别是在 Ge 衬底上外延 Ge。

表 4.3-3　回旋共振实验测得的 $Si_{1-x}Ge_x$ 外延层中空穴的有效质量

样　品	$N_s/10^{11}\,cm^{-2}$	T/K	m_{CR}
$Si_{0.87}Ge_{013}$/Ge	2.2	0.3～2	0.26
$Si_{0.85}Ge_{0.15}$/Ge	12	1.4～4.2	0.44
$Si_{0.8}Ge_{0.2}$/Ge	3.5	1.8～4.2	0.30
$Si_{0.63}Ge_{0.37}$/Ge	23	3.0	0.29
Ge/$Si_{0.25}Ge_{0.75}$	10.5	1.5	0.12
Ge/$Si_{0.1}Ge_{0.9}$	10.6 11.0 17.8	1.5	0.142 0.151 0.20
Ge/Ge	5.0	0.4	0.274

测量表明，Ge 的空穴有效质量较小，在 $0.04m_e$～$0.10m_e$ 之间。在 Si 衬底上生长 $Si_{1-x}Ge_x$ 层，其重空穴的有效质量变小了。

7　结论

Si 和 Ge 的能带结构为间接带能带结构，Si 的导带底出现在［100］方向的 X，而 Ge 的导带底出现在［111］方向（0，0，0.8）处的 L。$Si_{1-x}Ge_x$ 的能带结构介于 Si 和 Ge 的能带结构之间。当 $x<0.85$ 时，$Si_{1-x}Ge_x$ 合金表现出类 Si 的能带结构；而 $x>0.85$ 时，$Si_{1-x}Ge_x$ 合金表现出类 Ge 的能带结构。

半导体材料的禁带宽度都是随着温度的上升而变小，$Si_{1-x}Ge_x$ 的禁带宽度也随着温度的上升而平滑地变小。

在 Si、Ge 或 $Si_{1-y}Ge_y$ 衬底上外延生长 $Si_{1-x}Ge_x$ 时外延层中存在应力，在应力的作用下，$Si_{1-x}Ge_x$ 的价带发生分裂。如果外延层的晶格常数比衬底的晶格常数稍大，应变将使重空穴带上升，使其变为价带顶。相反，如果外延层的晶格常数比衬底的晶格常数小，例如在 Ge 上生长 $Si_{1-x}Ge_x$，轻空穴带就变为价带顶了。

无论是压应力还是拉伸应力，都将改变外延层的能带结构和禁带宽度，禁带宽度发生偏移。无论合金中 Ge 的组分 x 值为多少，禁带宽度偏移都将发生在价带中，价带位置的变化几乎完全等于禁带宽度的变化，而导带却几乎没有多大的变化。

无论是突变的还是缓变的异质结，应变的静压力将产生附加的能带偏移，而单轴应变还会使能带分裂。由于应变产生的导带和价带的变化也都会影响异质结界面附近的能带偏移，实验发现，(100) Si 上生长 Ge 的 $\Delta E_v = 0.83$～0.62 eV，(100) Ge 上生长应变 Si 的 $\Delta E_v = 0.220 \pm 13$ eV，$Si_{0.7}Ge_{0.3}$/Si 的 $\Delta E_v = 0.22 \pm 0.02$ eV，$Si_{0.3}Ge_{0.7}$/Ge 的 $\Delta E_{v,av} = 0.140.03$ eV。对于 Ge/Si 异质结构来说，如果不考虑应变的影响，现在通常采用理论带隙偏移值 $\Delta E_v^0 = 0.58$ eV。

在 $x = 0$～0.85 范围内，$Si_{1-x}Ge_x$ 的导带仍保持为类 Si 的结构，但是价带结构要复杂一些，由于自旋分裂、应变的作用，价带的形状不是抛物线形的。在重空穴带中，空穴的有效质量随着载流子浓度的增加而下降，而回旋共振的质量却随着增加。测量表明，Ge 的空穴有效质量较小，在 $0.04m_e$～$0.10m_e$ 之间。在 Si 衬底上生长 $Si_{1-x}Ge_x$ 层，其重空穴的有效质量变小了。

编写：余金中（中国科学院半导体研究所）

第 4 章　SiGe 的力学性质、热学性质和 Raman 光谱

在这一章中我们将描述 SiGe 的力学性质、热学性质和 Raman 光谱。Si 和 Ge 组成的 SiGe 合金的力学特性就同 Si 和 Ge 的力学特性非常相似。其弹性常数等力学性质常常采用 Regard 定律的线性内插法来描述。它们的弹性张量 C_{ij} 可以归结为三个独立的弹性常数 C_{11}、C_{12}、C_{44}，我们将给出这三个弹性常数的数据。

Si 和 Ge 具有很好的热导性，常常用来制作电子集成器件和光电器件的热沉。然而 SiGe 合金的热力学性质不再遵循线性关系，本章将通过图表和数据来描述 SiGe 合金的热导率同温度、组分、掺杂类型和浓度等的非线性关系。

Si 的线胀系数较大，而 Ge 的线胀系数较小。$Si_{1-x}Ge_x$ 的线胀系数同 x 值之间也不是简单的线性关系。Si 的热膨胀引起的变化比较小，而 $Si_{1-x}Ge_x$ 的热膨胀随着 x 值而逐渐增大，到达 Ge 时达到最大。

在至今所知的半导体材料中，SiGe 合金是具有最强的温差电动势效应的材料之一，特别适合于空间能源的应用。我们将讨论不同温度下、不同 x 值组分、不同载流子浓度的 n 型和 p 型的 $Si_{1-x}Ge_x$ 的塞贝尔系数 Q。

通过研究 Raman 谱可以了解半导体材料的光学声子、声学声子、价键情况、应变和驰豫情况等特性。在本章的第 5 节中将详细讨论 $Si_{1-x}Ge_x$ 的 Raman 谱。

1　SiGe 的力学性质

由于 Si 和 Ge 都为共价键材料，Si－Si 键和 Ge－Ge 键的特性非常相似，SiGe 中的 Si－Ge 键的离子键特性很弱，因此由 Si 和 Ge 组成的 SiGe 合金的力学特性就同 Si 和 Ge 的力学特性非常相似。对于共价键材料来说，其刚性主要取决于共价键的键长。众所周知，Si 和 Ge 的晶格常数相差 4.18%，这一数值对于晶格失配来说是相当大的，但对于弹性常数等力学性质来说，它又是相当小的。因此，SiGe 合金的弹性常数等力学性质常常采用 Regard 定律的线性内插法来描述。也就是说，如果知道元素半导体材料 Si 和 Ge 的力学参数，就可以依据线性关系求出 SiGe 合金的力学参数，它们介于 Si 和 Ge 各自的参数之间，同组分 x 值呈正比的线性函数关系。

表 4.4-1 列出了元素半导体 Si 和 Ge 的弹性常数。这些数据是在室温（298 K）和压力为 1.01×10^5 Pa 的条件下测得的。所测的样品都为 p 型，p－Si 和 p－Ge 的电阻率分别为 410 Ωcm 和 45 Ωcm。由于 Si、Ge 和 SiGe 合金都是金刚石立方结构晶体，它们的弹性张量 C_{ij} 可以归结为三个独立的弹性常数 C_{11}、C_{12}、C_{14}，因此我们在表 4.4-1 中也只列出了这三个弹性常数的数据，其单位都为 GPa。

表 4.4-1　Si 和 Ge 的弹性常数　　GPa

弹性常数	Si	Ge
C_{11}	165.8	128.5
C_{12}	63.9	48.3
C_{14}	79.6	66.8

SiGe 合金的弹性常数同组分 x 值的关系可以依 Regard 定律表达为下述的线性函数关系：

$$C_{ij}=C_{ij,Ge}\,x+C_{ij,Si}\,(1-x) \qquad (4.4\text{-}1)$$

式中 $C_{ij,Ge}$ 和 $C_{ij,Si}$ 分别为 Ge 和 Si 的 C_{ij}，其数据可以由表 4.4-1 查出，x 为 Ge 的组分，$(1-x)$ 为 Si 的组分。

至今，有关 SiGe 合金的弹性常数的实验报道很少。即使如此，人们普遍认为，无论是理论上还是实验上，采用 Regard 定律的线性内插法所得到的数据是合理的、可靠的，在实验误差范围内，它们是非常符合的。

有人测试分析了外延 SiGe 合金的情况。在（100）Si 衬底上外延生长 $Si_{1-x}Ge_x$ 薄膜，由于晶格常数的差异，则在平行于衬底表面的两个方向上外延薄层承受压应力的作用，而在垂直于衬底表面的方向上，外延薄层的晶格则受到拉应力的作用。如果平行和垂直两个方向上的应变分别表示为 $\varepsilon_{\perp}$ 和 $\varepsilon_{/\!/}$，则它们同弹性常数之间的关系可以表达为：

$$\varepsilon_{\perp}=-[2\nu(1-\nu)]\varepsilon_{/\!/}=-2(C/C_{/\!/})\varepsilon_{/\!/} \qquad (4.4\text{-}2)$$

式中，ν 为泊松比。实验表明，利用 X 射线衍射技术可以测定应变 $\varepsilon_{\perp}$ 和 $\varepsilon_{/\!/}$，并利用表 4.4-1 和式（4.4-1）求出 $Si_{1-x}Ge_x$ 的弹性常数，其结果符合式（4.4-2）的依赖关系。这些数据和分析说明：在已知 Si 和 Ge 的力学参数的基础上，可以采用线性内插的方法，求得 $Si_{1-x}Ge_x$ 合金的力学参数，其数值是合理的、实用的。

2　SiGe 的热力学性质

同Ⅲ－Ⅴ族半导体材料相比，Si 和 Ge 具有较大的热导率、较低的热阻率、较大的线胀系数，因此它们具有很好的热导性，常常用来制作电子集成器件和光电器件的热沉。然而 SiGe 合金的热力学性质同它们的力学性质有很大的不同，不再遵循上一节描述的线性内插法求出不同组分时的参数大小，而是依赖于温度、组分、掺杂类型和浓度等不同条件发生非线性的变化，本节将通过图表和数据来描述 SiGe 的热力学参数随着组分的变化关系。

2.1　SiGe 的线胀系数

热胀冷缩是所有物质形态的共性。对于元素半导体 Si 和 Ge 来说，Si 的线胀系数较大，而 Ge 的线胀系数较小。虽然 $Si_{1-x}Ge_x$ 的线胀系数介于两者之间，但不是简单的线性关系。

图 4.4-1 和图 4.4-3 分别示出了 $Si_{1-x}Ge_x$ 的线性热胀系数同组分 x 值以及环境温度的关系。在图 4.4-1 中，曲线 1 和 2 分别画出了温度为 473 K 和 773 K 两种情况下的线性热胀系数 α 同 x 值的关系。可以看出，α 的大小是随着 x 值的增加而单调地增大的。这种单调增加可以粗略地分为两个区域，x 组分为 0.0～0.85 和 0.85～1.0 两个区域。在前一区域 0.0～0.85 之间，α 值随着 x 值的增大而增大；而在 0.85～1.0 区间，虽然 α 值也是随 x 的增大而增大，但其增大的速度明显地变快了。

从能带结构看，x 值为 0.85 处正好是能带结构由类 Si 的能带结构转变为类 Ge 的能带结构，因此 α 值随 x 值变化的两个区域正好同其能带结构的两个区域相对应。也就是说，在类 Si 区域中（$0<x<0.85$），SiGe 合金的 α 值呈线性的变化，α 值随 x 值的增加而线性地增加；在类 Ge 区域中（$0.85<x<1$），SiGe 合金的线胀系数 α 值也呈线性的变化关系，不过其变化更为迅速一些，增大得更快一些，因此线性关系的系数更大一些。

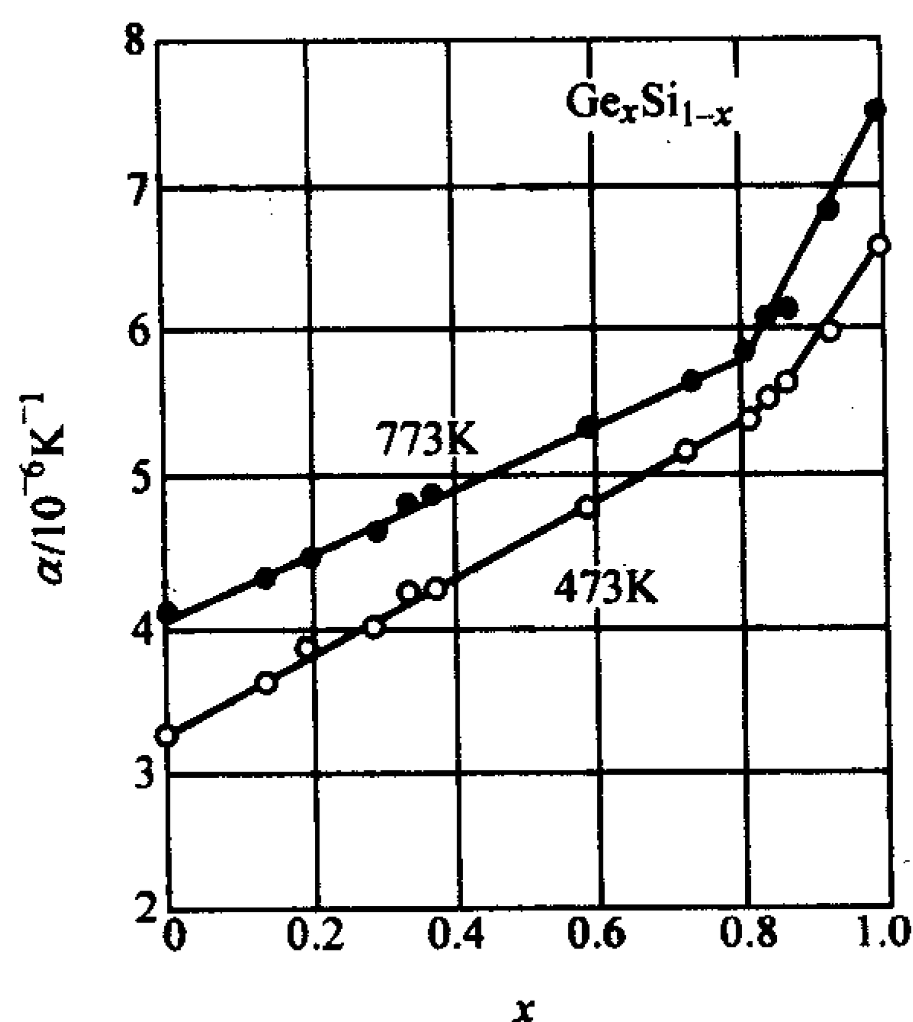


图 4.4-1　$Si_{1-x}Ge_x$ 的线性热胀系数同组分 x 值的关系

图4.4-2示出了 x 值分别为 (1) 0, (2) 20.3%, (3) 35.1%, (4) 59.8%, (5) 85%和 (6) 100%六种 $Si_{1-x}Ge_x$ 合金的线胀系数同温度的关系，这里的序号 (1) - (6) 与图中的数码1~6相对应。从图中可以看出，值随着温度的增加而增加，在低于室温的0~300 K范围内，α 值随着温度 T 的增加而较快地增加，特别是在0~150 K范围内更为明显。而在室温之上时 (T (300 K)，虽然 α 值随着 T 的增大而增大，但速度相对减缓，而且比较接近线性的关系了。同样地，从这一曲线图中也可以看出同一温度下 α 的值是随着 x 值的增大而增大的，由 Si 时的最小增至 Ge 时的最大。这也就说明，相对而言，Si 的热膨胀引起的变化相对要小一些，而 $Si_{1-x}Ge_x$ 的热膨胀随着 x 值的增大而逐渐增大，到达 Ge 时达到最大。这就为设计器件结构和尽量减小热膨胀提供了可靠的依据。

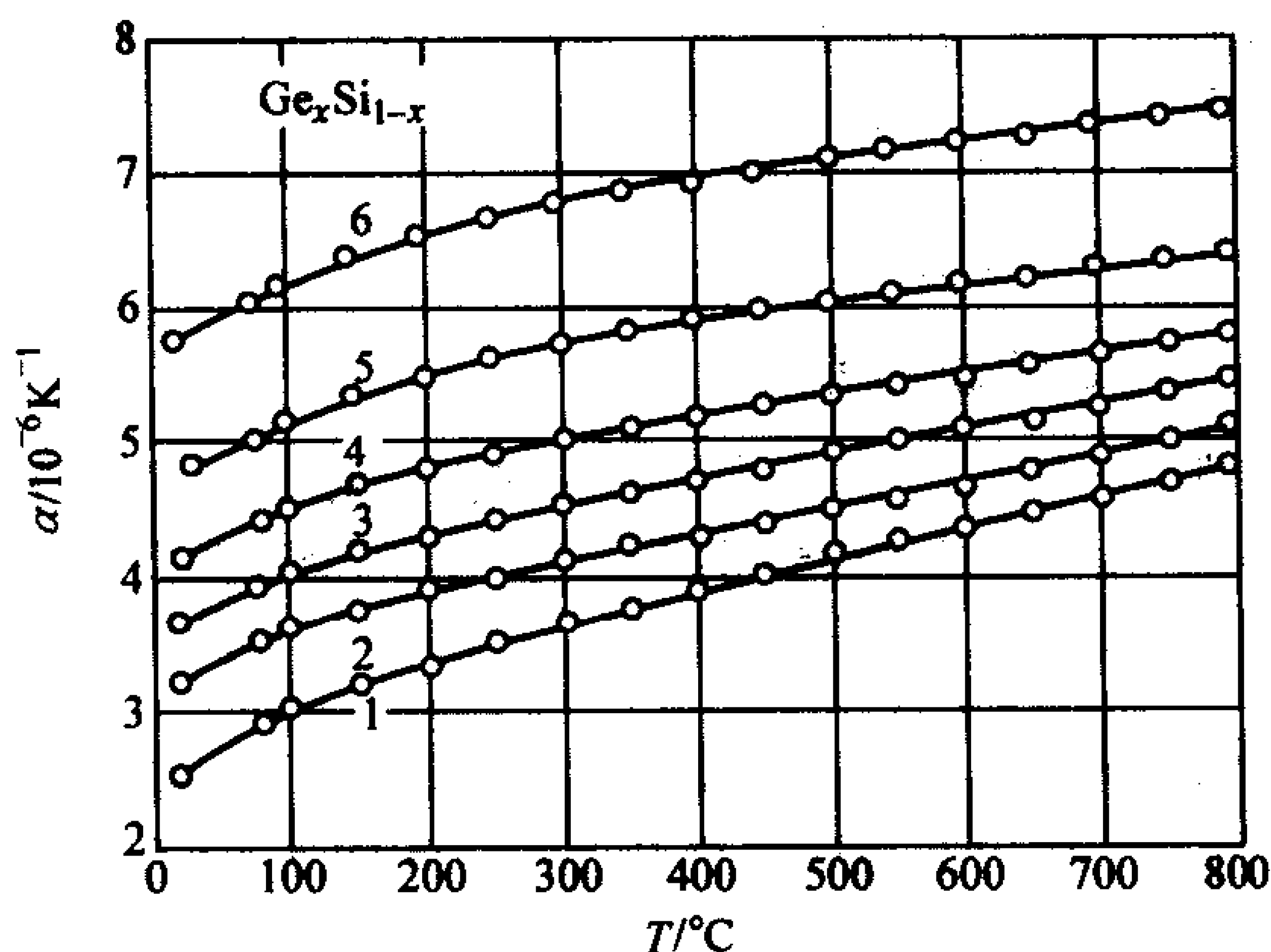


图 4.4-2　$Si_{1-x}Ge_x$ 的线胀系数同温度的关系

2.2　SiGe的热导率

半导体材料的热导率同材料的组分、纯度、掺杂类型和浓度、晶体的完整性都有关系。一般而言，高纯的和晶体完整性好的半导体材料的热导率相对会高一些，这是因为杂质、缺陷等的存在不利于热量的传导。然而也不能一概而论，当p型掺杂的浓度特别高时，例如高达 10^{20} cm^{-3} 以上时，由于自由载流子对热导率的贡献增加了许多，它部分地抵消了杂质散射或缺陷散射的贡献，从而使得高载流子浓度区域中的热导率增大。因此，我们谈论热导率时，不但要注意到 SiGe 的组分，还应该注意温度、导电类型、掺杂浓度等参数，其数据变化范围还是比较大的。

图 4.4-3 示出了四种不同掺杂的 $Si_{1-x}Ge_x$ 热阻率同组分 x 值的关系，热阻率 k^{-1} 同热导率 k 互为倒数关系。从该图可以明显地看出，元素半导体材料 Si 和 Ge 的热阻率比 $Si_{1-x}Ge_x$ 的热阻率小。掺杂浓度对 $Si_{1-x}Ge_x$ 的热阻率有较大的影响，未掺杂的样品的热阻率最小，而掺杂样品的热阻率随着掺杂浓度的增加而增加。在同样的掺杂浓度下，p型样品的热阻率比n型样品的热阻率大，这是由于n型样品中电子传输过程对导热的贡献比p型样品中空穴的大。即使同是n型杂质和同样的掺杂浓度，如果掺杂的杂质不同，样品的热阻率也不同，这是不同杂质的散射作用不同的结果。

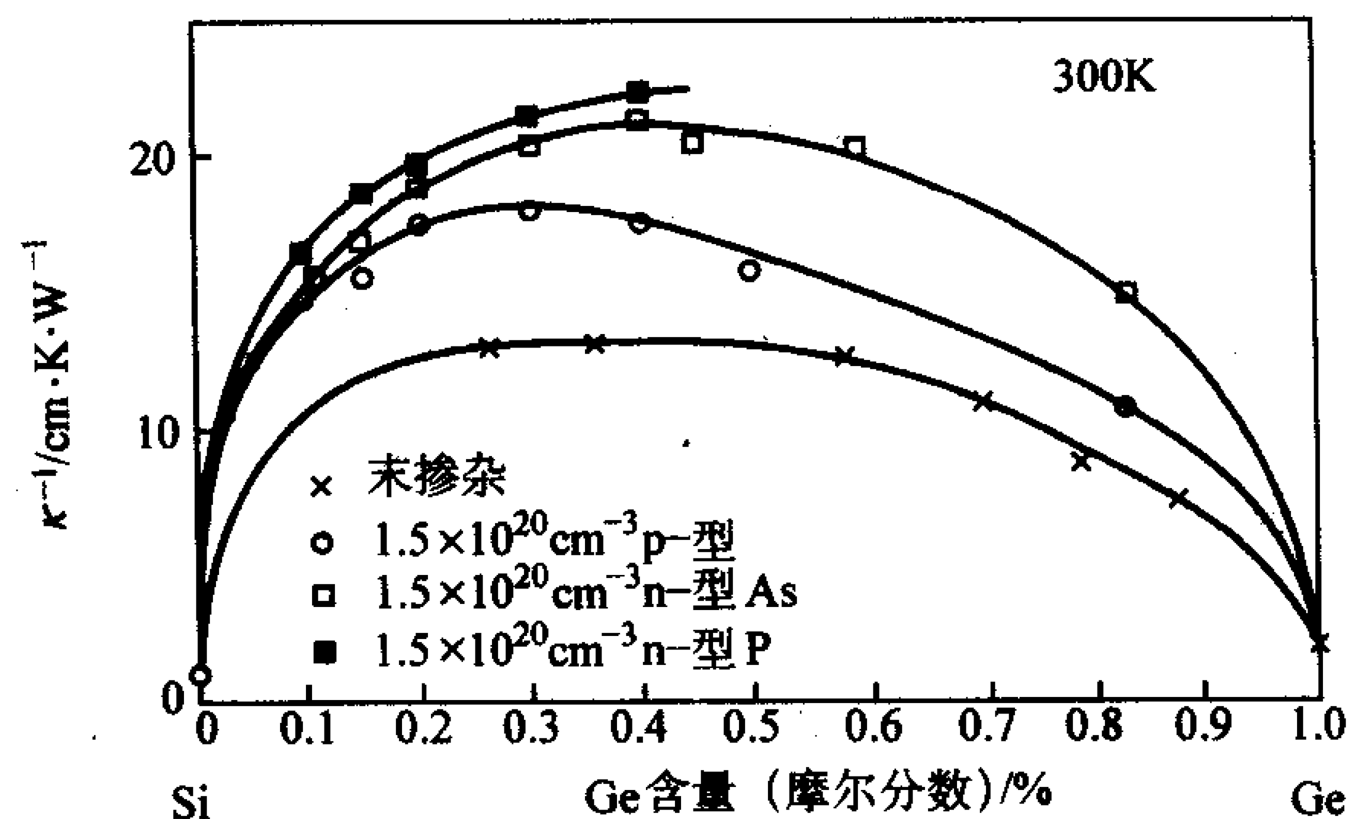


图 4.4-3　室温下 $Si_{1-x}Ge_x$ 的热阻率同组分 x 值的关系

图 4.4-4 和图 4.4-5 分别示出了不同温度下 p型和 n型 $Si_{1-x}Ge_x$ 合金的热阻率 k^{-1} 同载流子浓度的关系。两相比较，可以发现一些有趣的规律。对于p型材料来说，在掺杂浓度不是特别高的范围内，热阻率随着浓度的增加而增加，但在很高的掺杂范围内，热阻率却随着浓度的进一步增加而下降，在 10^{20} cm^{-3} 降至出现热阻率的最大值。事实上，在特别重掺杂的p型样品中，自由载流子对热导率的贡献部分地抵消了杂质散射的作用，这两种作用相互竞争的结果是：不太高的掺杂区域中，散射作用超过导热作用，因而热阻率随着p型杂质浓度的增加而增加；在特别高掺杂范围内，导热作用超过了散射作用，因而热阻率反而是随着掺杂浓度的进一步增加而下降了。

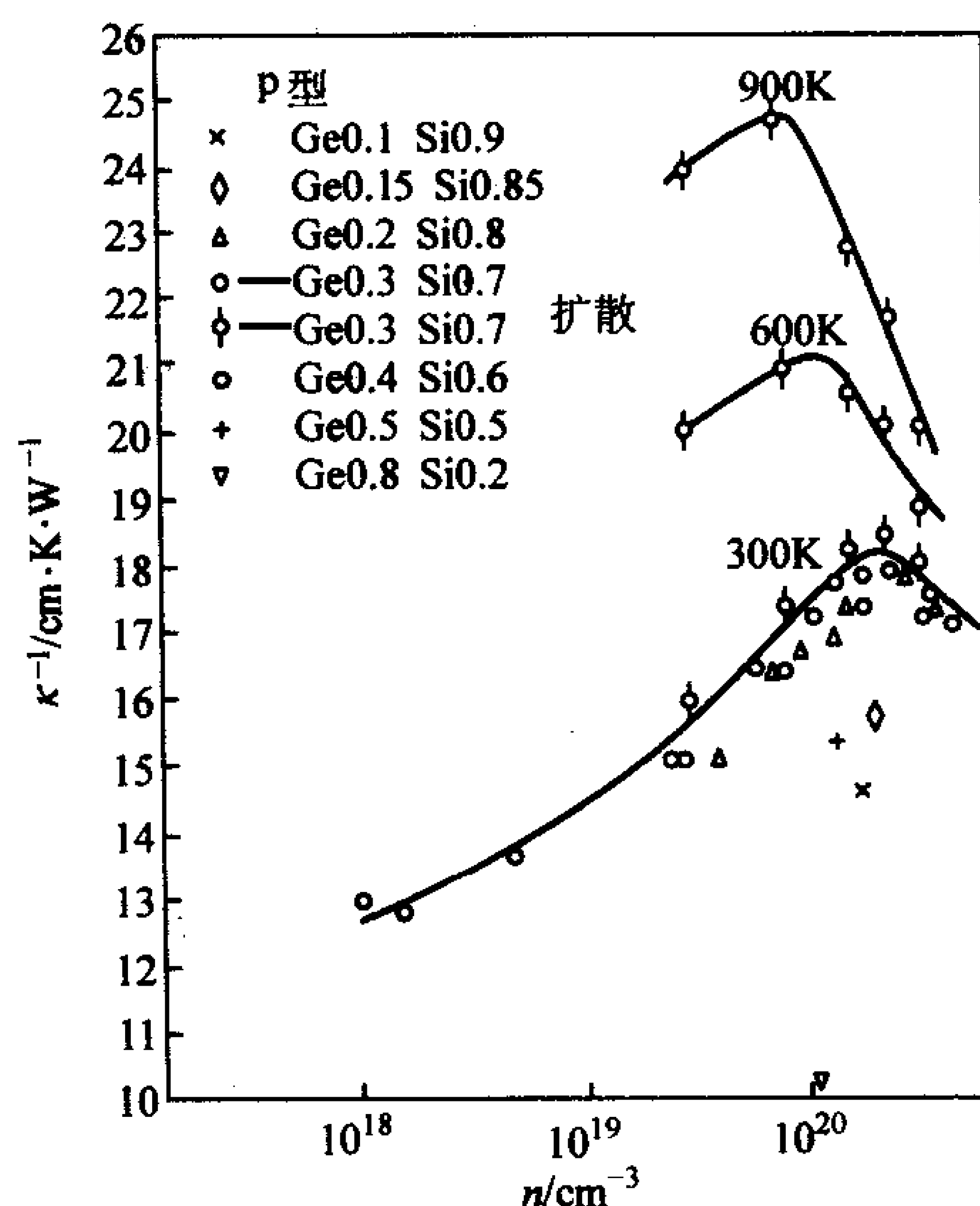


图 4.4-4　p型 $Si_{1-x}Ge_x$ 的热阻率同载流子浓度的关系

在 300 K 下，p型 $Si_{1-x}Ge_x$ 的热阻率的最大值出现在 3×10^{20} cm^{-3} 处。随着温度的增加，热阻率的最大点向载流子浓度小的方向移动。显然可以用散射作用随着温度的增加而得到加强来解释。同样地，对于整个范围来说，$Si_{1-x}Ge_x$ 样品

的热阻率是随着温度的增加而增加的。温度越高，热阻率越大。

在图4.4-5所示的n型样品的热阻率曲线中，并没有出现p型样品那样的极大值，而且热阻率一直是随着电子浓度的增加而增大的趋势。无论合金的组分如何不同，热阻率随着载流子浓度的增加而增大的规律是一致的。

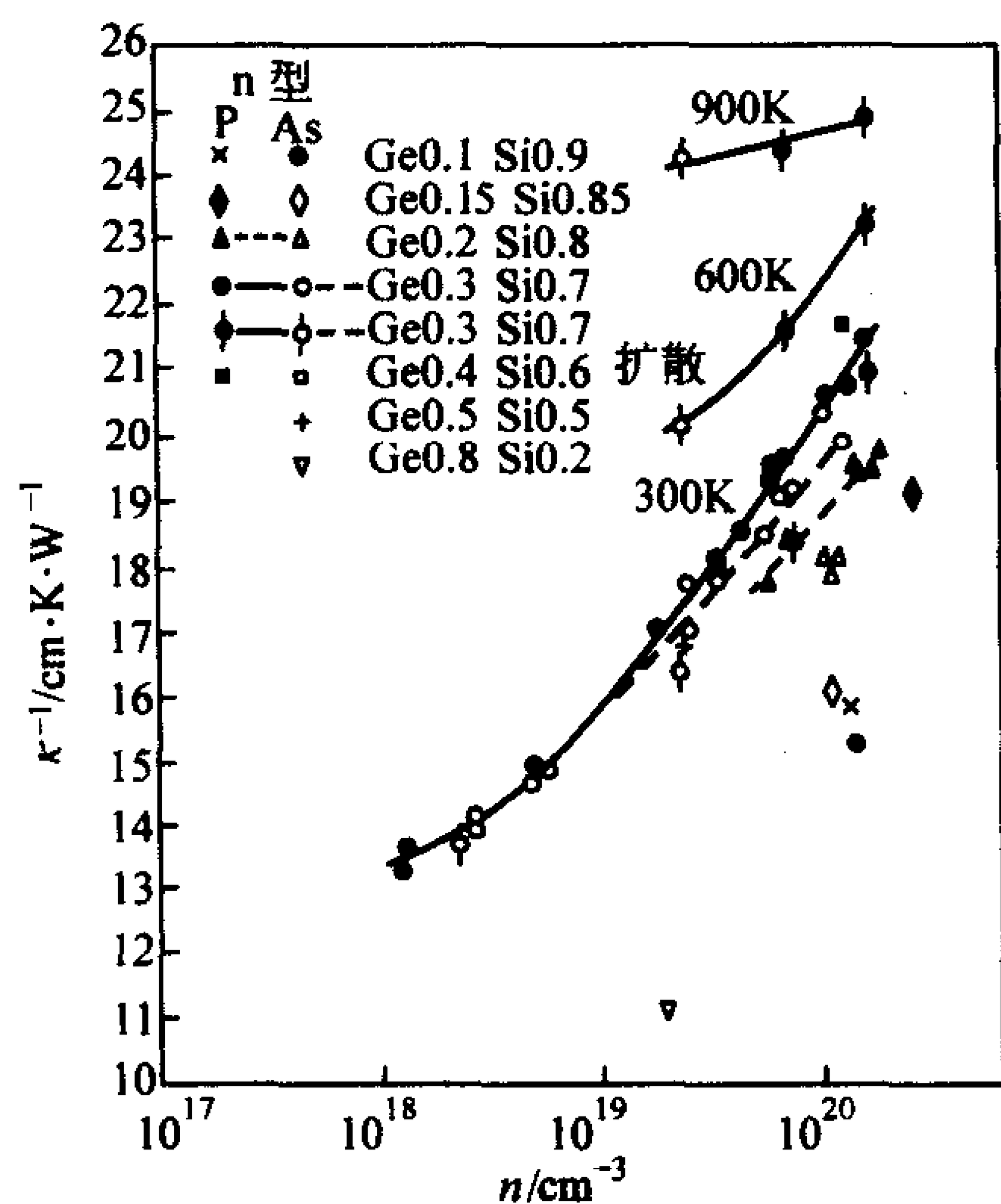


图4.4-5 n型 $Si_{1-x}Ge_x$ 的热阻率同载流子浓度的关系

了解 $Si_{1-x}Ge_x$ 合金的热导率对于器件设计制造和特性分析是有益的。半导体是一种对温度特性特别敏感的材料，温度的变化会引起载流子浓度等发生很大的变化，因此必须仔细地考虑到热导率对样品温度的影响。只有在合适的温度范围内，半导体器件才能正常地工作。

3 SiGe的温差电动势特性：塞贝尔参数

如果半导体材料的不同部位处于不同的温度下，也就是说当存在有温度梯度时，则在半导体两端会产生电荷的积累，由此在其体内产生电场，在半导体内任何两点之间都会有电势差，我们将这种半导体材料中因为温度差引起的电势差的现象称之为温差电动势效应。

由于SiGe合金具有相当强的温差电动势效应，其抗辐射的性能优于许多Ⅲ－Ⅴ族化合物半导体材料，因此特别适合于空间能源的应用。

在温差电动势这一特性上，SiGe合金具有许多优点：

1）SiGe合金的温差电动势效应是至今所知的最强的之一，能与最好的高温热电材料相比拟；

2）无论是n型还是p型SiGe合金的热学和电学性都非常匹配，这对于器件设计来说是非常有利的；

3）SiGe具有很好的机械强度和化学稳定性，即使在高温下依然很稳定，因此便于使用；

4）无论是在地面的空气中还是在大气层外的空间中，SiGe合金的温差电动势效率没有太大的变化，这为其空间应用提供了非常重要的基础。

在温差电动势的应用，有一个重要的参数为品质因子 F，它同塞贝尔（Seebeck）系数 Q、电阻率 ρ 和热导率 κ 的关系为：

$$F = Q^2/\rho\kappa \tag{4.4-3}$$

图4.4-6和图4.4-7分别示出了不同温度下、不同 x 值组分的n型和p型 $Si_{1-x}Ge_x$ 的塞贝尔系数 Q 同载流子浓度的关系。从这两个图中可以看出：①无论是n型还是p型 $Si_{1-x}Ge_x$，它们的塞贝尔系数 Q 总是随着载流子浓度的增加而急剧减小的；②它们的塞贝尔系数 Q 总是随着温度的上升而增大；③塞贝尔系数 Q 同 $Si_{1-x}Ge_x$ 的组分 x 值的依赖关系不大，即不同 x 值的 $Si_{1-x}Ge_x$ 样品中，只要载流子浓度相同，在同样的温度下它们的塞贝尔系数 Q 相差不是很大。

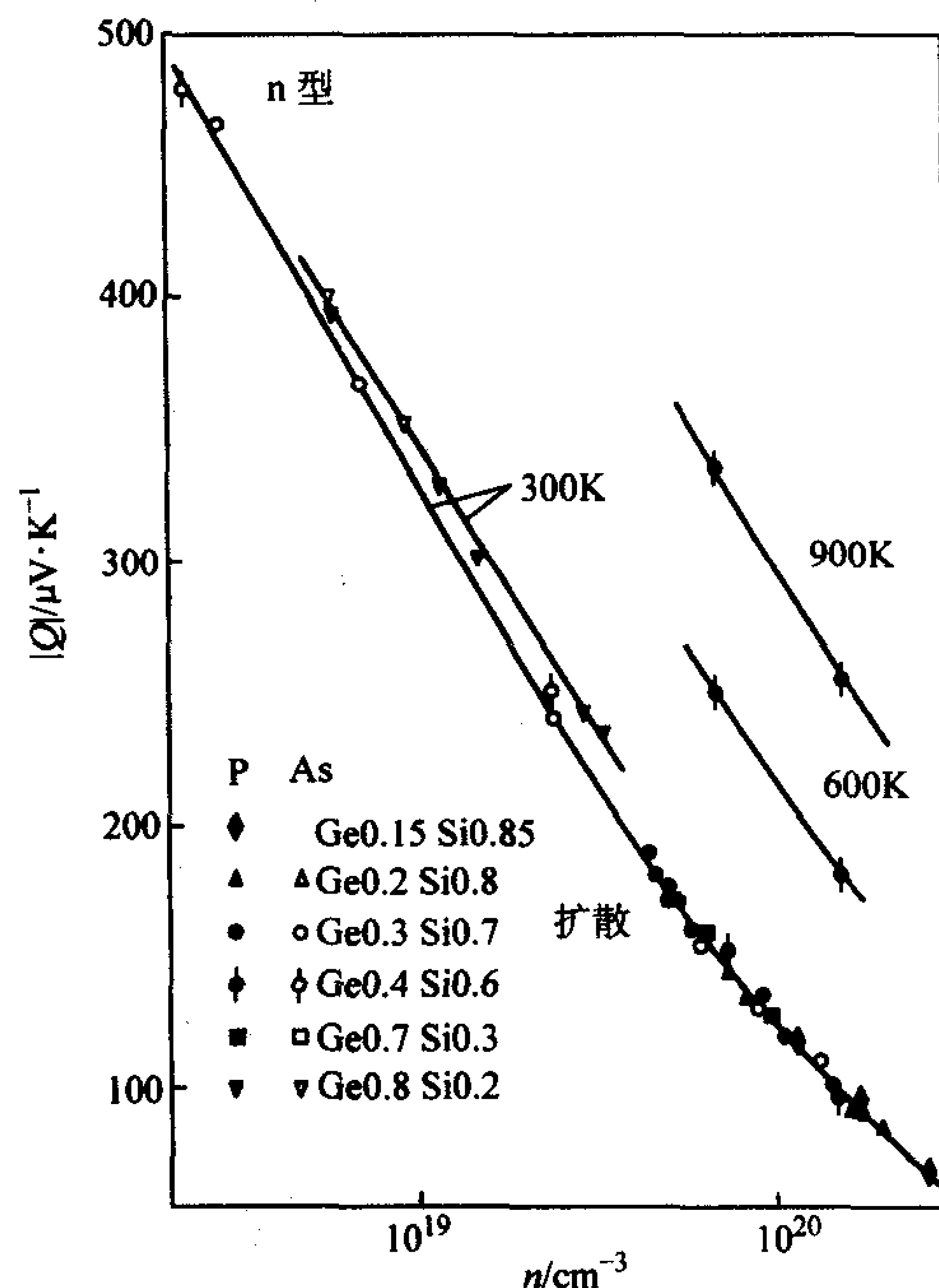


图4.4-6 n型 $Si_{1-x}Ge_x$ 的塞贝尔系数同载流子浓度的关系

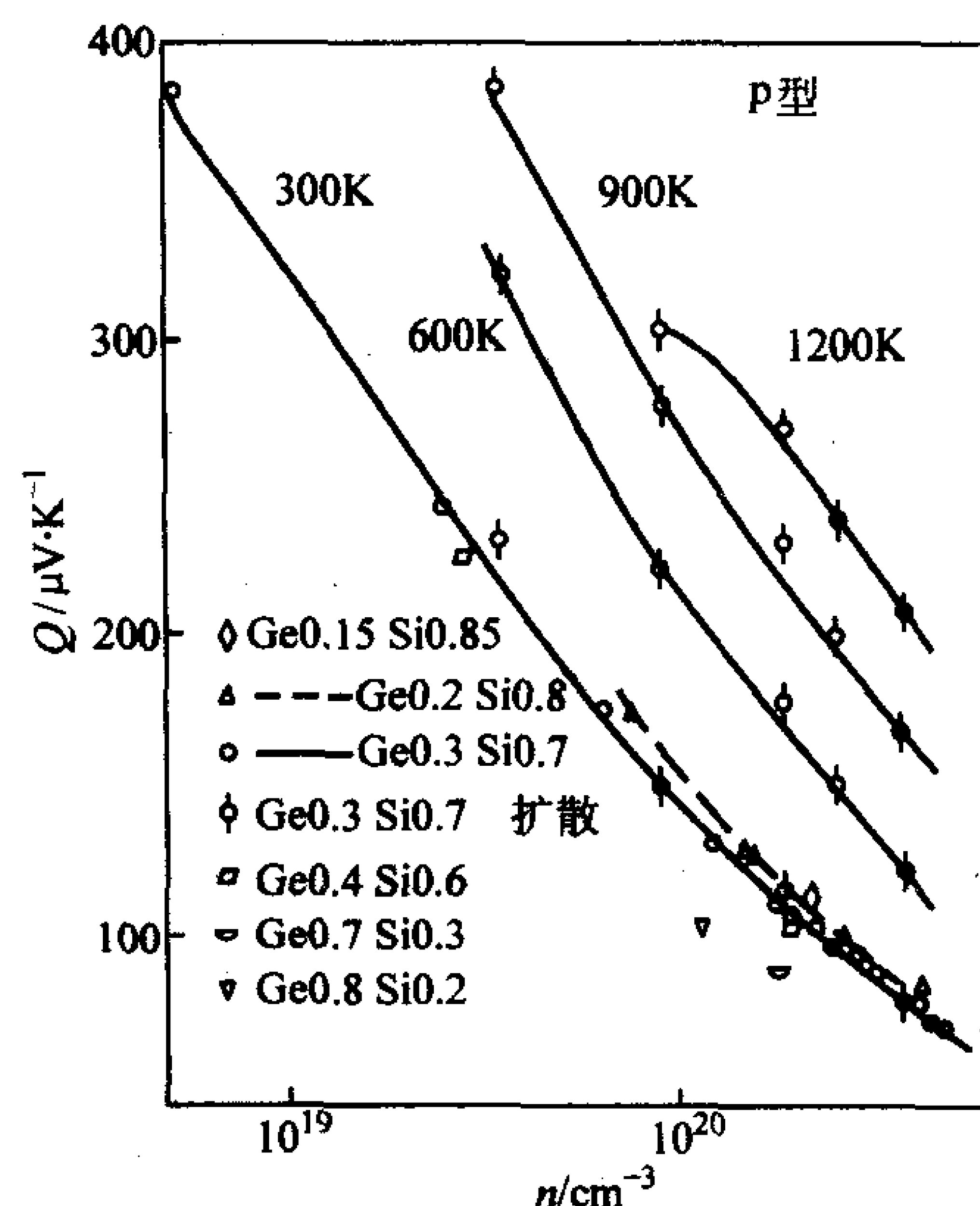


图4.4-7 p型 $Si_{1-x}Ge_x$ 的塞贝尔系数同载流子浓度的关系

既然相同载流子浓度样品的塞贝尔系数 Q 相同，那么依式（4.4-3）所表达的关系，我们可以明确地看到：通过降低热导率 κ 和降低电阻率来提高材料的热电品质因子 F。也就是说，通过改善材料的晶体质量，减少缺陷和散射，从而使得载流子具有较高的迁移率，在材料中容易运动，导电和导热，又使得晶体中的缺陷等尽量地少，从而引起的散射也尽量地少。这从另一个侧面说明了晶体质量、掺杂浓度和载流子浓度、导电性能和导热性能以及品质因子之间具有紧密的内在关系。只有好的材料才能保证好的电学、力学、热力学性质。

4 SiGe的Raman光谱

半导体材料的Raman谱是研究材料的光学声子、声学声子、价键情况、应变和驰豫情况的重要手段之一，因此常常

测量半导体材料的 Raman 光谱来判断材料的一些特性。

在 $Si_{1-x}Ge_x$ 合金中，有三种不同的价键，即 Si－Si 键、Ge－Ge 键和 Si－Ge 键，它们同时存在，既有一些相似之处，又互不相同，因此，$Si_{1-x}Ge_x$ 合金的晶格动力学是一个相当复杂的问题。

图 4.4-8a 示出了实验测定的几个 $Si_{1-x}Ge_x$ 样品的 Raman 谱，图 4.4-8b 和 c 分别为采用两种理论计算方法得出的 Raman 谱，图 4.4-8b 为采用超级元胞计算方法在 Keating 型范围内计算出的结果，图 4.4-8c 为采用第一原理推导出力学常数，然后依据元胞计算方法计算得出的 Raman 谱。

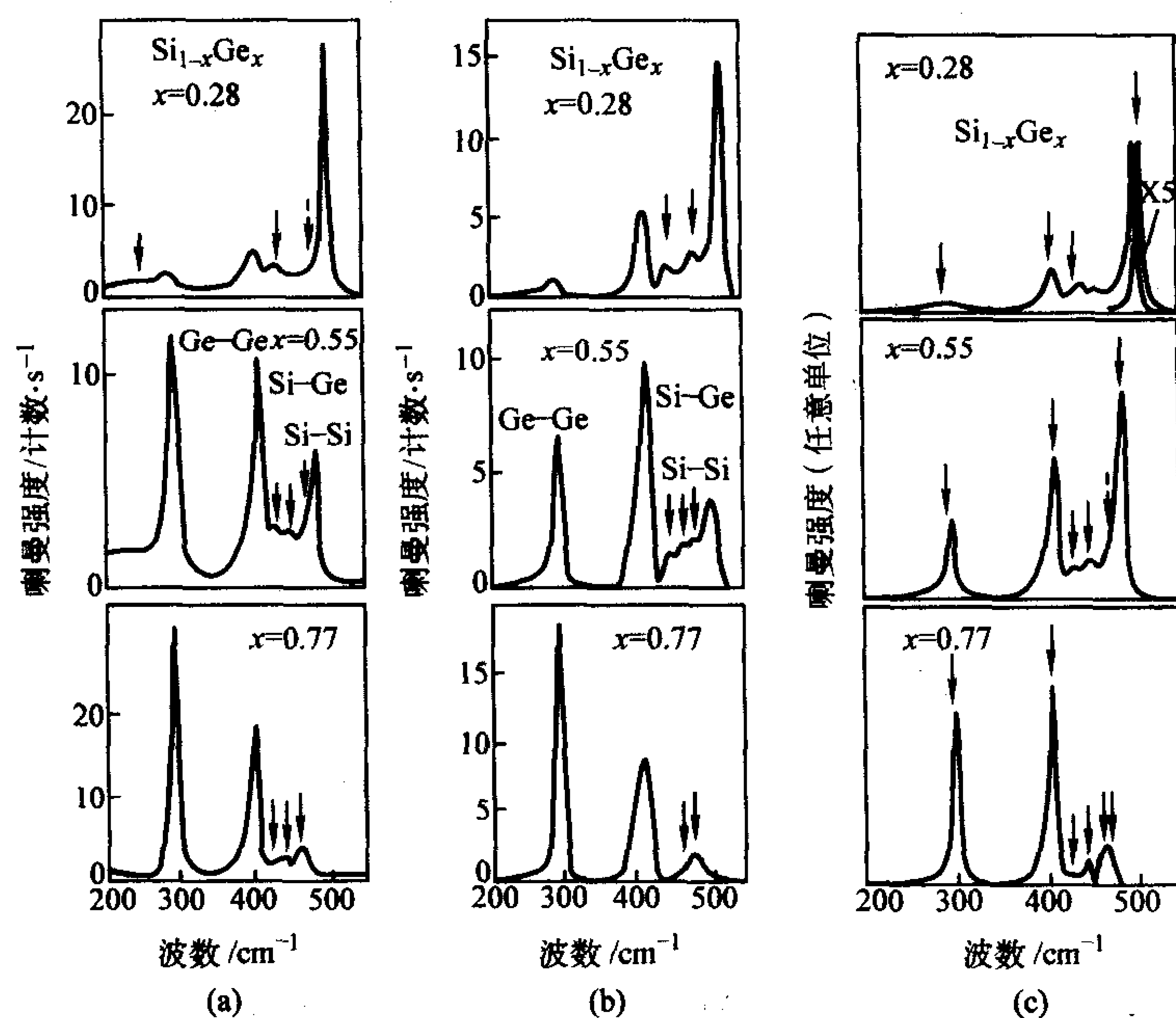


图 4.4-8 不同 x 值组分的 $Si_{1-x}Ge_x$ 的 Raman 谱

将实验结果同理论计算得出的曲线进行比较，可以发现：虽然在定量关系上存在有一些偏差，但在定性关系上它们都是非常一致的，特别是在弱光谱峰的表征方面更是如此。然而，如果将这些结果同声子态密度（DOS）进行比较，就会发现声子态密度的最大值常常同 Raman 谱不一致，因而 k 矢量守恒的原则在此不能完全适用。

进一步分析可以得知：$Si_{1-x}Ge_x$ 的 Raman 谱的光学模式频率同组分 x 值具有一定的关系。Si－Si 峰的光学模式频率 ω_{Si-Si} 与 x 值呈线性关系：

$$\omega_{Si-Si}=520-70x \qquad (4.4\text{-}4)$$

Ge－Ge 峰的光学模式频率随着 x 值的变化而单调地变化，但不是线性关系。Si－Si 光学模式峰同 x 值的关系复杂一些，具有类似小尖峰的特性。

定性分析认为，可以采用简单的原子团模式来解释频率同 x 值的关系，在 $Si_{1-x}Ge_x$ 合金中，可以认为每个原子被局域化在任意的三维原子团中。由于 Ge 的原子半径比 Si 的原子半径大，因此当 $Si_{1-x}Ge_x$ 合金中的 x 值增大时，即 Ge 的含量增多时，Si－Si 原子对构成的原子团的平均尺寸变小，这样对波矢的平坦限制增大，因此 Si－Si 所对应的 Raman 谱的频率变低了。

除了三个主峰之外，在 Si－Si 峰和 Si－Si 峰之间还有四个弱峰。随着 x 值的增大，这四个弱峰变得更为明显了。研究证实，这些振动模式不是由于 $Si_{1-x}Ge_x$ 中的有序化或者缺陷所引起的，而是 x 值增加时，局域化了的 Si－Si 光学振动模式被数目不断增加的 Ge 原子团所包围，因而变得更为明显了。在低于 280 cm^{-1} 处，还可以看到一个弱的峰，它是由两个 TA 声子和一个 LA 声子叠加而成的，后者则是由于 Si 和 Ge 的晶格无序所引起的。

在 $Si_{1-x}Ge_x$ 的 Raman 谱中，除了频率同 x 值的关系之外，其强度也同 x 值有关。正如图 4.4-8 所示，$Si_{1-x}Ge_x$ 的 Raman 谱有三个主峰，它们对应的是 Si－Si 原子对、Ge－Ge 原子对、Si－Ge 原子对的局域振动，它们的振动频率和强度依赖于 x 值，其频率分别接近组成材料的组分对应的值或它们的线性平均值。它们的相对强度基本上是与对应类型键的相对数成正比。Si－Si 峰的强度正比于 $(1-x)^2$，Ge－Ge 峰的强度正比于 $2x(1-x)$，而 Si－Ge 峰正比于 x^2。由于 Si 和 Ge 的原子特性极为相同，它们构成的 Si－Ge 键的极性非常弱，可以忽略不计，这就导致 TO 声子和 LO 声子的简併。

在低能端，Raman 谱被展宽了，并且是非对称性的。这是由于 $Si_{1-x}Ge_x$ 中组分是无序的，使得 k 守恒被消弱了，从而导致大 k 值的禁带模式被展宽了。

5 结论

与 $Si_{1-x}Ge_x$ 合金的晶体结构介于 Si 和 Ge 的晶体结构之间相类似的，合金的力学性质可以用线性插入法估算出它们的弹性常数，合金的弹性常数介于 Si 和 Ge 元素半导体的弹性常数之间，并且同 x 值呈线性关系。虽然至今已有的实验数据不够多，但由此估算的结果还是为人们所接受的。具体数据可以参照表 4.4-1 和式（4.4-1）与式（4.4-2）计算出来。

$Si_{1-x}Ge_x$ 的热阻率比 Si 和 Ge 元素半导体大，掺杂样品又比纯的样品的热阻率小，热阻率随着掺杂浓度的增加而增加。相同浓度下，p 型样品的热阻率更大。热阻率随着温度的变化也是温度越高时热阻率越大。充分了解热学特性有助于器件设计与安装时选择器件的结构和参数，这是因为半导体器件是温度敏感的元件，只能在一定的温度下正常工作，因而选择合适的热沉和合适的热导性是很重要的。

$Si_{1-x}Ge_x$ 的线胀系数同温度和组分 x 值都是单调上升的关系，即随着温度的升高线胀系数越来越大，同时随着 x 值的增大也是越来越大。虽然是单调的增大关系，但不是线性关系，这是需要注意的。

SiGe合金具有相当强的温差电动势效应，并且优于Ⅲ-Ⅴ族化合物半导体。其塞贝尔系数随着载流子的增加而急剧减小，随着温度的上升而增大，但同合金的组分 x 值的关系不大。

对于 $Si_{1-x}Ge_x$ 合金中的价键、弛豫程度、声学声子和光学声子、晶体振动模式等等，Raman光谱的测试和分析是一种很好的方式。$Si_{1-x}Ge_x$ 的Raman谱的峰值频率和强度都依赖于组分 x 值。已测得Si-Si、Ge-Ge和Si-Ge三个Raman光谱峰，Si-Si峰的频率与 x 值呈线性关系，Ge-Ge也随 x 值单调地变化，但Ge-Ge峰与 x 值并不是线性关系；至于Si-Ge峰就更复杂了，呈小尖峰状。$Si_{1-x}Ge_x$ 合金的Raman谱强度也与 x 值有关，如已发现，Si-Si、Ge-Ge和Si-Ge Raman谱峰值的强度与 x 值的关系分别同 $(1-x)_2$、$2x(1-x)$ 和 x^2 成比例关系。

编写：余金中（中国科学院半导体研究所）

第 5 章　SiGe 的电学性质和磁学性质

$Si_{1-x}Ge_x$ 已经成为新型的电子材料和光电子材料，以 $Si_{1-x}Ge_x$/Si 异质结构为核心，利用其提供的禁带宽度差和折射率差，对电子和空穴的载流子的限制和对辐射复合产生的光子的限制，为新型高速电子器件和具有光互连作用波导器件、探测器件等提供许多设计的空间，获得了许多特别的性质。这一章将集中描述 $Si_{1-x}Ge_x$ 材料的电学特性，提供一些有益的实验数据。

电子迁移率和空穴迁移率是表征材料的重要参数，既显示其物理特性又为应用提供重要的基础。在描述了 Si 和 Ge 体材料的载流子迁移率之后，重点放在 $Si_{1-x}Ge_x$ 合金的迁移率，特别是分析影响迁移率的机理。结果表明，合金组分、应变和驰豫、杂质和缺陷、温度和电场等都会影响电子迁移率和空穴迁移率。$Si_{1-x}Ge_x$ 合金的能带结构和声子散射的变化都会影响合金中其他散射机理和载流子的有效质量发生变化。

采用 $Si_{1-x}Ge_x$/Si 多量子阱结构和超晶格结构以及调制掺杂结构，可以获得二维电子气和二维空穴气，为载流子的输运特性带来许多好处，电子和空穴在空间上是分离的，使它们的迁移率就增大了许多。利用 $Si_{1-x}Ge_x$/Si 的沟道效应，频率高达 350 GHz 的 HBT（异质结双极晶体管）器件成为了现实。进一步的分析表明：界面的粗糙度和界面的散射是影响电子迁移率的主要因素，而在调制掺杂的异质结构场效应晶体管（MOD FET）中，远程杂质散射和沟道中的无意掺杂的本底杂质散射是主要机理。在第 3 节和第 4 节中将详细分析有关机理和结果，包括一些理论推导和实验数据。

$Si_{1-x}Ge_x$/Si 结构的磁学特性能够有效地表征别的方法不能测量出的参数，可以测量出 $Si_{1-x}Ge_x$/Si 中载流子在电场和磁场的作用下的散射时间、有效质量及能带结构的非抛物线性和 g 因子等许多参数。在第 5 节中将讨论二维电子气、二维空穴气的 Shubnikov de Haas（SdH）振荡和量子霍尔效应、n 型异质结构中的分数量子霍尔效应和磁阻。

1　SiGe 的电子迁移率和空穴迁移率

在半导体材料，载流子的迁移率是非常重要的参数，一方面它能表征材料本身的物理特性，另一方面它是半导体器件设计的重要基础，因而在器件应用中显现出格外重要的作用。

在电场的作用下，半导体材料中带负电的电子和带正电的空穴会发生漂移运动。如果外加电场的大小不是特别的高（不会引起击穿等现象），则电子沿着电场相反的方向运动，空穴沿着相同的方向运动。载流子的漂移速度 $\vec{v}$ 同电场 $\vec{E}$ 呈线性的函数关系，其比例系数就为载流子的迁移率 μ：

$$\vec{v} = \mu \vec{E} \tag{4.5-1}$$

电子和空穴分别带有电荷 e 和 $-e$，它们的有效质量分别为 m_e^* 和 m_h^*。在电场作用下它们发生漂移，漂移过程会经受晶格散射、电离杂质的散射、中性杂质的散射、位错等缺陷的散射、载流子之间的散射等各种散射。分析表明，迁移率 μ、电荷 e、有效质量 m^* 和散射时间 τ 之间的关系为：

$$\mu_e = \frac{e}{m_e^*}\tau_e \tag{4.5-2}$$

$$\mu_h = \frac{e}{m_h^*}\tau_h \tag{4.5-3}$$

式中的脚码 e 和 h 分别表示电子和空穴。如果散射过程中驰豫时间同波矢无关，则在这一近似条件下，各种散射机构的散射驰豫时间的倒数之和等于总的驰豫时间的倒数，这就是所谓的 Mathiessen 定则：

$$\frac{1}{\tau_t} = \sum_i \frac{1}{\tau_i} \tag{4.5-4}$$

该式对于电子和空穴都是适用的，不过它们各自的散射机理不一样，对应的驰豫时间也不一样，因此在计算时还应分别加上脚码 e 和 h。显然，在上式中分量 τ_i 中数值最小的那一项对于求和的结果影响最大。也就是说，在各种散射机理中，散射弛豫时间最短的那一种散射起主要作用，它对漂移速率的影响也最大。

1.1　Si 和 Ge 体材料的载流子迁移率

为了便于参考，我们先讨论一下 Si 和 Ge 体材料的迁移率。如果材料中的杂质浓度不太高（小于 10^{17} cm^{-3}），并且是体材料，不存在应变，则晶格散射占主导作用，即声学声子和非极性光学声子引起的散射起主要作用，这是室温下或更高温度下的主要散射机理。然而在低温下，声子被冻结，中性杂质散射作用不大时，电离杂质散射变成为最主要的散射机构了。

表 4.5-1　本征体材料 Si 和 Ge 中电子和空穴的漂移迁移率

体材料	μ_e /$cm^2 \cdot V^{-1} \cdot s^{-1}$	μ_h /$cm^2 \cdot V^{-1} \cdot s^{-1}$	m_t^* /m_0	m_l^* /m_0	m_{hh}^* /m_0	m_{lh}^* /m_0	m_{so}^* /m_0
Si	1 450	505	0.191	0.916	0.537	0.153	0.234
Ge	3 900	1 800	0.082	1.59	0.284	0.044	0.095

表 4.5-1 列出了低掺杂、无应变的本征体材料 Si 和 Ge 的一些物理参数，包括电子迁移率 μ_e、空穴的迁移率 μ_h、电子的横向有效质量 m_t^* 和纵向有效质量 m_l^*、重空穴的有效质量 m_{hh}^* 和轻空穴的有效质量 m_{lh}^* 以及自旋-轨道分裂空穴的有效质量 m_{so}^*。在有效质量的数据中，都是以自由空间中的电子的有效质量 m_0 为单位的。

显然，半导体中载流子的输运特性既同它们的有效质量有关，也同它们的迁移率的高与低相联系。有效质量的大小依赖于材料的能带结构，不但与能带的抛物线的变化趋势有关，还依赖于 k 空间中的方向，因而出现了横向和纵向两类有效质量。

对于空穴来说，上述数据为带边的有效质量，与低电场、低掺杂结构相对应。由于价带并不能简单地用抛物线形状进行描述，因而显得更为复杂。当材料中的掺杂浓度很高或者在很强的电场作用下，这类性质表现得更为明显，掺杂和电场这两个因素会导致有效质量发生明显的变化。

值得特别指出的是：我们在表 4.5-1 中所列的载流子的迁移率为漂移迁移率，然而在许多物理实验中，我们常常利用霍耳效应进行测量，所测量得到的参数是霍耳迁移率。虽然同为迁移率，但两者是不同的，有时甚至有很大的差别。前者是在没有磁场的前提下载流子在电场作用下漂移的速率的表征，而霍耳迁移率 μ_H 存在有磁场散射带来的影响，它同漂移迁移率 μ_d 之间的关系为：

$$\mu_H = \gamma \mu_d \tag{4.5-5}$$

式中，γ 为霍耳散射因子，在简化的情况下可以认为 $\gamma = 1$，

即漂移迁移率等于霍耳迁移率。然而大多数情况下 γ 不等于1，在某些情况下，例如室温时纯Ge的 γ 接近为2。此外，还是温度和掺杂浓度的函数。这些因素使得实验测量准确的漂移迁移率变得更为困难了。好在人们很容易通过霍耳效应测得霍耳迁移率，利用这些数据也能相当好地表征载流子的输出特性。

曾经有一些科学工作者建立起一些电子和空穴的迁移率模型，并获得一些简单的解析表达式。但由于能带结构的复杂性，特别是价带结构的复杂性，很难准确地表达出广为适用的迁移率模型。在价带中，同时有三个能带：重空穴带、轻空穴带和自旋-轨道相互作用形成的分裂带，这三个空穴带相互联系并相互作用，并且非抛物线的程度和弯曲程度互不相同，因而更增加了复杂性。即使如此，这些模型还是能够相当定性地给出一些预计的数字。一般而言，理论模型给出的迁移率的数据总是高于实验测量得出的数据。这是由于理论计算时，总是对某些散射机理的影响估计不足，致使计算数据发生偏差。

1.2 SiGe合金的迁移率

如上所述，在半导体材料中，载流子的迁移率是一种很重要又很复杂的物理参数。$Si_{1-x}Ge_x$ 的合金组分、应变和驰豫、杂质和缺陷、温度和电场等参数都会影响电子迁移率和空穴迁移率的大小。

至今，我们通常研究的都是低电场下的迁移率，许多文献资料中所列的数据也都是低电场下的理论与实验数据。然而我们应该注意到，随着半导体制备技术的发展与进步，器件的尺寸在不断地缩小，甚至呈数量级的缩小。如今大规模集成电路的加工尺寸已达0.09 μm，至于外延生长或电子束曝光、干法刻蚀的尺寸都已经到达纳米量级了。由于器件集成度的增加、器件数量的增加，器件的临界尺寸呈数量级地减少，这就导致半导体器件的有源区中的电场强度可以很大，例如HBT（异质结双极晶体管）的基区就是如此。在这样的高电场中，迁移率是依赖于电场强度的，并且成为影响器件特性的重要因素。

有关 $Si_{1-x}Ge_x$ 在高电场下的迁移率数据还是很少的。理论计算和少量的实验数据表明：在强电场下，在应变的 $Si_{1-x}Ge_x$ 合金中，载流子的迁移率比低电场时大，但随着电场强度的进一步增大，迁移率的增加量反而是减小的。

由于考虑到一些新型器件（诸如HBT）是在高电场下工作的，因而在本节的开头特地描述了一下迁移率同电场的关系。然而更普遍的情况是研究低电场下载流子的迁移率，它是单位电场强度下载流子迁移速度的一种表征，应当是与电场大小没有太多的关系的。

在 $Si_{1-x}Ge_x$ 合金材料中，除了Si和Ge元素半导体中的各种散射机构影响迁移率之外，合金散射也是影响迁移率的新因素。$Si_{1-x}Ge_x$ 合金的能带结构和声子散射的变化都会影响合金中其他散射机理和载流子的有效质量发生变化。虽然实验数据不是很多，但已经定性地证实：当 $Si_{1-x}Ge_x$ 中的 x 值大于0.85时，电子的迁移率会随着 x 值的增加而增加，而此前电子的迁移率是随着 x 值的增加而减少。这是由于 $x=0.85$ 处是 $Si_{1-x}Ge_x$ 合金的晶体结构和能带结构的转折点，在晶体结构上，由 $x<0.85$ 时的类Si晶体结构转变为 $x>0.85$ 时的类Ge晶体结构；在能带结构上，由Si的六个等效的极值 X 点转变为Ge的八个等效的极值 L 点。在这个转变的过程中，电子和空穴的有效质量都变小了，而它们的迁移率都相应地增大了。总之，除了通常的晶体散射、声子散射、离子散射和中性杂质散射之外，$Si_{1-x}Ge_x$ 合金中的合金散射对载流子的迁移率也产生影响，在Ge组分 x 值小于0.85的范围内，电子的迁移率随着 x 值的增加而在下降。在0.85处发生突变，$x>0.85$ 时电子的迁移率随着 x 值的进一步增加而增加。显然，这是由于电子的有效质量的大小为迁移率数据带来重要影响的结果。

Si、Ge和 $Si_{1-x}Ge_x$ 的价带的情况比导带要复杂得多，通常的价带是三度简并的，因此有三种不同的空穴，它们的行为也互不相同。随着重空穴与轻空穴简并度的增加，它们的有效质量将下降，这成为影响空穴的迁移率大小的重要因素。

除了考虑能带结构的影响外，还应考虑Si-Si和Ge-Ge两种光学声子，它们的能量差别很大。理论分析和计算表明：在应变的类体材料 $Si_{1-x}Ge_x$ 中，空穴的迁移率随着Ge组分 x 值的增加而单调地增加。在 $x=0.4$ 附近，$Si_{1-x}Ge_x$ 的空穴迁移率达到Ge体材料的值。由于空穴的有效质量随着 x 的增加和外延层平面内压应力的增大而减少，空穴的迁移率却随着 x 值的增加而增加。显然，空穴有效质量和合金散射对空穴迁移率的影响是相反的，当它们的作用同时存在时，前者的影响更大一些，因此有效质量的减少比合金散射的作用更显著，综合起来就是空穴的迁移率是随着 x 值的增加而增加的。

应当特别指出的是，上述有关载流子迁移率的数据和变化趋势都是 $Si_{1-x}Ge_x$ 体材料的数据，如果计及应变等因素，还会有一些更复杂的结果。

掺杂的影响也是明显的。如今有关掺硼的 $Si_{1-x}Ge_x$ 中空穴迁移率同 x 值的关系的实验数据是相互矛盾的。有数据表明，掺硼的浓度为 $10^{16}\sim10^{19}$ 范围内的p型 $Si_{1-x}Ge_x$ 中，空穴的迁移率随着 x 值的增加而减少，$x=0.1$ 时的空穴迁移率比 $x=0$ 时小十倍。而另一组实验数据表明，掺硼浓度达 $2\times10^{19}\ cm^{-3}$、x 值为 $0\sim0.2$ 范围的 $Si_{1-x}Ge_x$ 中，空穴的迁移率随着组分的增加而增加，增幅达20%~40%。文献报道的这两组数据是相互矛盾的，但依据上述分析看，后者更为合理一些。也许是前者在材料制备时引进了太多的缺陷，x 值越高时缺陷密度就越高，因而使得迁移率随着 x 值的增大而下降。如果能够保证晶体质量，尽量减少材料中的缺陷密度，合金中的空穴迁移率会随着 x 值的增加而增加。当然这有待更多的实验结果进行验证。

2 SiGe/Si和SiGe/Ge中的二维载流子

众所周知，人们对 $Si_{1-x}Ge_x$ 合金的兴趣并不在于它的体材料，而是其异质结构。无论是Si衬底、Ge衬底还是 $Si_{1-y}Ge_y$ 衬底上外延生长 $Si_{1-x}Ge_x$，构成的异质结构才是我们所需要和应用的。因此，研究 $Si_{1-x}Ge_x$/Si和 $Si_{1-x}Ge_x$/Ge异质结构中的载流子输运特性就显得更为重要了。

如果将禁带宽度不同的 $Si_{1-x}Ge_x$/Si或 $Si_{1-x}Ge_x$/Ge的每层都长得很薄，并且以它们为单元，构成多个周期的多层异质结构，就可以制备出多量子阱结构甚至超晶格结构。另外，还可以在这类多层结构中，交替掺杂成n型和p型材料，也可以制成调制掺杂结构。

采用超晶格或调制掺杂结构，可以实现二维载流子气：二维电子气和二维空穴气。在空间上，可以使电子和空穴分别处于空间上不同的超薄层中，将它们分隔开来，分别被限制住。在三维空间中，其中有一维上具有较大的势垒，对载流子有限制的作用，而另外两维没有限制，是自由的，因此这种结构为载流子的输运特性带来许多好处。

这类结构的优点在于：由于电离后形成的自由载流子（电子和空穴）在空间上是分离的，因此它们的迁移率就增大了许多。与此同时，每种载流子分别限制在不同的势阱中，它们在界面也会受到散射，界面的平整度会直接影响这

种散射的强与弱。此外，由于空间维数的减少，现在是二维的了，这不同于通常的三维的情况，因此其他的散射机制，诸如声子散射、杂质散射等，也都会发生变化。对于 $Si_{1-x}Ge_x$ 系统来说，如果外延层 $Si_{1-x}Ge_x$ 是生长在应变的 $Si_{1-y}Ge_y$ 层上，还可以生长成为Ⅱ型的量子结构。在这类结构中，电子被限制在应变了的宽带隙 Si 的导带势阱中，而空穴被限制在窄带隙 $Si_{1-x}Ge_x$ 中。这样一来，我们可以获得应变的 Si 沟道，电子迁移率被大大地增大了。正是 $Si_{1-x}Ge_x/Si$ 的这种沟道效应，使得人们设计研制出频率高达 350 GHz 的 HBT 器件。

采用调制掺杂量子阱结构（MODQW：modulated doped quantum wells），可以获很高的电子迁移率。图 4.5-1 示出了应变的 Si 沟道 n 型调制掺杂的 $Si_{1-x}Ge_x/Si$ 异质结的霍耳迁移率同温度的关系。该图示出了 0.5 K 到室温范围内的四个样品的霍耳迁移率，其中有三个样品是生长在 x 值逐渐由 0 过渡到所设计值的缓冲层上的异质结构。在 0.5 K 下，获得了约 175 000 $cm^2/(V\cdot s)$的迁移率，这是测量到的最高数据，它说明这种结构使 Si 沟道中的电子迁移率获得了很大的提高。

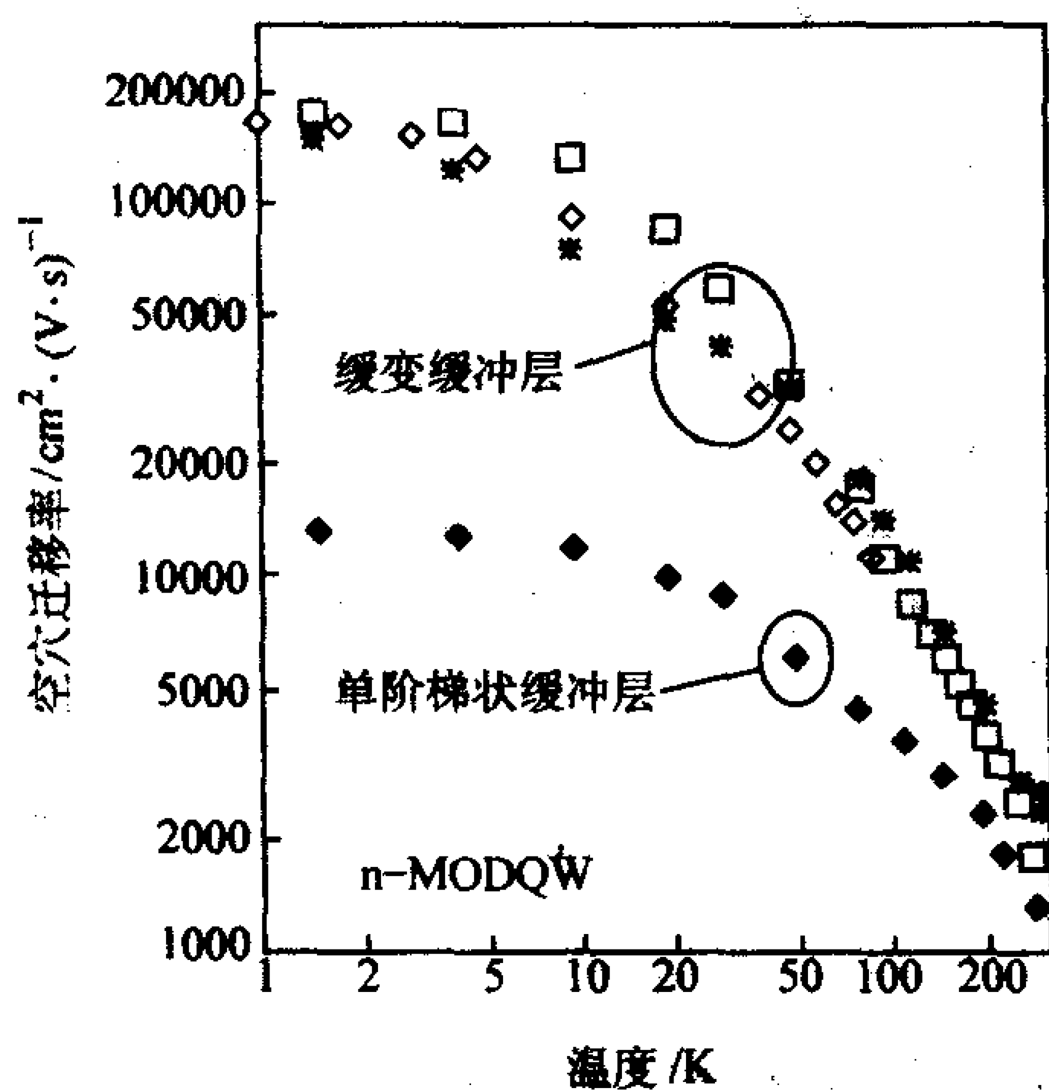


图 4.5-1　n 型调制掺杂 $Si_{1-x}Ge_x/Si$ 异质结构的霍耳迁移率同温度的关系

相反，在图 4.5-1 最下面的一条曲线中，其样品是直接生长只有单独的一层缓冲层（Buffer layer）上的量子结构，虽然后面的结构同上面的三个样品相似，但由于其质衬底中已经有许多位错，这些位错继续在外延层中延伸，使得上面结构中的缺陷密度较高，它们引起的散射使该样品的迁移率大为降低。

进一步的分析表明，在电子输运的过程中有两个时间参数：电子输运散射时间 τ_t 和单粒子驰豫时间 τ_s，它们的比值 τ_t/τ_s 可以表征样品的特性，显示出各种散射机理中哪一种在起主导作用。在调制掺杂的 $Si_{1-x}Ge_x/Si$ 量子阱（MODQW）结构中，τ_t 比 τ_s 大一个数量级，这说明长程杂质散射是对 MODQW 中电子散射起决定性作用的散射机构，因此这种结构中的电子具有很高的电子迁移率。

在 MOS 场效应晶体管（MOS FET）中，电子均匀地填充在 Si 的六个等价的能谷中，而在调制掺杂量子阱（MODQW）中，只容许电子填充在两个能谷中，平行于沟道的电子有效质量为 $m_l^*=0.19m_e$，垂直于沟道的电子有效质量为 $m_t^*=0.92m_e$。可见垂直于沟道方向上电子的有效质量较大，只有一部分电子波函数能够部分地进入势垒层中，从而有效地减小了 MODQW 界面处的粗糙散射。与此同时，$Si_{1-x}Ge_x/Si$ 界面比 SiO_2/Si 界面平整得多，晶体完整性也好得多，进一步减小了界面处的散射。此外，MODQW 结构中的沟道效应，电子有一维是完全自由的，从而大大减小了该结构中电离杂质引起的散射。正是这些因素使得电子具有了很高的迁移率。这正是我们设计高速器件时所需要的。

总之，在 MOS 场效应晶体管（MOS FET）中，界面的粗糙度和界面的散射是影响电子迁移率的主要因素，而在调制掺杂的异质结构 FET（MOD FET）中，远程杂质散射和沟道中的无意掺杂的本底杂质散射是主要机理。显然后者比前者小，因而电子迁移率大为增加，器件的特性，特别是频率特性，获得了很大的提高，器件的运作速度大大地提高了。

图 4.5-2 所示是 p 型调制掺杂异质结构的霍耳迁移率的实验数据。至今报道的 p 型 $Si_{1-x}Ge_x$ 沟道的最高空穴迁移率为室温时的 1 300 $cm^2/(V\cdot s)$。这些数据都在 10 K 的低温下出现了饱和现象，这说明还存在有我们至今尚不明白的散射机构。显然，p 型 $Si_{1-x}Ge_x$ 沟道的空穴迁移率比人们预想的低，其原因可能是多方面的。在 Ge 上生长高组分 $Si_{1-x}Ge_x$ 层时，常常会产生波浪型的界面，这是由于生长高 x 值 $Si_{1-x}Ge_x$ 缓冲层（Buffer layer）时常常出现的情况，这种 Ge 沟道层同其旁面的 $Si_{1-x}Ge_x$ 势垒层之间的波浪型界面必然会引起空穴的散射，因而限制了其迁移率。与此同时，还有一些我们尚未完全认识的散射机理存在着，也影响空穴迁移率的提高。

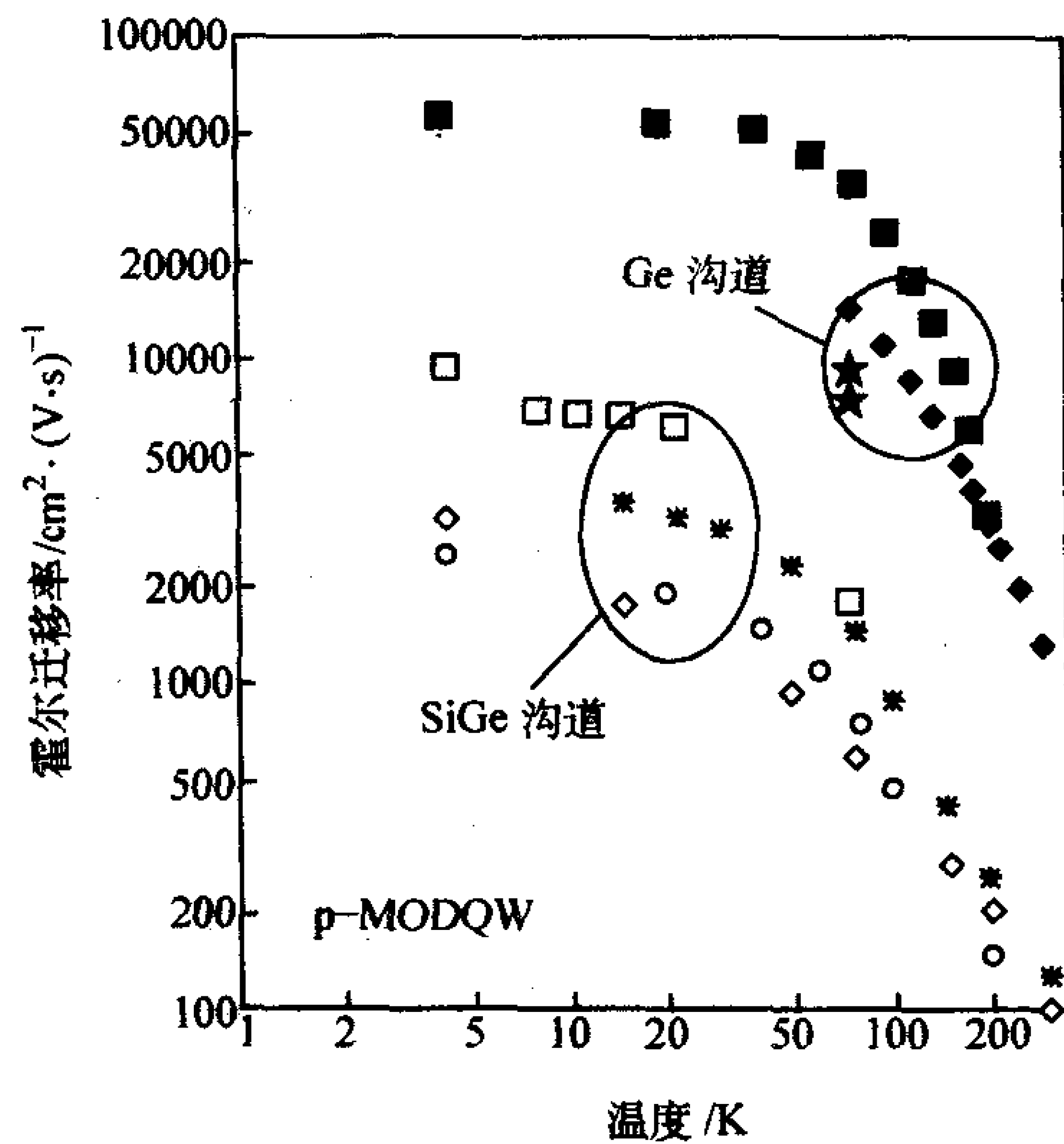


图 4.5-2　p 型调制掺杂 $Si_{1-x}Ge_x/Si$ 和 $Si_{1-x}Ge_x/Ge$ 异质结构的霍耳迁移率同温度的关系

相对于 n 型调制掺杂结构来说，对 p 型掺杂调制结构的研究还很不充分，其主要原因当然是前者的优异特性很容易在器件设计和制造中体现出来，因而人们就研究得充分一些了。

3　SiGe/Si 异质结中的载流子注入

异质结构中，除了不同材料的能带的带隙宽度不同之外，它们的折射率也是不同的。正是异质结构具有带隙差 ΔE_g 和折射率差 Δn 这两种本质性质，它们为异质结带来一系列重要的特性和效应。

1）高注入比和超注入效应。高注入比为：在异质结处，两个相反方向注入的电子流和空穴流之比非常大；超注入效应为：通过异质结从宽带隙材料注入到窄带隙材料的载流子浓度随着带隙差呈指数地增加。

2）几乎完全的载流子限制作用和几乎完全的光限制作用。

3）导波效应和“窗口”效应等等。这些特性和效应构

成了半导体电子技术和光电子技术的物理基础。

作为异质结构，它对载流子注入的影响是非常大的。我们将注入比 r 定义为：在 $p-N$ 结上加有正向电压时，由 n 区向 p 区注入的电子流 $J_{N\to p}$ 同 p 区向 N 区注入的空穴流 $J_{p\to N}$ 的比值，即 $r=J_{N\to p}/J_{p\to N}$。理论分析得出：

$$r=D\exp(\Delta E_g/kT) \tag{4.5-6}$$

式中 D 为常数。对于同质结来说，$\Delta E_g=0$，$r=D$。而对于异质结来说，上式后面的指数项起着重要的作用，使得注入比大为增加，r 随着 ΔE_g 呈指数上升。在同样的正向电压下，可以获得更高的注入电子浓度。这就是 $Si_{1-x}Ge_x$ HBT（异质结双极晶体管）可以提高注入效率的重要原因之一。

异质结的带隙差 ΔE_g（导带差 ΔE_c 和价带差 ΔE_v）对载流子（电子和空穴）有限制作用，防止载流子向外泄露。同时，异质结的折射率差 Δn 能够提供波导结构，对于高折射率材料中传播的光波具有光限制作用，防止光波向外泄露。这就是几乎完全的载流子限制作用和几乎完全的光限制作用。

两种半导体材料在一起构成异质结时，由于禁带宽度不同，它们对光波的吸收波长也就不同。半导体只吸收波长小于带隙吸收边的光波（$\lambda<\lambda_g$），$\lambda_g=1.24/E_g$ 为带隙对应的吸收边波长，而对于波长比 λ_g 长的光波来说（$\lambda>\lambda_g$），它就是透明的。这就是"窗口"效应。通过多层平板或脊形、条形结构，可以将异质结构制成波导结构，使光波只在波导层中传播，这就是导波效应。

$Si/Si_{1-x}Ge_x$ 异质结中，Ge 组分 x 值对载流子的注入特性起作重要的作用，x 值的大小将决定导带差和价带差的大小（导带和价带的不连续性）。此外，衬底的晶向不同时，外延层所受的应力也不同，也会影响能带结构和载流子的注入。图 4.5-3 示出了赝晶生长 $Si_{1-x}Ge_x/Si$ 异质结的能带图。图 4.5-3a 为 Si 衬底上生长应变 $Si_{1-x}Ge_x$ 外延层的能带图，衬底 Si 没有应变，而外延层 $Si_{1-x}Ge_x$ 发生了压应变，导带能谷是二度简并的。图 4.5-3b 为 $Si_{1-x}Ge_x$ 上生长应变的 Si 异质结的能带图。$Si_{1-x}Ge_x$ 没有应变，其上的外延层 Si 发生了张应变，则载流子在导带能谷中的填充是四度简并（参见图 4.5-3c）。

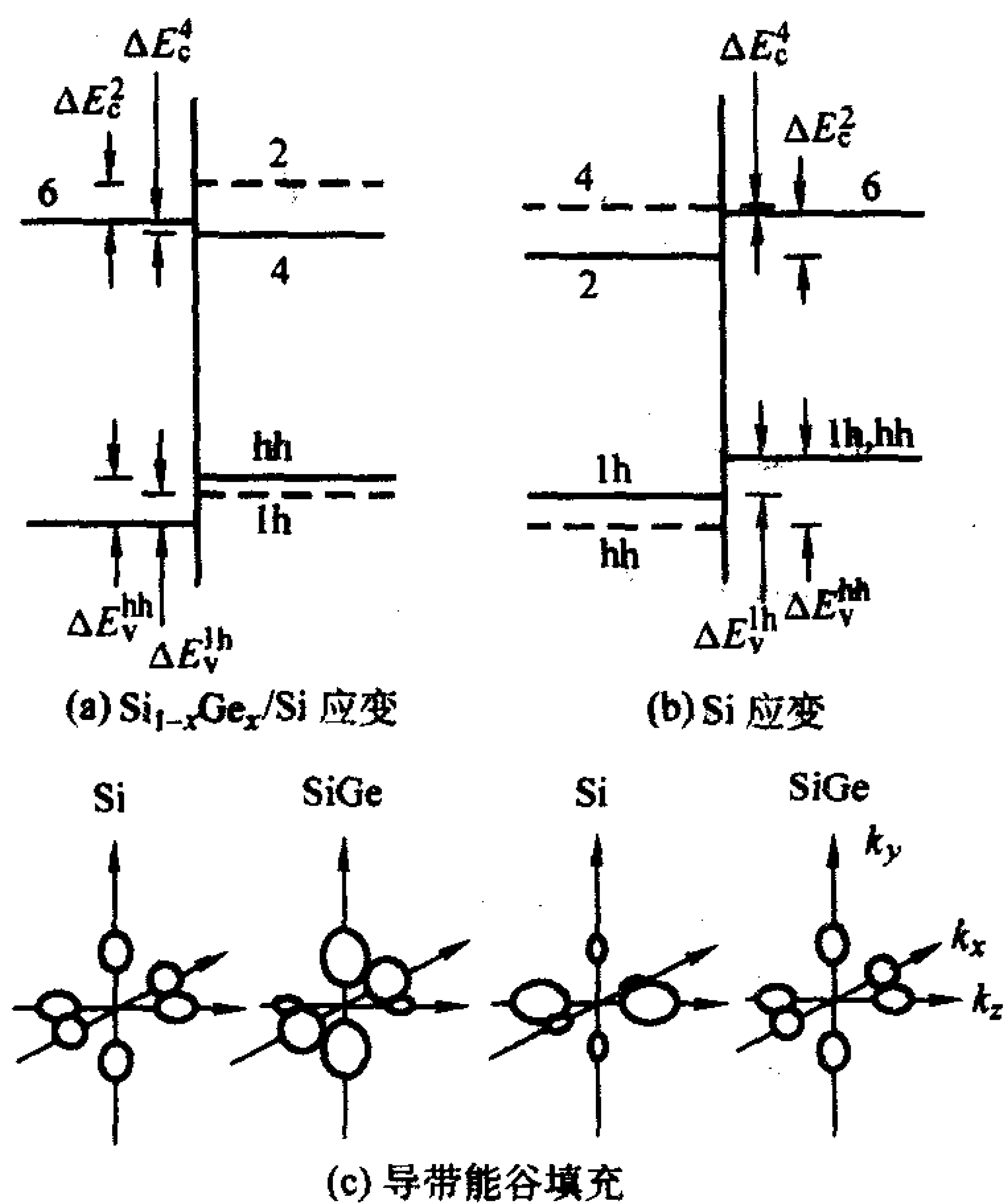


图 4.5-3 赝晶生长 $Si/Si_{1-x}Ge_x$ 异质结能带图

掺杂对载流子注入的影响很大，也就是说，同型的和异型的异质结的载流子注入的差别很大。图 4.5-4 和图 4.5-5 分别示出了没有外加偏压时平衡状态下的同型异质结和异型异质结的能带图。下面将利用这些能带图来说明异质结构中载流子是如何注入的。

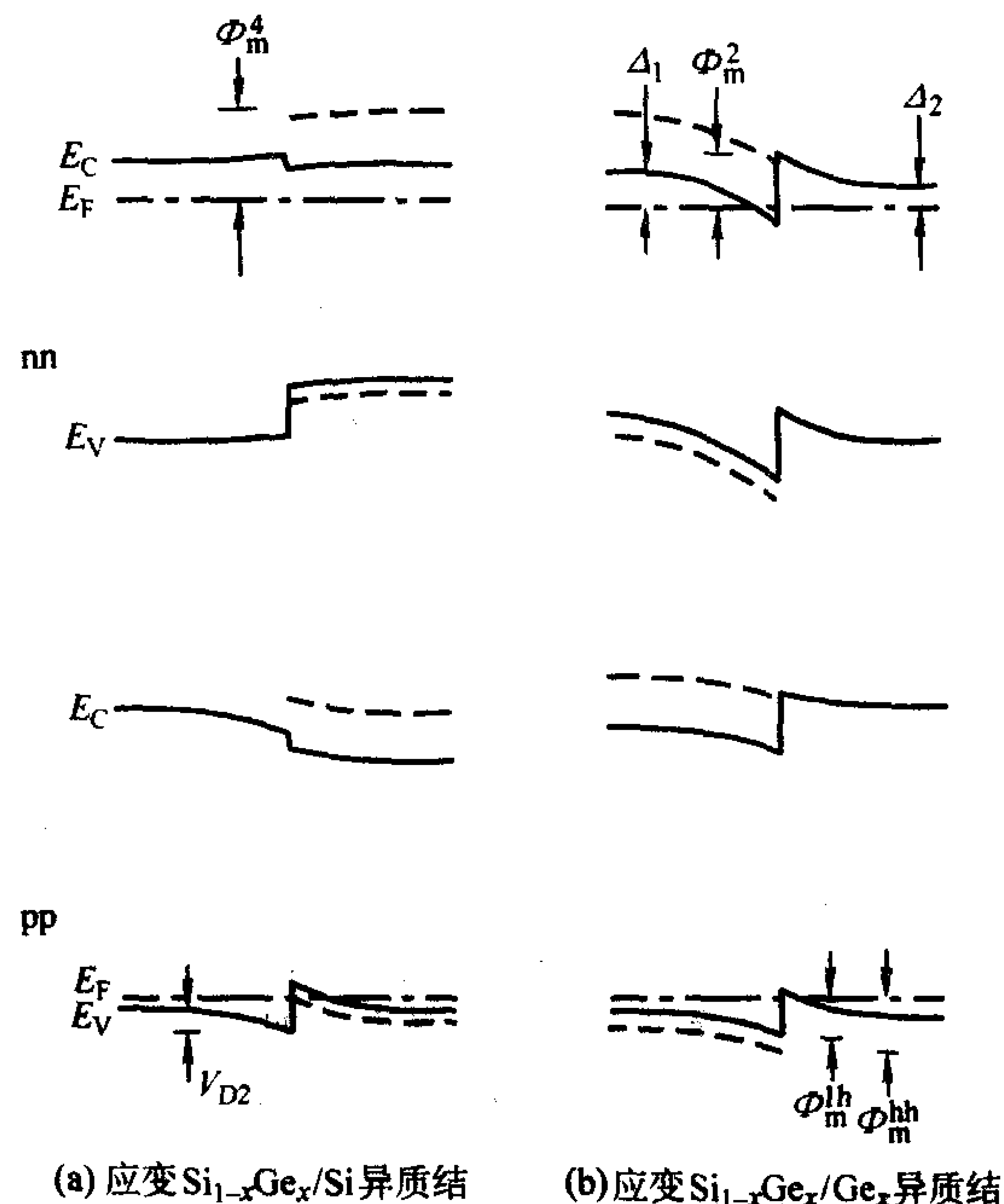


图 4.5-4 无外加电压时同型结 $Si/Si_{1-x}Ge_x$ 异质结的能带图

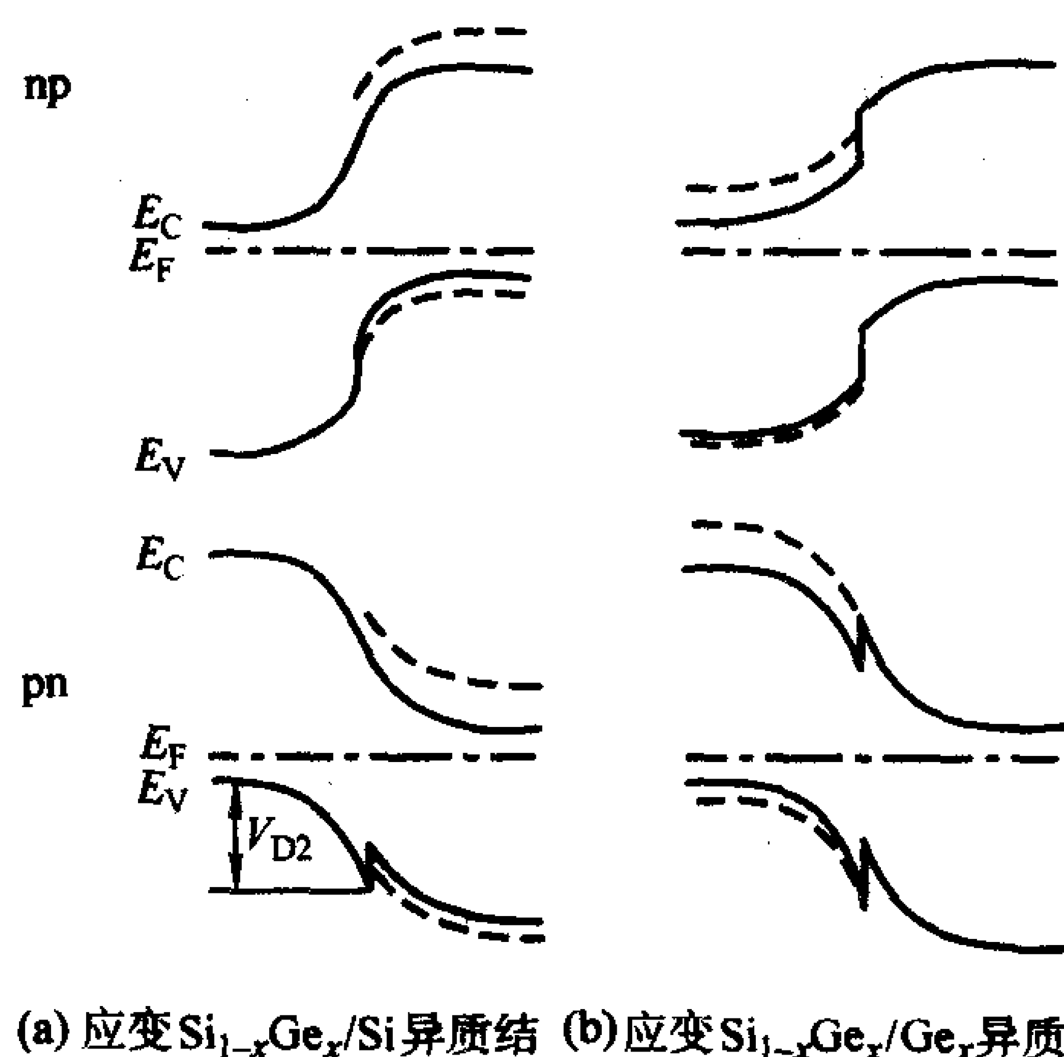


图 4.5-5 无外加电压时异型 $Si/Si_{1-x}Ge_x$ 异质结的能带图

3.1 Si/SiGe 同型异质结中的载流子注入模型

现在有两种注入电流的理论模型：热离子发射模型和载流子扩散模型。如果载流子的平均自由程大于 $E_{max}-kT$（势能从最大值处下降 kT 时的距离），这表明有足够的热能激发载流子，使得载流子运动，因此就适合用热离子发射模型，它通常适用于同型突变结。如果异质结是缓变结，载流子的平均自由程比势能从最大值处下降 kT 时的距离小，通常采用载流子扩散模型。

在图 4.5-3 中，我们可以将发射区的费米能级 E_F 定标为零，根据发射理论可以计算得出注入电流密度的方程为：

$$J_i=\varphi\pi q g_i m_i^{/\!/} kTh^{-3}\int_0^{\infty}\exp(-E_z/kT)T_i(E_z)\mathrm{d}E_z \quad i=2,4,1h,hh \tag{4.5-7}$$

式中，q 为单位电荷；g_i 是能谷的简并度；$m_i^{/\!/}$ 是面内有效质量；kT 是热能；h 是普朗克常数；T_i 是势垒穿透几率，$1h$ 和 hh 为轻空穴和重空穴。需要指出的是，式（4.5-7）中

的载流子气是三维的，至少在能量远大于零时是这样。而在二维载流子气系统中，由于隧穿作用会引发很大的电流注入，在计算隧穿电流时，必须考虑动量守恒，它成为这一计算中的约束条件。

如果忽略量子隧穿效应，穿透几率可简单表示为：

$$T_i(E_z)=\begin{cases}0, E_z<\Phi_m\\ 1, E_z>\Phi_m\end{cases} \tag{4.5-8}$$

式中，Φ_m 是最高势垒（参见图4.5-5）。将方程（4.5-8）代入方程（4.5-7），可得到热离子发射理论的标准电流密度表达式。

如果更精确地描述，可以将场发射（能量小于 ϕ_m 的载流子注入）表达为：

$$T_i(E_z)=\begin{cases}\exp\{-(4\pi/h)\int_{z1}^{z2}(2m_i^{\perp}(\Phi_i(z)-E_z))^{1/2}dz\}, & E_z<\Phi_m\\ 1, & E_z>\Phi_m\end{cases} \tag{4.5-9}$$

式中，$\phi_i(z)$为z处的势能，$m_i^{\perp}$ 是垂直有效质量。在方程（4.5-9）中，采用 Wentzel - Kramers - Brillouin（WKB）近似来考虑隧穿过程。WKB 近似给出了很清楚的物理图像，但不能完全地描述更复杂的结构中的情况，如双势垒的输运行为。Bhapkar 和 Mattauch 等人不用 WKB 近似，提出了一种数值法来确定传输几率。

势能 ϕ_i（z）由异质结势能 Φ_h^i 和静电势 $q\Phi_e$ 两部分组成：

$$\Phi_i=\Phi_h^i-q\Phi_e \tag{4.5-10}$$

为了清楚起见，图4.5-6示出了 $N-n$ 应变 Si/无应变的 $Si_{1-x}Ge_x$ 异质结中的细节。如果忽略静电势不计，（$N-n$）加上（b）型结构（导带能谷两度简并）的势垒就是阶梯状异质结构势垒：

$$\Phi_h^2(z)=\begin{cases}0 & 在\ Si\ 区中\\ \Delta E_c^2 & 在\ Si_{1-x}Ge_x\ 区域\end{cases} \tag{4.5-11}$$

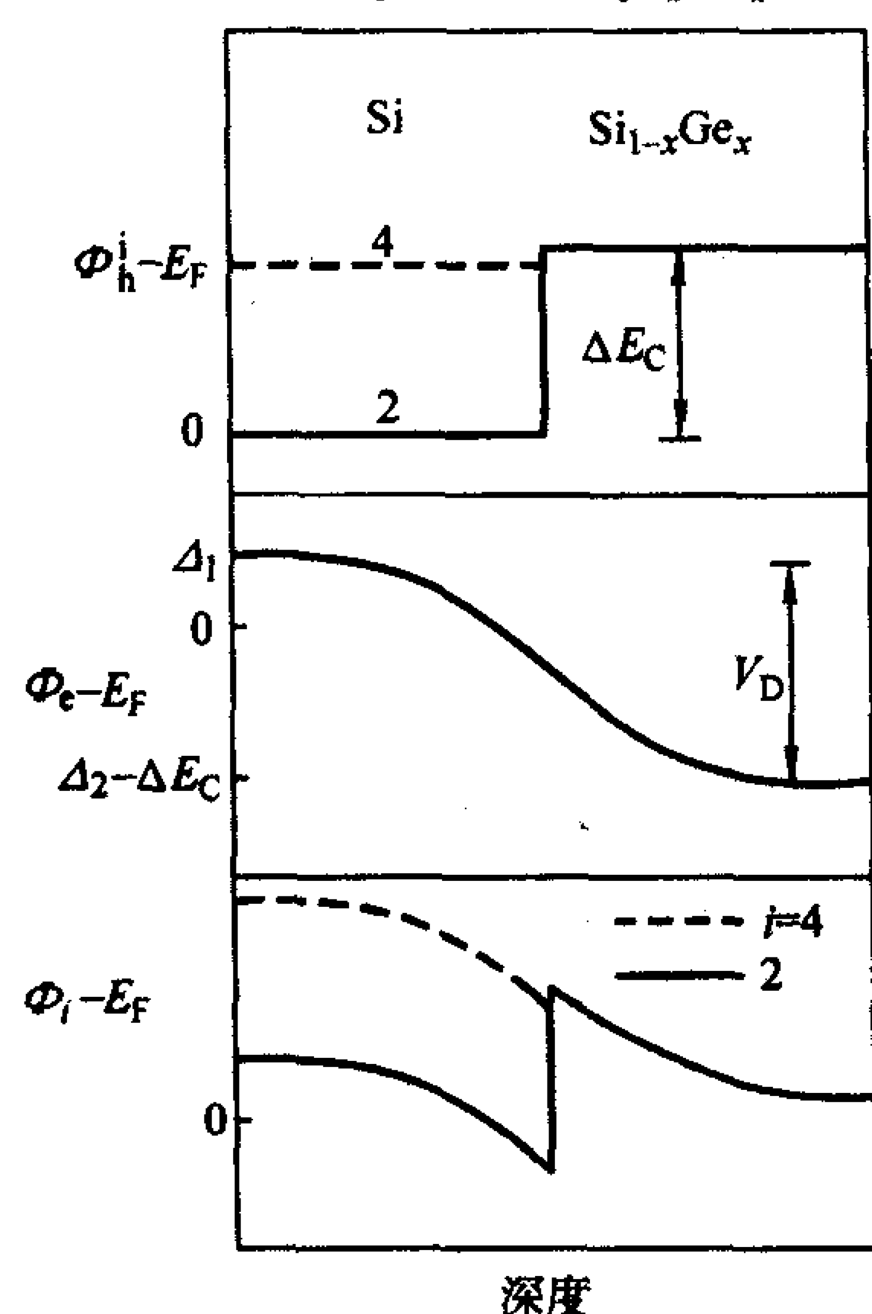


图4.5-6 在 $N-n$ 应变 Si/无应变的 $Si_{1-x}Ge_x$ 异质结中（参见图5-4），电子的异质结构势能 Φ_h^i、静电势 Φ_e 和总势能 Φ_i（$i=2, 4$）

然而，这种近似还比较粗略，不能解释由自由载流子和掺杂原子引起的空间电荷和有外加电势 qV 时对结电流的巨大影响。引入静电势 $q\Phi_e$ 可消除这些不足。如果载流子在异质结界面内发生积累、并形成二维载流子气，可通过求自恰的薛定谔方程和泊松方程得到 $q\Phi_e$。电子的薛定谔方程和泊松方程为：

$$-\frac{h^2}{8\pi}\times\frac{d}{dz}\left(\frac{1}{m_i^{\perp}}\times\frac{d\Psi_{ni}}{dz}\right)+(\Phi_h^i-q\Phi_e)\Psi_{ni}=E_{ni}\Psi_{ni}\quad i=2,4\quad n=0,1,2 \tag{4.5-12}$$

$$\frac{d}{dz}\left(\varepsilon(z)\frac{d\Phi_d}{dz}\right)=\frac{q}{\varepsilon_o}(n(z)-N(z)) \tag{4.5-13}$$

式中，$\varepsilon(z)$是与位置有关的介电常数；$N(z)$是施主浓度；电子浓度$n(z)$可以表达为：

$$n_i(z)=4\pi g_i m_i^{/\!/}kTh^{-2}\sum_n \ln(1+\exp((E_F-E_{ni})/kT))|\Psi_{ni}|^2\ i=2,4$$
$$n(z)=n_2(z)+n_4(z) \tag{4.5-14}$$

式中 i 为子能带的编号，因此上式是对所有子能带求和。为减少计算量，用半经典的托马斯 - 费米简化的近似来代替式（4.5-14），于是可以得出：

$$n(z)=N_c(z)F_{1/2}((E_F-\Phi_i(z))/kT) \tag{4.5-15}$$

式（4.5-12）将势能 Φ_i（一般取 Φ_2 和 Φ_4 中较低的一个）直接与载流子浓度相联系，$F_{1/2}$是费米积分。在应变的材料中，能带会发生分裂，这会改变式（4.5-15）中的有效态密度 N_c：

$$N_c=2(2\pi kTm_{ds,n}h^{-2})^{3/2}\{g_i+g_j\exp((\Phi_h^i-\Phi_h^j)/kT\}/6 \tag{4.5-16}$$

式中，i 和 j 是上移和下移能谷的标号；$m_{ds,n}$是没有发生能带分裂时态密度的有效质量。

对于 $Si_{1-x}Ge_x$/Si 单异质结构来说，泊松方程（4.5-13）的合适边界条件为：

$$\begin{aligned}q\Phi_e(-\infty)&=\Delta_1\\ q\Phi_e(+\infty)&=\Delta_2-\Delta E_c-qV\end{aligned} \tag{4.5-17}$$

式中，Δ_1 和 Δ_2 满足 $N=N_cF_{1/2}(\Delta/kT)$（N 是掺杂浓度，参见图4.5-4）。

采用上述这些方程能够确定注入电流随外加偏压的变化规律。这种方法既可用于单异质结，也可用于复杂结构，如多个势垒结构。一般而言，即使对于简单结构，也需要对这些方程进行数值处理。

3.2 异型异质结中的载流子注入模型

如图4.5-5所示，如果在 Si 衬底上生长 p 型应变的 $Si_{1-x}Ge_x$层，组成双异质结的 n - p - n 晶体管，基区为窄带隙的 p 型应变的 $Si_{1-x}Ge_x$ 层。依照 Krömer 的理论，得出异型异质结中的电子和空穴的注入电流如下：

$$J_n=(qD_n n_i^2(SiGe)/L_nN_A)(\exp(qV/kT)-1) \tag{4.5-18}$$

$$J_p=(qD_p n_i^2(Si)/L_pN_D)(\exp(qV/kT)-1) \tag{4.5-19}$$

式中，D_n 和 D_p 是少子扩散系数；L_n 和 L_p 分别是电子和空穴的扩散长度，N_D 和 N_A 表示掺杂浓度。显而易见，由于是异质结，本征载流子浓度值 n_i 具有不同值。

方程（4.5-18）和方程（4.5-19）所表示的 n 型和 p 型区满足以下条件：①n 型和 p 型区厚度比电子和空穴的扩散长度 L_n 和 L_p 长；②掺杂均匀。在实际的结构中，薄层的厚度常常远远小于电子和空穴的扩散长度 L_n、L_p，与此同时，掺杂和 Ge 组分 x 值常常是不均匀性的，例如缓变型异质结中的情况就是这样。为此，Krömer 给出了更通用的公式：

$$J_n=\frac{q\exp(qV/kT)}{\int_{n-型区}p/D_n n_i^2(SiGe)dz} \tag{4.5-20}$$

$$J_p=\frac{q\exp(qV/kT)}{\int_{p-型区}n/D_p n_i^2(Si)dz} \tag{4.5-21}$$

p（$=N_A$）和 n（$=N_D$）分别是 p - 型区和 n 型区中的多子的浓度。电子穿过 p 区的平均渡越时间为：

$$\tau = \int_0^w [(n_i^2/p)\int_z^w (p/D_n n_i^2)\mathrm{d}y]\mathrm{d}z \qquad (4.5\text{-}22)$$

式中 w 是中性区的宽度。如果 p 区是均匀的，方程（4.5-22）可以简化为：

$$\tau = w^2/2D_n \qquad (4.5\text{-}23)$$

该式描述了载流子穿过电中性区的运动情况。实际上，由于掺杂向外扩散等原因，pn 结的位置有可能相对于 Si/$Si_{1-x}Ge_x$ 异质结产生位移，也就是说，pn 结的位置同异质结的位置并不是在同一位置上，而是发生了位移，该移动形成了寄生势垒。因此在计算 $Si_{1-x}Ge_x$ HBT 中的电子注入电流时还应该考虑寄生势垒的存在。

20 世纪的 60 年代初期，前苏联人 Anderson 博士提出了一种异质结能带模型，并且专门讨论了异型 GaAs/Ge 异质结中的注入电流。该能带模型的能带结构图与图 4.5-4 的 (p－n)结构相似。由于异质结的带隙差比较大，空穴注入占主导地位，电子注入相对小得多，因此总的注入电流主要由空穴注入来决定：

$$J = J_o\exp(-qVD_2)\exp(qV/mkT) \qquad (4.5\text{-}24)$$

式中

$$J_o = XqN_A(D_p/\tau_p)^{1/2} \qquad (4.5\text{-}25)$$

$$m = 1 + N_A\epsilon_{Si}/N_D\epsilon_{SiGe} \qquad (4.5\text{-}26)$$

式中，D_p 和 τ_p 分别是小带隙材料中空穴的扩散系数和寿命；X 是高能空穴穿过结势垒的概率。

异型应变 p-$Si_{1-x}Ge_x$/N-Si 异质结中，价带的势垒尖峰既可能位于中性窄带隙区的价带能级之上，也可能在其之下，这取决于正偏压的大小。和 Kromer 模型不同的是，Anderson 模型考虑了势垒性质的相应变化，这种变化引起正向偏置的伏－安特性（电压－电流特性）的斜率中有开关效应。

4 SiGe/Si 结构的磁学特性

测量半导体材料的磁学特性是表征半导体性质的有效方法之一。由于早期 $Si_{1-x}Ge_x$ 材料的外延生长质量不够好或者量子尺寸不够精细，这方面的研究不够多。近年来，随着外延生长 Si/$Si_{1-x}Ge_x$ 结构技术的进展，已经能够获得高质量的 $Si_{1-x}Ge_x$/Si 纳米量级的各种结构。除了利用电学和光学的方法测量它们的特性以外，通过研究在低的和高的磁场条件下 $Si_{1-x}Ge_x$/Si 的磁输运现象，可以获得许多有用的信息，例如可以测量到 $Si_{1-x}Ge_x$/Si 中载流子在电场和磁场的作用下的散射时间、有效质量及能带结构的非抛物线性和 g 因子等许多参数。特别是对低维 Si 基结构的磁输运现象的研究获得了许多进展，观察到了量子霍尔效应（QHE）、分数量子霍尔效应（FQHE）、弱局域化和共振隧穿效应。这些为我们进一步了解 $Si_{1-x}Ge_x$/Si 的材料特性、深入研究物理机理和进一步的器件设计和应用带来了许多信息和机遇。

在这一节中，我们将讨论二维电子气、二维空穴气的 Shubnikov de Haas (SdH) 振荡和量子霍尔效应、n 型异质结构中的分数量子霍尔效应和在 Si/$Si_{1-x}Ge_x$ 结构中由于弱局域化和空穴的共振隧穿对磁阻的量子修正。

4.1 SdH（Shubnikov de Haas，舒布尼科夫－德哈斯）效应和量子霍尔效应

通过测量振荡磁阻可以了解到能带结构中的费米能级的位置、载流子浓度和 g 因子的大小。半导体的振荡磁阻会随着磁场的增大而衰减，根据磁阻随磁场的衰减情况，还可得到朗道能级（Landau－level）展宽的程度，并进一步了解到有关散射机构的信息。根据 SdH（Shubnikov de Haas）振荡与温度的依赖关系，可以获得载流子的有效质量；根据 SdH 效应的振荡周期和量子霍尔效应（QHE）观察到的平台填充因子，可以确定导带和价带的简并度。国外一些研究人员已经测量了 n 型、p 型异质结和多量子阱的 Si/$Si_{1-x}Ge_x$ 结构的 SdH 效应，这里给出有关结果并进行一些讨论。

4.2 二维电子气

在半导体量子结构中，单个粒子的散射时间决定了 SdH 振荡随磁场的衰减情况，并且与总的散射概率有关。以前人们是根据载流子迁移率的大小来计算载流子的动量弛豫（输运）时间，并且常常利用散射角度的大小来表征载流子在材料中的散射行为。这两种散射时间的比值是与散射机构紧密相连的，比值大时说明杂质或缺陷的远程散射起主要作用。

在渐变的 $Si_{1-x}Ge_x$ 缓冲层上，采用分子束外延（MBE）生长空间层厚度为 10～20 nm、沟道宽度约为 10 nm 的 n－$Si_{1-x}Ge_x$/Si 样品中，有两个实验室获得很高的迁移率，最大值分别高达 180 000 cm^2 /(V·s)和175 000 cm^2 /(V·s)，从而推算出总的散射概率同大角散射概率的比值分别在 11～26 和 4～14范围内。这些比值都远远大于 1，这就说明在高质量 Si/Si_{1-x}-Ge_x 异质结构中，由于晶体质量很好，晶体缺陷和杂质引起的短程散射作用比较弱，载流子的迁移率主要由远程杂质散射决定，这也正是理论所预计的结果。

体材料硅中，导带能谷是六度简并的。在硅沟道内，这些能谷受双轴张应力的作用，这些六度简并的导带能谷分裂为两个导带能谷，一个是二度简并的能谷，另一个是四度简并的能谷。二度简并能谷的能量比四度简并的能谷低。实验上可以从 SdH 振荡周期和 QHE 的填充因子 ν 来确定简并度。由平台处霍尔磁阻值 ρ_{xy} 可计算出填充因子的大小：

$$\rho_{xy} = \frac{h}{e^2\nu} \qquad (4.5\text{-}27)$$

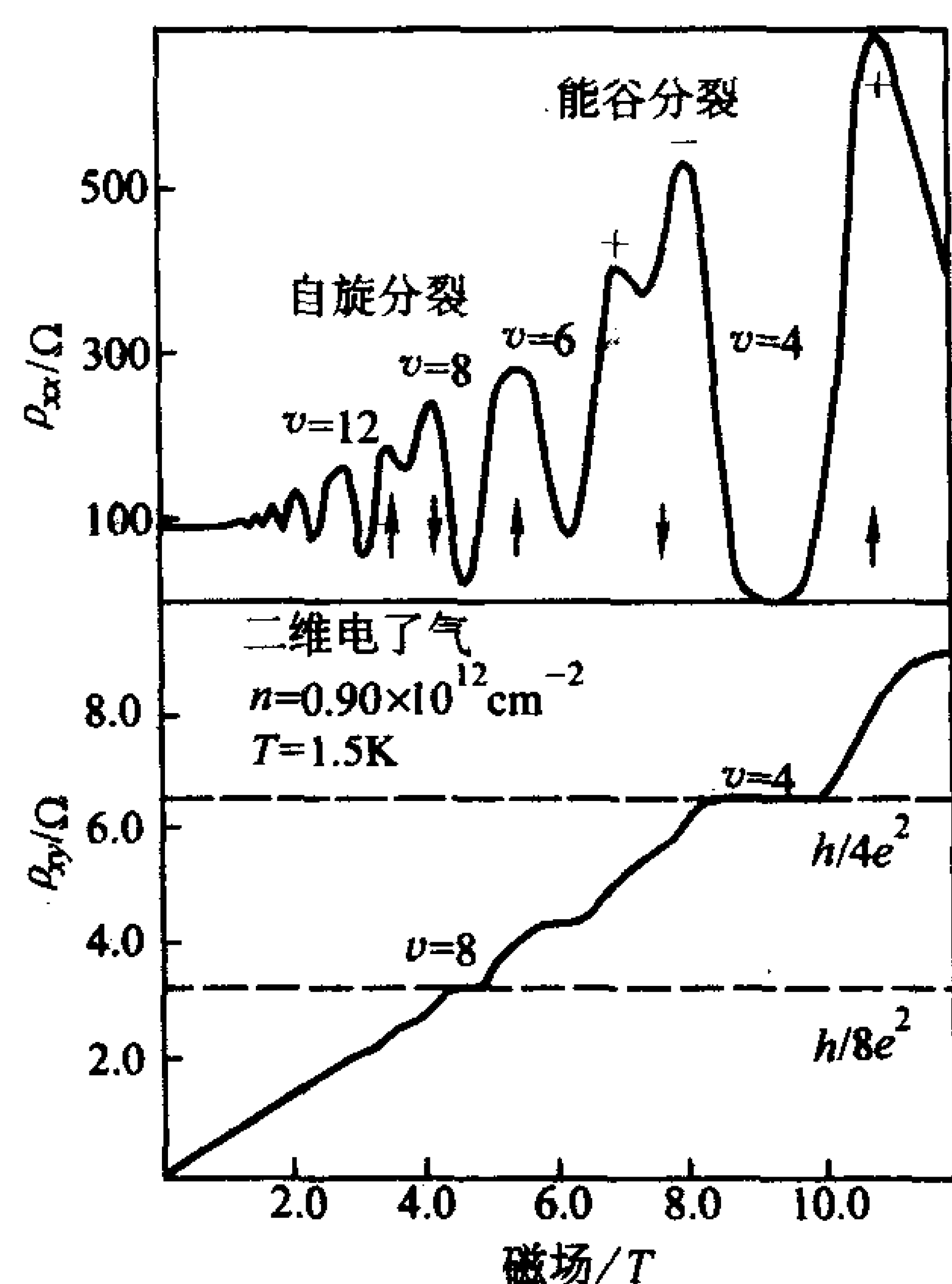


图 4.5-7 $T = 1.5$ K 下 2DEG 的 SdH 振荡和量子霍尔效应可分辨清楚第三朗道能级（在 $\nu = 12$ 和 $\nu = 8$ 之间）的自旋裂变态（↑/↓）、和 $\nu \leqslant 5$ 时的能谷裂变（+/－）图中标出了填充因子 $\nu = 4$ 和 8 时的霍尔平台

测量 $Si_{1-x}Ge_x$/Si 的磁阻 ρ_{xx} 和霍尔磁阻 ρ_{xy} 的测量结果。所用的样品是采用 MBE 外延生长出的 Si/$Si_{1-x}Ge_x$ 异质结构，其载流子浓度为 0.9×10^{12} cm^{-2}、迁移率为 77 300 cm^2/（V·s)。当磁场 $B < 3T$ 时，磁阻随填充因子的变化而发生振荡。由于既不能使二度简并的导带能谷发生自旋裂变，又不能将二度简并的能谷裂变分开，所以填充因子是 4 的倍数。随着磁场的增大，自旋简并度和能谷简并度先后变大。当填充因子

$v=8$ 和 $v=12$ 时，图4.5-7中的 ρ_{xx} 的最小值之间出现凹坑，这表示发生自旋分裂效应。填充因子为奇数 $v=5$ 时，出现了磁阻凹坑，这表明二度能谷的简并度升高。当填充因子 v 高达20时，仍可辨别量子霍尔平台，与 $v=10$ 和6对应的平台表征了自旋简并度升高，$v=5$ 对应的平台表征了能谷简并度升高。这些测量结果使我们对能谷的简并度、量子霍尔平台、磁阻凹坑等有了深入的理解。

根据SdH振荡幅度随晶格温度增加而衰减，可以计算出 $Si_{1-x}Ge_x$ 中电子的有效质量 m_e^* 约为 $(0.17\pm0.02)\ m_0$。在实验随机性误差范围内，该值与体材料硅的电子横向有效质量（$m_e^*=0.19m_0$）完全吻合。

4.3　二维空穴气

在纯硅上膺晶生长应变的 $Si_{1-x}Ge_x$ 层，可以获得二维空穴气（2DHG）。在Si上生长 $Si_{1-x}Ge_x$ 层，$Si_{1-x}Ge_x$ 受到压应力的作用。由于外延层发生了应变，使得能带结构发生相应的变化。应力提高了 $Si_{1-x}Ge_x$ 中的价带轻空穴带和重空穴带的简并度。在应变 $Si_{1-x}Ge_x$/Si异质结构的 $Si_{1-x}Ge_x$ 层中，重空穴的能量最低。在应变 $Si_{1-x}Ge_x$/Si异质结构中，Si和 $Si_{1-x}Ge_x$ 合金之间的能带偏移几乎都发生在价带。$Si_{1-x}Ge_x$ 的禁带宽度比Si的小，所以，空穴被限制在 $Si_{1-x}Ge_x$ 层中。在渐变弛豫 $Si_{1-x}Ge_x$（x 约为0.6～0.7）缓冲层上生长Ge沟道，Ge沟道的两边的 $Si_{1-x}Ge_x$ 的晶格常数比Ge小，因此Ge沟道层受 $Si_{1-x}Ge_x$ 层的压应力的作用，并且是平面双轴压应力。利用这种设计，制备出了一种二维空穴气（2DHG）新结构，可以获得很高的空穴迁移率。实验表明，在4.2 K下空穴的迁移率高达55 000 $cm^2/(V\cdot s)$。

通过分析研究SdH振荡周期数目可以得到能谷的简并因子，该因子表明重空穴态和轻空穴态的分离大于费米能级。结果表明，在 $Si_{0.8}Ge_{0.2}$/Si异质结构中，预计重空穴态和轻空穴态之间的能量差别约为23 meV。当然，每一个具体的p型异质结样品的SdH振荡曲线会有一些不同。在 $Si_{0.88}Ge_{0.12}$/Si异质结构中，自旋裂变能级比朗道能级间距的一半还大一些，在量子霍尔效应（QHE）中，除了高磁场强度下偶数填充因子 $v=2$ 外，只观察到了相应奇数填充因子（$v=1, 3, 5, 7$）的平台。在空穴浓度和迁移率等参数相似的的p-$Si_{0.72}Ge_{0.28}$/Si异质结构中，也观察到同样的行为。然而，用快速加热的化学气相淀积（RT-CVD）生长的调制掺杂的 $Si_{0.8}Ge_{0.2}$/Si双异质结构中，只在量子霍尔效应（QHE）中观察到4的倍数的填充因子。由于在量子阱两边有两个平行的二维空穴气，出现了填充因子2。这些结果清楚地表明，在这些样品中无法分辨自旋裂变。在高质量的Ge/$Si_{1-x}Ge_x$/Si异质结构中，对应每个奇数和偶数填充因子都存在SdH振荡极小值和量子霍尔效应（QHE）平台。

图4.5-8示出了Ge/$Si_{1-x}Ge_x$/Si异质结构的磁阻和霍尔电阻，所用的样品的空穴浓度约为 $5\times10^{11}\ cm^{-2}$，迁移率为18 000 $cm^2/(V\cdot s)$。分析表明，填充因子位于 $v=4$ 和 $v=6$ 之间的磁阻结构是由自旋裂变引起的。当磁场 $B<3.5T$ 时，磁阻振荡同填充因子为2的倍数相对应，这表明只有自旋简并。当填充因子高达 $v=12$ 时，仍可观察到量子霍尔平台。与p型 $Si_{1-x}Ge_x$/Si异质结构的量子霍尔效应（QHE）测量结果相反，Si/$Si_{1-x}Ge_x$/Ge异质结构对应于偶数和奇数填充因子的平台清晰可辨。

依据 $Si_{1-x}Ge_x$/Si异质结构SdH振幅同温度的依赖关系，三个不同的实验室计算出空穴有效质量为：m^* 约为 $0.23\pm0.02m_0(x=0.13)$，m^* 约为 $0.30\pm0.02m_0(x=0.2)$，m^* 约为 $0.44\pm0.03m_0(x=0.15)$。对于Ge/$Si_{1-x}Ge_x$/Si异质结构，计算出Ge沟道内的空穴有效质量为 $0.1m_0$。

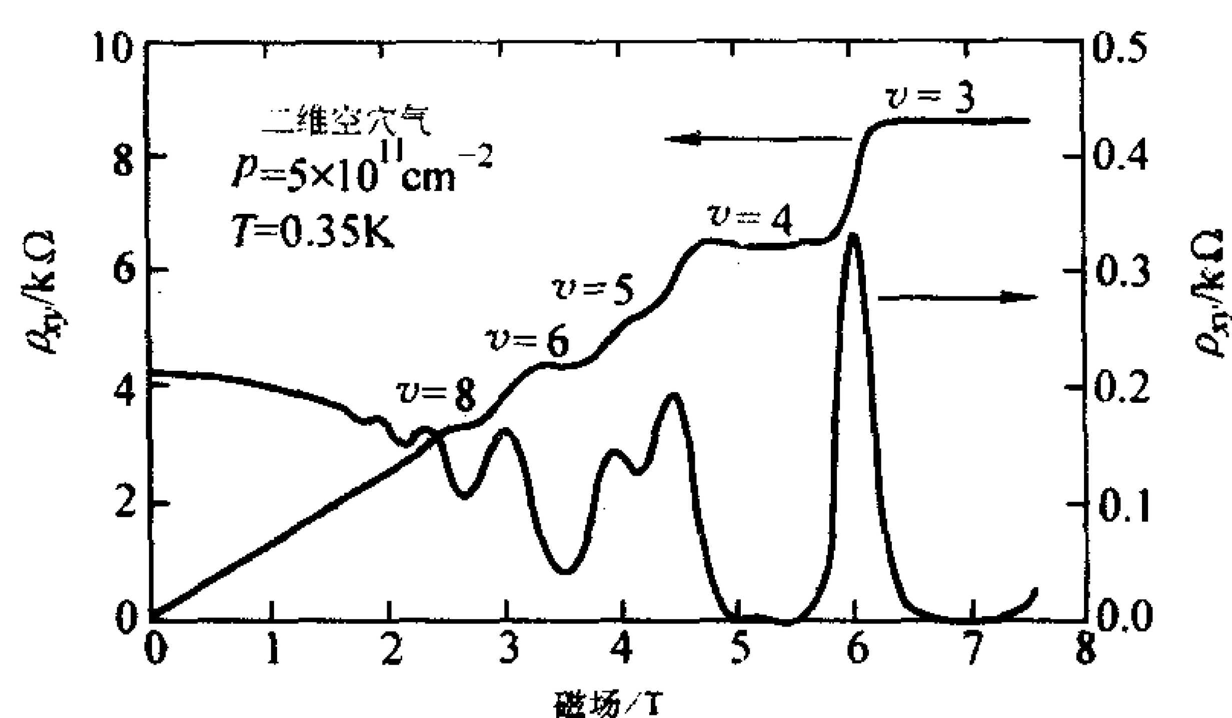


图4.5-8　2DHG在 $T=0.35$K时的SdH振荡和量子霍尔效应
图中标明了填充因子为 $v=3, 4, 5, 6$ 和8时的霍尔平台

改变磁场的倾斜角度，测量样品的SdH振荡，可以获得各向异性价带的 g 因子。对于应变 $Si_{0.8}Ge_{0.2}$ 层来说，测量到与空穴气垂直的 g 因子 $g_\perp=4.9\pm0.1$，与空穴气平行的 g 因子 $g_{//}=1.8\pm0.1$。对于生长在双轴张应变Si层上的无应变 $Si_{0.8}Ge_{0.2}$ 层来说，测量到 $g_\perp=4.8\pm0.1$ 和 $g_{//}=4.9\pm0.1$，在实验精度内，这些数值是各向同性的。

4.4　分数量子霍尔效应

上面的讨论中，所有的填充因子是整数的。然而，在研究分子束外延（MBE）和超高真空化学气相淀积（UHV-CVD）生长的多种n型样品中，还观察到了非整数的填充因子，也就是说，存在有分数的填充因子，这也就是我们要描述的分数量子霍尔效应。进一步研究证实，上面提到的 ρ_{xy} 平台就同非整数填充因子相对应。

图4.5-9示出了二维电子气（2DEG）的磁阻和霍尔电阻，所用的样品的载流子浓度为 $=4\times10^{11}\ cm^{-2}$，迁移率为85 000 $cm^2/(V\cdot s)$。从图中可以清晰看到分数填充因子 $v=4/3$，它同霍尔电阻的一个平台和磁阻的一个极小值相对应。分数填充因子为 $v=4/3$ 和 $v=2/3$ 所对应的 v_{xx} 凹坑同温度之间有一定的依赖关系。在温度范围0.5～1.4 K内，可以用公式 $\rho_{xx}=\rho_0\exp(-E_g/2k_BT)$ 对 $v=4/3$ 进行激活分析，深入的研究求得能隙大小约为 0.073 ± 0.015 meV（对应于 0.85 ± 0.17 K）；同理，如果对 $v=2/3$ 分析，就得出能隙约为 0.10 ± 0.040 meV（对应于 1.16 ± 0.45 K）。

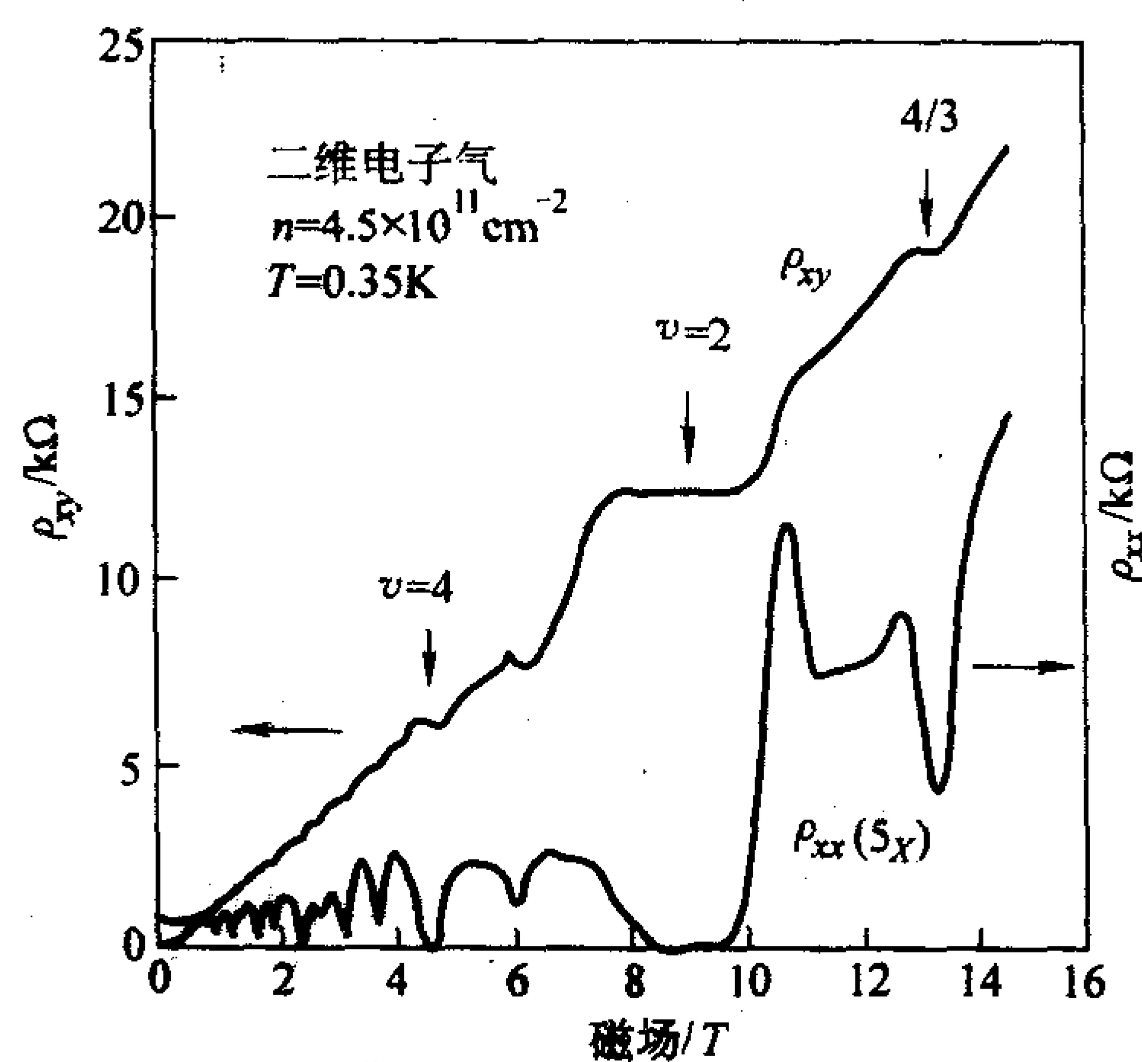


图4.5-9　温度为 $T=0.35$ K时二维电子气（2DEG）的SdH振荡效应和量子霍尔效应
分数填充因子 $v=4/3$ 清晰可见，对应于 ρ_{xx} 的凹坑和 ρ_{xy} 的平台

当温度范围为 0.3 ~ 1.2 K 时，实验还观察到分数填充因子 $v = 2/3$ 的 ρ_{xx} 最小值。其激活能约为 0.02 meV（约 0.23 K）的量级。虽然对 $Si_{1-x}Ge_x$/Si 系材料的分数量子霍尔效应(FQHE) 有了一些报道，但是相关的文献数量还是很有限的。进一步的研究有待深入，这既需要外延材料晶体和结构的质量非常好的样品，又需要一些很好的测量仪器和深入的物理分析进行细致的研究。这些有待更多的工作了。

在量子阱结构的样品中存在有弱的局域化现象。通过测量 $Si_{0.8}Ge_{0.2}$/Si 量子阱中二维电子气（2DEG）的电阻率和霍尔系数同温度的依赖关系，可以推断出：量子阱中存在弱局域化以及空穴 - 空穴相互作用的效应。没有磁场时，电导率随着温度的升高而呈对数地增加，表明了二维弱局域化。在 $B < 0.3T$ 时，磁阻拟合曲线的斜率为负，此时拟合磁阻得到相位相关长度 l_ϕ 约为 180 nm。n 型异质结构中弱局域化随电场和晶格温度的增加而被抑制。推导得出，当相位相关时间约为 1 ~ 2 ps 时，对应的长度 l_ϕ 约为 90 ~ 120 nm。

迄今为止还只研究了 $Si_{1-x}Ge_x$/Si 结构中空穴的共振隧穿。在 $Si_{0.8}Ge_{0.2}$/Si 双势垒共振隧穿结构中，重空穴通过轻空穴态和重空穴态进入阱中，从而发生隧穿效应，这就是所谓的共振隧穿。隧穿特性曲线的导数反映了与朗道能级有关的态密度。从朗道能级随磁场的分裂可得 $Si_{0.77}Ge_{0.23}$ 阱的面内有效质量为 $m^* = 0.20m_0$。

当外加磁场垂直于生长方向、也就是与生长界面平行时，这种情况下可以研究穿过双势垒异质结的隧道效应。在界面内转动磁场，可能画出量子阱能级的能量表面，虽然由角度确定的磁隧穿光谱不能均匀覆盖整个动量（k）空间，但直接探测了特殊 k 值时的状态。结果发现，重空穴带和轻空穴带与 Si 体材料的相位不同，彼此相比有 45°翘曲。在应变的渐变 $Si_{1-x}Ge_x$ 缓冲层上生长应变的 $Si_{0.67}Ge_{0.33}$ 阱和无应变 Si 势垒的样品中，以及在弛豫 $Si_{0.5}Ge_{0.5}$ 阱和应变硅势垒的隧穿结构中，都观察到了能带翘曲。由于结构的质量原因，在应变量子阱中的各向异性更显著。

5　结论

作为新型的硅基异质结材料，$Si_{1-x}Ge_x$ 表现出许多优越的电学性质，因此其电学性质就成了我们最为关注的重点。SiGe 的合金组分、应变和弛豫、杂质和缺陷、温度和电场等参数都会影响电子迁移率和空穴迁移率的大小。$Si_{1-x}Ge_x$ 合金体材料中，在 $x = 0 \sim 0.85$ 范围内电子的迁移率随着 x 值的增加而下降，而在 0.85 ~ 1 的范围内，电子迁移率即随着 x 值的增加而增加，因此 $Si_{1-x}Ge_x$ 中的电子迁移率同 x 值的关系呈现一个 V 形的变化曲线，在 0.85 附近发生突变，此前为逐渐降低，此后为逐渐增加。

在应变的 $Si_{1-x}Ge_x$ 中，空穴的迁移率随着 Ge 组分 x 值的增加而单调地增加。在 $x = 0.4$ 附近，$Si_{1-x}Ge_x$ 的空穴迁移率达到 Ge 体材料的值。空穴的有效质量随着 x 的增加和外延层平面内压应力的增大而减少，空穴的迁移率却随着 x 值的增加而增加。

调制掺杂量子阱结构（MODQW）中可以获很高的电子迁移率。在 MOS 场效应晶体管（MOS FET）中，界面的粗糙度和界面的散射是影响电子迁移率的主要因素，而在调制掺杂的异质结构 FET（MOD FET）中，远程杂质散射和沟道中的无意掺杂的本底杂质散射是主要机理。

低维 Si 基异质结构中观察到了量子霍尔效应（QHE）、分数量子霍尔效应（FQHE）、弱局域化和共振隧穿效应，从而得到费米能级、载流子浓度和 g 因子的参数大小，通过二维电子气和二维空穴气的研究使我们对能谷的简并度、量子霍尔平台、磁阻凹坑等有了深入的理解。

作为电子材料，$Si_{1-x}Ge_x$ 的亮点在于它可以构成调制掺杂的量子结构，从而形成二维电子气和二维空穴气，由于异质结界面比较平坦，只有长程散射起主要作用，因而使得电子迁移率获得了很大的提高，这一优势的特性已经在 MOD FET 和 HBT 等电子器件中完美地体现出来，并且将进一步获得更多更广泛的应用。作为光学材料，此前人们应用得不够多，然而近 10 年来科学研究的深入发展，使我们认识到 $Si_{1-x}Ge_x$ 也是非常重要的光电材料。

编写：余金中（中国科学院半导体研究所）

第6章 SiGe的光学性质

众所周知，硅是应用得最广的电子材料。上一章的描述表明，$Si_{1-x}Ge_x$合金材料具有非常独特的电学性质，因此它成为硅材料之后最引人注目的新型电子材料，在许多特性上表现出优异的性能，已经出现了频率高达350 GHz的HBT以及别的器件。然而，作为光电子材料，$Si_{1-x}Ge_x$合金有许多局限性，它的间接带隙能带结构使得其发光效率大大降低。一般而言，$Si_{1-x}Ge_x$合金不适合于制作发光器件。Si和Ge的带隙宽度不同，折射率也不同，$Si_{1-x}Ge_x$合金给我们带来了一个新的变量x，通过改变组分x值，可以改变折射率的大小。这就为探测器、光波导器件的设计和制作提供了非常方便的条件。因此，研究$Si_{1-x}Ge_x$合金的光学性质成了热门课题。

在下一节中，将$Si_{1-x}Ge_x$合金的折射率同x值、波长、的关系进行描述和分析，同时还给出数学表达式和一些实验测量结果。$Si_{1-x}Ge_x$的折射率n随x值的增大而变小。窄带隙时的$Si_{1-x}Ge_x$折射率大，而宽带隙时$Si_{1-x}Ge_x$的折射率较小，这为设计量子阱和波导结构的设计提供了非常好的条件。

测量光学吸收光谱是测定半导体禁带宽度的最好方法之一。与此同时吸收光谱可以为我们提供很多重要的信息，包括吸收系数α同材料组分和能量的关系、能带结构、激子吸收峰等等。在6.3节中将着重描述$Si_{1-x}Ge_x$的吸收系数α，给出一些实验结果的曲线。

不同温度下$Si_{1-x}Ge_x$的光荧光光谱包括带间的载流子复合光谱、杂质中的载流子复合光谱、自由激子和束缚激子的发射光谱等等，还可以探测出无声子参与的辐射复合的谱线和它们的声子伴线，进一步还能够外推出能带中X点和L点的带隙大小同组分x值之间的关系。6.4节提供光荧光光谱的数据和相关表达式。

在6.5节中，我们详细列出了不同光波能量（亦即对应的波长）下驰豫了的$Si_{1-x}Ge_x$的介电常数、折射率和光学吸收系数α，包括介电常数的实部ε_1和虚部ε_2、折射率的实部n和虚部k。这些数据十分详细而准确，将为我们提供了非常有用的资料。

1 SiGe的折射率

对于任何材料来说，折射率是重要的光学参数，它依赖材料本身的性质，也同光波的波长、能量相关。图4.6-1和图4.6-2示出了$Si_{1-x}Ge_x$合金的折射率同波长的关系。图4.6-1是通过测量$Si_{1-x}Ge_x$的近红外吸收光谱推导而来的折射率数据，测量了吸收系数α的数据之后，将其代入Marfarlane－Roborts公式，并对其参数进行适当的选择，然而采用内插法求出这些参数，得出组分和温度的关系，所以该图就是测量之后并对数据加以处理所得的结果。这里需要特别指出的是，由于是利用吸收光谱来测量材料的性质，因此该图的能量范围在0.5～1.4 eV之间。

由该图可以看出，在0.5～1.4 eV的能量范围内，即波长为2.48～0.89 μm的近红外波长范围内，$Si_{1-x}Ge_x$的折射率随着光波能量的增强（也即随着光波波长的变短）而逐渐变大，而且这种变化是单调上升的，对所有x值组分的$Si_{1-x}Ge_x$都是如此。与此同时，从该图还可以看出，对于同波长的光波来说，其折射率随着x值的增大而增大。这就是说，在同波长上，Ge的折射率最大，而Si折射率最小。这里需要强调的是：$Si_{1-x}Ge_x$的折射率n随x值的变化趋势和禁带宽度E_g随x值的变化趋势正好相反，前者是随x值的增大而增大，而后者是随x值的增大而变小。这正好是设计量子阱和波导结构同时需要的，窄带隙区的折射率大，而宽带隙区的折射率小。这样一来由两个宽带隙材料夹着一个窄带隙材料的势阱层，正好是两个低折射率介质材料夹着一个高折射率介质波导层。因此，它们一起共同构成了对载流子限制的势阱，同时又是能够对光波进行导波的波导层。可以说，这是大自然恩赐给我们人类的丰富资源。

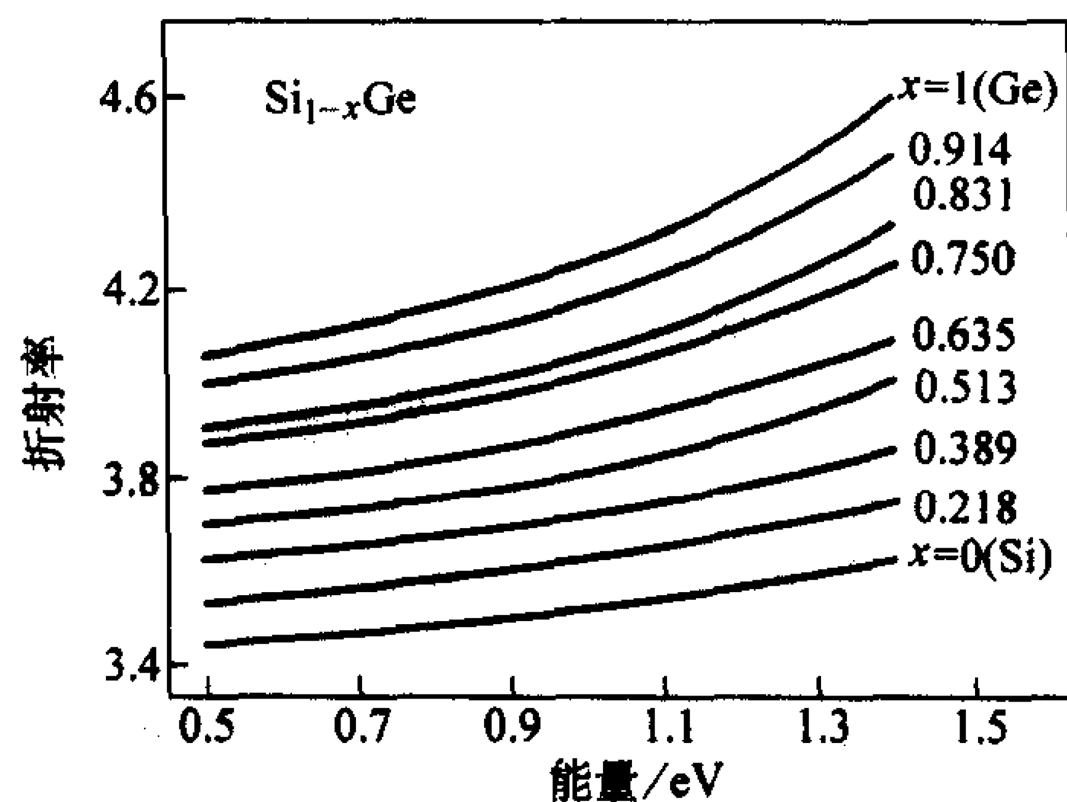


图4.6-1 由吸收光谱代入Marfarlane－Roborts公式计算得的$Si_{1-x}Ge_x$的折射率同组分和能量的关系

图4.6-2是采用椭圆偏振光谱仪测得的结果。图中所示的能量范围为1.6～5.6 eV，正好与图4.6-1的能量范围相衔接。由于是测量椭圆偏振光谱，所用样品都是外延生长的$Si_{1-x}Ge_x$薄层材料，并且x值组分覆盖了整个组分范围。从图中可以看出，在能量为E_1（x）的地方，折射率发生一次较大的图变，在其两边有很大的光学反差。进一步分析表明，该能量值E_1同组分x值的关系为：

$$E_1(x)=3.395-1.287x-0.153x(1-x) \qquad (4.6\text{-}1)$$

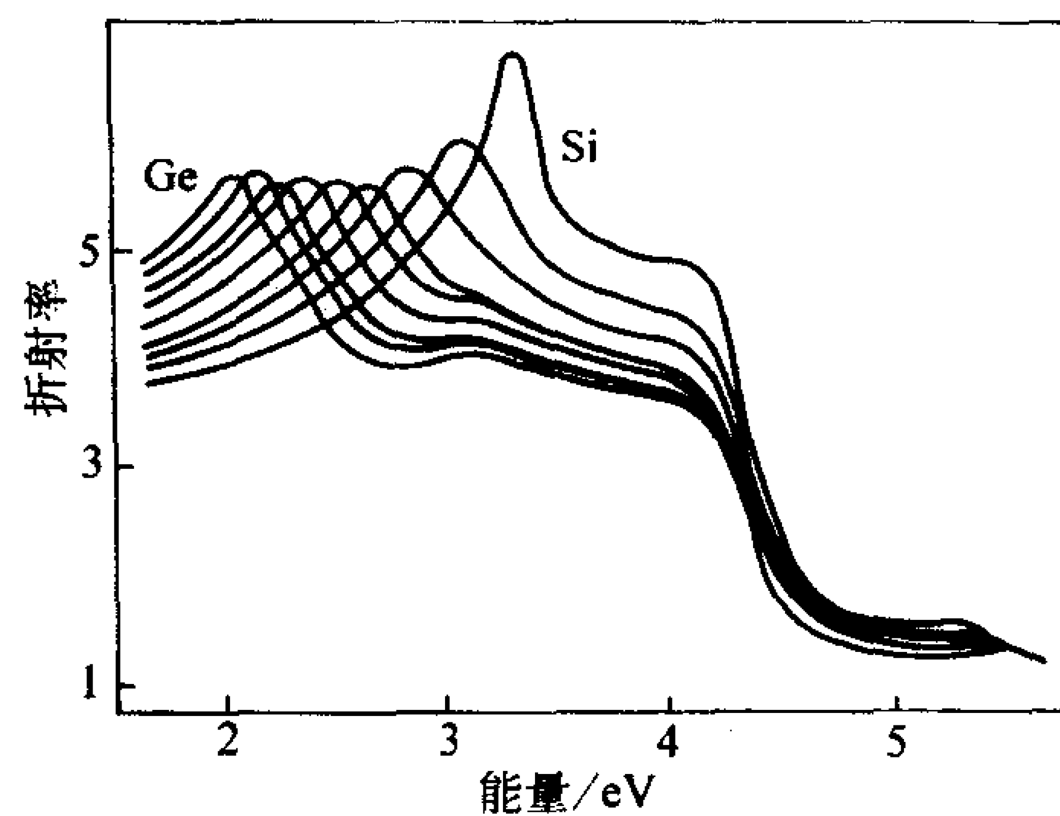


图4.6-2 由椭圆偏振光谱测定的$Si_{1-x}Ge_x$的折射率同组分和能量的关系

将上式进行一些变换，可以将$Si_{1-x}Ge_x$的组分x值表达为椭圆偏振光谱测得的能量E_1的函数表达式：

$$x=4.707-(6.538E_1-0.397)^{1/2} \qquad (4.6\text{-}2)$$

也就是说，通过测试$Si_{1-x}Ge_x$材料的椭圆偏振光谱，测定出E_1的大小，由此可以依据式（4.6-2）推算出外延层材料的x值。因此，这是一种十分简便而又可靠的测定$Si_{1-x}Ge_x$材料x值的方法。

2　SiGe 的吸收系数

对于固体材料来说，测量其各种光谱是表征其物理特性最好的方法之一。一来光学测量大都是无接触和无损伤的，对样品没有任何破坏，有利于进行多种测试分析。二来，光谱的频谱、强度等等数据为我们提供了许多有用的信息，包括带隙大小、杂质能级、激子位置、复合概率、能态密度、吸收机理、吸收系数、折射率等等的数据。因此，采用各种光谱测量就成了人们研究各种材料的物理特性的重要手段。

世界各国的科学家们采用吸收光谱、反射光谱、椭圆偏振光谱、调制光谱、光荧光光谱和电荧光光谱等许多方式来测定具有不同 x 值组分的 $Si_{1-x}Ge_x$ 合金材料在不同温度下的各种光谱。这些不同的光谱能从不同的侧面揭示 $Si_{1-x}Ge_x$ 合金的性质。例如吸收光谱能够测出光在传播和吸收过程中能量衰减的情况，揭示出不同波长的光谱的变化程度，同时还揭示出不同波长在 $Si_{1-x}Ge_x$ 合金中的穿透深度。

通过测量 $Si_{1-x}Ge_x$ 的近红外吸收光谱，特别是测试其吸收边，可以确定该合金的禁带宽度 E_g 的大小。图 4.6-3 示出了理论计算出的近红外吸收光谱，从右到左一共十一条曲线，对应的是 $x=0$，0.1，0.2，……，1.0 等十一个不同 x 值组分的 $Si_{1-x}Ge_x$ 合金的吸收光谱特性，每个样品的组分间隔为 0.1。在该图的下方，依次采用竖直线标出了每种组分合金所对应的禁带宽度 E_g 的大小。

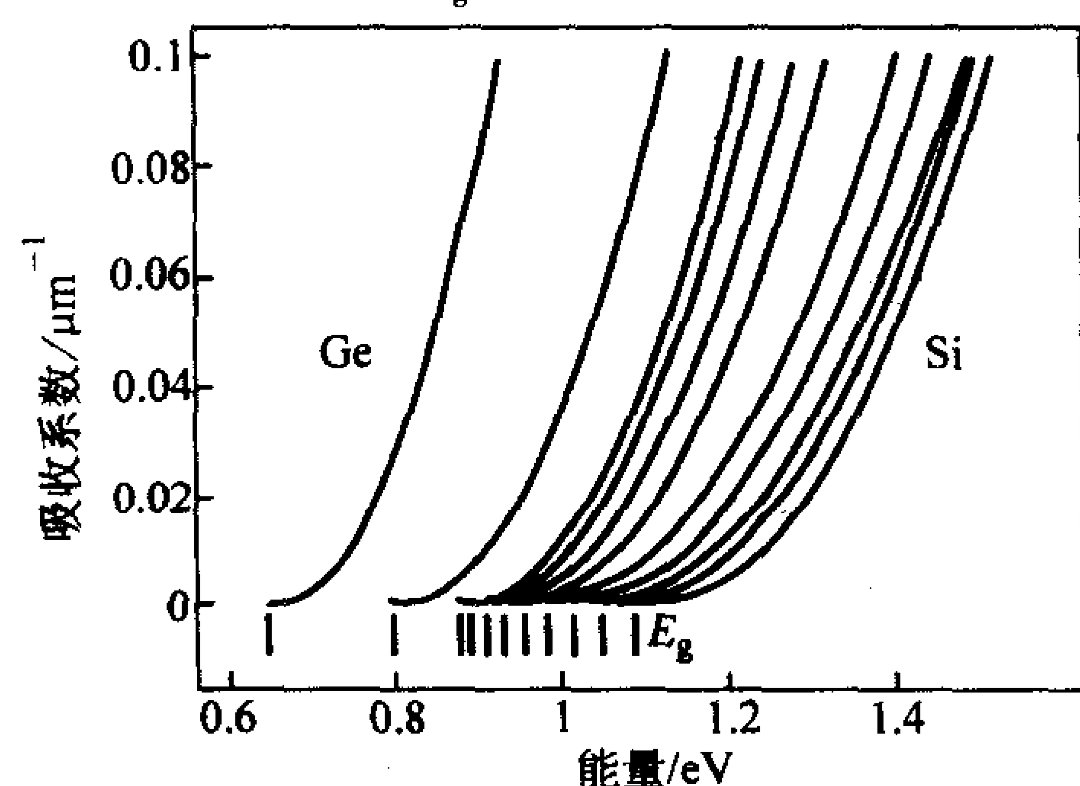


图 4.6-3　理论计算出的 $Si_{1-x}Ge_x$ 的吸收系数同组分 x 值的关系
从右到左，x 值依次为 0，0.1，0.2，……，1.0

吸收光谱表明，吸收峰可以测定合金的吸收边，利用它可以判断禁带宽度 E_g 的大小。图中的数据已经明确地表示出了这些结果。同时我们还应看到，当光波的波长正好与 E_g 的波长相对应时，该波长在 $Si_{1-x}Ge_x$ 材料中的穿透深度可达几个毫米，而光波能量比 E_g 大 0.3 eV 时，其穿透深度迅速减小到约为 10 μm。对于纳米量级的薄膜结构来说，这样的穿透深度是非常大的。

图 4.6-4 给出了实验测量得到的 1.6～5.6 eV 范围内 $Si_{1-x}Ge_x$ 的吸收系数同 x 值的关系。同样地在此范围内的吸收系数不但变大了许多，同时曲线的形式也变得复杂了许多。在图 4.6-3 所示的能量范围 0.6～1.5 eV 内，吸收系数 α 同材料组分和能量的关系是单调变化的，也就是说，随着 x 值的增加，禁带宽度变小，吸收系数 α 相应地变大。在相同的波长下，x 值越大的样品的吸收系数 α 越大。与此同时，对于每个具体样品来说，光波能量越大时其吸收系数越大，也就是说 $Si_{1-x}Ge_x$ 样品更容易吸收光子能量大的光波的能量。

图 4.6-4 曲线的情形就要复杂一些。图中一共有九条曲线，从左到右分别对应 $x=1$、0.915，0.831，0.750，0.635，0.513，0.389，0.218 和 0 等九种不同组分。显然最左边的 $x=1$为 Ge 样品的吸收曲线，而最右边的 $x=0$ 为 Si 样品的吸收曲线。由于能带结构的复杂性，导致了吸收谱的复杂性。最初只有禁带宽度最窄的能带参与光学吸收，图 4.6-3 中陡直的吸收边对应于禁带宽度。而能量更大时，$Si_{1-x}Ge_x$ 中的直接带 Γ 和其他较宽的 L 带、X 带等也参与吸收，一方面使得吸收系数变大，另一方面当有一个新的能带新加进来参与光学吸收时，就会使得吸收曲线变得弯曲多变了，不再是低能光波段那样单调地变化了。

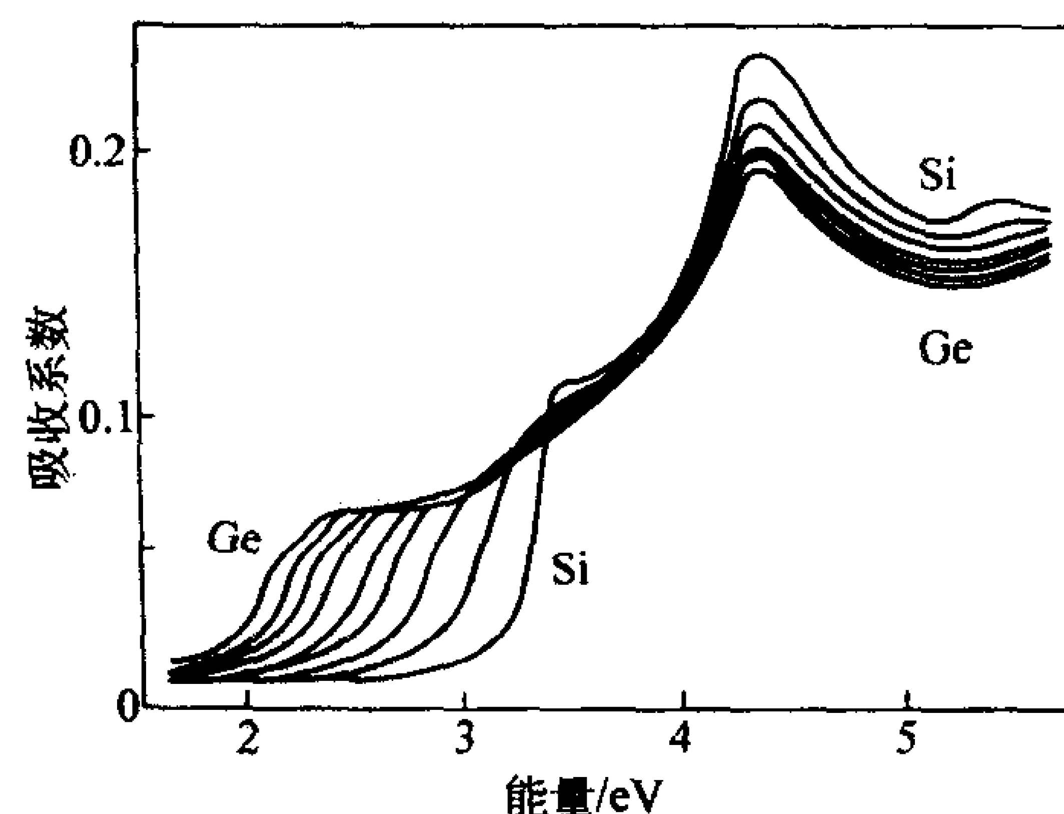


图 4.6-4　由椭圆偏振光谱测定的 $Si_{1-x}Ge_x$ 的吸收系数同组分 x 值的关系
从左到右 x 值分别为 1，0.915，0.831，0.750，0.635，0.513，0.389，0.218 和 0

3　SiGe 的光荧光光谱

如今，光荧光光谱是研究 $Si_{1-x}Ge_x$ 特性的最好办法之一。图 4.6-5 示出了不同 x 值时典型的 $Si_{1-x}Ge_x$ 体材料的光荧光光谱。

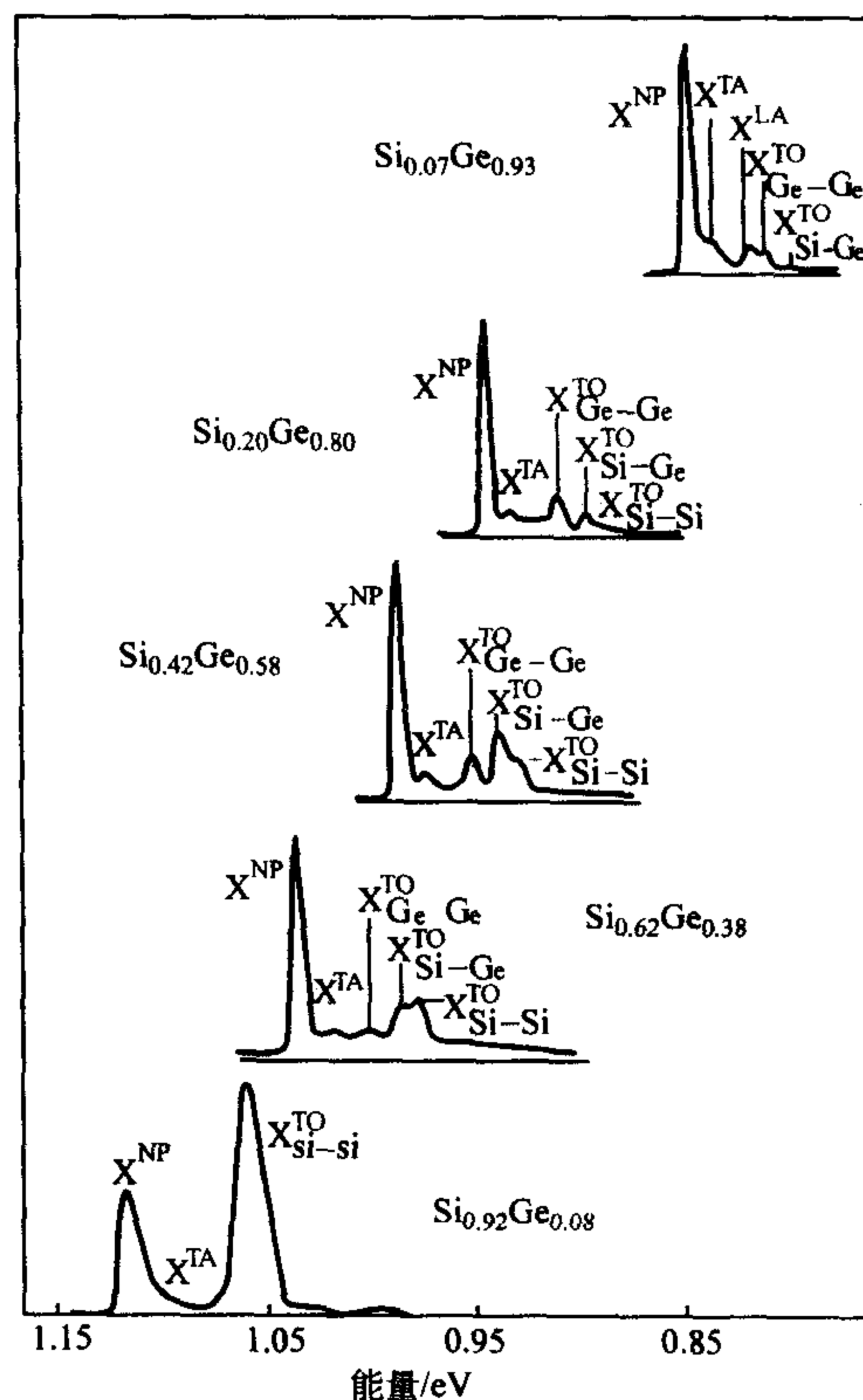


图 4.6-5　$Si_{1-x}Ge_x$ 体材料的光荧光光谱

通过测量不同温度下的光荧光光谱，还可以分辨自由激子和束缚激子的发射光谱，探测出无声子参与的辐射复合的谱线和它们的声子伴线。进一步还外推出能带中 X 点和 L 点的带隙大小同组分 x 值之间的关系。结果表明，E_g^X 和 E_g^L 同 x 值的关系为：

$$E_g^X(x)=1.155-0.43x+0.206x^2 \tag{4.6-3}$$

$$E_g^L(x)=2.010-1.270x \tag{4.6-4}$$

上述两式的单位都为 eV。在低达 4.2 K 的温度下仔细测量了 $Si_{1-x}Ge_x$ 的能隙 E_g^X 和 E_g^L。在富 Ge 的 $Si_{1-x}Ge_x$ 样品中，能带结构在 $x=0.843$ 处发生能带结构的转变，由 L 点的最小值变为更小的 X 点。因此，这里比通常描述的 $x=0.85$ 处 $Si_{1-x}Ge_x$ 的晶体结构和能带结构发生转变更为精确。光荧光光谱的数据准确地表明，发生转变的组分值应该是 $x=0.843$。

4　弛豫 SiGe 合金的物理参数

在通常的教科书、材料手册中，当我们列出材料的一些物理参数，诸如介电常数、折射率、吸收系数等等时，我们在材料名称之前不会加上任何定语，即不会去提及它是否是应变的或者是弛豫的材料。实际上，我们此时都是顺理成章地默认了这样的一个前提，我们所提及的性质是体材料的性质，既无应力的存在，没有发生应变，也不会是弛豫。

然而研究对象变为 $Si_{1-x}Ge_x$ 合金时，问题就不同了。首先是这类材料大都是生长在 Si、Ge 或 $Si_{1-y}Ge_y$ 衬底上的薄层材料，不是体材料，因晶格失配问题会引进相当大的应力，因而会发生应变。其次是应变程度不同时，材料的物理参数也呈现不同的数据，这就带来了许多不确定性。应变会引起各向异性，使得许多物理参数不再是标量，而变成了张量。使得问题进一步复杂化了。

为了避免上述复杂性和艰难性，我们在本节所列出的是弛豫了的 $Si_{1-x}Ge_x$ 材料的各种物理参数。我们强调材料完全弛豫了就是回避了应变的难题和决定了数据的准确性。

当光子能量为 $h\nu$（波长为 λ）的在介质材料中传输时，该光波的电场为 $\vec{E}$，光强 $I=E^2$，则介质中的电位移矢量 $\vec{D}$ 同电场 $\vec{E}$的关系为：

$$\vec{D}=\tilde{\varepsilon}\vec{E}=\vec{E}+4\pi\vec{P} \tag{4.6-5}$$

式中，$\tilde{\varepsilon}$为复数介电常数；$\vec{P}$为极化强度。复数介电常数可表达为实部 ε_1 和虚部 ε_2 两项之和：

$$\tilde{\varepsilon}=\varepsilon_1+i\varepsilon_2 \tag{4.5-6}$$

介电常数 ε 同复数折射率 $\tilde{n}$之间的关系为：

$$\tilde{\varepsilon}=\tilde{n}^2 \tag{4.5-7}$$

$$\tilde{n}=n+ik \tag{4.5-8}$$

式中，n 为我们通常所说的介质的光学折射率；而 k 为虚数折射率，它是同材料的光学吸收直接相关的。依据能量同电场的关系 $I=E^2$ 可以推导得出：

$$\alpha=4\pi k/\lambda \tag{4.6-9}$$

α 就是光学吸收系数，其倒数 $1/\alpha$ 就是光波在该介质中的穿透深度。它的物理意义在于：当光强为 I_0 的光波入射进某一介质材料中时，由于光学吸收会引起损耗，当光强由原来的 I_0 下降为原来的 e 分之一时，即 I_0/e 时，此时光的传输距离即为穿透深度 $d=1/\alpha$，它正好等于材料的光学吸收系数的倒数。

众所周知，光子能量 $E=h\nu$，可以转换为：$E=h\nu/\lambda=1.238\ 9/\lambda$。在这一表达式中，能量 E 和波长的单位分别为 eV 和 μm。为此，我们将弛豫了的 $Si_{1-x}Ge_x$ 的电学参数和光学参数同组分、光波能量（亦即波长）的关系综合列在表 4.6-1 中。

在表 4.6-1 中，我们列出了不同光波能量（亦即对应的波长）下驰豫了的 $Si_{1-x}Ge_x$ 的介电常数的实部 ε_1 和虚部 ε_2、折射率的实部 n 和虚部 k、光学吸收系数 α。表中给出了 x 值范围由 0～1，数据十分详细而准确，这为我们采用这类材料进行各种光学、光电器件设计时提供了非常有用的资料。

还有人对 12～87 meV（对应的波长范围约为 103～142 μm 的远红外）范围内的 $Si_{1-x}Ge_x$ 的吸收光谱进行过测试分析，结果表明，由于晶格吸收的缘故，其吸收谱有一些单声子吸收带和双声子吸收带，因此所呈现的吸收光谱是相当复杂的。即使如此，仍分析得出一些宝贵的资料。在整个组分范围内，$Si_{1-x}Ge_x$ 材料对远红外光波的吸收是很弱的。也就是说在复数折射率 $\tilde{n}$中，其虚数项 k 是很小的，只有约为 10^{-3}的样子。而其实数部分，即我们通常采用的光学折射率 n 是组分 x 值和光波能量 $h\nu$ 的函数，但随着 x 值和 $h\nu$ 值的变化还是非常平缓的。进一步分析表明，在光波能量 $h\nu<0.5$ eV 的范围内，$Si_{1-x}Ge_x$ 的折射率n 同组分x 值的关系为：

$$n=n_0+n_1(h\nu)^2 \tag{4.6-10}$$

$$n_0=3.42+0.37x+0.22x^2 \tag{4.6-11}$$

$$n_1=0.094+0.033x+0.089x^2 \tag{4.6-12}$$

不过我们要再次强调的是，这几个公式的适用范围是远红外波长范围，也即适用于波长比 2.48 μm 更长的范围。

对于近红外和可见光范围内的光学参数，人们进行过广泛而深入的研究，并没有发现什么奇特之处，采用常规的椭圆偏振光谱的方法就能测出其折射率数据来。我们对于这样波段范围内的介电常数、折射率和吸收系数，可以直接采用表 4.6-1 所列的数据，既准确又方便。

对于 $Si_{1-x}Ge_x$ 的光学性质进行过许多研究，测量出的各类光谱不但能揭示出材料自身的光学性质，测出光学折射率和吸收系数等参数，还能够分析得出材料的禁带宽度、激子能级、杂质能级、吸收边、声子振动等种种信息。因此，光学吸收谱、反射谱、椭圆偏振光谱、调制光谱和光荧光光谱等都是非常重要、非常有用的测试手段。

大量的实验数据表明：在 0.6～1.4 eV 的能量范围内，$Si_{1-x}Ge_x$ 的光学折射率和吸收系数都是随着 x 值平滑地变化的。在一定能量下，$Si_{1-x}Ge_x$ 的折射率随着 x 值的增加而增加。对于一定 x 值的样品来说，其折射率随着光波能量的增大而增大。而在大于 1.5 eV 以上的能量范围内，折射率和光学吸收系数随着 x 值或能量的变化就显得复杂一些了，这是由于 $Si_{1-x}Ge_x$ 中的 L 带和 X 带也都参与了相关的物理过程。在本章中利用各种详尽的图表已经给出了相关的数据，这为我们进行器件设计时提供了方便的资料。

表 4.6-1　弛豫的 SiGe 的光学函数

$Si_{1-x}Ge_x$，$x=0.00$						
能量/eV	波长/nm	ε_1	ε_2	n	k	K/cm^{-1}
1.00	1 239.8	12.39	0.000 1	3.52	0.000 01	1.01
1.05	1 180.8	12.46	0.000 1	3.53	0.000 01	1.06
1.10	1 127.1	12.53	0.000 1	3.54	0.000 02	2.23
1.15	1 078.1	12.60	0.000 7	3.55	0.000 10	1.17×10
1.20	1 033.2	12.74	0.002 7	3.57	0.000 38	4.62×10
1.25	991.9	12.82	0.006 3	3.58	0.000 88	1.11×10^2
1.30	953.7	12.96	0.011 3	3.60	0.001 57	2.07×10^2
1.35	918.4	13.03	0.017 6	3.61	0.002 44	3.34×10^2
1.40	885.6	13.18	0.025 1	3.63	0.003 46	4.91×10^2
2.0	619.9	15.52	0.08	3.94	0.01	2.03×10^3
2.1	590.4	16.08	0.08	4.01	0.01	2.13×10^3
2.2	563.6	16.65	0.08	4.08	0.01	2.23×10^3
2.3	539.1	17.39	0.08	4.17	0.01	2.33×10^3

续表 4.6-1

能量 /eV	波长 /nm	ε_1	ε_2	n	k	K/cm^{-1}
2.4	516.6	18.15	0.09	4.26	0.01	2.43×10^3
2.5	495.9	19.10	0.17	4.37	0.02	5.07×10^3
2.6	476.9	20.25	0.18	4.50	0.02	5.27×10^3
2.7	459.2	21.62	0.19	4.65	0.02	5.47×10^3
2.8	442.8	23.22	1.06	4.82	0.11	3.12×10^4
2.9	427.5	25.37	1.71	5.04	0.17	5.00×10^4
3.0	413.3	28.13	2.65	5.31	0.25	7.60×10^4
3.1	400.0	32.01	4.20	5.67	0.37	1.16×10^5
3.2	387.5	37.77	8.03	6.18	0.65	2.11×10^5
3.3	375.7	44.88	19.59	6.85	1.43	4.78×10^5
3.4	364.7	34.06	38.27	6.53	2.93	1.01×10^6
3.5	354.2	20.86	35.25	5.56	3.17	1.12×10^6
3.6	344.4	17.77	32.87	5.25	3.13	1.14×10^6
3.8	326.3	14.01	33.37	5.01	3.33	1.28×10^6
4.0	310.0	10.12	36.73	4.91	3.74	1.52×10^3
4.2	295.2	−1.04	44.83	4.68	4.79	2.04×10^6
4.4	281.1	−19.36	30.84	2.92	5.28	2.35 × 106
4.6	269.5	−17.35	17.18	1.88	4.57	2.13×10^6
4.8	258.3	−12.73	12.51	1.60	3.91	1.90×10^6
5.0	248.0	−9.98	10.74	1.53	3.51	1.78×10^6
5.2	238.4	−8.55	10.26	1.55	3.31	1.74×10^6
5.4	229.6	−8.98	9.50	1.43	3.32	1.82×10^6
5.6	221.4	−8.38	7.81	1.24	3.15	1.79×10^6
6	206.6	−6.57	5.82	1.05	2.77	1.68×10^6
7	177.1	−4.39	3.09	0.70	2.21	1.57×10^6
8	155.0	−2.70	2.10	0.60	1.75	1.42×10^6
9	137.8	−1.80	1.60	0.55	1.45	1.32×10^6
10	124.0	−1.23	1.30	0.53	1.23	1.25×10^6
11	112.7	−0.84	1.07	0.51	1.05	1.17×10^6
12	103.3	−0.56	0.90	0.50	0.90	1.09×10^6

$Si_{1-x}Ge_x$，$x=0.10$

能量 /eV	波长 /nm	ε_1	ε_2	n	k	K/cm^{-1}
1.00	1 239.8	12.72	0.000 1	3.57	0.000 01	1.01
1.05	1 180.8	12.82	0.000 2	3.58	0.000 03	3.02
1.10	1 127.1	12.89	0.000 8	3.59	0.000 11	1.19×10
1.15	1 078.1	12.96	0.002 3	3.60	0.000 32	3.68×10
1.20	1 033.2	13.11	0.005 1	3.62	0.000 71	8.64×10^2
1.25	991.9	13.18	0.009 4	3.63	0.001 30	1.64×10^2
1.30	953.7	13.33	0.015 0	3.65	0.002 05	2.70×10^2
1.35	918.4	13.43	0.021 7	3.67	0.002 96	4.05×10^2
1.40	885.6	13.58	0.029 5	3.69	0.004 00	5.67×10^2
2.0	619.9	16.14	0.08	4.02	0.01	2.03×10^3
2.1	590.4	16.75	0.08	4.09	0.01	2.13×10^3
2.2	563.6	17.44	0.08	4.18	0.01	2.23×10^3
2.3	539.1	18.24	0.12	4.27	0.01	3.40×10^3
2.4	516.6	19.14	0.41	4.37	0.05	1.14×10^4

续表 4.6-1

能量 /eV	波长 /nm	ε_1	ε_2	n	k	K/cm^{-1}
2.5	495.9	20.23	0.68	4.50	0.08	1.90×10^4
2.6	476.9	21.58	1.08	4.65	0.12	3.07×10^4
2.7	459.2	23.20	1.52	4.82	0.16	4.31×10^4
2.8	442.8	25.15	2.63	5.02	0.26	7.42×10^4
2.9	427.5	27.76	4.17	5.28	0.39	1.16×10^4
3.0	413.3	30.86	6.95	5.59	0.62	1.89×10^4
3.1	400.0	33.49	11.67	5.87	0.99	3.12×10^5
3.2	387.5	34.44	17.62	6.05	1.46	4.73×10^5
3.3	375.7	34.32	25.69	6.21	2.07	4.92×10^5
3.4	364.7	25.81	34.50	5.87	2.94	1.01×10^6
3.5	354.2	17.89	32.40	5.24	3.09	1.10×10^6
3.6	344.4	15.52	31.05	5.01	3.10	1.13×10^6
3.8	326.3	12.08	31.86	4.80	3.32	1.28×10^6
4.0	310.0	8.22	34.90	4.69	3.72	1.51×10^3
4.2	295.2	−2.13	41.28	4.43	4.66	1.98×10^6
4.4	281.1	−18.17	28.69	2.81	5.11	2.28×10^6
4.6	269.5	−16.09	16.61	1.88	4.43	2.06×10^6
4.8	258.3	−12.12	12.26	1.60	3.83	1.86×10^6
5.0	248.0	−9.64	10.48	1.52	3.45	1.75×10^6
5.2	238.4	−8.26	9.87	1.52	3.25	1.71×10^6
5.4	229.6	−8.41	9.25	1.43	3.23	1.77×10^6
5.6	221.4	−8.08	7.82	1.26	3.11	1.76×10^6
6	206.6	−6.26	6.11	1.05	2.74	1.67×10^6
7	177.1	−4.28	3.23	0.70	2.19	1.56×10^6
8	155.0	−2.56	2.17	0.60	1.72	1.39×10^6
9	137.8	−1.70	1.64	0.55	1.42	1.30×10^6
10	124.0	−1.11	1.35	0.53	1.19	1.21×10^6
11	112.7	−0.71	1.15	0.51	1.01	1.13×10^6
12	103.3	−0.45	1.00	0.50	0.88	1.07×10^6

$Si_{1-x}Ge_x$，$x=0.20$

能量 /eV	波长 /nm	ε_1	ε_2	n	k	K/cm^{-1}
1.00	1 239.8	13.04	0.000 1	3.61	0.000 01	1.01
1.05	1 180.8	13.18	0.000 3	3.63	0.000 05	4.97
1.10	1 127.1	13.26	0.001 4	3.64	0.000 19	2.17×10
1.15	1 078.1	13.33	0.003 9	3.65	0.000 53	6.19×10
1.20	1 033.2	13.48	0.007 6	3.67	0.001 04	1.27×10^2
1.25	991.9	13.55	0.012 6	3.68	0.001 71	2.17×10^2
1.30	953.7	13.70	0.018 8	3.70	0.002 53	3.34×10^2
1.35	918.4	13.84	0.025 9	3.72	0.003 48	4.78×10^2
1.40	885.6	13.99	0.033 9	3.74	0.004 53	6.43×10^2
2.0	619.9	16.78	0.08	4.10	0.01	2.03×10^3
2.1	590.4	17.43	0.08	4.18	0.01	2.13×10^3
2.2	563.6	18.26	0.09	4.27	0.01	2.23×10^3
2.3	539.1	19.11	0.17	4.37	0.02	3.47×10^3
2.4	516.6	20.15	0.75	4.49	0.08	2.03×10^4
2.5	495.9	21.39	1.20	4.63	0.13	3.30×10^4

续表 4.6-1

能量/eV	波长/nm	ε_1	ε_2	n	k	K/cm^{-1}
2.6	476.9	22.93	2.04	4.79	0.21	5.60×10^4
2.7	459.2	24.81	2.95	4.99	0.30	8.08×10^4
2.8	442.8	27.12	4.31	5.22	0.41	1.17×10^5
2.9	427.5	30.16	6.85	5.53	0.62	1.82×10^5
3.0	413.3	33.47	11.66	5.87	0.99	3.02×10^5
3.1	400.0	34.27	19.65	6.07	1.62	5.08×10^5
3.2	387.5	29.85	26.79	5.91	2.26	7.34×10^5
3.3	375.7	3.76	30.16	5.57	2.71	9.05×10^5
3.4	364.7	18.44	30.72	5.21	2.95	1.02×10^6
3.5	354.2	15.10	29.64	4.92	3.01	1.07×10^6
3.6	344.4	13.38	29.27	4.77	3.07	1.12×10^6
3.8	326.3	12.23	30.36	4.60	3.30	1.27×10^6
4.0	310.0	6.41	33.09	4.48	3.69	1.50×10^3
4.2	295.2	−3.12	37.86	4.18	4.53	1.93×10^6
4.4	281.1	−17.03	26.63	2.70	4.93	2.20×10^6
4.6	269.5	−14.87	16.04	1.87	4.29	2.00×10^6
4.8	258.3	−11.53	12.01	1.60	3.75	1.83×10^6
5.0	248.0	−9.30	10.22	1.50	3.40	1.72×10^6
5.2	238.4	−7.97	9.48	1.49	3.19	1.68×10^6
5.4	229.6	−7.85	9.00	1.43	3.15	1.72×10^6
5.6	221.4	−7.78	7.83	1.28	3.07	1.74×10^6
6	206.6	−5.95	6.40	1.18	2.71	1.65×10^6
7	177.1	−4.16	3.36	0.77	2.18	1.55×10^6
8	155.0	−2.42	2.23	0.66	1.69	1.37×10^6
9	137.8	−1.60	1.68	0.60	1.40	1.28×10^6
10	124.0	−0.98	1.39	0.60	1.16	1.18×10^6
11	112.7	−0.57	1.22	0.62	0.98	1.09×10^6
12	103.3	−0.33	1.10	0.64	0.86	1.05×10^6

$Si_{1-x}Ge_x$, $x=0.30$

能量/eV	波长/nm	ε_1	ε_2	n	k	K/cm^{-1}
1.00	1 239.8	13.45	0.000 2	3.67	0.000 03	3.44
1.05	1 180.8	13.60	0.001 0	3.69	0.000 14	1.50×10
1.10	1 127.1	13.67	0.003 1	3.70	0.000 42	4.64×10
1.15	1 078.1	13.78	0.006 6	3.71	0.000 89	1.04×10^2
1.20	1 033.2	13.93	0.011 5	3.73	0.001 54	1.87×10^2
1.25	991.9	14.04	0.017 5	3.75	0.002 34	2.96×10^2
1.30	953.7	14.19	0.024 7	3.77	0.003 28	4.3×10^2
1.35	918.4	14.35	0.032 8	3.79	0.004 33	5.93×10^2
1.40	885.6	14.50	0.041 9	3.81	0.005 50	7.80×10^2
2.0	619.9	17.53	0.08	4.19	0.01	2.03×10^3
2.1	590.4	18.29	0.17	4.28	0.02	4.17×10^3
2.2	563.6	19.19	0.38	4.38	0.04	9.71×10^3
2.3	539.1	20.24	0.83	4.50	0.09	2.14×10^4
2.4	516.6	21.50	1.50	4.64	0.16	3.94×10^4
2.5	495.9	23.15	2.32	4.82	0.24	6.10×10^4
2.6	476.9	24.90	3.55	5.00	0.35	9.35×10^4

续表 4.6-1

能量/eV	波长/nm	ε_1	ε_2	n	k	K/cm^{-1}
2.7	459.2	27.20	5.41	5.24	0.52	1.41×10^5
2.8	442.8	29.62	8.69	5.50	0.79	2.24×10^5
2.9	427.5	30.74	13.75	5.68	1.21	3.56×10^5
3.0	413.3	29.98	18.87	5.72	1.65	5.02×10^5
3.1	400.0	27.71	23.85	6.67	2.10	6.61×10^5
3.2	387.5	23.39	27.49	5.45	2.45	8.17×10^5
3.3	375.7	18.56	28.79	5.14	2.80	9.37×10^5
3.4	364.7	15.19	28.33	4.86	2.91	1.00×10^6
3.5	354.2	13.10	27.83	4.68	2.97	1.05×10^6
3.6	344.4	11.65	27.80	4.57	3.04	1.11×10^6
3.8	326.3	8.81	28.97	4.42	3.28	1.26×10^6
4.0	310.0	5.10	31.57	4.31	3.67	1.49×10^6
4.2	295.2	−3.97	35.37	3.98	4.45	1.89×10^6
4.4	281.1	−16.24	24.92	2.60	4.79	2.14×10^6
4.6	269.5	−14.09	15.35	1.84	4.18	1.95×10^6
4.8	258.3	−11.11	11.62	1.58	3.69	1.79×10^6
5.0	248.0	−9.04	9.85	1.47	3.35	1.70×10^6
5.2	238.4	−7.78	9.09	1.45	3.14	1.66×10^6
5.4	229.6	−7.48	8.68	1.41	3.08	1.68×10^6
5.6	221.4	−7.55	7.76	1.28	3.03	1.72×10^6
6	206.6	−5.89	6.47	1.20	2.71	1.65×10^6
7	177.1	−4.04	3.41	0.79	2.16	1.53×10^6
8	155.0	−2.28	2.33	0.70	1.67	1.35×10^6
9	137.8	−1.50	1.80	0.65	1.39	1.27×10^6
10	124.0	−0.93	1.48	0.64	1.16	1.17×10^6
11	112.7	−0.53	1.31	0.66	0.98	1.10×10^6
12	103.3	−0.28	1.19	0.64/8	0.87	1.06×10^6

$Si_{1-x}Ge_x$, $x=0.40$

能量/eV	波长/nm	ε_1	ε_2	n	k	K/cm^{-1}
1.00	1 239.8	13.45	0.000 2	3.67	0.000 03	3.44
1.05	1 180.8	13.60	0.001 0	3.69	0.000 14	1.50×10
1.10	1 127.1	13.67	0.003 1	3.70	0.000 42	4.64×10
1.15	1 078.1	13.78	0.006 6	3.71	0.000 89	1.04×10^2
1.20	1 033.2	13.93	0.011 5	3.73	0.001 54	1.87×10^2
1.25	991.9	14.04	0.017 5	3.75	0.002 34	2.96×10^2
1.30	953.7	14.19	0.024 7	3.77	0.003 28	4.32×10^2
1.35	918.4	14.35	0.032 8	3.79	0.004 33	5.93×10^2
1.40	885.6	14.50	0.041 9	3.81	0.005 50	7.80×10^2
2.0	619.9	17.53	0.08	4.19	0.01	2.03×10^3
2.1	590.4	18.29	0.17	4.28	0.02	4.17×10^3
2.2	563.6	19.19	0.38	4.38	0.04	9.71×10^3
2.3	539.1	20.24	0.83	4.50	0.09	2.14×10^4
2.4	516.6	21.50	1.50	4.64	0.16	3.94×10^4
2.5	495.9	23.15	2.32	4.82	0.24	6.10×10^4
2.6	476.9	24.90	3.55	5.00	0.35	9.35×10^4
2.7	459.2	27.20	5.41	5.24	0.52	1.41×10^5

续表 4.6-1

能量 /eV	波长 /nm	ε_1	ε_2	n	k	K/cm^{-1}
2.8	442.8	29.62	8.69	5.50	0.79	2.24×10^5
2.9	427.5	30.74	13.75	5.68	1.21	3.56×10^5
3.0	413.3	29.98	18.87	5.72	1.65	5.02×10^5
3.1	400.0	27.71	23.85	6.67	2.10	6.61×10^5
3.2	387.5	23.39	27.49	5.45	2.45	8.17×10^5
3.3	375.7	18.56	28.79	5.14	2.80	9.37×10^5
3.4	364.7	15.19	28.33	4.86	2.91	1.00×10^6
3.5	354.2	13.10	27.83	4.68	2.97	1.05×10^6
3.6	344.4	11.65	27.80	4.57	3.04	1.11×10^6
3.8	326.3	8.81	28.97	4.42	3.28	1.26×10^6
4.0	310.0	5.10	31.57	4.31	3.67	1.49×10^6
4.2	295.2	−3.97	35.37	3.98	4.45	1.89×10^6
4.4	281.1	−16.24	24.92	2.60	4.79	2.14×10^6
4.6	269.5	−14.09	15.35	1.84	4.18	1.95×10^6
4.8	258.3	−11.11	11.62	1.58	3.69	1.79×10^6
5.0	248.0	−9.04	9.85	1.47	3.35	1.70×10^6
5.2	238.4	−7.78	9.09	1.45	3.14	1.66×10^6
5.4	229.6	−7.48	8.68	1.41	3.08	1.68×10^6
5.6	221.4	−7.55	7.76	1.28	3.03	1.72×10^6
6	206.6	−5.89	6.47	1.20	2.71	1.65×10^6
7	177.1	−4.04	3.41	0.79	2.16	1.53×10^6
8	155.0	−2.28	2.33	0.70	1.67	1.35×10^6
9	137.8	−1.50	1.80	0.65	1.39	1.27×10^6
10	124.0	−0.93	1.48	0.64	1.16	1.17×10^6
11	112.7	−0.53	1.31	0.66	0.98	1.10×10^6
12	103.3	−0.28	1.19	0.68	0.87	1.06×10^6

$Si_{1-x}Ge_x$, $x=0.50$

能量 /eV	波长 /nm	ε_1	ε_2	n	k	K/cm^{-1}
0.95	1 305.1	14.37	0.000 3	3.79	0.000 05	4.41
1.00	1 239.8	14.51	0.001 8	3.81	0.000 23	2.33×10
1.05	1 180.8	14.67	0.005 4	3.83	0.000 71	7.51×10
1.10	1 127.1	14.74	0.001 1	3.84	0.001 45	1.61×10
1.15	1 078.1	14.90	0.018 6	3.86	0.002 41	2.81×10^2
1.20	1 033.2	15.12	0.027 9	3.89	0.003 59	4.36×10^2
1.25	991.9	15.28	0.038 6	3.91	0.004 94	6.25×10^2
1.30	953.7	15.50	0.050 7	3.94	0.006 44	8.49×10^2
2.0	619.9	19.21	1.42	4.39	0.16	3.29×10^4
2.1	590.4	20.25	1.72	4.50	0.19	4.07×10^4
2.2	563.6	21.56	2.41	4.65	0.26	5.78×10^4
2.3	539.1	23.18	3.20	4.83	0.33	7.72×10^4
2.4	516.6	25.09	4.67	5.03	0.46	1.13×10^4
2.5	495.9	27.20	7.17	5.26	0.68	1.73×10^4
2.6	476.9	29.38	11.13	5.51	1.01	2.66×10^4
2.7	459.2	29.18	17.57	5.62	1.56	4.28×10^5
2.8	442.8	24.76	22.14	5.38	2.06	5.83×10^5
2.9	427.5	20.27	23.50	5.06	2.32	6.82×10^5

续表 4.6-1

能量 /eV	波长 /nm	ε_1	ε_2	n	k	K/cm^{-1}
3.0	413.3	17.44	23.20	4.82	2.41	7.32×10^5
3.1	400.0	15.91	23.12	4.69	2.47	7.75×10^5
3.2	387.5	14.47	23.69	4.60	2.58	8.36×10^5
3.3	375.7	12.69	24.12	4.47	2.70	9.03×10^5
3.4	364.7	11.03	24.30	4.34	2.80	9.64×10^5
3.5	354.2	9.62	24.34	4.23	2.88	1.02×10^6
3.6	344.4	8.52	24.47	4.15	2.95	1.08×10^6
3.8	326.3	6.18	25.53	4.03	3.17	1.22×10^6
4.0	310.0	2.73	27.56	3.90	3.53	1.43×10^6
4.2	295.2	−4.68	29.65	3.56	4.17	1.77×10^6
4.4	281.1	−13.72	21.32	2.41	4.42	1.97×10^6
4.6	269.5	−12.01	13.81	1.77	3.89	1.81×10^6
4.8	258.3	−9.72	10.72	1.54	3.48	1.69×10^6
5.0	248.0	−03	9.09	1.43	3.17	1.61×10^6
5.2	238.4	−6.89	8.34	1.40	2.97	1.57×10^6
5.4	229.6	−6.45	8.05	1.39	2.89	1.58×10^6
5.6	221.4	−6.58	7.59	1.32	2.88	1.64×10^6
6	206.6	−5.68	6.58	1.23	2.68	1.63×10^6
7	177.1	−3.77	3.63	0.85	2.12	1.51×10^6
8	155.0	−2.07	2.52	0.77	1.63	1.32×10^6
9	137.8	−1.33	2.01	0.73	1.37	1.25×10^6
10	124.0	−0.80	1.64	0.72	1.15	1.16×10^6
11	112.7	−0.42	1.48	0.75	0.99	1.10×10^6
12	103.3	−0.19	1.35	0.77	0.88	1.07×10^6

$Si_{1-x}Ge_x$, $x=0.75$

能量 /eV	波长 /nm	ε_1	ε_2	n	k	K/cm^{-1}
0.90	1 377.6	15.84	0.000 3	3.98	0.000 04	3.65
0.95	1 305.1	16.60	0.002 3	4.00	0.000 29	2.79×10
1.00	1 239.8	16.16	0.007 6	4.02	0.000 94	9.53×10
1.05	1 180.8	16.32	0.015 6	4.04	0.001 93	2.05×10^2
1.10	1 127.1	16.48	0.026 1	4.06	0.003 22	3.59×10^2
1.15	1 078.1	16.73	0.039 1	4.09	0.004 78	5.57×10^2
1.20	1 033.2	16.89	0.054 0	4.11	0.006 57	7.99×10^2
2.0	619.9	24.22	2.86	4.93	0.29	5.88×10^4
2.1	590.4	25.93	4.39	5.11	0.43	9.15×10^4
2.2	563.6	28.00	6.82	5.33	0.64	1.43×10^5
2.3	539.1	30.40	10.98	5.60	0.98	2.28×10^5
2.4	516.6	30.25	17.97	5.72	1.57	3.82×10^5
2.5	495.9	25.25	23.00	5.45	2.11	5.35×10^5
2.6	476.9	19.99	24.23	5.07	2.39	6.30×10^5
2.7	459.2	16.28	23.13	4.72	2.45	6.70×10^5
2.8	442.8	14.39	21.78	4.50	2.42	6.87×10^5
2.9	427.5	13.65	21.03	4.40	2.39	7.02×10^5
3.0	413.3	13.35	20.75	4.36	2.38	7.24×10^5
3.1	400.0	13.01	21.36	4.36	2.45	7.70×10^5
3.2	387.5	12.23	22.31	4.34	2.57	8.33×10^5

续表 4.6-1

能量/eV	波长/nm	ε_1	ε_2	n	k	K/cm^{-1}
3.3	375.7	10.94	23.06	4.27	2.70	9.03×10^5
3.4	364.7	9.63	23.41	4.18	2.80	9.65×10^5
3.5	354.2	8.38	23.64	4.09	2.89	1.03×10^6
3.6	344.4	7.36	24.02	4.03	2.98	1.09×10^6
3.8	326.3	5.00	25.24	3.92	3.22	1.24×10^6
4.0	310.0	1.62	27.21	3.80	3.58	1.45×10^6
4.2	295.2	−5.75	29.13	3.46	4.21	1.79×10^6
4.4	281.1	−14.60	20.52	2.30	4.46	1.99×10^6
4.6	269.5	−12.24	12.99	1.67	3.89	1.81×10^6
4.8	258.3	−9.94	10.06	1.45	3.47	1.69×10^6
5.0	248.0	−8.23	8.56	1.35	3.17	1.61×10^6
5.2	238.4	−6.99	7.87	1.33	2.96	1.56×10^6
5.4	229.6	−6.44	7.69	1.34	2.87	1.57×10^6
5.6	221.4	−6.71	7.40	1.28	2.89	1.64×10^6
6	206.6	−5.07	6.55	1.27	2.58	1.57×10^6
7	177.1	−3.29	4.26	1.02	2.08	1.48×10^6
8	155.0	−2.00	2.71	0.83	1.64	1.33×10^6
9	137.8	−1.21	2.17	0.80	1.36	1.24×10^6
10	124.0	−0.64	1.80	0.80	1.13	1.15×10^6
11	112.7	−0.28	1.66	0.84	0.99	1.10×10^6
12	103.3	−0.09	1.52	0.85	0.90	1.09×10^6

$Si_{1-x}Ge_x$，$x=1.00$

能量/eV	波长/nm	ε_1	ε_2	n	k	K/cm^{-1}
0.65	1 907.5	16.81	0.000 2	4.10	0.000 02	1.32
0.70	1 771.2	16.97	0.003 2	4.12	0.000 39	2.77×10
0.75	1 653.1	17.06	0.012 4	4.13	0.001 50	1.14×10^2
0.80	1 549.8	17.22	0.027 0	4.15	0.003 25	2.64×10^2
0.85	1 458.6	17.47	0.046 3	4.18	0.005 54	4.77×10^2
0.90	1 377.6	17.64	0.069 4	4.20	0.008 36	7.53×10^2
2.0	619.9	30.48	11.80	5.62	1.05	2.13×10^5
2.1	590.4	29.51	20.10	5.71	1.76	3.75×10^5
2.2	563.6	22.93	23.19	5.27	2.20	4.91×10^5
2.3	539.1	18.85	24.55	4.99	2.46	5.73×10^5
2.4	516.6	13.90	23.52	4.54	2.59	6.30×10^5
2.5	495.9	11.81	21.25	4.25	2.50	6.33×10^5
2.6	476.9	10.87	19.80	4.09	2.42	6.38×10^5
2.7	459.2	10.40	18.75	3.99	2.35	6.43×10^5
2.8	442.8	10.28	18.05	3.94	2.29	6.50×10^5
2.9	427.5	10.46	17.73	3.94	2.25	6.61×10^5
3.0	413.3	10.73	17.99	3.98	2.26	6.87×10^5
3.1	400.0	10.68	18.81	4.02	2.34	7.35×10^5
3.2	387.5	10.06	19.86	4.02	2.47	8.01×10^5
3.3	375.7	9.00	20.64	3.97	2.60	8.70×10^5

续表 4.6-1

能量/eV	波长/nm	ε_1	ε_2	n	k	K/cm^{-1}
3.4	364.7	7.92	21.06	3.90	2.70	9.30×10^5
3.5	354.2	7.02	21.35	3.84	2.78	9.86×10^5
3.6	344.4	6.05	21.70	3.78	2.87	1.05×10^6
3.8	326.3	4.14	22.87	3.70	3.09	1.19×10^6
4.0	310.0	1.27	24.76	3.61	3.43	1.39×10^6
4.2	295.2	−5.17	26.99	3.34	4.04	1.72×10^6
4.4	281.1	−14.96	18.92	2.14	4.42	1.97×10^6
4.6	269.5	−11.53	11.31	1.52	3.72	1.73×10^6
4.8	258.3	−9.11	9.00	1.36	3.31	1.61×10^6
5.0	248.0	−7.46	7.79	1.29	3.02	1.53×10^6
5.2	238.4	−6.31	7.22	1.28	2.82	1.49×10^6
5.4	229.6	−5.76	7.10	1.30	2.73	1.49×10^6
5.6	221.4	−5.79	7.04	1.29	2.73	1.55×10^6
6	206.6	−5.04	7.21	137	2.63	1.60×10^6
7	177.1	−3.58	4.28	1.00	2.14	1.52×10^6
8	155.0	−2.30	2.87	0.83	1.73	1.40×10^6
9	137.8	−1.49	2.26	0.78	1.45	1.32×10^6
10	124.0	−1.00	1.88	0.75	1.25	1.27×10^6
11	112.7	−0.62	1.60	0.74	1.08	1.20×10^6
12	103.3	−0.37	1.42	0.74	0.96	1.17×10^6

5　结论

由于 $Si_{1-x}Ge_x$ 的能带结构是间接带隙，其发光效率很低，这大大限制了作为发光材料的应用。即便如此，$Si_{1-x}Ge_x$ 合金的光学性质依然是人们非常关心的课题，进行了很多的研究，因此在本章中提供了很多有益的数据。

折射率的大小依赖材料本身的性质，也同光波的波长、能量相关。$Si_{1-x}Ge_x$ 的折射率 n 随 x 值的变化趋势和禁带宽度 E_g 随 x 值的变化趋势正好相反，前者是随 x 值的增大而增大，而后者是随 x 值的增大而变小。在 0.5～1.4 eV 的能量范围内，即波长为 2.48～0.89 μm 的近红外波长范围内，$Si_{1-x}Ge_x$ 的折射率随着光波能量的增强（也即随着光波波长的变短）而逐渐变大，而且这种变化是单调上升的。

测定 $Si_{1-x}Ge_x$ 合金的吸收边，可以判断出禁带宽度 E_g 的大小。在 0.6～1.5 eV 的能量范围内，吸收系数 α 同材料组分和能量的关系是单调变化的，随着 x 值的增加，禁带宽度变小，吸收系数 α 相应地变大，x 值越大样品的吸收系数 α 越大。

研究 $Si_{1-x}Ge_x$ 的光荧光光谱分辨自由激子和束缚激子的发射光谱，探测出无声子参与的辐射复合的谱线和它们的声子伴线。进一步还外推出能带中 X 点和 L 点的带隙大小同组分 x 值之间的关系。4.2 K 的低温度下测量出 $Si_{1-x}Ge_x$ 的光荧光谱能隙推导出 E_g^X 和 E_g^L。$Si_{1-x}Ge_x$ 在 $x=0.843$ 处发生能带结构的转变，由 L 点的最小值变为更小的 X 点，比通常描述的 $x=0.85$ 更为精确。

本章详细列出了驰豫 $Si_{1-x}Ge_x$ 材料的各种物理参数，包括介电常数的实部 ε_1 和虚部 ε_2、折射率的实部 n 和虚部 k、光学吸收系数 α，这些是非常有用的资料。

编写：余金中（中国科学院半导体研究所）

第 7 章 SiGe（001）的原子再构和表面性质

在半导体材料的生长过程中，历来原子再构是研究生长机理和外延特性的有趣课题。一方面，由于半导体表面的原子再构在外延生长中起着关键性的作用，值得人们广泛关注；另一方面，通过对外延生长的原子再构和表面性质的深入了解，有助于认识生长过程中不同的键合构形，可以对结晶过程、杂质分凝、合金表面以及组分分布等情况了解得更清楚。

外延生长可以在（001）、（111）等不同晶面上进行，现在最常用的晶面是（001）面。因此研究 SiGe 合金在（001）面上的原子再构和表面性质具有很好的代表性，这样可以了解原子在外延的过程中是如何在表面键合的、原子在表面处的能量特征如何，与再构相关的应力的大小及平衡态组分是如何分布的等等问题。所以，我们在这一章中专门讨论 SiGe（001）的原子再构和表面性质，也就是研究初始的表面再构及其动力学、表面和亚表面应力以及组分分布等问题。

外延生长总是在衬底上进行的。衬底的晶向、平整度都会影响生长过程和外延表面的形貌。事实上，我们最常用的衬底都会偏离（001）、（111）等晶面的，例如偏离（001）面某一个角度；同时，完全平坦的衬底表面几乎是不可能有的。这样一来，外延生长常常是在偏离晶面某一角度、不完全平坦的衬底表面上进行的，因此生长的外延层中肯定会出现台阶。半导体表面的台阶行为不但对生长有影响，对于纳米量级的异质结构的特性也会发生重大影响。从应用观点来看，控制台阶的密度和走向有着重要的实际意义。因此，我们将讨论 Si 和 Ge（001）表面上的台阶类型及其能量大小，并给出一些特定例子，分析形成台阶的过程和结果。

在硅衬底上外延生长 Ge 或 SiGe 合金时，Ge 的分凝过程是很有趣的课题。同时，如果还进行掺杂，掺杂剂的分凝过程和对 Ge 的抑制作用也是影响外延结果的重要因素。表面分凝效应影响 Si/Ge 异质结和 $Si/Si_{1-x}Ge_x$ 异质结的界面陡峭度。通过研究生长 SiGe 过程中掺杂剂的并入情况，以及了解该过程中的 Ge 的表面分凝过程、一些杂质的分凝过程和对 Ge 分凝的抑制作用，特别是氢和锑等杂质的行为得到了很好的研究。在这一章的后面将讨论有关结果。

1 SiGe（001）表面的原子再构和键合构形

研究表明，在 Si（001）面上初始的再构是 2×1 二聚体（dimerisation）图形，我们通常称之为 2×1 原子再构。通过精确地计算原子再构过程的总能量，得出每个表面原子的再构能量约为 1.0 eV，并且二聚体的键长为 0.223 nm，这就是 n 型键合特征的证据。由于 2×1 原子再构使得表面原子的未饱和悬挂键数目由两个减小为一个，因而产生二聚体。二聚体的产生导致两种状态的出现：键合状态（σ）和反键合状态（σ^*），在它们的间隙处，依然保留着 π 表面态和 π^* 表面态的两种悬挂键。如果失去二聚体的点阵、加大缺陷的存在，就会增强 2×1 原子再构的稳定性。

同样地，以 Ge 代替 Si 作为衬底，在 Ge（001）面上进行外延生长时，也观察到类似（2×1）的原子再构，同时具有局域的 c（2×2）和 p（4×2）对称性。因此，（2×1）的原子再构就是 Si 和 Ge 的（001）面上外延生长时外延层表面的本质特性。由于 Si 和 Ge 同为 Ⅳ 族元素半导体材料，具有很强的相似性，因此可以预期 SiGe 合金的原子再构和表面特性同这些元素半导体材料具有类似的的特性。的确，对 SiGe（001）面进行低能电子衍射研究，证实有（2×1）元胞，这说明 SiGe 合金表面原子是（2×1）的原子再构，构成了二聚体。

分析表明，在（001）面上 Ge 的表面能量比较低，而 Si 的表面能量相对高一些。正是这种表面能量的相对差别，使得外延生长的表面上常常出现的是 Ge 层。对于（001）2×1 再构表面来说，Ge 的每一个原子的表面能比 Si 的每一个原子的表面能大约小 0.07 eV，因此外延生长过程中在表面上分凝一层 Ge 原子就会减小整个系统的焓值。这样一来，在生长面的表面附近，Ge 原子朝向表面层方向强烈地分凝。

理论计算发现，完全由 Ge 覆盖再构的 Si（001）表面上，其总能量比 Ge 原子保持理想的 1×1 结构的总能量大约低 0.5 eV/表面 Ge 原子。Si－Si 的 2×1 原子再构的键与 Ge－Ge 2×1 的原子再构的键之间的能量差也大约为 0.5 eV。如上所述，Ge 原子的表面能比较低，大约为 0.07 eV，由此可以计算出未饱和的悬挂 Si 键和未饱和的悬挂 Ge 键之间的能量差为(2×0.07+0.5)/2=0.32 eV。这些数据表明，在晶格常数 $a_{/\!/}=0.543$ nm 的 Si 衬底上外延生长 $Se_{1-x}Ge_x$ 合金层时悬挂键之间存在能量差。当合金的晶格常数等于自然晶格常数时，预计有着相似的值和趋势。值得注意的是，Si－Si、Ge－Ge 和 Si－Ge 2×1 原子再构的键所占的相对百分比依赖于合金中 Ge 的组分 x 值。Ge 的组分较低时，更倾向于由 Si－Ge 双原子分子键替代 Ge 二聚体键。这里，额外的键能 ΔV_{Si-Ge} 为：

$$\Delta V_{Si-Ge}=V_{Si-Ge}-[V_{Si-Si}+V_{Ge-Ge}]/2 \qquad (4.7\text{-}1)$$

ΔV_{Si-Ge} 大约等于 4.5 meV，与赝势计算结果相同，这一替代作用节省了大约 0.18 eV。

实验研究的结果为：当外延生长温度高达大约 600 K 时，化学计量比为 0.5:0.5 的 SiGe 合金的表面将几乎全部由 Ge 层覆盖。通过高分辨率的电子能量吸收谱对 $Si_{0.6}Ge_{0.4}$ 合金进行研究，发现经过 700 K 退火之后，$Si_{0.6}Ge_{0.4}$ 合金的表面几乎是一个纯 Ge 的表面；在组分为 $Si_{0.8}Ge_{0.2}$ 的合金中，虽然合金中的 Ge 含量只有 0.2，但测试分析得出表面的 Ge 含量约为 0.75。Ge 和 Si 的价键能量分别为约 −1.92 eV 和为约 −2.31 eV，显然 Ge 的价键能量比 Si 的价键能量更弱一些，因此 Ge 的表面能量就要低一些。既然 Ge 的表面能量比较低，因此外延生长时总是优先选择 Ge 来占据表面，这就说明了处于能量优选位置的是 Ge 的未饱和键，而不是 Si 的未饱和键。

在确定表面再构和表面局域组分分布的过程中，表面层和亚表面层中应力的大小和符号十分重要。表面应力张量的大小为：

$$\sigma_{ij}^{surf}=\frac{1}{A}\times\frac{dE_{surf}}{d\varepsilon_{ij}} \qquad (4.7\text{-}2)$$

式中 E_{surf} 为表面能，A 为表面面积，$\{\varepsilon_{ij}\}$ 是二维应变张量。张应力时对应的 $\{\varepsilon_{ij}\}$ 值为正，压应力时对应的 $\{\varepsilon_{ij}\}$ 值为负。

一些文献报道过理论计算出的理想情况下 Si（001）2×1 表面应力的大小。表 4.7-1 给出了由量子力学理论计算得出的 Si（001）面上 2×1 原子再构的表面张力 $\sigma_{/\!/}$ 和 $\sigma_{\perp}$ 值，

表 4.7-1 Si 100 面上 2×1 原子再构构成的表面张力

$\sigma_{/\!/}$	$\sigma_{\perp}$	$\sigma_{/\!/}+\sigma_{\perp}$	$\sigma_{/\!/}-\sigma_{\perp}$
0.7	−2.0	−1.3	2.7
1.6	−0.9	0.7	2.5

$\sigma_{/\!/}$和$\sigma_{\perp}$分别表示平行于和垂直于二聚体的表面的应力分量，单位为 eV。这些值，特别是其符号，对于 SiGe 合金（001）2×1 表面将不会有大的改变。在外延生长的表面上，平行于二聚体键合方向上受到张应力的作用，而垂直二聚体键合方向上受到压应力的作用。理论预计张力的各向异性$\sigma_{/\!/}-\sigma_{\perp}$为2.5 eV/$a^2$，而实验测试得出的各向异性为 1.0 eV/$a^2$。对于确定 Si（001）面上的台阶行为来说，这种各向异性性质非常重要。

为了估算由 2×1 原子再构所引起的亚表面张力，我们采用原子应力张量的概念，或者说原子应力的轨迹的概念，它确定局部压应力的大小。这样，我们可以将系统的整个能量分解成不同原子贡献的能量 E_i，i 为第 i 个原子的编号。考虑到系统均匀扩张或均匀压缩，通过宏观压力模拟，我们可以定义一个原子的压应力为：

$$C_i = -VdE_i/dV \qquad (4.7\text{-}3)$$

式中，E_i 是第 i 个原子的能量；V 是其体积。此压应力除以一个合适的原子体积，就可以将压应力以压力为单位来表征。分析（001）面上的 2×1 原子再构情况，得出的结果如下。

1）对表面二聚体体层来说，该压应力很弱，这与无应力约束的几何构形相一致。

2）第二层处于大的压应力之下，约 0.4 eV/原子，对应的压力大约为 3 000 MPa。

3）在第三层和第四层中，每个元胞中的两原子不是等价的。一个原子在二聚体的正下方，处于压应力约 0.3 eV 之下。另一个在二聚体的中间，受到相似大小的张应力。

在平衡条件下，SiGe（001）2×1 原子再构表面是富 Ge 的。显然，表面能的降低和与此相联的悬挂键决定了表面组分的大小，而不是由原子压应力决定，原子压应力是很弱的。相反，紧挨表面的层中的组分则强烈依赖于上述亚表面的原子张力。

图 4.7-1 示出 300 K 下最表面四层原子的平衡结构。图中最上面的表面为 Ge 的二聚体键。大的实心圆环为压应力下的 Si 格点。大的空心圆为张应力下的 Ge 格点。小的圆为与材料组分相同的格点位置。图 4.7-1 是 SiGe（001）2×1 表面的平衡结构的形象表示，是研究生长机理的基础，它可以解释在 $Si_{1-x}Ge_x$ 体合金中长程有序的观测结果。

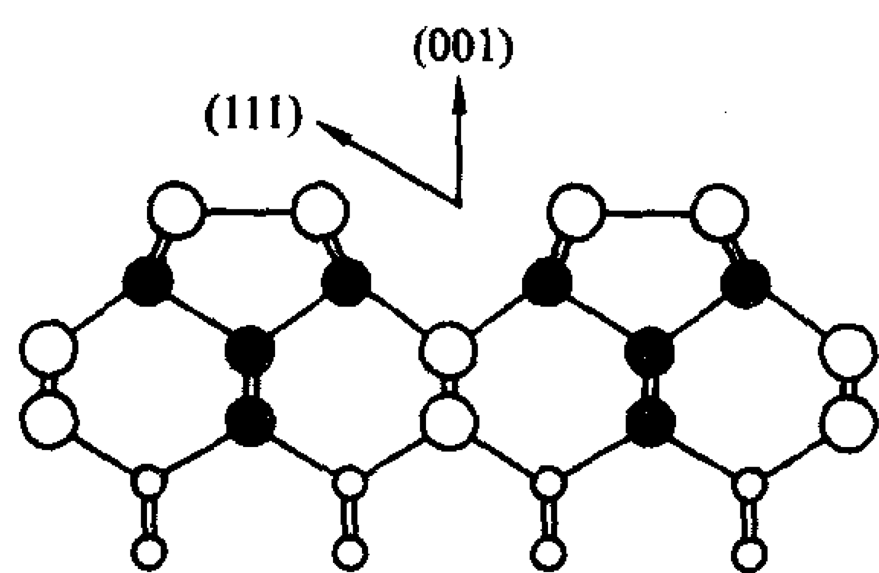


图 4.7-1 外延生长的表面层中原子的排列图

由于 Ge 原子比 Si 原子大，替代一个 Ge 原子将引起该格点的能量发生变化，因此在压应力下格点的能量将增加，而在张应力下格点的能量则将减小。第二层处于压应力下，由 Si 替代 Ge 引起的能量损耗等于 $\Delta E = C_i\Delta\ln V = 0.4\times0.12$ 约 50 meV/原子［参见式（4.7-2）］。因此第二层中 Ge 的浓度急剧下降。在第三层和第四层中，压应力下格点倾向于由 Si 占据，在此格点替代 Ge 所花的能量损耗约为 30 meV/原子。而在张应力下，格点倾向于由 Ge 占据。在表面处，直到高温（约 1 200 K）时浓度的分布依然表现出振荡的特性，在实验上很容易实现表面平衡态。

2 Si 和 Ge（001）面上的原子台阶

在如上一节所述，在（001）面上外延时，是通过 2×1 原子再构的形式生长的。在生长过程中，生长面并不是一个完全绝对的平面，要想制造出完全平坦的表面几乎是不可能的，或者确切地说，在生长过程中会出现许多台阶，形成台阶是无法避免的。事实上，半导体表面的台阶行为非常重要。从应用观点来看，生长化合物半导体覆盖层和在制作低维器件的过程中，控制台阶的密度和走向有着重要的实际意义。

图 4.7-2 示意地表示出 Si（001）面或 Ge（001）面上的台阶结构。在 Si（001）面和 Ge（001）面上进行原子再构时，外延片的表面会形成一排排的二聚体。由于 Si 和 Ge 都是金刚石晶格，具有非常好的对称性。依据这种对称性，就会发现被奇数个单原子台阶所分隔的台面上的二聚体的排与排之间是相互垂直的。随着生长温度等生长条件和热退火处理方法或者其他因素的不同，在 Si 和 Ge（001）表面上出现两种台阶：单层台阶和双层台阶，分别用（S）和（D）标出。单层台阶常常出现在没有倾斜角度的“标准”（001）表面，而双层台阶更常见于有倾斜角度的倾斜表面上。

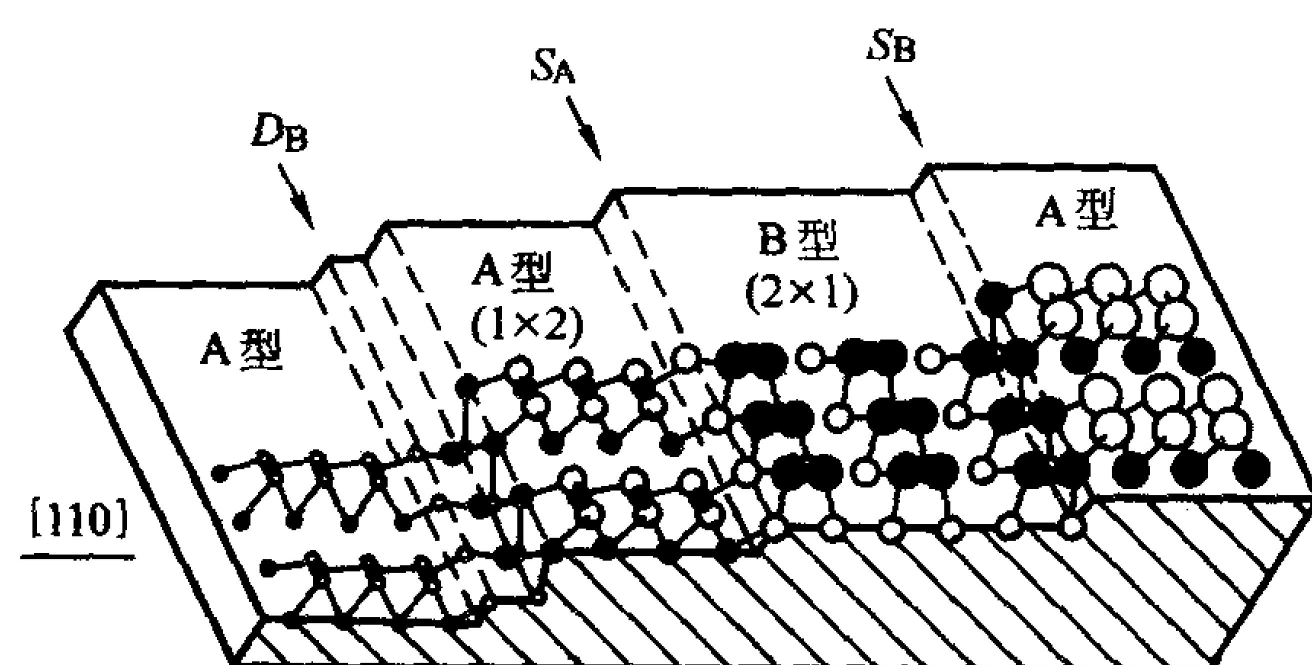


图 4.7-2 Si（001）面或 Ge（001）面上的台阶结构示意图

上述每一种台阶类型都可以分成另外两类，分别以 S_A、S_B 和 D_A、D_B 标识。脚标 A 和 B 指的是上面的台阶边处二聚体的键合方向，A 表示垂直于台阶边缘，B 表示平行于台阶边缘。台面也划分为 A 类和 B 类。A 类为二聚体的键合方向沿台阶边缘，而 B 类则垂直于台阶边缘。图 4.7-2 示出 A 类和 B 类台面及 S_A、S_B 和 D_B 台阶的结构，S_A 和 S_B 是单层台阶，D_B 是双层台阶。形成单台阶时，两种类型台面均出现，且相邻台面上二聚体的排与排之间相互垂直（双畴表面）。正如图 4.7-2 标出的［110］方向所示意的情况，在实验中已经已观察到“平”的表面上的台阶和朝［110］轴倾斜的表面上的台阶。

在完全驰豫了的 Si（001）表面上，可以有 S_A、S_B、D_A 和 D_B 四种类型的台阶。在单位长度上形成这四种类型所需的能量分别为：λ（S_A）约为（0.01±0.01 eV）/a，λ（S_B）约为（0.15±0.03 eV）/a，λ（D_A）约为（0.54±0.10 eV）/a 和 λ（D_B）约为（0.05±0.02 eV）/a。这里的 a 为晶格常数。

这四种台阶中，S_A 是唯一不引起大应变或多余的悬挂键的台阶，它最可能出现在（001）面上，因而生成单层台阶 S_A 所需要的能量最低。由于每个 S_A 台阶交替地使台面升高或降低，其大小为一个晶面间距，所以平均而言，表面依然未倾斜。外延生长时 S_A 台阶是优选的台阶，它们在平行于双原子分子的方向上引起的台面的平均宽度较小，而在垂直方向上引起的台面的平均宽度较大。如果生长的表面有倾斜角度时，不可能只有 S_A 台阶，还会有别的台阶。在 S_A 台阶之间不可避免地产生跨边界的 S_B 台阶。依照上面给出

的数据，可以计算得出台阶的能量为 $\lambda(S_A)+\lambda(S_B)$ 和 $\lambda(D_B)$，约为0.1 eV/a，因此 双层台阶 D_B 比单台阶组合（S_A+S_B）更为合适。

在实验上已经采用扫描隧道显微镜（STM）研究了 Si（001）和 Ge（001）表面。结果表明：同时有 S_A 和 S_B 的单原子台阶。最近的计算指出，对于衬底样品的切割角度为 θ 的倾斜表面来说，当 θ 小于临界角 θ_C 时，台阶间的弹性相互作用使得单台阶组合（S_A+S_B）的能量比双台阶 D_B 的能量低；而 $\theta>\theta_C$ 时则比双台阶 D_B 的能量高。这里所说的临界角 θ_C 的含义为：当我们表征台阶的能量时，如果单台阶组合（S_A+S_B）的能量正好等于双台阶 D_B 的能量，此时生长台阶会发生单台阶组合（S_A+S_B）同双台阶 D_B 之间的转变，我们定义发生转变时衬底样品的倾斜角度为临界角 θ_C。实验测量结果指出，临界角 θ_C 的值约为2°。当衬底的倾斜角度大于临界角 θ_C 时，D_A 台阶的生成能高于 D_B 的生成能，使得在退火表面上出现的双台阶总是 D_B 型，其表面二聚体的轴平行于台阶边缘。

2.1 准确定向的 Si（001）表面的台阶

业已证实，在单畴表面上生长的过程中，生长表面上会发生 2×1 原子再构和 1×2 原子再构之间的转变。如果衬底的定向相当准确，由于大尺寸台面上台阶对表面再构的影响较弱，因而在较低的生长温度范围（400～500℃）内两种表面原子再构（2×1 原子再构和 1×2 原子再构）都能稳定地存在。实验表明：如果在高温下进行退火之后再在衬底上生长一个缓冲层，就很容易获得原子级光滑的生长平面，这一工艺过程对于获得平滑生长表面是非常有效的。在退火过程中，外延片的表面上的原子再构发生改变，最初的双畴结构（2×1+1×2）变为（2×1）单畴结构。退火后的表面由一些大台面和环绕它的台阶带组成，后者包含有偶数个单原子层台阶。可以认为，如果外延衬底的定向是准确的，就很容易获得原子级光滑的生长平面。这一分析为我们确定生长工艺提供了重要的依据。

2.2 倾斜角度大的（4°）Si（001）表面上的台阶

前面我们讨论过：存在有一个临界角 θ_C（约2°），如果晶面的倾角大于 θ_C，生长面稳定的台阶为双台阶 D_B。如果截面朝［110］方向倾斜几度，Si（001）和 Ge（001）表面可以通过形成双台阶来降低能量。因此，如果要消除单台阶，就常常采用朝［110］方向倾斜的的方法来外延生长，结果是（110）平面倾斜的邻晶面是双台阶的。

RHEED（反射高能电子衍射）图样表明，朝［110］方向倾斜4°的 Si（001）衬底上生长的外延层的邻近晶面是（1×2）单畴结构，它们具有有序的双层 D_B 台阶，并且将 A 类台阶分隔开来。RHEED 图形和 STM 图像进一步表明：如果衬底的生长温度为在580℃以上，则在生长的最初阶段就有双层台阶产生；而温度低于450℃时，最初阶段 RHEED 的强度振荡快速消失，且图形变为条状，这是双台阶的特点。如果先在 1 000～1 200℃ 下快速加热、随后再在 950℃下退火 15 min，进行这样的热处理之后，倾斜角度较大（3.5°～7°）的衬底表面上的外延层的表面台阶变得更陡峭。对倾斜角度为2.5°的表面进行类似的热处理，则在生长面上通常形成双台阶结构。

2.3 小角（0.3°～1°）倾斜 Si（001）表面上的台阶

实验研究已经证实：外延生长表面的台阶结构非常依赖于衬底的定向情况，如果衬底的定向是准确的，则生长面很平坦，而衬底的定向偏离（001）面，偏离角度小于0.3°～1°时，外延片的表面同衬底的定向准确的外延片相同。倾斜角度大的（4°）外延样品的表面台阶结构会有很大的差别。在0.3°～4°范围内，STM 图像表明台阶的边缘既有直的，也有弯的。直的台阶边对应 S_A 型台阶，而弯曲的台阶边对应 S_B 台阶。由于 S_A 台阶的能量较低，它们在热平衡条件下发生扭曲，同时很活跃。业已发现，为了获得有着规则台阶分布的清洁表面，在约为 1 200℃高温下进行退火是必要的。

通过以上分析可以看出，在（001）面上外延生长 SiGe 时，无论衬底是 Si 还是 Ge，在外延生长面上生成 S_A 台阶的能量是最低的，其次是 D_B 和 S_B。在实际生长的样品中，从未出现过 D_A 型台阶。此外，如果（001）衬底朝［110］方向倾斜4°，则外延生长的外延片上的邻近晶面之间都是双层台阶，可以消除单台阶。

3 SiGe 层生长过程中 Ge 和掺杂原子的分凝

在各种外延生长中，分子束外延（MBE）生长是一种非常有特点的生长方法，它是在超高真空的条件下采用不同的原子、分子、离子束进行生长，生长条件严格可控，同时可以安装诸如 RHEED（反射高能电子衍射谱仪器）、Auger 电子谱仪、四极质谱仪等真空电子测试设备，因而能够进行实时监测。这就为我们研究生长过程中杂质的分凝提供了很方便的工具，可以研究外延过程中掺杂剂的并入情况。事实上，人们已经对元素半导体 Si 的外延过程中的分凝情况研究得非常透彻。然而对于 Si 上外延生长 SiGe 来说，对 Ge 在 Si 上的分凝情况的研究还不够很深入。

在早期研究 Si/Ge 异质结和 $Si/Si_{1-x}Ge_x$ 异质结的界面组分分布的过程中，人们发现 Ge 的表面分凝效应，它对组分的陡峭程度产生很大的影响，出现非对称混合现象。

图 4.7-3 所示的夹层结构是专门为了研究外延生长过程中表面分凝效应而设计的。在 Si 衬底上先生长上一层 Si 缓冲层，它通常具有完好的表面，缺陷少，为后续提供一个新鲜的、容易生长的表面，以便此后生长的异质结结构具有很好的晶体特性。在 Si 缓冲层上再淀积一个原子层大小的杂质原子层，例如 Ge 或掺杂原子的原子层。然后再生长一层覆盖的 Si 层。在这样的生长程序中，表面分凝变得非常明显，其杂质（Ge 或其他杂质）只朝上面的 Si 覆盖层方向重新分布。相对而言，固态扩散将会引起杂质向上下两个方向扩散，既朝向覆盖层方向也朝向缓冲层方向扩散。但是图 4.7-3 所示的夹层结构中只观测到朝上面的 Si 覆盖层方向出现组分的重新分布，这就是分凝和扩散的不同之处。我们再进一步研究这一分凝过程。

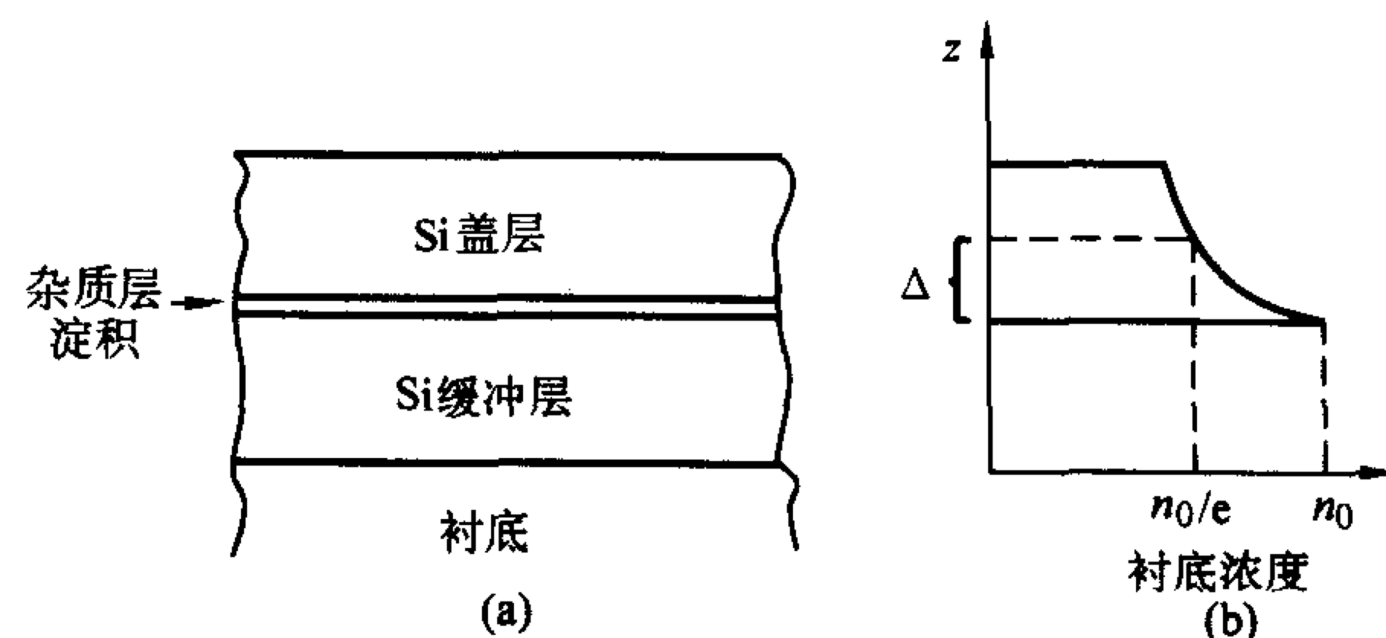


图 4.7-3 研究表面分凝造成的杂质再分布的夹层结构（a）再分布 1/e 衰减长度（b）

在外延片中，我们定义表面分凝过程的分凝系数 r_s 为表面杂质浓度 n_s 同体杂质浓度 n 的比：

$$r_s=\frac{n_s}{n} \tag{4.7-4}$$

假定：①固态扩散被抑制；②生长面上杂质原子的解吸可以忽略不计，表面杂质浓度 n_s 同体杂质浓度 n 之间的关系可以进一步表达为：

$$n_s = n_{s,0} - \int_0^z n(Z')\mathrm{d}Z' \qquad (4.7\text{-}5)$$

式中，$n_{s,0}$是（缓冲层上）初始的杂质覆盖度。对方程（4.7-4）和方程（4.7-5）进行积分可得：

$$r_s n(Z) = n_{s,0} - \int_0^z n(Z')\mathrm{d}Z' \qquad (4.7\text{-}6)$$

从该式可以看出，r_s不但依赖于生长温度T及覆盖层的生长速率R等生长参数，还依赖于表面杂质浓度n_s，表面杂质浓度对表面分凝效应有一种自约束的作用。此外，r_s还可能依赖于外延生长的时间间隔，因此分凝系数r_s可以表达为这几种常数的函数：

$$r_s = f\ (T,\ R,\ n_s,\ t) \qquad (4.7\text{-}7)$$

在大多数情况下，方程（4.7-6）是$n(Z)$的多元积分方程。如果假定杂质覆盖度足够低，对n_s和t的依赖可以忽略不计，即r_s只是温度T和覆盖层的生长速率R的函数：

$$r_s = f\ (T,\ R) \qquad (4.7\text{-}8)$$

则方程（7-8）可以容易地积分为：

$$n(Z) = \frac{n_{s,0}}{r_s}\exp(-\frac{Z}{r_s}) \qquad (4.7\text{-}9)$$

因此，如果杂质覆盖程度很低，那么杂质原子之间就没有任何相互作用，此时的杂质浓度的衰变呈指数关系。我们可以引进一个参数：衰减长度Δ。在界面上面的Δ处（参见图4.7-3b），杂质浓度为界面处浓度的$1/e$，即：

$$\frac{n\ (\Delta)}{n\ (0)} = 0.368 \qquad (4.7\text{-}10)$$

相反地，如果杂质分布偏离简单的指数衰减关系，就表明杂质之间存在有相互作用。例如，如果在Si衬底上同时淀积Ge和其他强分凝的杂质，结果这些共同淀积的杂质抑制了Ge的分凝，Ge的分布就不再是简单的指数衰减关系。这些结果表明：具有不同特性的杂质同时淀积时，这些杂质之间会有相互作用，在有表面抑制剂的场合进行外延生长时，在生长结构的表面上，共同淀积的杂质抑制了Ge的分凝。下面专门有一小节进一步分析说明杂质锑对锗的抑制作用。

3.1　Si上Ge的表面分凝

采用二次离子质谱（SIMS）可以研究Ge在Si覆盖层中的分布，采用X射线光荧光谱（XPS）可以确定Si覆盖层生长中Ge的表面浓度的变化，这些研究可以定量地分析出Ge在Si上的表面分凝情况。当最初Ge的覆盖为几个单原子层时，在生长方向上Ge信号（SIMS和XPS）呈指数衰减（图4.7-4）。在经历了最初的陡峭衰减(Δ_1)后，衰减变缓，然后变

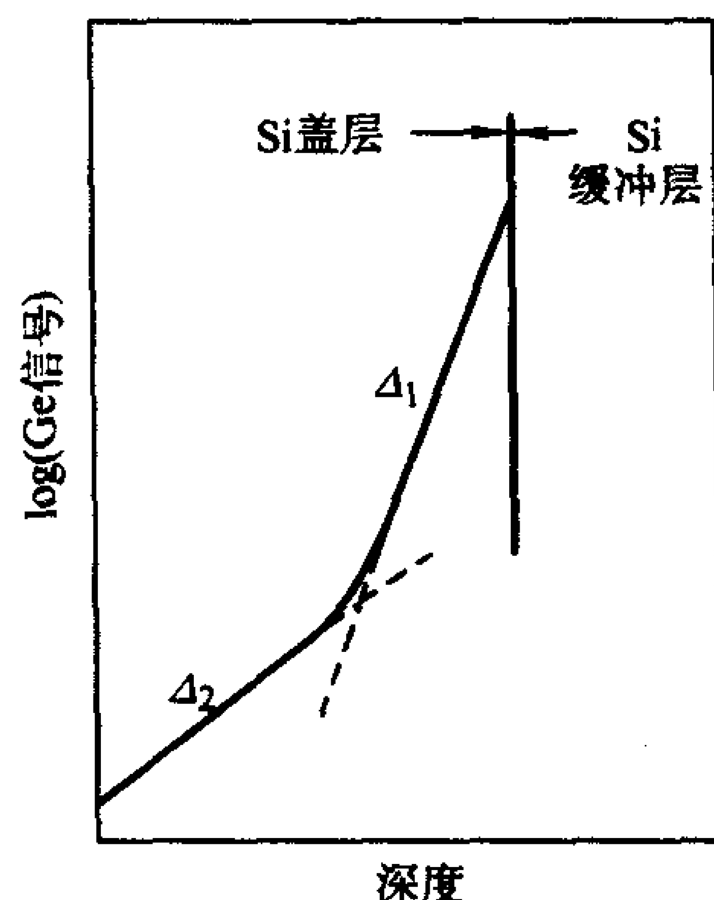


图4.7-4　Si覆盖层上由于表面分凝引起Ge的重新分布
最初的衰减陡峭（Δ_1），之后衰减变缓，
然后变为（较缓的）斜率为Δ_2的指数衰减

至具有斜率为Δ_2的、较缓慢的指数衰减。这种斜率的变化是自限制机制在高Ge覆盖时起了作用。事实上，高陡度的部分在Ge覆盖度小于0.01个单原子层时就消失了。表4.7-2根据各国科学工作者报道的数据总结出了Ge在Si（001）和Si（111）上的浓度变化情况，并且根据浓度同厚度的关系得出了$1/e$衰减长度。

表4.7-2　不同生长条件（T_g为生长温度，R为覆盖层生长速度）和不同的衬底定向下，Ge在Si衬底上上的$1/e$衰减长度Δ_1、Δ_2（其定义参见图4.7-4）

T_g/℃	R/nm·s^{-1}	定向	Δ_1	Δ_2	测量方法
560	0.1	(001)	—	7.4	SIMS
470	0.1	(001)	—	7.4	SIMS
380	0.1	(001)	1.1	6.1	SIMS
450	0.1	(001)	5.1	11	SIM
500	0.055～0.2	(001)	1.9	—	SIMS
500	0.055～0.2	—	—	4.4	XPS
300	—	(001)	0.9	—	SIMS
350	—	(001)	1.5	—	SIMS
400	—	(001)	1.9	—	SIMS
450	—	(001)	3.3	—	SIMS
500	—	(001)	2.6	—	SIMS
550	—	(001)	2.8	—	SIMS
600	—	(001)	2.3	—	SIMS
400	—	(111)	1.4	—	SIMS
500	—	(111)	2.1	—	SIMS
600	—	(111)	1.8	—	SIMS
150	0.1	(001)	—	1.6	XPS
250	0.1	(001)	—	5.0	XPS
350	0.1	(001)	—	7.0	XPS
450	0.1	(001)	—	10.5	XPS
550	0.1	(001)	—	9.0	XPS
650	0.1	(001)	—	7.5	XPS
750	0.1	(001)	—	5.0	XPS
350	0.1	(111)	—	3.0	XPS
450	0.1	(111)	—	4.0	XPS
550	0.1	(111)	—	4.5	XPS
650	0.1	(111)	—	4.8	XPS
750	0.1	(111)	—	4.3	XPS

理论上，采用双态交换模型已经计算出覆盖率下限（Δ_2）时衰减长度的大小。图4.7-5示出了Ge在Si（001）上的表面分凝模拟计算结果（实线）和实验值（表4.7-2）。高温下平衡范围内的数据区别不大，而在低温下动力学极限范围内，由于模拟值对表面分凝的估算还很不够，就出现了理论同实验的一些偏离。

从图和表中的曲线可以看出，在不同的SIMS数据和不同的SIMS与XPS数据之间，（Δ_2）的斜率具有相当好的一致性。但对于最初衰减时的斜率而言，SIMS的数据有一些分散。这是由于在SIMS测试过程中，Δ_1的值比Δ_2的值对

测试参数更为敏感，依赖于初始的离子能量，扭折过程会使原始分布变得模糊不清。因此，为了精确地比较 Δ_1 值，要求所用 SIMS 测试过程的参数是一致的。

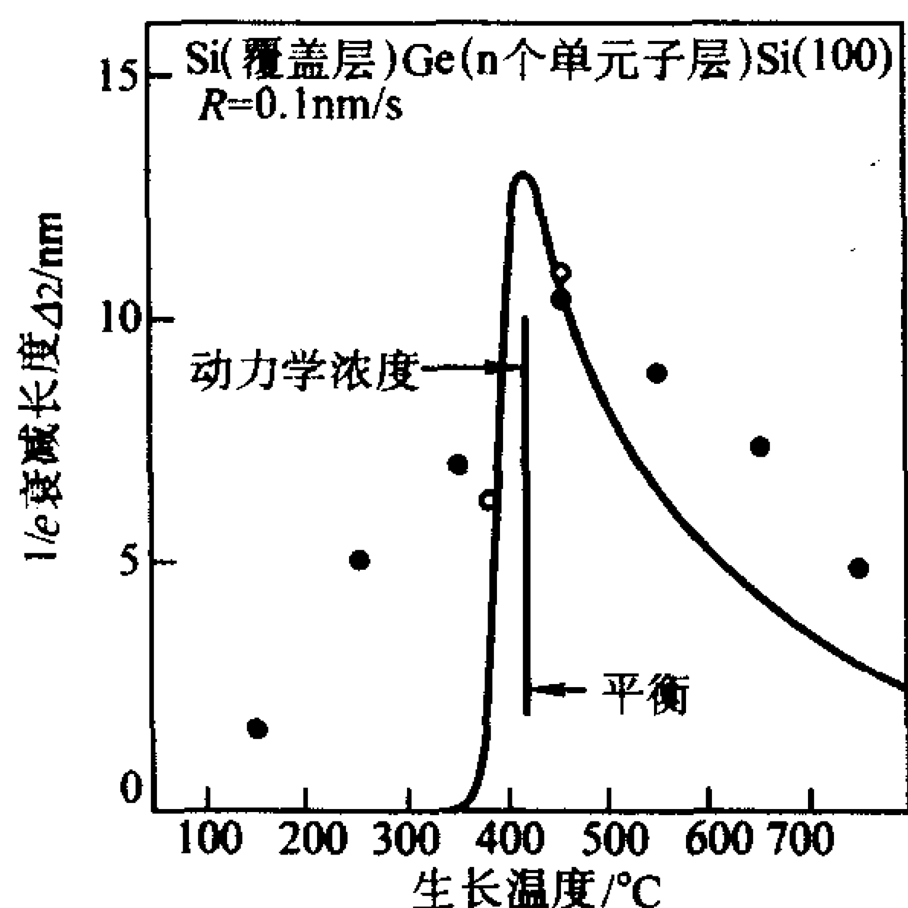


图 4.7-5 Si (100) 面上 1/e 衰减长度同温度的关系

● XPS 测量结果；○SIMS 数据

3.2 掺杂剂在 $Si_{1-x}Ge_x$ 外延层中的分凝

在 Si 衬底上外延生长异质结构时，不同的杂质的表面分凝情况是不同的。同 Ge 在 Si 上的表面分凝相比，在一定的生长条件下，Sb 和 Ga 等掺杂剂具有更强烈的表面分凝倾向。

利用外延生长出的图 4.7-3 所示的夹层结构样品，测试其 SIMS 与 XPS。如果能够满足衰减长度 Δ 小于或等于覆盖层厚度 d 的条件，即：

$$\Delta \leqslant \text{覆盖层厚度 } d \tag{4.7-11}$$

就能够能准确地确定 $1/e$ 衰减长度 Δ。因此可以认为，采用灵敏的 SIMS（二次离子质量谱仪）、XPS（x 射线光谱仪）和 AES（俄歇电子能谱仪）等测量手段，可以测试分析衰减特性和衰减长度 Δ，从而分析出杂质在生长表面上的分凝过程和程度。

如果衰减长度 Δ 超过覆盖层厚度 d，不能够满足式 (4.7-11) 的条件，就不容易准确地测定出杂质的分凝过程和程度。这种情况下，覆盖层内的掺杂浓度基本上相同，可以认为是常数，所以，我们可以直接用分凝系数表征表面分凝，

$$r_s = \frac{n}{n_{s,0}} \tag{4.7-12}$$

式中，$n_{s,0}$是预淀积的掺杂剂面浓度；n 值由 SIMS 和 Hall 测量确定。如果衰减长度 Δ 与覆盖层厚度 d 差不多大小，即 Δ 约为覆盖层厚度时，可以同时使用上面两种分析技术，并且能够得到几乎相同的结果。实验研究表明：在 Si (001) 衬底上淀积杂质 Sb 和 B 时，不同方法测试分析得出的结果几乎完全相同，这就说明在覆盖层生长过程中，掺杂剂没有发生解析和固态扩散。

3.3 Sb 在 $Si_{1-x}Ge_x$ 上的分凝

外延生长 $Si_{1-x}Ge_x$ 时，Sb 是一种常用的掺杂剂。实验上已经对 Si (001) 和 Si (111) 衬底上上的 Sb 的掺杂和分凝特性进行了广泛的研究。图 4.7-6 示出 (001) 取向 Si 在 $Si_{0.6}Ge_{0.4}$和 Ge 上 Sb 的衰减长度（分凝系数）相对温度的变化曲线。低温下（$T<550$℃），由 SIMS 和 XPS 两种方法确定的 Sb 在 Si 上的 $1/e$ 衰减长度吻合得相当好。在这一温度范围内 Sb 在 Ge (001) 的数据也是一样的。然而，Sb 在 $Si_{0.6}Ge_{0.4}$ 上的分凝则强烈得多。分析其原因可以部分地归因于实验中所用的 Sb 覆盖度较低。同样，如果 Si 上使用的 Sb 覆盖度较低（以 0.1 个单原子层替代 1 个单原子层），结果导致衰减长度 Δ 增加约一个数量级。这种行为同 Si (001) 上 Ge 淀积的行为非常相似。因此，它也可能是由于自限制的机理造成的。Sb 的 SIMS 曲线具有双斜率衰减，进一步证实了上述的自限制机理。如果 Sb 的初始覆盖度很小，初始陡峭的衰减就愈不明显。然而，如果考虑到分凝系数同覆盖度相关，那么 $Si_{0.6}Ge_{0.4}$上 Sb 的表面分凝似乎比在 Si 和 Ge 上 Sb 的表面分凝更加显著。

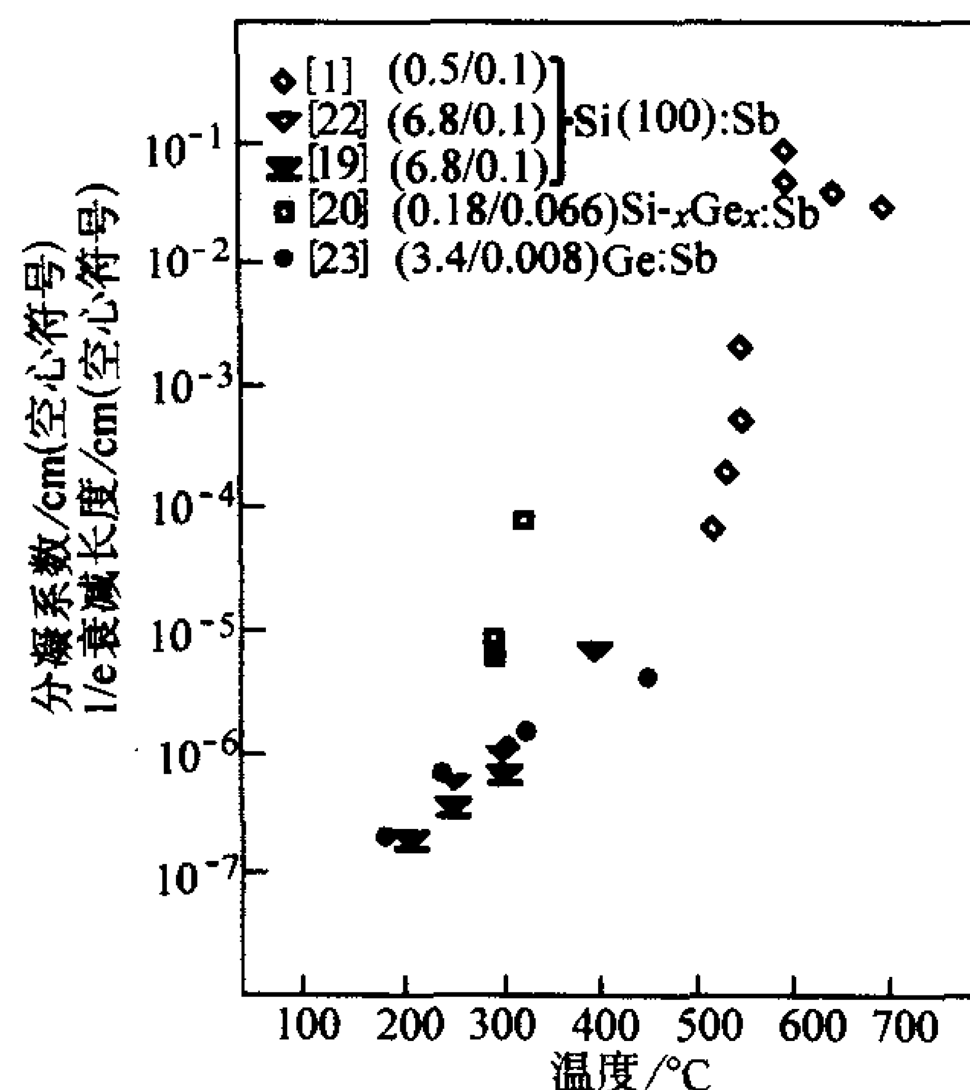


图 4.7-6 Sb 在 Si、$Si_{1-x}Ge_x$ 和纯 Ge 上 1/e 衰减长度（实心点）和分凝系数（空心点）同生长温度的关系

样品的结构为：覆盖层/Sb/缓冲层（见图 4.7-3）。括号内的第一个数值为初始 Sb 的表面覆盖度（单位为 10^{14}原子/cm^2），第二个数值为覆盖层的生长速率（单位为 nm/s）

3.4 B 在 $Si_{1-x}Ge_x$ 上的分凝

在 Si 基异质结构的 MBE 生长中，B 是应用得最多的 p 型掺杂剂，它容易并入，非常适合于进行 p 型掺杂。然而，B 在生长过程中也有表面分凝现象。图 4.7-7 示出采用图 4.7-3 所示的夹层结构研究 (001) 面上 B 的表面分凝的结果。从图中可以看出，由于生长工艺的不同，使得数据十分分散，生长温度和生长速率的不同都会造成覆盖度和表面分凝的不同。然而，对于 Si 上生长 Ge 和 Sb 来说，在 600℃附近有一个突变，它将曲线分为高温区域和低温区域，其中高温区域衰减长度为几十个纳米，而低温区域，衰减长度明显下降。

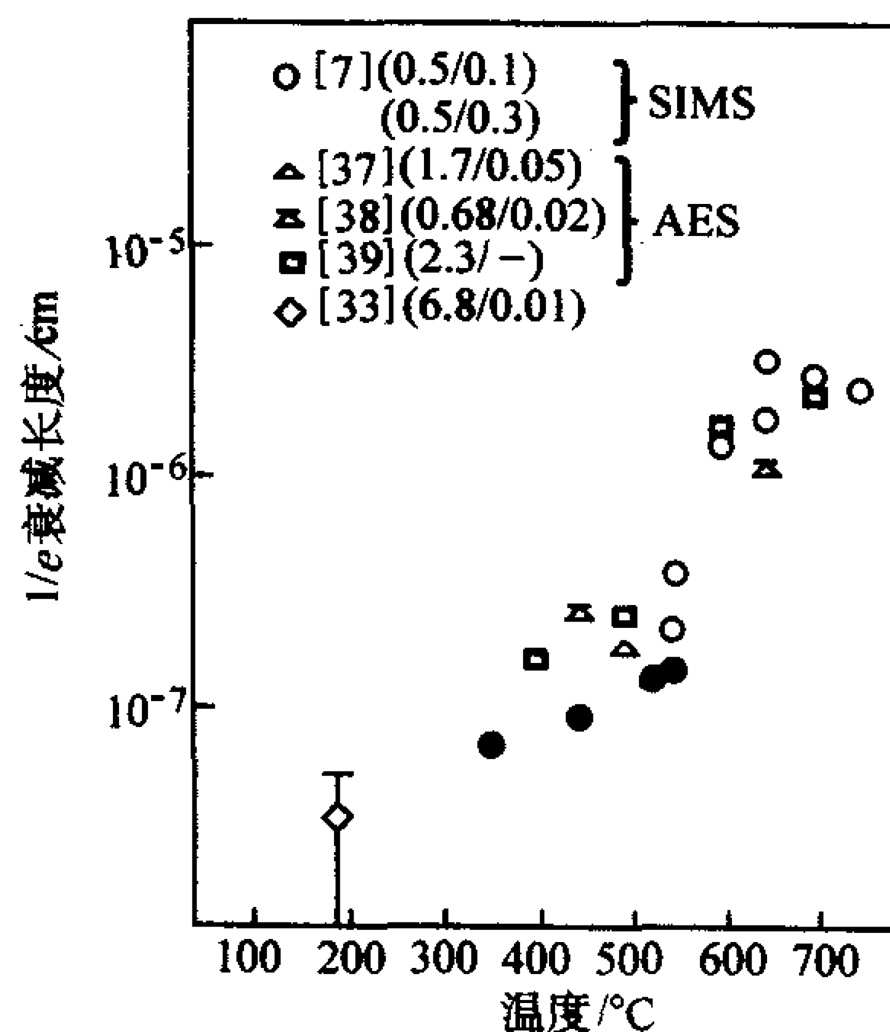


图 4.7-7 B 在 Si (001) 上（空心符号）和 $Si_{0.8}Ge_{0.2}$（实心符号）上的 1/e 衰减长度

括号内第一个数值为初始表面上 B 的覆盖度，单位为 10^{14} 原子/cm^2，第二个数值为覆盖层生长速率，单位为 nm/s

同在纯 Si 中的掺杂相比，Ge 的分凝减小了 B 的分凝。通过研究在 $Si_{1-x}Ge_x$ 层内部 B 的分凝情况，发现 $x=0.2$ 时衰减长度 Δ 比纯 Si 中的衰减长度 Δ 小，而 $x=0.1$ 时的数据有些矛盾。然而业已发现：在 $Si_{0.9}Ge_{0.1}$ 层中，高温区内（$T>600$℃）衰减长度下降，而 $T<600$℃时这种情形就不明显了。这说明分凝情况依赖于生长温度。B 和 Ge 的 AES 数据指出，两者的低分凝效应是相关的。

4　SiGe 外延生长的表面抑制剂

外延生长工艺中，除了掺杂剂外，还有抑制剂，它们在生长过程中会抑制生长速率和杂质的分凝，从而影响杂质浓度的高低和分布。表面抑制剂具有表面性质活泼的特点，可以抑制岛的形成。若无表面抑制剂，Si 上生长 Ge 是按 Stransky－Krastanov模式：即几个单原子层的层状生长后，接着是岛状生长。掺杂剂有两种机理能够抑制外延层的生长特性：一种是在生长表面上，抑制剂具有很强的分凝原子团，它们抑制了别的材料的生长，在生长 Ge/Si 异质结的过程中，用 As 作表面抑制剂时就观察到了这种现象。另一种机理是表面抑制剂辅助生长可以有效地抑制由表面分凝引起的互混合现象。如 Sb、Bi、Sn、Te 和 H 等就是如此。下面将进一步讨论 Si/Ge 异质结构生长过程中不同原子在表面抑制剂辅助下对 Ge 表面分凝的影响。

4.1　氢

很多外延生长（MBE、UHV/CVD 等）中都要涉及到氢原子，特别是采用 CVD 方法外延生长 SiGe 时，它们的源气体（烷类气体）都含有氢，掺杂物质也常常采用氢气携带，系统净化过程中也常常采用氢气清洗。所以氢对于生长和表面分凝都会有重要的影响。通过研究气态源 MBE 生长中 Ge 的表面分凝情况发现：在 600℃以下外延生长时，由于有氢原子的存在，Ge 的表面分凝可降至最小，比固态源生长 Ge 的表面分凝小很多，这就说明氢的存在有效地抑制了 Ge 的分凝。

4.2　锑

锑也是一种抑制剂，它能够帮助我们获得很好的异质结构的界面。用高分辨率光发射方法进行微观研究，结果发现：在 Si（001）和 Ge（001）上的 Sb 原子使表面悬挂键完全饱和了。生长过程中，Sb 原子形成一个新的有序层，其后是均匀的外延 Si/Ge 层。实验证实，在外延生长 Ge 或 SiGe 之前，如何在外延片上淀积 Sb 原子，可以抑制 Ge 的表面分凝，使 Ge 层限制在 0.8 nm 之内。只要在 Si 外延 0.75 个 Sb 单原子层，就能够确保获得清晰的 Si/Ge 界面。在另一类似的研究中证实，采用 Sb 作为抑制剂可以减少衰减长度。生长温度 T_g 为 400℃时，如果没有采用 Sb 作为抑制剂，则外延生长的 Ge 的 $1/e$ 衰减长度为 5.6 个单原子层，为 7.6 nm。如果采用 Sb 作为抑制剂，衰减长度就减少为 3.8 个单原子层，为 0.52 nm。

4.3　铋

同锑一样，铋也是一种抑制剂。采用 Sb 和 Bi 进行了类似的研究，结果表明两种原子均可产生陡峭的 Si/Ge/Si（001）界面。生长温度 $T_g=400$℃时，并入了大量 Sb 原子，这些原子使得表面悬挂键完全饱和。另一方面，发现被结合的 Bi 的数量比 SIMS 的探测极限（$<5\times10^{16}\ cm^{-3}$）还要小。

4.4　镓

实验发现，当生长温度 $T_g=560$℃时，如果在表面上有大约一个单原子层的 Ga，此时对应的掺杂水平约为 $10^{18}\ cm^{-3}$，就将抑制 $Si/Si_{1-x}Ge_x/Si$ 异质结构中 Ge 的分凝。对 Sb 和 Ge 进一步研究证实：表面抑制剂辅助生长将使 Si/Ge 界面衰减长度降至 0.6 nm。研究结果还表明：在生长温度分别为 500℃和 400℃时，采用 Sb 和 Ge 作为表面抑制剂辅助生长最为有效。

4.5　锡

同锑相比，Sn 比 Sb 的分凝行为更强，这一特性使得生长过程中更容易并入 Sn，它应该具有很强的抑制作用。然而，锡的并入会形成许多小岛，这些小岛会严重影响此后的外延生长，结果使得生长表面不平坦，因此无法使用 Sn 来作为表面抑制剂。

5　结论

我们讨论了 SiGe（001）表面的 2×1 原子再构、能量特征、与再构相关的应力及平衡态组分分布。在 Si（001）面上初始的再构是 2×1 原子再构。每个表面原子的再构能量为约 1.0 eV，键长为 0.223 nm。在（001）面上 Ge 的表面能量比较低，而 Si 的表面能量相对高一些，外延生长的表面上常常出现的是 Ge 层。全由 Ge 覆盖再构的 Si（001）表面的总能量比 Ge 原子保持理想的 1×1 结构的总能量低约0.5 eV/表面 Ge 原子。在外延生长的表面的原子重构过程中，有两个因素起着关键的作用，决定了原子团的分布和价键的构形：一个是 Ge 的表面能较低，它使得表面倾向于富 Ge；另一个是次表面层的原子应力，它使得浓度分布不是单一的。实验表明，外延的表层的确是富 Ge 的。

在 Si 和 Ge（001）表面上出现两种台阶：单层台阶和双层台阶。当 θ 小于临界角 θ_C 时，台阶间的弹性相互作用使得单台阶组合（S_A+S_B）的能量比双台阶 D_B 的能量低；而当 $\theta>\theta_C$ 时，则比双台阶 D_B 的能量高。如果外延衬底的定向是准确的，就容易获得原子级光滑的生长平面。在（001）面上外延生长 SiGe 时，无论衬底是 Si 还是 Ge，在外延生长面上 S_A 台阶的生成能量是最低的，其次是 D_B 和 S_B，而在实际中从未出现过 D_A 型台阶。此外，在朝向（001）面倾斜 4°的邻晶面上生长可消除单台阶。

掺杂剂有两种能够抑制生长特性的机理：一种是在生长表面上，抑制剂具有很强的分凝原子团，它们抑制了别的材料的生长，；另一种机理是表面抑制剂辅助生长可以有效地抑制由表面分凝引起的互混合现象。不同杂质的表面分凝情况是不同的，在一定的生长条件下，Sb 和 Ga 等掺杂剂具有更强烈的表面分凝倾向。同在纯 Si 中的掺杂相比，Ge 的分凝减小了 B 的分凝。有氢原子的存在时，Ge 的表面分凝可降至最小，比固态源生长 Ge 的表面分凝小很多，氢有效地抑制了 Ge 的分凝。锑有助于获得很好的异质结构的界面，在 Si（001）和 Ge（001）上的 Sb 原子使表面悬挂键完全饱和了。Sn 比 Sb 的分凝行为更强，然而锡的并入会形成许多小岛，无法使用 Sn 来作为表面抑制剂。

编写：余金中（中国科学院半导体研究所）

第 8 章　SiGeC/Si 异质结

近年来，硅基Ⅳ－Ⅳ两相合金的研究受到人们的广泛关注。由于 Si 和 Ge 完全互溶，可以连续地调节带隙，同时 SiGe 合金具有高的载流子迁移率，并可研制异质量子阱结构。因而 SiGe 合金成为研究的热点，在微电子和光电子器件中得到了广泛应用。但是，Ge 的晶格常数比 Si 大 4.2%，大的晶格失配易在 SiGe 合金中产生应变，这就要求生长出的 SiGe 层厚度不能超过相应的临界厚度，否则，就可能产生失配位错，影响材料的稳定性和器件的结构设计。

人们经研究发现，在 SiGe 合金中掺入 C 形成 $Si_{1-x-y}Ge_xC_y$ 三元合金后，C 的应变补偿效应可以克服临界厚度太小的缺点。C 原子半径比 Si 和 Ge 的都小，SiGeC 中处于替代位的 C 原子周围呈现出拉伸应变，使局部晶格常数减小，从而补偿 Ge 原子周围的压缩应变。只要适当地调节 Ge 和 C 的含量，就能够控制 $Si_{1-x-y}Ge_xC_y$ 的晶格常数，获得各种应变状态的 $Si_{1-x-y}Ge_xC_y$/Si 结构。而且，SiGeC 中替代位的 C 还可以改善热稳定性，调节能带结构，从而有利于外延层生长和器件制作。因此，$Si_{1-x-y}Ge_xC_y$ 三元合金成为一种引人注目的Ⅳ－Ⅳ族新材料，国内和国际的科研人员都投入了很大的研究力度。

1　SiGeC 的应变补偿

$Si_{1-x-y}Ge_xC_y$ 的应变补偿特性与 Ge 和 C 的比率（x/y）有关。只有确定了 Ge、C 比率与应变补偿大小之间的关系，才能够设计出所需要的处于不同应变状态的 $Si_{1-x-y}Ge_xC_y$/Si 结构。

首先需要分析 SiGeC 晶体中各种原子的成键状态。Si、Ge、C原子的共价半径分别为：$a_{Si}=0.111$ nm、$a_{Ge}=0.122$ nm、$a_C=0.077$ nm。在 SiGeC 晶体中，由于原子半径差别较大，C 原子与周围原子成键时伴有很强的应变能。P.C.Kelires 采用 Monte Carto（MC）模拟法，从 Si、Ge、C 三者的化学势出发，计算了各种原子键存在的可能性。分析表明：C 与 C 之间存在大的排斥势，两个碳原子之间的距离至少要在 0.4 nm 以上，因此，在 SiGeC 中不存在 C-C 键；另外，若形成 Ge-C 键，将给体系带来 $\Delta H\approx0.2$（eV/原子）的焓变，因此，替代位的 C 原子只能以 Si-C 键的形式存在，即 C 原子在晶格中替代了 Ge 原子的位置。Akira Yamada 等采用从头算法（Ab Initio Total Energy Calculation）计算发现：Ge-Ge 键的存在并不会影响体系的最小能量，因此 Ge-Ge 键也是 Ge 在该三元合金中可以存在的状态；在 C 原子浓度小于 3%时，可以利用 Vergard 定律来计算这种三元合金的晶格常数；另外，他们也得到了 C 原子以 Si-C 键存在的结论，分析指出，尽管 Ge-C 键的形成，会因 Ge 的原子半径比 Si 大而补偿 C 原子周围的张应力，但是由于 Ge-C 键的内聚能要比 Si-C 键的大 0.089 Ry/atom，从而使得 C 原子周围只可能形成四个 Si-C 键。通过上面的分析可以确定，在 SiGeC 三元合金中存在的化学键为 Si-Si 键、Si-Ge 键、Si-C 键和 Ge-Ge 键。

若要使 $Si_{1-x-y}Ge_xC_y$ 与 Si 衬底之间实现完全的晶格匹配，而不产生应变，理论上应使 $Si_{1-x-y}Ge_xC_y$ 的平均晶格常数与 Si 的晶格常数相同，即有式（4.8-1）。

$$a_{SiGeC}=a_{Si} \tag{4.8-1}$$

传统上常利用 Vegard 定律来预测 C 的补偿能力。Vegard 定律假设晶体中的所有原子都处在一个具有平均晶格常数的完美晶格的格点上，并且假设二元（或三元）合金的晶格常数与各组分之间满足线性关系。

由于对晶体中各种原子状态的分析不同，各研究小组采用 Vegard 定律不同的具体表达式，对 C 的补偿能力的理论预言并不一致。K.Eberl 等采用式（4.8-1）和式（4.8-2），利用已知的 Si、Ge 和 C 的晶格常数（300 K 时，$a_{Si}=0.543\ 1$ nm，$a_{Ge}=0.565\ 7$ nm，$a_C=0.356\ 7$ nm），计算出完全补偿时，$x/y=8.2$。于卓等采用 SiC、Si 及 Ge 的晶格常数进行线性插值（300 K 时，$a_{\beta-SiC}=0.436$ nm，其余同前），利用式（4.8-1）和式（4.8-3）计算得到 $x/y=9.5$。H.J.Osten 等采用 SiC、Si 及 SiGe 的晶格常数进行线性插值（300 K 时，$a_{SiGe}=0.554$ nm，其余同前），利用式（4.8-1）和式（4.8-4）计算也得到 $x/y=9.5$，并在图 4.8-1 给出了合金中 C、Ge 含量与失配度之间的估算关系。此外，S.Im 虽也采用式（4.8-1）和式（4.8-4），但由于他们采用的 SiGe 的晶格常数与 Osten 不同，即采用 300 K 时，$a_{SiGe}=0.553$ nm，该值小于 Si 与 Ge 晶格常数的平均值，故得到 $x/y=10.7$。

$$a_{SiGeC}=(1-x-y)a_{Si}+xa_{Ge}+ya_C \tag{4.8-2}$$

$$a_{SiGeC}=(1-x-2y)a_{Si}+xa_{Ge}+2ya_{SiC} \tag{4.8-3}$$

$$a_{SiGeC}=(1-x-y)a_{Si}+xa_{SiGe}+ya_{SiC} \tag{4.8-4}$$

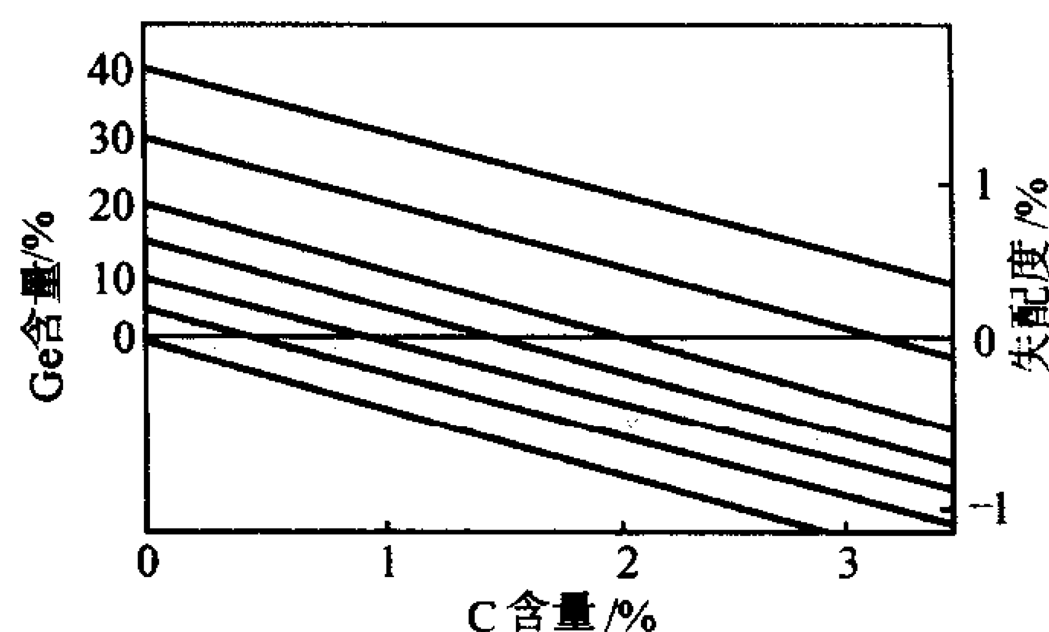


图 4.8-1　SiGeC 在 Si（100）上失配度随 C 及 Ge 含量的变化

仔细分析 Si、Ge、C 以及 SiGe、SiC 的晶格常数，不难发现，导致 x/y 比值差异的根本原因在于 SiC 及 SiGe 二元合金的晶格常数偏离了 Vegard 定律，均小于 Si、C 或 Si、Ge 的晶格常数的平均值，如 $a_{SiC}=0.436$ nm，而（$a_{Si}+a_C$）/2 = 0.45 nm。

深入的理论分析预测 SiGeC 三元合金的晶格常数与 Vegard 定律之间存在较大的负偏差。P.C.Kelires 采用 Monte Carto（MC）方法计算得出 $x/y=12.5$，与 Vegard 定律之间存在 30%的偏差。Salvador 等研究了 $x<0.25$，$y<0.02$ 的 SiGeC 材料，得到完全应变补偿时的 Ge/C 比值为 12。而 Windl 等采用类紧束缚量子分子动力学计算方法，在考虑局域化轨道的影响后，计算出的 $x/y=15$。

以上进行理论预测时，均假设 C 原子 100%处在替代位置。然而 C 原子在 SiGe 合金中存在两种位置：替代位和间隙位。替代位 C 原子可缓和 Ge 原子造成的压应变，减小 SiGeC 的晶格常数，这是无需质疑的。但关于间隙 C 原子的影响，目前还存在争议。Salvador 等认为间隙 C 原子对晶格常数的影响可以忽略。而 Windl 的理论计算则将间隙 C 原子分为两类，处于 $C_{/\!/}$ 位置的间隙 C 原子对晶格常数无贡献，而处于 $C_{\perp}$ 位置的间隙 C 原子则使晶格膨胀，加剧了压应变，将部分抵消替代位 C 原子的补偿作用。不管怎样，间隙 C 原子的存在均会降低完全补偿时 x/y 的值。故实验测出的 x/y 值小于理论预测值，实验测量出的 x/y 值越大，则说明替代位的 C 原子所占的比例越高。

用不同方式制备的样品，由于原子分布情况和替代位C原子的比例不同，所以实验测得的C原子的补偿能力也不尽相同。Meléndez-Lira等用常压CVD方法生长了SiGeC材料，他们的实验研究预测，完全补偿时Ge/C比例约为14。S.Sego等用离子沟道技术定量分析了常压CVD生长的SiGeC材料的替代C含量，发现有20%～50%的C处在非替代位置；他们根据实验结果，推论出完全补偿时Ge/C在8～9。K.Eberl等用MBE方法在Si（100）衬底上生长了$Si_{0.93}Ge_{0.063}$-$C_{0.008}$外延层，发现其XRD峰位与Si衬底峰位重合。他们认为这即表明实现了完全应变补偿，由此推出完全补偿时的$x/y\approx8$。

尽管C的具体应变补偿能力目前仍有争议，但其在SiGe合金中的应变补偿效应已得到确切的实验证明。S. Sego等的研究表明：当在Si上外延的SiGeC层厚度远超过相同Ge含量的SiGe临界厚度时，C的应变补偿可使界面处的位错大大减少。外延565 nm厚的$Si_{0.80}Ge_{0.20}$层（临界厚度100 nm）在界面处产生大量的位错，而外延的570 nm厚的$Si_{0.78}Ge_{0.219}C_{0.01}$层在界面处没有位错的产生。厚度为210 nm的$Si_{0.80}Ge_{0.20}$层的晶格四角畸变为1.2%，而225 nm厚的$Si_{0.775}Ge_{0.215}C_{0.010}$层的晶格四角畸变仅为0.9%。叶志镇等研究了UHV/CVD外延生长的$Si_{1-x-y}Ge_xC_y$中碳的应变补偿效应，对$Si_{0.737}Ge_{0.263}$、$Si_{0.717}Ge_{0.263}C_{0.02}$和$Si_{0.715}Ge_{0.263}C_{0.022}$三种样品进行了比较，并用HRXTEM分析了三种外延层的界面质量，在$Si_{0.737}Ge_{0.263}$上发现了大量位错，而在$Si_{0.715}Ge_{0.263}C_{0.022}$的界面上没有发现位错。

应当指出，完全应变补偿的SiGeC外延层中仍存在局部的应变，这与无应变的Si层存在较大的差异。C的局部位置已得到了Raman谱的验证。

总之，大量的研究工作都验证了SiGeC中C的应变补偿效应，这对于SiGeC的异质外延和器件制作具有重要意义。而关于C的具体补偿能力，目前并无定论，已报道的完全应变补偿时Ge与C的比例在8～15。为方便下文的讨论，完全应变补偿时的Ge与C的比例选为典型值8.2。当获得类似图4.8-2所示的XRD摇摆曲线时，即0级衍射峰与Si衬底峰完全重合时，则认为实现了与Si的完全晶格匹配。

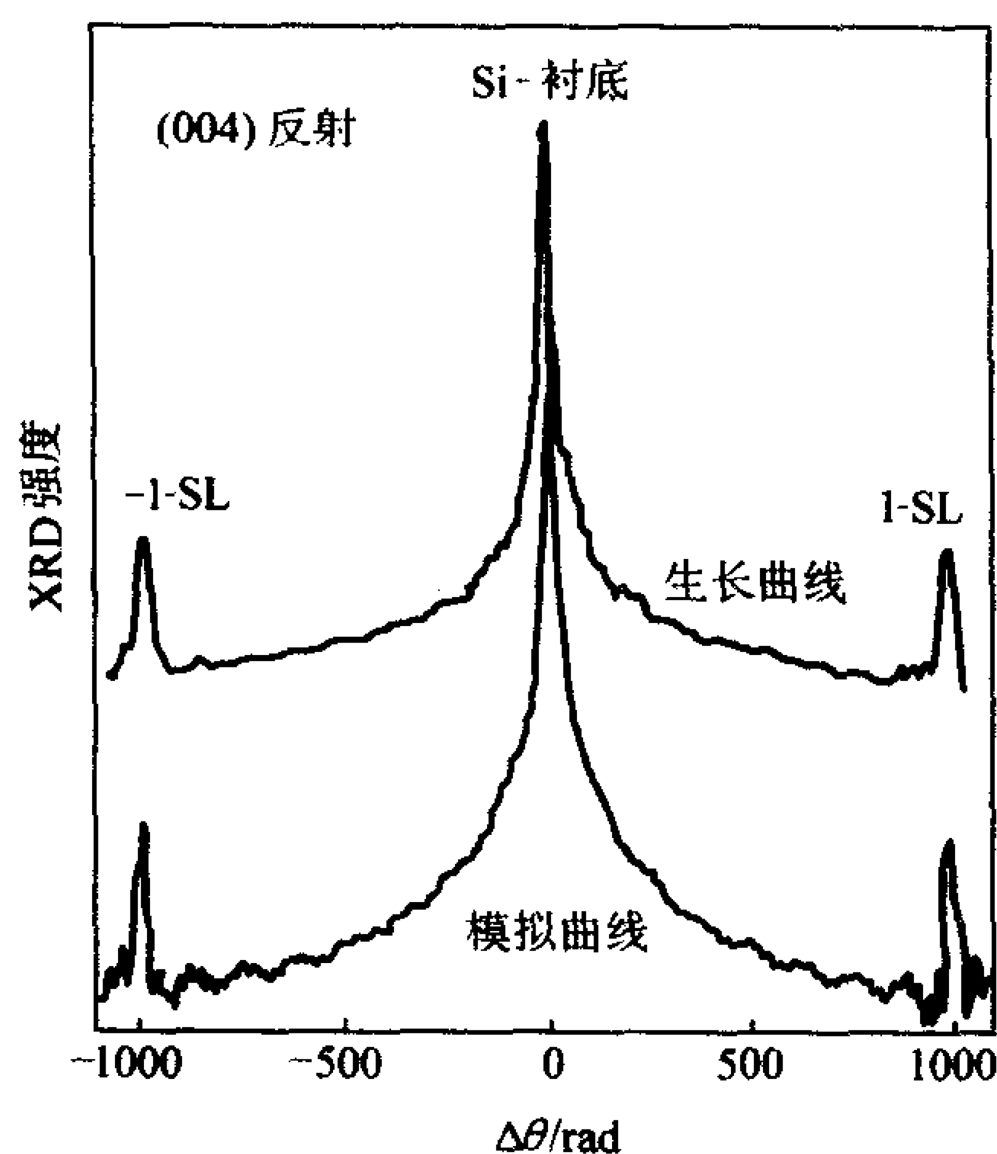


图4.8-2　30对（8.7 nm $Si_{0.9585}Ge_{0.037}C_{0.0045}$/10.8 nm Si）超晶格的XRD摇摆曲线

2　SiGeC的能带图

SiGeC三元合金作为一种极具吸引力的材料，其替代位C原子的引入，除了对Ge引起的应变予以补偿外，另一个重要方面是可以引起导带和价带的偏移，从而灵活地调节能带形态，为Ⅳ－Ⅳ族异质结的能带设计提供更大的自由度。

Richard A.Soref利用已知的Si、Ge、C、3C SiC和无应变$Si_{1-x}Ge_x$的带隙E_g值，采用线性插值法对与Si的失配度分别为0.5%（a_{SiGeC} = 0.545 8 nm）、0（a_{SiGeC} = 0.540 4 nm）、－0.5%（a_{SiGeC} = 0.543 1 nm）的弛豫SiGeC的带隙进行计算，得到了如图4.8-3所示的结果。Soref分析指出：当C含量小于3%时，C含量相同的SiGeC的带隙随着其与Si之间失配度由正变负而逐渐变大；当C含量小于3%时，SiGeC带隙随着C含量的减小而增加；当C含量大于3%时，SiGeC带隙随着C含量的增加而变大，但直到C含量达到9%时为止，SiGeC的带隙都比Si的带隙小；C含量小于3%或者大于5%的SiGeC对于光纤波段1.3 μm（950 meV）和1.55 μm（800 meV）都是透明的，C含量在3%～5%时，SiGeC只对1.55 μm（800 meV）的波长透明。这对于SiGeC在光波导、光调制器和光探测器等光通讯器件中的应用具有重要意义。

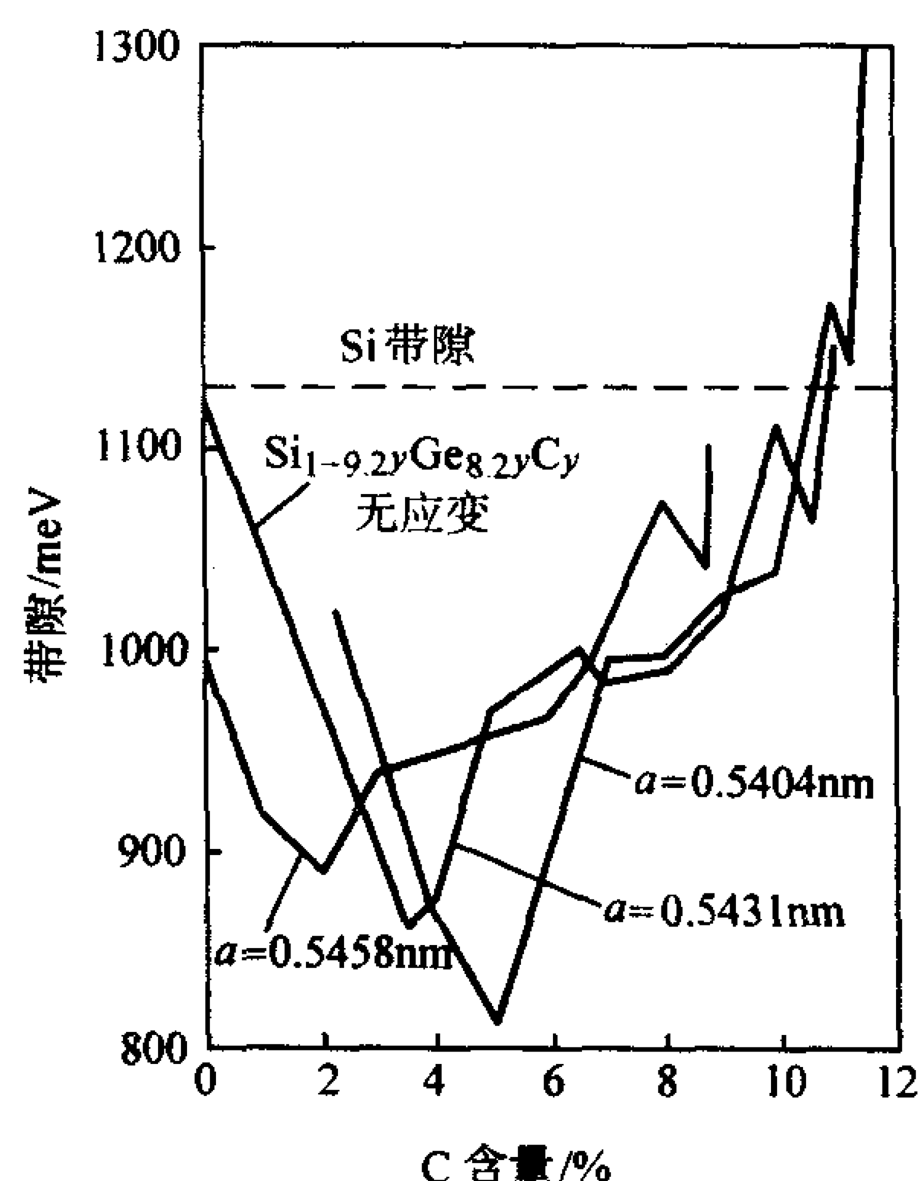


图4.8-3　与Si晶格匹配或者近匹配的SiGeC的带隙分布

H.J.Osten等认为，理想晶体近似并不能正确描述SiGeC合金的所有行为，C对能带的作用也不能仅仅考虑其对应变变化的影响，至少要考虑应变效应和合金效应。完全应变补偿的SiGeC仍然具有Ge引入的效应，即：带隙要比Si的带隙小，与Si相比具有价带偏移，但这种偏移量会随C含量的改变而改变。H.J.Osten同时考虑了界面处不同材料的能带带形以及应变对能带偏移和带隙的影响，认为两种半导体结合形成异质结时，将产生价带和导带的不连续。应变层的带隙变化由三部分决定，即：

$$\Delta E_g = \Delta E_a + \Delta E_h + \Delta E_S \qquad (4.8\text{-}5)$$

其中ΔE_a为不同材料引起的差异（合金效应），ΔE_h为应变引起的偏移，ΔE_S反映的是因平面应变而产生的能带分裂。依据式（4.8-5），H. J. Osten计算分析了$Si_{1-x-y}Ge_xC_y$合金的价带偏移、导带偏移以及带隙与C、Ge含量之间的函数关系。指出：价带偏移ΔE_v在压应变层中比在张应变层中大，压应变的$Si_{1-x-y}Ge_xC_y$合金适于用做空穴限制器件的材料，在压应变层中提高C或者降低Ge含量来获得相同的应变时，前者引起的价带偏移量比后者小；导带偏移ΔE_c在张应变层中比在压应变层中大，张应变的$Si_{1-x-y}Ge_xC_y$合金

适于用做电子限制器件的材料，在张应变层中提高Ge含量或者降低 C 含量来获得相同的应变变化时，前者引起的导带偏移量比后者小。ΔE_v 和 ΔE_c 的综合引起带隙的变化 ΔE_g。无论应变状态如何，$Si_{1-x-y}Ge_xC_y$ 三元合金的带隙总比 Si 的带隙小。

H.J.Osten 进一步计算出了完全应变补偿情况下的价带偏移为：

$$\Delta E_v(x,y)=0.6x-3.14y+1/3[\Delta(x)-\Delta(0)] \quad (4.8\text{-}6)$$

式中，$\Delta(x)$为自旋轨道分裂能。

导带偏移为：

$$\Delta E_c\ (x,\ y)\ =-4.85y\ \ \text{eV} \quad (4.8\text{-}7)$$

他认为，Si 和 Ge 体材料的性质差别不大，因此省略 Ge 自身性质的影响后可得到带隙的变化与 C、Ge 含量的函数关系：

$$\Delta E_g(x)=x(0.767+1.71/R)\quad \text{eV} \quad (4.8\text{-}8)$$

式中 $R=x/y$。

Sylvie Galdin 等在 H.J.Osten 的基础上，进一步考虑了 Ge 本身的性质对导带偏移的作用，对 $Si_{1-x-y}Ge_xC_y$ 三元合金的价带偏移、导带偏移和带隙变化进行了重新分析。应变使导带及价带的简并态发生分裂，即：

$$\Delta E_v=\max\ (\Delta E_{lh},\ \Delta E_{hh}) \quad (4.8\text{-}9)$$

$$\Delta E_c=\min\ (\Delta E_{\Delta2},\ \Delta E_{\Delta4}) \quad (4.8\text{-}10)$$

其中 *lh*（light hole）表示轻空穴带，*hh*（heavy hole）表示重空穴带，Δ2 表示二重简并退化带，Δ4 表示四重简併退化带。

ΔE_v 的变化如图 4.8-4 所示，在压应变层中最高价带是 *hh*，ΔE_v 随 y 的增加先迅速下降，然后再呈线性变化；而在张应变层中最高价带是 *lh*，ΔE_v 很小，几乎与 C 含量无关。

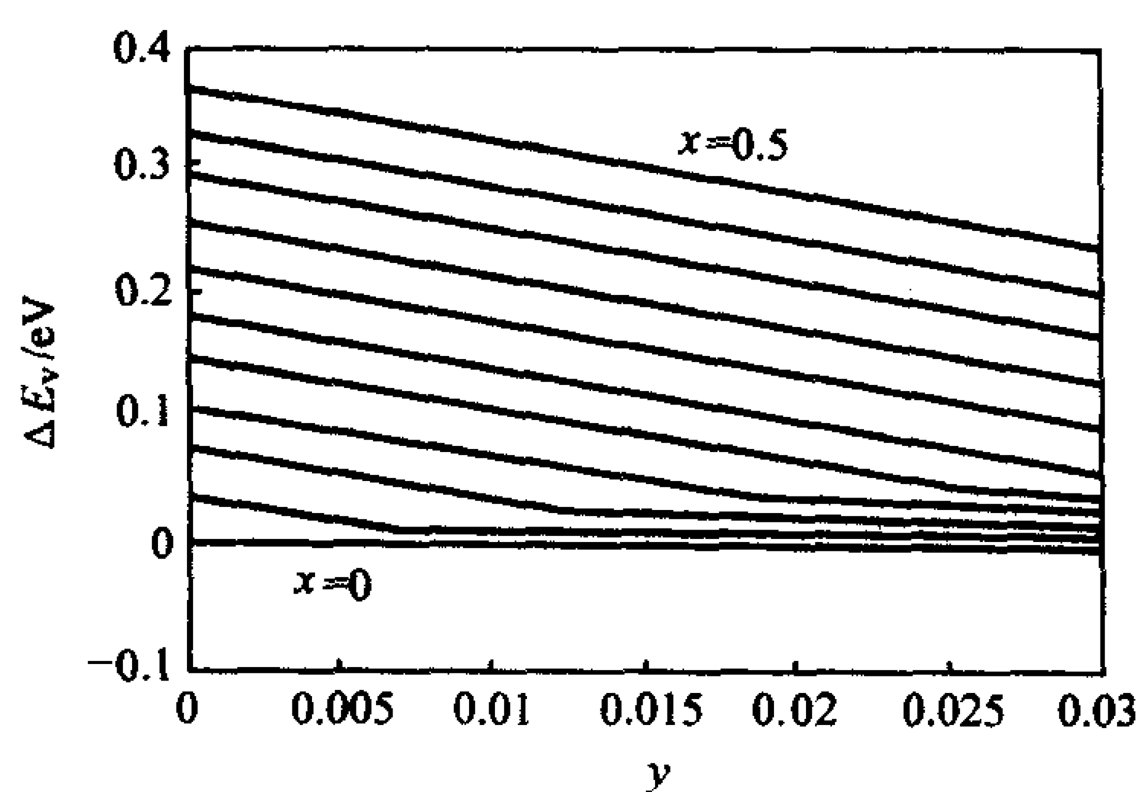


图 4.8-4 不同 x 值下，Si（001）衬底上的 $Si_{1-x-y}Ge_xC_y$ 的价带偏移 ΔE_v 与 y 之间的函数关系

ΔE_c 的变化如图 4.8-5 所示，在张应变下，Δ2 能谷是最低导带，ΔE_c 随 x 变化显著；压应变下 Δ4 能谷是最低导带，ΔE_c 变化较弱，基本与 C 和 Ge 的含量无关。

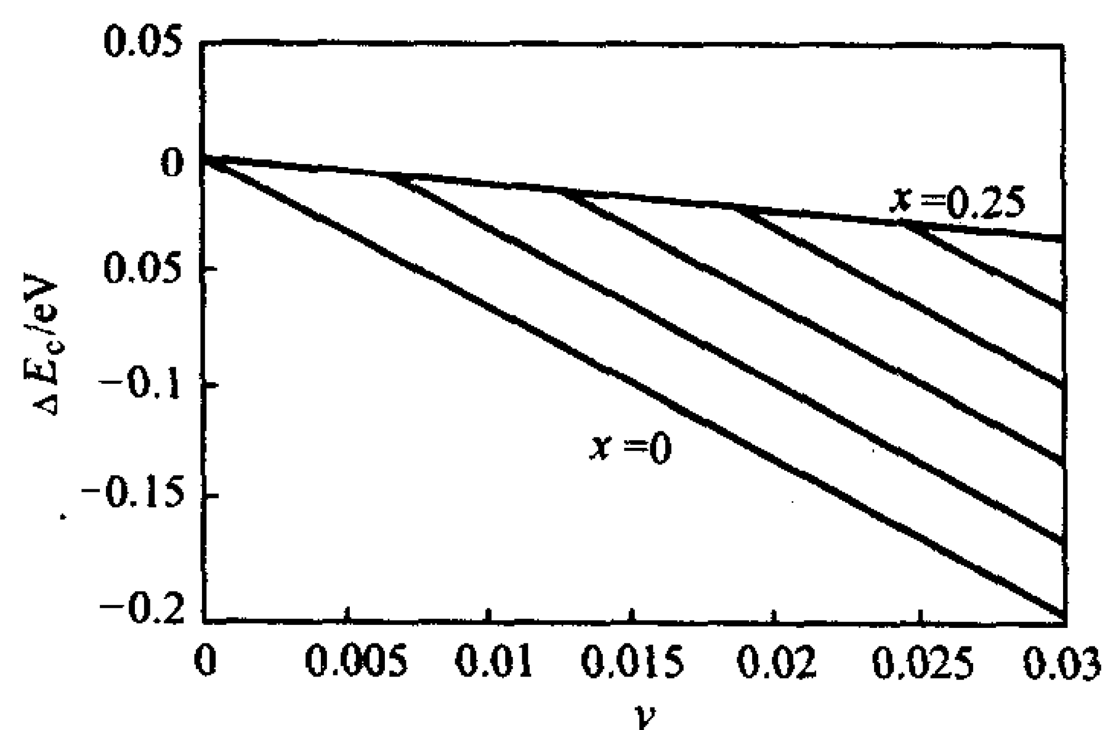


图 4.8-5 不同 x 值下，Si（001）衬底上的 $Si_{1-x-y}Ge_xC_y$ 的导带偏移 ΔE_c 与 y 之间的函数关系

带隙变化 ΔE_g 的大小依赖于应变的类型：

在压应变层中，

$$\Delta E_g=\Delta E_{\Delta4}-\Delta E_{hh} \quad (4.8\text{-}11)$$

在张应变层中，

$$\Delta E_g=\Delta E_{\Delta2}-\Delta E_{lh} \quad (4.8\text{-}12)$$

从图 4.8-6 中可以看出，无论应变状态如何，$Si_{1-x-y}Ge_xC_y$ 合金的带隙总比 Si 的带隙小；而且 C 含量对带隙的影响与合金所处的应变状态有关。在压应变层中，随着 y 值的变大，ΔE_g 升高，这主要归因于价带向下偏移，即 *hh* 能带的下降；相反，在张应变的情况下，ΔE_g 随 y 值的增加而下降，这主要归因于导带向下偏移，即 Δ2 能谷的下降。

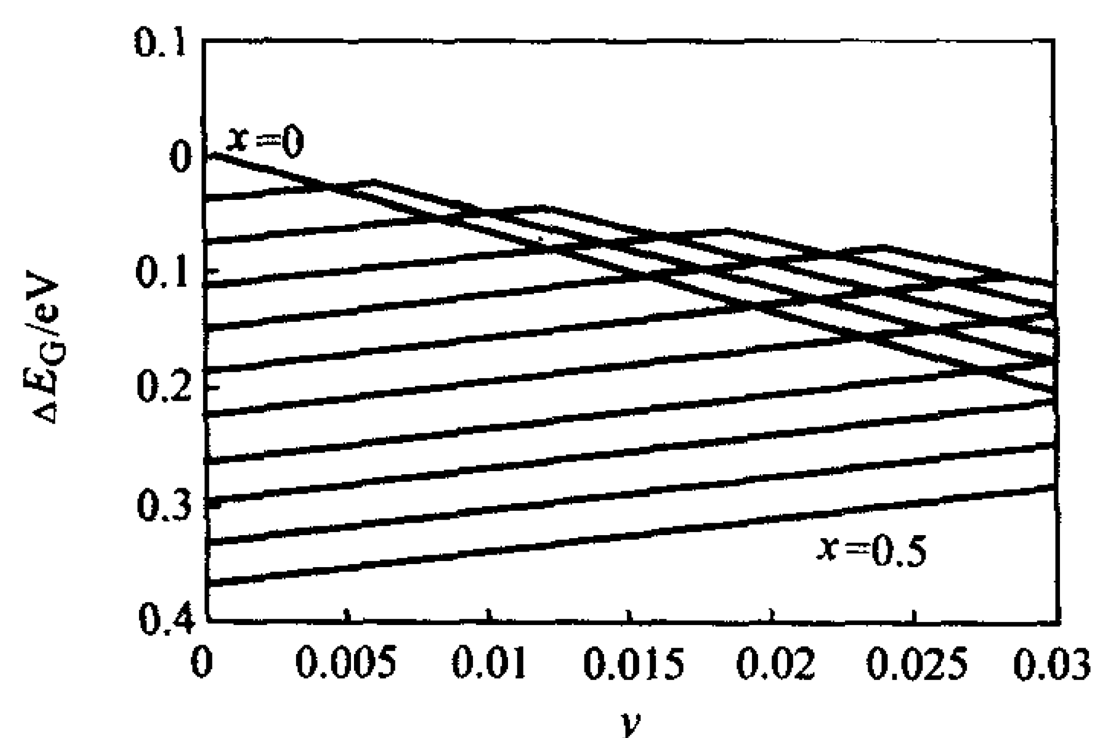


图 4.8-6 Si（001）上赝晶生长的 $Si_{1-x-y}Ge_xC_y$ 的带隙 E_G 相对于 Si 衬底带隙的变化

许多学者进一步从实验上对 SiGeC 中的能带偏移进行了研究。以压应变（富 Ge）的 SiGeC 的研究最为详尽。A.St.Amour 等采用 RTCVD 法制备了碳含量 w_c 在 2.0% 以上的 $Si_{1-x-y}Ge_xC_y$ 合金，并在 2～77 K 的温度下研究了光荧光谱，证实了在压应变 $Si_{1-x-y}Ge_xC_y$ 合金中，随着 C 含量的增加，带隙增加，其关系为 $\Delta E_g=+y$（(2.3±0.2) eV）。

由此可见，$Si_{1-x-y}Ge_xC_y$ 合金中，C 含量不太高时引起的带隙变化主要由价带提供，不存在电子限制。C.J.Chang 等用电容-电压法研究了 C 对价带的影响，结果表明，随着 C 含量的增加，价带向下偏移，其关系为：$\Delta E_v=-y$((2.1～2.6)eV)。B.L.Stein 等的测量表明 C 引起的价带偏移甚至高达 $\Delta E_v=-y$（8 eV）。这一点从 $Si/Si_{1-x-y}Ge_xC_y$ 的 MOS 电容的 C－V 测试中也得到了验证。但是，导纳光谱测试表明，$Si_{1-x}Ge_x$ 合金中引入 C 之后，将使导带边下降，D.V.Singh 等认为 $\Delta E_c=-y$（43 meV），而 B.L.Stein 认为 $\Delta E_c=-y$（80 meV）。应该指出，在相同的压应变情况下，$Si_{1-x-y}Ge_xC_y$ 的价带偏移要比 $Si_{1-x-y}Ge_x$ 二元合金的大。这意味着，应变补偿的 $Si/Si_{1-x-y}Ge_xC_y$ 异质结可能是具有明显导带偏移的Ⅱ型结构。

对于完全应变补偿的 $Si_{1-x-y}Ge_xC_y/Si$ 异质结，当忽略载流子限制效应时，价带的轻、重空穴及导带的 Δ2 和 Δ4 仍保持类 Si 的简并状态。通过原子轨道的线性组合进行的能带计算表明，随着 Ge 和 C 含量的增加，带隙略有下降。Osten 计算出的带隙收缩量与 x 的关系为：$\Delta E_g=-x$（0.98 eV）。PL 谱也证实了这一现象。研究发现，NP 及 TO 峰的移动量为 $\Delta E_{NP/TO}=-x$（0.84 eV）。

对于张应变（富 C）的 $Si_{1-x-y}Ge_xC_y$ 合金的研究较少。Osten 认为，当 Ge 加入到 $Si_{1-y}C_y$ 中以后，由于价带及导带的能量同时升高，带隙将略有增加。这与 PL 谱的测量结果是一致的。在 $Si_{0.9915}C_{0.0085}$ 中加入 3.7% 的 Ge，或是在 $Si_{0.9856}C_{0.0144}$ 中加入 3.8% 的 Ge，NP 峰的能量增加约 6 meV，即 $\Delta E_{NP}=x$（0.16 eV）。

与 $Si_{1-x-y}Ge_xC_y$ 三元合金的准确能带结构仍有争议不

同，$Si_{1-y}C_y$ 的能带结构较为明确，而且其能带变化极为特殊。尽管 SiC 和 C 体材料的带隙均比 Si 大，但随着 C 的加入，张应变的 $Si_{1-y}C_y$ 的能隙反而收缩，其相应关系为 $\Delta E_g = -y\ ((6.5\pm0.3)\ eV)$。$Si/Si_{1-y}C_y$ 异质结的带偏移 70%落在导带上。同样，由于应力作用，导带和价带均会分裂为 Δ2 和 Δ4 及轻、重空穴。与 $Si_{1-x}Ge_x$ 合金 Δ4 处在导带底而重空穴处在价带顶相反，$Si_{1-y}C_y$ 的 Δ2 处在导带底，而轻空穴处在价带顶。

总之，在压应变的 $Si_{1-x}Ge_x$ 中加入少量的 C 后，将导致带隙增加，$\Delta E_g = +y((2.3\pm0.2)eV)$。具有压应变的 SiGeC 的能带结构是"类 SiGe"的，有明显的价带偏移。而应变补偿的 $Si_{1-x-y}Ge_xC_y$ 的带隙随 Ge 和 C 的含量增加而收缩。准确的收缩量以及 $Si/Si_{1-x-y}Ge_xC_y$ 结构的准确能带结构仍在研究之中。

3　SiGeC 的电学性质

正是由于 SiGeC 合金的应变补偿、能带偏移和带隙的可调性，可以改善界面性能，调节合金的载流子输运性质，改变材料的光吸收响应谱和光荧光谱，从而使 SiGeC 合金具有了一些特别的电学和光学性质。

C 加入到 Si 或 $Si_{1-x}Ge_x$ 结构后将产生两方面的变化。首先，可减小 $Si_{1-x}Ge_x$ 中的应变，这对于 p 型 MODFET 器件尤为重要。这样就有可能尽可能地提高有源区的 Ge 含量，以充分利用 Ge 有效质量小的优势。其次，在 Si 上直接生长的 $Si_{1-y}C_y$ 层有明显的导带偏移，这样无需生长难度极大的厚的弛豫 $Si_{1-x}Ge_x$ 赝衬底，即可制作 n 型 MODFET。本节将分别阐述 C 对于在 Si（001）衬底上生长的 p 型或 n 型的 $Si_{1-x-y}Ge_xC_y$ 和 $Si_{1-y}C_y$ 外延层的电学特性的影响。

研究 C 和 Ge 的加入对 $Si_{1-x-y}Ge_xC_y$ 合金输运特性的影响时，有几点值得注意。

1）材料本质属性的变化，如有效质量、光子能量以及杂质的激活能等。

2）Si 上生长的赝晶 $Si_{1-x-y}Ge_xC_y$ 层中的应变，影响材料的本质属性，同时导致了价带中 *hh* 及 *lh* 的分裂。

3）局部应变场的影响、晶体生长时的扰动等。

这些效应相互关联，不能孤立地分析其影响。由于目前能够生长出的赝晶 $Si_{1-x-y}Ge_xC_y$ 层中的 C 的最高含量 w_c 是 5%，并且在实际应用中 C 的组分远低于此（<2%），因此 C 引起的材料本质属性的变化是较小的。另一方面，由于 Si 与 C 之间大的晶格失配，存在大的应变。而且小的 C 原子周围也会存在相当大的局部应力场。因此，在讨论 C 的引入对 $Si_{1-x-y}Ge_xC_y$ 合金输运特性的影响时，较之 C 的合金效应，我们更关注应变的影响。

3.1　SiGeC 的空穴输运特性

由于影响机制的多样性以及价带结构的复杂性，很难准确地分析 $Si_{1-x-y}Ge_xC_y$ 层的空穴输运特性。但是，两种趋势不容忽视。首先是二元 $Si_{1-x}Ge_x$ 合金中合金散射的作用往往超过了低 Ge 成分引起的应变的正面作用。其次是加入 C 后引起的平面应变的减小进一步导致了空穴迁移率的下降。

研究 $Si_{1-x-y}Ge_xC_y$ 层的输运特性的目的之一是考查其能否胜任电子器件的有源层。Glück 等首次在 Si 上直接生长了无需弛豫的 $Si_{1-x}Ge_x$ 缓冲层 $Si_{1-x-y}Ge_xC_y$ 的 p 沟道 MODFET。有源区为 8 nm 的 $Si_{0.538}Ge_{0.45}C_{0.012}$，室温跨导为 g_{me} = 57 mS/mm，饱和电流为 I_{DSS} = 40 mA/mm。Lanzerotti 等首次生长了 $Si/Si_{1-x-y}Ge_xC_y/Si$ n-p-n HBT，其中 Ge 含量最高为 25%，C 含量最高为 1.1%。为了更加细致地研究 $Si_{1-x-y}Ge_xC_y/Si$ 异质结，Chen 等测量了 $Si_{0.07}Ge_{0.91}C_{0.02}/Si$ p-n 结的电流-电压、电容-电压及 Hall 效应。与 Ge/Si 二极管相比，它们的漏电流更小，击穿电压更高。以上应用的出发点在于，加入少量的 C 后，既可降低应变，又不会对能带结构造成明显的影响。

表 4.8-1 中列出了 p 型调制掺杂 $Si_{1-x-y}Ge_xC_y$ 沟道（Ge 含量 w_{Ge} 为 25%）的输运特性。目前，$Si_{0.75}Ge_{0.25}$ 沟道在低温下的空穴迁移率最高可到 1 700 $cm^2/(V\cdot s)$，对应空穴密度为 $1.6\times10^{12}\ cm^{-2}$。应当指出，迁移率对沟道中载流子密度非常敏感。$Si_{0.8}Ge_{0.2}$ 沟道的空穴浓度为 $0.29\times10^{12}\ cm^{-2}$ 时，在 4.2 K 时的空穴迁移率为 6 100 $cm^2/(V\cdot s)$。C 对输运特性的影响可通过两个 $Si_{1-x-y}Ge_xC_y$ 沟道与相应的 $Si_{1-x}Ge_x$ 参考样品对比得到。表 4.8-1 中所有结构在 500℃时生长，以保证 C 进入到晶格中。Grützmacher 等研究发现，$Si_{1-x-y}Ge_xC_y$ 材料生长后在 800℃进行后续退火，以及在 800℃生长 $Si_{1-x}Ge_x$ 合金，可使空穴密度增大，同时空穴迁移率增大为原来的 2 倍。低温的载流子密度表明，$Si_{1-x-y}Ge_xC_y$ 沟道具有足够用于空穴限制的带偏移。与对应的 $Si_{1-x}Ge_x$ 沟道相比，载流子密度下降不能简单归结于带结构的微小变化，还有可能是非均匀合金处的载流子冻结，C 原子周围的局部应变场或是 C 引起的 $Si_{1-x-y}Ge_xC_y/Si$ 界面粗糙度增大等原因所致。即使对于退火后的样品，$Si_{1-x-y}Ge_xC_y$ 沟道的空穴迁移率也小于相应的 $Si_{1-x}Ge_x$ 样品。

表 4.8-1　$Si/Si_{0.75-y}Ge_{0.25}C_y$ 异质结的空穴迁移率与载流子浓度

y/%	室温 p /$10^{12}\cdot cm^{-2}$	室温 μ /$cm^2\cdot(V\cdot s)^{-1}$	液氮温度 p /$10^{12}\cdot cm^{-2}$	液氮温度 μ /$cm^2\cdot(V\cdot s)^{-1}$	液氦温度 p /$10^{12}\cdot cm^{-2}$	液氦温度 μ /$cm^2\cdot(V\cdot s)^{-1}$
0	2.3	115	1.1	750	1.1	1 440
1	1.4	100	0.8	340	0.7	570
0	5.0	120	—	—	0.8	2 100
0.3	1.1	120	—	—	0.4	730

G.S.Kar 等研究了用 UHV/CVD 制备的部分应变补偿的 $Si_{0.793}Ge_{0.2}C_{0.007}$ P-MOSFET 掩埋沟道的空穴有效迁移率。结果如图 4.8-7 所示，室温下 $Si_{0.793}Ge_{0.2}C_{0.007}$ 沟道的空穴有效迁移率比同 Si/Ge 组分的 SiGe 沟道的提高了 25%，比 Si 沟道的提高了 70%。在 77 K 的低温下，由于 SiGeC 合金的散射效应变得明显，$Si_{0.793}Ge_{0.2}C_{0.007}$ 沟道的空穴有效迁移率反而比 SiGe 沟道的低。另一方面，表面粗糙度散射效应会使空穴迁移率随有效电场的增加而下降，用原子力显微镜（AFM）检测表明，$Si_{0.793}Ge_{0.2}C_{0.007}$ 的表面粗糙度为 0.2 μm，而 $Si_{0.793}Ge_{0.2}$ 的为0.1 μm。

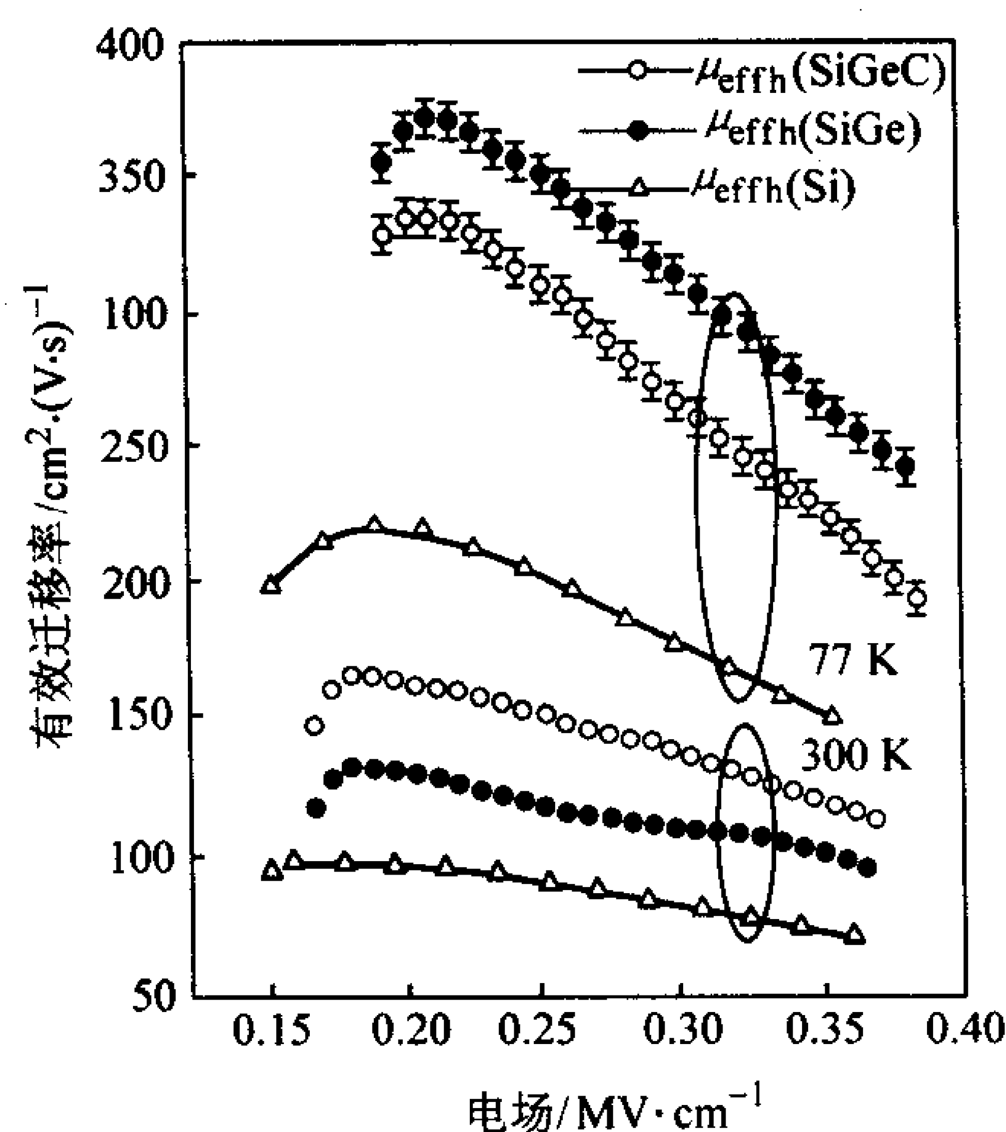


图 4.8-7　室温和 77 K 下，$Si_{0.793}Ge_{0.2}C_{0.007}$、$Si_{0.8}Ge_{0.2}$ 和 Si 掩埋沟道的空穴有效迁移率随有效电场的变化

利用应变引起的价带 hh 和 lh 分裂，Quinones 等报道了直接在 Si 上生长张应变的 $Si_{1-y}C_y$ 沟道的 p-MOSFET，其空穴迁移率增加。由于价带分裂引起的谷间散射的减小，与纯 Si 相比，$Si_{0.995}C_{0.005}$ 的空穴迁移率增大了约 30%。但当 C 的含量 w_c 大于 1%时，迁移率反而下降，这可能与 Si 与 C 之间失配过大引起的晶格的强烈扰动有关。

3.2　SiC 结构的电子输运特性

到目前为止，并没有 $Si_{1-x-y}Ge_xC_y$ 三元合金的电子输运特性的研究报道。但是由于 $Si/Si_{1-y}C_y$ 结构有明显的导带偏移，人们更为关注 $Si_{1-y}C_y$ 二元合金的电子输运特性。

由于张应力引起的六重简并 Δ 能谷分裂，具有较小平面有效质量的 Δ2 能谷成为导带的最低值，$Si_{1-y}C_y$ 二元合金理应具有更高的电子迁移率。1994 年 Ershov 和 Ryzhii 等，用 Monte Carlo 方法从理论上计算了张应变的 $Si_{1-y}C_y$ 结构的电子输运特性。他们认为未知的合金散射势能是关键的参数。若它小于 0.55 eV，相对于纯 Si，$Si_{1-y}C_y$ 合金电子的迁移率将增大。但有人认为合金散射势能的合理取值是 0.55 eV，因为 0.55 eV 正好对应于 Si 与 SiC 的导带偏移。

图 4.8-8 总结了室温下，不同 n 型 $Si_{1-y}C_y$ 样品的 Hall 输运数据。由图 4.8-8b 可见，载流子密度受 C 浓度的影响很小。然而，随着 C 浓度的增大，电子迁移率明显下降（图 4.8-8a）。1997 年，Osten 和 Gaworzewski 等讨论了可能的原因。他们认为，C 的引入同时形成的多余施主和补偿受主是电子迁移率下降的主要原因。这些带电的活性缺陷的形成可能与 C 的引入有关，但也不能排除高温时（约 2 000℃）热解 C 源的污染引起缺陷的可能。为弄清楚原因，Eberl 等在 100℃下，改用 CB_4 作为气体源生长 SiGeC 材料（如图 4.8-8 中实心点所示）。由于这种方法生长出的材料的电子迁移率仍下降，说明与 C 源的种类无关，因而缺陷可能是由于直接引入 C 造成的。由于 C 造成的散射效果大于张应变引起的电子迁移率的增加，最终使电子迁移率随 C 浓度的增加而下降。

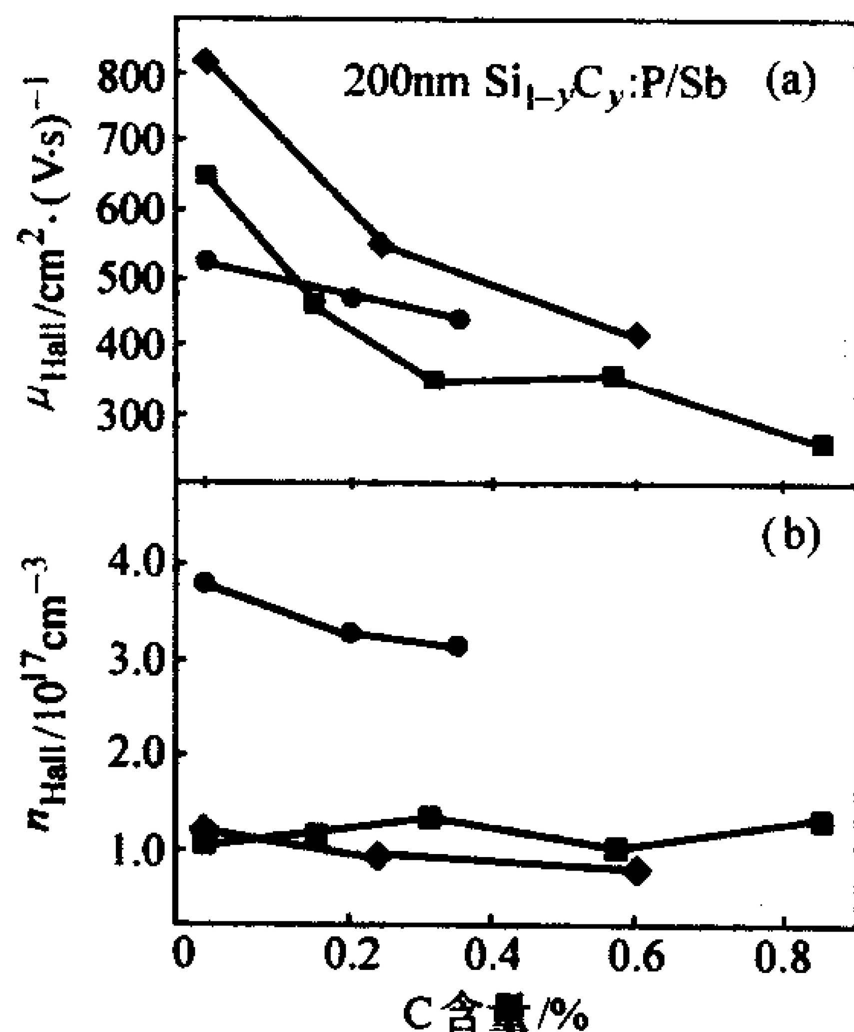


图 4.8-8　室温下，不同 n 型 $Si_{1-y}C_y$ 样品的 Hall 输运数据

实心方块所示样品掺 Sb；实心点和实心菱形所示样品掺 P；
实心点所示样品气源为 CB_4，而实心菱形所示样品气源为热解 C 源

关于调制掺杂 $Si/Si_{1-y}C_y/Si$ 结构的报道很少。由于导带偏移大部分落在 $Si/Si_{1-y}C_y$ 异质结上，只要极少量的 C 就会得到 MODFET 所需的电子限制作用。这比烦锁的弛豫 $Si_{1-x}Ge_x$ 衬底生长要容易得多，可以生长纯 Si 的 n 沟道。对于 MODFET $Si/Si_{0.98}C_{0.02}/Si$，与温度相关的输运测量表明，存在明显的电子限制作用，与相同掺杂的 Si 样品相比，其电子迁移率上升。但是，供应层初始载流子浓度下降，导致了沟道结构中载流子的完全冻结。这可能与 $Si/Si_{1-y}C_y$ 界面的陷阱密度较大有关，由此估算缺陷密度约为 10^{11} cm^{-2} 量级。

关于 $Si_{1-y}C_y$ 二元合金的电子输运特性的研究很有限，因此目前尚无法确定 C 对电子迁移率以及载流子密度的影响。考虑到对 $Si_{1-y}C_y$ 二元合金的结构及光学特性的改善，不能排除在极为优化的生长条件下（如合适的生长温度、C 含量及生长后退火），C 的引入可以增大电子的迁移率。

4　SiGeC 的光学性质

1994 年，Boucaud 等首次报道了赝晶 $Si/Si_{1-x-y}Ge_xC_y$ 材料与带边相关的光荧光现象。该结构由掩埋在 Si 中的80 nm 的单层 $Si_{0.84}Ge_{0.155}C_{0.005}$ 组成。在低的激发功率下，未观察到与带边相关的信号，仅观察到峰位为 0.76 eV 宽的缺陷峰。在高的激发功率下，随着缺陷的饱和，尽管仍存在 D3 缺陷线，但出现了与 $Si_{1-x-y}Ge_xC_y$ 相关的 NP（No phonon，无声子辅助）峰和 TO（Transverse optical phonon，横光学声子）峰。与80 nm厚的 $Si_{0.84}Ge_{0.155}$ 参考结构相比，$Si_{0.84}Ge_{0.155}C_{0.005}$ 层的 PL 峰位蓝移了 12 meV。随后，人们认识到若希望获得无缺陷的 PL 谱，必须对生长条件进行优化。

1995 年，Amour 等首次观察到来自 17 nm 厚的掩埋 SiGeC 层的无缺陷的光荧光，即使在低的激发密度下，仍观察到光荧光，其光荧光谱如图 4.8-9 所示。与相同 Si、Ge 含量的 SiGe 合金相比，$Si_{1-x-y}Ge_xC_y$ 谱线发生能量蓝移，线型没有明显变化。此后，更多的研究小组报道了 $Si_{1-x-y}Ge_xC_y$ 结构的近带边的 PL 谱。研究表明，宽的缺陷峰很难消除，必须优化生长条件，才能获得来自量子阱结构的 PL 峰。大部分情况下，生长含 C 材料的温度相对较低，因而生长后的退火能够减小或消除点缺陷，进而提高 PL 谱的质量。CVD 或 MBE 方法生长时，通常采用石墨灯丝、SiC 源或电子束蒸发源等作为 C 源。

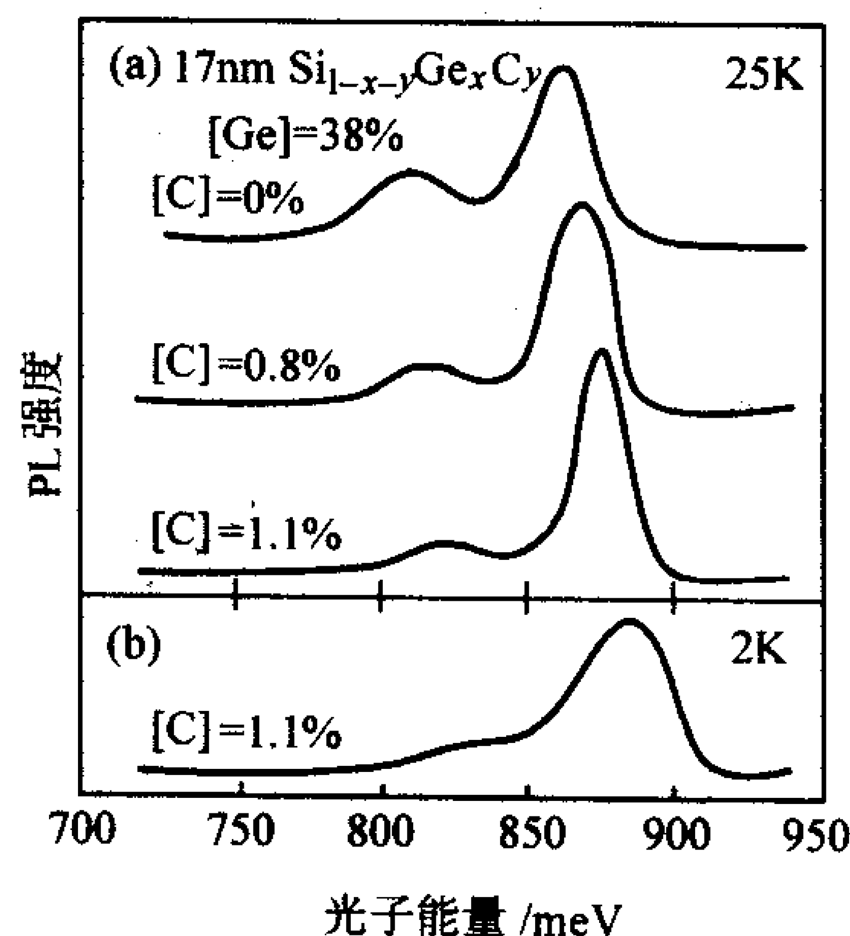


图 4.8-9　$Si_{0.72-y}Ge_{0.38}C_y$ 的光荧光谱

温度 25 K，泵浦功率密度约为 50 W/cm²

图4.8-10 是具有不同 x 及 y 值的应变完全补偿的 $Si_{1-x-y}Ge_xC_y$ 多量子阱的 PL 谱（此处判断应变完全补偿的标准是获得图 4.8-2 所示的摇摆曲线，Ge 与 C 的比例约在 8.2∶1）。能量分别为 1.099 和 1.035 eV 的 Si－TO 和 Si－（$TO+O^{\Gamma}$）起源于 Si 基底、缓冲层及盖层。另外两条 PL 谱线则分别来源于限制在 $Si_{1-x-y}Ge_xC_y$ 结构激子对应的 Si－Si TO 峰和 NP 峰。这两个 PL 峰的能量低于 Si 的带隙，证明了应变补偿的 $Si_{1-x-y}Ge_xC_y$ 结构的带隙比纯 Si 的小。由于应变完全补偿，可以认为带隙缩小是 Ge 及 C 引起的本征效应。$Si_{1-x-y}Ge_xC_y$ 材料的 NP 和 TO 峰随 C 及 Ge 含量的增大而线性蓝移。峰位与 x 和 y 的关系如图中插图所示，通过线性拟合为 $\Delta E=-x$（0.84 eV）或 $\Delta E=-y$（6.80 eV）。

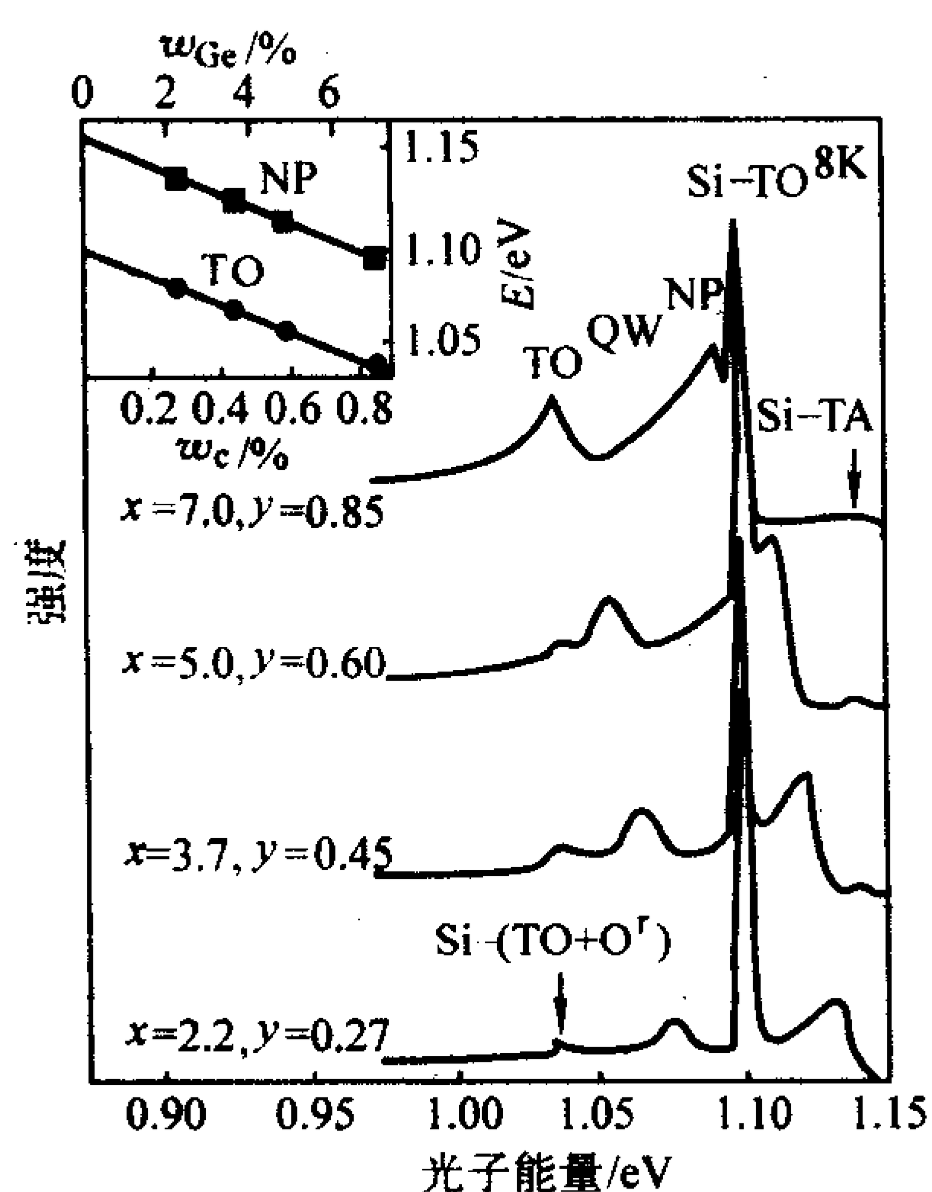


图4.8-10　8 K时，30对（8.7 nm $Si_{1-x-y}Ge_xC_y$/10.8 nmSi）超晶格的PL谱

Si上生长的赝晶 $Si_{1-y}C_y$ 层的PL谱实验结果总结在图4.8-11上，图中显示了5.2 nm张应变 $Si_{1-y}C_y$/15.6 nm Si量子阱的NP和TO峰的位置与C含量的关系。利用线性拟合，可知NP峰能量随C含量 y 增大而线性减小的关系为：$\Delta E_{NP}=-y$ (5.7 eV)，对于TO峰则有：$\Delta E_{TO}=(58.5-2y)$ eV。NP与TO峰的线性减小反映了张应变的 $Si_{1-y}C_y$/Si量子阱中光学带隙收缩的趋势。考虑到厚度为5.2 nm的量子阱的量子限制效应，赝晶 $Si_{1-y}C_y$ 材料的带隙与 y 的关系为：$\Delta E_{SiC,pseu}=-y$ (6.6 eV)。无应变的 $Si_{1-y}C_y$ 合金的本征带隙的变化可以通过赝晶 $Si_{1-y}C_y$ 材料的带隙 $\Delta E_{SiC,pseu}$ 与张应变的 $Si_{1-y}C_y$ 材料的带隙 $\Delta E_{SiC,strain}$ 之差得到，即：

$$\Delta E_{SiC}=\Delta E_{SiC,pseu}-\Delta E_{SiC,strain} \tag{4.8-13}$$

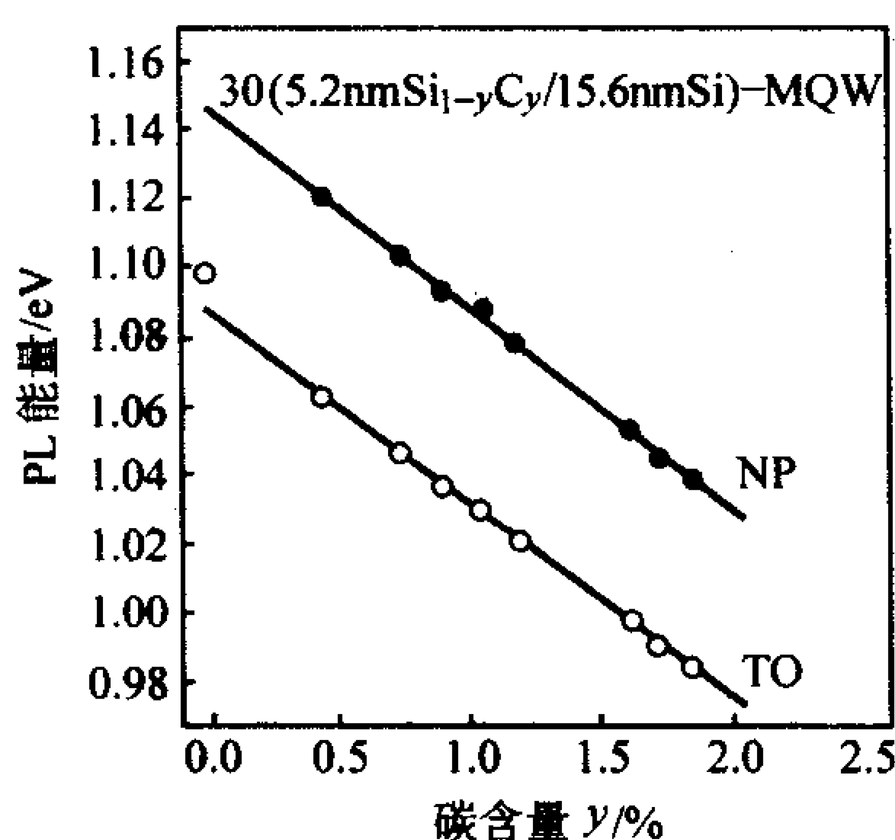


图4.8-11　30对5.2 nm赝晶 $Si_{1-y}C_y$/Si量子阱的NP和TO峰的位置与C含量的关系

利用Si的形变势参数，可以得到 $\Delta E_{SiC,strain}=-y$ (8.6 eV)，其中包括了应变引起的导带中最小值Δ2以及价带中轻空穴的能量变化。将其代到式（4.8-13），则 $\Delta E_{SiC}=-y$ (2.0 eV)。图4.8-12显示了完全应变补偿的 $Si_{1-x-y}Ge_xC_y$、无应变的 $Si_{1-x}Ge_x$ 和无应变的 $Si_{1-y}C_y$ 体合金的NP能量与C、Ge组分的关系。$Si_{1-x}Ge_x$ 和 $Si_{1-y}C_y$ 曲线外推至8 K时Si的自由激子能量为1.155 eV。完全应变补偿的 $Si_{1-x-y}Ge_xC_y$ 的拟合直线的外推能量为1.151 eV，比Si的自由激子小了约4 meV。这可以用束缚在局部量子阱宽度的激子或是合金波动来解释。

应变 $Si_{1-x}Ge_x$ 和 $Si_{1-y}C_y$ 层的近带边PL曲线的对比如图4.8-13所示。实心方块和实心点表示实验数据。对于 $Si_{1-x}Ge_x$ 量子阱而言，NP能量略高于其对应的本征带隙。由于重空穴（hh）的有效质量较小，8.7 nm±0.4 nm厚的量子阱的量子限制效应仍可使 hh 的能级蓝移约10 meV。$Si_{1-y}C_y$ 层的横向电子质量较大（$0.92m_e$），量子限制效应只能使其移动1～3 meV。因此，实验PL数据非常接近张应变的 $Si_{1-y}C_y$ 的带隙线。应变 ε 为0.005时，$Si_{0.985}C_{0.015}$ 样品的PL能量明显高于虚线。这是厚度仅为2.7 nm的量子阱具有较大的量子限制效应所致。

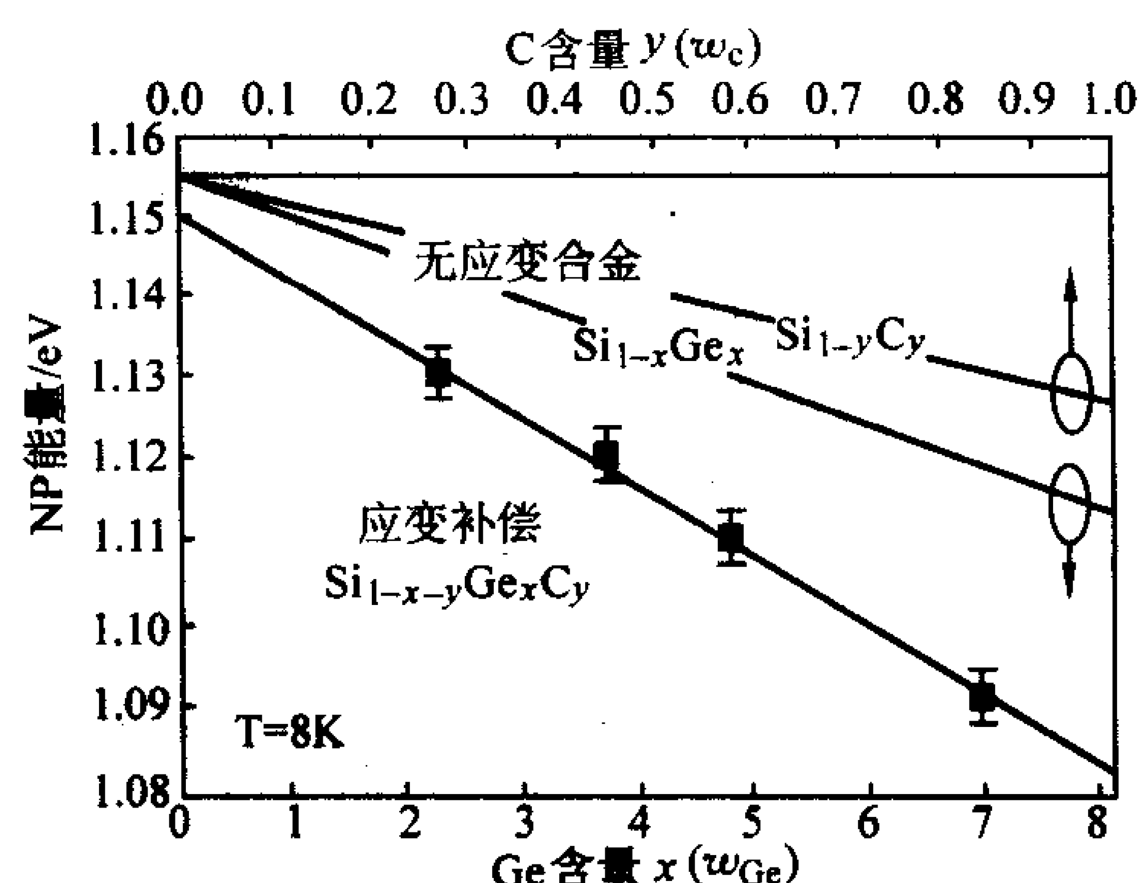


图4.8-12　完全应变补偿的 $Si_{1-x-y}Ge_xC_y$、无应变的 $Si_{1-x}Ge_x$ 和无应变的 $Si_{1-y}C_y$ 体合金的NP能量与C、Ge组分的关系

以下重点讨论应变值为 $\varepsilon=-0.003\,13$ 下半部分曲线。如果引入替代位C，同时保持Ge组分不变，则 $Si_{0.93}Ge_{0.07}$ 的压应变将减小，NP峰向更高的能量移动。继续增加C的含量，使其成为完全应变补偿的Si/SiGeC，NP峰的能量则将下降。在 $\varepsilon=+0.003\,13$ 的张应变赝晶 $Si_{0.9915}C_{0.0085}$ 量子阱的正应变区也观察到类似的现象。加入适量的Ge可以减小张应变，导致NP峰蓝移。然而，当材料变成完全应变补偿的 $Si_{0.9215}Ge_{0.07}C_{0.0085}$ 时，NP峰的能量则小于张应变或是压应变区域的材料。图4.8-13右下部的实心点代表的 $Si/Si_{0.985-x}Ge_xC_{0.015}$ 材料也存在这一现象，其能量随Ge含量 x 的增大开始蓝移，而后在 x 大于一定值后则转为红移。

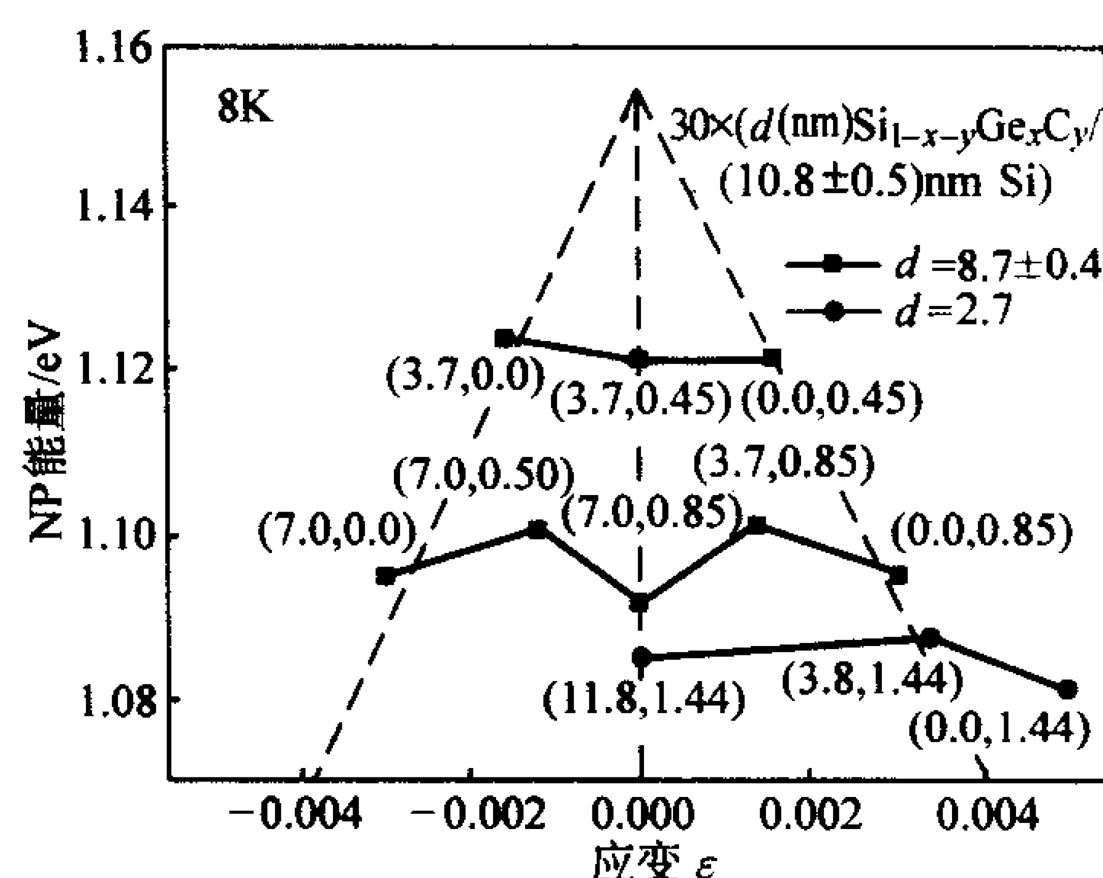


图4.8-13　NP能量与应变的关系

（括号中的数字分别表示 x、y 的质量百分比含量。量子阱的厚度及温度如图中所示。虚线代表二元合金的本征带隙。与体材料相比，这些二元合金的实验数据均有增大，表明了薄的量子阱的量子限制效应）

5　SiGeC的应用与发展趋势

SiGeC的优良性能使得其在器件中的应用研究越来越受到人们的重视。到目前为止，引入C对器件应用最明显的优势在于：它可以减小掺杂元素的扩散。

Lanzerotti等的研究表明，在Si和SiGe合金中加入少量的替代位C（10^{19}～$10^{20}/cm^3$）后，B的扩散率显著下降。例

如，Si 中加入 2×10^{20} cm^{-3} 的 C 后，B 的扩散率（与在纯 Si 中相比）下降了 15 倍。在外延层中掺入适量的 C，可保证 HBT 器件中非常陡峭的 B 分布，尤其是获得 SiGe 基区更高和更陡峭的 B 掺杂分布，进而提高器件设计的自由度。

Abhijit Biswas 等的研究表明：在 Si/SiGe/Si HBTs 中加入少量的 C 可以抑制 B 的外扩散并减小晶格失配。他们计算发现，在相同的应变条件下，C 的加入会使基极渡越时间 τ_b 变短，但不会影响器件的稳定性。D.J.Meyer 等通过向 HBT 的 SiGe 中加入质量分数为 0.2%～0.5% 的 C，有效降低了 B 的扩散，使 HBT 的截止频率（f_T）和最大振荡频率（f_{max}）发生显著改善。这种 HBT 可以用到 RF 和数字电子通讯中。Koichiro YUKI 等设计了具有图 4.8-14 所示结构的 HBT，SiGeC 层引入后，实现了具有应变补偿作用的窄带隙，同时提高了器件的温度稳定性，使 HBT 获得了更好的高频性能。

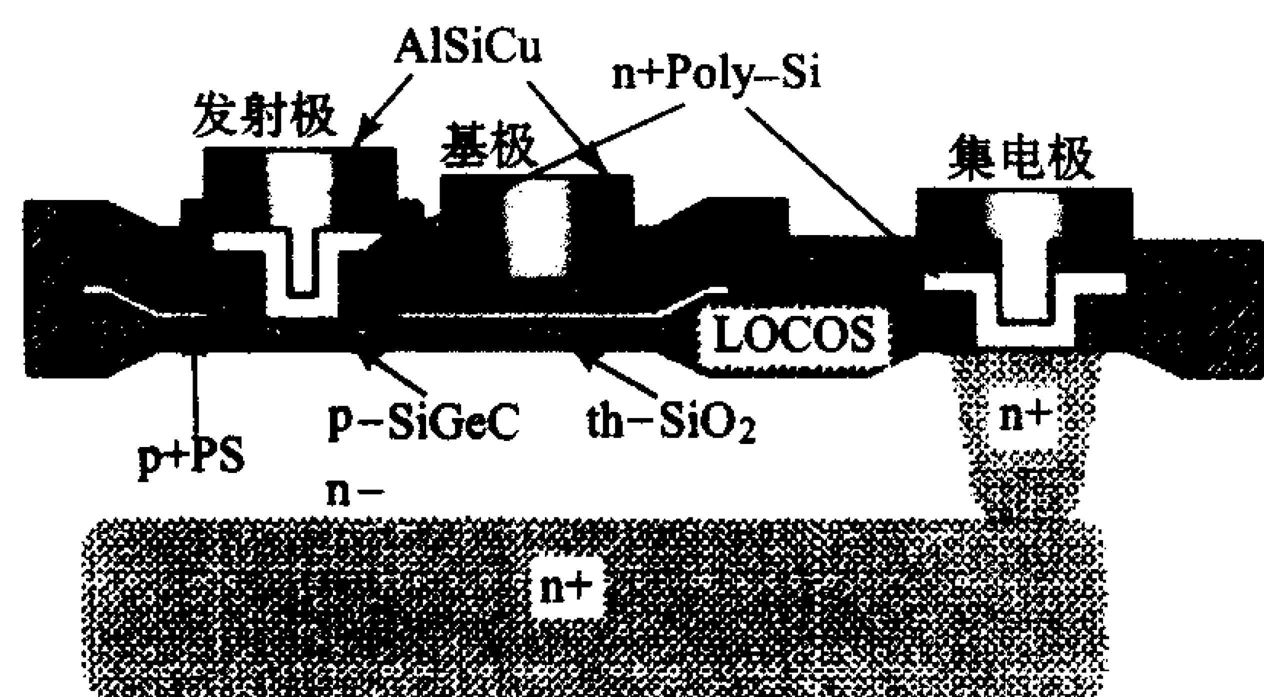


图 4.8-14　SiGeC HBT 截面图

A.C.Mocuta 等研制了 $Si_{1-x-y}Ge_xC_y$ 沟道的 p-MOSFETs，通过加入质量分数为 0.2% 的少量 C，有效地改善了沟道区的稳定性，使得在制备过程中可以采用传统的热氧化和离子注入退火工艺，而不会产生合金层的应变弛豫。实验测得 30 nm，沟道 10%～40% Ge 组分的器件在室温下的空穴迁移率峰值为 200 cm^2/（V·s）。Eduardo Jose Quinones 等设计了图 4.8-15a 中所示的 p-MOSFETs。研究表明，室温下，这种 p-MOSFETs 的饱和迁移率在低栅偏压下比 Si 或 SiGe 器件的高得多。当沟道宽度为 40 nm 时，$Si_{0.6}Ge_{0.4}$ 沟道是弛豫的，而 $Si_{0.587}Ge_{0.4}C_{0.013}$ 沟道是亚稳定的。当 $Si_{1-x-y}Ge_xC_y$ 中含 20% 的 Ge 和 0.5% 的 C 时，可以得到最好的改良结果。

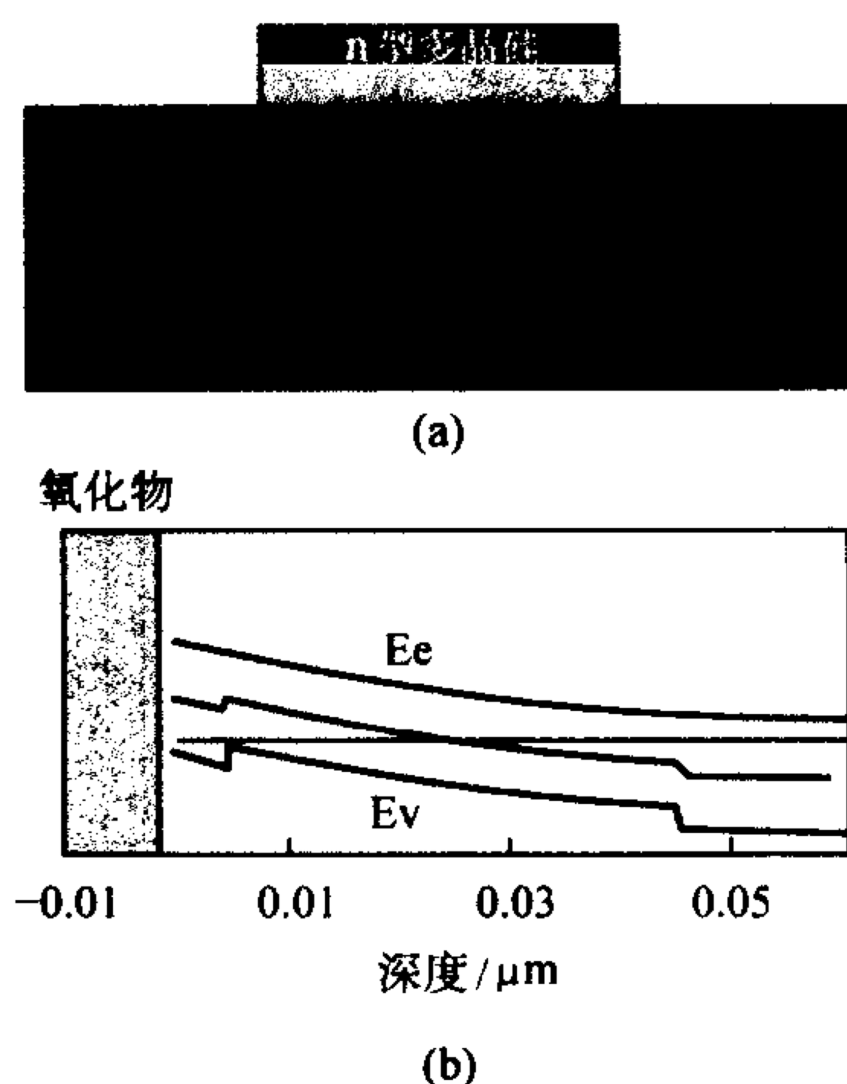


图 4.8-15　n 型多晶硅 $Si_{1-x}Ge_x/Si_{1-x-y}Ge_xC_y$ p-MOSFET 示意图（a）与平带电压时的能带结构（b）

SiGe 中加入 C，不仅对改善 HBT 器件的 RF 性能有益，也可用于窄沟道 FET、隧道二极管或其他需要得到高浓度且陡峭的掺杂分布的 Si 基器件。

近年来，研究人员发现替代位 C 会阻碍 SiGeC 合金层中的位错滑移，这可能源于替代位 C 周围强烈的局部应变。这一特性可用于制备具有低穿透位错密度的弛豫 SiGe 缓冲层。

在 Si 上交替生长压应变的 $Si_{1-x}Ge_x$ 层和张应变的 $Si_{1-y}C_y$ 层可以获得对称的应变分布。通过调节 Ge 与 C 的成分比以及各层的厚度，可以获得晶格常数与 Si 相等的结构（例如，当 SiGe 层与 SiC 层等厚，Ge 与 C 的比例在 8.2∶1 时，应变是对称分布的）。这意味着此类超晶格的总厚度可以不受限制，因而对于生长 1 μm 厚的波导层非常有用。1996 年，K.Eberl 等在 Si（100）衬底上生长出了 25 对 $Si_{0.84}Ge_{0.16}$（4 nm）/$Si_{0.988}C_{0.012}$（3.3 nm）/Si（17 nm）的双量子阱结构。$Si_{0.84}Ge_{0.16}$ 层处于压应变，而 $Si_{0.988}C_{0.012}$ 层则处于张应变。

Richard A.Soref 提出了一种完全应变补偿的 $Si_{1-9.2y}Ge_{8.2y}$-C_y/Si 量子级联激光器的设想。他分析指出，$y=4\%$ 时，$Si_{0.63}Ge_{0.33}C_{0.04}$ 的带隙为 0.875 eV，相对于 Si 而言，总的能带偏移（$\Delta E_v+\Delta E_c$）为 255 meV。若 $\Delta E_c=0.1\Delta E_v$，则 $\Delta E_v=$ 232 meV。Soref 分析认为，由于此时 SiGeC 与 Si 是晶格匹配的，可以实现 1 μm 厚的低位错密度的波导 SiGeC/Si MQW。利用其价带中空穴子带间的跃迁 hh3－hh2，采用电泵浦有可能得到一种激射波长在 8～12 μm 的量子级激光器。

F.Y.Huang 等用 SiGeC 作为 pin 光电二极管的吸收层制得了响应波长在 1.3～1.55 μm 的波导光探测器，其结构如图 4.8-16 所示。其中的吸收层是 80 nm（800 Å）的 SiGeC 应变合金，Ge 含量 w_{Ge} 为 55%，C 含量 w_c 为 1.5%。这种探测器的光电流谱的峰值响应在 1.0 μm，在 1.3～1.55 μm 范围内的响应也很显著。通过单模光纤与其波导面的耦合，测出该探测器的外量子效率在 1.55 μm 波长下为 0.2%，而在 1.3 μm 波长下可达 8%。

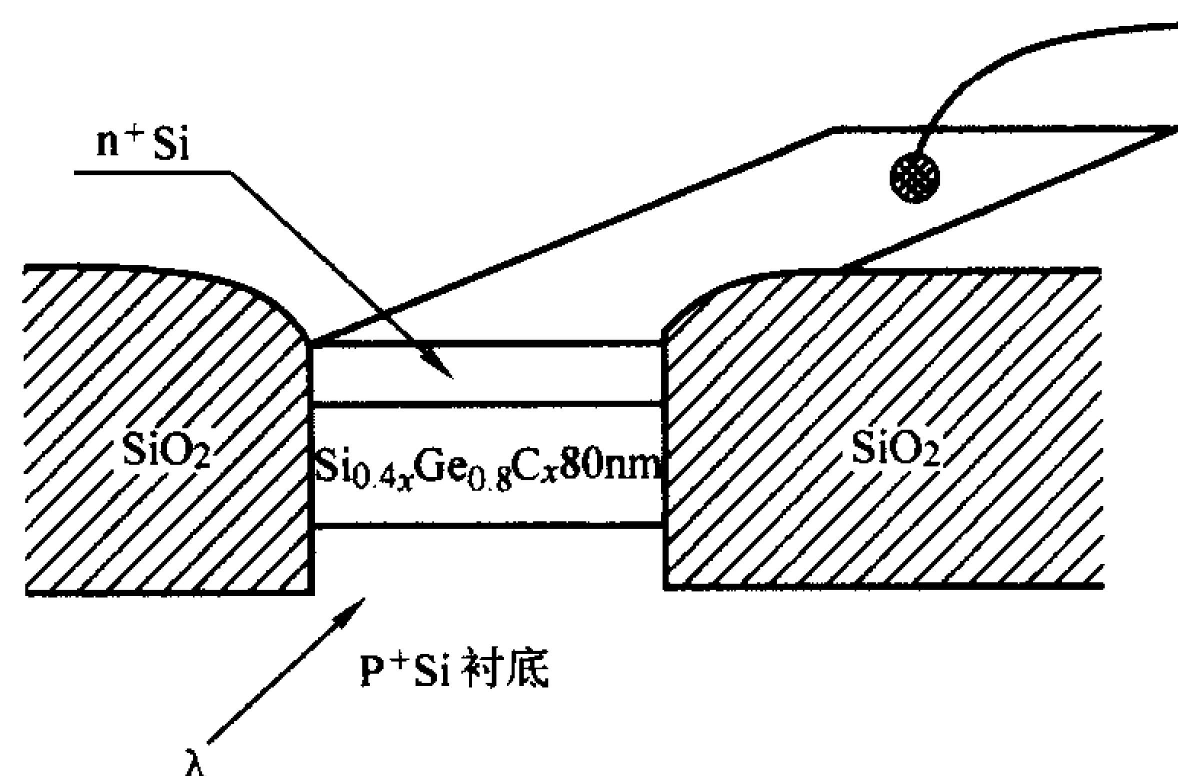


图 4.8-16　Si 衬底上的 SiGeC-Si pin 光电二极管示意图

6　结语

利用 C 的应变补偿，可以制备出高 Ge 组分的 SiGeC 合金层，同时改善界面特性，提高载流子的有效迁移率；SiGeC 材料的带隙可调性，使得可以更灵活地获得能带结构，提高 SiGeC/Si 量子阱对载流子的量子限制，得到所需波长范围内的光响应。这些都预示着 SiGeC 在微电子和光电子器件中会有广阔的发展前途。

应该看到，目前对 SiGeC 的研究还不完善，实际应用更多的集中在较低的 C 含量范围内。如何得到渗碳 3%～5% 的 SiGeC 将是 SiGeC 领域的一个有待突破的方向。一方面，这有利于制备高锗组分的合金层；另一方面，可以得到 950 meV 的带隙，对应于 1.3 μm 的带边跃迁，从而发展光通讯领域的 SiGeC 探测器和激光器。有理论分析认为，含量质量分数在 3% 以上的碳是不稳定的，容易生成 SiC 沉淀。因此，要得到 3% 以上的高碳含量，必须在远离平衡态的情况下进行。如何实现 SiGeC 的低温快速生长将是研究的关键。

有人认为，采用UHV/CVD工艺，确定合适的气源，引入辅助的外场，并严格控制工艺参数将会是一种可能的有效手段。

此外，低碳含量的SiGeC在HBT、MOSFET等微电子器件中的应用还将继续是一个研究热点。SiGeC对载流子迁移率的影响已经较为清楚，但是SiGeC微电子器件的综合性能仍是有待研究的课题。

随着对SiGeC新型硅化物材料研究的逐步深入，以及其在光电子和微电子器件上的更多新的应用，必将为硅基OEIC（光电集成回路）的发展注入新的活力。

编写：左玉华（中国科学院半导体研究所）

第9章　硅基Ⅲ－Ⅴ族半导体异质结构

半导体异质结构和异质结是从晶体结构和能带结构两个方面来描述不同半导体材料的连接。由于异质结是用来执行和完成器件功能的，要求具有较高的晶体完整性，因而它往往是借助三元组分的调节来实现（如 $In_xCa_{1-x}As/In_yGa_{1-y}As$），这样既不会产生新的位错，也达到了器件所需的功能要求。倒是作为支撑作用的衬底和器件薄膜之间的结构问题较多，这是由于技术原因（如无法制备某种半导体体材料）、或成本原因、或集成原因，使得大部分半导体薄膜器件希望被制备到 Si 衬底上之故。

硅是最早被开发的半导体材料之一，其在自然界中储存丰富、价格低廉，随着微电子集成技术的发展，已制备出大口径（16英寸）、低位错密度的单晶，而 Si 芯片的加工技术也很成熟。同时，将光电子与微电子集成在一个芯片上的优势越来越明显、其趋势越来越迫切。因此也就不难理解，为什么人们一直努力将Ⅲ-Ⅴ族、及其他半导体材料制备在硅衬底之上的原因了。

半导体异质结构的研究是每一位半导体材料和器件工作者都会遇到的问题，它伴随着半导体领域的发展而发展，始终都没有停止过。另一方面，以往的文献报道中多数是关于小失配（$f<0.5\%$）异质结构的，对这类异质结构的应变膜生长、临界膜厚度、位错引入方式、以及其后的弛豫等物理过程研究得较为清楚、理论较完善。而对大失配（$f>1\%$）、特别是对Ⅲ-Ⅴ/Si 异质结构（其 $f>5\%$）论述较少，尽管目前采用了多种外延生长方法和多种键合方法，但它们都有这样或那样的不足。在此，笔者认为很有必要在本章中就近几年来硅基Ⅲ-Ⅴ族异质结构的发展给予介绍。

1　硅与Ⅲ-Ⅴ族材料的结构差异

1.1　硅结构

硅属于第Ⅳ族元素，因而单晶硅的晶格结构与碳单晶是一样的，被称为金刚石结构。这种结构的特点是：每个原子周围都有四个最近邻的原子，组成一个正四面体结构，其配位数是4，在直角坐标中如图4.9-1a所示。任一顶角上的原子和中心原子各贡献一个价电子，为双方所共有，共有的电子在两个原子之间形成较大密度的电子云，通过它们对原子实的引力把两个原子结合在一起，这就是共价键。其在{100}面上的投影用图4.9-1b表示，(·)表示共价键上的电子。

金刚石结构的结晶学原胞如图4.9-1c所示，它是立方对称的晶胞。这种晶胞可以看作是两个面心立方晶胞沿立方体的空间对角线相对位移了四分之一长度套构而成的。原子在原胞中排列的情况是：8个原子位于立方体的八个顶点上，6个原子位于六个面中心上，晶体内部有4个原子。立方体顶点和面心上的原子与这四个原子周围的情况不同，所以它是由相同原子构成的复式格子。若沿立方晶胞的[$\bar{1}$10]方向投影，与图4.9-2b类似（但为单一原子），则（111）晶格面（以相邻的两个原子为一个晶格）按 ABCABCA……顺序堆积起来的。

1.2　Ⅲ-Ⅴ族材料结构

Ⅲ族元素为镓（Ga）、铟（In）、铝（Al）、硼（B）和钛（Ti），Ⅴ族元素为砷（As）、氮（N）、磷（P）、锑（Sb）和铋（Bi）。由于在Ⅲ-Ⅴ族半导体化合物中较少涉及钛和铋，所以在本章节中只涉及砷化物系列：GaAs、InAs、AlAs、BAs；氮化物系列：GaN、InN、AlN、BN；磷化物系列：GaP、InP、AlP、BP；锑化物系列：GaSb、InSb、AlSb、BSb。

Ⅲ-Ⅴ族半导体化合物材料有闪锌矿型和纤锌矿型两种结构。其中Ⅲ族砷化物、磷化物和锑化物都为闪锌矿型结构，而Ⅲ族氮化物具有稳定的纤锌矿型结构和亚稳定的闪锌矿型结构，只有氮化硼是类似石墨的六角结构。

1.2.1　闪锌矿型结构

闪锌矿型结构和金刚石结构很类似，都可以看作是两个面心立方格子沿立方体的空间对角线互相位移了四分之一的空间对角线长度套构而成，它们不同之处在于金刚石是由一种原子构成的复式格子，而闪锌矿结构由两种不同的原子构成的复式格子。在闪锌矿结构中，每个原子被四个异族原子所包围，例如，如果角顶上和面心上的原子是Ⅲ族原子，则晶胞内部四个原子就是Ⅴ族原子，反之亦然。每个晶胞中共有八个原子，其中四个Ⅲ族原子，四个Ⅴ族原子。它们之间是依靠共价键结合，但有一定的离子键的成分。

由于是化合物，且在共价键中出现离子成分，使得Ⅲ-Ⅴ族化合物呈现出了极性，且改变了晶体结构。在共价结合占优势的情况下，Ⅲ-Ⅴ化合物倾向于构成闪锌矿型结构；在离子性结合占优势的情况下，就倾向于构成纤锌矿型结构。相对于金刚石型结构而言，闪锌矿型结构的对称性较低，不再具备中心反演对称性。从垂直其（111）面法线的方向看，晶体结构是由一系列Ⅲ族原子（A）面和Ⅴ族原子（B）面交替组成，见图4.9-2b。但原子层之间的间距有所不同：一种是沿[111]方向以单键连接，且间距较大；另一种

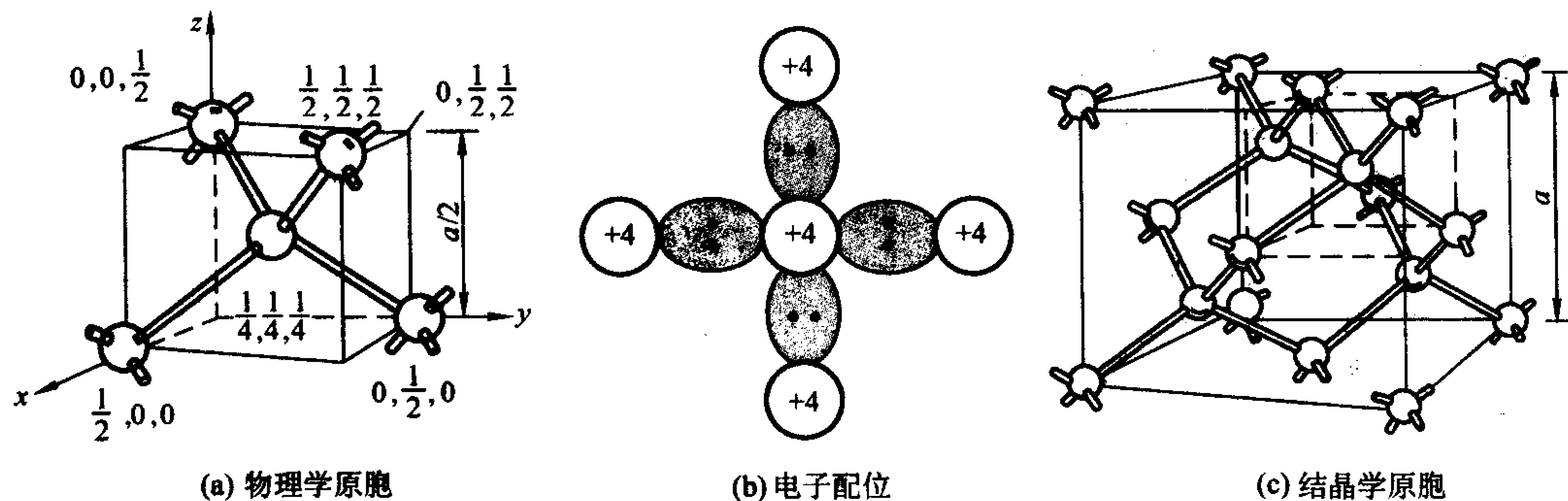
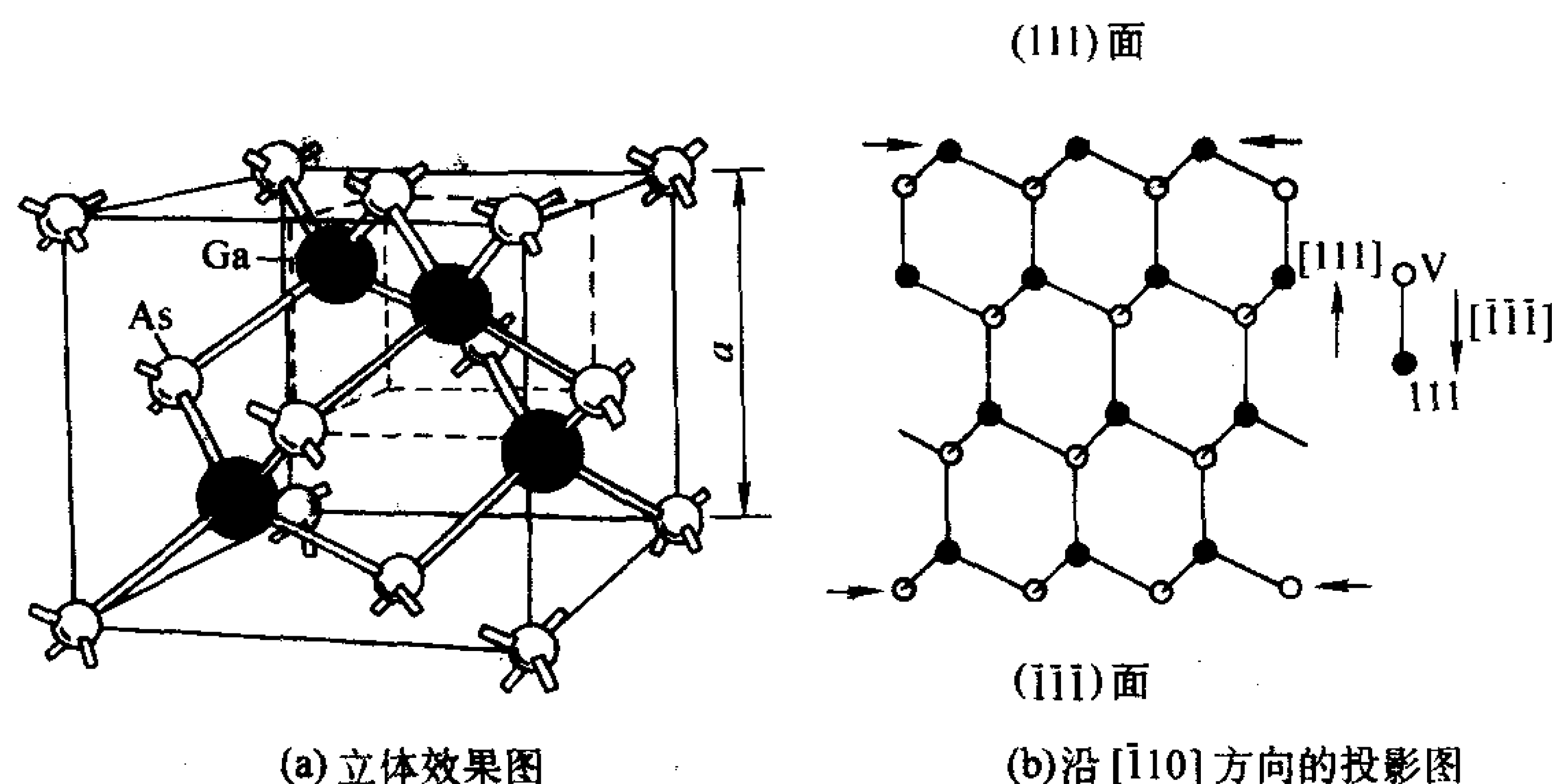


图4.9-1　硅的金刚石型结构



(a) 立体效果图 (b)沿[$\bar{1}$10]方向的投影图

图4.9-2 闪锌矿型结构

是沿该方向以三键连接，且间距较短。通常规定：沿密排面法线方向以单键方式连接、且由Ⅲ族金属原子指向Ⅴ族非金属原子的方向为[111]，反之为[$\bar{1}\bar{1}\bar{1}$]。由于单键容易断裂，因此，(111)表面的原子多为A原子，而($\bar{1}\bar{1}\bar{1}$)表面的原子多为B原子，这给以表面化学腐蚀形貌来判断晶体极性带来了许多方便。

由于这种不对称结构，使得该晶体在[111]和[$\bar{1}\bar{1}\bar{1}$]方向上的物理内涵也是不相同的，即两个方向是不等价的。由于Ⅲ族原子与Ⅴ族原子周围的电子云分布不同，Ⅲ族原子与Ⅴ族原子有效电荷不同，双原子层便成为电偶极层，晶体便由许多电偶极层组成的，因而[111]轴是一个极化轴。

闪锌矿结构与金刚石结构中晶体解理面也是不同的，前者为{111}面，而后者为{110}面。这种差别被称认为是由于价键不同所造成的：金刚石结构是由单纯的共价键构成的，{111}原子面之间单键所形成的面间距最大，最容易分开；而闪锌矿结构除共价键外还有离子键的成分，这使得{111}原子面之间增加了库仑引力，但{110}晶面上因正负离子等量分布而不受影响，库仑引力和斥力相互抵消，故形成{110}面解理。

1.2.2 纤锌矿结构

纤锌矿型结构和闪锌矿型结构相接近，也是以正四面体结构为基础构成的，但它具有六方对称性，而不是立方对称性，图4.9-3为纤锌矿型结构示意图，它是由两种原子各自组成的六方结构堆积而成，如果以它的晶格点阵层面（包含两种原子层）来表示的话，其(0001)晶格面则按ABABA…顺序堆积，从而构成纤锌矿型结构。

与Ⅲ-Ⅴ族化合物类似，这种共价性化合物晶体中，其结合的性质也具有离子性，且这两种元素的电负性差别较大。通常规定：沿密堆积法线方向，即±[0001]轴上，从一个Ⅲ族金属原子以单键方式指向一个非金属原子的方向为

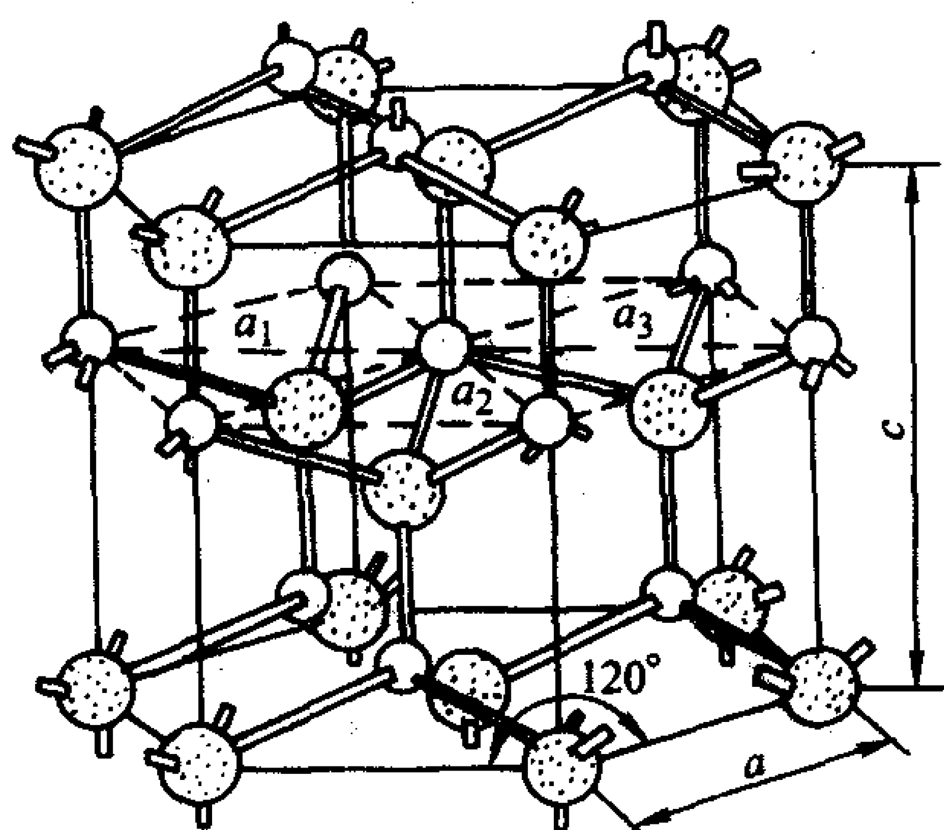


图4.9-3 纤锌矿型结构

[0001]，反之，为[000$\bar{1}$]方向。与闪锌矿型结构的{111}面相同，双原子层内的三键较双原子层的单键强，所以，具有[0001]极性的纤锌矿化合物薄膜表面为(0001)面，且以Ⅲ族原子为其表面终止原子；而具有[000$\bar{1}$]极性的纤锌矿化合物薄膜表面为(000$\bar{1}$)面，且以Ⅴ族原子为表面终止原子。

2 外延生长的硅基Ⅲ-Ⅴ族异质结构

外延生长是一种制备单晶薄膜的技术。所谓外延，就是在一定条件下，在单晶材料衬底表面、生长一层取向与衬底一致的单晶薄膜。当该薄膜材料与衬底相同时，称为同质外延；当该薄膜材料与衬底不同时，称为异质外延。硅基Ⅲ-Ⅴ族异质结构，就是在Si衬底上异质外延Ⅲ-Ⅴ族半导体化合物薄膜。目前，用于外延生长的设备主要是分子束外延(molecular beam epitaxy，简称MBE)，金属有机物气相沉积(metalorganic chemical vapor deposition，简称MOCVD)、又称为金属有机物气相外延(metalorganic vapor Phase epitaxy，简称MOVPE)。前者多用于半导体材料及其异质结构的研究，后者多用于半导体芯片的批量生产。本节主要描述Si基Ⅲ-Ⅴ族异质结构的制备难点、位错引入机理和克服这些难点的应对方法。

2.1 外延生长难点

在Si衬底外延Ⅲ-Ⅴ族半导体薄膜，普遍存在着三个方面的问题：即由非极性衬底外延极性薄膜所引起的反向畴问题，由晶格常数不同而引起的大失配问题，以及由线胀系数不同而引起的热失配问题。

1）反相畴问题　由于硅是金刚石结构，属非极性晶体，而Ⅲ-Ⅴ族半导体化合物为闪锌矿和纤锌矿结构，属极性晶体，因此，在硅上外延Ⅲ-Ⅴ族化合物首先遇到的是极性的建立。当Ⅲ族原子和Ⅴ族原子同时到达硅衬底的表面时，由于化学键的强度不同，通常总是Ⅴ族原子首先与Si键合，然后再交替生长Ⅲ族原子和Ⅴ族原子。但Si表面并不总是完全平整，除了双原子台阶以外，还可能会有单原子台阶，特别是在闪锌矿材料的{001}面（如图4.9-4a)，那么在单原子台阶两侧的生长就会形成一个原子的错序，从而出现Ⅴ-Ⅴ族或Ⅲ-Ⅲ族原子键。由于沿台阶方向两边Ⅲ和Ⅴ族原子结合的序列（位相）相反，这种结构缺陷就是反相畴(anti-phase domains，简称APDs)。另外，在大失配的异质外延中，初期生长往往为岛状，而岛状生长又使表面形貌恶化，因此，在岛的边缘也有可能形成反向畴结构。反相畴可以在透射电镜中、通过俯视样品中的Moirè干涉条纹很容易观察到，见图4.9-4b。

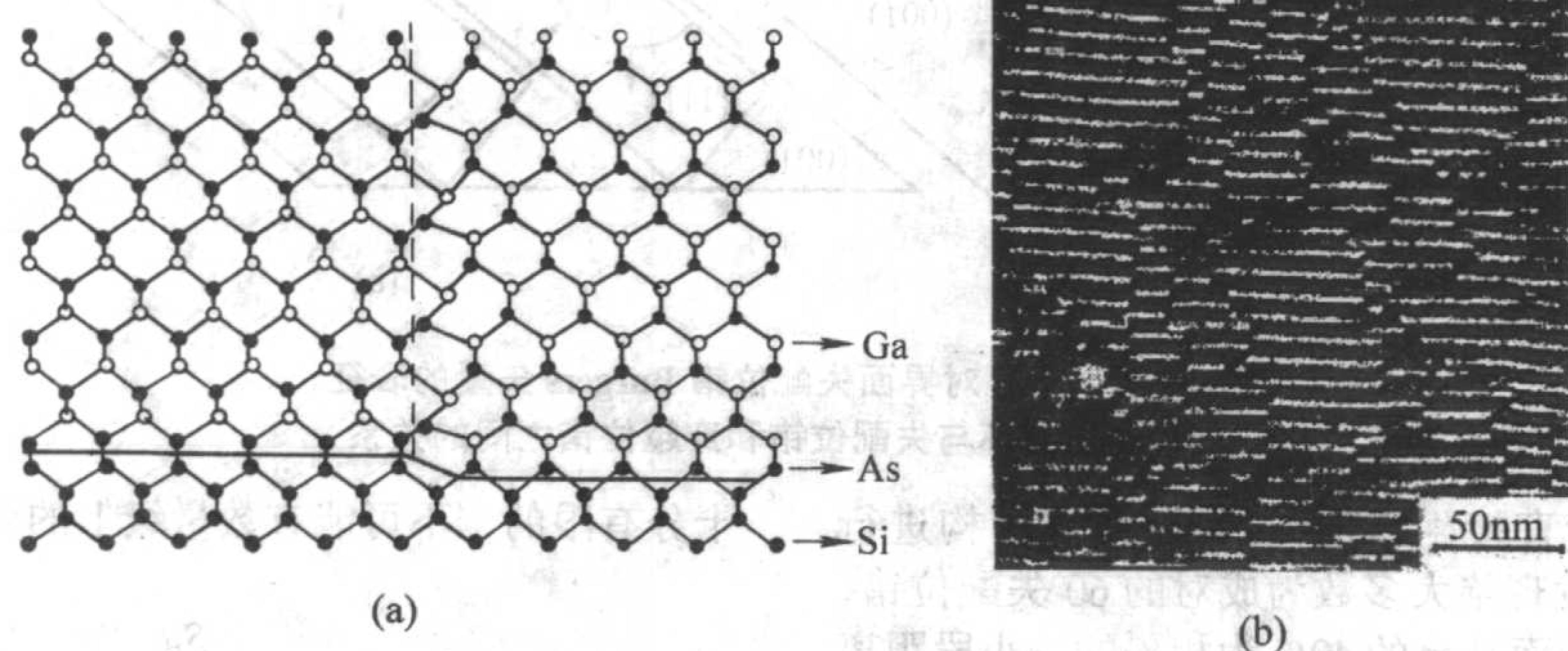


图 4.9-4　一种引起反相畴的膜/衬底界面和畴/畴边界原子结构（a）以及俯视样品的透射电镜照片（b）

2）晶格失配问题　表 4.9-1 为 Si 和各种Ⅲ-Ⅴ族材料的线胀系数、晶格常数和晶格失配的对比，其中晶格失配是采用 $f=(a_S-a_L)/a_L$ 公式计算的，a_L 为薄膜晶格常数，a_S 为衬底 Si 的晶格常数，这是考虑到 Si 衬底厚度远大于Ⅲ-Ⅴ族外延薄膜、且可认为没有应变的缘故。$f>0$ 代表薄膜处于张应力，而 $f<0$ 则代办表薄膜处于压应力。通常情况下，晶格失配小于 0.1% 为小失配，而大于 1% 为大失配。由此可见，除了闪锌矿中 GaP/Si、AlP/Si 和钎锌矿中 In/Si 的失配为中等程序，其他Ⅲ-Ⅴ族半导体薄膜材料与 Si 衬底都构成了大失配。

表 4.9-1　（a）Si 和Ⅲ-Ⅴ族闪锌矿材料的线胀系数、晶格常数、与 Si 失配一览表

材料	Si	GaAs	InAs	AlAs	GaP	InP	AlP	GaSb	InSb	AlSb
线胀系数/10^{-6}K	2.33	6.0	5.3	5.2	5.3	4.5		6.9	4.9	3.7
晶格常数/nm	0.543	0.565	0.606	0.566	0.545	0.587	0.546	0.609	0.648	0.614
失配度	—	−3.89%	−10.4%	−4.06%	−0.367%	−7.50%	0.549%	−10.8%	−16.2%	−11.6%

表 4.9-1　（b）Si 和Ⅲ族氮化物纤维锌矿材料的线胀系数、晶格常数、与 Si 失配与一览表

材料	Si（111）	GaN	InN	AlN	
线胀系数/10^{-6}K^{-1}	2.44	5.59 3.17	5.20	4.2 5.3	
晶格常数/nm	$D(110)=0.384$ $d=(111)=0.314$	0.319 0.519	0.354 0.570	0.311 0.498	a（nm） c（nm）
界面失配度	—	20.4%	8.47%	23.5%	

3）热失配问题　任何材料在制备的过程中，都要经历升温、降温（有时要经历多次升、降温）；而器件在应用过程中也有一个工作温度，即也存在升、降温过程。所以，必须要考虑两种材料由于线胀系数不同而引起的热失配问题。所有的Ⅲ-Ⅴ族半导体材料与 Si 都有很大的热失配。以 GaAs 为例，GaAs 的线胀系数为 $6.0\times10^{-6}K^{-1}$，而 Si 的线胀系数为 $2.3\times10^{-6}K^{-1}$，粗略估计，从延生长温度（约 600℃）冷却到室温，将会引起约 0.2% 的热应变。如果在高温条件下，GaAs/Si 为弛豫了的异质结构，那么在冷却到室温之后，由于 GaAs 和 Si 的晶格的相对收缩，有可能使 GaAs/Si 异质结构转变为一定的张应变。其他研究还表明 GaAs 外延膜的线胀系数是各向异性的。所以 GaAs 和 Si 衬底间的热失配是比较复杂的。

2.2　大失配异质结构中的位错

在半导体异质结构中，位错分布在衬底、异质界面和外延薄膜中。位于衬底内的，称之为体位错；位于异质界面的，称之为失配位错；位于外延薄膜中的，称之为穿越位错。在大多数实际应用中，衬底与外延膜之间的界面不起异质结的作用，因此，失配位错对半导体器件是没有影响的。但穿越位错不同，它直接穿过后续生长的异质结，因此，真正要减少和去除的是外延膜中的穿越位错。

然而，穿越位错又与失配位错有着千丝万缕的联系。在小失配半导体异质结构中，有三种位错存在的形式：（1）由衬底延伸上来的位错；（2）由衬底延伸上来、且被膜中应力弯拆一段、后又继续穿越外延膜；（3）在超过临界厚度的半导体薄膜表面成核、并以半圆环下滑至界面的位错。随着衬底材料的不断改善，体位错密度逐渐减少，由衬底延伸至薄膜内的位错比例越来越小，大部分穿越位错是在外延生长过程形成的。

在金刚石和闪锌矿半导体所形成的（001）异质结构中，常见的失配位错可以分为两类：Ⅰ类位错的 Burgers 矢量 b 为 $\pm\frac{1}{2}[1\bar{1}0]$ 和 $\pm\frac{1}{2}[110]$，由于其平行于（001）界面，且垂直于位错线，所以是纯刃位错，又称其为 Lomer 位错；Ⅱ类位错的 Burgers 矢量 b 为 $\pm\frac{1}{2}[101]$、$\pm\frac{1}{2}[011]$、$\pm\frac{1}{2}[10\bar{1}]$ 和 $\pm\frac{1}{2}[01\bar{1}]$，是混合型（即同时具有刃型位错和螺旋位错分量）的位错，由于其与位错线成 60°角，故称其为 60°失配位错。

图 4.9-5（a）为失配位错与 Burgers 矢量的示意图，平面为（001）异质界面，MN 为 <110> 方向的失配位错线（由 N 指向 M），ABCD 为汤普森（Thompson）四面体，它标志着闪锌矿结构的 4 个｛111｝滑移面，和所有的 Burgers 矢量（全位错和不全位错）。当失配位错为 Lomer 位错时，其 Burgers 矢量为 AB，当失配位错为 60°时，其 Burgers 矢量为 AC、AD、CB，DB。图 4.9-5（b）为滑移面上的半位错环，E 为其下滑过程中的半位错环，F 为其滑移到底部的半位错环。F 底部为 60°失配位错，由于外延膜内存在应力，因此 F 的两个臂仍然可以继续向两侧滑移。与此相反，Lomer 位错的 b 矢量不在闪锌矿｛111｝滑移面上，所以 Lomer 位错及其两个端臂必须通过相当缓慢的攀移来移动。

然而，在闪锌矿Ⅲ-Ⅴ/Si 异质结构中（除（001）GaP/Si、（001）AlP/Si 以外），失配都是很大的，虽然也可以计算外延薄膜的临界厚度，但往往因其数值接近或小于一个晶格而显得毫无意义。在这种情况下，出现的大多为 Lomer 位错，而 Lomer 位错的形成机理有多种解释，有人认为是由两个 60°失配位错合并而成，也有人认为是在初期岛状生长的边缘形成。

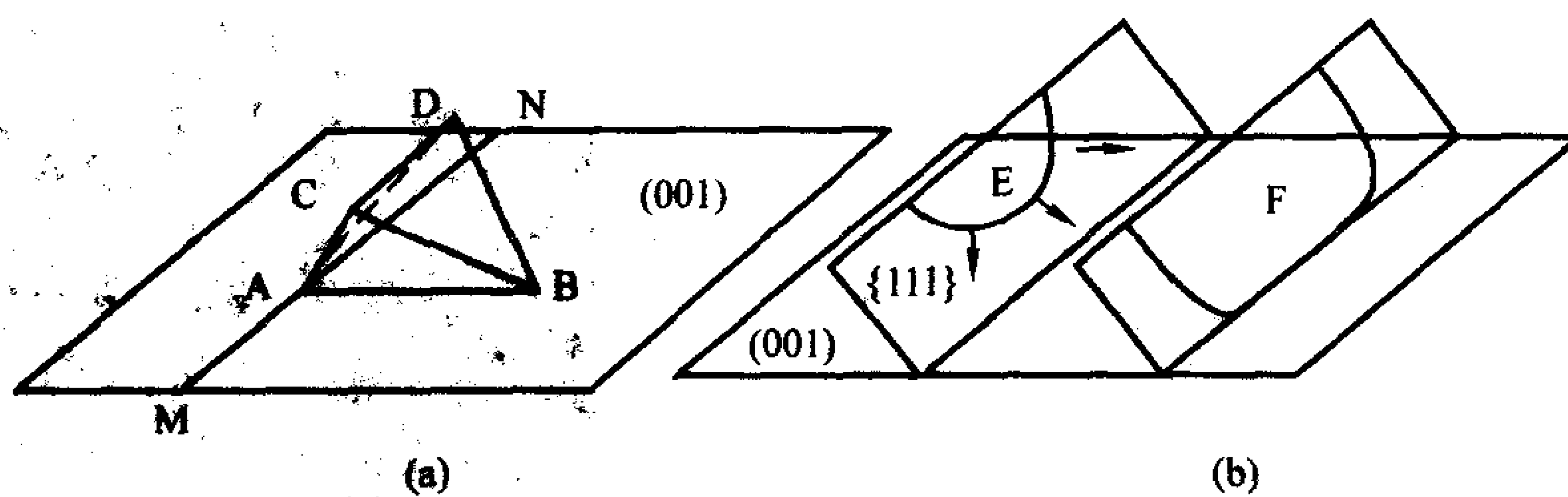


图 4.9-5　(a) 对界面失配位错 Burgers 矢量的表征，(b) 半位错环与失配位错和穿越位错之间的关系

近来人们对 MOCVD 直接生长的 GaAs/Si 异质结构进行了透射电镜分析，结果发现绝大多数为成对的 60°失配位错，其中 60% 为 Lomer 位错，而其余的 40% 为相隔的一小段距离的 60°位错对、或滑移面相互交叉的 60°位错时。他们认为 Lomer 位错是由一对螺旋位错分量相反的 60°位错相互反应而来，其能量较两个分立的 60°位错低，$|1/2<110>a|^2<|1/2<101>a|^2+|1/2<01\bar{1}>a|^2$；但当其螺旋位错分量相同、或在薄膜生长过程中先后两次成核的位错，则无法进行反应。

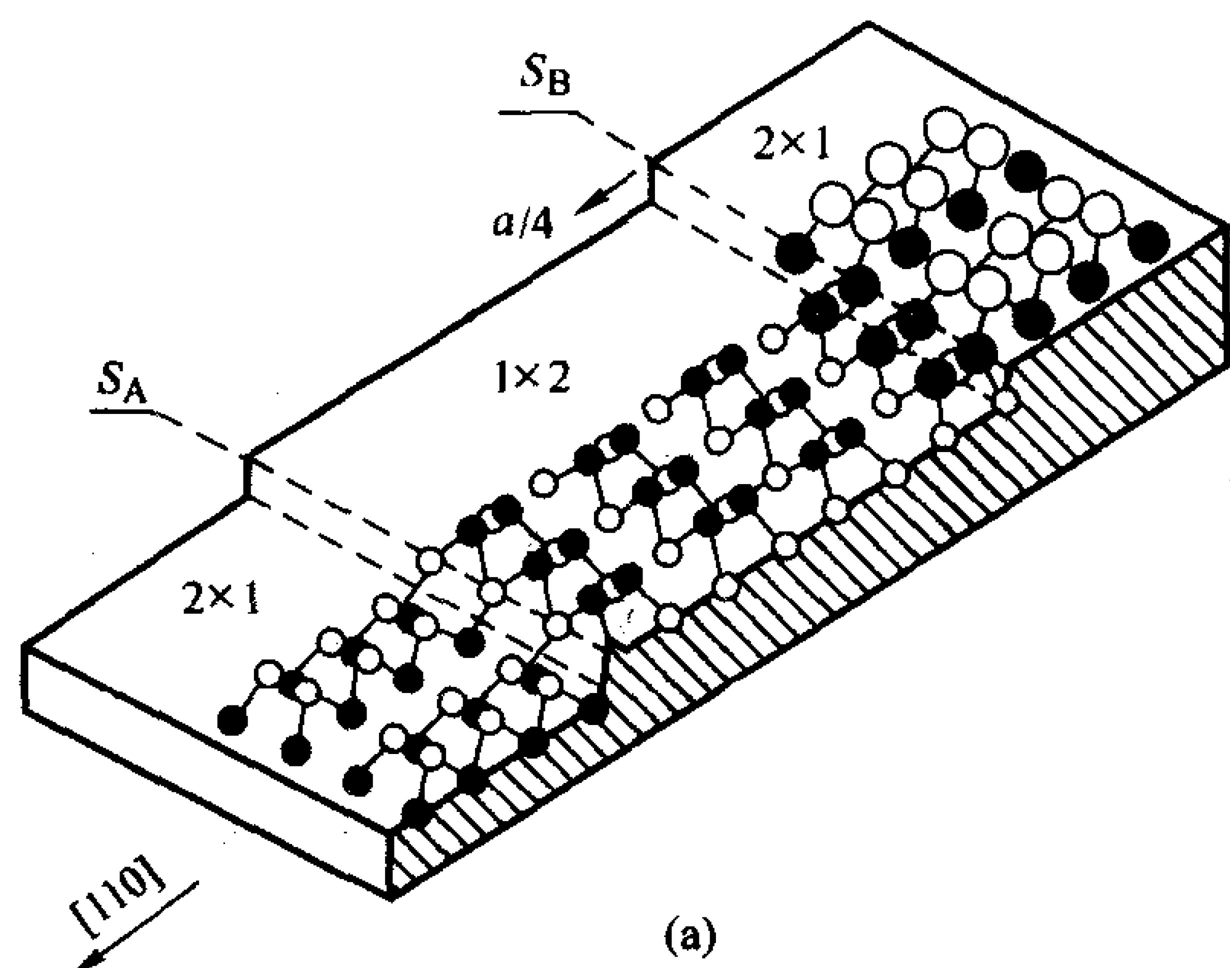
但无论怎样解释，有一点是肯定的，那就是对 Lomer 位错占多数的大失配与 60°失配位错占多数的小失配异质结构，在研究方法上应有所不同。

2.3　硅基闪锌矿异质外延生长难点的几点应对方法

1) 衬底取向偏离方法　为了抑制反相畴的生在，人们多数采用取向偏离（Misorientation）的方法，即通过研磨，使（001）Si 表面法线［001］向 <110>/（001）方向倾斜一个很小的角度（约 2°～5°），这样可以有两个好处：①避免单层台阶的出现，②在台阶处诱导失配位错的形成。

Si（100）面具有两种性质的台阶，即单层（SL）台阶和双层（DL）台阶，如图 4.9-6 所示。单层台阶常见于无倾角的（100）面，是亚稳定的，而双层台阶则常见于倾斜的表面上，是稳定的。上述的每一种台阶又可以按台阶边处二聚体键合方向分为 A 和 B 两种，A 表示垂直于台阶边缘，B 表示平行于台阶边缘。因此，四种台阶结构分别用 S_A、S_B、D_A、D_B 标识。生成各种台阶的能量不同，双层台阶 D_A 的生成能最高，单层台阶 S_A 的生成能量最低，并且也是不引起大的应变或过多悬挂键的台阶，并且其最容易出现在（100）晶面。但当晶面倾斜 θ 角时，如果产生 S_A 台阶，必然伴随着 S_B 台阶的出现。然而由两种台阶出现需要的总能量（0.1 eV/原子）可能比双层台阶 D_B 的出现需要的能量（0.07 Ev/原子）要大，所以一定条件下，出现 D_B 台阶比单台阶的组合（S_A+S_B）更为适合。一般而言，偏离角 θ 小于临界角 θ_c 时，台阶间的弹性相互作用使得单台阶的组合（S_A+S_B）的能量会比双台阶 D_B 的能量低；而当 θ 大于临界角 θ_c 时，单台阶的组合（S_A+S_B）的能量比双台阶 D_B 的能量高，即：此时最稳定的台阶是 D_B 台阶。对 Si 衬底进行高温退火，也能促进 Si 表面形成双层原子台阶结构。

失配位错在（001）闪锌矿异质结构中是沿 <110>/（001）方向排列的，如果将衬底面法线［001］朝 <110>/（001）方向微倾一个角度，则可在垂直 <110>/（001）方向形成台阶；如果将衬底面法线［001］朝 <100>/（001）方向微倾一个角度，则可在［110］和［$\bar{1}$10］两个相互垂直的方向上形成台阶，诱导失配位错的成核。无论是 60°失配位错还是 Lomer 位错，衬底取向偏离所形成的台阶都可以在界面上相对延长单根失配位错的长度，也就是说可以在单位面积上减少失配位错两个端臂的数目和密度，从而达到降低穿越位错密度的目的。但是用这种方法来降低穿越位错密度是十分有限的，不可能有数量级上的变化。



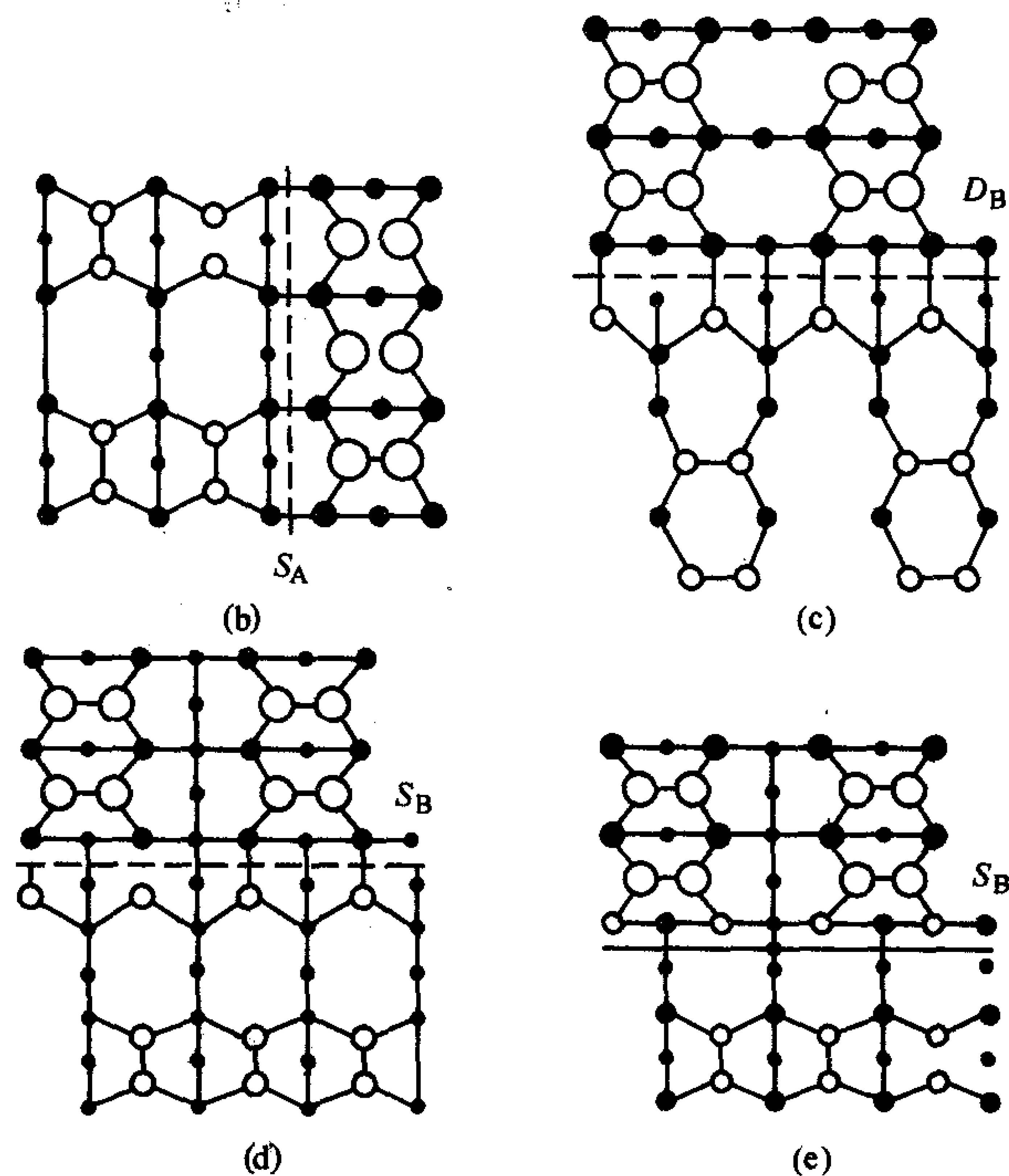


图 4.9-6　(a) 为 Si（001）再构表面的球-棍模型，(b)(c)(d)(e) 分别是在该表面上 S_A、D_B、S_B 再键合和 S_B 未键合台阶的平面图，虚线显示台阶所在位置，圆圈大小表示原子大小（所在层次），空心圆表示悬挂键原子

2) 两步生长方法　所谓两步生长法，就是在低温和高温下分别外延生长同一种半导体材料。众所周知，低温下表面吸附原子的扩散距离有限，故形成岛状生长模式（Volmer-Weber growth）；而在高温下表面吸附原子的扩散距离较长，可形成二维生长模式（Frank-van der Merwe growth）；在一定失配条件下，还可以形成混合生长模式（Stranski-Krastanov growth）。但在两步生长中，其低温生长是比岛状生长温度更

低的一种模式，形成纳米级的颗粒，从而使表面避免了凹凸起伏的形貌。这样做的好处是：①减缓了外延膜与衬底的热失配，用两个较小的热失配界面替代了一个大的热失配界面；②改变了位错的形成方式，避免了 Lomer 位错，参见图 4.9-7。

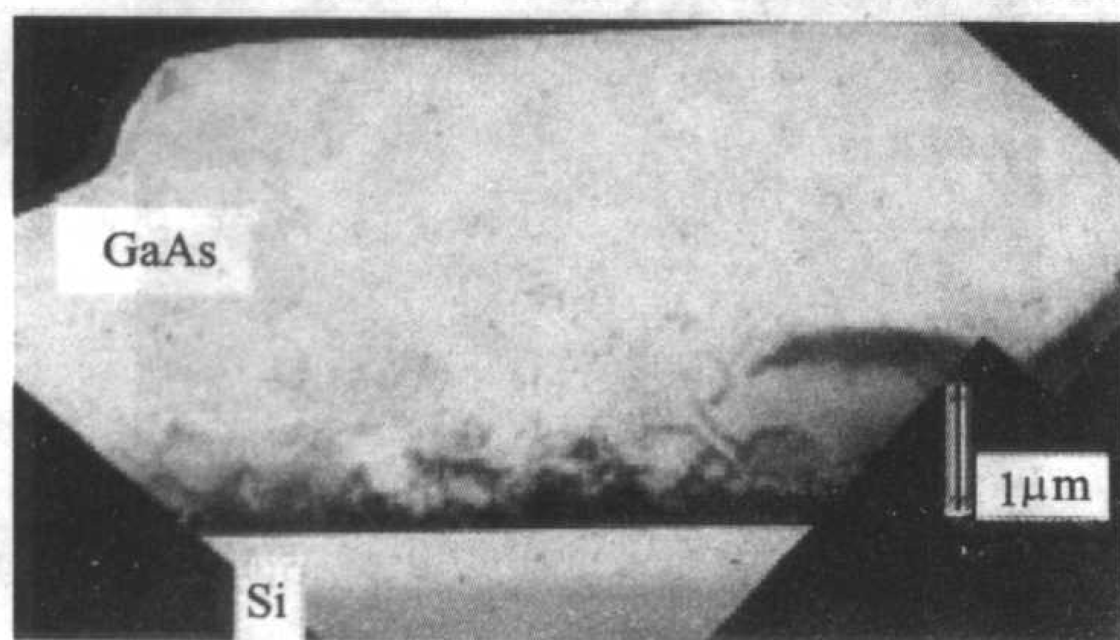


图 4.9-7　用两步法生长出的 GaAs/Si 异质结构的透射电子显微镜（TEM）照片

3）热退火方法　热退火，也可称之为退火，就是样品在高温中保持一定时间，使其内部结构发生变化。对衬底表面退火，可以减少单原子层台阶、增加双原子台阶，进而避免反相畴；对外延薄膜退火，则可以增加穿越位错的能量，促使其在膜应力的作用下发生滑移，或形成失配位错、或增加位错间的反应，从而达到减少穿越位错密度的目的。

退火有多种方式：对硅衬底进行高温退火；在生长过程中进行原位退火（停止生长、升高温度）；在某气压保护下的静态退火；在较高的温度下生长缓冲层的同时进行动态退火；还有效果更好的循环退火。循环退火一般要重复几个周期，每个周期都包括一个短时间的生长过程，一个降温过程和一个升温退火的过程。在结束生长后，有几十分钟的长时间退火，也有持续仅几秒的高温快速退火。

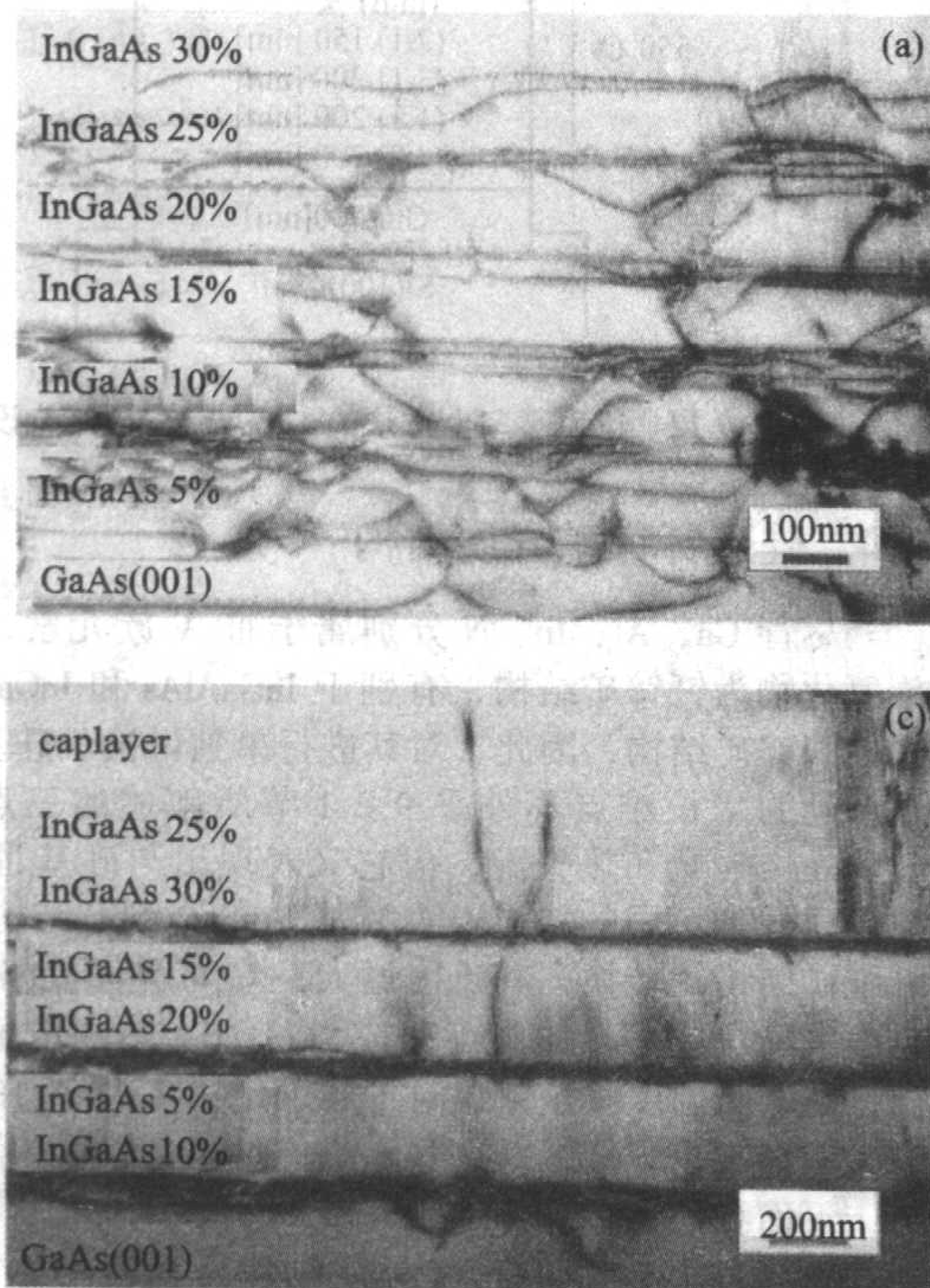
4）缓冲层方法　为了缓解大失配界面所引起的生长质量劣化，人们在衬底和薄膜之间插入一个中间层，该层的晶格常数界于薄膜与衬底之间，以两个较小的失配界面替代一个大失配界面；或者该层的线胀系数界于上下两种材料之间，以两个较小的热失配界面替代一个大的热失配界面，因此得名为缓冲层。缓冲层的厚度必须大于其临界厚度，使得其中应力充分释放（弛豫），这样方能对下一层薄膜生长创造有力的条件。

缓冲层不仅仅局限于一个，也可以是多个缓冲层，例如采取成份逐级递增（Compositional Step-Grading）的方式形成多个小失配的界面，从而达到对大失配的彻底缓解。由于每层之间都是小失配，所以位错都是在临界厚度之上以位错环的形式介入（尽管不是每层），位错环的两臂或者滑移到芯片边缘，或者与其他位错发生反应，从而达到降低穿越位错密度的目的。但是该方法对薄膜生长的控制精度要求很高，对每一分层的组分都能精确控制，否则无法运行。

组分逐级递增方法要求缓冲层是衬底和外延膜的多元化合物，例如：20 世纪 90 年代中期，西班牙 Gonzalez 领导的研究小组运用了组分逐步递进的方法在 GaAs 衬底上生长出优质的 InGaAs 薄膜。其 TEM 照片如图 4.9-8a 所示，各组分变化被标在其中，厚度和压应变如 4.9-8b 所示。其中横向分布的曲线为半位错环，由于应力不够，半位错环的下滑和横向扩展都不充分。将组分振荡加入其中，则效果大为改观，杂乱的半位错环统统被吸附到了界面上，见图 4.9-8，其厚度和压应变如图 4.9-8 所示。

大多数薄膜与衬底无法构成多元化合物，则可以采用变通的方法，即用其他多元化合物替代，且与衬底和薄膜都具有较小的失配。例如：Andre 等人利用 Ge 与 GaAs 失配小（0.07%）的特点，通过 SiGe 组分逐步递进，在 Si 衬底上生长出 GaAs 薄膜，其异质结构为 GaAs/Ge/$Si_{1-x}Ge_x$/Si。

5）应变层方法（包括短周期超晶格）　在异质结构中插入单应变层，以对外延薄膜产生更大的内应力，目的就是要增大弯折穿越位错的程序，起到阻挡穿越位错的作用。这类应变层可以是单层，如图 4.9-9 所示；也可以是多层，如将超晶格（SuPer-lattice structures = SLSs）插入异质结界面上方。



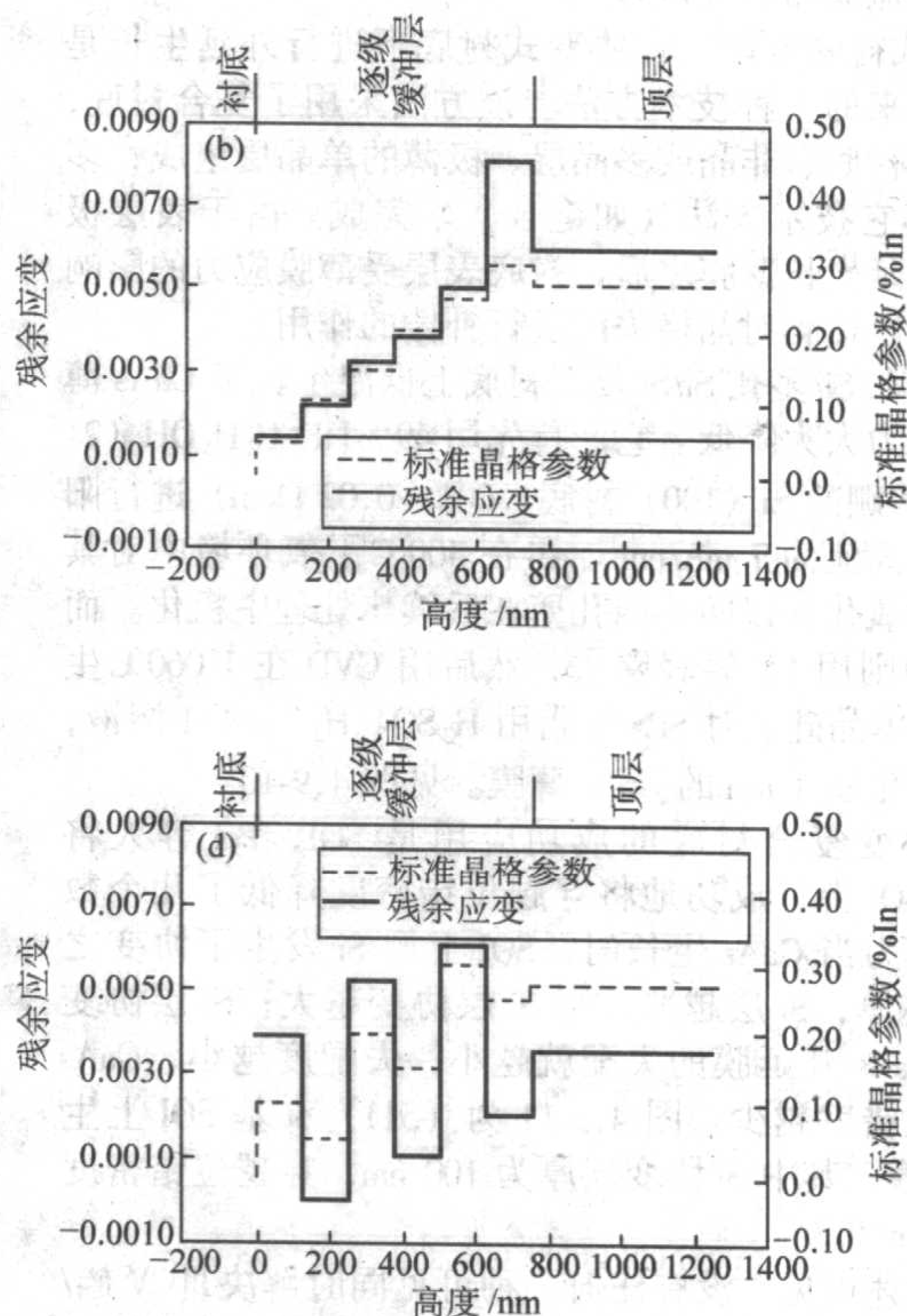


图 4.9-8（a）　组分逐级递增的 InGaAs/GaAs 异质结构 TEM 像，（b）为（a）的组分变化示意图；（c）组分振荡递增的 InGaAs/GaAs 异质结构 TEM 像，（d）为（c）的组分变化示意图

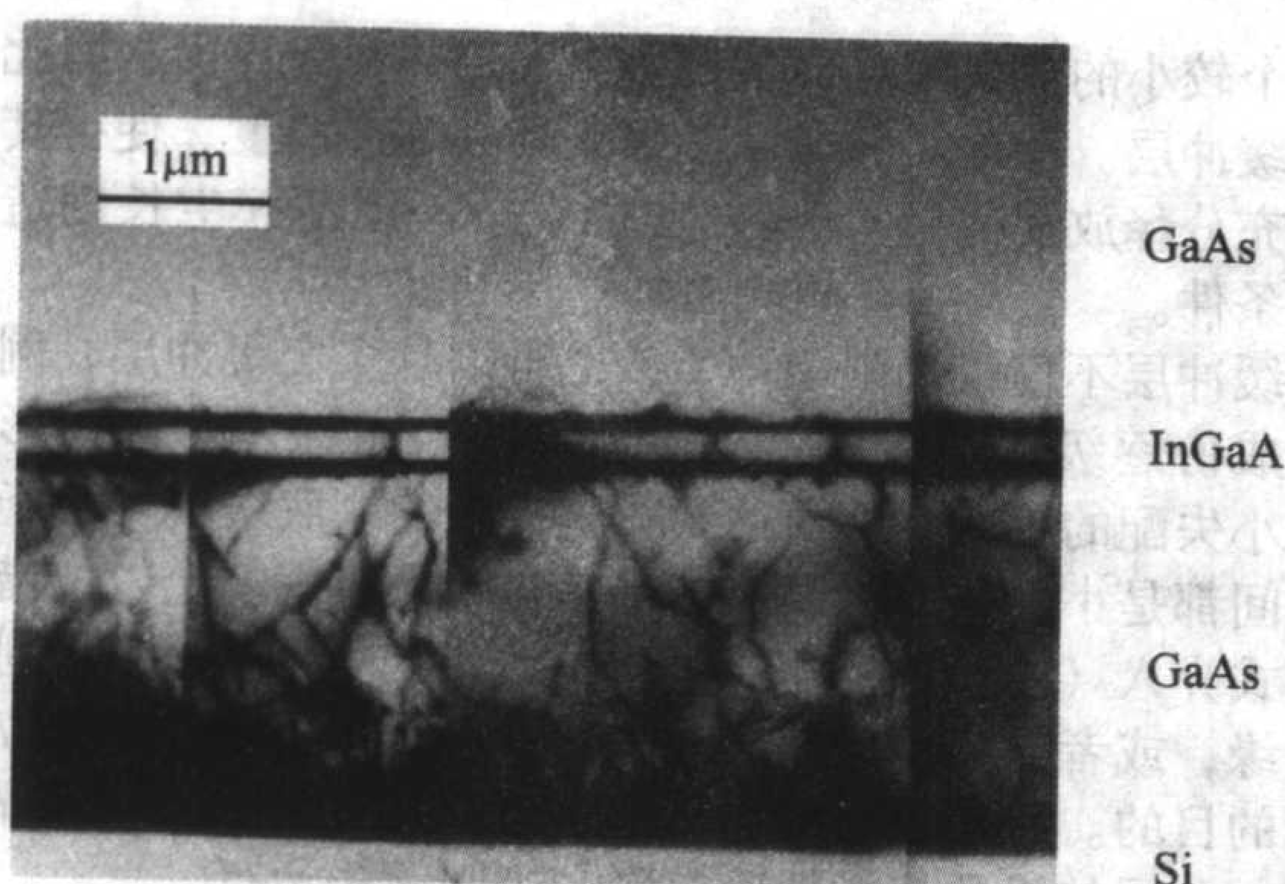


图 4.9-9 用 MOCVD 制备的、具有单应变层的 GaAs/Si 异质结构

当应变层与组分逐级递增结合时，则产生了应变振荡的模式，如图 4.9-8d 所示，图 a 中的半位错环都被吸附在亚界面上，如图 c 所示。与此同期，日本 Pak 领导的研究小组运用了应变短周期超晶格（SSPS）在 GaP 衬底上生长出优质的 GaAs 薄膜。其机理是用 $(GaAs)_m$ $(GaP)_n$ 混合进行短周期重复，并将 GaP 组分逐步过渡到 GaAs，其穿越位错密度降低了两个数量级。

当大失配异质界面无法采用组分逐级递增的方法时，则可以用插入应变层的方法，但必须特别要注意外延膜中穿越位错的可滑移性，只有可滑移的位错才能被弯折。上述例子中的应变插入生长，就是采用了两步生长的方式，从而使得其中的穿越位错可弯折。

6）选则外延生长方法　选则外延生长就是在衬底上选则部分区域进行外延，并最终合并成片的生长。其过程是：在衬底上先生长一层非晶（如 SiO_2）作掩模，在通地过光刻和刻蚀将图形转换到非晶层上，然后在开孔处外延生长，超过掩模后又进行横向生长，合并后再一同外延生长。该方法的优点：在掩模表面进行的横向生长是无晶格失配的，穿越位错仅集中在掩模图形开口处。

7）协变式衬底方法　在协变式衬底上进行外延生长是最近期发展起来的一种技术方法。该方法采用了复合衬底，该复合衬底由衬底、非晶或多晶层、极薄的单晶层组成，多为非外延的其它技术方法（如键合）来完成。由于表层极薄，这样在外延生长薄膜之后，衬底表层受薄膜应力的影响而发生协变，以达到对晶格失配进行补偿的作用。

Saravanan 在 Si/多孔 Si/Si 复合衬底上低温生长了 GaAs 薄膜，使其能应力大大降低。它产首先用 49% HF: C_2H_5OH（2:1）溶液对重掺硼的 Si（100）衬底（001～0.02 Ωcm）进行阳极电离，其电离流为 7 mA/cm^2。再在 400℃ 干氧环境中对其表面进行轻微氧化，以防止内孔壁在后续热处理中粗化。而表面的氧化物则用 HF 轻轻除去，然后用 CVD 在 1 060℃ 生长约 10 nm 的单晶硅。对 SPS 去脂用 H_2SO4: H_2O = 4:1 溶液，最后用两步法生长 1 μm 的 GaAs 薄膜。见图 4.9-10。

另一个协变复合衬底的成功应用是 SOI，Pei 等人将 GaAs 生长在 SOI 上，成功地将穿越位错密度降低了几个数量级。这是因为当 GaAs 生长时，SOI 上层 Si 发生了协变之故。GaAs 膜越厚，Si 层越薄，则 Si 层协变越大；Si 层协变越大，Si 与 GaAs 外延膜的失配就越小；失配度越小，GaAs 外延膜内的位错就越少。图 4.9-11 为（511）Si 基 SOI 上生长的 GaAs 薄膜，其中 Si 协变层厚为 100 nm，穿越位错密度小于 3×10^7 cm^{-2}。

从以上叙述可见，没有任何一种可见同时解决Ⅲ-Ⅴ族/Si 异质结构生长的三大难题。因此，在实际的半导体薄膜材料生长中，往往需要同时运用几种手段来综合提高和改善薄膜的生长质量。例如，有人利用衬底取向偏离 + 选则外延 +

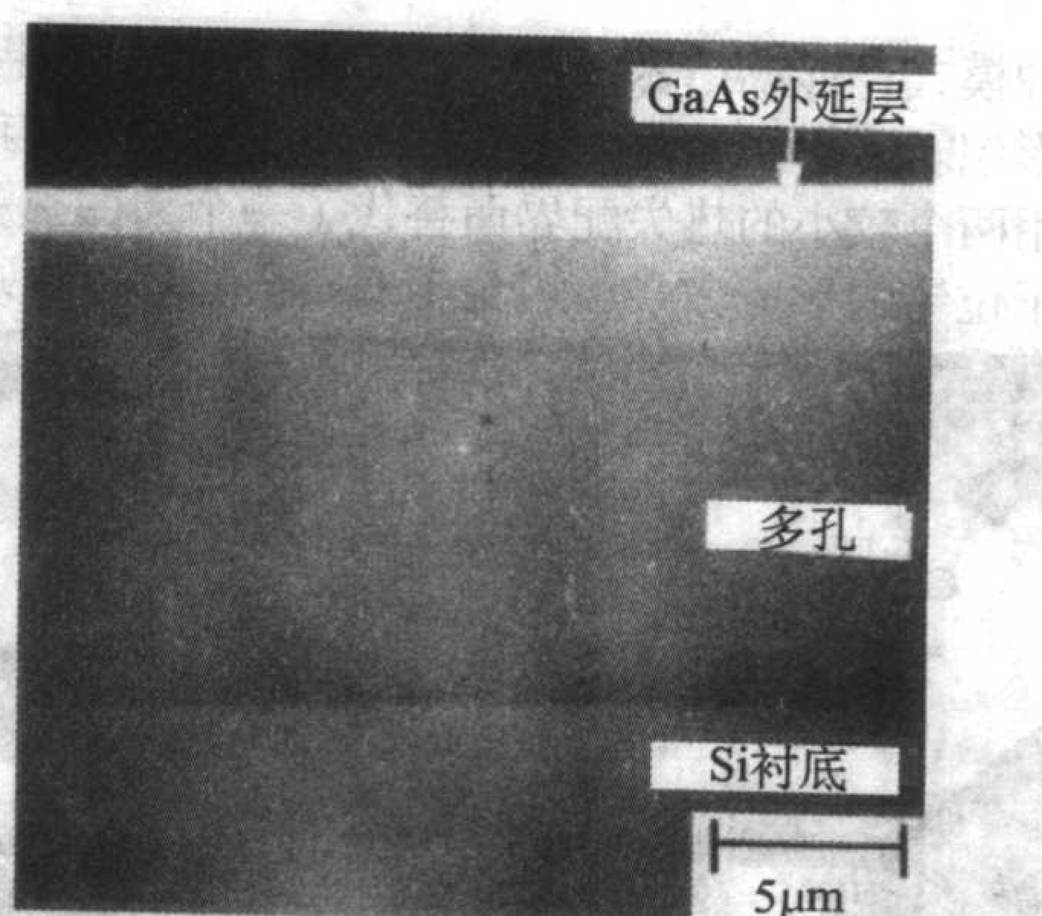


图 4.9-10 在 Si 基多孔 Si 上生长的 GaAs 薄膜

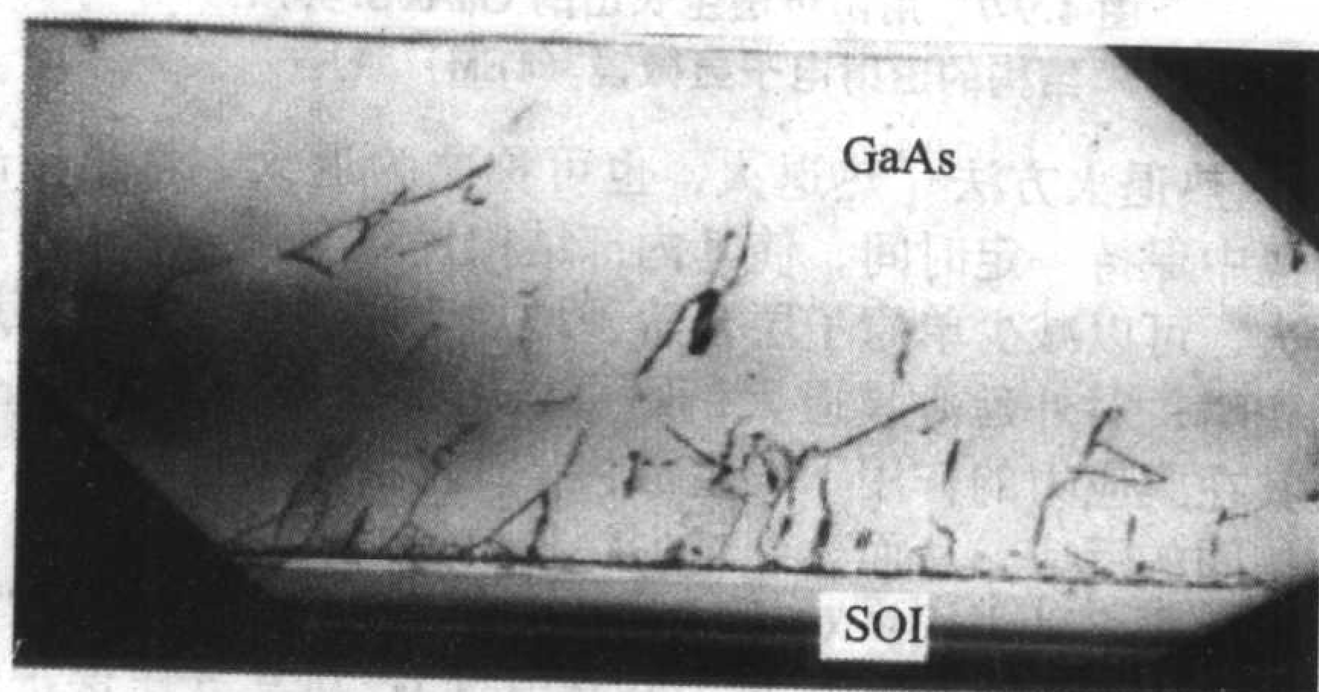


图 4.9-11 （511）GaAs/SOI 的 TEM 横截面像

两步生长 + GaP 缓冲层 + $(GaP)_m$ $(GaAs)_n$ 的 SSPS，最后转化为 GaAs 薄膜，见图 4.9-12，在 Si 衬底上实现了高质量 GaAs 的异质结构。

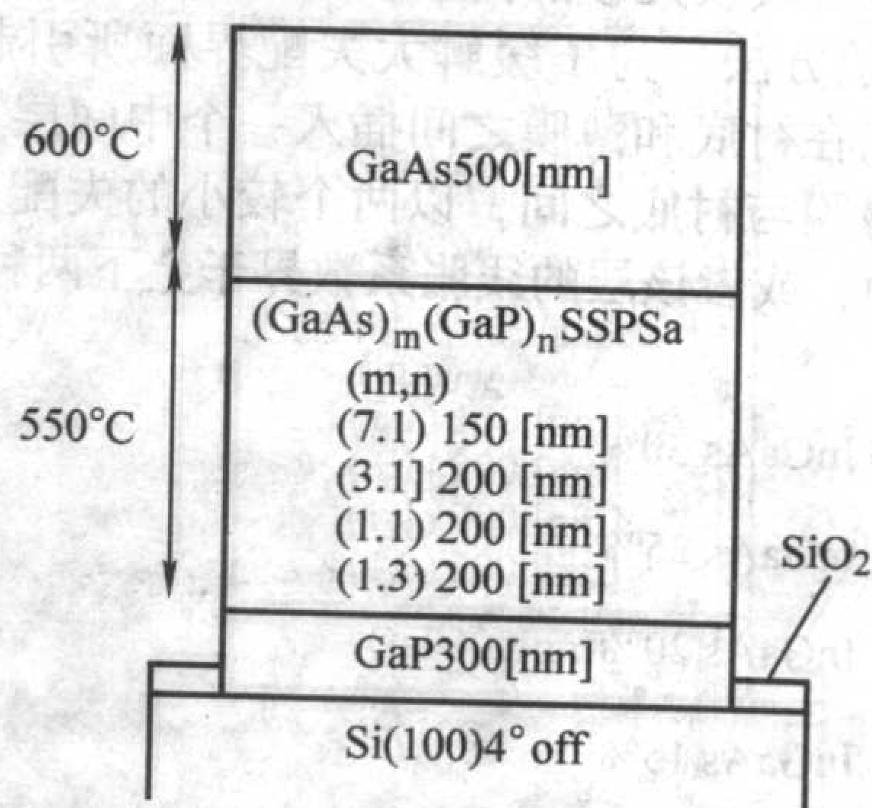


图 4.9-12 运用了多个方法的 GaAs/Si 异质结构设计图

2.4 硅基纤锌矿异质结构

尽管 Ga、Al、In、N 分别属于Ⅲ-Ⅴ族元素，但由于Ⅲ族氮化物为钎锌矿结构，有别于 InGaAlAs 和 InGaAlP 两大系列的闪锌矿结构，因此，对其进行单独讨论。硅基钎锌矿异质外延的生长难点不外乎 9.2.1 节所叙述的三点，即反相畴、晶格失配和热失配，但它又表现出与硅基Ⅲ-Ⅴ族闪锌矿异质外延不同的特点：（1）从 Si 的金刚石结构向Ⅲ-Ⅴ族纤维矿结构的转换，其难度增大；（2）界面晶格失配增大，且由失配压应力转向失配张应力；（3）热失配显得尤其突出，从生长温度降至室温时Ⅲ族氮化物在张应力的作用下会有大量龟裂出现。针对这些困难，科学家们正在做着各种努力，下面我们将近几年的研究做一概括。

1）(0001)GaN/(111)Si 异质结构　由于 GaN（0001）与 Si（111）都为原子密排面，因此理论上在（111）Si 衬底上外延 GaN 薄膜是可行的，但是，（0001）GaN/（111）Si 异质结构与（0001）GaN/（0001）Al_2O_3 完全不同。GaN/Si 晶格失

配高在达 20.4%，并且处于张应力下，而 GaN/Al_2O_3 只有 15%，且处于压应力下；其次，GaN 的线胀系数与 Si 相差 35%，在这样大的张应力下，GaN/Si 异质结构从高温降致室温时则出现了大量的裂纹（龟裂）。另一方面，Ga 在 Si 表面的浸润性较差，这使得在 GaN/Al_2O_3 异质结构中常用的两步法在这里无法使用，人们不得不寻求各种缓冲层。在许多 GaN/Si 异质结构生长研究中，所涉及到的缓冲层有：AlN、SiC、AlAs、人为 SiN_x、BP、HfN、SiCAlN 等，到目前为止，要数 AlN 最为突出，它基本上解决了龟裂问题。

方法之一是用 MBE 生长 AlN 缓冲层，图 4.9-13 为德国 Regensburg 大学、实验及应用物理所的研究人员所生长 GaN/AlN/Si 异质结构的 TEM 像。其特点是在 1 040℃下生长 AlN 缓冲层，缓冲层厚约 30 nm，成岛状结构，其晶界由三个黑色箭头所指，晶粒的明暗主要是来自相互间的取向微偏。值得注意提是：在 AlN/Si 界面上有一极薄的 SiN_x 非晶层，约 1.5～2.7 nm 厚，如图 4.9-13 中右上角插图所示。关于 SiN_x 非晶层的利弊时有报道，但 Rawdanowicz 通过激光 MBE 来控制 SiN_x 非晶层的生长后指出：SiN_x 非晶层并非为 AlN/Si 异质结构特有的产物。

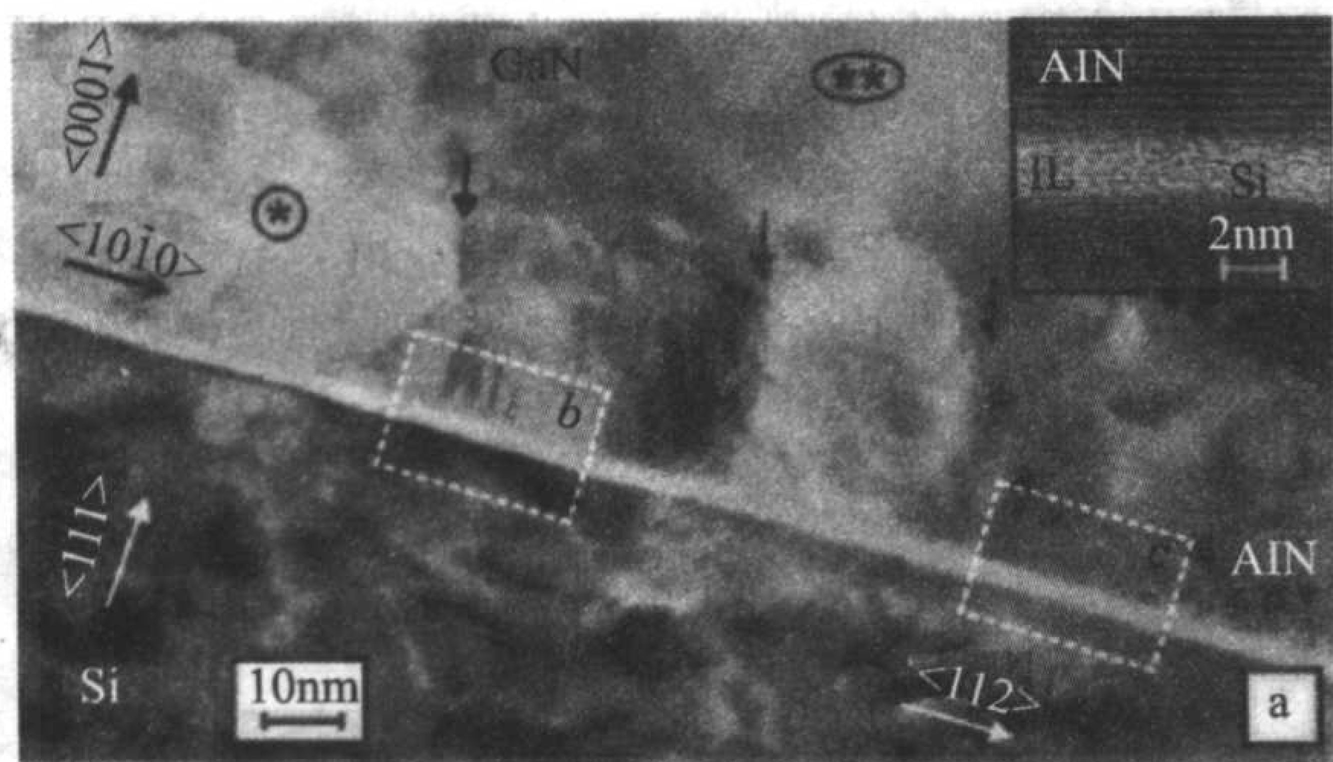


图 4.9-13　高温生长 AlN 缓冲层的 GaN/AlN/Si 异质结构的［11$\bar{2}$0］极轴像

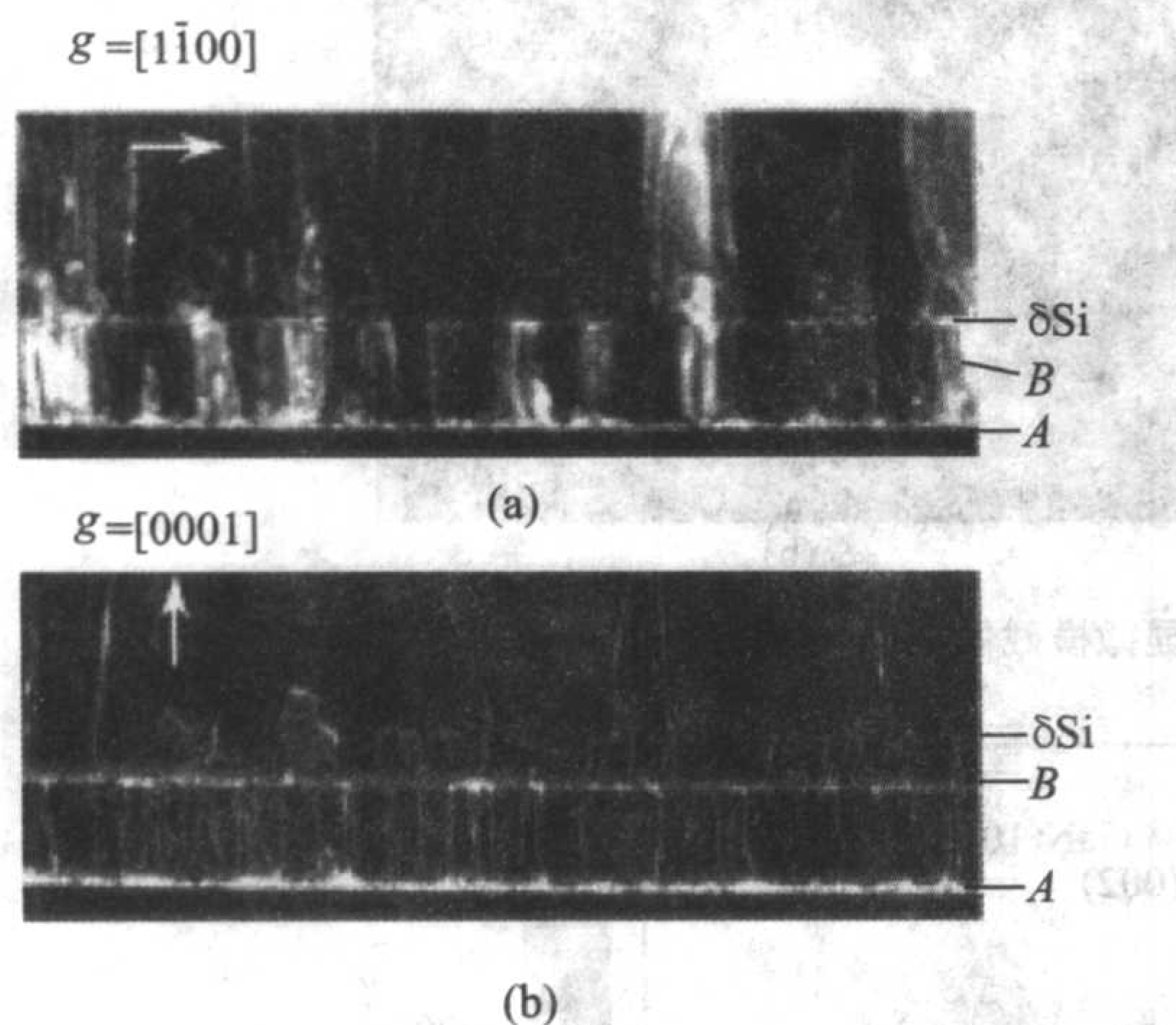


图 4.9-14　Delta 硅（δSi）掺杂的 GaN/AlN/Si 异质结构 TEM 横截面像，(a)［1$\bar{1}$00］衍射，(b)［0001］衍射

方法之二是用 MOVPE 生长 AlN 缓冲层，图 4.9-14 为德为 Otto-von-Guericke 大学（Magdeburg）实验物理所的研究人员生长的 GaN/AlN/Si 异质结构，在生长 GaN 薄膜中用到 Delta 硅（δSi）掺杂的方法，即在（111）Si 衬底上先低温（720℃）生长 AlN 缓冲层，然后再分别交替生长 GaN：Si（1 145℃）和 AlN（630℃），以此来阻拦穿越位错。图 a 为反射矢 g = ［1$\bar{1}$00］的 TEM 衍衬照片，图 b 为反射矢 g = ［0001］的 TEM 衍衬照片，从中可以看出那些 n 形状半位错环为两根位错线的合并（湮灭），其具有 ±［0001］的 burgers 矢量，为螺旋位错（根据笔者工作经验，这样生长容易导致表面形貌粗糙）。进一步放大缓冲层可以发现，AlN 缓冲层由众多的小晶柱组成，厚约 25 nm，穿越位错是从百分之一的晶柱缝隙中生出，其机理不清。图 4.9-15 为（0001）AlN（111）Si 界面的高分辨晶格像（a）和失配位错俯视示意图（b），图中失配位错形成的半晶格面由符号“⊥”表示，从而可以看出失配位错的位置。其界面处的原子排列（Si、N 和 Al 原子的位置）需经过进一步的模拟和分析。

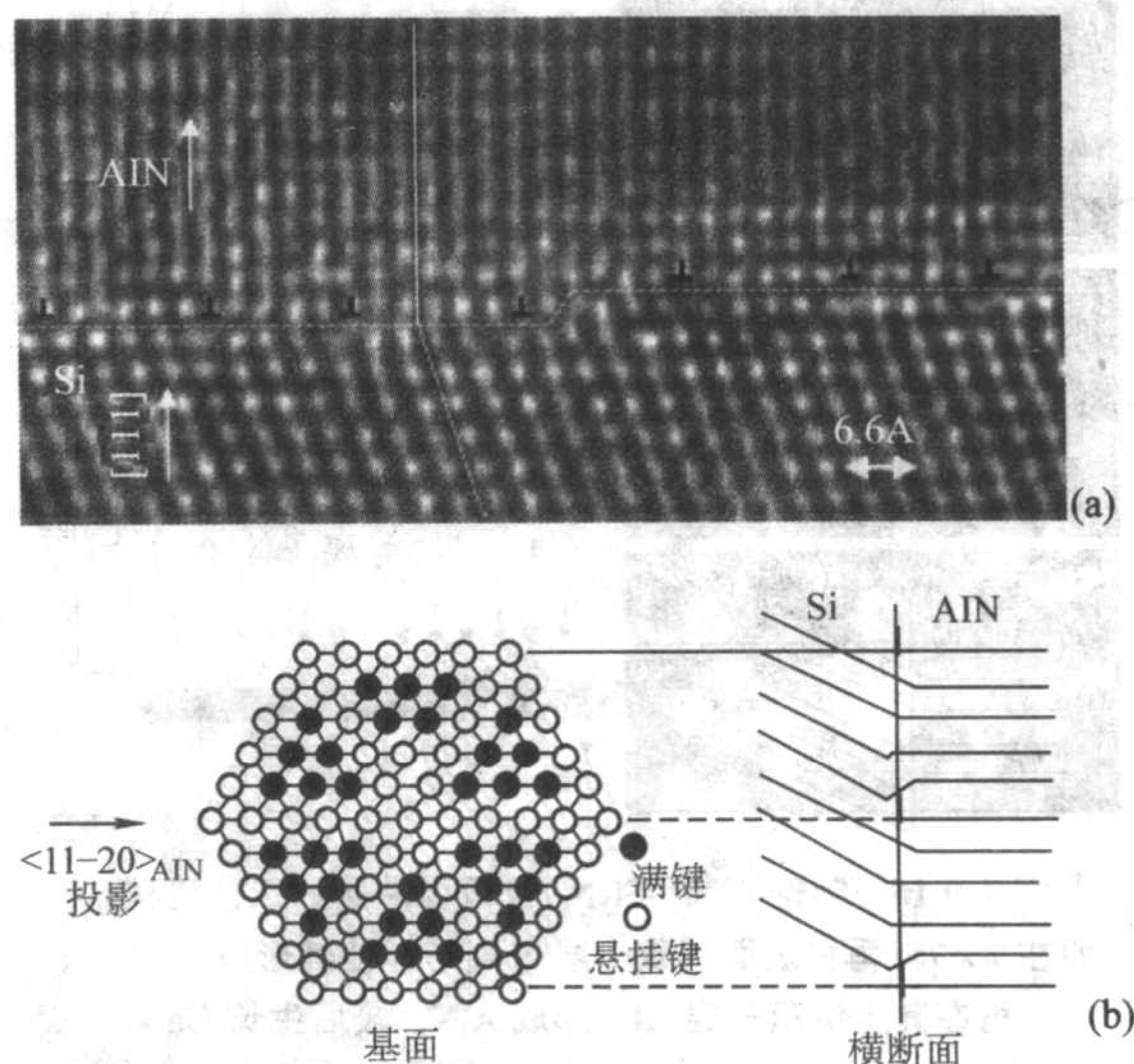


图 4.9-15　(a)（001）AlN/（111）Si 异质结构的陡峭界面的高分辨像，(b) 界面原子的配键模型，其中空心圆为悬挂键，而实心圆则为满键

目前尚不清楚 SiN_x 非晶层是否与生长设备有关、还是与生长参数（速度和温度）有关。但无论是哪一种方法，所制备 AlN/Si 异质结构中 Al 和 Si 原子的扩散都很严重，极大地影响了器件性能，为此必须建立阻挡层。其方法之一就是生长 β-Si_3N_4 层。Wu 等人在 Si（111）面上先进行氮化，形成 β-Si_3N_4 层，然后再生长一层 AlN，这就是双缓冲层，最后在这之上生长 GaN 外延层。图 4.9-16 为生长工艺步骤。

2）(0001)GaN/(001)Si 异质结构　严格地讲，在（001）Si 衬底上生长（0001）GaN 基化合物不能算是外延，因为薄膜与衬底晶体的取向完全不同。因此，在这种大晶格失配、大热失配和不同取向的条件下，必须加入其他中间介质，而这种中间介质与其说是缓冲、倒不如说是过渡。基于在（001）Si 衬底上集成光电子器件的意义，人们在此仍下了很大的功夫。

说到（0001）GaN/（001）Si 异质结构，就不得不提到中科院半导体研究所王占国院士领导的 GaN 课题组，早在 1998 他们就用 LPCVD 在 Si 衬底上外延生长了 γ-Al_2O_3，并以它作为过渡层，进而用 MOVPE 和两步法外延生长出 GaN 薄膜。其 GaN/γ-Al_2O_3 异质结构如图 4.9-17 所示，(0001)GaN//(001)γ-Al_2O_3//(001)Si，其中$[11\bar{2}0]_{GaN}//[110]_{\gamma\text{-Al2O3}}//[110]_{Si}$，下界面的失配为$f_1([110]_{\gamma Al_2O_3}//[110]_{Si}) = -31.7\%$，上界面的失配为$f_2([11\bar{2}0]_{GaN}//[110]_{\gamma\text{-Al2O3}}) = 11.9\%$；在垂直的方向上，$[1\bar{1}00]_{GaN}//[1\bar{1}0]_{\gamma\text{-Al2O3}}//[1\bar{1}0]_{Si}$，其下界面的失配为$f_3$ $([1\bar{1}0]\gamma\text{-Al2O3}//[1\bar{1}0]Si) = -31.7\%$，而上界面的失配为$f_4$ $([1\bar{1}00]_{GaN}//[1\bar{1}0]_{\gamma\text{-Al2O3}}) = 1.72\%$。由此可见，GaN/γ-$Al_2O_3$ 界面的失配较小，而 γ-Al_2O_3/Si 界面失配较大。

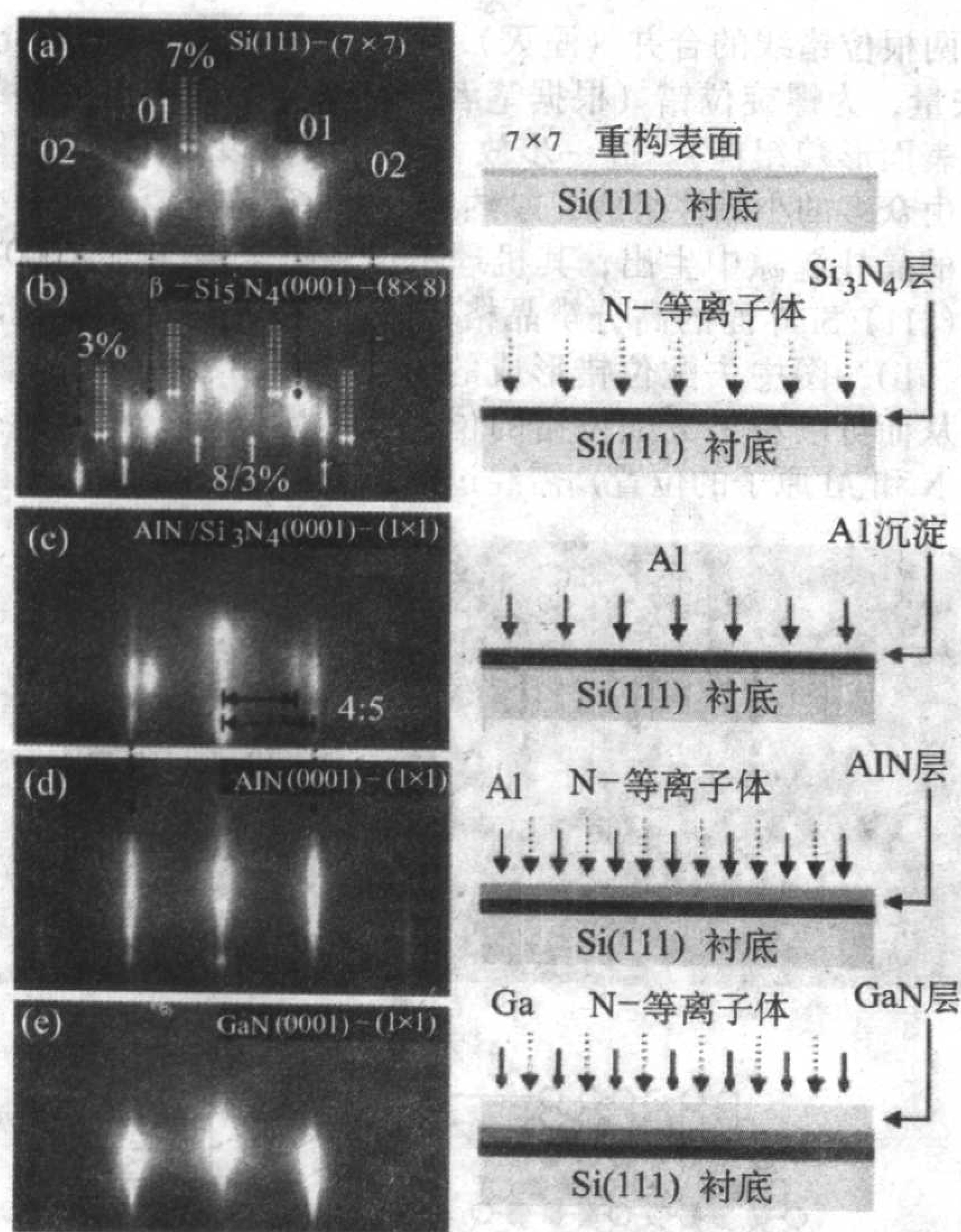


图 4.9-16 制备 AlN/β-Si_3N_4/Si 双缓冲层的工艺流程，即在 7×7Si 再构表面沉积一层 N 离子，使其形成 β-Si_3N_4；再在其上沉积一层 Al，形成 AlN；最后生长 GaN

美国 Purdue 大学电子计算机工程系的研究人员在（001）Si 表面先磁控溅射一层 AlN，然后再在 MOVPE 中低温生长一

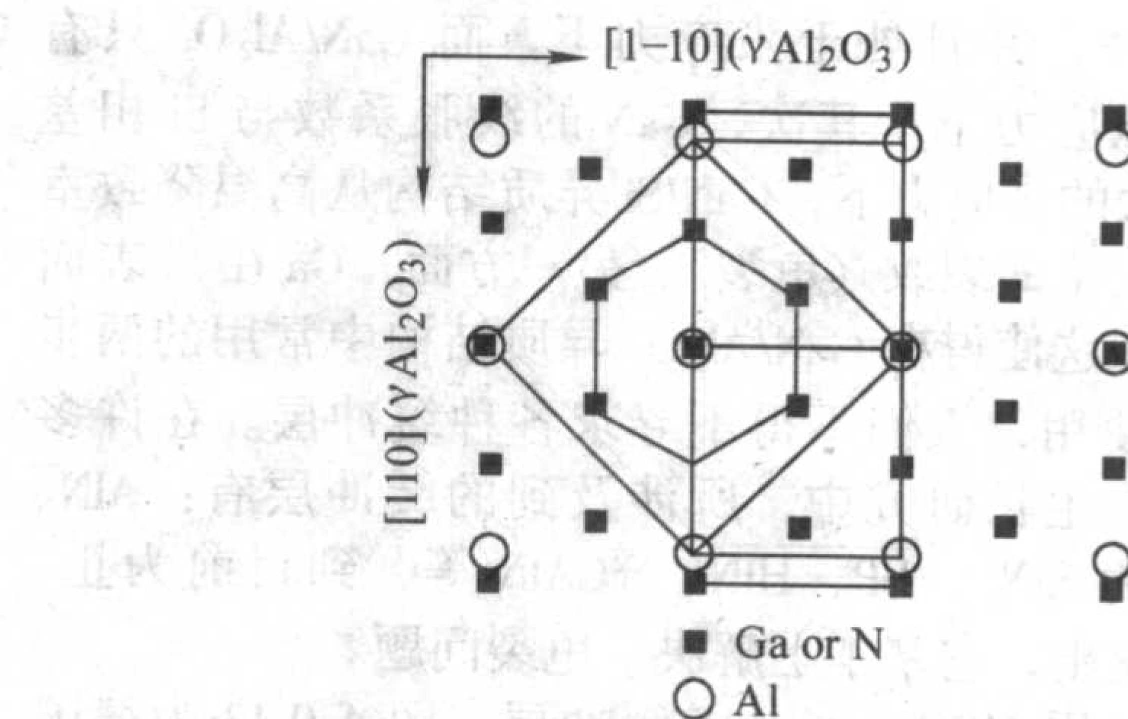
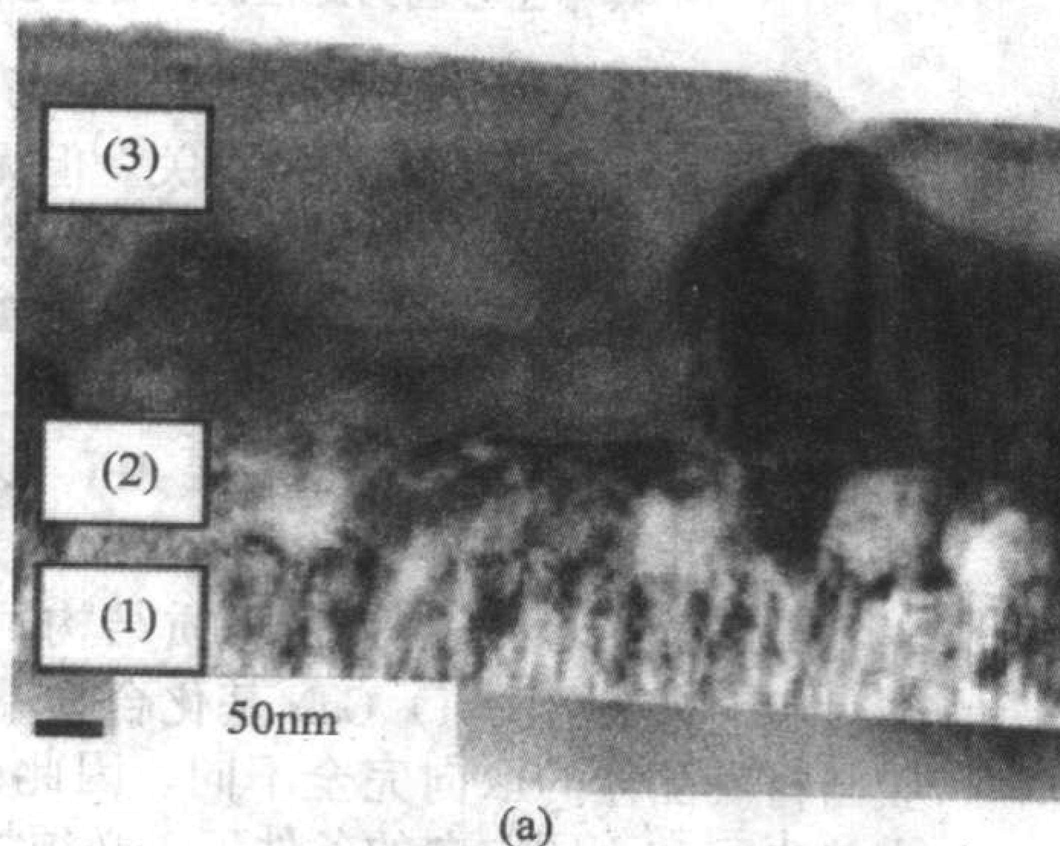


图 4.9-17 GaN/γ-Al_2O_3 界面的原子分布俯视图

层 AlN 缓冲层，最后生长 GaN 薄膜。图 4.9-18a 为其横截面的 TEM 像，区域（1）为磁控溅射的 AlN，由于其具有择优取向，因此用来作为过渡层；区域（2）为 MOVPE 低温生长的 AlN 缓冲层，缓冲层的晶格取向进一步统一；区域（3）为 MOVPE 高温生长的 GaN 薄膜，其单晶的特性在图（b）的衍射中得以展现。

以上两种方法采用了非 MOVPE 的技术手段来生长第三种材料，以此作为过渡层，它们的优点是过渡层与 Si 衬底之间的晶格失配相对小些，工艺较为成熟；不足之处则是需在不同的环境下两次生长，太烦琐。而近年来，人们则更多地使用 AlN 过度层，这样就可以在 MOVPE 中一次完成生长过程。但紧接而来的另一个难题是，（0001）AlN 或 GaN 六方原胞在（001）Si 表面有两种等效的排列方式，即［1100］GaN//［110］Si 和［1100］GaN//［$\bar{1}$10］Si，如图 4.9-19 所示。



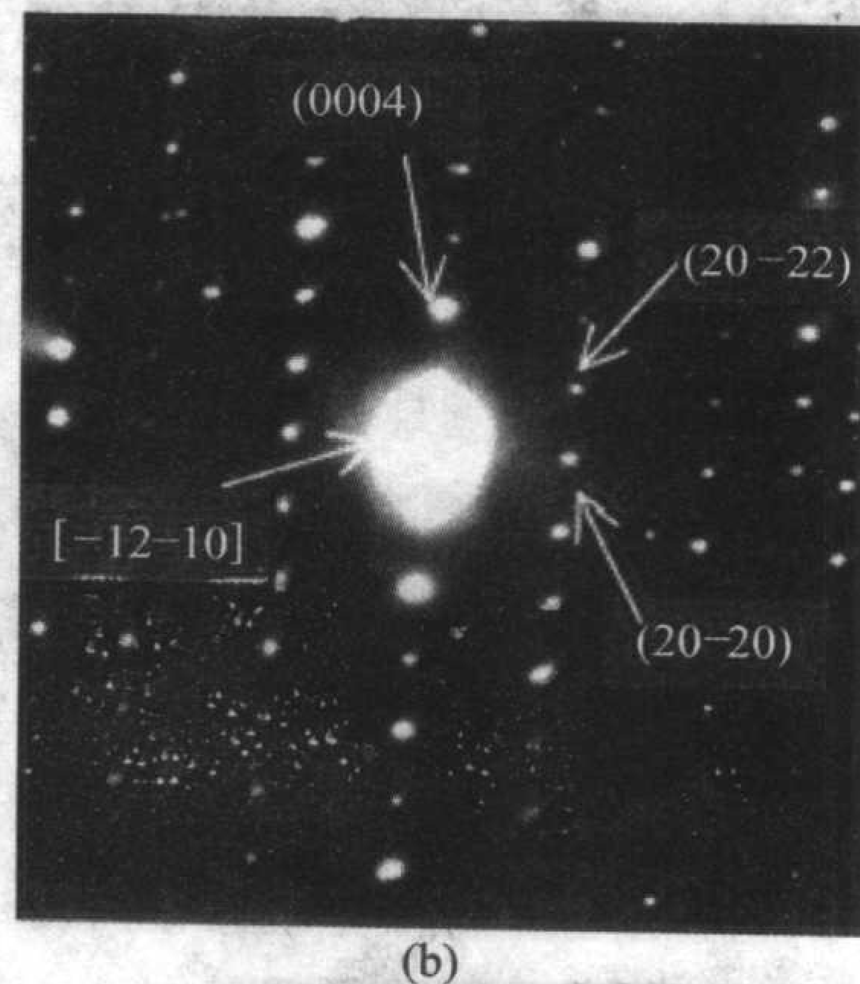


图 4.9-18 （a）GaN/AlN/Si 异质结构的透射电子显微横截像，（b）区域（3）的衍射像

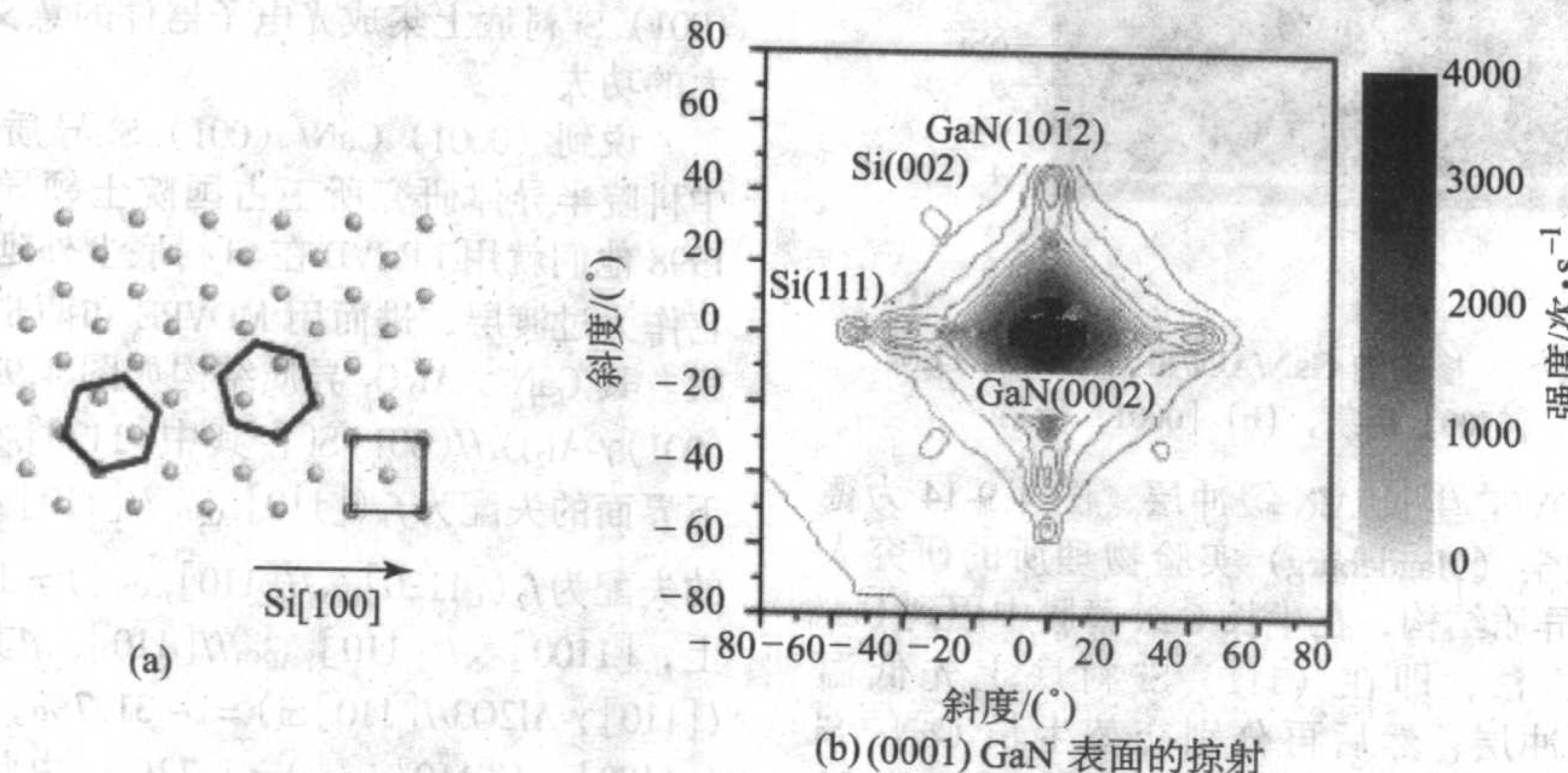


图 4.9-19 （a）（001）Si 表面六方相 GaN 单胞底与 Si 表面的原子的连接关系，（b）（0001）GaN/（001）Si 异质结构的 X 射线表面掠射衍射图

Schulze 等人在 GaN/AlN/Si（001）的生长中发现有两种生长取向占优，即 AlN 的 c 面（0001）和 γ 面（10$\bar{1}$2），通过 AlN 过渡层的厚度和生长温度的调节、以及 AlN/GaN 超晶格的应用，可以成功的抑制一种晶体取向，而让另一种晶体取向生长，这从图 4.9-20 的 X 射线双晶衍涉中可以清楚地看到。当 AlN 过渡层生长温度为 680℃、AlN/GaN 超晶格的生长温度为 1 145℃和重复层数达到 60 时，可以形成（0001）GaN 薄膜；而当仅有 AlN 过渡层，且生长温度为 630℃时，可出现（10$\bar{1}$2）GaN 单一取向生长，前者有两个等效的旋转调节，而后者有四个等效的旋转调节。

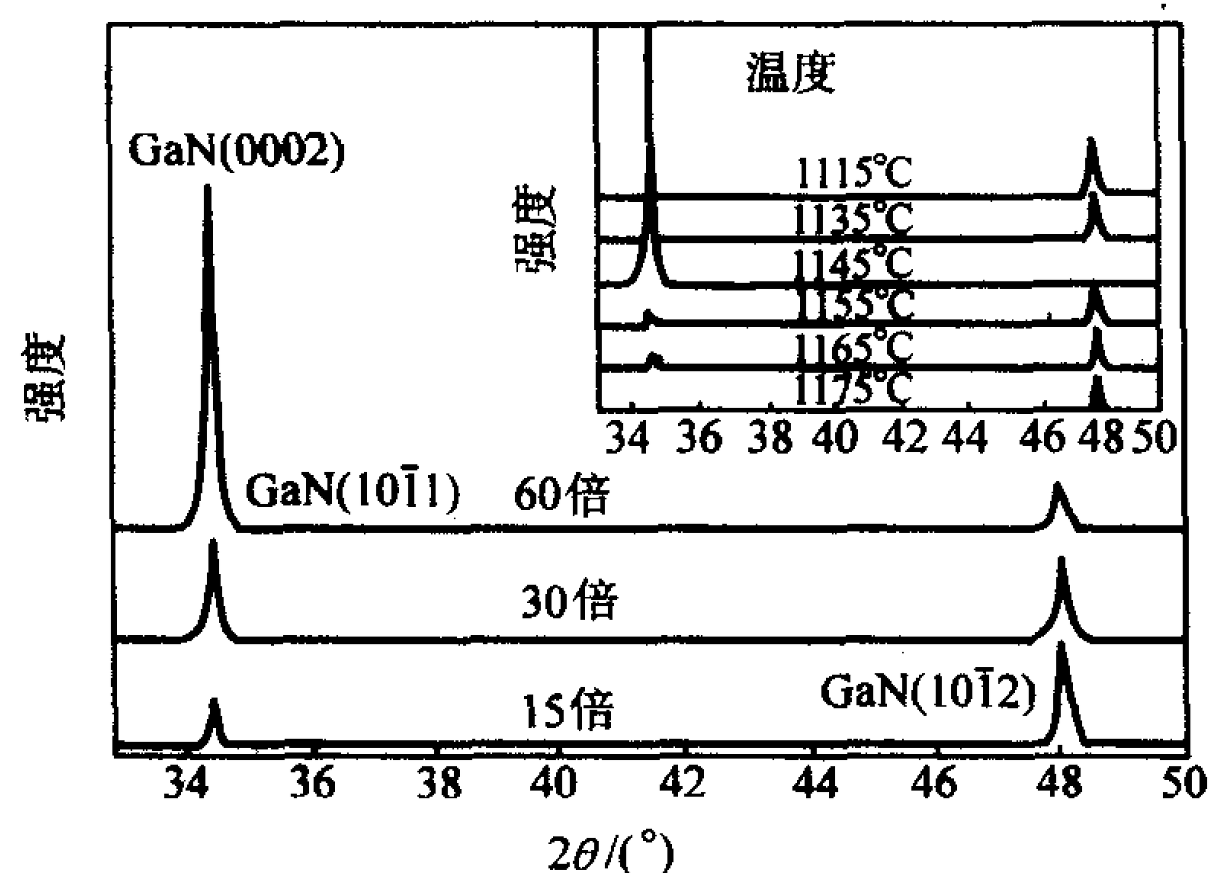


图 4.9-20 GaN/AlN/Si 异质结构的 X 射线双晶衍射图

原则上，除两步生长之外，9.2.3 节中所述的那些方法都可以在这里使用，这里叙述的仅仅是缓冲层法，还有取向偏离、热退火方法、应变层方法、选择外延生长、协变式衬底方法等等，但这些方法都因位错引入机理不明，而大打折扣，其效果不如闪锌矿半导体外延膜中那么明显。

3 键合制备的硅基Ⅲ-Ⅴ族异质结构

目前制备硅基Ⅲ-Ⅴ族异质结构主要有两类，外延生长和异质材料键合。异质结外延生长通过能带工程手段对硅基材料进行改性，实现硅基材料的发光，这满足硅的单片集成的需要。尽管能采用 CVD 或 MBE 等外延生长手段制作出低维硅基材料，但硅基材料非直接带隙结构的限制使人们仍然难以获得稳定的室温高效率激子复合发光。而且异质结外延生长时大的晶格失配（GaAs/Si 为 4%，InP/Si 为 7.8%）将产生高密度（约 cm^{-2}）的线位错；材料间线胀系数的差异也将产生大的剩余应力，在冷却阶段将使异质界面继续产生剩余线位错。因此利用异质结外延生长获得性能稳定的硅基光电子器件，就必须外延生长足够的缓冲层，而且高的外延生长温度（>550℃）会使集成电路的金属（如 Al）布线受到严重的破坏，阻碍了硅基光电子器件与硅基微电子器件的集成，即 OEIC 的实现。异质结构键合的方法克服了这些限制，它可以将具有直接带隙结构的半导体（如Ⅲ-Ⅴ族化合物）材料经过处理以成键的方式粘贴到硅片上。由于键合反应仅在材料的表面进行，其余部分不会受太大的影响，异质材料的晶格失配所产生的刃位错或螺位错被限制在键合界面的附近，不会像穿越位错或堆垛层错那样能扩展到有源层而影响发光量子效率。低温键合技术，解决了材料线胀系数非共容性的问题，使发光器件与微电子器件的硅基光电子混合集成成为可能，并且低温键合界面具有低位错密度（约 10^4 cm^{-2}），大大降低了光电损耗，延长了系统的寿命。这一节将发别介绍键合的硅基Ⅲ-Ⅴ族异质结构。

3.1 制备方法及其难点

3.1.1 晶片键合技术

晶片键合技术（wafer bonding technique）一般是指不经过任何微胶层或施加外力的情况下，把两个镜面抛光的晶片在室温下键合在一起的过程。晶片键合也被称作“直接键合（direct bonding）”或者“熔化键合（fusion bonding）”，或者形象的称为“没有胶水的键合（gluing without glue）”。

晶片键合技术目前一般包括熔融键合（fusion bonding）、阳极键合（anodic bonding）、低温玻璃键合（low temperature glass bonding）、低共熔体键合（eutectic bonding）、粘合键合（adhesive bonding）、直接键合（direct bonding）以及低温真空键合（low temperature UHV bonding）等。下面分别加以简单的介绍。

熔融键合：两个镜面抛光的晶片经过化学处理之后，在室温下将其对粘贴在一起，两个晶片就会通过表面吸附的分子膜建立起氢键连接。然后经过高温退火之后，界面原子的排列就会发生重组而相互熔合，在界面处形成牢固的共价键连接，这就是熔融键合。影响键合成功的主要因素是：晶片表面的平整度、粗糙度、化学吸附状态、键合温度以及时间。由于熔融键合是在高温下进行的，这就不可避免地引入杂质的扩散、热应力以及空洞和缺陷的产生。该技术对于晶片表面的粗糙度和完整性要求很高，不适合键合含有 Al 的样品，主要应用于制作高温的 SOI 材料和中等温度下Ⅲ-Ⅴ族材料的键合。

阳极键合：又称为场助键合或者静电键合，是指在一定电场的作用下，把导电玻璃与金属、合金或者半导体键合在一起而不采用任何粘贴剂的技术。典型的情况是将表面抛光的 Si 片与玻璃的表面相互接触，然后将它们放到加热板上（300~400℃），静电场（200~1 000 V）的正极加在 Si 片上，负极接在导电玻璃上。阳极键合主要应用于传感器的封装，在电容式和压阻式力学量传感器中有着较为广泛的应用。

粘合键合：也称为聚合物键合（polymer bonding），是指利用聚合物薄膜来作为键合介质的键合技术。粘合键合具有键合温度低（可以低于 100℃，这依赖于聚合体的选择），与 CMOS 集成电路相兼容，可以键合表面具有结构或图案的晶片，高键合强度，低成本等优点。不足之处在于键合的封闭性不好。这种键合方法主要用途在于封装、微流器件、CMOS 混合集成电路和 MEMS/MOMS 器件等，不适用于要求密封性极好的封装和在高温下使用的器件。

低温真空键合：是指在超高真空（一般小于 2×10^{-6} Pa）下，将化学处理后的样品用快速原子束溅蚀，然后外加高压将两块活化的样品键合到一起去的技术。用快速原子束对样品的表面进行活化的目的是为了通过离子对表面的机械撞击以及溅射来增加表面悬挂键，从而增强表面的吸附能力，使键合在较低的温度下就可以完成。如果在对表面进行适当温度的退火，键合界面的原子悬挂键很容易发生网络重组，形成相当完善的共价键网络。由于这种技术相对于熔融键合技术大大降低了键合温度，避免了不同材料之间的热失配问题，所以被广泛应用于光电子器件、微机械智能系统、三维器件以及复杂的多层器件的制作等方面。该方法的缺点在于离子溅射会破坏晶体表面，它是通过牺牲键合晶体界面的质量来降低键合温度的。

低共熔体键合：是指在键合的晶片的界面上采用溅射或蒸发的方法沉积一层熔点较低的金属，以这层金属为键合介质的键合技术。所采用的共熔体的熔点温度一般较低，如 AuBe、AuGe 合金等，其作用是为了在较低的退火温度下完成材料性质差别较大的金属之间的键合。由于金属具有很好的延展性，可以承受键合晶体热应力的释放。金属层的作用不仅是将两个晶片键合到一起，而且还可以作为反射层以提高光电子器件的光输出效率。这种技术的缺点在于：金属层在较高的温度下将会向半导体晶片内扩散，降低器件寿命。

直接键合：是指外延薄膜层与衬底晶片之间通过范德华

力结合到一起去的键合技术。其基本过程是在晶格匹配的衬底上外延生长牺牲层和薄膜材料，将其粘贴到涂有腊等物质的玻璃片上，再用选择性蚀刻等方法去掉牺牲层，然后把附着在玻璃片上的薄膜材料与光滑的衬底键合，最后去掉腊状物质，这样所需的薄膜材料就转移到了新的衬底上。由于薄膜材料容易发生大面积的表面接触，因此比厚材料更容易得到高强度的键合界面。该键合技术主要应用于制作复杂的三维器件，如LED阵列、激光器、金属氧化物半导体场效应管(MOSFETs)、以及高电子迁移率晶体管（HEMTs）等与硅衬底的集成上。

3.1.2　硅基键合技术面临的挑战

为了获得高质量的键合界面和一定厚度的薄膜材料，硅基键合技术面临着以下挑战。

1）键合的环境和设备　在键合工艺中，超净环境对于保持晶片表面清洁十分重要，因此键合设备应具有超净的真空操作室。操作室内应包含对准晶片的控制设备和机械压力系统；为了掌握晶片接触情况，还应含有红外透视装置进行实时观测；晶片在控制台上应可控加热。由于键合设备一般都很昂贵，因此高质量键合材料的成本较高。

2）硅片表面的平整度与清洁度　键合的基本条件就是要求两个表面上的原子充分接触，使之形成化学键，这就要求表面的起伏在发生形变范围内使两个表面充分接触。如果表面起伏高度超过了临界值，就很难进行键合；如果表面具有满足发生键合的平整度条件，但表面不清洁，存在灰尘颗粒或易高温分解产生气泡的有机物，那么表面间原子也难以接触而发生成键反应。所以获得十分平整且清洁的表面是键合技术要求的最为基本的、但很苛刻的条件之一。

3）两个硅片表面的安全接触　即使是最平整的硅片表面也会有微观起伏，不可能保证所有表面起伏都低于临界高度，要使两个硅片表面完全接触，常常需要借助高温和机械压力的作用。高温会带来许多不利的影响，那么压力的作用对于硅片接触面积的增加变得非常重要了。过大的压力也会带来过大的界面局部应力，甚至导致碎片，因此，如何控制压力来增加接触面积是键合技术需要解决的难题之一。

4）键合材料的减薄　目前键合材料的减薄工艺主要包括表面直接研磨抛光、化学腐蚀和智能剥离技术。研磨抛光和化学腐蚀难以精确控制所需的膜厚，但可获得较高的表面平整度；智能剥离技术能够精确获得所需薄膜厚度、保持薄膜的本体特性，但薄膜不能太厚（$<10\ \mu m$），薄膜粗糙度比较大，需要抛光处理才能使用。所以，获得厚度均匀却保持本体材料特性的键合薄膜是键合技术面临的最大挑战之一。

5）高温键合带来的热应力和界面杂质的扩散　由于晶片表面的起伏，需要高温退火来促进形变，增加接触面积来获得高的键合强度。利用键合技术集成异质材料不受晶格结构的限制，但是由于不同材料的具有不同的热膨胀系数，高温退火过程中大的热失配会产生大的热应力，不利于键合。另一方面，尽管对材料双方掺杂浓度没有限制，但高温退火会使高浓度差的杂质通过键合界面相互扩散，从而改变杂质分布和电学性质。如果键合界面存在一些不必要的重金属杂质，这种高温杂质扩散会使键合界面的电学性质劣化。因此掌握退火温度与键合强度值的规律是键合工艺中的十分重要的课题。

6）键合界面的物理化学理论的研究　对于键合界面的研究主要包含键合表面的弹性形变、塑性形变、界面原子的成键化学反应以及键合界面的位错研究。许多科学家围绕键合技术提供了众多有价值的实验结果和规律，然而键合的规律性仍缺乏系统的理论模型来描述，这方面还有许多问题要研究，比如，键合能是如何随退火温度和退火时间变化的？硅片在接触过程中，表面是怎样通过形变增加接触面积的？实验中键合面平整度条件以及吸附条件如何？热应力如何在键合界面引入位错的？这些问题的解决并都不是实验所能完全解释的，必须依靠理论上的分析才可能解释清楚。

3.2　键合的硅基砷化镓（GaAs/Si）

硅上直接键合GaAs薄膜已有很多报道，出现的主要问题是腐蚀掉AlAs中间牺牲层需花费很长的时间，为了克服这个问题，又发展了智能剥离技术（SMART CUT process）和快速腐蚀技术（fast etching process）。

2003年Chandrasekaran等人采用直接键合技术把Ge基GaAs薄膜键合到硅衬底上。SEM分析表明薄膜平整，高分辨TEM图像显示出GaAs与Si之间为价键结合。键合过程如图4.9-21所示，其过程如下：首先采用MOCVD在<111>偏离5°的（100）镜面抛光的Ge衬底上生长3 μm GaAs，生长温度为700℃；然后用HF溶液腐蚀GaAs/Ge、以及相同尺寸且镜面抛光的Si（100）衬底，以去掉表面氧化物；接着面对面放在一起，如图a所示，并在700℃、10^{-7} Torr的真空条件下加热1 h，GaAs薄膜与Si就键合在一起了，如图b所示；样品从真空室拿出来之后，可将Ge衬底与GaAs机械分离，如图c所示；再用$2HF:0.5H_2O_2$混合液腐蚀掉GaAs表面残留的Ge，最后采用混合液清洗GaAs薄膜表面。

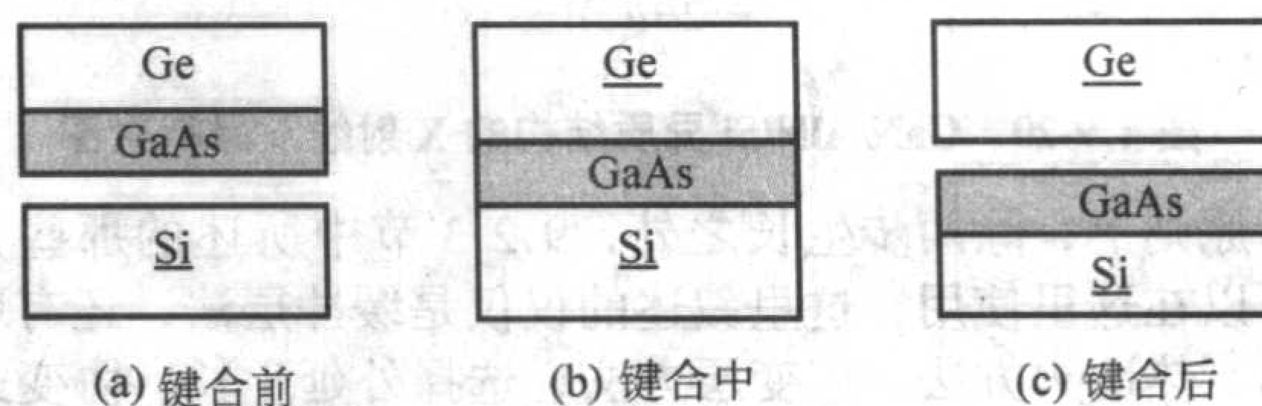


图4.9-21　Ge衬底上GaAs外延薄膜与硅片键合过程图

3.3　键合的硅基氮化镓（GaN/Si）

Si基上直接外延GaN薄膜的质量由于它们之间的晶格失配（20%）和热膨胀失配（Si:$2.6\times10^{-6}\ K^{-1}$，GaN:$5.6\times10^{-6}K^{-1}$）都很大，导致其外延生长材料质量较差、GaN与Si的直接键合也十分困然，因此，可以采用以金属为介质的键合技术，下面以NiAgAu键合介质为例来说明整个键合过程，参见图4.9-22。

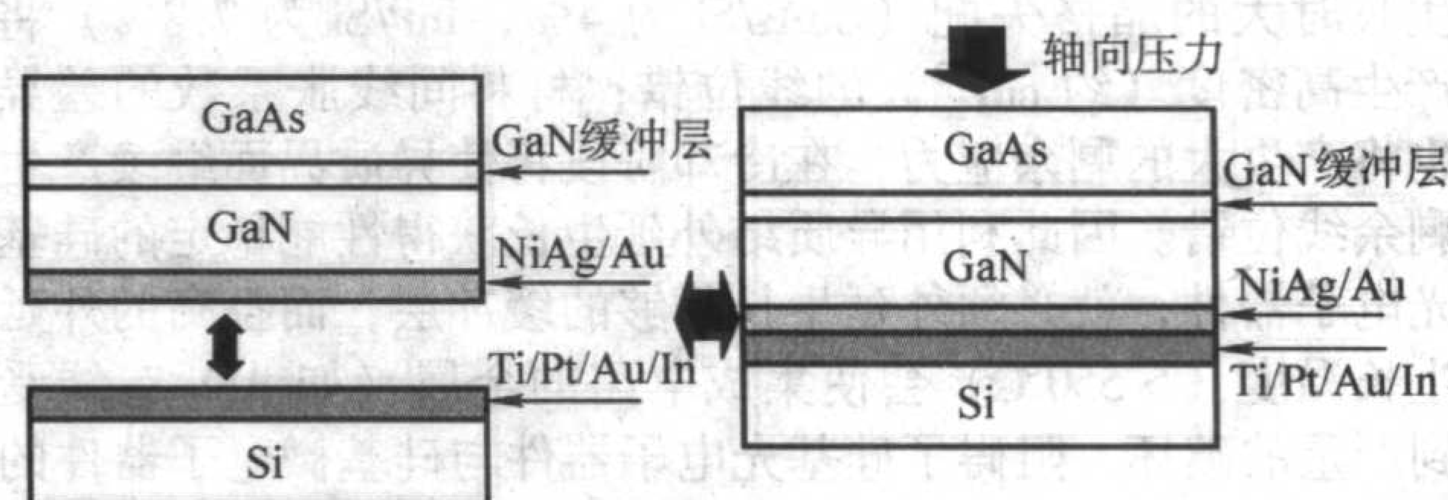


图4.9-22　以NiAgAu为介质的晶片键合过程示意图

图中立方相GaN外延层是在Si掺杂的GaAs（001）衬底上利用MOCVD方法外延生长的：用550℃在GaAs衬底上生长5 min的GaN缓冲层，再用850℃生长GaN。然后在1%的HF溶液中浸泡1 min，去掉样品表面的氧化膜。利用三氯乙烯、丙酮、无水乙醇在煮沸的条件下各清洗三遍后，用氮气吹干，在真空度小于10^{-6}Torr的溅射炉中依次淀积上Ni/Ag/Au各为8/500/80 nm的多层金属膜。Si衬底也采用相同的清洗工艺清洗，并且在溅射炉中溅射上Ti/Pt/Au/In各为40/75/100/4 000 nm的多层金属膜。溅射后的Au/Ag/Ni/GaN样品在400℃的空气中快速退火1 min，In/Au/Pt/Ti/Si片在400℃的氮气氛保护下退火1 min，以保证淀积的金属与半导体形成良好的欧姆接触。淀积上金属膜的立方相GaN晶片和Si片金

属膜相对放在键合反应器中，通过轴向压力压合在一起。在230℃以及氮气保护下退火15 min，然后在氮气的保护下冷却至室温，完成键合过程。键合后的样品放入$NH_4OH:H_2O_2=1:10$的腐蚀液中浸泡2 h，去掉GaAs衬底。在腐蚀过程中要不时地进行搅拌，以使腐蚀的过程均匀。

2000年Funato等人利用AuGe作键合介质将生长在n-GaAs（001）衬底上的GaN外延层与Si成功地键合在一起，如图4.9-23样品B所示。键合前在GaN和Si的键合面上各淀积50 nm厚的AuGe薄膜，热处理时间为30 min。键合以后利用机械减薄和选择腐蚀方法除去GaAs衬底，就把GaN外延层转移到Si衬底上形成了GaN/AuGe/Si结构。通过对GaN/AuGe/Si键合结构Ⅰ-Ⅴ特性测试分析，证明了中间键合介质AuGe分别与GaN和硅均能形成良好的的欧姆接触。可见利用此类方法研制成的Si基GaN光电子器件，电流可以直接从Si基注入、经AuGe合金层再进入GaN层。他们同时研究了GaN/AuGe/Si键合结构的反射谱，样品的反射峰位于450 nm和650 nm附近，测量结果证明了GaN/AuGe/Si结构中AuGe金属层对紫外和可见光具有很高的反射率，可以充当反射镜，以提高Si基GaN发光器件的发光效率。

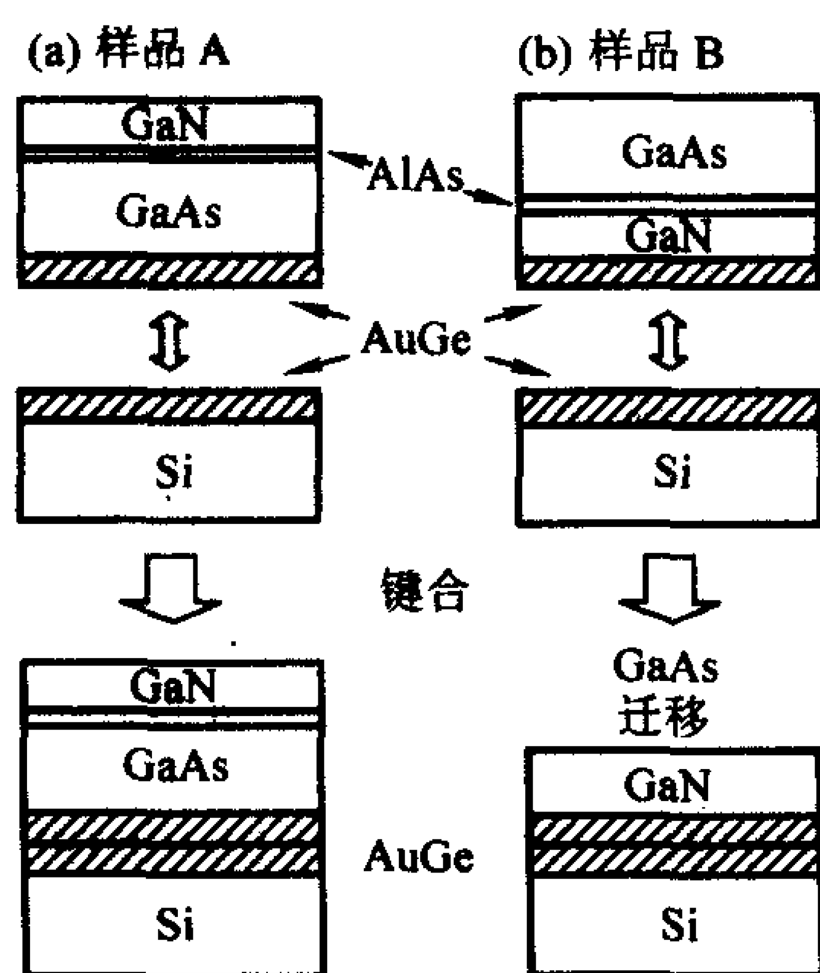


图4.9-23 以AuGe为键合介质的晶片键合过程示意图，样品A：GaAs面与Si面键合，样品B：GaN面与Si面键合

1999年Wong等人利用Pd-In作为键合介质把生长在蓝宝石衬底上的GaN外延层键合到Si上，再利用KrF脉冲准分子激光器作激光源，采用激光剥离技术把蓝宝石衬底从键合结构上剥离下来，形成了GaN/PdIn/Si键合异质结构。它们利用PL和c-RBS分别研究了键合成的GaN/PdIn/Si异质结构和原来生长的GaN/Sapphire外延片，结果表明：①采用Pd-In键合介质可以在200℃低温下实现GaN与Si键合；②采用激光薄膜剥离技术不会影响GaN外延层的晶体质量和光学性质。

3.4 键合的硅基磷化铟（InP/Si）

InP和Si之间的晶格失配为7.5%，硅基外延InP层将会产生很高的位错密度，因此选用键合方法来制备InP/Si异质结构。在硅与InP体材料的键合工艺中，通常是用机械减薄或腐蚀的方法把InP体材料去掉，这将造成InP体材料的浪费。2003年Fontcuberta等人采用晶片键合和注氢剥离技术，将（100）InP衬底上60 nm厚InP薄膜键合到硅衬底上，而剥离后的InP衬底还可以反复利用。键合过程为：首先在室温下向InP衬底注H^+，H^+能量为80 keV，剂量为$2\times10^{17}\ cm^{-2}$；然后在注氢的InP衬底表面和硅衬底表面涂上一层光刻胶，防止键合表面的污染，并对材料进行切割；再去除光刻胶，并在丙酮和甲醇中超声清洗，接着用去离子水和10%的HF溶液中洗，得到表面光滑、无污染的样品，在室温和大气气氛下将InP和Si样品键合；最后在约225℃下退火，同时施加约0.5 MPa压力，使InP衬底剥离，从而得到键合的硅基磷化铟薄膜。

还有人采用疏水处理的方法实现了Si/InP的键合，并将键合好的n-Si/InP拉裂，发现其键合强度较低，小于0.1 MPa。通过X射线光电子能谱对界面进行了分析，认为在退火过程中Si、InP表面原子在一定温度下发生互扩散，这种互扩散导致界面原子重排，有利于键合面积的增大，也使得键合界面由最初的几个原了层增加到一定厚度（大于18 nm）。对于P元素而言，由于高温下的易挥发性有助于它的扩散，因此整个界面区域P元素浓度基本均匀。但对于Si、In而言，互扩散可能是不匀匀的，这决定了Si、In的浓度界面分布不匀性。在Si浓度最大、In浓度最小的区域结合力最弱，因此受到外力时界面会从此分离，这就是引起Si/InP键合强度较小的原因。样品的Ⅰ-Ⅴ特性测试证明，经450℃下退火的界面特性比经550℃下退火的界面特性更好。疏水处理的晶片在低温下的键合表面通过氢键连接，随着退火温度的升高，氢键逐渐分解，产生氢气排出界面，从而变成晶体到晶体的直接键合。理论上来说退火温度越高，氢键分解越完全，界面性质也应该越好，但实际上对于异质键合，界面还受热应力的影响。InP和Si的线胀系数不同，使得高温退火后冷却时界面形成的键可能断裂，从而产生空洞。空洞的存在使得键合面积减少，电阻增大，对伏安特性不利。所以，对于异质键合而言，由于受不同线胀系数的影响和键合机理的影响，界面与退火温度之间应该有最佳值。

4 硅基Ⅲ-Ⅴ族异质结构的展望

硅基Ⅲ-Ⅴ族异质外延研究，已在生长工艺、生长机理和器件、电路应用方面取得了令人鼓舞的成就。它已成为世界范围的研究课题，尤其是日本、美国的各大学、公司都竞相研究这一重大课题。硅基Ⅲ-Ⅴ族异质外延的重要意义还在于它开创了极性/非极性、晶格失配、热失配的两种不同材料外延生长的新的工艺途径。Si上不仅已生长了Ⅲ-Ⅴ族化合物，而且还生长了ZnS之类的Ⅱ-Ⅳ族化合物，以及它们的三元合金。用这种工艺途径，可以根据器件需要而制备各种结构的异质外延层。

降低位错、减小热失配产生的剩余应力仍然是目前需要解决的主要问题。现在采用热应变层已为降低位错密度、减小内应力提供了一些可喜的实验结果。由于不易获得半绝缘硅材料，所以在微波、高速器件应用方面受到一些限制。

编写：韩培德（中国科学院半导体研究所）

第 10 章 SOI 材料和器件

SOI 材料是一种新型的硅基集成电路材料，是英文 Silicon on Insulator（绝缘衬底上的硅）的简称。这类材料首先是为了适应卫星飞船等航空航天电子系统和导弹火箭等武器系统的控制需求而发展起来的。SOI 技术是在顶层硅和背面衬底硅之间引入一埋层氧化层，通过在绝缘体上形成半导体薄膜，SOI 材料具有了一些体硅所无法比拟的优点：

1）低功耗，低开启电压，是深亚微米低压、低功耗集成电路的主流技术；

2）可以实现集成电路中元器件的介质隔离，彻底消除体硅 CMOS 电路中的寄生闩锁效应；

3）短沟道效应小；

4）寄生电容小，高频特性好；

5）集成度高，可实现三维集成；

6）与现有硅基大规模集成电路工艺完全兼容，且工艺程序简单；

7）耐高温，抗辐照，能够防护高能粒子的干扰，是一种理想的空间材料。

这些优点使得 SOI 技术在绝大多数硅基集成电路方面具有极其广泛的应用潜力，从而受到世界各大集成电路制造商和各国政府的高度重视，被国际上公认为“21 世纪的硅基集成电路技术”。

通常，根据在绝缘体上的硅膜厚度将 SOI 分成薄膜全耗尽 FD（Fully Depleted）结构和厚膜部分耗尽 PD（Partially Depleted）结构。由于 SOI 的介质隔离，制作在厚膜 SOI 结构上的器件正、背界面的耗尽层之间不互相影响，在它们中间存在一中性体区，这一中性体区的存在使得硅体处于电学浮空状态，产生了两个明显的寄生效应，一个是“翘曲效应”即 Kink 效应，另一个是器件源漏之间形成的基极开路 NPN 寄生晶体管效应。如果将这一中性区经过一体接触接地，则厚膜器件工作特性便和体硅器件特性几乎完全相同。而基于薄膜 SOI 结构的器件由于硅膜的全部耗尽完全消除“翘曲效应”，且这类器件具有低电场、高跨导、良好的短沟道特性和接近理想的亚阈值斜率等优点。因此薄膜全耗尽 FD 结构是非常有前景的 SOI 结构。

目前比较广泛使用且比较有发展前途的 SOI 材料主要有：

1）注氧隔离的 SIMOX（Separation by Implanted Oxygen）材料；

2）硅片键合和背面腐蚀的 BESOI（Bonding – Etch back SOI）材料；

3）将键合与注入相结合的智能剥离（Smart Cut）SOI 材料。

在这三种材料中，SIMOX 适合于制作薄膜全耗尽超大规模集成电路，BESOI 材料适合于制作部分耗尽集成电路，而 Smart Cut 材料则是非常有发展前景的 SOI 材料，它很有可能成为今后 SOI 材料的主流。

在体硅和 SOI 结构上制作 CMOS 电路的工艺技术是非常相似的，但从典型的 CMOS 反相器在体硅和 SOI 上的横截面的对比可以看出，体硅 CMOS 的工艺比 SOI CMOS 要复杂得多，如外延衬底和双阱工艺，而 SOI 工艺尤其是薄膜 SOI 工艺要比体硅工艺简单得多。如图 4.10-1 所示。另外，在 SOI 技术中由于在顶层硅膜下氧化埋层的存在，使得实现有源器件之间的隔离要比体硅简单得多。SOI 技术中的主要隔离技术是采用沟槽隔离（Trench isolation）和 Mesa 隔离，这两种隔离技术实现简单，且可以消除体硅 LOCOS 隔离所引入的一些寄生效应，从而减小器件的泄漏电流。

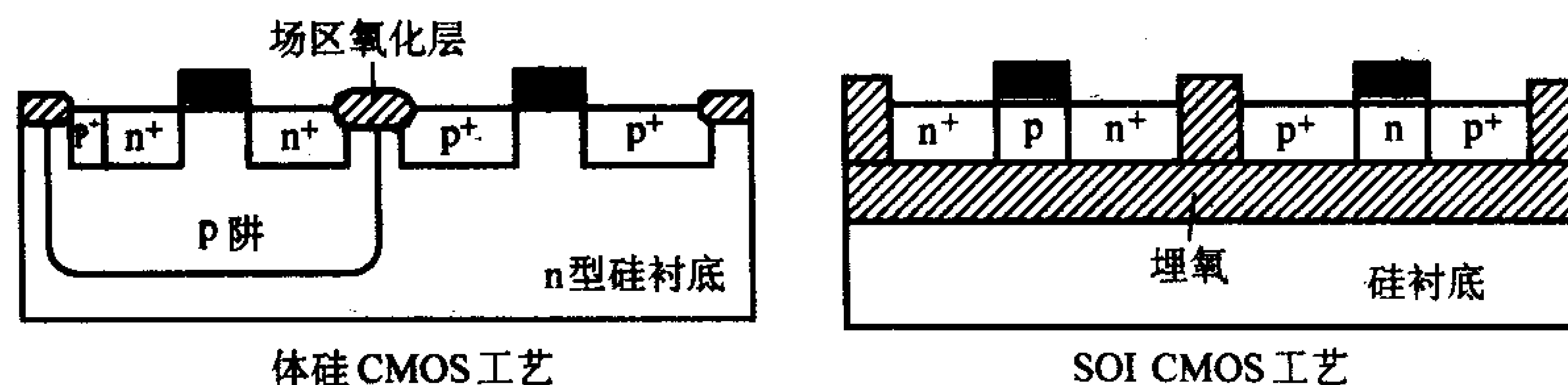


图 4.10-1 典型 CMOS 反相器在体硅和 SOI 上的工艺横截面对比

随着体硅 CMOS 技术的发展，器件特征尺寸的持续缩小正面临着巨大的挑战，即持续的特征尺寸的缩小导致的寄生电容的增加、短沟效应的恶化、热载流子的蜕变等。而 SOI 技术由于它特殊的结构使得它具有了较高的跨导、降低的寄生电容、减弱的短沟效应、较为陡直的亚阈斜率，这些特点为 SOI 作为 CMOS LSI 的主流技术奠定了基础。

当前，SOI 电路和器件的一个重要应用是空间及军事电子领域，这主要归功于埋氧的存在使得 SOI 技术具有了抗瞬时辐射效应的能力。目前 SIMOX 存储器电路具有 SEU（单粒子事件）失效率为 10^{-9}/（位·天），并且在 1 011 rad（Si）/s 的剂量率辐照下仍然能保持电路功能。这些数字表明，与体硅电路相比，SOI 电路的抗辐照强度提高了 100 倍。SOI 技术的另一应用是耐高温电路。在高温环境下，SOI 器件性能明显优于体硅器件。这是由于高温下的 SOI 器件与体硅器件相比，由于 SOI 器件的源和漏结面积的减小使得泄漏电流降低很多。在 SOI 器件中，由于不存在隔离阱 pn 结，使得高温时的泄漏电流和功耗降低得更多。根据报道，在 300℃和 500℃温度下 SOI CMOS 电路仍能工作，与体硅 CMOS 电路的工作温度上限为 250℃的特性相比，可知 SOI CMOS 电路的耐高温性能。

另外，随着器件特征尺寸的缩小和电路集成度的提高，与体硅技术相比，SOI 的高速、低功耗优点变得越来越明显，而这些优点为 SOI 在高速、低功耗的逻辑 LSI 电路的应用提供了可能性。另一方面，在 RF 射频和模拟电路应用中，SOI 技术同样具有很多吸引人的特点，如采用高阻（>1 kΩ·cm）的硅衬底制作的高品质因子的无源电感、基于 SOI 技术的数模混合电路之间串扰的减小等。同时，基于 SOI 的动态阈值 MOSFET 结构的特征频率达到了 185 GHz，这进一步推动了 SOI 在射频领域的应用。在低压应用方面，一个在 0.5 V工作电压下工作的采用 SOI 栅体连接结构的 ALU 已经设计成功，该 ALU 可以在 200 MHz 下工作，静态功耗为 2 mW。这主要是由于 SOI 独立的体电势控制在泄漏电流抑制和高速工作中显现了优越性，它同时为未来的低功耗 LSI 系统奠定了基础。

在存储器应用中，基于 SOI 的 DRAM 具有较体硅快 20% ~ 30% 的存储速度和可以在较低的电压下工作的优点。另外，SOI - DRAM 的软失效率为零。这一特点为 SOI 在逻辑 LSI 电路和 imager 应用中提供了进一步的可能性。

除了以上 SOI 在电路应用中所具有的体硅电路所无法比拟的优点以外，SOI 在器件的不断尺寸缩小中亦显现它的优势。随着 ITRS 的 Roadmap 的不断推进，基于体硅衬底的器件特征尺寸的持续减小越来越难以实现：栅氧化层采用高 K 介质所带来的工艺兼容性等问题、源漏的直接隧穿电流的增加、热载流子的退变及短沟效应的恶化等等使得器件特征尺寸的进一步减小越来越趋于物理极限。而 SOI 由于它特殊的埋氧结构却可以减缓 Roadmap 的进程，通过结构的调整来获得体硅所无法比拟的优点。目前基于 SOI 的 UTB（Ultra-Thin-Body）结构和 DG（Double-Gate）结构在很大程度上解决了体硅器件连续尺寸缩小所遇到的问题，减弱了短沟效应、增大了驱动电流、改善了亚阈斜率。因此可以说，SOI 技术将是器件特征尺寸进入纳米领域的首选技术，它无论是在器件的尺寸减小还是在射频亦或是在低压、低功耗等应用方面都表明它将是未来系统芯片 SOC（System on Chip）的主要技术，具有非常广阔的发展前景。

1 SOI 的制备方法

SOI 材料的制备方法多种多样，包括键合-背面腐蚀技术（Bond and Etch-back SOI，简称 BESOI），注入氧分离技术（Separation by Implantation Oxygen，简称 SIMOX），注氢智能剥离技术（Smart - Cut Process），区溶再结晶技术（Zone Melting Recrystallization，简称 ZMR），多孔氧化全隔离技术（Full Isolation by Porous Oxidized，简称 FIPOS）和横向固相外延生长技术（Lateral Solid - Phase Epitaxial Growth，简称 LSPEG）等等。不同的制备方法得到的 SOI 材料的性质也不尽相同，分别适用于制备不同的器件。本文重点介绍其中的 BESOI，SIMOX 和 Smart - Cut Process 技术。

1.1 键合-背面腐蚀技术

键合-背面腐蚀技术的原理简单而直观：将两个表面氧化的硅片键合到一起，然后将其中一个硅片（称为 Device wafer）通过化学腐蚀或机械化学共同起作用的研磨抛光工艺过程将硅片厚度（几百微米）减薄到适合于 SOI 器件应用的厚度（几个微米甚至更薄），另一个硅片则作为机械支撑衬底（称为 Handle wafer）。键合—背面腐蚀技术的原理如图 4.10-2 所示。

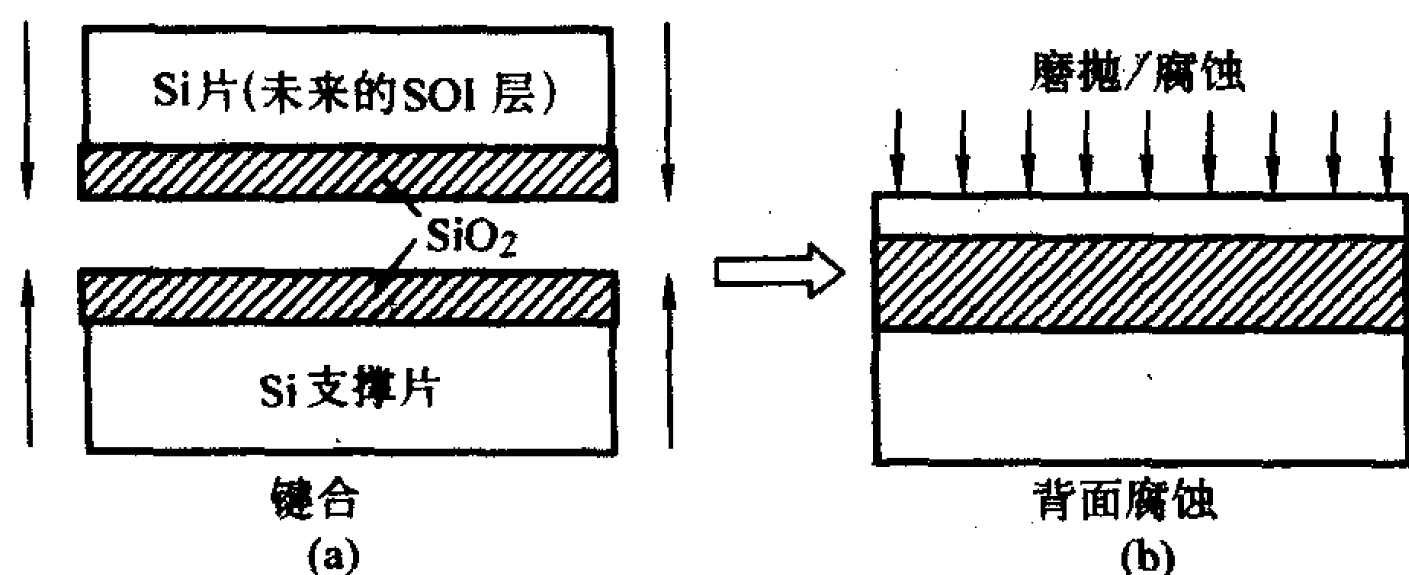


图 4.10-2 两个氧化硅片的键合（a）以及其中一个硅片的背面磨抛腐蚀（b）

硅片的键合是指当两个表面平坦的亲水性表面（SiO_2）相对放置在一起时，即使在室温下也会发生自然键合，键合是由吸附在两个亲水性表面上的羟基团（$OH)^-$ 的相互吸引所引起的，该吸引力相当大，致使在两个硅片表面之间立刻形成氢键。为了增强键合强度，通常室温键合后还要进行退火，键合强度随退火温度的增加而增加，不同温度下发生的键合增强作用可分为三个阶段。第一阶段：羟基团之间的键合。第二阶段：在 300℃左右氢键开始被 Si-O-Si 键代替。第三阶段：在更高温度（1 100℃或更高）下，氧化层的黏滞流使硅片完全“焊接”在一起。键合质量与接触表面的粗糙度密切相关。

研磨抛光工艺是先对键合后的硅片进行机械粗磨然后再通过机械化学抛光工艺进一步减薄硅层。粗磨虽然不能精细地控制硅膜厚度，但能够迅速减薄硅片，可以去除硅片顶部绝大部分硅层而只在 SiO_2 绝缘层上留下几微米厚度的硅膜。由于缺乏有效的腐蚀终止控制技术，用研磨抛光工艺只能获得相当厚的 SOI 膜。

化学腐蚀技术是利用各向异性腐蚀液对不同材料或同一材料不同晶面的选择腐蚀性，具体制备过程为：首先在硅衬底上外延或扩散高浓度的硼掺杂层（$p^+ > 7\times10^{19}$ cm^{-3}）作为刻蚀阻挡层，再生长需要厚度的低掺杂单晶硅薄膜，然后将外延片与氧化硅衬底键合起来，最后利用腐蚀液选择刻蚀外延片，在氧化硅衬底上留下需要的薄层硅。腐蚀液对掺杂浓度不同的硅材料具有不同的腐蚀速率。KOH 和 EPW（乙二胺，邻苯二酚和水）对轻掺杂硅比重掺杂硅（掺硼浓度高于 5×10^{19} cm^{-3}）的腐蚀速率高数百倍。而 HF:$3HNO_3$: $8CH_3COOH$ 腐蚀剂可腐蚀重掺杂硅，工艺过程如图 4.10-3 所示。由于采用了刻蚀阻挡层，用化学腐蚀技术能够得到厚度精确控制的 SOI 薄膜，SOI 层厚度的均匀性与外延硅膜厚度的均匀性和刻蚀阻挡层厚度的均匀性有关，偏差一般小于 12 nm。

从原则上讲，键合—背面腐蚀技术得到的 SOI 材料的单晶质量应像初始硅片质量一样好。然而实际上，在高浓度硼掺杂层的刻蚀阻挡层上外延层内位错密度将增加，但仍旧低于 10^3 cm^{-2}，少数载流子寿命与体硅可以互相比拟（20 μs）。

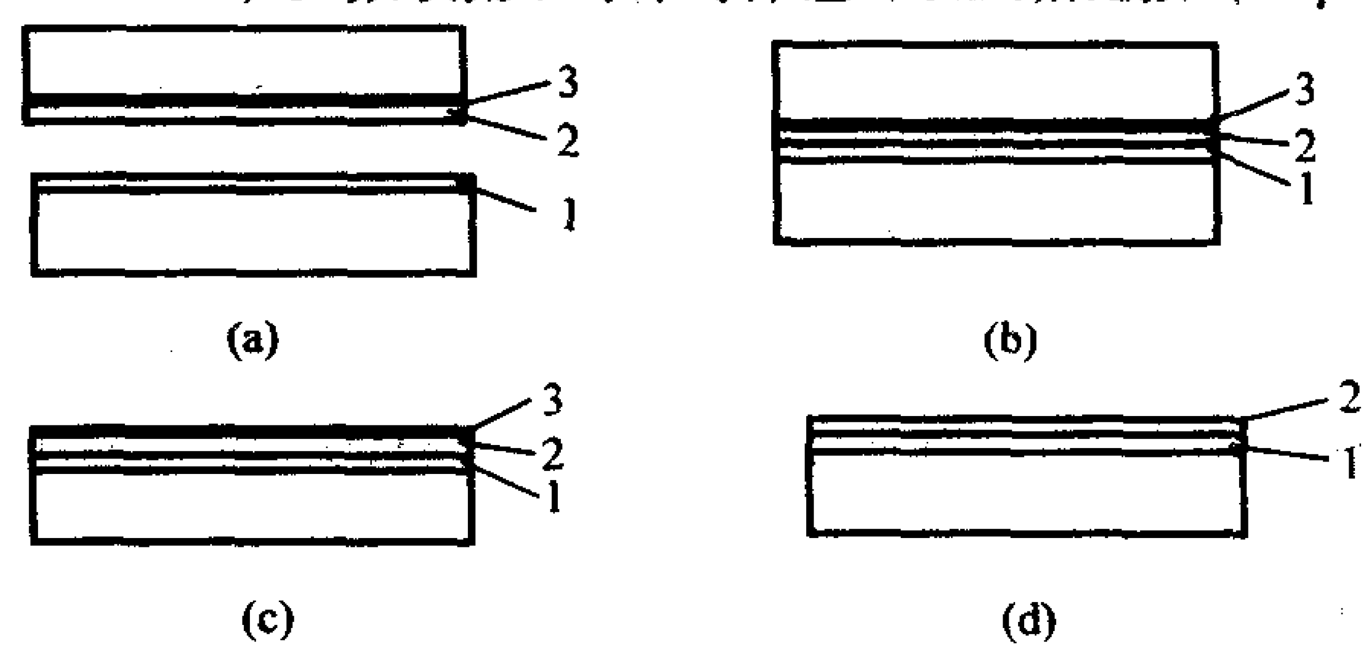


图 4.10-3 BESOI 工艺过程

1—SiO_2 层；2—Si 薄膜；3—p^+ - Si 刻蚀阻挡层

1.2 注入氧分离技术

用 SIMOX 技术制备 SOI 材料的形成原理是非常简单的，主要包括氧注入和高温退火两个基本过程。氧注入是指将氧离子注入到硅片表面下形成 SiO_2 埋层，注入剂量要求在拟形成 SiO_2 埋层的深度范围内，每个硅原子必须注入两个氧原子，也就是说，为获得 SIMOX - SOI 材料，通常要求氧离子的剂量是 1.8×10^{18} cm^{-2}，比通常微电子工艺中最高注入剂量高 200 ~ 500 倍，半导体工艺掺杂注入的上限是 10^{16} cm^{-2}。高温退火工艺是为了改善 SOI 材料顶层硅的单晶质量，减少位错密度，并得到原子级陡峭的 Si - SiO_2 界面。SIMOX 技术制备 SOI 材料的原理如图 4.10-4 所示。

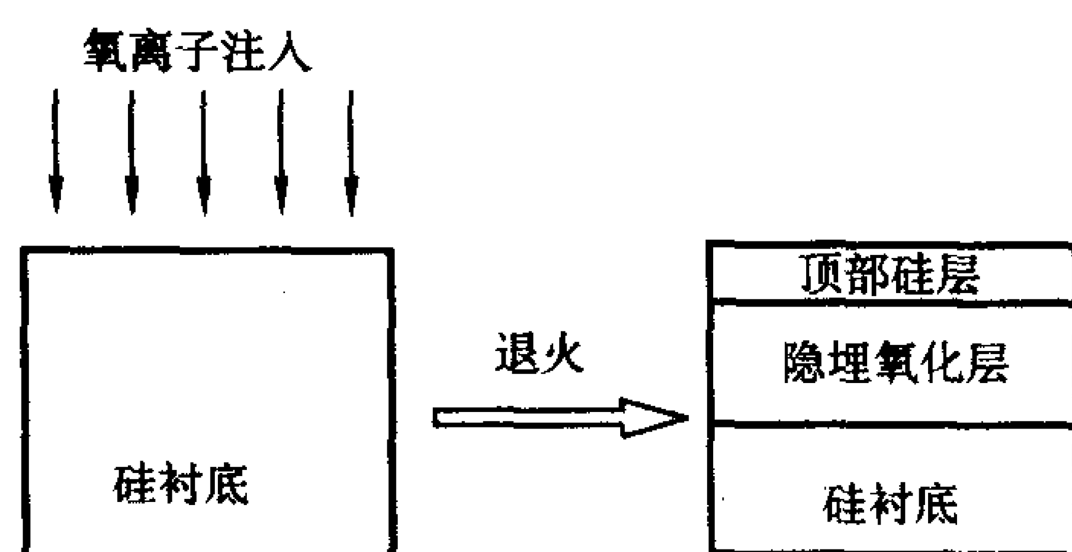
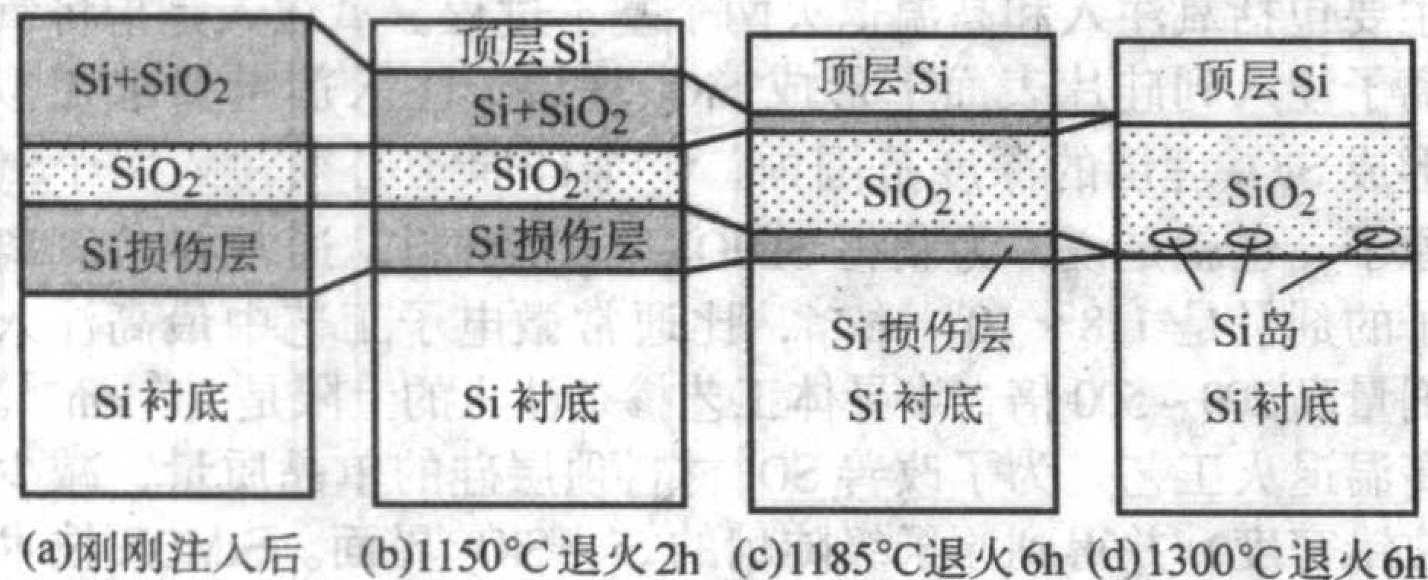


图 4.10-4 SIMOX 技术原理：大剂量氧注入 + 高温退火

在SIMOX技术中，由氧注入得到的SIMOX材料的形貌和质量与氧的剂量和注入过程中硅片的温度有关。具有化学剂量比的SiO_2含有4.4×10^{22}氧原子/cm^3。实验证明，如果氧注入剂量达到$1.8\times10^{18}\ cm^{-2}$，经退火后可产生400 nm（4 000 Å）厚的氧化物埋层。当注入能量为200 keV时，氧化物埋层开始形成的临界剂量为$1.4\times10^{18}\ cm^{-2}$。而低于临界剂量时（称为亚临界剂量），不能够形成连续的SiO_2埋层。注入时的衬底温度也是一个重要参数，它会影响顶部硅层的单晶质量。氧注入会使射程范围之内的硅非晶化，如果在注入过程中硅片温度太低，顶部硅就会完全非晶化，经退火后将形成多晶硅，这是需要设法避免的。若注入时硅衬底处于较高温度（高于500℃），则注入过程中非晶化损伤会因自退火而消除，从而保持顶部是单晶硅，但是顶部硅层内会含有许多缺陷。在更高的温度下（700～800℃）注入时，靠近顶部硅层的下界面处会形成氧化物沉淀，因此，离子注入期间硅衬底温度的上限为700℃左右，最常用的离子注入温度范围在600～650℃之间。

氧离子注入完成后，为形成符合器件要求的SIMOX结构还需要对样品进行退火处理，一般而言，退火温度愈高材料质量愈好。目前标准退火工艺是用多晶硅管或碳化硅管的退火炉，在1300～1 350℃温度范围内退火6 h。在不同退火阶段SIMOX结构的变化过程如图4.10-5所示。下面以200 keV能量下，硅中注入1.5×10^{18}氧原子/cm^2为例来说明。刚注入的样品可以分为三个区域：420 nm（4 200 Å）厚的高度无序但仍是单晶的顶部硅层，其中含有SiO_2沉淀物，沉淀物的尺寸从硅的上表面到$Si-SiO_2$界面不断增加；180 nm（1 800 Å）厚的非晶氧化物埋层以及伸进硅衬底约450 nm（4 500 Å）深的重度损伤的硅层。1 150℃退火之后，上层硅顶部有80 nm（800 Å）厚的硅层从SiO_2沉淀中解析出来，该层下面是高缺陷并含有大量氧化物沉淀和位错的区域，氧化物沉淀的平均直径大约为25 nm（250 Å）。隐埋氧化层与硅衬底之间的界面区呈现叠层结构（Si和SiO_2的层状混合）。1 185℃退火后，顶部形成无氧化物沉淀的200 nm（2 000 Å）厚的硅层，在靠近硅层和隐埋氧化层界面处，发现有SiO_2沉淀，但其数量较1 150℃退火后少，尺寸较大。SiO_2-Si衬底界面处仍旧是叠层结构。1 300℃退火后，顶部硅全部从氧化物沉淀中脱出，顶层硅与隐埋氧化物界面呈现出原子级陡峭。在距隐埋氧化层与硅衬底界面25 nm（250 Å）处的隐埋氧化层内发现一些小硅岛（叠层结构的残余物），硅岛与硅衬底具有相同的晶向，硅岛厚度为30 nm（300 Å），长度为30～200 nm（300～2 000 Å）。



(a)刚刚注入后　(b)1150°C退火2h　(c)1185°C退火6h　(d)1300°C退火6h

图4.10-5　SIMOX结构随氧离子注入后退火温度的演变
（注入剂量$1.5\times10^{18}\ cm^{-2}$，注入能量200 keV）

SIMOX注入工艺同时会把缺陷和应力引入顶部硅层，从而产生大量的晶体缺陷（位错）。与氧化物沉淀不同，高温退火不能消除位错。早在1987年就已观察到，如果注入剂量$4\times10^{17}\ cm^{-2}$（能量为150 keV）低于阈值剂量，产生的缺陷会明显减少。然而，这个阈值低于形成SiO_2层的临界剂量，因此退火后不能形成连续的隐埋氧化层，仅在氧离子射程（硅片中注入氧离子高斯分布峰值所对应的深度）附近形成氧化物沉淀。如果采用多重注入工艺，把注入和退火过程重复2～3次（使总剂量仍达到1.2×10^{18}氧原子/cm^2），就可得到高质量的SIMOX材料，且在顶部硅膜中不会产生明显数量的位错（位错密度低于$10^3\ cm^{-2}$）。除位错密度很低外，$Si-SiO_2$间还具有原子级陡峭的界面，且在隐埋氧化物底部不存在硅岛。

最近SIMOX材料研究已经转向采用低能、低剂量注入，以便在薄的隐埋氧化层上制备薄硅膜。采用低能注入工艺的优点如下：

1）薄的隐埋氧化层的抗总辐射剂量辐射的能力比厚氧化层好；

2）直接生长薄的硅膜（而不是作成厚硅膜再减薄）对薄膜器件的制造是很有吸引力的；

3）SIMOX片子的生产成本正比于注入能量和注入剂量。业已证明，在30～80 keV能量范围内，注入亚临界剂量，再经高温退火可产生一个薄的连续的隐埋氧化层以及具有低的位错密度的薄的顶部硅层。低能、低剂量注入技术的另一个潜在优点是减少了硅片的沾污，这是因为杂质（碳和重金属）的引入正比于氧的注入剂量。

表4.10-1中列出了SIMOX材料的一些技术指标。

表4.10-1　SIMOX材料的一些技术指标

SOI参数	典型值或当前可达到的指标
硅片直径/mm	200
硅膜厚度/nm	50
硅膜厚度均匀性/nm	<5
埋氧厚度/nm	80～400
埋氧厚度均匀性/nm	<4
表面粗糙度/nm	0.2
位错密度/cm^{-2}	<100
HF缺陷密度/cm^{-2}	<1
金属沾污/cm^{-2}	$<5\times10^{10}$
埋氧微管状缺陷密度/cm^{-2}	<0.2

1.3　智能剥离技术

用智能剥离技术（Smart－Cut）制备的SOI材料也称为UNIBOND材料。智能剥离技术将离子注入技术和晶片键合技术结合起来，使一个硅片上的表层硅膜转移到另一个硅片或其他绝缘衬底上，其基本工艺步骤如下。

1）在表面氧化的硅片（硅片A）中注入氢离子。注入剂量为$5\times10^{16}\ cm^{-2}$量级。此阶段在硅片内深度为注入距离R_P的区域会形成微腔和微气泡。硅片在离子注入前先用氧化法制备一SiO_2覆盖层，这一SiO_2覆盖层在智能剥离工艺结束时将变成SOI结构中的隐埋SiO_2层。在氢离子注入过程中，由于表面的一些碳污染而使氧化物表面失去亲水性，因此，在晶片键合之前必须对晶片仔细清洗以恢复表面的亲水性。

2）进行晶片A和支撑片B的亲水性键合。支撑片B既可以是硅裸片，也可以是氧化后的硅片，取决于最终SOI片埋氧层的期望厚度。

3）然后进行键合晶片的两阶段热处理。在第一阶段温度保持在500℃，氢离子注入的硅片A分裂为两部分：一薄层仍然键合到支撑片B上的单晶硅，以及硅片A的剩余部分，此部分可以用做另一个支撑片B重复使用。氢离子注入和热处理导致硅片分裂的基本机制与材料经氦离子或质子轰击后表面的起泡和起片剥落的过程相类似。在退火过程中，硅片内微腔的平均尺寸增加了，这种微腔尺寸的增加是沿着〈100〉方向（平行于硅片表面的方向）进行的，并且微腔之间会发生相互作用，最终导致裂隙在整个硅片内的扩展，裂隙的扩展方向与硅片表面严格平行。第二阶段的热处理是在

较高温度下（1 100℃）进行的，目的是加强 SOI 硅膜同支撑片之间的键合强度。

4）最后对 SOI 片进行机械化学抛光以获得所需的镜面状表面。在硅片 A 分裂后，SOI 结构的顶层硅膜呈现出明显的微粗糙，必须对此进行接触式抛光。抛光工艺可将 SOI 片的表面粗糙度降低至 0.15 nm，SOI 硅膜的厚度被消耗几十纳米。

智能剥离技术制备的 SOI 材料的典型硅膜厚度为 200 nm。晶片分裂后硅膜的表面粗糙度优于 4 nm，抛光后优于 2 nm。硅膜厚度均匀性（200 mm 直径晶片硅膜厚度最大值和最小值之差）优于 10 nm，位错密度小于 $10^2\ cm^{-2}$。金属沾污低于 $5\times10^{10}\ cm^{-2}$。与 SIMOX 材料不同，UNIBOND 材料中没有微管状缺陷。UNIBOND 材料中的少子寿命在 100 μs 量级，比 SIMOX 材料大 10 倍。图 4.10-6 是智能剥离技术的原理示意图。

从经济的观点看，Smart－Cut 工艺要明显优于经典的 BESOI 工艺。事实上，为制备 N 个 SOI 片，Smart－Cut 工艺只需要消耗 N＋1 个起始晶片，而 BESOI 工艺需要消耗 2N 个起始晶片。此外，Smart－Cut 工艺具有把任何一种半导体薄膜转移到绝缘衬底上的潜力。值得指出的是，用 Smart－Cut 工艺还可以把硅片上刻蚀好的图形转移到其他晶片上。

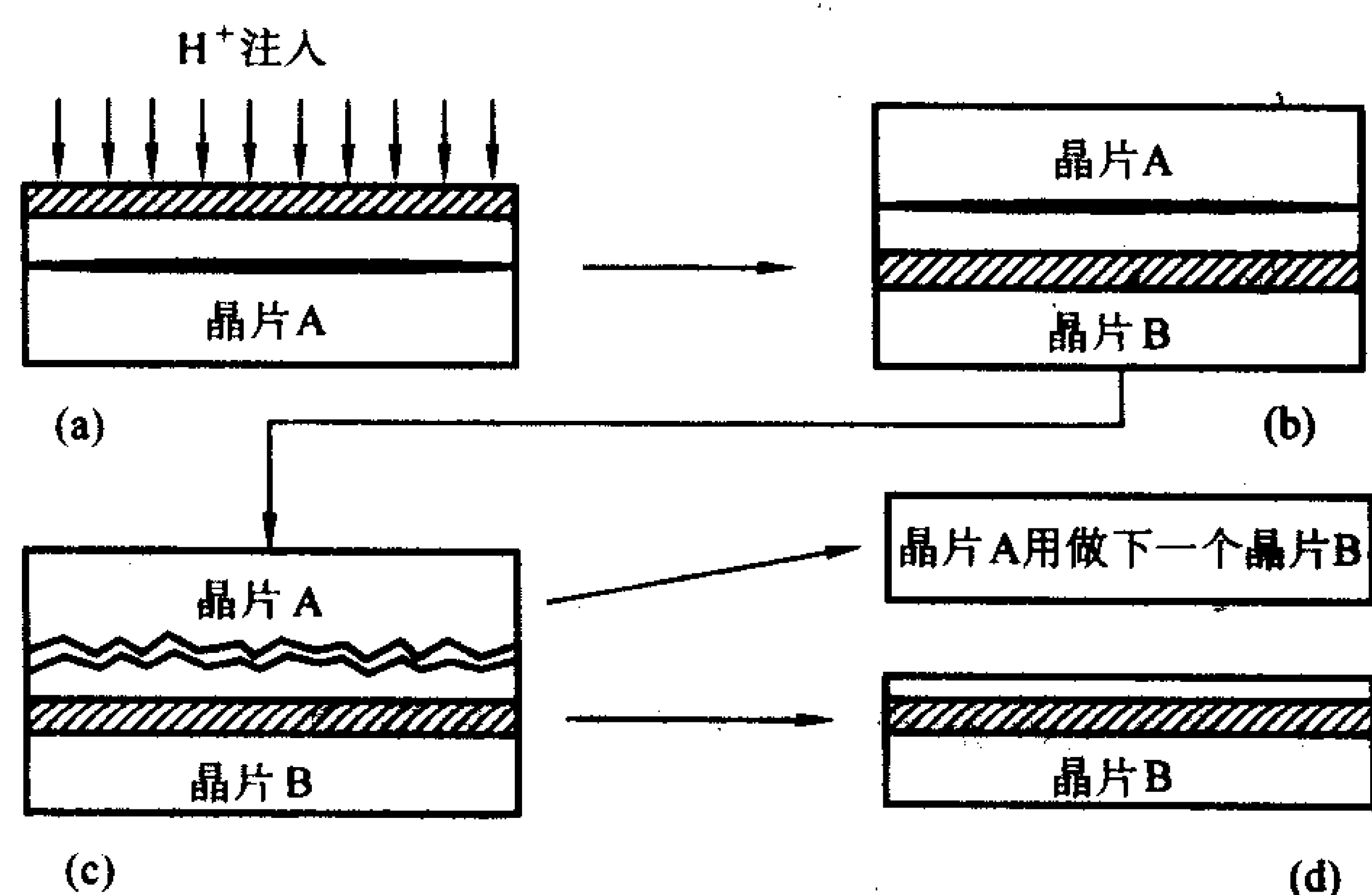


图 4.10-6 Smart－Cut 工艺过程
（a）氢离子注入；（b）晶片键合；
（c）晶片 A 分裂；（d）晶片抛光
晶片 A 可作为支撑片重复利用

2 SOI 的电学和光学性质

2.1 SOI 材料的表征技术

在制备出 SOI 材料后，对其质量进行分析与测试是非常重要的。最为关键的参数是缺陷密度、顶部硅层和隐埋绝缘层的厚度、杂质浓度、载流子寿命以及硅－绝缘体界面的质量。某些 SOI 材料的表征技术虽然非常有效，但却是破坏性的（例如透射电子显微镜 TEM）。因而，在生产环境下的例行分析中，难以采用这些技术用于 SOI 材料的分析。另一些技术虽然灵敏度较低，但没有破坏性，并且可以在数秒的时间内提供分析数据，因而可以用于大量 SOI 基片的质量评估中。物理方法（例如光学薄膜厚度测量技术）可用于原始 SOI 基片的测量，而另一些方法还需要在 SOI 基片上制备器件（因此也应视为破坏性的分析方法）。表 4.10-2 列出了评估 SOI 材料质量的表征技术和方法。

2.2 SOI 材料的晶体质量

尽管所有的 SOI 材料制备技术的目标均是制备完美的单晶硅层，但是实际上不可能完美无缺地实现这一目标。在硅单晶层中总是存在着晶体的不完整性。对硅层质量的评价可从晶向、结晶度和晶体缺陷三个方面进行。

表 4.10-2 SOI 材料的表征技术

表征参数	表征方法和技术	破坏性检测(D) 无损检测(ND)	物理方法(P) 电学方法(E)
硅膜厚度测量	可见光反射系数	ND	P
	椭偏光谱	ND	P
	红外反射系数	ND	P
	卢瑟夫背向散射（RBS）	D	P
	触针式轮廓曲线测试	D	P
	SOI MOSFET 电学测量法	D	E
硅晶体质量	透射电子显微镜（TEM）	D	P
	卢瑟夫背向散射（RBS）	D	P
	化学腐蚀显示技术	D	P
	UV 反射测量	ND	P
硅层中应力	啦曼散射谱	ND	P
杂质浓度	二次离子质量谱（SIMS）	D	P
	火花源质量谱	D	P
载流子寿命	表面光电压技术（SPV）	ND	P
	器件参数测量	D	E
Si－SiO_2 界面	MOS 电容器	D	E

1）晶向 所有 SOI 技术都力图制备具有（100）晶向的硅膜。在原始衬底为（100）晶向时，通过形成绝缘体夹层而使表层硅膜从原始衬底上隔离获得顶部硅层（例如 SIMOX，SIMNI，FIPOS 或键合），以及通过在晶格参数等于或接近（100）硅的单晶衬底上外延生长顶部硅层（例如 SOS，ELO，LSPE 等）等技术都能够自动获得（100）晶向。而在另一些 SOI 技术中，非晶绝缘体上硅膜是通过熔化多晶硅再结晶而形成的（例如激光再结晶，电子束再结晶，ZMR），这时的晶向控制是较为困难的，可以观察到与（100）晶向的明显偏离。因此，即使主晶向是（100），也会出现平面内的取向偏差。这些具有不同晶向的单晶体通过（亚）晶粒边界相连接。传统的测量技术，诸如 X 射线衍射 TEM 以及电子衍射 TEM 等技术均可用于确定晶体的晶向。但更经常的是采用电子通道模斑（Electron Channeling Pattern，简称 ECP）技术或准 Kikuchi 技术测量晶向，因为该技术无需特别的样品制备并能在 SEM 中进行观测。腐蚀坑网格技术是评价 SOI 硅膜晶向的最为普遍的方法之一，这种技术已广泛地应用于优化 ZMR 工艺。

2）晶化程度 在 SOI 材料制备过程中（例如 SIMOX，SIMNI）顶部硅层受损的情况下，以及在硅的外延生长情况下，检查所形成的单晶层的晶化程度是非常必要的。进行这种测量的两种主要方法是卢瑟夫背向散射（RBS）和 UV 反射测量。RBS 是一种破坏性检测技术，其机理如下：轻离子（通常是 He^+）与样品相碰撞，离子在达到靶片之前被加速到 E_0（例如 2 MeV），这些离子通过与靶原子的核相互作用以及电子相互作用而失去能量。入射离子的大多数将留在靶中，但有小部分轻离子会以角度 θ，以能量 $E_1=KE_0$ 被散射。K 为动力学因子。RBS 谱测量可以在两种不同的方式下进行：入射离子束方向与晶向相平行，或取随机方向。在前一种情况下，在晶体中的离子由于晶格的沟道效应，而使离子在晶体中射入的更深，这样可得到“准直谱”。如果样品是无定形的或者是随机取向的，则不存在沟道效应，所得到的是“非准直谱”。准直谱具有较低的背散射产额，因为离子在样品中进入的更深并且碰撞后散射出样品的概率较低。类似地，晶体不完整性的存在（点缺陷、杂质等）将会增加晶体的背散射产额。最小背散射产额 X_{min} 是晶格无序程度的

度量，X_{min}愈小，晶体结晶愈好。(100) 单晶体硅通常具有3%～4%的 X_{min}值。

UV反射是另一种用于评价SOI样品结晶程度的方法。与RBS相反，它是一种无损分析方法，广泛应用于SOS基片的表征。不仅是硅膜中的微孪晶密度，就连SOS电路的制造成品率等均与UV反射参数有关。SIMOX基片的顶部硅层质量也可以使用UV反射测量技术进行分析。在分析SOS时，UV反射测量法是测量 $\lambda=280$ nm光的反射。如有必要，可用在 $\lambda=400$ nm处的第二次测量做参考。单晶硅UV反射光谱在 $\lambda=280$ nm和 $\lambda=365$ nm处有两个明显的极大值，它们分别是由于在X点以及沿着布里渊区 $\Gamma-L$ 轴的光学带间跃迁引起的。在短波长，特别是在 $\lambda=280$ nm时，反射系数主要取决于大的吸收系数（$K>10^6$ cm^{-1}），此吸收系数相当于穿透深度小于10 nm。近表面区的不完整结晶会加宽光吸收峰并降低它的最大峰值。在SIMOX基片测量时，为了获得有关顶部硅层质量的有用信息，必须用更多的波长。对SIMOX基片的UV测量业已证明：它能提供该材料的三种型貌信息：其一，SIMOX整个反射率的降低（相对于体硅参考样品）与顶部硅层中的杂质沾污有关。这种沾污可能是由于碳或者 SiO_x。其二，粗糙表面引起的Rayleigh散射表明，在最短波长范围（200 nm < λ < 250 nm）内，反射率的减小是 $B\lambda^{-4}$的函数（B是取决于表面粗糙度的常数）。最后，顶部硅层的局部非晶化会降低在280 nm和367 nm处峰值的强度。这些极大值的尖锐度以及强度给出了样品中结晶度的测量结果。总之，通过UV反射测量可以得到有关沾污、表面粗糙度以及结晶度的半定量信息。

3）体缺陷　透射电子显微镜（TEM）是分析晶体缺陷强有力的技术，不过对可以分析的样品尺寸有一定的限制。在剖面TEM（XTEM）分析中，能同时观察到的样品尺寸约在20 μm宽、0.7 μm深的范围内。这就意味着最大观察面积约为 10^{-7} cm^2 数量级，可测量的最小缺陷密度约为 10^7 cm^{-2}。平面TEM允许观察较大面积的样品，其可分析样品面积相当于样品固定架尺度（7 mm^2）。实测时，放大倍数低于10 000时观察位错是困难的，更接近实际的方法是在一次观察中取10张显微照片，每张照片都具有10 000倍的放大倍数。在这种情况下，分析观察的面积为 10^{-5} cm^2，最少可观察到 10^5 cm^{-2}的缺陷密度。TEM分析常常需要长时间、复杂的样品制备过程。在样品和缺陷性质允许的情况下，与光学显微镜观察相结合的缺陷腐蚀显示技术要比TEM优越。与正常硅单晶相比，缺陷区的腐蚀速率较高，因此，缺陷腐蚀显示技术的原理是基于混合腐蚀液对缺陷的择优腐蚀。对于大尺度缺陷（像晶粒和亚晶粒边界），缺陷腐蚀显示技术是非常有效的。在SOI材料中发现的主要缺陷列表于表4.10-3。异质外延材料中的主要缺陷是微孪晶和堆垛层错。通过多晶硅熔化再结晶的硅膜中的缺陷大多是亚晶粒边界。用SIMOX，FIPOS以及硅片键合技术形成的SOI材料中的主要缺陷是位错。

晶体缺陷对器件电学性能影响的方式取决于该缺陷的性质和几何尺寸。当晶体取向不同的两个晶粒相遇时，则形成晶粒边界，晶粒边界是激光和电子束再结晶SOI材料中的典型缺陷。在器件沟道区中存在的晶粒边界会导致对器件性能的不同影响，这要取决于晶粒边界的位置。如果晶粒边界是从源至漏（平行于沟道电流方向），则它在源漏区再氧化时仅起到源漏杂质增强扩散通道的作用，因此在短沟道晶体管中即表现为源漏间的漏电。如果晶粒边界与沟道电流方向垂直，当栅压增加时，在晶粒边界处高密度的界面陷阱会阻碍反型层出现，表现为阈值电压急剧地上升。还观察到反型层中迁移率的明显降低。ZMR材料中存在有亚晶粒边界，出现于两个邻近的、具有相同晶向但面内晶体取向稍有差异的晶体相遇处。亚晶粒边界可视为一个位错网络，与晶粒边界相比，它具有更小的电活性。亚晶粒边界似乎并不表现为能增强杂质的扩散或退化阈值电压、迁移率特性。在许多SOI材料中，位错均是主要的缺陷种类。对于SIMOX材料，位错是从 $Si-SiO_2$ 界面处垂直地生长到顶部硅层表面的延伸位错。这种位错的存在将会给器件成品率以及可靠性等带来不利影响。退火期间金属性杂质极易扩散到这些位错处，经重金属杂质缀饰的位错可在栅氧化层中形成薄弱点，从而导致栅击穿电压降低。早在1987年就已经证明，SIMOX材料上的栅氧化层的完整性已可以与体硅上的相比拟。

表4.10-3　不同SOI材料中的缺陷类型及缺陷密度

材料	缺陷类型	缺陷密度
SOS	微孪晶，堆垛层错	高
SOZ	微孪晶，堆垛层错	高
CaF_2	微孪晶，堆垛层错	高
激光束	晶粒边界，堆垛层错	高（局部）
电子束	晶粒边界，堆垛层错	高
ZMR	亚晶粒边界，位错	中
ELO	堆垛层错，位错	高
LSPE	位错，堆垛层错	高
FIPOS	位错	低
SIMOX	位错	低
SIMNI	位错	中
键合	位错	低

2.3　SOI材料的载流子寿命和表面复合

少数载流子寿命是硅膜质量的一种量度。寿命受晶体中存在的缺陷和金属化杂质的影响。还没有一种既是非破坏性的、又可用于测量SOI结构顶部硅层中载流子寿命的技术。载流子的寿命测量技术依赖于器件（如在SOI材料上制备的MOSFET）中的寿命测量或者是硅衬底的寿命测量，对于后者，还需要考虑硅衬底载流子寿命与顶部硅层中金属沾污程度的关系。

1）表面光电压测量　表面光电压（SPV）技术基于光照条件下对硅样品表面所产生电压的测量。SPV使用一种断续的单色光束，具有稍大于硅禁带宽度 E_g 的光子能量 $h\nu$。硅通过吸收光子能量产生电子－空穴对。一部分电子－空穴对扩散到光照射的硅表面。在表面，厚度为w的表面空间电荷区电场使电子－空穴对分离，由此产生表面电压 ΔV。部分 ΔV 会容性耦合到接近受光照硅表面的透明导体电极。电极上的信号经放大产生一个准直流的、正比于 ΔV 的模拟量输出信号。

ΔV 是过剩少数载流子（在N型硅时为空穴）在表面空间电荷区边界处密度 ΔP (0) 的函数。ΔP (0) 取决于入射光强度 I_0、光学吸收系数 α、被照射硅表面处的光反射率 ρ、表面处复合速度 s 以及少子扩散长度 L。如果假设 $\alpha w \ll 1$，$w \ll L$，$\Delta p \ll n_0$，则过剩载流子密度一维扩散方程的稳态解为：

$$\Delta P\ (0)\ = \frac{I_0\ (1-\rho)}{D/L+S'} \times \frac{\alpha L}{1+\alpha L} \qquad (4.10\text{-}1)$$

式中，n_0 为多数载流子密度；D 为少数载流子扩散系数。还要假定 $\alpha w \gg 1$，w 是硅片的厚度。选择一系列不同的波长以产生不同的 α 值，在每一个波长下，调节 I_0 以得到相同

大小的 ΔV（即光压幅度恒定），因此，ΔP (0) 的值也是一个常数。如果 ρ 在给定的波长范围内基本上为一常数，上述方程可以改写为：

$$I_0 = C_0 \left[1 + (\alpha L)^{-1}\right] \quad (4.10\text{-}2)$$

C_0 为一常数。如果对应于每个恒定幅度的 ΔV，描绘 I_0 与 α^{-1} 的关系曲线，结果将是一条直线，其外推到 α^{-1} 轴上的截距就是 L。载流子寿命 τ_p 可以根据关系式 $L^2 = D\tau$ 求得，式中 $D = kT/q\mu$，μ 为载流子迁移率。

并不能直接用 SPV 技术测量 SOI 样品顶部硅层中的少子寿命，因为对于要满足的条件 $\alpha w \gg 1$ 而言，顶部硅层太薄了。但 SPV 仍然可用于间接测量 SOI 材料中重金属沾污程度。

2) 器件中载流子寿命的测量　少子寿命是一个与器件特性密切相关的重要参数。当产生寿命比较短时，会出现结漏电。另一方面，高复合寿命可以增强寄生双极效应。少子寿命受器件工艺影响，在器件工艺进行前后它的值会明显不同。少子产生寿命 τ_{gen} 可以根据泄漏电流测量和 Zerbst 类型的技术得到。前一种方法是把泄漏电流和结电容作为二极管反向偏压的函数进行组合测量。这种方法已在厚硅膜、非贯穿结 SOI 材料中使用。

实验观察得出：在 Si－SiO$_2$ 界面德拜长度内（≈100 nm）所测量的寿命会明显下降，这是由于表面产生的贡献。在不同背栅压下进行这种测量即可进行表面产生率的研究与分析。如果背界面处于积累或者反型状态，仅有硅膜内的产生中心对产生电流有所贡献。另一方面，如果背界面是耗尽的，在界面处的产生可对总产生电流提供另一种形式的贡献。第二种方法可能更适于测量薄膜硅中的少子产生寿命。它基于测量在深耗尽（或者为积累型）MOSFET 中建立反型层所需的时间。形成反型层所需的少数载流子只能来自硅膜体内的产生或者 Si－SiO$_2$ 界面处的产生。在这个模型中假设：载流子表面产生速率为常数，但这只有在栅极下面硅界面处于反型时才正确，此项假设使表面产生速度 S_0 测量值偏低。刚加上外加栅压时（在界面和耗尽层间还没有出现起屏蔽作用的反型层），表面产生速率最高，随着反型层逐渐形成，它将随时间的增长而下降。类似地，有效产生寿命可以描绘成硅膜中深度的函数。事实上，耗尽层深度将随着外加电压的幅度而变化。小栅压适合于测量近表面处的有效寿命（τ_{gen} 较低），较大的偏压可用于测量硅膜中更深处的寿命值（τ_{gen} 增大），可以选择更大的栅压用以测量背界面处寿命（τ_{gen} 再次下降）。在高质量 SIMOX 材料中典型的产生寿命值是 1－10 μs，在无亚晶粒边界 ZMR 材料中为 40 μs。

复合寿命，更为精确地讲是有效复合寿命（包括了界面复合的影响），是一个涉及到寄生双极效应所有特性的关键参数。它可以通过测量具有不同基区宽度的横向双极晶体管的增益 β 而得到。基于双极晶体管理论，可以写出

$$\beta = 2\,(L_n/L_B)^2 - 1 \quad (4.10\text{-}3)$$

式中，L_B 为基区宽度，在一级近似中，它可假使成等于有效沟道长度 L_{eff}；L_n 是电子扩散长度（这里考虑的是 NPN 器件）。根据 $L_n{}^2 = D_n\tau_n$，D_n，τ_n 分别是少数载流子（电子）在基区中的扩散长度和有效复合寿命。如果不是横向双极晶体管结构（即不具有硅体引出接触的 MOSFET），有效复合寿命的估算值可以从 N 沟 SOI MOSFET 的漏结击穿电压与有效栅长度的函数曲线中获得。

2.4 SOI 材料的 Si－SiO$_2$ 界面

SOI 器件中 Si－SiO$_2$ 界面处以及氧化层中的电荷可以用传统的 C－V 技术测量，但是对所获得数据的分析是相当困难的。事实上，对整个 SOI 结构的电容进行直接测量会得到一个复杂的 $C-V$ 曲线，从曲线上可以看出来自硅膜正、背界面以及硅衬底顶部处的积累、耗尽和反型状态的贡献。尽管 SOI 电容的解析模型是可行的，但是一种更为简单的方法是对金属－氧化物－硅－氧化物－硅（MOSOS）结构进行数值模拟并将模拟结果与测量结果相比较，从而估算出氧化层中和 Si-SiO$_2$ 界面处的电荷。

用电荷泵（charge pumping）技术表征 Si-SiO$_2$ 界面是非常有效的，它可用于小面积器件并能得出界面态在禁带中的分布。对于 SOI 器件，它可独立地分析正界面和背界面。在体硅器件中，电荷泵技术的原理是：源和漏相互连接并稍加反向偏压（相对于衬底），在栅极加上频率为 f 的周期性三角波或梯形波信号 ΔV_G，并要使 ΔV_G 较大、足以将栅下面硅表面从积累状态转到强反型。当器件进入反型时，源和漏提供少数载流子以形成反型沟道。界面态会陷住部分载流子。当转换栅压在器件中产生积累时，反型层载流子（在 N 型沟器件中为电子）将快速地流向源和漏而消失，而那些原先为表面态陷住的少数载流子（电子）则与来自硅衬底的多数载流子相复合，这种空穴电流构成了电荷泵电流 I_{cp}。如果在栅极施加了频率为 f 的脉冲，电荷泵电流 I_{cp} 由下式给出：

$$I_{cp} = q^2\,\overline{N_{it}}\,\Delta\phi_s f A \quad (4.10\text{-}4)$$

式中，$\overline{N_{it}}$ 是平均界面陷阱密度；$A = WL$ 为沟道面积；$q^2\Delta\phi_S$ 是在禁带中的能量变化范围。这个基本的表达式也可以推广至更为复杂的电荷技术，即使用栅偏置和具有不同上升、下降时间的梯形脉冲，这样可以得到表面"态"在整个禁带中的能量分布。

对于 SIO MOSFET，可以通过衬底接触测量电荷泵浦电流。然而，通过对 PIN（或为 $P^+P^-N^+$）栅控二极管的测量可获得更好的结果。在反型层中，由 N^+ 阴极提供少数载流子，在 P^+ 阳极测量电荷泵电流。给正表面栅上施加脉冲可测量正表面界面陷阱密度，给背面栅（硅衬底）施加脉冲可测量背界面陷阱密度。图 4.10-7 给出了在 SIMOX PIN 栅控二极管上测出的电荷泵电流与脉冲频率的关系曲线。通过给正面栅或背面栅施加脉冲即可分别对正界面和背界面进行测量。当测量背界面时，电荷泵电流比较大，表明背界面的陷阱密度 $\overline{N_{it}}$ 高于正界面。可以观察到：背界面态由两种成分组成：高密度、截止频率为 1～10 kHz 的慢界面态和较低密度的快界面态。

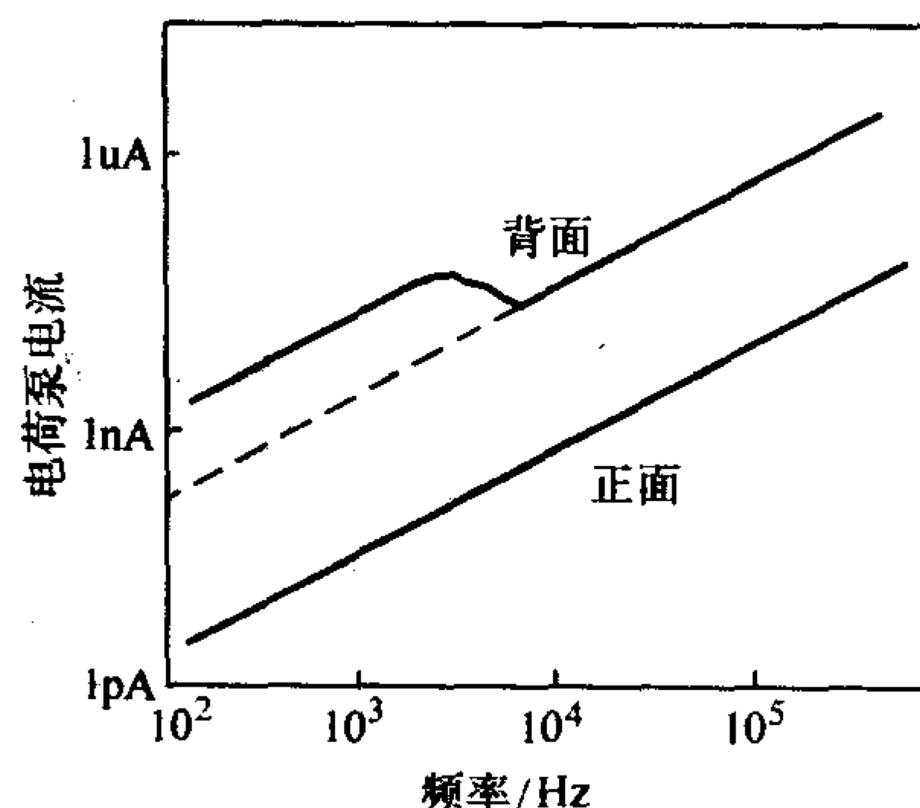


图 4.10-7　在栅控 SIMOX PIN 二极管上测量电荷泵电流与频率的关系

3 SOI 的应用与发展趋势

3.1 SOI CMOS 技术

迄今为止，在 SOI 衬底上制备的集成电路主要是互补 MOS（CMOS）。由于 SOI 由硅层和二氧化硅层组成，故 SOI 基片的表观与体硅基片十分相似。SOI 电路可以在标准的体

硅工艺线上制备，而且可以把体硅和 SOI 基片混合在同一批里进行电路制备。

在 SOI 基片及体硅基片上制备 CMOS 电路的工艺技术是非常相似的。图 4.10-8 分别示出了制备在体硅（P 阱工艺）、厚硅膜（200 ~ 500 nm）和薄硅膜 SOI 上的 CMOS 反相器的剖面结构，这仅是一个简单的示意图，实际的体硅 CMOS 要比图 4.10-8a）所示的工艺结构更为复杂，并且可以使用外延硅衬底、双阱工艺或者反向阱工艺等。从剖面示意图可明显地看出：SOI 器件工艺（尤其是薄硅膜 SOI 器件工艺）比体硅工艺更简单。例如，在 SOI 器件制备工艺中不需要制作扩散阱。虽然在体硅 CMOS 器件中使用的防穿通注入在 P 沟 SOI MOS 器件中仍在使用，但在 N 沟 SOI MOS 器件中已被背沟道漏电抑制注入所取代（图 4.10-8b））。在薄硅膜、全耗尽 SOI 器件中，这些深注入是不必要的，浅注入就已决定了沟道区中的整个杂质分布。在通常使用 N^+ 多晶硅作为栅材料的工艺中，P 型杂质（硼）用于控制 N 沟和 P 沟器件的阈值电压（图 4.10-8c）。表 4.10-4 比较了体硅 CMOS、厚（硅）膜部分耗尽（PD）SOI CMOS 及薄（硅）膜全耗尽（FD）SOI CMOS 的简化工艺流程。从中可以看出，SOI 器件工艺是较为简单的（具有较少的工艺步骤），至少可以省去一次光刻（如果 P 沟防穿通注入能大面积进行，可节省二次光刻，在 N 沟器件中可通过大剂量背沟道阻断注入来补偿）。如果是薄硅膜器件（100 nm 或者更薄），工艺过程还可以得到更大的简化。

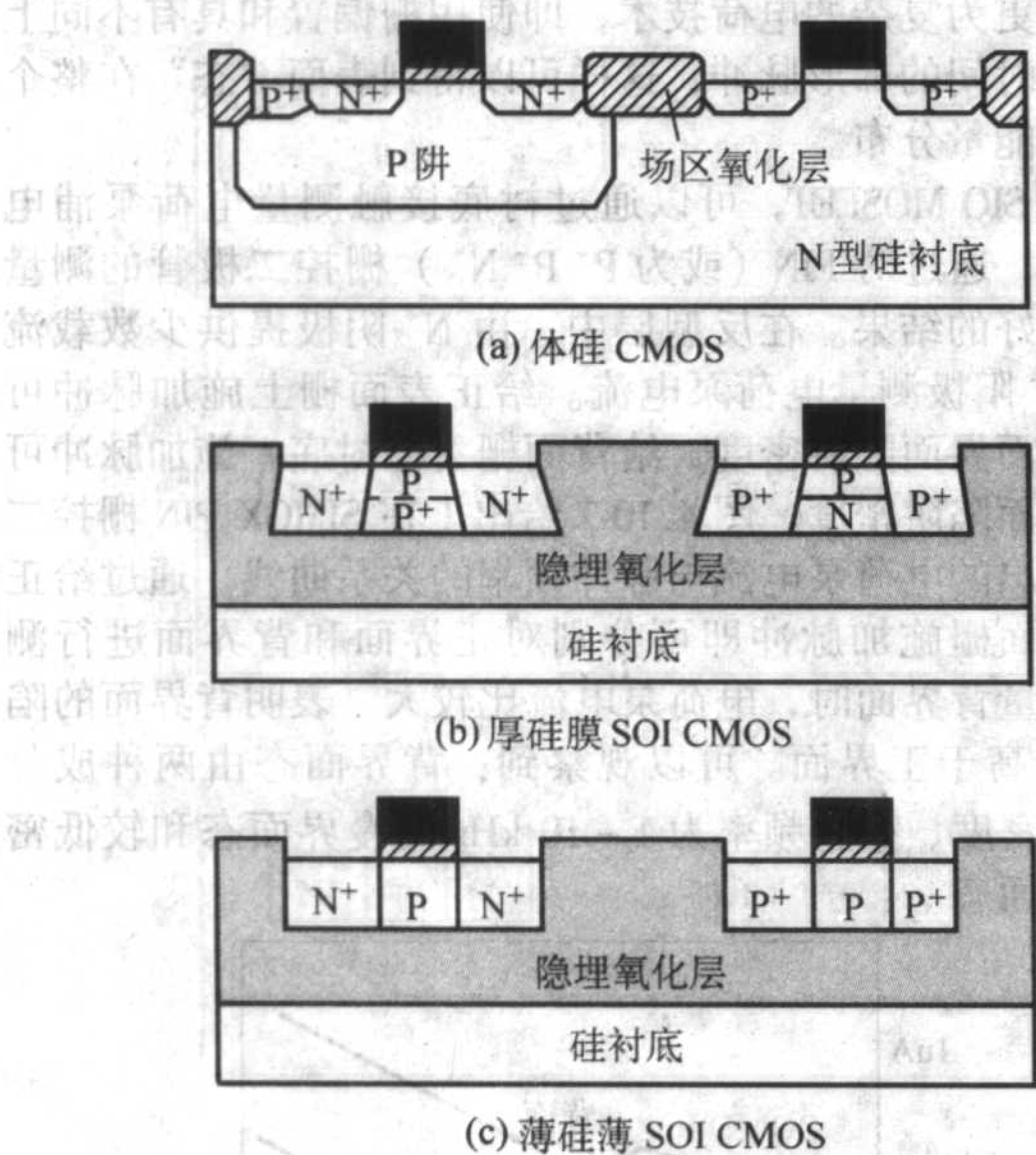


图 4.10-8　CMOS 反相器的结构剖面图

表 4.10-4　体硅、FD 和 PD SOI CMOS 工艺流程比较

体硅 CMOS	PD SOI CMOS	FD SOI CMOS
氧化	氧化	氧化
阱光刻		
扩阱及推进		
氮化硅淀积	氮化硅淀积	氮化硅淀积
有源区光刻	有源区光刻	有源区光刻
氮化硅刻蚀	氮化硅刻蚀	氮化硅刻蚀
场区注入光刻	场区注入光刻	场区注入光刻
场区注入	场区注入	场区注入
场区氧化	场区氧化	场区氧化
氮化硅去除	氮化硅去除	氮化硅去除
P 沟道光刻	P 沟道光刻	P 沟道光刻
防穿通注入	防穿通注入	防穿通注入
栅氧化层生长	栅氧化层生长	栅氧化层生长
P 沟阈值注入	P 沟阈值注入	P 沟阈值注入
N 沟光刻	N 沟光刻	N 沟光刻
防穿通注入	背沟道注入	
N 沟阈值注入	N 沟阈值注入	N 沟阈值注入
多晶硅淀积掺杂	多晶硅淀积掺杂	多晶硅淀积掺杂
光刻栅及刻蚀	光刻栅及刻蚀	光刻栅及刻蚀
P^+ 源、漏光刻	P^+ 源、漏光刻	P^+ 源、漏光刻
P^+ 源、漏注入	P^+ 源、漏注入	P^+ 源、漏注入
N^+ 源、漏光刻	N^+ 源、漏光刻	N^+ 源、漏光刻
N^+ 源、漏注入	N^+ 源、漏注入	N^+ 源、漏注入
源、漏再氧化	源、漏再氧化	源、漏再氧化
介质淀积	介质淀积	介质淀积
接触孔光刻	接触孔光刻	接触孔光刻
开接触孔	开接触孔	开接触孔
金属化	金属化	金属化
金属化光刻	金属化光刻	金属化光刻
金属布线腐蚀	金属布线腐蚀	金属布线腐蚀
合金	合金	合金

3.2　SOI CMOS 与体硅 CMOS 设计的比较

大致上讲，SOI CMOS 技术比体硅 CMOS 技术具有更高的集成度，通过比较两者的反相器版图就可以清楚地看出这一点（如图 4.10-9 和图 4.10-10 所示）。更高的集成度主要是由于在 SOI 技术中省去了隔离阱。其次是 SOI 提供了 p^+ 与 n^+ 结之间的直接接触的可能性（如图 4.10-10 中所示的 N 沟道漏结与 P 沟道漏结相接）。此外，在 SOI 技术中，每级门中接触孔的数目也比体硅 CMOS 少，与体硅相比减少了会引起成品率降低的因素。

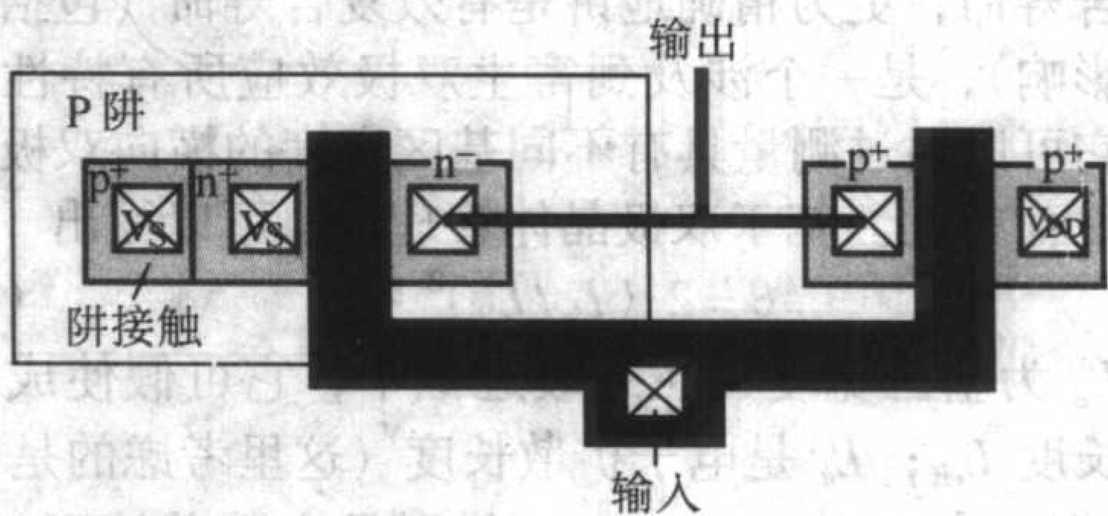


图 4.10-9　体硅 CMOS 反相器的版图设计

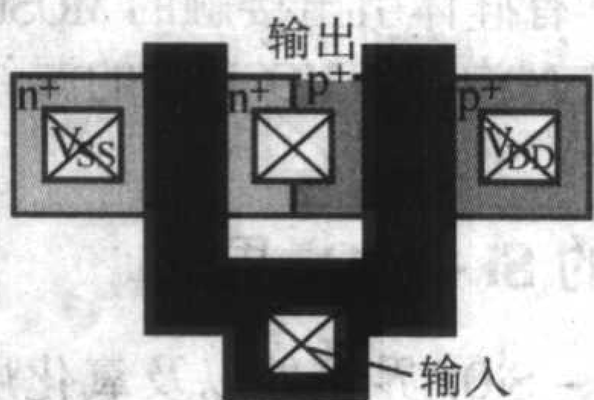


图 4.10-10　SOI CMOS 反相器的版图设计

SOI设计与体硅设计的重要差异之一是体效应和体－背栅偏置条件的差异。由背栅（dV_{th1}/dV_{G2}）所诱发的体效应在部分耗尽型器件中是可以忽略的，薄硅膜器件的体效应即表现为阈值电压与背栅压相关。而且SOI MOSFET背栅偏置构成与体硅中使用的衬底偏置不同（以图4.10-11中简单CMOS反相器为例），在体硅CMOS中，N沟器件的体区是与地（V_{ss}）相接的，而P沟器件的体区通常是与V_{DD}（一般为+5 V)相接。因此，在这两种类型的器件中，体区的电势均与其源区电势相同。而在SOI反相器中，背栅（硅衬底）是N沟和P沟器件所共有的，它通常是接地的。因此，对于N沟器件而言，背栅压是0 V，而对于P沟器件而言，它等于$-V_{DD}$（源极电压总是作为参考电压）。由此，通常所设计的SOI P沟晶体管必须适合在$V_{G2}=-V_{DD}$的背栅偏置条件下工作（在多数情况下，$V_{G2}=-5$ V)。

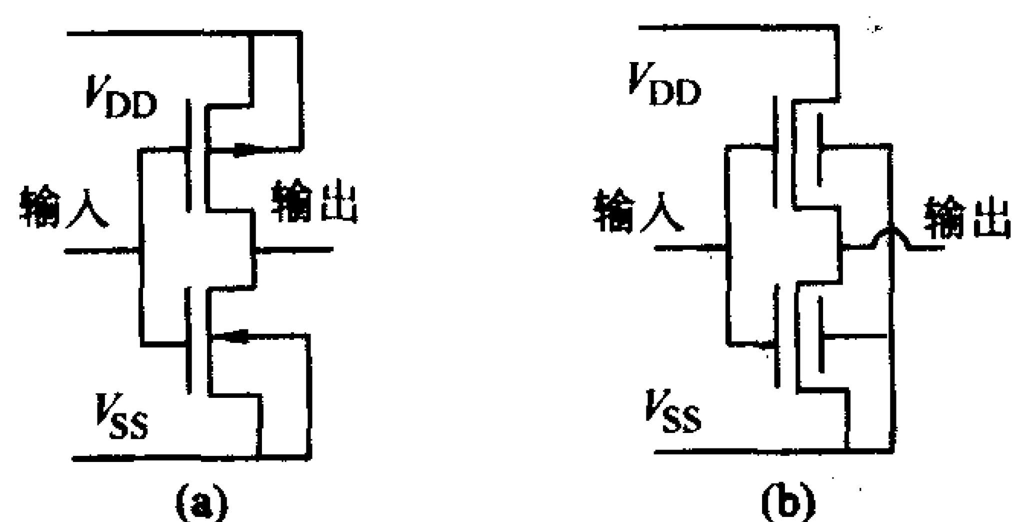


图4.10-11 在体硅（a）和SOI（b）CMOS反相器中背栅偏置结构

3.3 SOI CMOS与体硅CMOS器件电容的比较

SOI CMOS器件之间采用介质隔离，这一点和利用pn结隔离及场氧隔离的体硅CMOS有所不同，因此消除了器件之间的闩锁效应。同时，由于器件之间不存在漏电路径，所以也消除了在硅体器件中经常遇到的表面漏电问题和场开启晶体管效应。对于体硅器件，漏（或源）对衬底（或阱）的寄生电容可以分为两个分量：结与衬底本体之间的电容和结与场氧下面的沟道隔离注入层之间的电容。当器件尺寸变小时，衬底的掺杂浓度提高，因而结电容增加。而对于源漏区沿纵向穿透硅膜的SOI器件来说，其结电容只是结和隐埋氧化层以及硅衬底形成的MOS电容。其中源或漏结区可视为MOS结构的栅电极，隐埋氧化层是MOS结构的介质氧化层，硅衬底是MOS结构的衬底。该寄生电容比实际隐埋氧化层电容要小，而隐埋氧化层电容又小于体硅MOSFET中的结电容。SOI器件中寄生电容的减小确保了SOI CMOS电路具有极好的速度特性。此外，当器件尺寸减小时，隐埋氧化层厚度不必随之按比例减小。器件下面的隐埋氧化层不但减小了pn结电容而且也减小了所有硅衬底和其他电极之间的电容。表4.10-5给出了1 μm常规工艺条件下体硅和SOI器件的电容比较结果。可以看出，pn结与衬底之间的电容均明显减小，另外，采用SOI衬底代替体硅基片后，正面金属层与衬底之间的电容值也减了40%。

表4.10-5 典型1 μmCMOS工艺条件下体硅和SOI器件的寄生电容 $pF\cdot\mu m^{-2}$

电容类型	SIMOX-SOI	体硅	电容比（体硅/SOI）
栅	1.3	1.3	1
结与衬底	0.05	0.2~0.35	4~7
多晶硅与衬底	0.04	0.1	2.5
金属1与衬底	0.027	0.05	1.85
金属2与衬底	0.018	0.021	1.16

3.4 SOI MOSFET技术

SOI MOSFET具有许多重要的特性，在抗辐照电路、高温电子学和深亚微米器件等特殊应用中能够发挥重要作用。SOI MOSFET的物理特性与制作器件所采用的硅膜厚度紧密相关。根据硅膜厚度和膜中的掺杂浓度情况，SOI MOSFET器件可以分为三种不同的类型：厚膜器件、薄膜器件和中等膜厚器件。其中中等膜厚器件可以根据不同的背栅偏压条件或呈现薄膜器件特性或呈现出厚模器件特性。图4.10-12给出了体硅、厚膜SOI、薄膜SOI N沟道MOS器件在开启状态时的能带图。可以看出，体硅器件中耗尽区从$Si-SiO_2$界面扩展到最大耗尽层宽度X_{dmax}。对于厚膜SOI器件，硅膜厚度大于$2X_{dmax}$，因此，正、背界面的耗尽层之间不相互影响，在它们中间存在一块中性区。如果将这一中性区（硅本体）经过一“体接触”接地，则厚膜器件工作特性便和体硅器件特性几乎完全相同。如果硅本体不接地而处于电学浮空状态，厚膜器件虽然仍和体硅器件情况基本相同，但却产生了两个明显的寄生效应，一个是“翘曲效应”，另一个是器件源漏之间形成的基极开路NPN寄生晶体管效应。对于薄膜SOI器件，硅膜厚度小于X_{dmax}，当器件开启时，硅膜可全部耗尽而并不依赖于背栅偏压。只要背界面不处于积累状态，薄膜全耗尽SOI器件可完全消除“翘曲效应”。在各种类型的SOI器件中，背界面处于耗尽状态的全耗尽器件具有低电场、高跨导、良好的短沟道特性和接近理想的亚阈值斜率等优点。薄膜SOI MOSFET也称之为全耗尽器件，由于其正面和背界面都可以处于积累、耗尽或反型等状态，因此薄膜SOI MOSFET在不同的正面栅压V_{G1}和背面栅压V_{G2}条件下可以有九种不同的工作模式。在这些工作模式中有实际应用的工作模式在图4.10-13中由阴影部分表示。一般来说，积累、耗尽或反型状态的出现也和漏电压有关，如背界面在源端处于积累状态而在漏端则可能是处于耗尽状态。中等膜厚SOI器件是厚膜和薄膜器件的过渡情况，其硅膜厚度t_{si}应满足条件$X_{dmax}<t_{si}<2X_{dmax}$。如果在一定的背栅偏压下正背界面的耗尽区不能形成交叠或者背界面处于中性或积累状态，则该器件可认为是厚膜器件。相反，如果在背栅压作用下正背面耗尽区相互交叠起来，则器件可处于全耗尽状态，因而可认为是薄膜器件。

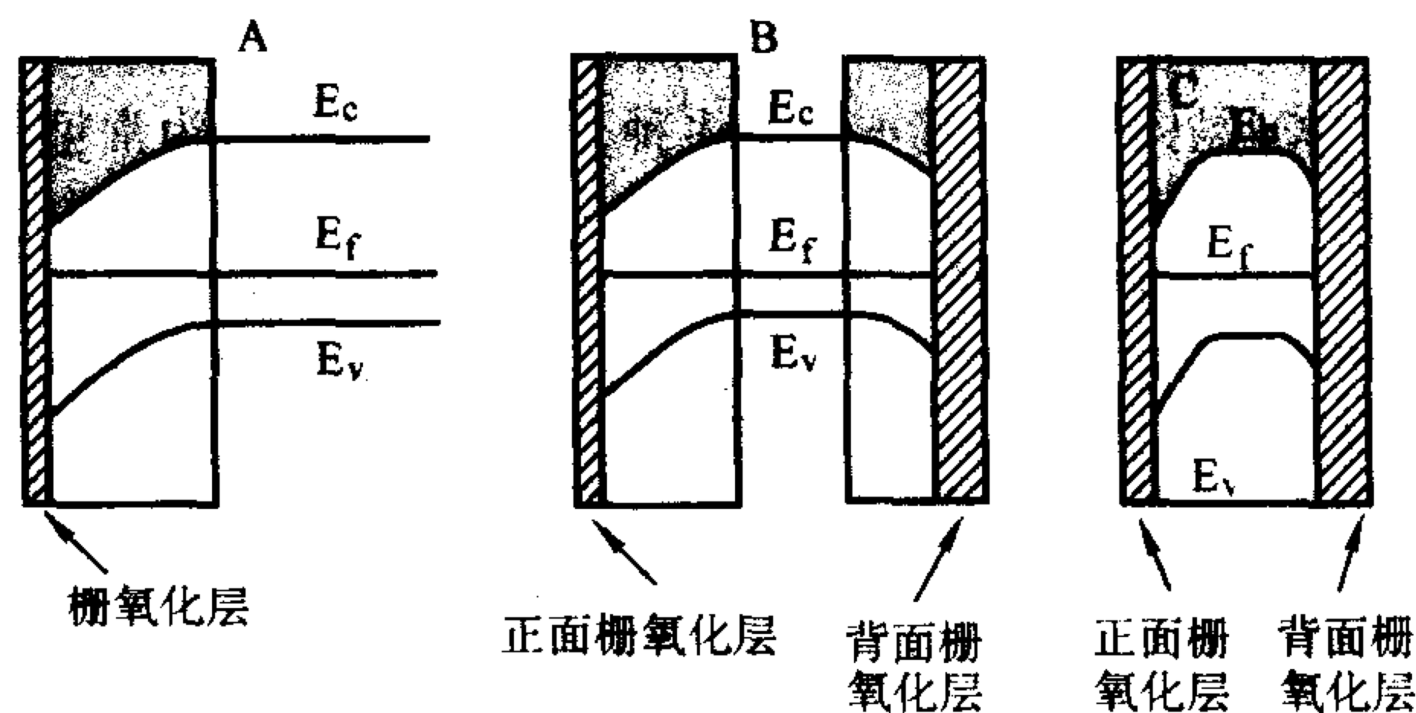


图4.10-12 体硅（A）、厚膜SOI（B）和薄膜SOI器件（C）的能带图

所有器件均处于开启状态（正面栅电压＝开启电压），阴影面积表示耗尽区。SOI器件的背面处于弱反型（未开启）状态

各种类型的SOI MOSFET的性能指标由表4.10-6给出。表中以体硅器件作为参考标准，比较了器件的一些电学特性。可以看出，背界面不处于积累状态的薄膜全耗尽器件表现出最适合于ULSI应用的电学特性。而部分耗尽器件的优点是可以工作于恶劣环境之下而仍保持其良好的电学特性。

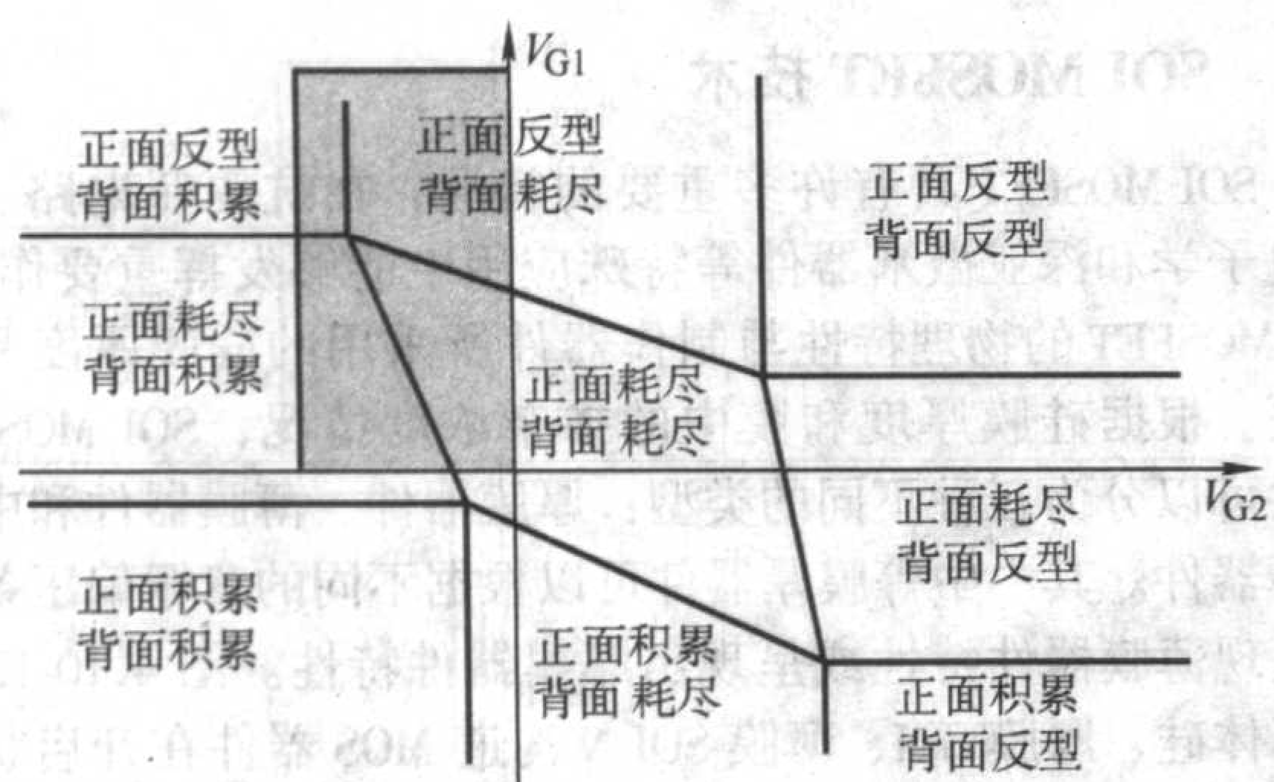


图 4.10-13　薄膜 SOI N 沟道 MOSFET 在不同正面栅压和背面栅压条件下的各种工作模式（漏电压较低，器件工作于线性区域）阴影面积表示正常工作模式

表 4.10-6　厚膜器件、背界面处于积累状态的薄膜器件和全耗尽薄膜 SOI 器件电学特性比较

（0，+ 和 − 表示"和体硅器件类似"、"比体硅器件好"和"比体硅器件差"）

电学参数	体硅	厚膜 SOI	薄膜 SOI（背面积累）	薄膜 SOI（全耗尽）
迁移率	0	0	0/−	+
跨导	0	0	0/−	+
短沟道效应	0	0	+	0/+
源和漏电容	0	+	+	+
热载流子	0	0/+	0/−	+
亚阈值斜率	0	0	0/−	+
阈值电压 V_{th} 对硅膜厚度的敏感度	0	0	−	−
翘曲效应	0	−	−	0
双极寄生效应	0	−	−	0/−
全剂量加固特性	0	0/+	0/−	−
SEU 加固特性	0	+	+	+
软失效加固特性	0	+	+	+

3.5　SOI MOSFET 设计

SOI 晶体管的设计方法有多种，密度最高又最为常见的版图设计如图 4.10-14 所示，是由一个矩形有源区、一个栅区和几个接触孔构成。在 N 沟器件中，有源区的图形被另一种掩模图形包围，如果使用正性光刻胶，图形为暗区，该图形用于场区注入。其他的掩蔽图形用于 N 沟阈值调整注入和背沟道阻止注入以及 N^+ 源、漏区注入。类似地，在确定 P^+ 源、漏区注入的图形中也包括了 P 沟晶体管，该图形还可用做 N 沟器件中形成 P^+ 体接触。当器件应用于可能会引起边缘漏电问题的电路中时（例如遭受到电离辐射的器件就可能在硅岛边缘的氧化层中产生大量的氧化物电荷），可采用无边缘器件设计方法（图 4.10-14）。在这种器件中，源结和漏结间的栅极下面的硅岛（有源区）是无边缘的。然而值得注意的是：无边缘器件占用了较大的有效硅片面积（与常规器件相比），在以集成度为主要指标时，该设计方法不太适用。

一些电路应用场合，要求器件具有硅片的体接触，将栅极下面的硅区引出可以有效地抑制"翘曲效应"以及横向寄生双极晶体管效应。晶体管体区引出接触结构有数种，最常见的如图 4.10-15a）所示，P^+ 扩散区与栅下面的 P 型硅相连，这样的器件还可以用做横向双极晶体管，P^+ 扩散区作为基区接触，源、漏极用做发射极和集电极。在一个具有较大栅宽的晶体管中，仅在沟道区的一端设有硅体接触并不能有效地抑制"翘曲效应"或双极晶体管效应，而这些效应实际上能够在远离接触孔的栅极下面的体硅中发生，因为弱掺杂高阻沟道区降低了体接触的作用。H 形栅 MOSFET 结构有助于解决上述问题，因为在沟道区的两端都有体接触孔（图 4.0-15b））。H 栅器件还具有源和漏结之间无直接边缘漏电通道的优点（此时的边缘仅是从 N^+ 区到 P^+ 区）。

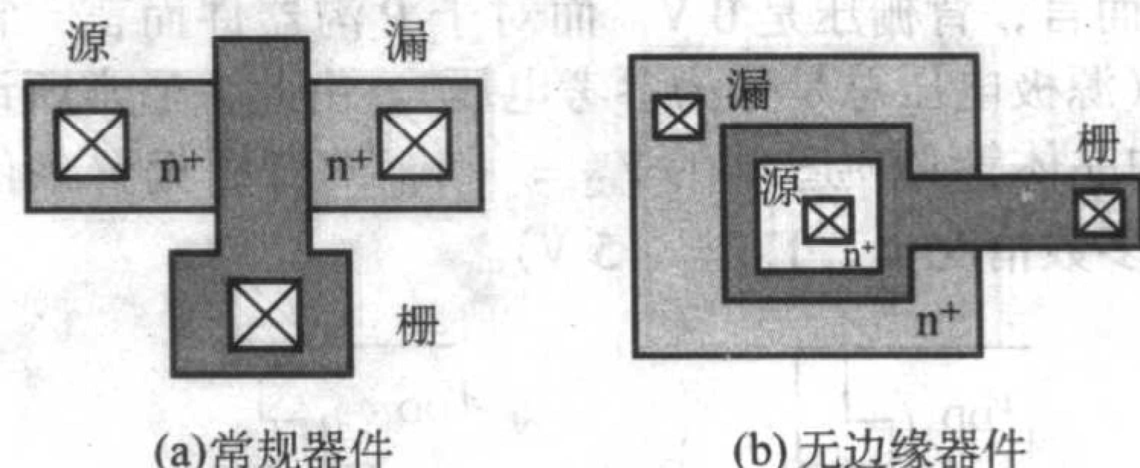


图 4.10-14　SOI MOSFET 的版图设计

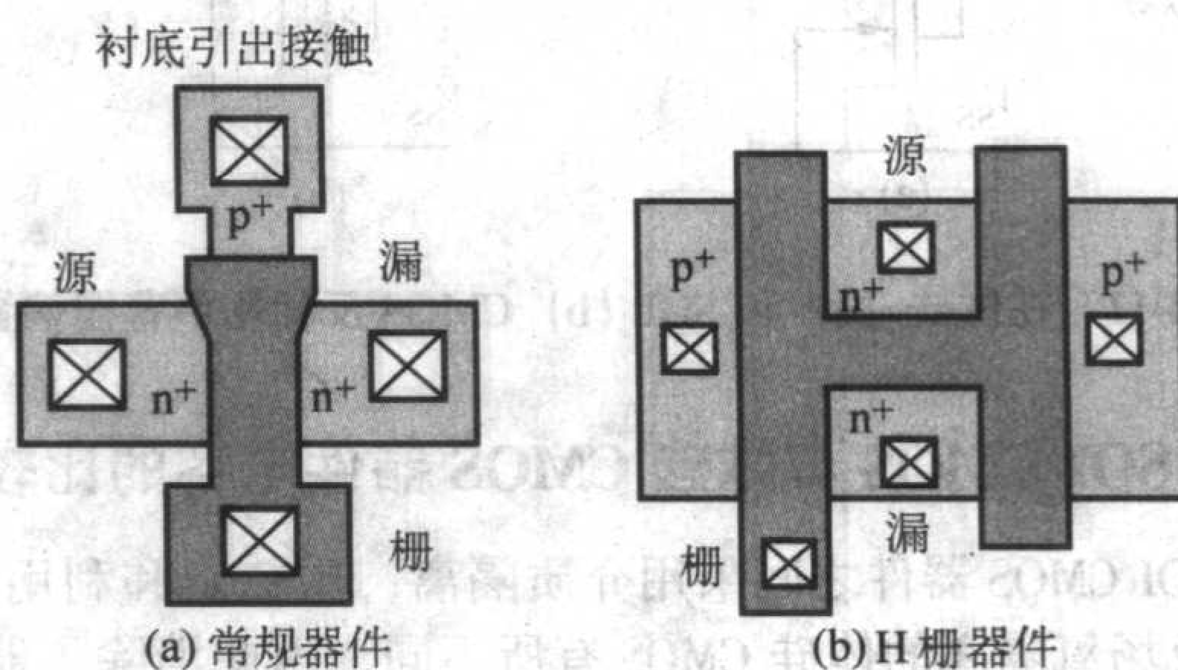


图 4.10-15　具有体区引出的晶体管

第三种体引出接触如图 4.10-16 所示，它比前几种更加紧凑。p^+ 接触区仅在 n^+ 源扩散区的一边形成，正如在 H 栅器件中那样，也没有源和漏结区之间的直接漏电通道（栅下面沟道区的边缘是从 n^+ 区到 p^+ 扩散区）。如果器件沟道非常宽，可在源区内多形成几个 p^+ 区（即形成 $p^+-n^+-p^+\cdots n^+-p^+$ 结构）。这种器件的缺点是非对称性（源和漏区不能换接使用），有效的沟道宽度 W_{eff} 要比有源区的宽度小得多。

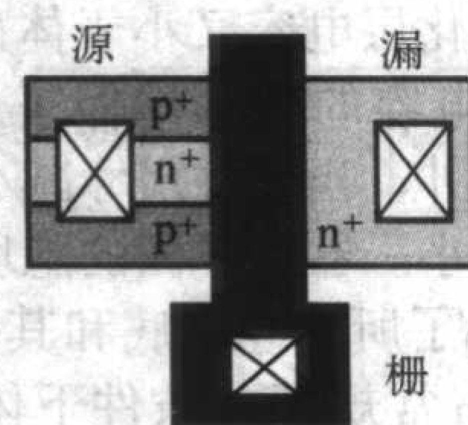


图 4.10-16　在源极有体区引出接触的 N 沟道晶体管

3.6　新型 SOI 器件

虽然 SOI 技术仍主要应用于 CMOS 器件，但由于 SOI 基片易于加工、器件可以实现全介质隔离以及有可能利用其背栅等特点，现在已经在非常宽阔的领域内开展了关于新型 SOI 器件的研究。到目前为止，已经出现了一些新型的双极和 MOS 器件结构，如栅控二极管，横向双极器件和横向双极 − MOS 器件、带有背栅感应集电极的纵向双极晶体管、各种高压横向器件和双栅 MOS 器件等。

1）不定向工作双极型绝缘栅横向晶体管　不定向工作双极型绝缘栅横向晶体管（LUBISTOR）是一种栅控 $N^+N^-P^+$（或 $N^+P^-P^+$）二极管（如图 4.10-17 所示）。该器件具有三极管特性并可传输高达 10^5 A/cm^2 密度的电流。虽然器

件的固有特性和所采用的SOI材料无关，但这一器件结构最早是在SIMOX材料上得以实现的，器件工作时在其阳极和阴极以及栅和阴极之间分别加以正偏压 V_{AK}、V_{GK}（V_{GK}用来控制器件中电流的流动）。它的基本工作原理类似于一栅控PIN二极管。如果硅膜厚度小于德拜长度 L_{DE}，$L_{DE}=\sqrt{2\varepsilon_{si}kT/qN_d}$，$N_d$是$N^-$区的掺杂浓度。器件可以在栅的作用下处于关断状态。在器件导通状态，其输出特性可由 $I_{AK}=A[V_{AK}-B(V_{GK}-V_{FB})]^n$ 表示，式中的 A 和 B 是常数，V_{FB}是N^-区的平带电压，$2<n<3$。当器件处于关态时，N^-区中电位高于阳极和阴极区域中的电位，因此尽管阴极偏压高于阳极pn结内建电位，但器件中没有载流子注入效应发生（参见图4.10-18）。而当器件处于导通状态时，阳极电位高于N^-区电位，空穴从阳极区域向N^-区域注入，电子则从阴极区域注入到N^-区，这时器件行为类似于一正偏PIN二极管（如图4.10-19所示）。由于LUBISTOR具有很高的电流驱动能力，所以有希望将其作为输出缓冲器件。

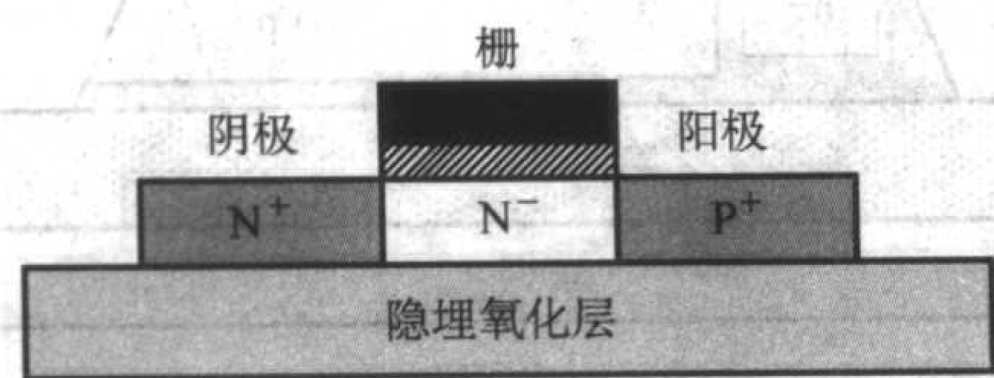


图4.10-17　不定向工作双极型绝缘栅横向晶体管示意图

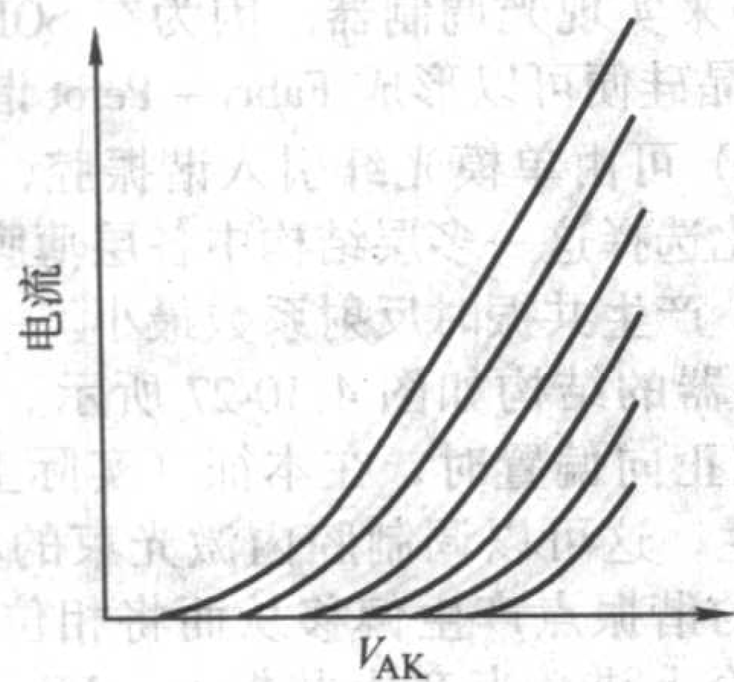


图4.10-18　不定向工作双极型绝缘栅横向晶体管的类三极管输出特性

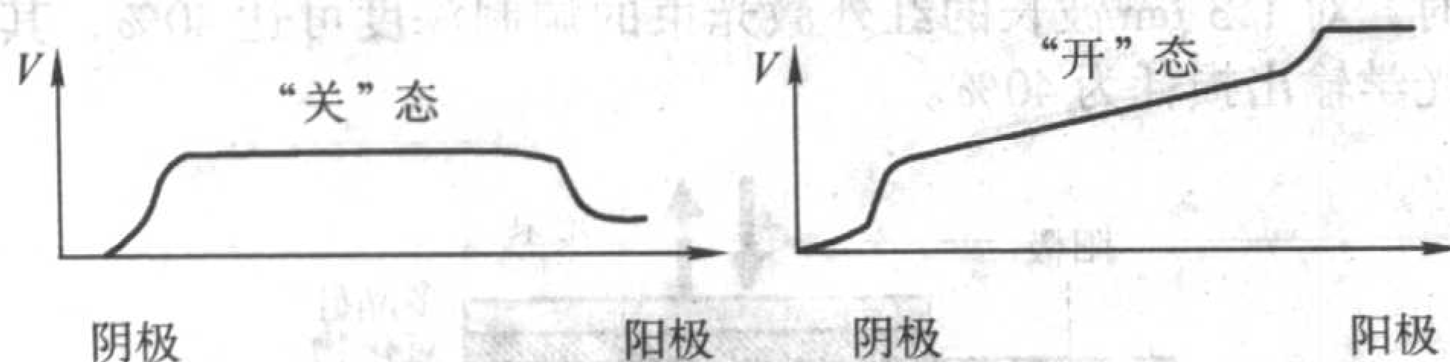


图4.10-19　不定向工作双极型绝缘栅横向晶体管处于开态和关态时，从阳极到阴极的电位分布

2）双极－MOS器件　凡是SOI增强型MOSFET均带有一寄生的双极晶体管。压控双极－MOS（VCBM）器件就是通过控制这一双极效应达到利用该寄生晶体管和正常MOS管的联合电流驱动能力的。可以将控制MOS器件电流流动的正面栅与作为横向双极晶体管基区的浮空衬底连接在一起以形成压控双极－MOS器件结构（如图4.10-20所示）。MOS晶体管的源和漏可分别作为双极器件的发射区和集电区。当N沟道（NPN）器件处于关闭状态时（$V_G=V_B=0$ V），MOS器件的衬底（相当于基区）电位较低，这时开启电压的值最大，从而可得到最小的关态漏电流。当栅上施加偏压时，MOS器件衬底电位增加，开启电压减小，电流驱动能力增加。同时，当器件处于导通状态时，栅电压的存在又增加了双极晶体管的收集效率，并且器件的有效中性基区宽度也减小了，所以双极晶体管的放大倍数亦可以提高。这一效应由图4.10-21示出。对于VCBM器件，由于栅和基区是连在一起的，所以其偏压永远是正的。当栅上施加正偏压时，可以提高双极器件的电流增益。这种提高晶体管增益的方法已经应用于体硅横向双极晶体管。总之，栅的存在提高了双极晶体管的电流增益，而基区接触的存在又改善了器件的开态、关态特性。VCBM的电学特性由图4.10-22给出。在所给出的例子中，器件中MOS结构部分的开启电压（0.5 V）低于器件中双极部分的开启电压（约为0.7 V）。其亚阈值特性和MOSFET的类似，但一旦双极晶体管导通则会出现过驱动电流。由图4.10-22可以清楚地看到由于"共益现象"所产生的跨导增强现象，至少对于栅电压刚刚大于开启电压时是这样。在较高的栅偏压下，由于基区电流密度过高和大注入问题，双极晶体管电流分量减小。总的VCBM器件电流几乎可以减小到MOS电流分量水平。目前，已经得到了实际的NPN和PNP VCBM器件。与CMOS器件相像的VCBM环行振荡器可以在低于1 V的电源电压下工作，并且其功耗极低，门延迟为4 ns，耗散功率为0.7 μW，在0.7 V电源电压下的功率延迟积为3 fJ。

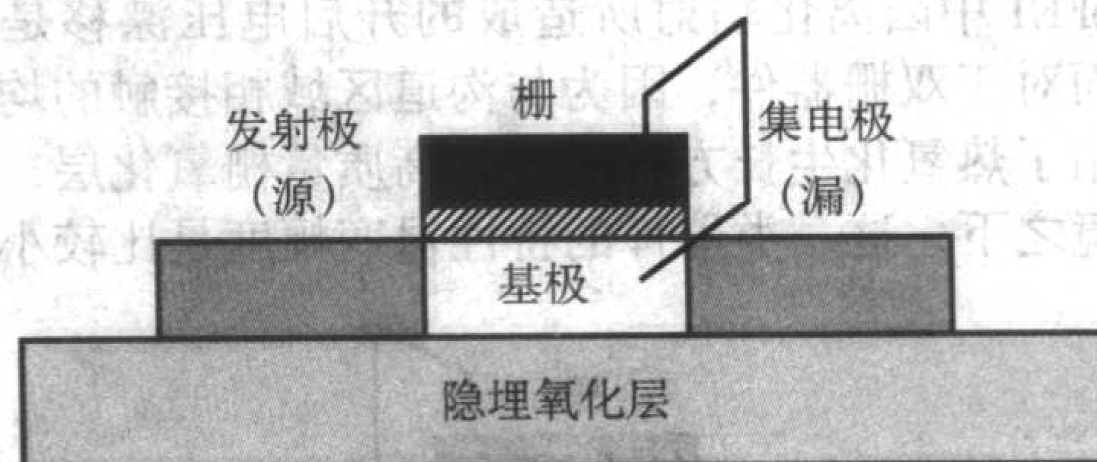


图4.10-20　压控双极－MOS器件（VCBM）

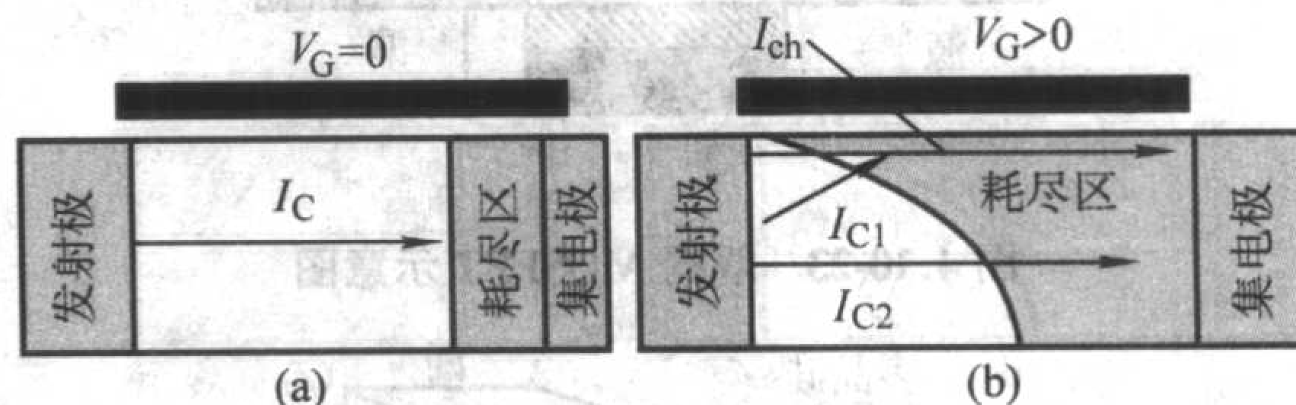


图4.10-21　（a）横向双极晶体管无栅偏压时由发射极到集电极的电流 I_C（b）栅偏压同时加到栅和基极情况下从发射极到集电极的不同电流分量：MOS沟道电流 I_{ch}、沟道收集到的双极电流分量 I_{c1}，由发射极流向集电极的双极电流分量 I_{c2}

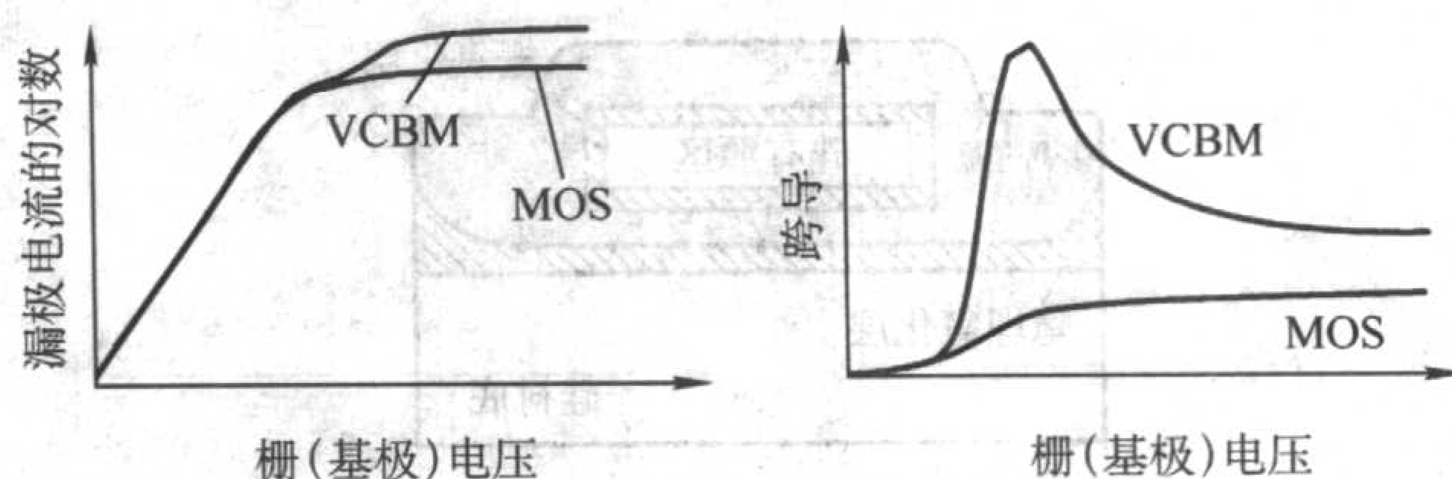


图4.10-22　VCBM器件与相应的MOS晶体管（即同一器件但栅和器件本体不连）**漏极电流**（对数坐标）**和跨导特性的比较**（V_{ds}均为3 V）

3）双栅MOSFET器件　SOI MOSFET有正面栅和背面栅两个栅。双栅MOSFET的剖面示意于图4.10-23。这样的双栅结构可以通过将沟道区域下面的隐埋氧化层局部刻蚀掉使之形成硅桥形状的方法来得到。硅桥由用做源和漏的桥尾部分支撑，然后在硅桥的顶部、底部和其他边缘部位裸露的硅体上热氧化生长栅氧化层，继之在LPCVD反应室里淀积多晶硅栅。由于LPCVD多晶硅具有极好的台阶覆盖特性，因而可使多晶硅将栅氧化层完全包住。其器件（围栅MOSFET）结构由图4.10-24和图4.10-25给出。薄硅膜正背面都生长有满足质量要求的薄栅氧化层的双栅器件，因沟道的正背面都有栅存在，所以增强了对源漏间电位的控制作用，器件具有近于理想的亚阈值特性和高跨导特性，而且也具有良好的短

沟道性能。当硅膜充分薄而栅电压略大于开启电压时，硅膜中的电位变化是非常小的，这时整个硅膜均可成为反型状态。由于这一特性，这类器件也称为体反型 MOSFET。一旦器件开启，硅膜中沿垂直方向的电子浓度几乎为常数，因此硅膜体内的反型沟道的贡献不能忽视。由于体内反型层中不存在 Si-SiO_2 界面对载流子的散射作用，所以体内反型层中载流子迁移率要比表面沟道中的载流子迁移率高。然而，当栅压较高时，器件中体内的电子浓度不会发生明显变化，这时靠近 Si-SiO_2 界面处形成两个反型沟道。结果，体反型沟道对电流的贡献比器件刚刚开启时相对来说减小了。另外，随着器件中逐渐以表面沟道导电为主，迁移率也急剧减小。由于体反型沟道对电流的贡献，双栅器件电流驱动能力比单栅器件强。此类器件除具有高跨导特性之外还有另外一个潜在优点，即器件的抗辐射性能较好。置于离子辐射（如 X 射线、γ 射线等）环境下的 MOSFET 器件，因氧化层中有电荷中心形成所以造成开启电压的漂移，其漂移量正比于硅片正面氧化层厚度的平方。对于常规的 SOI MOSFET，其隐埋氧化层（背栅氧化层）相当厚（400～1 000 nm），所以在薄膜全耗尽 SOI MOSFET 中因离化辐射所造成的开启电压漂移是非常严重的。而对于双栅器件，因为与沟道区域相接触的均为比较薄且采用了热氧化生长方式形成的高质量栅氧化层，所以在辐照环境之下，这一类器件的特性退变幅度是比较小的。

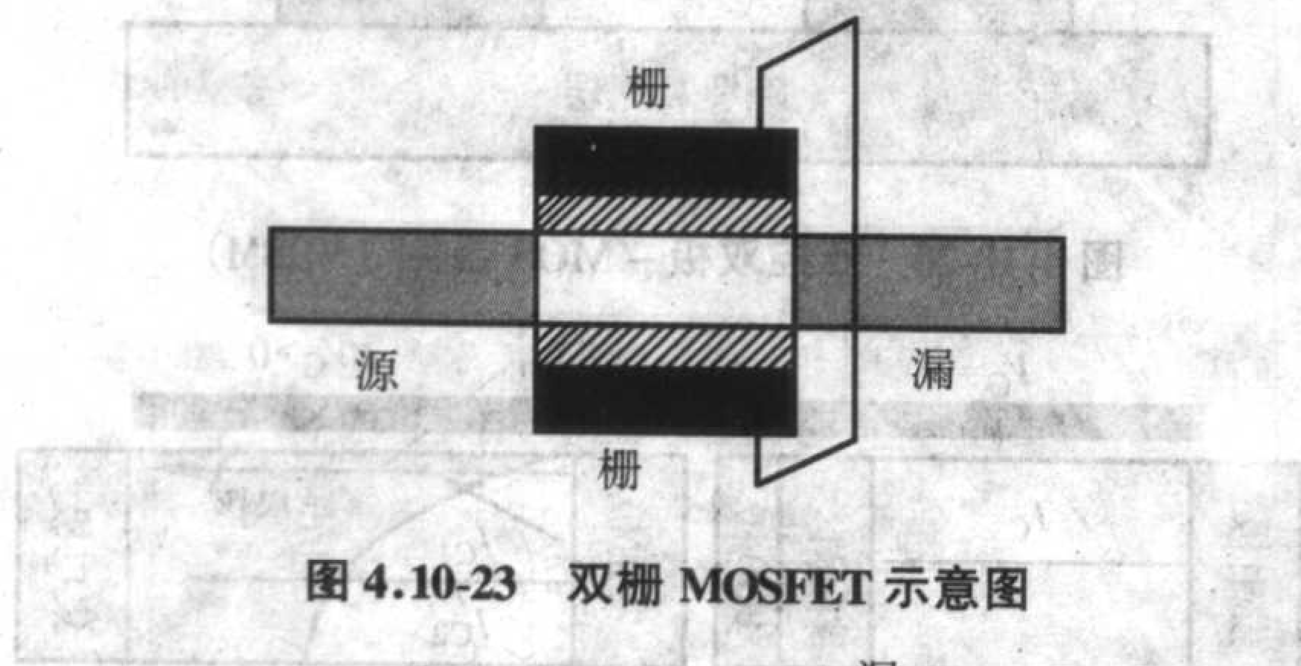


图 4.10-23　双栅 MOSFET 示意图

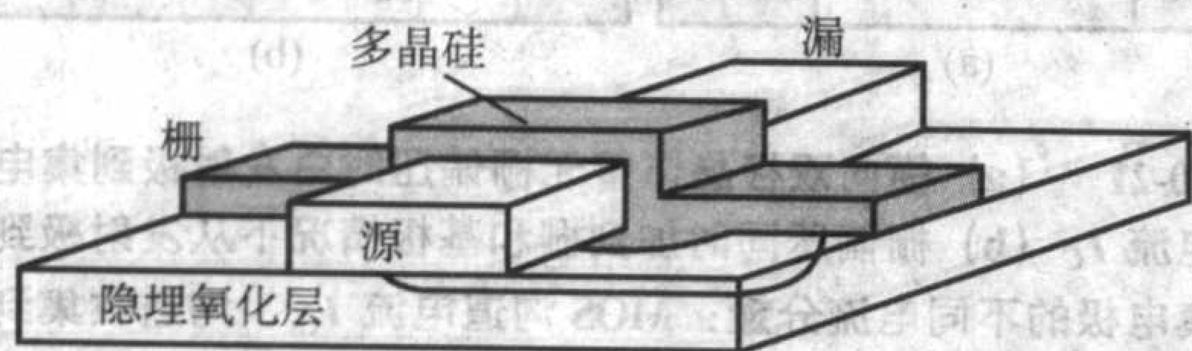


图 4.10-24　围栅 MOSFET 示意图

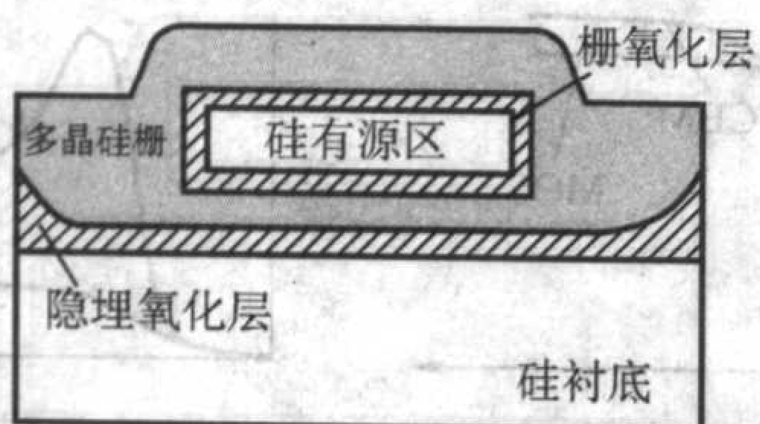


图 4.10-25　围栅 MOSFET 剖面图
（垂直于电流流动方向）

4）双极晶体管　横向双极晶体管常常被认为是 SOI MOSFET 的寄生元件。而采用 SOI CMOS 工艺可以很容易获得性能优良的横向双极晶体管。对于基区宽度（假设等于栅长）为 0.45 μm 的情况，NPN 和 PNP 晶体管的电流增益分别可达 70 和 40，但是器件最大增益峰所对应的集电极电流相当低，大约在 1 μA 的数量级。这是由于和横向基极接触导致基极电阻较高和大电流注入效应（在薄硅膜内可达到相当高的电流密度）影响的缘故。采用顶部基极接触可以减小基极电阻因而可以提高器件工作电流。尽管如此，器件性能还会受到高集电极电阻、大注入效应以及基极复合等因素的限制。在厚 SOI 材料上可以制造纵向双极晶体管。由于器件之间可实现全介质隔离，甚至可以将互补（如 NPN 和 PNP）纵向双极晶体管做在同一基片上。在薄 SOI 膜上可制备不采用隐埋集电区扩散的纵向双极晶体管，即将 P 型本征基区的底部和隐埋氧化层直接接触。如果不施加背栅偏压时，发射区注入到基区的电子基本上不能到达横向集电极，因而器件的电流增益非常小（$\beta \ll 1$）。但当背栅施加正偏压时，在硅和隐埋氧化层界面（即基区底部）感生出反型层，这可以起到隐埋集电区的作用（如图 4.10-26 所示）。这时，底部反型层附近的能带弯曲使电子由发射区注入到基区。结果，收集效率大幅度增加，器件电流增益可达到正常使用的数值（$\beta = 50$）。因此采用场效应感生隐埋集电极方法可以使得在不需要外延工序和形成隐埋扩散层的情况下得到较高的收集效率。同时也解决了薄膜横向晶体管所特有的大注入效应问题。

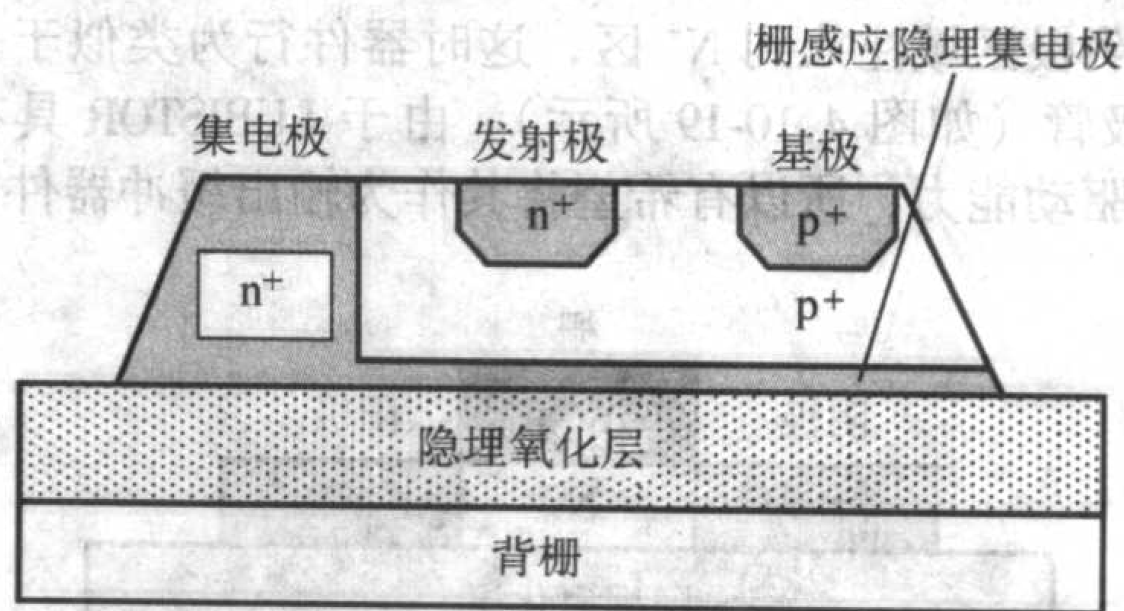


图 4.10-26　带有栅感生隐埋集电极的纵向双极晶体管

5）光调制器　SOI 有源硅层下隐埋氧化层的存在使得 SOI 结构可以用来实现光调制器。因为在 SOI 结构上再覆盖一层 SiO_2 和多晶硅便可以形成 Fabry－Perot 谐振腔。红外激光（$\lambda = 1.3$ μm）可由单模光纤引入谐振腔，并在腔内来回反射。通过优化选择这一多层结构中各层薄膜的厚度便可以产生共振现象，产生共振时反射系数最小。

SOI 光调制器的结构如图 4.10-27 所示。对该结构中的 PIN 二极管施加正向偏置时，在本征（实际上是 N^-）区域里有载流子产生，这可以调制腔内激光束的相位并使 Fabry－Perot 谐振腔的谐振点产生偏移从而将相位调制转变成为强度调制。理论上讲，当产生共振时，PIN 二极管中“本征”部分的折射率变化 0.6% 便可以使反射系数减小 65%。利用这种结构，当 PIN 二极管中的电流密度为 2.25 A/cm^2 时，对 1.3 μm 波长的红外激光束的调制深度可达 40%，其光学输出损耗为 40%。

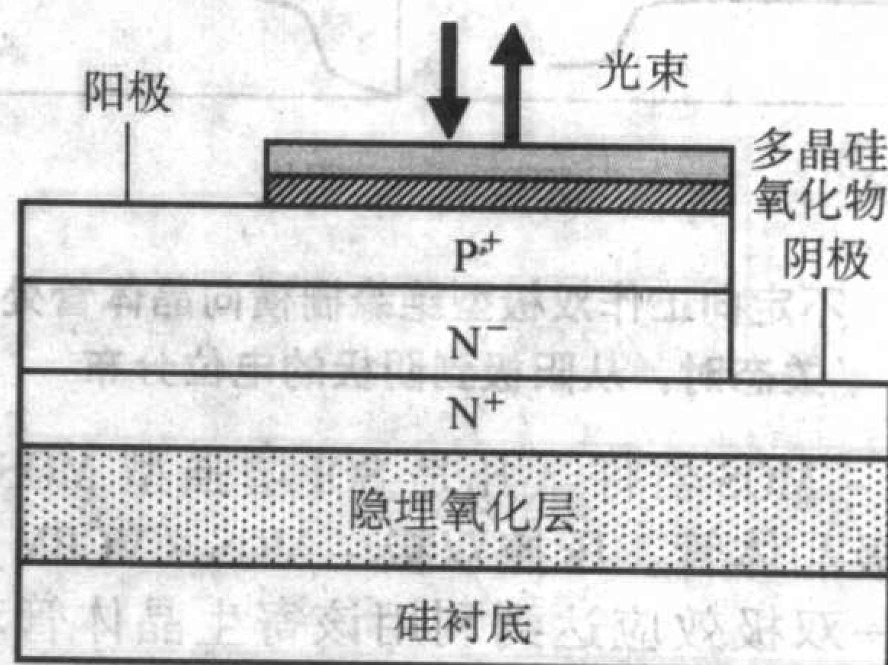


图 4.10-27　SOI 光调制器的结构

6）SOI 量子效应器件　在厚度小于 10 nm 的 SOI 硅膜上制备的绝缘栅 pn 结中已经观察到了二维限制的注入机制和跨导振荡，跨导振荡的原因是导带和价带分裂成了子带。目前已经在 SIMOX SOI 上制备出了短的量子线场效应晶体管，这类器件的电导随栅压的增大呈阶梯状增加。在源极漏极电阻校正后，器件的跨导按 $4q^2/h$ 的整数倍增长，这同适用于普遍跨导涨落的 Landauer 公式是相符合的。更长的量子线场效应晶体管也已经实现了，同样，也观察到了起源于子带分裂的跨导涨落。

目前也有了在 SIMOX SOI 上制备单电子晶体管（SET）的报道。这种器件本质上就是一段通过压缩和源极漏极相连的短量子线。

4　SOI 技术的发展趋势

受光网络发展需求的推动，SOI 材料近年来在光电子领域中的应用可谓异军突起，发展极为迅速。SOI 材料用于集成光波导器件具有基于传统光学材料的光子器件所无法比拟的技术优势：

1）器件工艺与标准硅 CMOS 工艺兼容，制备工艺方便价格低廉；

2）可以在 SOI 上同时制备有源和无源器件，便于实现 OEIC 单片集成；

3）光波导芯层 Si（$n=3.45$）和包层 SiO_2（$n=1.46$）的折射率差大，因此光波导的光学限制强，波导尺寸和弯曲半径可以很小，因此基于 SOI 材料的光子集成芯片有较高的集成度和较小的芯片尺寸，并可以实现三维大规模集成；

4）导热性能好，器件高频特性明显优于 SiO_2 材料。

其中 SOI 器件工艺与标准硅 CMOS 工艺兼容相当重要，这一点使未来低成本大规模 PIC 芯片的实现得到了有力保证。事实上，除了 SOI 以外，还有几种硅基光波导的实现途径，例如 silicon－on－sapphire（SOS）和 SiO_2 技术，但只有 SOI 器件工艺同 VLSI CMOS 工艺是完全兼容的。图 4.10-28 是 SOI 材料和 SiO_2 材料光波导制备技术同标准硅 CMOS 工艺的比较示意图。

这些技术优势促使世界各发达国家对 SOI 光波导的光学特性展开了广泛而深入的研究，并引发了诸多基于 SOI 的光子集成器件（Photonic Integrated Circuits，PIC），例如 SOI 光开关（阵列），SOI 阵列波导光栅（AWG），SOI 热光/电光调制器，SOI 可变光衰减器（VOA），SOI 光波导多模干涉耦合器（MMI）等新型器件的发展。目前 SOI 光波导的光学传输损耗最低可达到 0.2 dB/cm 的量级，SOI 热光光开关的响应速率达到小于 1 μs，比传统的 SiO_2 材料热光光开关响应速率快 1 000 倍。

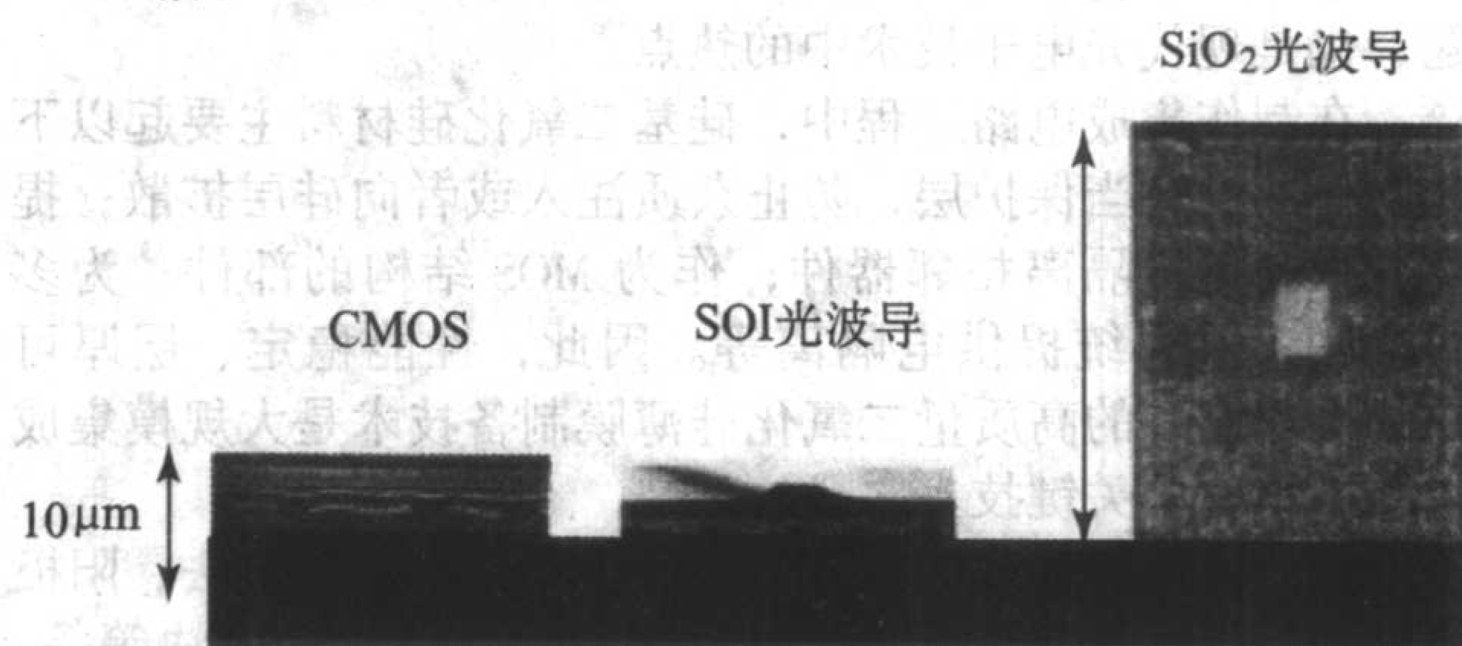


图 4.10-28　SOI 和 SiO_2 光波导制备技术同标准 28 硅 CMOS 工艺比较示意图

基于 SOI 的光子集成回路技术为新型硅基光电子器件的实现提供了一个与标准硅 CMOS 工艺完全兼容的强大技术平台，因此，SOI 材料的出现不仅为超大规模集成电路 VLSI 提供了技术平台，同时也是硅基 PIC 技术的理想实现平台。硅基合金材料异质外延技术的飞速发展为在近红外波段制备具有人工改性光学响应的硅基材料器件奠定了基础。利用深亚微米 CMOS 工艺可以廉价地制备高频（Gbits/s 量级）、低噪声光电子器件。此外，SOI 技术在显示、成像技术和微机电系统技术（MEMS）领域也有重要的应用。所有这些技术发展趋势同业界不断降低成本的需求一起使得基于 SOI 的光电子技术在未来的光网络和光信息系统中发挥不可替代的关键作用。

编写：陈少武（中国科学院半导体研究所）

第 11 章 硅基二氧化硅材料

硅基二氧化硅材料的研究是微电子技术中的一个重要课题，也是现代光电子技术中的热点。

在制作集成电路过程中，硅基二氧化硅材料主要起以下几个作用：充当保护层，防止杂质注入或者向硅层扩散；提供表面钝化；隔离相邻器件；作为 MOS 结构的部件；为多级金属镀层系统提供电隔离等。因此，性能稳定、层厚可控、重复性好的高质量二氧化硅薄膜制备技术是大规模集成电路制作中的关键技术之一。

制备硅基二氧化硅的方法有许多种，如热氧化法、阳极氧化法、化学气相沉积法、真空溅射法、等离子体法等等。其中，热氧化法是集成电路制作过程中最基本也是最常用的生长方法。热氧化法生长的硅基二氧化硅材料，在 $Si-SiO_2$ 界面之间往往会存在一个过渡层，这个过渡层的性质是影响 IC 器件性能的关键因素之一。

多晶硅薄膜上生长的氧化层可用做电学绝缘层，它的性质将对电路性能产生重要的影响，因此，对多晶硅的氧化技术的研究也是集成电路中的一个关键课题。

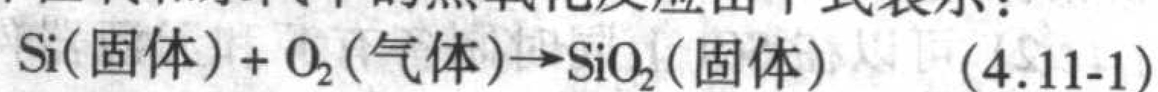
随着光通讯业务对带宽和容量需求的迅猛增长，集成光波导器件逐渐成为光纤通信领域的研究热点。由于硅加工工艺非常成熟、便于光电子器件的大规模集成，二氧化硅光波导还具有传输损耗低、与光纤模场匹配等优点，因此，硅基二氧化硅光波导材料也就倍受人们关注。

本章主要介绍硅基二氧化硅材料的生长机制及动力学、制备方法、氧化膜特征、$Si-SiO_2$ 界面性质、多晶硅氧化和硅基二氧化硅材料在光通信中的应用等。

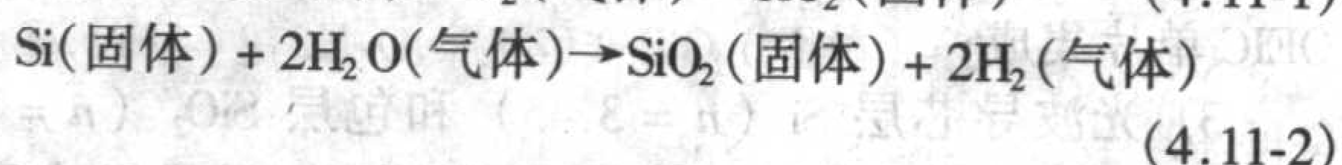
1 生长机制及动力学

硅基二氧化硅的生长方法有许多种，如热氧化法、阳极氧化法、化学气相沉积法、等离子增强化学气相沉积法等。不同的器件，同一器件的不同部件对二氧化硅膜的参数要求不同，使用的生长方法也就各有偏重。其中，热氧化法是集成电路制作过程中最基本也是最常用的生长二氧化硅材料的方法，所以，本章就以热氧化法为例来介绍硅基二氧化硅的生长机制。

单晶硅片在氧和水汽中的热氧化反应由下式表示：



$$Si(固体) + O_2(气体) \rightarrow SiO_2(固体) \qquad (4.11\text{-}1)$$



$$Si(固体) + 2H_2O(气体) \rightarrow SiO_2(固体) + 2H_2(气体) \qquad (4.11\text{-}2)$$

在氧化过程中，硅与二氧化硅的界面会向硅内部迁移，同时体积发生膨胀，这样就形成了一个新的界面。根据硅与二氧化硅的密度以及分子量，可得出生长厚度为 d 的氧化膜需消耗厚度为 $0.44d$ 的硅（如图 4.11-1 所示）。

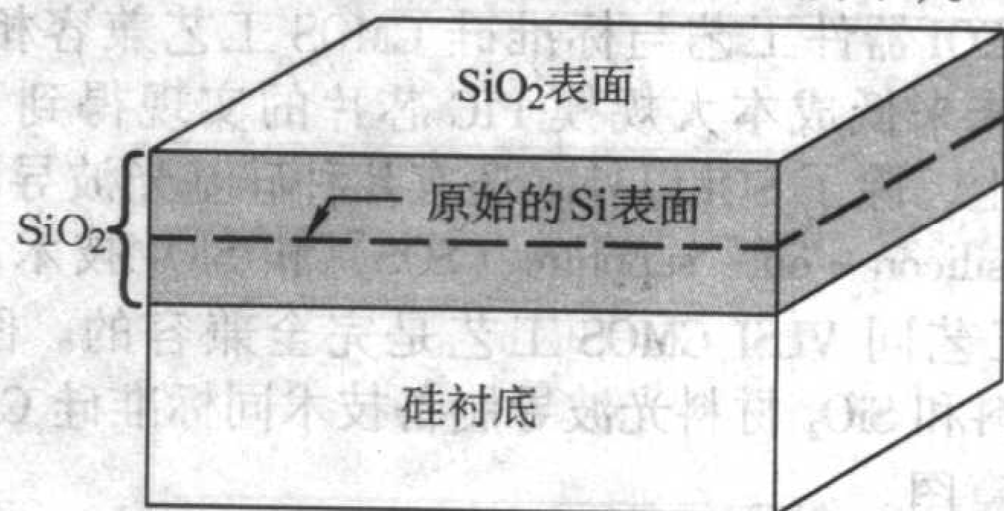


图 4.11-1 热氧化法生长二氧化硅示意图

由热氧化法生长的二氧化硅的基本结构单元是一个硅原子被四个氧原子包围的四面体。Si-O 原子间距为 0.160 nm（1.60 Å），O－O间距为 0.227 nm（2.27 Å）。这些四面体彼此由顶角的氧原子以各种方式相互桥接形成不同结构的二氧化硅。二氧化硅有多种不同的形态，如方石英、鳞石英、玻璃态石英等等，它们在高温下能发生相互转变，转变过程归纳如图 4.11-2 所示。

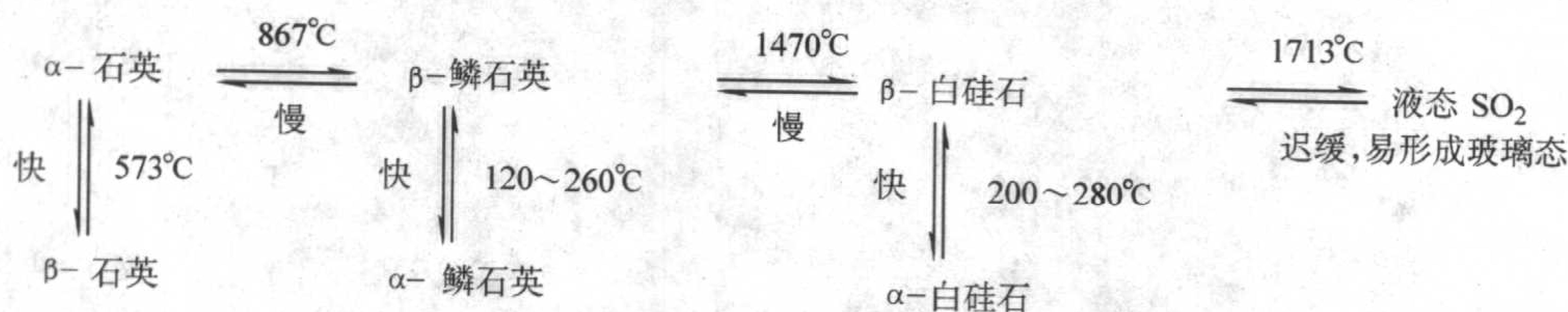


图 4.11-2 二氧化硅的各种形态相互转变关系图

硅的热氧化机制可用一个基本的模型（Deal－Grove 模型）来描述，如图 4.11-3 所示。

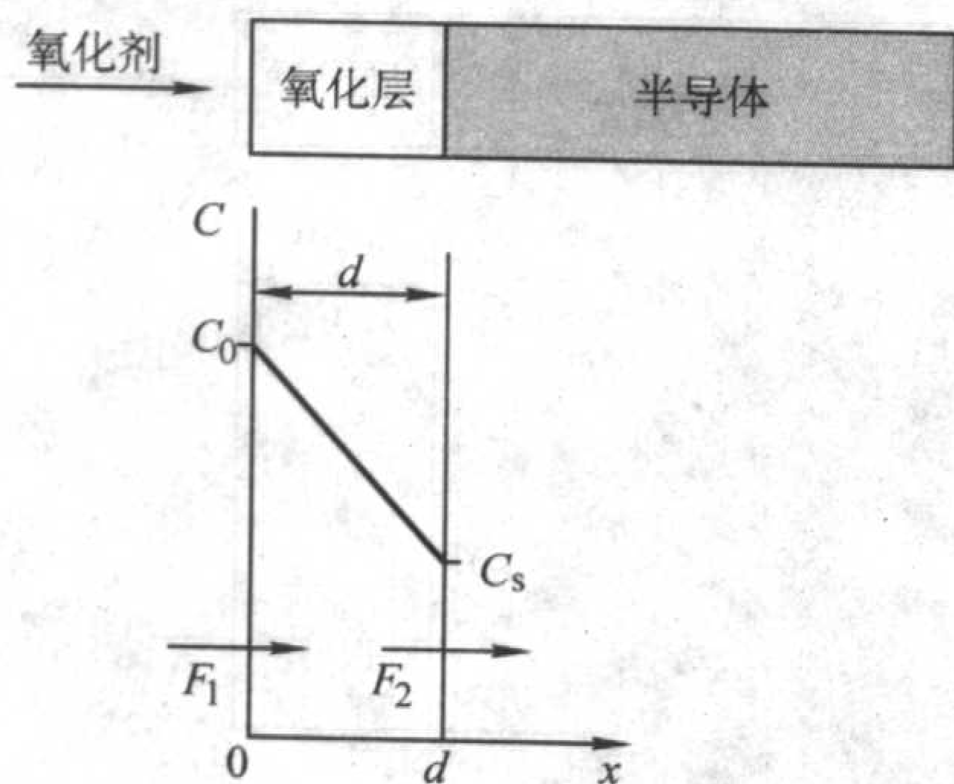


图 4.11-3：硅热氧化的基本模型

硅晶片与氧化剂（氧气或水气）接触，在表面该氧化剂的浓度为每立方厘米 C_0 个分子，在 1 000℃及 1.01×10^5 Pa（1 atm），对于氧而言，C_0 为 $5.2 \times 10^{16}\ cm^{-3}$；对水汽而言，$C_0$ 为 $3 \times 10^{19}\ cm^{-3}$。氧化剂扩散穿透过二氧化硅层到达硅表面，氧化剂在表面处的浓度为 C_s。通量 F_1 可写成

$$F_1 = D\frac{dC}{dx} \approx \frac{D\ (C_0 - C_s)}{x} \qquad (4.11\text{-}3)$$

其中，D 为氧化剂的扩散系数，x 为已生长的氧化膜厚度。

在硅的表面，氧化剂与硅进行化学反应，假设其反应速率与硅表面氧化剂浓度成正比，则通量 F_2 可写成

$$F_2 = \kappa C_s \qquad (4.11\text{-}4)$$

其中，κ 为氧化时表面氧化速率常数。在平衡态时，$F_1 = F_2 = F$。结合式（4.11-3）与式（4.11-4），可得

$$F = \frac{DC_0}{x + D/\kappa} \quad (4.11\text{-}5)$$

氧化剂与硅进行反应形成二氧化硅，假设 C_1 为单位体积二氧化硅内的氧化剂分子数。在氧化膜中有 2.2×10^{22} 个分子/cm³ 的二氧化硅，进行反应时，要获得一个二氧化硅分子，在干氧环境中需一个氧分子，而在水汽环境中则需要有两个水分子参与。因此，干氧方法氧化时，C_1 为 2.2×10^{22} 个分子/cm³，湿氧环境下则为 4.4×10^{22} 个分子/cm³，故氧化膜厚度生长速率为

$$\frac{\mathrm{d}x}{\mathrm{d}t} = \frac{F}{C_1} = \frac{DC_0/C_1}{x + D/\kappa} \quad (4.11\text{-}6)$$

根据初始条件 $x(0) = d_0$ 可以求得该微分方程的解，其中 d_0 为初始氧化膜的厚度。从式（4.11-6）可得出硅氧化的一般关系式为

$$x^2 + \frac{2D}{\kappa}x = \frac{2DC_0}{C_1}(t + \tau) \quad (4.11\text{-}7)$$

式中，$\tau = \frac{(d_0^2 + 2Dd_0/\kappa)\ C_1}{2DC_0}$，它表示初始氧化层 d_0 引起的时间坐标平移。

经氧化时间 t 后，氧化膜厚度为

$$x \approx \frac{D}{k}\left[\sqrt{1 + \frac{2C_0\kappa^2(t+\tau)}{DC_1}} - 1\right] \quad (4.11\text{-}8)$$

当氧化时间很短时，式（4.11-8）简化为

$$x \approx \frac{C_0\kappa}{C_1}(t + \tau) \quad (4.11\text{-}9)$$

当氧化时间很长时，式（4.11-8）简化为

$$x \approx \sqrt{\frac{2DC_0}{C_1}(t + \tau)} \quad (4.11\text{-}10)$$

因此，在氧化初期，表面反应是限制生长速率的主要因素，此时氧化膜厚度与时间成正比；当氧化膜变厚，氧化剂必须扩散至硅与二氧化硅的界面时才能发生反应，其厚度受限于扩散速率，因此氧化生长厚度变成与氧化时间的平方根成正比，其生长速率的曲线为抛物线。

通常，式（4.11-7）可表示成更简化的形式

$$x^2 + Ax = B(t + \tau) \quad (4.11\text{-}11)$$

式中 $A = \frac{2D}{\kappa}$，$B = \frac{2DC_0}{C_1}$，通过此关系式，式（4.11-9）与式（4.11-10）可分别改写成

线性区为

$$x = \frac{B}{A}(t + \tau) \quad (4.11\text{-}12)$$

抛物线区为

$$x^2 = B(t + \tau) \quad (4.11\text{-}13)$$

其中，$\frac{B}{A} = \frac{\kappa C_0}{C_1}$称为线性化速率常数，而 B 称为抛物线型氧化速率常数。多种氧化条件下的实验表明，模型预测与实际测量结果相吻合。对于湿氧氧化，初始的氧化膜厚度 d_0 很小，也就是 $\tau \approx 0$；对于干法氧化，在 $t = 0$ 处 d_0 的外推值约为 20 nm。

图 4.11-4 为（111）、(100）面的硅晶片用干、湿法氧化的线性氧化速率常数$\frac{B}{A}$与温度的关系。在干、湿法两种氧化条件下，线性氧化速率常数将随 $\exp\left(-\frac{E_a}{KT}\right)$ 而改变，其中 E_a 为激活能，约为 2 eV。此值与打破 Si-Si 键所需的能量（1.83 eV）相当。在相同氧化条件下，线性氧化速率常数与晶向有关。这是因为硅的晶向不同，硅原子表面键密度也不同，故硅原子形成二氧化硅的速率也有所不同。(111）面的硅原子键密度高于（100）面，所以前者的线性氧化速率常数较大。

图 4.11-5 为抛物线型氧化速率常数 B 与温度的关系。常数 B 也随 $\exp\left(-\frac{E_a}{KT}\right)$ 而改变。对干法氧化，激活能为 1.24 eV，它与氧在硅内的扩散激活能（1.18 eV）相当。在湿氧条件下，激活能为 0.71 eV，与水在硅内的扩散激活能（0.79 eV）相当。抛物线型氧化速率常数与晶向无关。

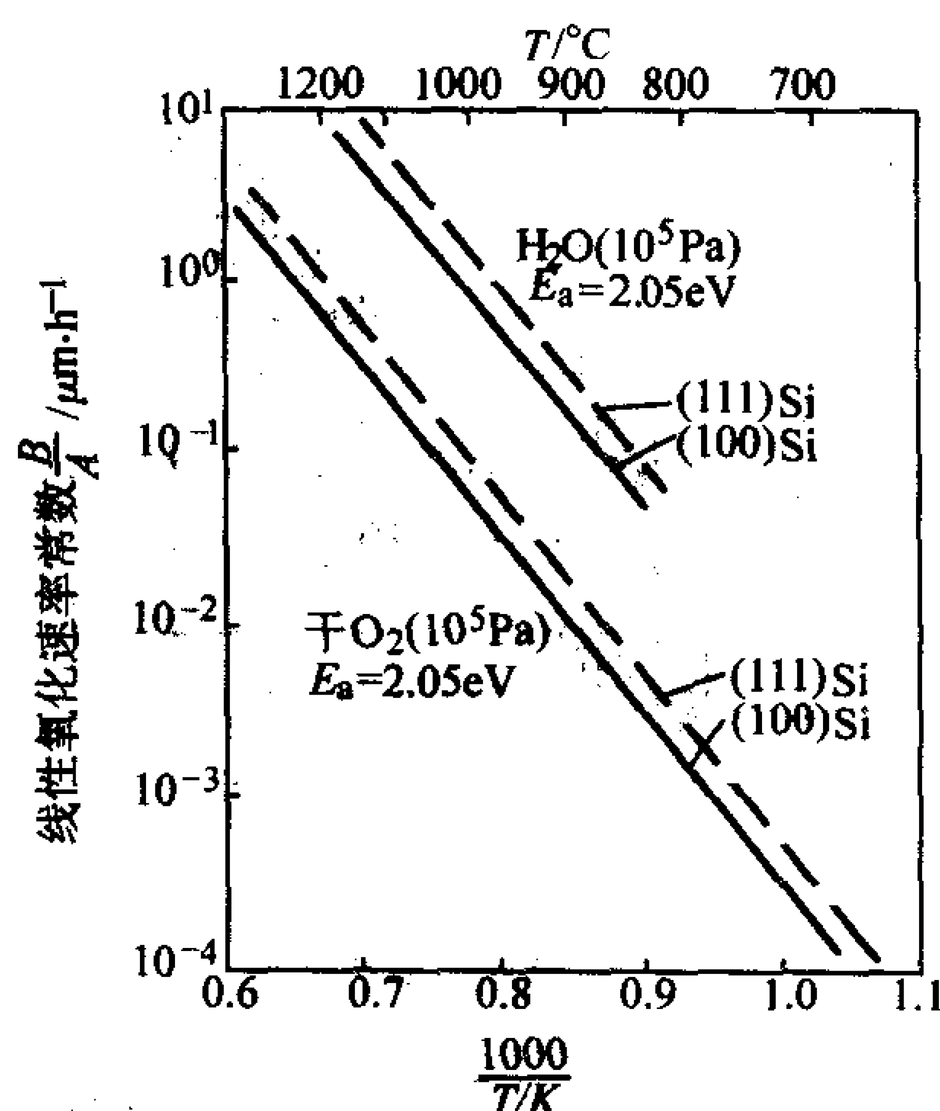


图 4.11-4　线性氧化速率常数随温度变化的情况

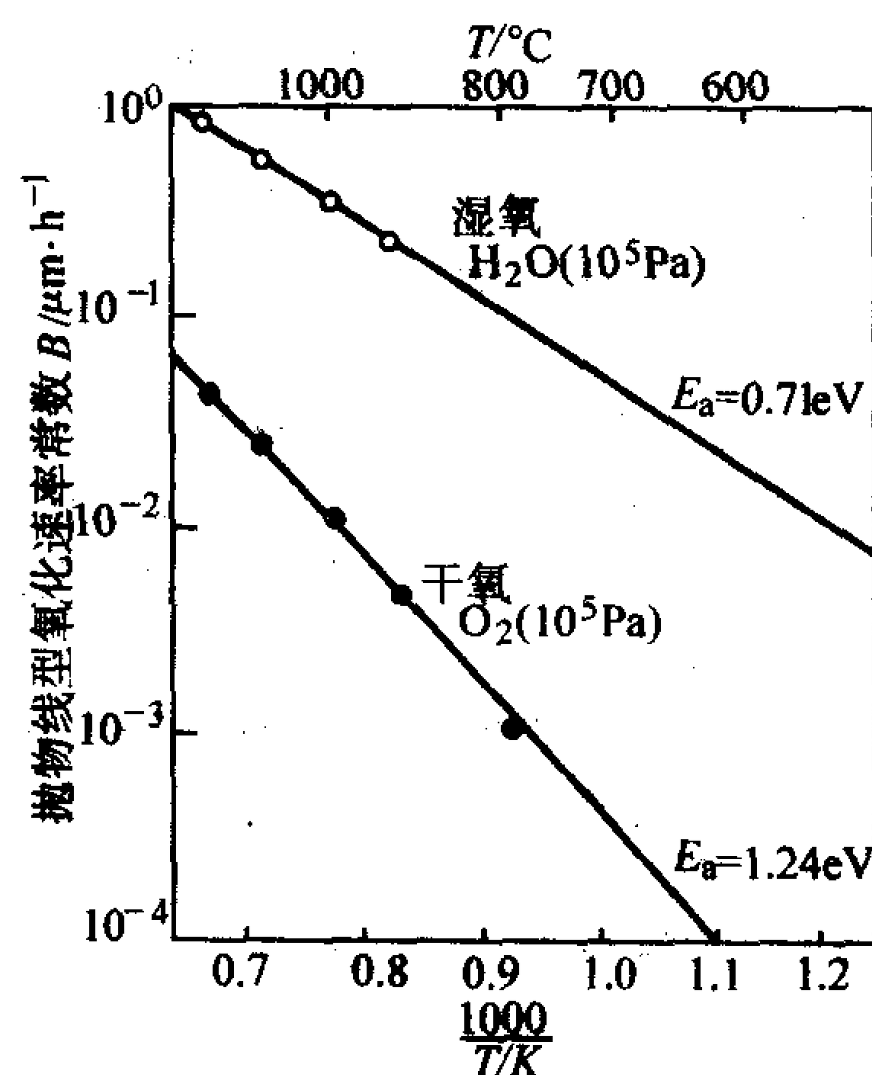
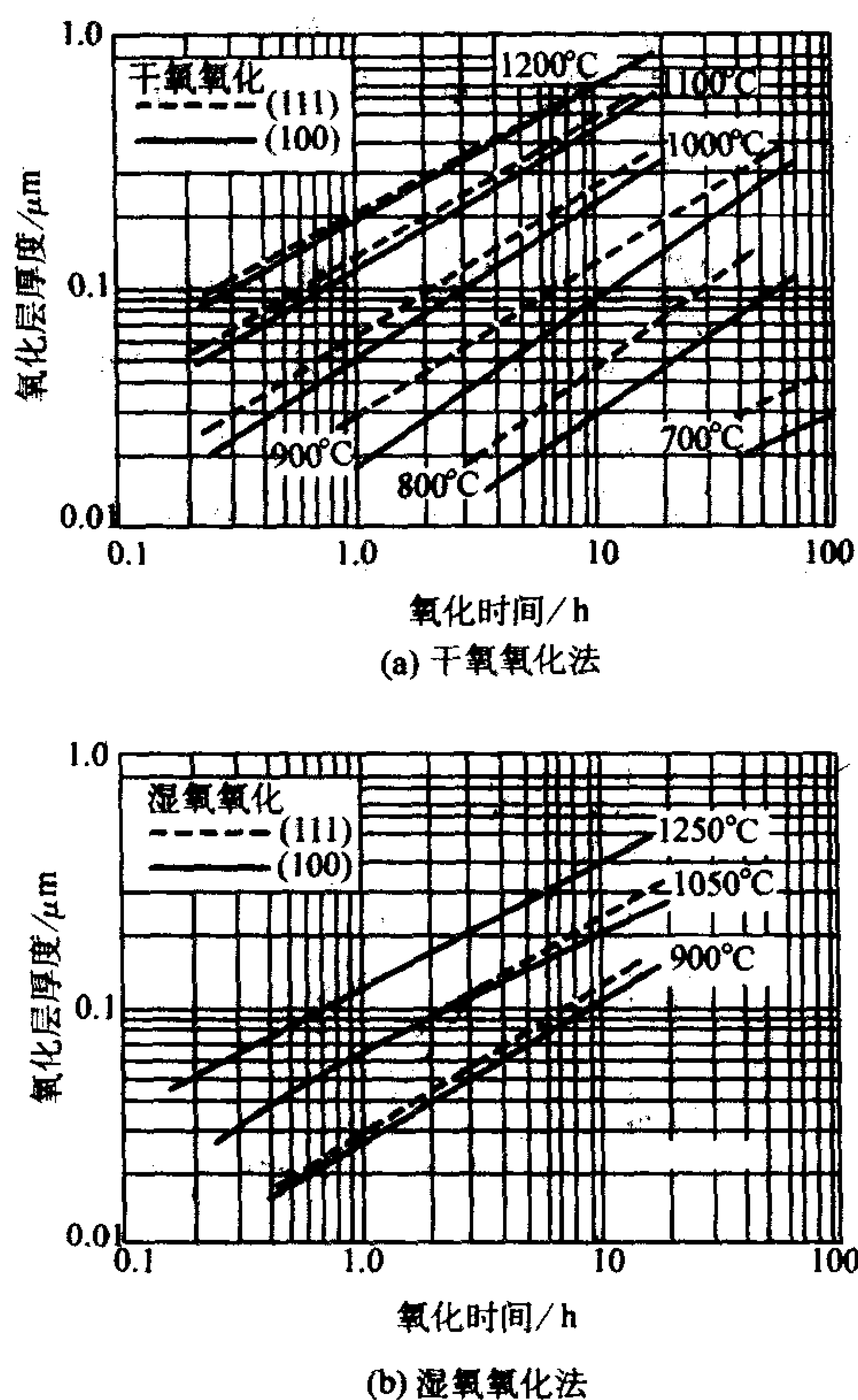


图 4.11-5　抛物线型氧化速率常数随温度变化的情况

在干氧环境下生长出的氧化膜具有最佳的电特性，但其氧化时间比湿法氧化在同温度下生长同厚度氧化层的时间要长。对于薄氧化膜，如 MOSFET 的栅极氧化膜（一般低于 20 nm），常采用干法氧化。然而，在 MOS 集成电路与双极型器件中，较厚的氧化膜，如场氧化膜（一般大于 20 nm），则采用湿氧方式以获得适当的隔离与保护效果。图 4.11-6a、b 分别为干、湿氧条件下氧化膜厚度与氧化时间及温度的关系。在同一氧化条件下，(111）面的氧化膜厚度比（100）面厚，这主要是前者的线性氧化速率常数较大的缘故。在相同氧化温度条件下，湿氧氧化膜的生长速率是干氧生长速率的 5～10 倍。



(a) 干氧氧化法

(b) 湿氧氧化法

图 4.11-6 氧化膜厚度与氧化时间及温度的关系

2 制备方法与系统

对硅晶片的氧化技术有多种方式，如：干氧氧化、湿氧氧化、低压氧化、高压氧化、混合氧化等。具体采用哪种方法，要看器件对氧化膜质量和特性的要求，如厚度、电学特征等。比如，要求厚度比较薄、界面电荷密度低的氧化膜，一般采用干氧氧化；如果对钠离子污染有特别的要求，一般会采用 HCl-O_2 氧化；如果要求比较厚的氧化膜（比如厚度超过 0.5 μm），则希望采用湿氧氧化，水汽的压力可以从（0.10～2.53 MPa）（1～25 atm）。汽压越高，则氧化温度越低，氧化时间也越短。

空气气氛下的氧化是集成电路制备中最常用的一种氧化方法，它是把硅片垂直放在石英舟或硅舟里，然后放进石英或硅扩散炉内进行氧化。图 4.11-7 是硅片氧化的一种典型装置示意图。典型的氧化温度为 800～1 200℃，恒温时的温度漂移应小于 ±1℃，这样才能保证氧化膜的均匀性。氧化流程包括硅片清洗、烘干、装片、送进扩散炉、梯度升温、恒温氧化、梯度降温和取片等步骤。升、降温的梯度不能太大，以防止硅片发生扭曲变形。

要想获得高品质、重复性好的氧化膜，在氧化过程中特别要关注的一个问题是消除颗粒。在早先的氧化流程中，送

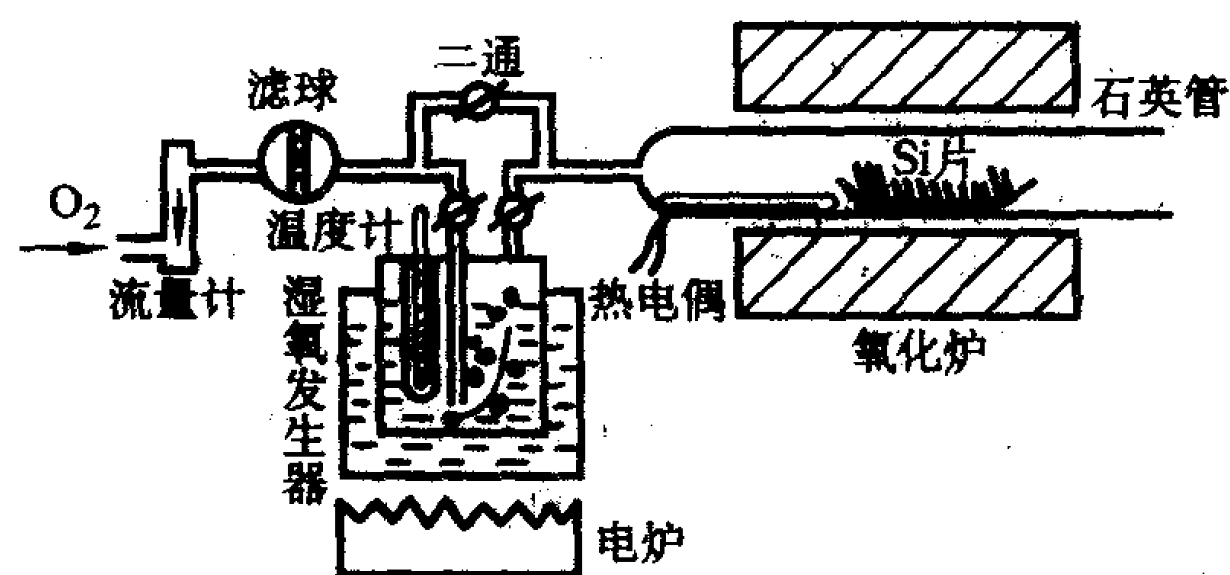


图 4.11-7 典型的硅热氧化装置示意图

片和取片过程，载片的舟都是直接跟炉管接触的，氧化过程中不可避免地要产生颗粒。一种新的设计是采用悬臂式送片方式，先以无接触的方式把硅片送进炉膛内，然后放下；取片时也以相同的方式操作，这样可以有效地避免颗粒的产生。

2.1 预氧化清洗

在硅片被送进高温炉之前必须对其进行清洗以消除表面的有机和无机杂质。这些杂质如果没有被清除，将会恶化器件的电特性，从而影响器件的可靠性。

硅片表面的颗粒杂质可以通过机械方法或者超声清洗得以消除。浸泡处理是个有效的化学清洗方法；但一个更有效的方法是离心喷射技术。化学清洗通常是先去除有机杂质，然后是去除无机离子和原子。通常用 H_2O-H_2O_2-NH_4OH 混合物作为溶剂来去除有机物杂质。这一过程往往会引入一些Ⅰ族和Ⅱ族金属杂质。去除重金属杂质一般采用 H_2O-H_2O_2-HCl 混合溶剂。

2.2 干法、湿法和 HCl 干法氧化

现代的扩散炉（或者叫氧化炉）往往由微机控制，它能提供可重复的操作顺序、温度控制和气体流量控制等，从送片到取片的整个过程都可实现程序化。干氧氧化和 HCl 干氧氧化过程可以通过简单的微处理系统得以实现。送片和取片速率、温度梯度、气体流量和温度都可实现程序化控制。不过，处理 HCl 气体时要格外小心，特别是尾气，因为 HCl 气体与水汽相遇会产生盐酸腐蚀金属部件。

湿氧氧化通过火成技术（H_2 与 O_2 反应产生的高温水蒸气）很容易得以实现。火成技术能提供高质量的蒸汽流，当然，这就要求反应气体 H_2 和 O_2 的纯度要高。如果采用鼓泡方式来进行湿法氧化，载气一般为 O_2，水温维持在 95℃，产生的水蒸气压力约为 85.33 kPa（640 torr）。

2.3 高压氧化

由式 $B=\frac{2DC_0}{C_1}$ 可知，抛物线型氧化速率常数 B 与气相中的氧化剂分压是成正比的。因此，高压蒸汽流必然会提高硅片的氧化速率。这就意味着在相同的时间下生长同样厚度的氧化膜，高压氧化（相比于上面提到的常压氧化）可以在更低的温度下进行，使杂质的扩散得以抑制。低温操作也能把侧向扩散降低到最低限度，这对于减小器件的尺寸是非常重要的。高压氧化的另一个优势是能抑制因氧化而产生的缺陷。同时，高压氧化与高温氧化相比，可以明显缩短氧化时间。

高压氧化技术是从 20 世纪 60 年代早期开始研究的，目前实验和生产用的高压氧化设备比较成熟。它已广泛应用于高速、高密度、氧隔离的双极器件中。图 4.11-8 是不同压力条件下氧化，氧化膜厚度与氧化时间的关系。从图中可以看出，增加压力对氧化速率的加速作用是非常显著的。

火成技术和泵水设备在 1 100℃条件下都能提供 2.53 MPa（25 atm）的氧化气流。火成技术要特别注意高温高压下 H_2 的使用安全问题；而泵水设备则特别强调水汽的纯度问题。对于高压氧化，可以实现高达 70.7 MPa（700 atm）的氧化压力。

2.4 等离子氧化

阳极等离子氧化技术的优势在于，能够在比高压氧化更低的温度下，获得更高质量的氧化膜。等离子氧化过程具有低温氧化过程的所有优点，如降低杂质扩散速率、抑制缺陷产生等。并且，阳极等离子氧化在低温下（低于 600℃）能获

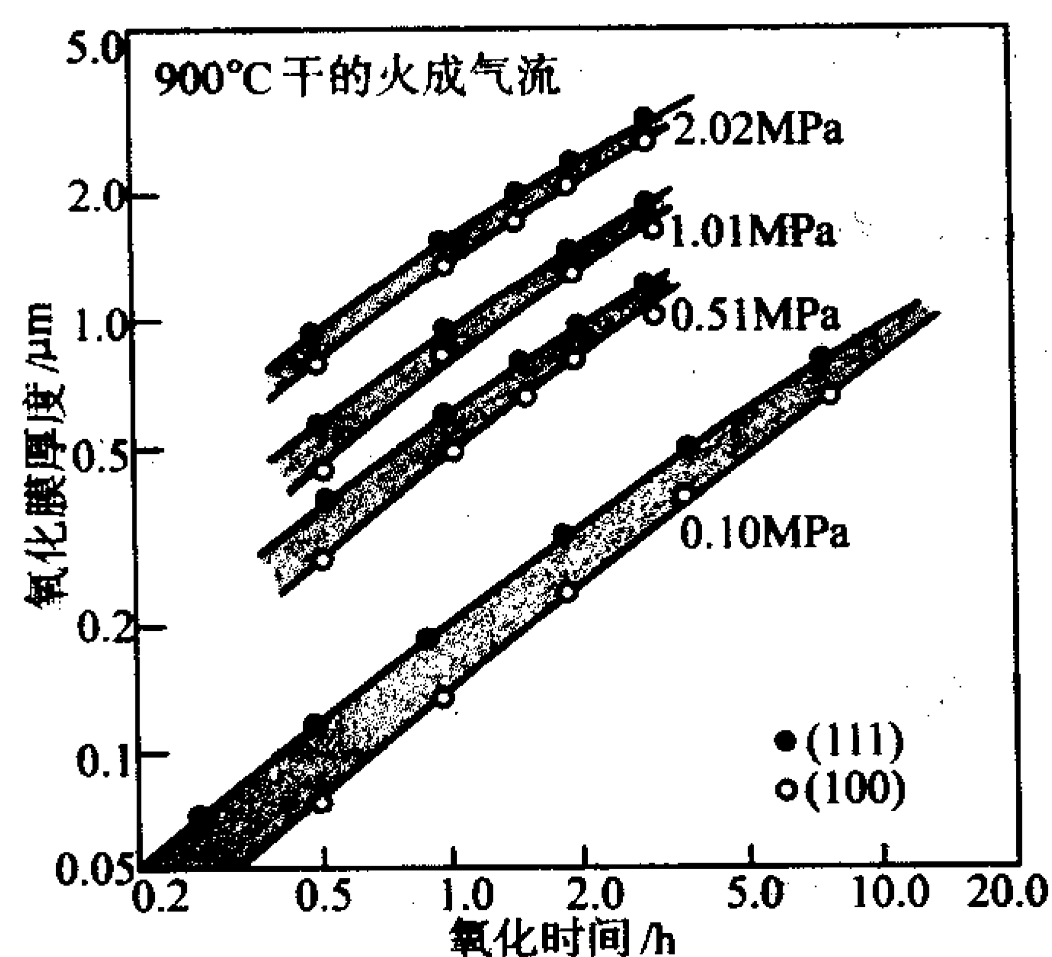


图 4.11-8 900℃下氧化膜厚度与氧化时间关系图

得比较厚的氧化膜（达到 1 μm 量级），生长速率能达到 1 μm/h。

等离子氧化是在低温、真空下进行的，通常是通过纯氧放电。等离子体由高频放电或者 DC 电子源产生。硅片放在等离子密度均匀的区域，位于等离子源的下面，以便收集活跃的氧电荷。衬底温度的升高、等离子密度的增大、衬底杂质浓度的增加都会提高氧化膜的生长速率。

3 氧化膜的特性

氧化膜的各种性质因生长条件不同而有所变化，比如，干氧氧化的二氧化硅膜的折射率随着氧化温度的升高而呈下降趋势；800℃下生长的二氧化硅的密度比 1 190℃下生长的要高 3%；氧化膜的腐蚀速率也会因氧化膜密度、生长温度、腐蚀温度、腐蚀液成分的改变而不同。对于薄的氧化膜，Si-SiO_2 之间的界面属性，如晶格失配、氧化动力学、氧化缺陷等，会成为影响氧化膜性质的一个重要因素。

3.1 二氧化硅的掩蔽特性

二氧化硅层能提供掩蔽作用，防止高温下杂质原子的扩散，这是二氧化硅在 IC 制备过程中一个非常重要的应用。将硅片放入扩散炉时，在没有覆盖二氧化硅膜的区域，杂质就扩散进硅中。在向硅中注入杂质时，一定要保证杂质在提供掩模作用的氧化层中的扩散足够慢（相对于在硅中扩散而言），以便杂质不会通过氧化层到达下部的硅表面。各种杂质在二氧化硅中的扩散系数各不相同，并且，二氧化硅膜的结构不同，扩散系数也不相同。

表 4.11-1 是 M.Ghezzo 等人报道的几种常见杂质在二氧化硅中的扩散系数。另外，在用 P_2O_5 或 B_2O_3 源扩散的情况下，在产生掩蔽作用的同时，也将在二氧化硅膜顶部形成一个新的相，即由 SiO_2 与 P_2O_5 或 B_2O_3 组成的一种混合氧化物。扩散时，这种"玻璃"相的厚度随下面的二氧化硅的消耗而增加，纯二氧化硅一旦耗尽，就没有掩蔽作用了。所以，生长的二氧化硅膜的厚度要根据具体情况来定。典型的提供掩蔽作用的二氧化硅膜的厚度为 0.5～0.7 μm。

表 4.11-1 几种常见杂质在二氧化硅中的扩散系数

杂质	1 100℃下的扩散系数/$cm^2 \cdot s^{-1}$
B	$3.4\times10^{-17}\sim2.0\times10^{-14}$
Ga	5.3×10^{-11}
P	$2.9\times10^{-16}\sim2.0\times10^{-13}$
As	$1.2\times10^{-16}\sim3.5\times10^{-15}$
Sb	9.9×10^{-17}

3.2 氧化电荷

在 Si-SiO_2 界面之间往往会产生一个过渡区，过渡区中的物质成分和结构都不同于 Si 和 SiO_2，其间存在各种电荷和缺陷。界面处的电荷又会在衬底硅中诱导出电性相反的电荷，影响 MOS 器件的性能。

图 4.11-9 示出了几种常见电荷，这些电荷由 $N=Q/q$ 表示，其中 Q 代表单位面积的有效电荷，N 表示单位面积的电荷数量，q 是单位电荷。在 Si-SiO_2 界面，界面缺陷电荷 Q_{it} 的能带位于硅的禁带中，并与硅发生相互电作用。这些电荷的来源有许多种，包括氧化过程的结构缺陷、金属杂质、化学键断裂等。固定电荷 Q_f（一般为正电荷）位于 Si-SiO_2 界面的过渡区中，根据不同的氧化和热处理过程，电荷密度一般在 $10^{10}\sim10^{12}$ cm^{-2} 之间。可移动离子电荷 Q_m 来自碱性离子，如 Na^+、K^+、Li^+ 等。这些碱性离子在电场的作用下往往会发生迁移。根据生长过程中不同的材料、不同的气氛、不同的处理过程，电荷密度也在 $10^{10}\sim10^{12}/cm^2$ 之间。氧化物缺陷电荷 Q_{ot} 可能是正电荷（空穴）也可能是负电荷（电子）。它们是由 SiO_2 中的缺陷引起的，电荷密度约为 $10^9\sim10^{13}$ cm^{-2}。以上所有电荷都能够通过 C-V 技术测试出来。

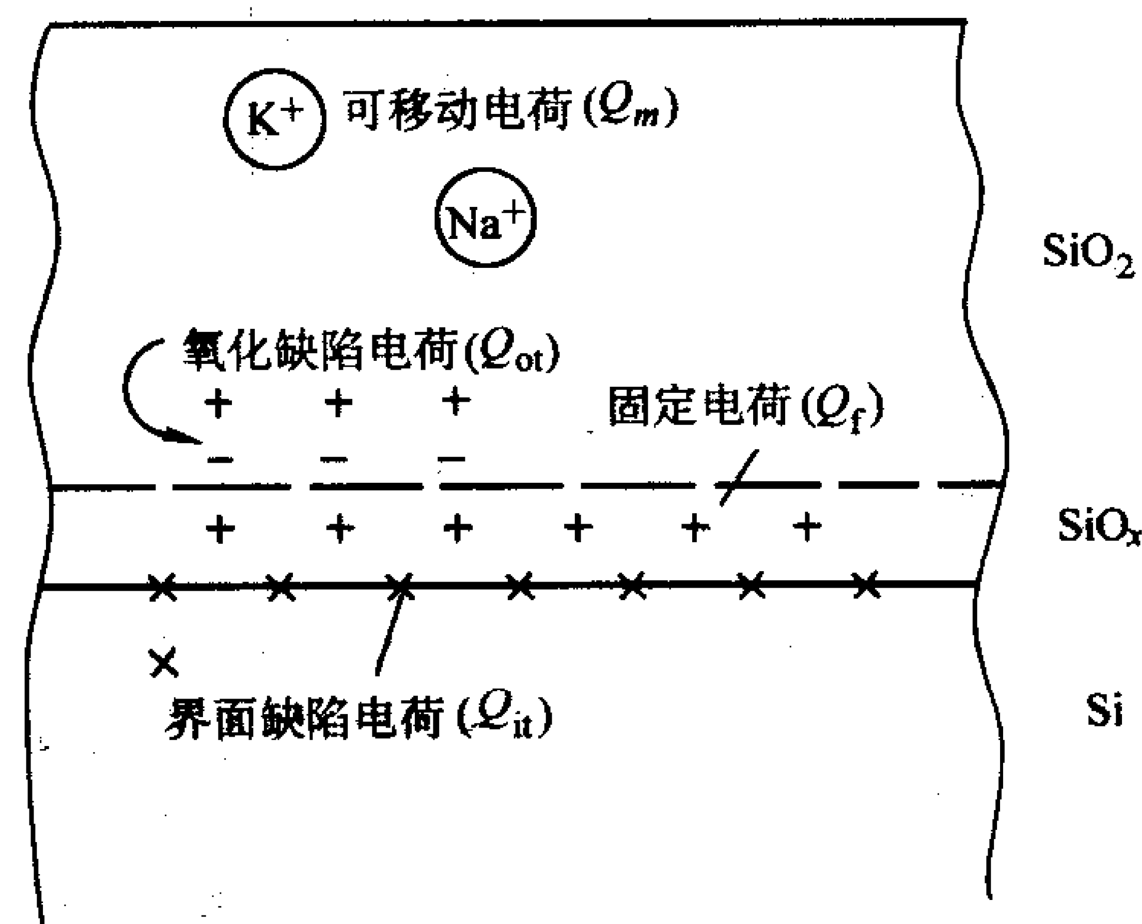


图 4.11-9 热氧化法生长的二氧化硅膜中的典型电荷

改善氧化电荷的方法有许多种，包括离子辐射、离子注入、电子束蒸发金属、等离子刻蚀、电子束曝光、X 射线辐射、γ 射线辐射等等。

3.3 氧化应力

二氧化硅薄膜引起的应力会导致硅片变形、薄膜龟裂，并且在硅衬底中引入缺陷。实验测试结果表明，SiO_2 膜在硅表面引起的是压应力。据报道，由于 Si 和 SiO_2 的线胀系数不同而引起的应力值的量级高达 10^9 dyn（达因）/cm^2。减少并释放 Si-SiO_2 间的应力也是 IC 器件制作过程中的重要课题。

4 Si-SiO_2 界面

Si-SiO_2 界面系统的研究是微电子技术中的一个重要课题。硅之所以会成为当今最重要的信息功能材料，其主要原因之一就是因为硅上能生长一层性能很稳定的 SiO_2 膜，组成优质的半导体－绝缘介质膜系统。作为超大规模集成电路（VLSI）核心器件的 MOSFET 的性能密切依赖于 Si-SiO_2 界面和 SiO_2 介质层的质量。实际上，如果界面态密度超过 10^{12}/eV·cm，栅极电压所能引起的硅表面电场将被局域的界面态电荷所屏蔽，MOSFET 将无法正常工作。

现在，应用系统对器件的寿命，以及在恶劣环境下工作的稳定性和可靠性要求越来越高，特别是 VLSI 器件的尺寸

不断缩小，使界面作用区和硅表面器件工作区在尺度上所占的比例日益增大，同时尺寸缩小所导致的电场强度增高而引起的热电子效应，使可靠性问题更为突出，这些都要求 Si-SiO_2 界面有更高的质量，对 Si-SiO_2 界面的研究提出了更为严格和更为深入的要求。

4.1 Si 和 SiO_2 的物理性质

表4.11-2列出了 Si 和 SiO_2 的部分物理性质，了解这些性质的差异，有助于理解 Si-SiO_2 间出现界面现象的内在原因。

表 4.11-2 Si 和 SiO_2 的部分物理性质

性　质	硅	α-石英	β-石英	β-鳞石英	β-白硅石	玻璃态石英
熔点/K	1 683	1 823		1 976	1 986	约 1 773
沸点/K	2 750	3 223	3 223	3 223	3 223	3 223
晶相转变点/K		846	1 140	1 743		
热导率/J·$(cm\cdot s\cdot K)^{-1}$	0.84 (293 K)	79.5 (373 K)				
线胀系数/$10^{-6}K^{-1}$	2.5					0.35
晶格常数 a，c/nm	0.542	0.491，0.540	0.501，0.547	0.503，0.822	0.711	
晶体对称性	立方	D_3	D_6	D_{6h}	O_h	
键距/nm	0.235	0.161	0.155		0.154	0.162
密度 (273 K) /$g\cdot cm^{-3}$	2.328	2.651	2.533	2.262	2.210	2.196
介电常数	13	4.55				3.81
折射系数 (589.2 nm)	3.5	1.544 2		1.477 3	1.484	1.458 4
弹性模量/kPa	118					110
泊松比	0.42					0.19

4.2 Si-SiO_2 界面态研究成果

20世纪70年代中期以前，对 Si-SiO_2 界面态的研究更多地侧重于技术方面，取得的主要成果可归纳为如下几点。

1) 氧化条件　氧化温度越高，则界面态密度和固定电荷密度越低。低温下氧化得到的 Si-SiO_2 界面态密度和固定电荷密度都较高，但经过高温处理仍能使 D_{it} 和 Q_f 下降。

2) 其他工艺条件　同一温度氧化，湿氧环境比干氧条件下氧化得到的 Si-SiO_2 界面态密度要低，但固定电荷密度基本一致或稍低。氧化后在高温 N_2 气氛（>1 000℃）下热处理可使 Q_f 降低，但对 D_{it} 影响较小。在含氯气氛下氧化得到的 Si-SiO_2 系统，可大大降低 Na^+ 浓度及相应的可动电荷，同时也可降低 D_{it}。

3) 晶向关系　同样条件下生长的 Si-SiO_2 界面，D_{it} 与硅衬底晶向关系密切，其基本趋势为：$D_{it(111)} > D_{it(110)} > D_{it(100)}$。

4) 杂质、缺陷效应　高的硅衬底位错与氧化层错密度会使 D_{it} 和 Q_f 提高，但一般不在 D_{it} (E) 中有特征峰。

5) 表面势起伏　表面势起伏与 SiO_2 生长及热处理等过程相关。在含有大量 Na^+ 或故意掺入 Na^+ 的情况下，Na^+ 在 Si-SiO² 界面上的分布是不均匀的，这时会产生明显的表面势起伏。这也就说明界面电荷分布或者笼统地说 Si-SiO_2 界面是不均匀的。

从20世纪70年代末期开始，对 Si-SiO_2 界面的研究进入了原子级的微观研究阶段，取得了一系列的新成果，概括如下。

1) 引进了 DLTS 等瞬态测试法，开始了电学方法研究界面态的新时期。

2) 通过高分辨透射电子显微镜观察，发现 Si-SiO_2 界面有一定程度的高低起伏，起伏高度约为 2 nm (20 Å)。

3) 结构研究发现，在 Si-SiO_2 界面到完全的 SiO_2 之间存在成分的过渡区，其厚度 < 20 nm (20 Å)。过渡区中的成分有 SiO、Si_2O_3、Si_2O_5 及 SiO_4 等。一般来说，高于800℃的热处理可使过渡区变窄；氧化温度越低，氧化速率越低，过渡区越宽。

4) 用 ESR 对 Si-SiO_2 界面的悬键进行了测定，从而使硅原子悬键模型得到了进一步发展。

4.3 Si-SiO_2 界面态的理论计算模型

关于 $Si-SiO_2$ 界面电子态的理论模型有许多种，如：认为界面态是由界面上属于衬底的表面 Si 原子引起的悬键模型；界面态是由 SiO_2 过渡区中的"缺陷"所引起的隧道模型；界面态起源于界面附近 SiO_2 中的电荷中心的电荷模型和由带尾态和悬键态叠加组成的总的本征界面态分布模型等等。这些模型都能解释一些特定现象，也都有一定的局限性。要弄清 Si-SiO_2 界面电子态的机理，就有必要配合适当的理论计算。下面介绍几种理论计算模型。

（1）集团－Bethe 格子模型（CBLM）

这一模型最早由 Chadi 等采用，Sugano 等用此模型进行了一些细致的计算。图 4.11-10 为 CBLM 的示意图。Si 取{111}晶向，非晶 SiO_2 用 Bethe 格子近似，界面上的 ≡Si· 悬键与 Bethe 格子中 SiO_2 四面体的顶角 O 相链接（键合）。Bethe 格子是一种树状格子，没有一般非晶态结构的闭环，但其中的所有氧原子均保持二价，硅原子均保持四价，即保持了 SiO_2 四面体结构。一般取 Si-O-Si 键角为 144°。CBLM 最基本的假定有两点：一是 Si-SiO_2 界面是突变的，不考虑有过渡区。二是用 Bethe 格子 SiO_2 结构。在非晶 SiO_2 中，Si-O-Si 键角分布在 120°～180°，取 144°最合适。计算的几种主要界面缺陷模型示于图 4.11-11 中。计算包括：界面键角、键长的变化、悬键的出现、Si-Si 弱作用、O 空位、Si-O 弱作用，以及 Si 与杂质原子或基团（如 H、OH 和 Cl 等）的键合等情况。计算的主要结果有：

1）完整的 Si-SiO_2 界面和包含有 O 悬键的界面在硅禁带中无界面电子态出现；

2）Si≡Si－表面悬键导致 E_g 中央出现局域的电子态；

3）表面有悬键的 Si 原子和 SiO_2 中的 Si 形成 Si-Si 弱键合或存在弱作用时，在 Si 的 E_g 下部出现局域的电子态，且随 Si－Si 距离的增大，能级向 E_v 接近，最后进入价带；

4）表面有悬键的 Si 与 SiO_2 中的 O 形成 Si…O 弱键合或存在 Si…O 弱作用时，在 Si 的 E_g 上部产生电子局域能级，其位置随 Si…O 间距离的增大而上升，最后进入导带；

5）当 Si 悬键被 H、O、Cl 等原子所饱和时，不产生 Si 禁带中的界面电子态。

以上的计算说明，Si 悬键和有悬键的 Si 原子与 SiO_2 中的 Si 或 O 的弱作用是产生界面电子态的主要原因。

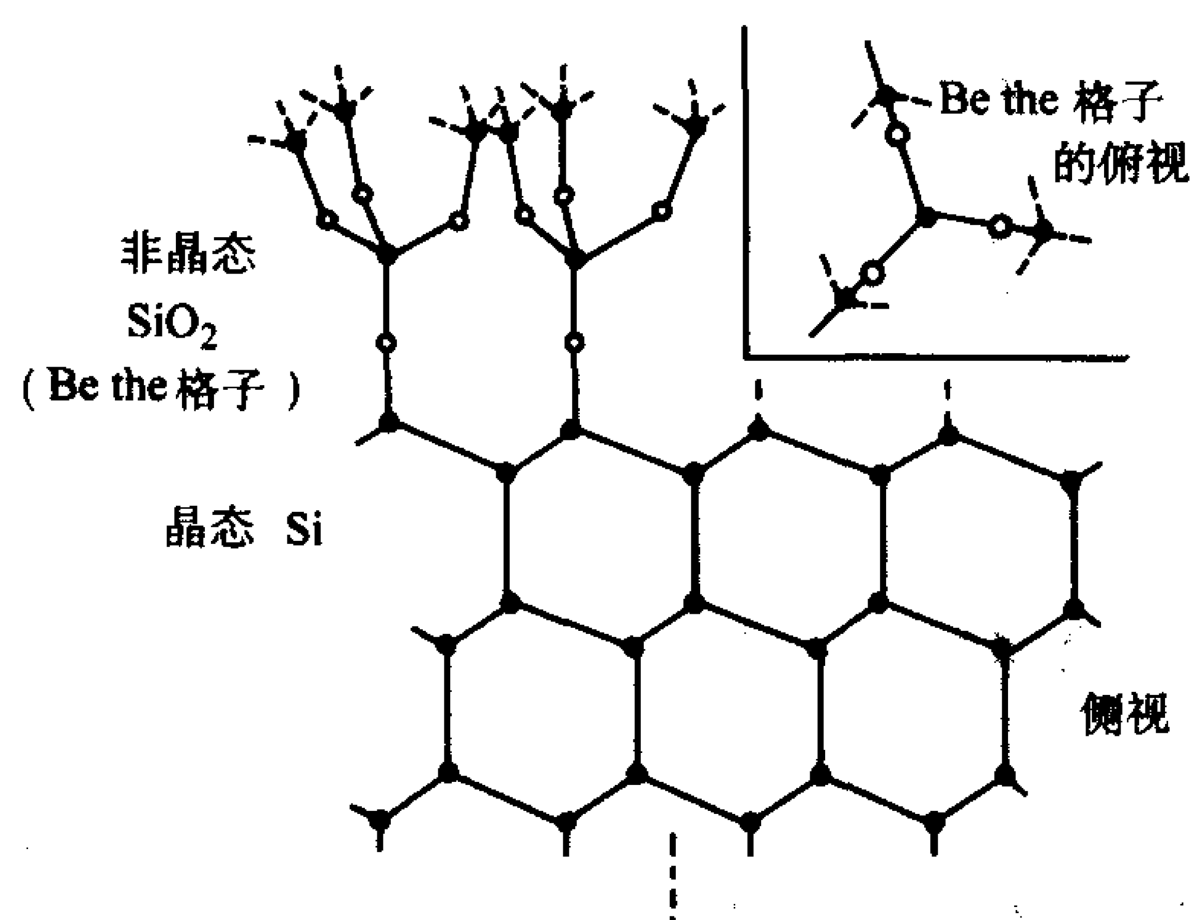


图 4.11-10　CBLM 示意图

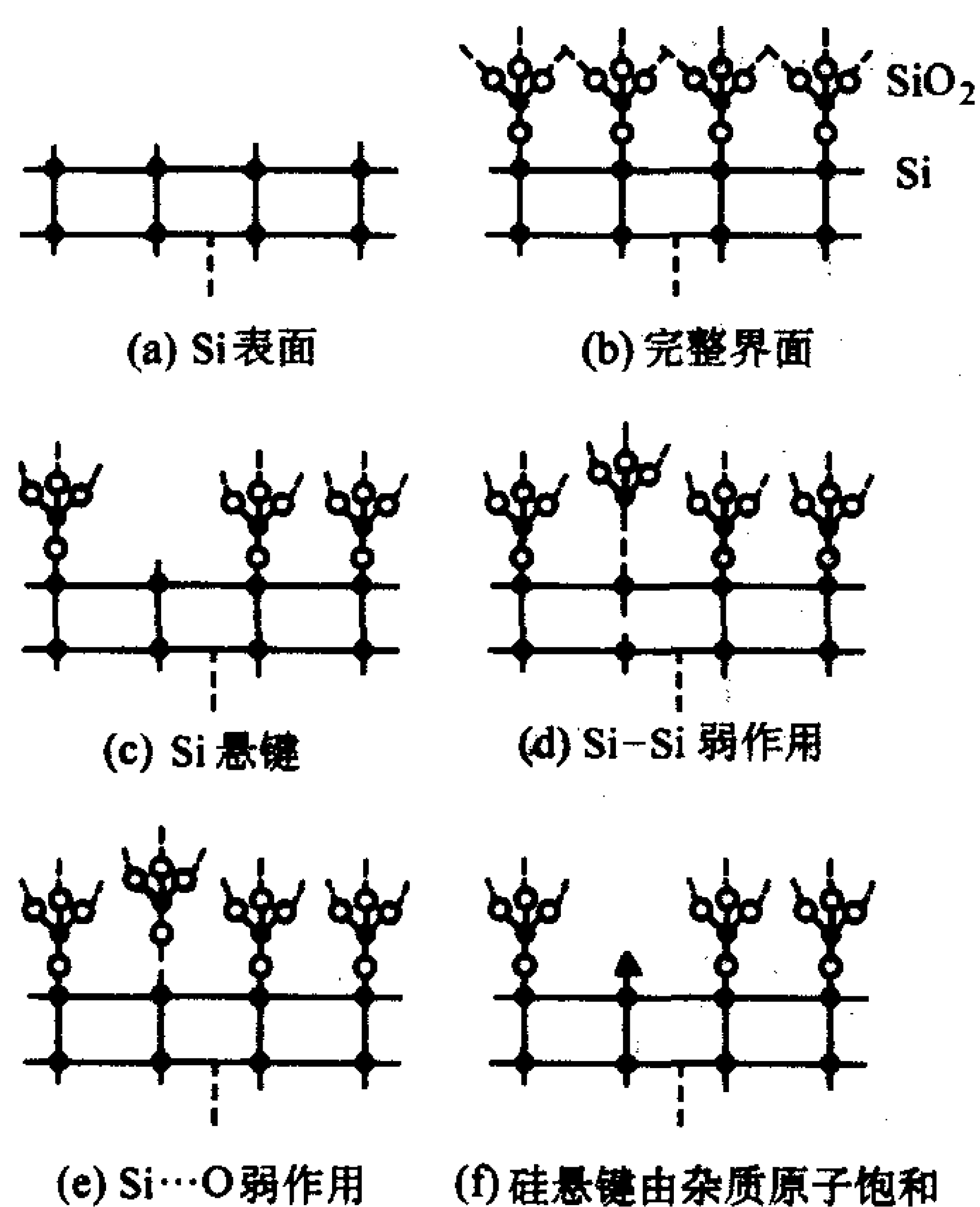


图 4.11-11　CBLM 下的界面缺陷

（2）Super 格子模型

Herman 提出了另一个界面态的计算模型——Super 格子模型。他把 SiO_2 的结构取成类似金刚石结构的 β 石英，然后使它的一个晶面与硅的一个晶面相键合，键合时允许界面体附近的 Si－O－Si 键角有所改变，键合的原则为：选取两种晶体的晶面间的键合最适配，即键密度最大。这种模型的优点是可以选出一个足够大的原胞（Super 格子原胞，在 Si 和 SiO_2 两侧均取足够的原子层数，使相继原子层对界面电子能量不再有影响），利用界面的周期性，采用成熟的能带计算方法作自洽的界面电子态的能量计算。

Herman 提出的 Si-SiO_2 界面的具体模型为：取 Si（100）面和 β－SiO_2（100）面，将两个面相对转动 45°，使之键合。因为此时的 β 石英立方晶胞的边长为 0.754 3 nm（7.543 Å），约为 Si 晶胞相应边长 0.543 1 nm（5.431 Å）的$\sqrt{2}$倍，所以转 45°的（100）面是最适配的面间结合。在此情况下，衬底表面 Si 原子有一半是理想的四配位（Si≡Si－O－），另一半则为二配位。得到的 Si-SiO_2 界面模型是一个严格周期性的模型，因此可以选取适当的原胞进行能量计算。能量计算用一级扩展 Muffin－Tin－Orbital（MTO）方法。

计算结果表明，对于未松弛的界面（即 Si-SiO_2 严格适配，此时界面的 Si－O－Si 键角由实际的大约 140°，调整到 180°），如果容许≡Si－悬键存在，则在 Si 禁带中出现局域态，但是，当悬键由 H，OH 或 O 原子饱和时，相应的电子态能级就移出禁带。在 Si-O-Si 键角为 140°的更符合实际的松弛界面情况，界面原子将有少许滚动。此时的研究表明，间隙 Si（SiO_2 一侧）将在 SiO_2 的禁带中央附近引入局域能级，因此有可能在 Si 禁带内产生界面态；在原胞的 SiO_2 部分引入一个间隙 O 原子可得到四个能级，能量在 SiO_2 价带以上和以下 2～11 eV 处；去掉一个 Si 原子对能带结构影响不大，但引入一个氧空位则在 SiO_2 导带以下 1.2 eV 处出现能带。

虽然 Herman 提出的模型与 Si-SiO_2 的实际情况有较大出入，但用此模型得到的能量位置数值是直接相对于 V.B.M（价带顶）和 C.B.M（导带底）的，其可信度比 CBLM 要高。Super 格子法的关键是要进一步使模型更接近实际和使用更严格的自洽计算方法。

（3）其他计算模型

Pantelides 和 Long 取 SiO_2 为连续随机网络结构，使之与 Si 晶体（111）面相键合形成连续的 Si－SiO_2 界面，并对其能量进行了计算。计算结果表明，实行这种 Si 到 SiO_2 的突变界面在能量上是有利的。不过，该模型的计算过程过于复杂。

倪嘉陵和 White 重视了界面态的空间局域性和界面局域电子与周围环境原子的相互作用（如电子－晶格声子自陷作用）的重要性，提出了一个计入能级电荷状态与键合环境原子的弛豫相联的“动态”模型。该模型虽然还处于某种定性讨论阶段，但是，作为一种理论模型的基础，它可能比其他“静态”（只考虑电子和固定中心的互作用）模型更合理些。

20 世纪 80 年代后期，随着在（100）Si-SiO_2 界面上摇摆键缺陷（P_b 缺陷）中心的发现，又提出了多种界面模型，如原始 P_{b1} 模型、氢耗尽模型、应力结合模型等等，这些模型能够非常明确地解释某种特定的现象，但仍然存在一定的局限性。

总之，关于 Si-SiO_2 界面态的理论计算，至今还没有一个十分成功的模型。但要比较彻底地解决本征界面态的起源问题，发展相应的理论研究是必不可少的。

5　多晶硅氧化

由于多晶硅薄膜上热生长的氧化层可用做电学绝缘层，而且它的性质又将对集成电路的性能产生重要影响，因而受到广泛的重视。多晶硅薄膜氧化层可单独或与 Si_3N_4 结合作为 EPROM 和 DRAM 中双层多晶硅之间的绝缘隔离层，这个二氧化硅层的质量直接关系到产品的成品率和可靠性，因此研究和了解多晶硅薄膜氧化特性的准确知识，对集成电路制造来说，是十分重要的。

5.1　多晶硅的氧化方法

多晶硅制备：先在单晶硅片上热氧化生长一氧化层，作

为淀积多晶硅的衬底；随后，利用 PECVD 生长技术，在 650℃下 SiH_4（25%）+ N_2（75%）的混合气氛中生长多晶硅薄膜。

多晶硅掺杂：多晶硅掺杂通常采用扩散方法进行，用固态磷源作为掺杂剂，1 140℃下进行扩散，扩散时间根据多晶硅薄膜的厚度而定。

多晶硅氧化：对多晶硅的氧化大多采用热氧化法，湿氧氧化的温度范围为 740～1 200℃；干氧氧化的温度范围为 890～1 200℃。

5.2 多晶硅的氧化模型

对于多晶硅膜，氧化不仅发生在晶粒的上表面，而且也发生在晶粒间界，特别是，因为晶粒间界存在着高密度的缺陷，氧化更容易发生。而且，在氧化的同时，将在晶粒间界中建立起一个"压应力"。这个"压应力"反过来又将增强多晶硅膜氧化。据此，王阳元等提出了一个多晶硅氧化模型——应力增强氧化模型。

应力增强氧化模型认为，多晶硅晶粒是圆柱状结构，其轴向垂直于膜表面。这样，从体内流向氧化表面的空位扩散流 J_v 可写为：

$$J_v = 4Dn_L\Omega_0\Delta\sigma_n/\kappa TL_0 \qquad (4.11\text{-}14)$$

式中，D 是硅的自扩散系数；L_0 是晶粒大小；T 是氧化温度；κ 是玻尔兹曼常数；n_L 是单位体积的晶格位置数；Ω_0 是原子体积；$\Delta\sigma_n$ 是加在表面上的垂直非平衡应力。当氧化过程继续进行时，晶粒和晶粒间界的氧化层变得更厚，作用在晶粒上的应力分布变得更加复杂，非平衡应力将进一步减小。因此，垂直的非平衡应力可写为：

$$\Delta\sigma_n = \sigma_n\exp(-x/x_\lambda) \qquad (4.11\text{-}15)$$

这里 σ_n 是加在晶粒表面上垂直的应力，x 是 SiO_2 的厚度，x_λ 是 SiO_2 的特征厚度，当 $x = x_\lambda$ 时，$\Delta\sigma_n = \sigma_n/e$。

由非平衡应力所引起的流向界面的空位流将改变 SiO_2/Si 界面空位浓度的平衡分布。设没有应力时的空位浓度为 C_{vi}^0，硅消耗率为 R_s（单位时间内被氧化掉的硅厚度），若在一个非常短的时间间隔 dt 内被氧化掉的硅体积为 dV，则

$$dV = AR_s dt \qquad (4.11\text{-}16)$$

A 是 Si 的表面积。结合到这个体积中的空位数 dN_v 为

$$dN_v = AJ_v dt \qquad (4.11\text{-}17)$$

因此，在 SiO_2/Si 界面的总的空位浓度 C_{vi} 为

$$C_{vi} = (dN_v^0 + \lambda dN_v)/dV = C_{vi}^0 + \lambda J_v/R_s \qquad (4.11\text{-}18)$$

式中，λ 是与晶粒几何形状有关的权重因子；dN_v^0 是在没有应力情况下结合到 dV 中去的空位数。根据 Ho 和 Plummer 提出的分析空位浓度对界面反应和氧化线性率常数 B/A 的影响模型，并考虑到多晶硅薄膜的优选晶向是（110），可以推导出多晶硅薄膜 SiO_2/Si 界面处氧化线性率常数与空位流的关系：

$$\left(\frac{B}{A}\right)_{poly} = \left(\frac{B}{A}\right)^i_{(110)}[1 + (G/C_A)C_{vi}^i(C_{vi}/C_{vi}^i - 1)\exp(2eV/\kappa T)] \qquad (4.11\text{-}19)$$

与方程（4.11-18）相结合，可得到

$$\left(\frac{B}{A}\right)_{poly} = \left(\frac{B}{A}\right)^0_{(110)} + \left(\frac{B}{A}\right)^i_{(110)}[(G/C_A)]\lambda J_v/R_s\exp(2eV/\kappa T) \qquad (4.11\text{-}20)$$

式中，$\left(\frac{B}{A}\right)^0_{110}$ 是具有同等掺杂浓度（110）晶向的单晶硅在没有受到应力时的氧化线性率常数；G/G_A 是一个根据实验数据拟合的参量。在氧化的初始阶段，氧化过程主要受硅和氧化剂的表面反应所控制，B/A 近似地等于氧化速率，这样能够得出

$$R_s = 0.46\left(\frac{B}{A}\right)_{poly} \qquad (4.11\text{-}21)$$

将方程(4.11-14)、方程(4.11-15)和（4.11-21）与方程（4.11-20）联合求解，可以得到

$$\left(\frac{B}{A}\right)_{poly} = \frac{1}{2}(B/A)^0_{(110)} + \frac{1}{2}\left\{[(B/A)^0_{(110)}]^2 + 32\left(\frac{B}{A}\right)^i_{(110)}\lambda(G/G_A)'D\frac{\sigma_n}{\kappa TL_0}\exp(2eV/\kappa T)\right\}^{\frac{1}{2}} \qquad (4.11\text{-}22)$$

Kao 等人已经指出，σ_n 可以写为

$$\sigma_n = 8\eta R_s\ (1/L_0)^2 \qquad (4.11\text{-}23)$$

其中，

$$\eta = \eta_0\exp\ (E_\eta/\kappa T) \qquad (4.11\text{-}24)$$

式中，$(G/C_A)' = n_L n_0(G/C_A)$；$\eta$ 是氧化层黏滞系数；E_η 是 η 的激活能。据 EerNisse 报道，当氧化温度增高时，SiO_2 的黏滞流增大，应力 σ_n 将在更短时间内被释放，其临界温度大约为 965℃。当氧化温度超过 965℃时，多晶硅膜氧化线性率常数将趋近于（110）晶向的单晶硅的氧化线性率常数 $(B/A)^0_{(110)}$。如式（4.11-22）所示，当 $\sigma_n \to 0$ 时，$\left(\frac{B}{A}\right)_{poly} \to \left(\frac{B}{A}\right)^0_{(110)}$。

5.3 多晶硅的氧化特性

根据应力增强氧化模型可以推出多晶硅氧化存在如下特征：当氧化过程开始时，氧化物质将与硅反应，在多晶硅的晶粒间界生成 SiO_2，由硅转化为 SiO_2 时所引起的体积膨胀将产生一个横向压力。当氧化温度低于 1 000℃时，根据 SiO_2 的黏滞流模型，这个压力相当大。在氧化的初始阶段，氧化过程主要由氧化物质与硅之间的反应所控制，因此，从方程（4.11-22）可以看出氧化将被增强，从而使未掺杂的多晶硅膜有更厚的氧化层。这样，在氧化温度低于 1 000℃时，存在着一个特征氧化时间 t_c，当氧化时间 $t < t_c$ 时，未掺杂的多晶硅薄膜的氧化层厚度不仅比（100）晶向的单晶硅的厚，而且也比（111）晶向的单晶硅的厚。当氧化时间时 $t > t_c$ 时，生长的氧化层厚度增加，应力分布将改变，$\Delta\sigma_n \to 0$，这时多晶硅膜的晶向效应将起主要作用，由于多晶硅膜的优选晶向是（110），所以多晶硅膜氧化速率处于（100）单晶硅和（111）单晶硅的氧化速率之间。

掺磷多晶硅薄膜的掺杂增强氧化效应比由晶粒间界氧化引起的压应力增强氧化效果更为重要，即使在氧化温度低于 1 000℃时也是如此。掺杂剂在硅晶粒和晶粒间界处的分凝和杂质在晶粒间界的快扩散使多晶硅晶粒中的有效掺杂浓度低于同等掺杂水平的单晶硅，因此重磷掺杂的多晶硅薄膜的平均氧化速率不仅比（111）晶向的单晶硅低，而且也比（100）晶向的单晶硅低。

当温度高于 1 000℃时，SiO_2 的黏滞流将释放压应力，氧化增强效应将消失，多晶硅的氧化速率将与单晶硅的相一致。随着氧化温度的增加，多晶硅氧化速率与单晶硅的不同将逐渐减小。

6 硅基二氧化硅光波导材料

20 世纪 90 年代，随着光通讯业务的迅猛发展，硅基二氧化硅平面光波导技术逐渐成为人们研究的热点。硅基二氧化硅材料成为无源光波导器件的首选材料，它具有如下优点：在光通讯窗口（1.31 μm 和 1.55 μm）附近的吸收系数小、与常用的光纤导波材料匹配、硅基二氧化硅光波导与光纤耦合效率高、便于大规模集成、与 Si 工艺兼容、资源丰富。

微电子技术中硅基二氧化硅材料的厚度仅为几百纳米至

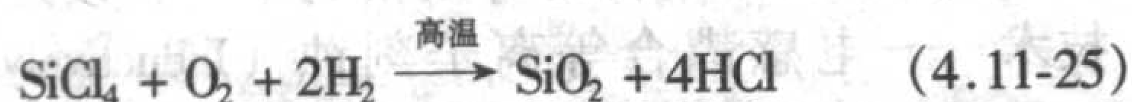
几个微米，而光波导器件则要求二氧化硅膜的厚度高达几个微米，甚至几十个微米，关注的是二氧化硅材料的光传输性质。因此，对硅基二氧化硅材料的生长方法、性能要求都有很大的不同。

6.1 硅基二氧化硅光波导材料的生长方法和机制

光波导材料用硅基二氧化硅厚膜的制备方法有许多种，包括等离子增强化学气相沉积（PECVD，Plasma Enhanced Chemical Vapor Deposition）、真空溅射（VD，Vacuum Deposition）、气相轴沉积（VAD，Vapor－phase Axial Deposition）、电子束沉积（EBD，Electronic Beam Deposition）、多孔硅氧化（Anodization）、火焰水解（FHD，Flame Hydrolysis Deposition）、溶胶－凝胶（Sol－gel）等等。其中，PECVD 和 FHD 由于在生长二氧化硅厚膜上具有很大的优越性而成为首选的生长方法。硅基二氧化硅光波导的结构一般为四层：衬底硅层、二氧化硅下包层（有时掺杂）、掺杂的二氧化硅芯层（调折射率）和二氧化硅上包层（有时掺杂）。其中，上、下包层的厚度要求达到 20 μm 以上，芯层厚度一般在 5～8 μm。下包层是直接在硅片上生长，因此可以采用热氧化法生长；掺杂的芯层也可以采用便于操作的溶胶－凝胶法生长；上、下包层和芯层都可以直接由 PECVD 或者 FHD 生长得到。

（1）火焰水解法（FHD）

火焰水解法是 20 世纪 90 年代，由日本 NTT 的 Kawachi 等把制备光纤的 VAD（Vapor-phase Axial Deposition）技术应用于硅基工艺时开发制备二氧化硅光波导的工艺技术。FHD 法是使 $SiCl_4$ 源蒸汽在高温氢氧火焰中发生水解反应生成 SiO_2 微细粉末（soot）淀积在单晶硅基片上。其反应过程可由下式表示：



$$SiCl_4 + O_2 + 2H_2 \xrightarrow{\text{高温}} SiO_2 + 4HCl \qquad (4.11\text{-}25)$$

氢氧焰温度一般控制在 900～1 400℃范围；$SiCl_4$ 源蒸汽由惰性气体通过鼓泡法获得；单晶硅基片放置在石墨转盘上。图 4.11-12 是 FHD 设备在硅片上淀积二氧化硅材料的示意图。利用 FHD 法可以同时对二氧化硅材料进行掺杂，如掺 P、B、Ge 等。

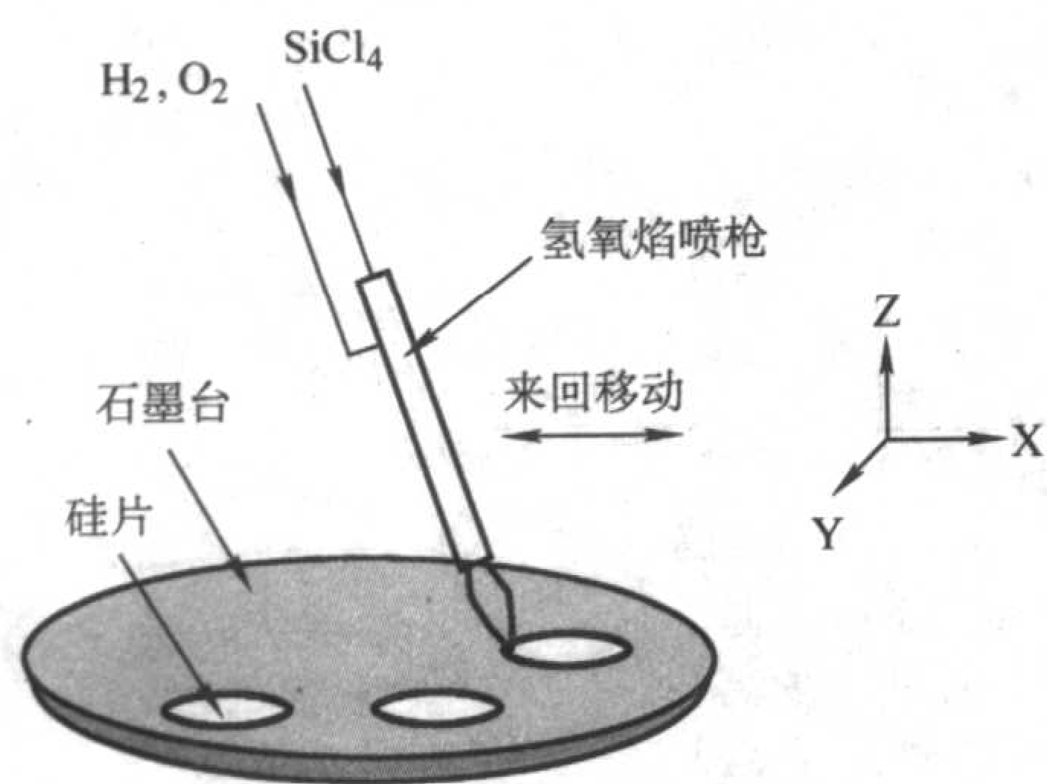


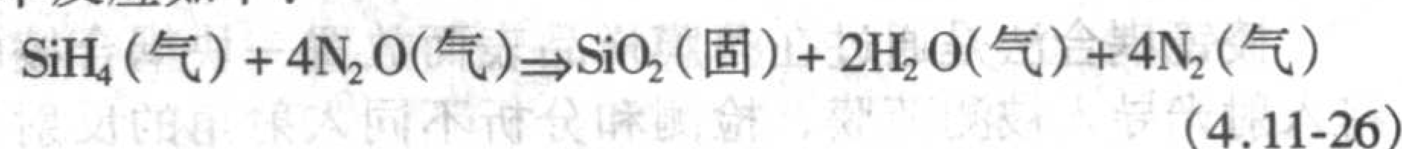
图 4.11-12 火焰水解法沉积二氧化硅设备示意图

用火焰水解法法生成的二氧化硅粉末是一种疏松、不透明的无定形结构，为了把这些粉末转变成高密度、光滑透明、吸收损耗小的玻璃态结构，必须在高温下进行进一步致密化处理。

火焰水解法的主要优点是：淀积速率快，可达到 1 μm/min 以上；便于掺杂。

（2）等离子增强化学气相沉积（PECVD）

PECVD 法已经普遍取代 LPCVD 法用于沉积 SiO_2 和其他薄膜的生长。PECVD 与 LPCVD 相比，具有沉积速率快，台阶覆盖能力强，不容易出现颗粒杂质等优点。其原理是：参与反应的气体在电子放电情况下产生的离子和原子基团发生反应并吸附在基片表面形成薄膜。用 PECVD 法沉积 SiO_2 的基本反应如下：



$$SiH_4(\text{气}) + 4N_2O(\text{气}) \Rightarrow SiO_2(\text{固}) + 2H_2O(\text{气}) + 4N_2(\text{气}) \qquad (4.11\text{-}26)$$

在此反应中，N_2O 经过电子碰撞分解产生分子氧（或原子氧），与硅烷发生氧化反应形成 SiO_2。

PECVD 法的主要优点是：沉积的薄膜的折射率和厚度可控、均匀性好、不容易产生杂质污染。

6.2 二氧化硅膜折射率及厚度的测试

光波导器件对硅基二氧化硅厚膜材料的折射率和厚度的均匀性和精度要求很高。因此，对所生成的二氧化硅膜材料的折射率和厚度进行准确测量，是非常重要的。

目前，能够用来准确测量折射率的方法主要有椭圆偏振法和棱镜耦合法。下面简要介绍这两种方法。

（1）椭圆偏振法

椭圆偏振法是利用一束入射光照射样品表面，通过检测和分析入射光和反射光偏振状态，从而获得薄膜厚度及其折射率的非接触测量方法。根据椭偏方程：

$$\frac{r_p}{r_s} = \tan\phi e^{i\Delta} = f(d, n_f, n_s, n_a, \theta, \lambda) \qquad (4.11\text{-}27)$$

式中，r_p 和 r_s 分别表示薄膜对光的平行分量和垂直分量的反射率；ϕ 和 Δ 为椭偏参量；f 是薄膜厚度 d、薄膜折射率 n_f、基底折射率 n_s、空气折射率 n_a、入射角 θ 和波长 λ 的函数，其具体形式可由待测薄膜的数学模型推导和计算得到。若 n_s、n_a、θ 和 λ 已知，只要测出样品的 ϕ 和 Δ，就可求得薄膜厚度 d 和折射率 n_f。测量样品 ϕ 和 Δ 的方法主要有消光法和光度法。光路的形式有反射式和透射式，入射面分为垂直面和水平面内两种结构。图 4.11-13（a）是反射式消光法的一种典型结构；图 4.11-13（b）是反射式光度法的一种典型结构。

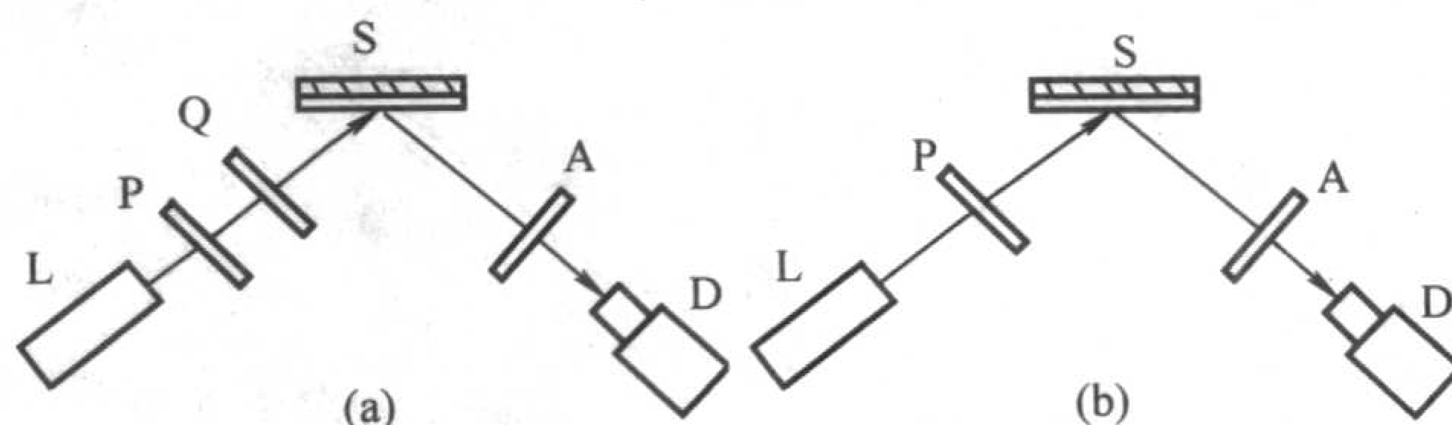


图 4.11-13 椭圆偏振测量仪示意图

L—光源；P—起偏大器；A—检偏器；
S—薄膜样品；Q—1/4 波片；D—探测器

椭偏法具有很高的测量灵敏度和精度。ϕ 和 Δ 的重复性精度已分别达到 ±0.01°和 ±0.02°，厚度和折射率的重复性精度可分别达到 0.1 nm 和 10^{-4}，且入射角可在 30°～90°内连续调节，以适应不同样品；测量时间达到 ms 量级，可用于薄膜生长过程的厚度和折射率监控。但是，由于影响测量准确度的因素很多，如入射角、系统的调整状态，光学元件质量、环境噪声、样品表面状态、实际待测薄膜与数学模型的差异等。特别是当薄膜折射率与基底折射率相接近，薄膜厚度较大和薄膜厚度及折射率范围位于 $(n_f, d)-(\phi, \Delta)$ 函数斜率较大区域时，用椭偏仪测出的薄膜厚度和折射率与实际情况有较大的偏差。

椭圆偏振法存在一个膜厚周期问题，在一个膜厚周期内，椭偏法测量膜厚有精确值。若待测膜厚度超过一个周期，膜厚有多个不确定值。虽然可采用多入射角或多波长法确定周期数，但实现起来比较困难。实际上需采用其他方法，如干涉法、光度法或台阶仪等配合完成周期数的确定。

因此，椭偏法适合于透明的或弱吸收的各向同性的厚度

小于一个周期的薄膜的测量。

(2) 棱镜耦合法

棱镜耦合法是通过在薄膜样品表面放置一块耦合棱镜，将入射光导入被测薄膜，检测和分析不同入射角的反射光，确定波导膜耦合角，从而求得薄膜厚度和折射率的一种接触式测量方法。

波导模式特征方程为

$$kd(n_f^2 - N_m^2)^{\frac{1}{2}} = (m+1)\pi \qquad (4.11\text{-}28)$$

$$N_m = \mathrm{Sin}\theta\cos\varepsilon + (N_p^2 - \sin^2\theta)^{\frac{1}{2}}\sin\varepsilon \qquad (4.11\text{-}29)$$

式中，k 为波数；m 为模数；N_m 为 m 阶导模的有效折射率；θ、ε、N_p 分别为耦合角、棱镜角和棱镜折射率。若测得两个以上模式的耦合角，便可求出 d 和 n_f。棱镜耦合测量仪的光路如图4.11-14所示。

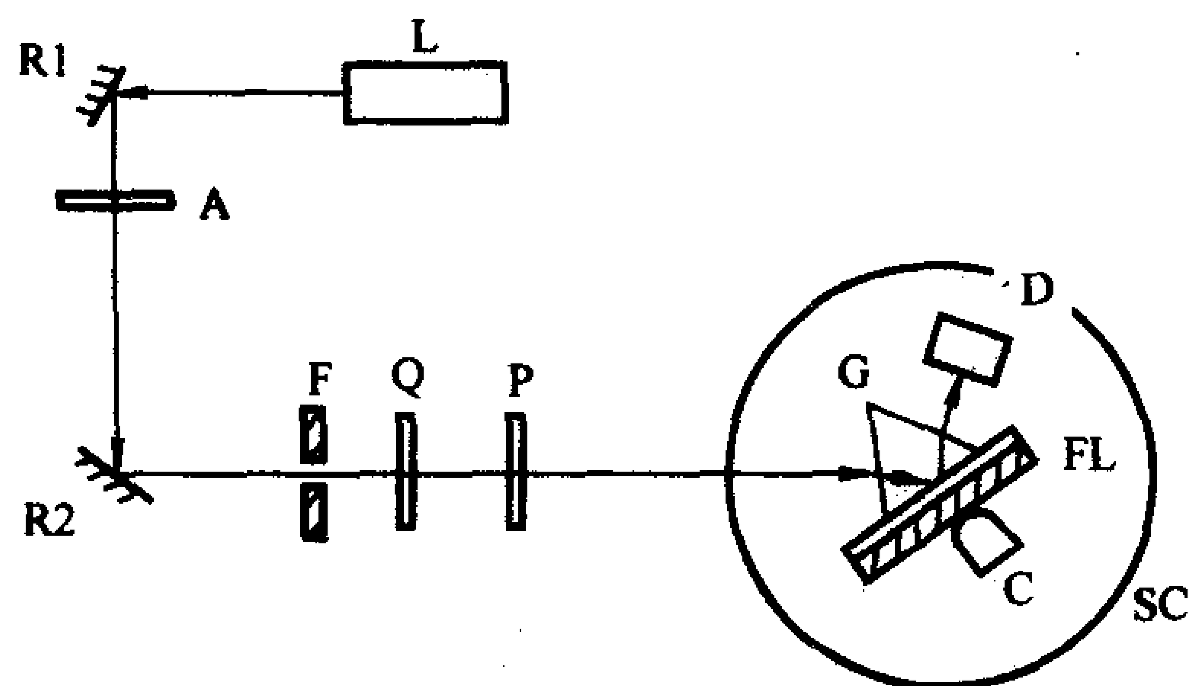


图4.11-14 棱镜耦合测量仪示意图

L—光源；R1、R2—反射镜；A—衰减片；F—滤波器；Q—1/4波片；P—偏振片；D—探测器；G—棱镜；C—耦合头；SC—转盘；FL—薄模样品

棱镜耦合法的测量精度与转盘的转角分辨率、所用棱镜折射率、薄膜的厚度和折射率范围及基底的性质等因素有关。折射率和厚度测量精度分别可达到 $\pm 10^{-3}$ 和（$\pm 0.5\%$ $+5$）nm。

棱镜耦合法存在于测量薄膜厚度的下限。测量用的光束需在膜层内形成两个或两个以上的导模，膜厚一般应大于300~480 nm（如硅基底和GaAs基底等）；若膜的折射率已知，则只需形成一个导模，膜厚应大于100~200 nm；测量范围依赖于待测薄膜及基底的性质，与所选用的棱镜折射率也有关系。但测量的薄膜厚度不存在周期性，是真实厚度。测量的膜厚范围为0.3~15 μm，待测样品的折射率值应小于2.6，某些情况下可达2.80。

棱镜耦合法不但可以测量块状样品和单层膜样品，还可以同时测量双层膜的厚度和折射率。

由于光波导材料二氧化硅的厚度一般都远高于一个椭偏周期，因而不适合用椭偏仪测量。棱镜耦合法是目前被普遍采用的较为先进的波导光学参数测量方法。

6.3 二氧化硅厚膜的刻蚀

硅基二氧化硅材料的刻蚀主要有湿法刻蚀和干法刻蚀两种方法，其中干法刻蚀又包括溅射刻蚀、离子束研磨、等离子刻蚀、反应离子刻蚀、反应离子束刻蚀等。对应用于光波导的二氧化硅材料而言，要求刻蚀的二氧化硅膜厚度达到6~8 μm，波导宽度也只有几个微米，并且要求刻蚀的侧壁要非常“陡峭”。由于湿法刻蚀的侧壁不够光滑，所以，一般都采用干法刻蚀来刻蚀二氧化硅厚膜。

目前普遍采用的是反应离子刻蚀（RIE，Reactive ion etching）技术。所使用的气态源是氟化物（CF_4、C_2F_6、C_3F_8 或者 CHF_3）或者碳氢化合物（CH_4、C_2H_4、C_2H_2）。对 SiO_2 膜的刻蚀速率能达到50 nm（500 Å）/min；对 SiO_2/Si 的刻蚀速率比值达到10~15；刻蚀出的波导侧壁比较“陡峭”。

此外，1999年Jung等人报道了一种改进的等离子刻蚀技术——电感耦合等离子刻蚀（Inductively coupled plasma etching）。对于掺锗的二氧化硅膜，刻蚀速率高达450 nm（4 500Å）/min。

编写：吴远大（中国科学院半导体研究所）

第 12 章　Si 基异质结构的外延生长

半导体薄膜生长技术的飞速发展使人们可以生长出晶体质量优良的半导体同质和异质结构材料，外延层的厚度可以精确控制到单原子层的水平，组分的控制精度达 1%，掺杂浓度在很宽的范围内精确可控。在最近的 40 年来，半导体技术的发展史可以说就是半导体材料生长的发展史，半导体器件和技术的每一次突破都与半导体材料生长的突破紧密相关。从 GaAs 同质结激光器、单异质结激光器、双异质结激光器、量子阱激光器到应变量子阱激光器的研制成功，再到面发射激光器和量子级联激光器的研制成功，材料生长技术的发展和进步在其中起到了关键性的作用。

Si 基材料的外延研究已有很长的历史，Si 的同质外延片已大量用于集成电路生产。但 Si 基异质外延材料的生长，特别是Ⅳ族材料的生长是近 20 年的事。Si 基异质结构材料中最重要、研究得最多的是 SiGe/Si 异质结构材料。SiGe/Si 异质结构材料的成功外延将能带工程引入到 Si 基材料和器件中，使人们可以利用能带工程这一重要手段设计、研制具有各种优异性能的器件，使 Si 基材料和器件的研究焕发出无穷的活力。

首先，由于 Si 与 Ge 可以以任意比例混合形成 SiGe 合金，SiGe 的能隙可以在 Si 与 Ge 的能隙间连续可调；其次，由于 Ge 的原子半径比 Si 大，生长于 Si 衬底上的 SiGe 材料将在生长平面内受到压应变，应变将改变材料的带隙和带结构，为 Si 基微电子和光电子器件的研制提供了新的设计自由度。如果使生长在 Si 衬底上的 SiGe 发生弛豫，再在其上生长 Si 薄层材料时，Si 材料将受到一个生长平面内的张应变，应变使 Si 的迁移率提高，可以大大提高器件的速度。

在弛豫的 SiGe 材料上还可以设计制备不同应变状态、具有不同能带对准结构的材料和器件。所以弛豫 SiGe 材料的生长也是人们研究的一个热点。Ge 在 Si 衬底上的生长遵循 S-K 生长模式，即开始生长的几个原子层是二维平面生长，继续生长时，由于应力的作用，将转化为三维岛状生长模式。利用 S-K 生长模式可以自组装生长出具有三维限制的 Ge 量子点材料。自组装生长的 Ge 量子点材料在微电子和光电子器件方面有重要的应用前景，因此，对 Ge 量子点生长过程中的形态演化、生长物理机制、生长参数与量子点各物理参数的关系、量子点位置的有序控制等方面的研究引起了人们的高度重视。

本章第 2 节将介绍 SiGe/Si 异质结构材料的生长设备和方法，鉴于衬底材料的清洁处理在 SiGe 材料异质结构外延中的重要性，我们在第 3 节专门介绍外延衬底材料的清洁处理技术，第 4 节介绍应变 SiGe 材料的生长，第 5 节介绍 SiGe 虚衬底材料的生长，第 6 节介绍自组装 Ge 量子点材料的生长。

1　SiGe/Si 异质结构材料的生长设备和方法

SiGe 材料的生长手段广义上分可以分为物理蒸发和化学气相淀积（Chemical Vapor Deposition，CVD）。前者在生长的过程中用的是单质源 Si 和 Ge，生长过程中没有源的化学反应过程，而化学气相淀积中用到的是化合物的气体，在生长过程中，化合物气体发生化学分解，分解形成的 Si 和 Ge 淀积在衬底。主要的物理蒸发方法就是固体源分子束外延（Molecular Beam Epitaxy，MBE）。它的最大优点是可以非常精确地控制外延层的厚度和组分。化学气相淀积方法同样用于生长高质量的 SiGe/Si 异质结构材料。生长 SiGe 材料的化学气相淀积方法有很多，如限制反应 CVD、快速加热 CVD、超高真空 CVD、气体源 MBE 等，其中超高真空化学气相淀积和气体源 MBE 是应用最多的生长方法。另外也有人结合固体源 MBE 和超高真空化学气相淀积方法，来生长 SiGe 合金，这种方法可以称为化学束外延（Chemical Beam Epitaxy，CBE），其生长设备的真空系统与 MBE 系统相似，但可以同时用固体源和气体源，生长 SiGe 合金时，Ge 源一般用固体源而 Si 源一般采用气态源，用这种方法同样可以获得质量优异的 SiGe/Si 异质结构材料。下面简单介绍生长 SiGe 材料的两种主要方法：固体源 MBE 和超高真空 CVD。

（1）固体源 MBE

图 4.12-1 是一台典型的固体源 MBE 设备，其真空系统由三个真空室组成，它们是：进样室、分析室和生长室，各真空室有独立的真空泵系统，真空室之间有阀门隔开。三真空室串连的结构使样品在进出生长室的传递过程中不破坏分析室和生长室的真空，可以保证分析室和生长室保持良好的本底真空。其中分析室和生长室是高真空室，它们的真空泵系统保持连续运转，以维持两真空室一直处于高真空状态。

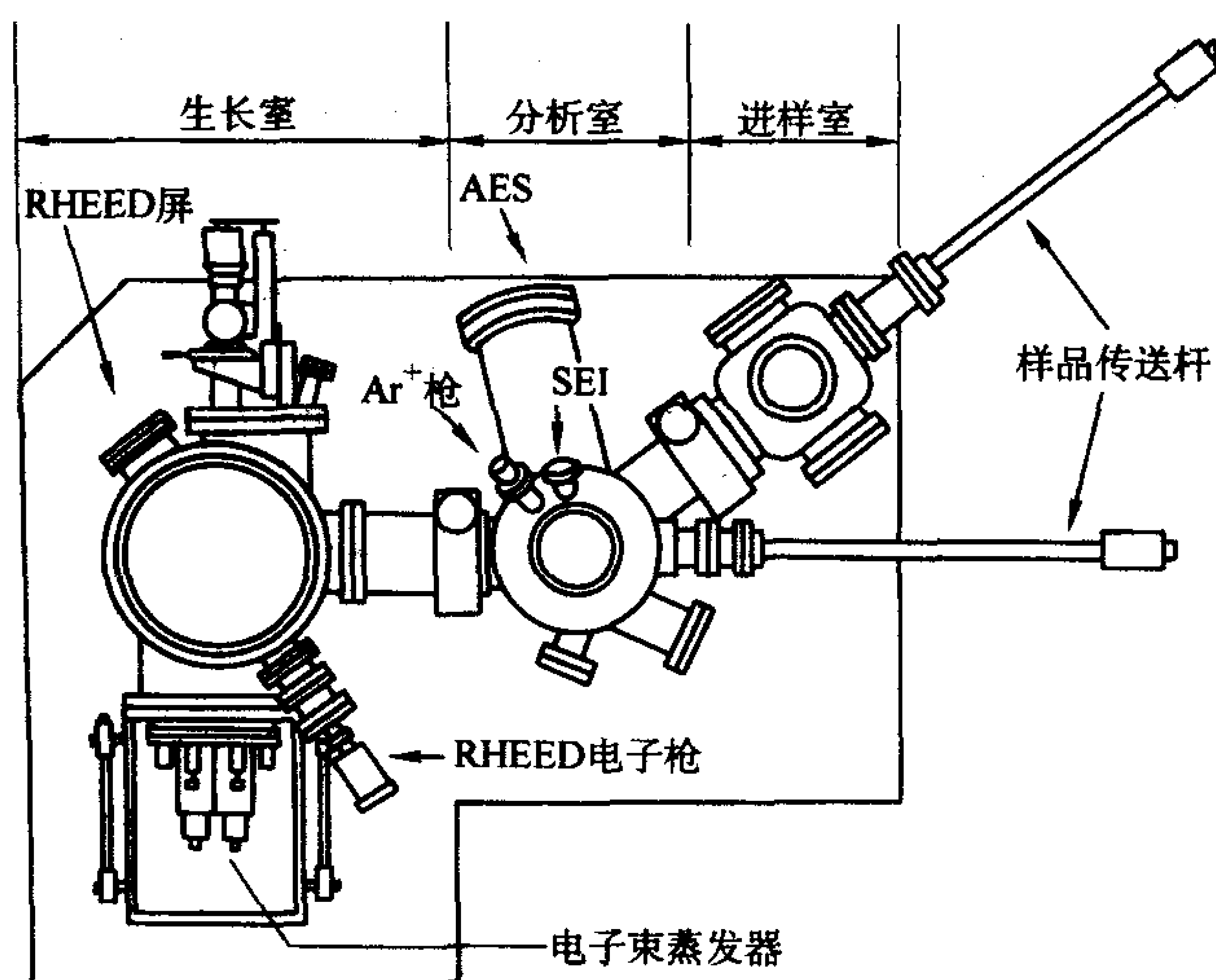


图 4.12-1　Si 分子束外延系统结构示意图

清洗好的清洁的生长衬底要进入生长室生长，首先被送入进样室，然后由进样室的真空泵系统对进样室抽真空，在进样室真空达到一定程度（一般在 10^{-4} Pa）时，打开分析室与进样室间的阀门，样品被送入分析室，在分析室中，样品可以存储、除气，还可以对生长前后的样品表面进行物理分析。在分析室中经过除气后，衬底被送入生长室，经脱氧处理，原位测试显示衬底表面达到原子级清洁时，就可以进行生长了。生长好的样品的取出与进样的过程相反。

在 MBE 系统中，通过将源炉中的原材料加热到熔点以上来获得生长源材料的分子束或原子束，用挡板控制喷射到加热衬底上的源材料，源材料在衬底上淀积或发生化学反应，生长成所需的外延单晶材料。在衬底表面的反应过程是一个非热平衡过程，从而人们可以更自由地设计和生长所需要的材料。在 SiGe MBE 系统中，由于 Si 和 Ge 的熔点很高，用通常的加热源炉达不到它们的熔点，所以要用电子束蒸发的方法获得 Si 和 Ge 的原子束。利用电子束蒸发除了使系统更加复杂以外，还会在生长室中产生辐射，这会在外延层中

引入一些缺陷，使材料的质量下降。有的 SiGe MBE 中 Ge 源改用蒸发源炉，以便降低辐射，从而降低外延层中的缺陷，提高材料质量。用电子束蒸发源炉还有一个问题就是 Si 在熔化时与几乎所有的标准坩锅容器发生反应。为解决该问题，一般是用水冷却的铜质容器来装 Si 材料，电子束通过聚焦打在 Si 的中心，只使中心部分的 Si 熔化，这样，熔化的 Si 只与未熔化的固态的 Si 材料接触，而不会与铜质容器接触，这样就减少了杂质的污染。

在用 MBE 生长 SiGe 材料中掺杂也曾经是一个很复杂的问题。由于物理和技术的原因，SiGe 的掺杂源中只有锑和镓的分子束比较容易用蒸发源炉获得。但是这两种材料在生长的过程中很容易发生偏析，总是聚积到样品表面。人们采用过多种方法来解决这一问题，但用得最多的方法是所谓的二次离子注入技术。该方法使部分的 Si 原子离化成为带电离子，同时加一偏置电压将 Si 离子加速，用经加速的 Si 离子轰击衬底表面，它会将掺杂原子撞击进衬底表面以下，从而减小掺杂杂质的表面偏析。这里，加速电压要控制好，以免在衬底表面产生太多的损伤。现在，性能优良的 P 和 B 的蒸发源炉已经研制成功，人们对于掺杂源有了更多的选择。由于 B 的表面偏析比 Ga 小，因此，B 成为 MBE 生长 SiGe 材料中最重要的 p 型掺杂材料。

(2) 超高真空 CVD

超高真空 CVD 生长 SiGe 材料是由 IBM 公司的 Meyerson 等首先发展起来的，图 4.12-2 是一台典型的超高真空 CVD 系统，与一般的 CVD 系统相比，它的最大特点是生长室的本底真空达到 133.322×10^{-9} Pa，这样，它可以将杂质污染降到很低的程度，而且可以避免样品传送到生长室后在表面形成自然氧化层。另外它实际上是一个多腔系统，除生长室外，还有进样室、预处理室、传送室等，以避免生长室暴露在大气中，减小污染。设备可以同时生长多个样品，而且单个样品的表面均匀性及同一批次生长的不同样品之间的一致性都很好，非常适合于规模化生产。

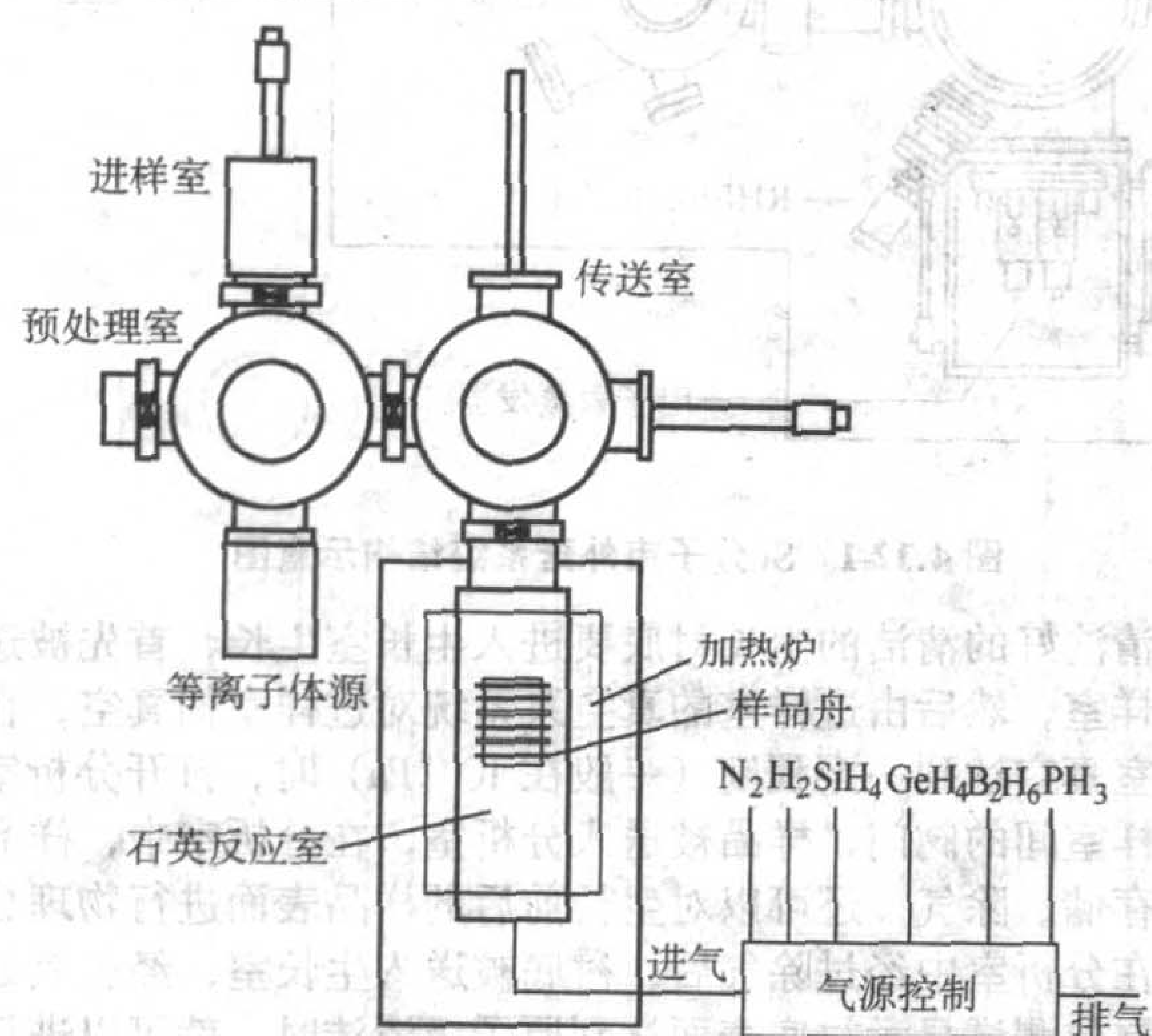


图 4.12-2　超高真空化学汽相淀积系统（UHV/CVD）示意图

图 4.12-3 是中国科学院半导体研究所与中科院沈阳科仪中心联合研制的另一种结构的 SiGe 超高真空 CVD 生长系统。由于它的真空系统与 MBE 系统很相似，生长过程中气压很低，气体在生长室中的输运过程中不经相互碰撞，以分子束流的形式直接射向衬底，所以，也有人把这种系统称为气体源 MBE 系统。该台设备由真空系统、供气系统、电气自动控制系统、尾气处理装置、安全报警系统等组成。真空系统与 MBE 系统相似，由进样室、预处理室和生长室等三个真空室组成。清洗好的样品由进样室送入预处理室，可以一次送入多达 8 个样品，样品生长前后可以储存在在预处理室中的样品储存架上，预处理室中还有除迄台，生长前样品在除气台上被加热到 200～300℃，可以将吸附在样品和样品托上的气体除去。生长室是设备的主体，其本底真空达到 2.8×10^{-8} Pa。衬底加热的最高温度可以达到 1 050℃，满足高温脱氧的要求。每次生长一个 50.8 mm（2 in）或 76.2 mm（3 in）的样品。在生长过程中衬底可以旋转，以提高样品的均匀性。生长室配备有反射高能电子衍射仪，可以对样品生长表面进行原位监测。生长室还配备有四极质谱仪，可以用来研究生长过程中气体分子的反应过程，也可以用来检漏。

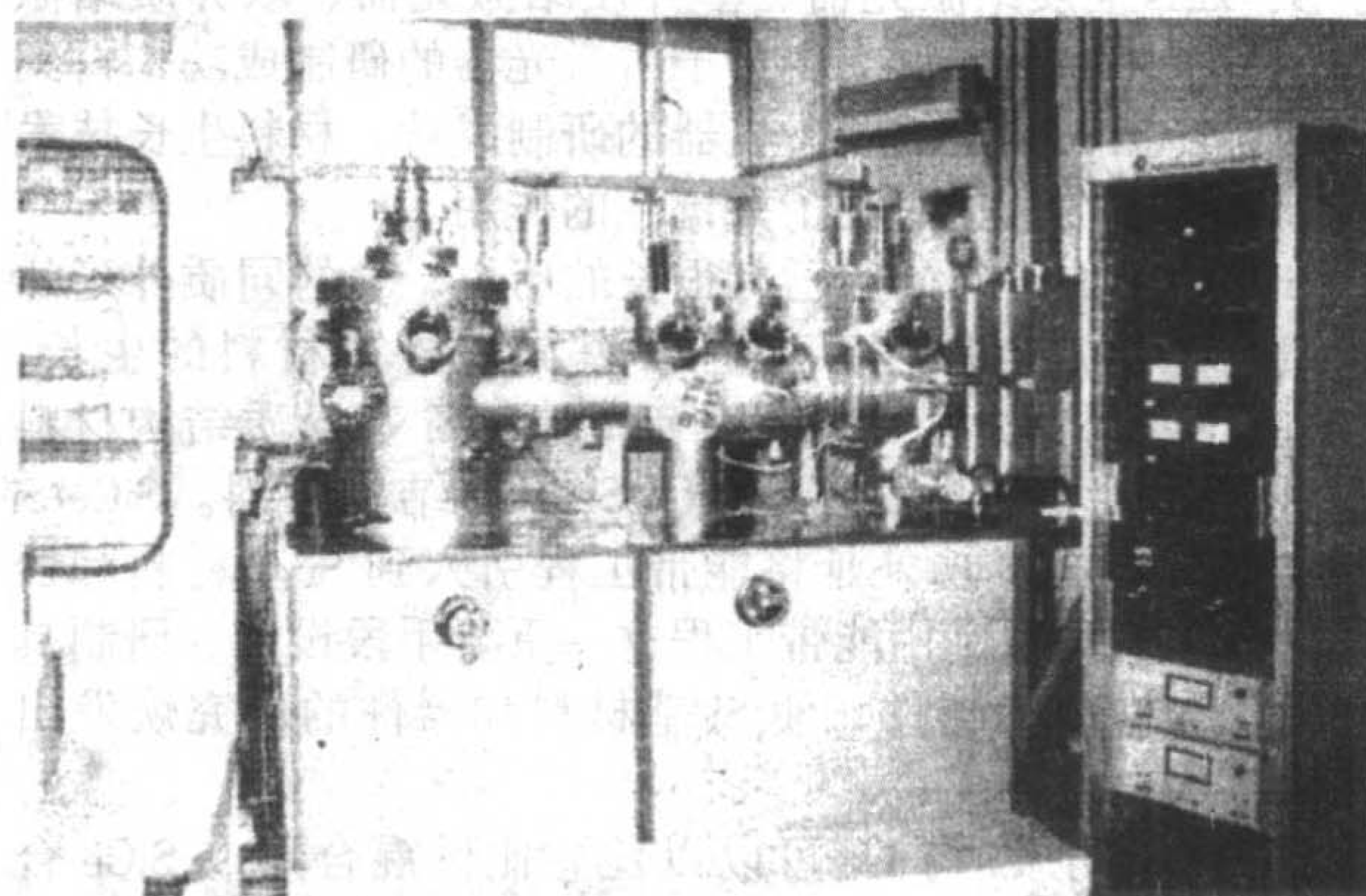


图 4.12-3　国产用于 SiGe/Si 材料生长的超高真空化学汽相淀积系统

2　外延衬底材料的清洁处理

要生长出晶体质量优越的外延材料，要满足的条件主要包括：原子级清洁的衬底表面；无污染的环境（超高真空或惰性环境）；高纯源材料；源与衬底间合理的空间设计；均匀的衬底温度；没有杂质污染；原位监测和控制等。在 Si 基外延材料生长中，最重要的可能就是外延衬底的清洗和原位表面清洁。

Si 是活性很高的半导体材料，在空气中很容易与氧气和水发生反应，在表面生成纳米级厚度的 SiO_2 层，在有 SiO_2 层的衬底上是不能生长出单晶材料的。另外在大气中 Si 衬底很容易与 C 结合成键，C 的沾污会使外延层生长过程中形成大量缺陷，严重影响外延材料的生长质量。目前最主要的获得清洁衬底表面的方法有两种，一种是在清洗干净的 Si 衬底表面形成一层薄的氧化硅层，以防止样品传输过程中 C 等的直接沾污，在样品生长前进行原位处理，将氧化层去掉。另一种方法是用 H 进行钝化。下面分别介绍这两种方法。

(1) 薄氧化层方法

衬底经有机溶剂清洗后，再分别用 $H_2SO_4:H_2O_2=4:1$ 的溶液煮至沸腾，用去离子水冲洗干净后再用 $NH_4OH:H_2O_2:H_2O=1:2:5$ 的溶液煮至沸腾，然后用 HF 的水溶液去掉表面的氧化硅层，再将样品放入 $HCl:H_2O_2:H_2O=1:2:5$ 的溶液中煮至沸腾，这样可以在 Si 衬底表面形成一层厚度在 1 nm 以下的致密的氧化硅钝化层。经去离子水多次冲洗后就可以传输进入进样室了。由于有氧化硅层的保护，衬底在传递的过程中不会与空气中的杂质反应和被直接污染。衬底在生长室中进行生长前，先要将氧化硅层去掉，同时用反射高能电子衍射仪（RHEED）观察衬底表面。在氧化硅层去掉前，RHEED 的衍射图样为点状分布，当氧化硅层被除去后，可以观察到明锐的条状分布的 RHEED 表面再构图样，这时就可以正式进行生长了。

在生长室原位除去氧化硅层的方法有几种，其中最简单的方法是在高真空状态下进行高温脱氧。将衬底温度提高到合适的温度，并保持 5 ~ 10 min，氧化硅层就可以被除去。其反应过程可以用如下反应式来表示：



$$SiO_2 + Si（晶体）\rightarrow 2SiO（气）$$

表面的 SiO_2 层与其下的晶体 Si 反应生成一氧化硅，一氧化硅以气态的形式从表面挥发掉。

如果衬底是有一定掺杂分布和图形的样品，由于上述高温脱氧可能会引起衬底中掺杂杂质的重新分布，这是人们所不愿意看到的，所以人们试图采取措施降低脱氧温度，减少衬底杂质的再分布。如果在高温脱氧过程中同时通入少量的 Si 源，则 Si 与 SiO_2 反应生成 SiO，SiO 可以被立即蒸发掉，这样可以增强脱氧的进程，可以将脱氧的衬底温度降低，这对于减少有图形分布的衬底样品由于脱氧引起的杂质再分布等有重要的应用价值。在高温脱氧过程中通入 Ge 源也是一种有效降低脱氧温度的方法。在低于 650℃下 Ge 就可以与 Si 衬底表面的氧化硅反应生成 SiO，并挥发掉，使脱氧温度大大降低。当然精确控制 Ge 源的输入量非常关键，太少了不足以使氧化硅层完全脱去，影响材料质量，通入的量太多，则可能在衬底上生长 Ge，也将影响后续的材料生长。另外还可以将 H_2 离化生成 H 离子或 H 原子，它们有比 H_2 高的活性，可以与表面的 SiO_2 层反应，从而除去氧化层。

（2）H 钝化法

当在有图形和载流子分布结构的衬底上生长时，如果用以上介绍的薄氧化层法来获得原子级清洁的 Si 表面层，即使采取措施降低脱氧的温度，热过程还是会不可避免地使衬底的载流子分布发生变化，因此，有必要找到一种新的无热过程的方法来保证在 Si 衬底上生长材料时有原子级清洁的 Si 表面。H 钝化就是一种很好的方法。

用 HF 腐蚀过的 Si 表面，其表面的 Si 悬挂键会被 H 原子钝化，阻止 Si 原子与空气中的氧和水反应生成 SiO_2 层。虽然有人报道用 HF 腐蚀过的 Si 表面在大气环境下会很快被氧化，生长出 0.4 ~ 0.8 nm（4 ~ 8 Å）的氧化层，在 24 h 后达到 1.5 ~ 2 nm（15 ~ 20 Å）的饱和厚度，但人们发现，这不一定正确。人们发现经 HF 腐蚀过的 Si 表面会形成一层 H 原子吸附层，它会使 Si 表面与氧和水等反应的活性减小 13 个数量级。这说明，经 HF 处理的 Si 表面由于 H 的钝化作用，在空气中不会很快形成自然氧化层，也就是说，在生长前不需要进行原位清洁处理。

当然，H 钝化阻挡 Si 的氧化是有限的，经 H 钝化的 Si 片较长时间暴露在大气中后还是会形成自然氧化层，所以如果采用 H 钝化的方法，样品的传输过程必须快，最好在传输过程中用 H_2 保护。另外，Si 表面吸附的 H 从 Si 表面脱附出来的脱附能为 $E_A = 248.53$ kJ（59.4 kal）/mol，在 400℃以上时脱附过程会大大加快，所以最好在 Si 衬底温度达到 400℃前即开始生长过程，至少在 Si 衬底温度超过 400℃后必须马上进行生长，以保证 H 的钝化效果。

3　应变 SiGe 材料的生长

在 Si 衬底上生长 SiGe 合金材料时，由于 Ge 的原子半径比 Si 大，SiGe 材料在生长平面内会受到一个压应变。应变的大小与 SiGe 合金中 Ge 的组分有关，Ge 组分越大，受到的压应变也越大。随着 SiGe 层的生长，SiGe 层的厚度增加，应变能也随着增加，当应变能增加到一定程度时，材料会通过产生位错或形成表面起伏来释放应变，降低应变能。在应变达到形成位错之前，应变往往会使 SiGe 材料的表面形成具有一定方向选择性的起伏，在这些波浪形起伏的波峰处，材料在生长平面内具有较大的晶格常数，而在波谷处具有生长平面内较小的晶格常数，继续生长 SiGe 层时，由于 Ge 的晶格常数比 Si 的晶格常数大，Ge 原子会优先生长在波峰处，而 Si 原子会优先生长在波谷处。在这样的 SiGe 层上生长 Si 层时，由于 Si 会优先生长在波谷，所以，Si 层的生长很快就可以将材料表面生长平整。当然人们最希望生长的 SiGe/Si 材料应该具有界面平直、晶格质量完整等特点。

在生长应变材料时，有一个临界厚度的限制，当生长厚度低于临界厚度时，材料可以实现无位错生长。当生长的应变层的厚度超过临界厚度时，材料会通过形成位错的形式来释放部分或全部应力，位错的形成会严重影响材料的质量和性能。所以为了得到质量优良的应变材料，一定要控制其厚度小于临界厚度。图 4.12-4 所示为生长在 Si（100）衬底上的 SiGe 材料的临界厚度与 SiGe 合金中 Ge 含量的关系。从图中可以看出，随着 Ge 含量的增加，SiGe 层的临界厚度迅速减小。临界厚度大大限制了 SiGe 材料和器件设计的自由度。特别是对于要求高 Ge 组分的 SiGe 材料和器件，临界厚度成为限制的一个重要方面。

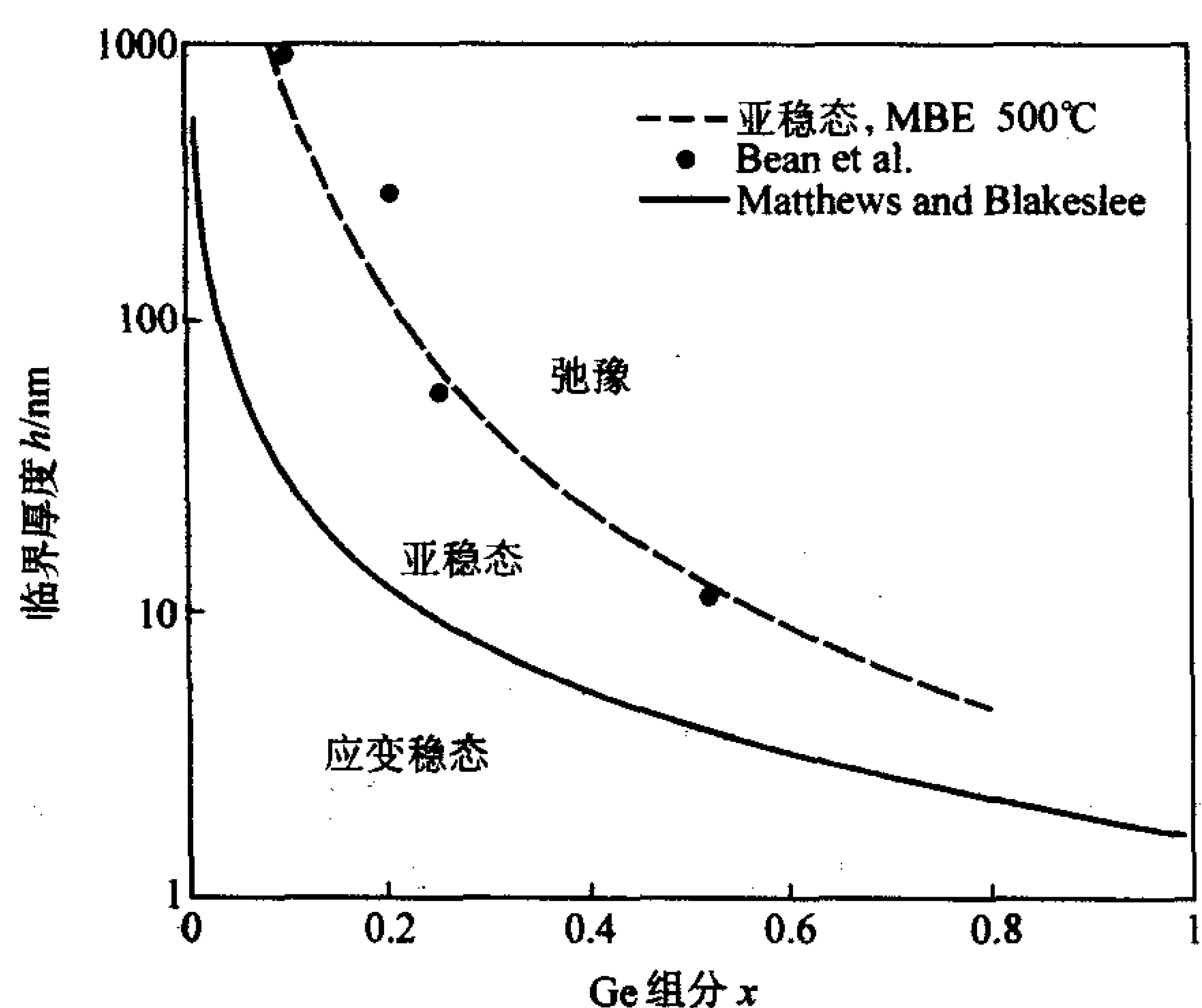


图 4.12-4　生长在 Si（100）衬底上的 SiGe 合金材料的临界厚度与 SiGe 合金中 Ge 组分的关系

要突破临界厚度的限制，采取应变补偿是一种很好的方法。对于 SiGe 材料来说，研究得最多的是在 SiGe 层中掺入 C。C、Si 和 Ge 的原子半径分别为：0.091 nm，0.146 nm 和 0.152 nm。由于 C 原子比 Si 和 Ge 原子的半径小，C 的掺入可以有效地补偿 SiGe 中 Ge 所引起的应变。理论上可以推算，一个 C 原子可以补偿 9 个 Ge 原子引起的应变。这样，如果设计合理，可以在 Si 衬底上生长出无应变的 SiGeC 材料。但是由于 C 在 Si 和 SiGe 中的固溶度很低，即使采用非平衡生长模式，C 的含量也难于提高，一般在 5% 以下，所以，要获得高 Ge 组分的无应变 SiGeC 还是有难度。但毕竟 C 的引入为人们提供了一个补偿应变，突破临界厚度限制的有效途径。

4　SiGe 弛豫衬底的生长

由 SiGe 的相图可以知道很难用 Si 和 Ge 的熔体得到 SiGe 合金衬底材料，所以 SiGe 弛豫衬底材料也被称为 SiGe 虚衬底。SiGe 弛豫衬底材料有广泛的应用前景，在 Si 基光电子和微电子器件的研究中具有重要的意义，所以，SiGe 弛豫衬底的生长研究非常活跃。在 SiGe 虚衬底上可以生长出张应变的 Si 和 SiGe 材料，还可以生长出应变对称的超晶格材料等，以满足不同器件的要求。如果超过临界厚度的 SiGe 材料直接生长在 Si 衬底上，SiGe 层将发生弛豫。弛豫时失配位错在 SiGe 与 Si 的界面产生，并沿 {111} 面滑移，从而形

成沿［110］和［1$\bar{1}$0］方向的线位错。由于这些失配位错都产生于SiGe与Si的界面处，它们会相互作用，从而阻止线位错滑移到样品的边缘。由于这些失配位错必须最终在样品的表面露头，从而形成短而高密度的穿透线位错，这种在Si上直接生长SiGe弛豫层的方法在外延层中将产生大量的穿透位错，密度可以达到$10^9\ cm^{-2}$，用这么高位错密度的外延材料不可能制作出好的光电子和微电子器件。减少位错密度的方法是使线位错的长度增大，最理想的方式是使位错滑移到样品的边缘，从而不会影响到生长在其上的有源层。要增大位错线长度必须满足三个条件，首先，生长温度要足够高，使位错线的成长速度远大于材料的生长速度；其次，钉扎中心和位错间的相互作用要求足够小，以有利于形成长的位错线；再其次，产生位错的激活能要大于使位错滑移的激活能。对于SiGe系统，产生位错的激活能为2.5 eV，而位错滑移所需的能量为2.25 eV。所以在生长优质SiGe虚衬底时，主要是要采取措施满足前两个条件。

人们已经发展了多种有效的方法来生长高质量的SiGe弛豫衬底材料。提出最早、使用最多的有效方法就是Ge含量缓变层的生长，即Ge含量从零开始，逐渐缓慢增加，直到Ge含量达到要求的值，再在过渡层上生长固定组分的应变弛豫的SiGe虚衬底。采用这种方法，用CVD和MBE都生长出了质量很好的SiGe虚衬底。为了保证好的晶体质量，组分渐变过渡层中Ge含量的增加速度应该严格控制，一般每1 μm厚度SiGe缓变层中Ge的含量增加不能大于10%。应力在组分渐变层中逐渐以位错的形式释放。这一方法虽然被广泛应用，但也有它的一些缺点，例如，生长的组分渐变层的厚度达到几个微米，生长的时间和成本都比较高。低能等离子体增强CVD被发展用于快速生长组分渐变的SiGe虚衬底材料，生长速度达到每秒钟7 nm。这样厚的SiGe层还带来了导热的问题。这是由于SiGe的热导率比体Si和Ge的热导率都低很多。如$Si_{0.8}Ge_{0.2}$的热导率为5.1 W/（m·K），而Si和Ge体材料的热导率分别为140 W/（m·K）和70 W/（m·K）。发展薄的虚衬底技术就显得很重要，这不仅可以解决热导的问题，同时可以减少生长时间，节约成本。

另一种虚衬底生长技术是所谓的低温Si技术，就是在Si衬底上超低温生长一薄层Si作为应力释放层，生长温度比正常生长单晶的温度要低，厚度约50 nm，这一Si层由于生长温度很低，其中有很多的点缺陷。在这样的Si层上再在正常温度下生长SiGe层时，Si层中的点缺陷会成为应变弛豫的成核点。TEM研究显示位错向下穿透进入衬底，在界面处还形成了位错环，阻止位错向上穿透到样品表面。

还有一种方法是用SOI作为衬底，首先在SOI衬底上生长厚度小于临界厚度的应变SiGe层，但SiGe层的厚度必须大于SOI表面的Si层的厚度。然后样品在高温下进行退火，使SiGe的应变得到释放，发生弛豫，在SiGe层的弛豫过程中，由于SiGe层比Si厚，Si层的晶格常数会屈从于SiGe的晶格常数，位错在Si中形成并向下进入SiO_2层。该方法的局限性在于不能获得高Ge组分的SiGe虚衬底。

另外，采用离子注入技术来实现SiGe虚衬底的方法也获得了比较好的结果。首先，在Si衬底上生长应变的SiGe合金层，接着进行H离子注入，在SiGe/Si异质结界面附近的Si层一侧形成一薄的损伤层，然后进行退火，在退火过程中，注入形成的损伤层会大大增强应变的弛豫，在界面处形成位错环。

与Si衬底上的MOS电路相比，以SOI为材料的MOS芯片在高速、低功耗、抗辐照等方面有很明显的优势，近年得到了飞速的发展。如果在SOI上获得应变的Si材料，则可以得到进一步优化的器件和芯片，所以人们投入了很大的热情来制备SG-OI（SiGe-on-insulator）。在SG-OI衬底上就可以很容易地生长出应变的Si材料，从而获得绝缘层上的应变Si材料，所以，SG-OI是一种很有发展前途的SiGe虚衬底材料。制作的方法很多，主要包括①SiGe外延材料中注氧形成氧化物埋层；②Si衬底上外延弛豫SiGe材料，再采用键合技术将其键合在有SiO_2表面的Si片上，最后进行背面减薄，在SiO_2上留下一层弛豫的SiGe层；③利用智能剥离（Smart-cut）技术，将外延生长的一层SiGe材料经过键合和智能剥离技术转移到Si衬底表面的SiO_2上；④氧化方法，就是在SOI（Silicon on insulator）上生长SiGe层，然后经氧化，在表面形成氧化层，随氧化层厚度的增加，Ge被往SiGe层下的Si层内驱赶，由于上下两个SiO_2层的限制，Ge被限制在它们之间，最终形成有较高Ge含量的弛豫的SiGe层，腐蚀表面的氧化层，即可得到SG-OI材料。

5　自组装Ge量子点的生长

材料的平衡生长模式有三种：Frank-van der Merwe（FM，层状）、Volmer-Weber（VW，岛状）和Stranski-Krastanov（SK，先是层状生长，然后是岛状生长）。

图4.12-5示出了三种生长模式的生长过程。晶体薄膜的平衡生长按哪一种模式生长取决于衬底表面能、薄膜表面能和界面能。如果薄膜表面能和界面能之和总是小于衬底的表面能，即满足浸润条件，则是层状生长，反之，如果薄膜表面能与界面能之和总是大于衬底的表面能，则生长会是岛状生长模式。中间情况是在开始生长时，满足浸润条件，是层状生长，但由于存在应变，随生长层数的增加，应变能增加，使界面能增加，从而使浸润条件不再满足，外延层会形成位错以释放应变或者在表面原子有足够的迁移率时，形成三维的岛，从而生长转化为岛状生长。虽然大多数的低温生长过程是远离平衡态或接近平衡态的生长，但平衡生长模式是材料生长的热力学极限情况，对真实的材料生长模式有重要的决定作用。

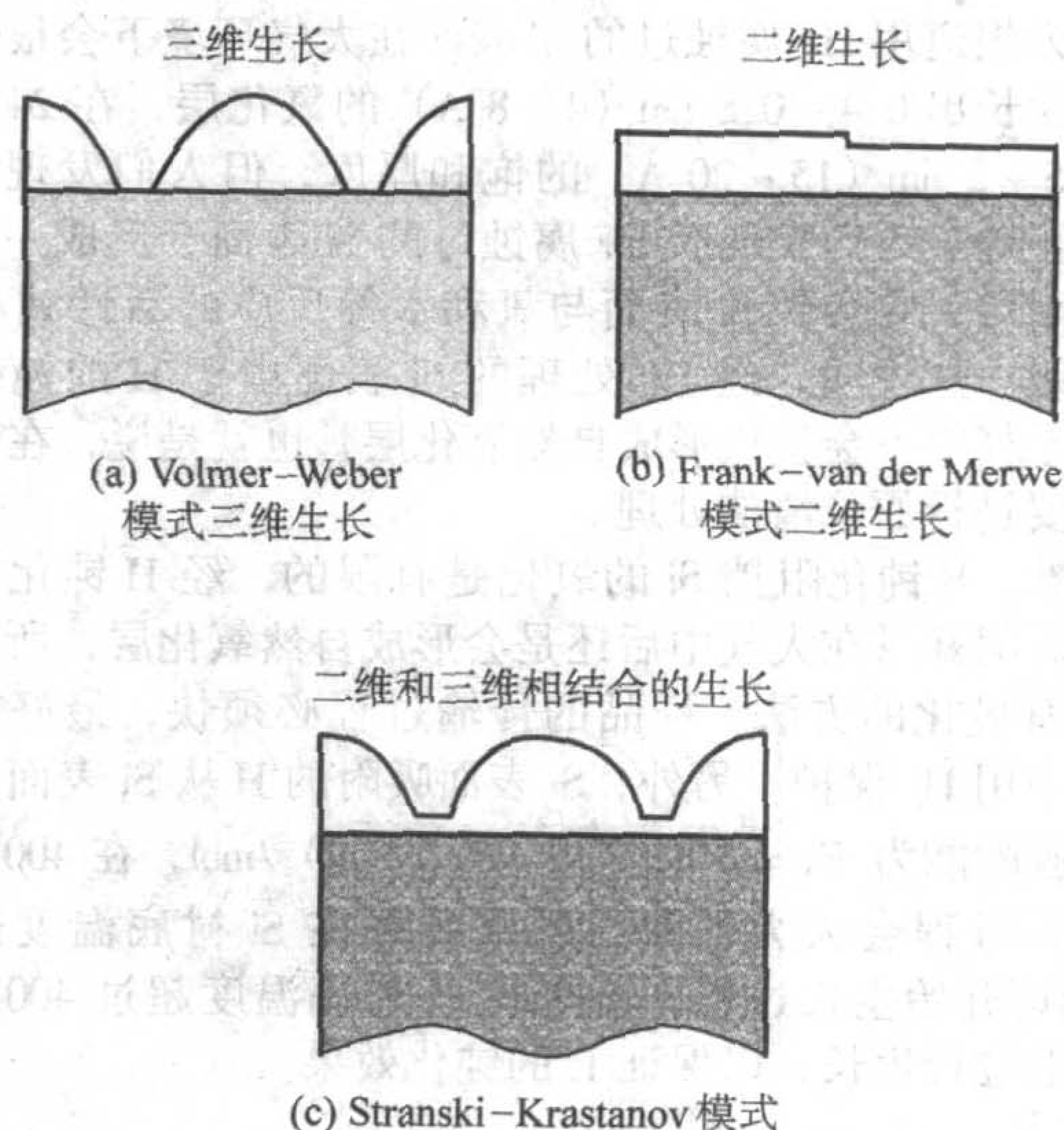


图4.12-5　半导体外延生长的三种主要生长模式

Si衬底上生长Ge时，Ge的晶格常数比Si大，晶格失配为4.2%。Ge-Ge键比Si-Si键弱，所以Ge具有比Si小的界面能。这样，在Si上生长Ge时，开始时满足浸润条件，生长是层状生长，随生长厚度的增加，应变能增加，浸润条件不再满足，生长转化为岛状生长。所以Si衬底上生长Ge是典型的S-K生长模式。利用这一生长模式，控制好生长条件，就可以以自组装的方式生长出不同形状和分布的Ge量子点材料。

5.1 Ge量子点的形貌演化

前面已经提到，利用S-K生长模式，可以在Si上生长出Ge量子点。对于Ge量子点的生长形成过程的理解有利于我们控制生长条件来获得所需要的Ge量子点。人们的大量研究结果表明，Ge量子点的生长形成过程可以分为以下几个阶段：Ge浸润层的形成、金字塔岛的形成、金字塔状岛向圆顶岛的转变、圆顶岛向位错岛的转变。

在Si上生长的Ge层厚度小于2个原子层时，生长是二维生长过程，即形成所谓的浸润层，但并不是简单的均匀的Ge薄层，而是形成具有空行的Ge表面，这是因为这样的表面要比均匀的表面有更低的能量。当Ge层为一个原子层厚度左右时，由于双原子空位行的出现，表面形成（2×n）再构，n为两个空位行之间双原子键的数目。随着Ge的进一步生长，n会不断减小，以增加单位面积内空位行的数目，从而获得低的表面能量。进一步增加Ge的厚度时，则会在与双原子空行相垂直的方向形成双原子列的空位，表面形成有两组正交的空行形成的（m×n）再构。当Ge的厚度达到3个单原子层时，表面会形成局部的补丁状形貌，这是一个准二维的结构，这些补丁是三维岛的前身。在Ge层厚度为3.5原子层左右时，补丁状的二维岛向高宽比约为0.04的圆底三维岛演变。Ge层再增加时，岛的形状发生质变，底宽变小，高度增加，并向形成{105}面的金字塔过渡。在大约3.85分子层厚时，已经发展成为截顶的金字塔结构。当Ge层厚度继续增加，达到4个分子层厚度时，则发展成为尖顶的金字塔结构。除了由4个{105}面围成的正方形底座的金字塔外，人们也发现了由4个{105}面围成的底座为矩形的尖顶形岛。这种尖顶形岛是亚稳的，而正方形底座的金字塔岛是稳定的，所以人们观察到比较多的是金字塔状的岛。随着Ge的继续生长，金字塔形岛将向圆顶岛演化。圆顶岛实际上是多面的岛，由多个晶面包围而成。对于金字塔形岛向圆顶岛的演化过程的研究比较多，演化过程是由运动学过程还是由热力学平衡过程决定的理论争论到目前还没有结论。但实验结果更趋向于认为是自限制运动学生长过程或者热力学平衡过程。在形成圆顶状岛后，随Ge的进一步淀积，应力会增加，在岛的边缘，应力最集中，当应力达到足够大而不能释放时，会在岛的边缘处首先形成位错，以释放部分应力。研究还表明，位错的形成不是连续的，而是一个阶跃过程。岛在产生一个位错后，随生长的进行，只是岛的高度增加，直到能量增加到更利于下一个位错的产生，新的位错的产生伴随着岛的宽度的突变，高度突然下降，这样岛的形状的变化呈现振荡规律。

5.2 Ge量子点尺寸的控制和密度的提高

大部分Ge量子点的应用（比如说硅基发光、量子计算、单电子晶体管等）的一个很重要的前提是使得Ge岛的尺寸在10 nm以下，以达到真正意义上的量子点，并且密度还需要很大地提高。近年来人们通过系统改变生长条件对Ge岛的大小、密度、分布等进行了多方面的研究，发现直接外延生长的Ge岛尺寸都在50 nm以上，且密度也很难突破10^{10} cm^{-3}。近年有些在Si衬底上直接生长超小型的Ge或GeSi量子点的报道，M.W.Dashiell在低温下生长出底宽小于10 nm的Ge岛，但是后续的退火实验发现这种Ge岛很不稳定，随着退火温度的提高，Ge-Si的互混越来越严重，最终致使岛对载流子的三维限制作用失去作用，可见这是一个明显的低温下运动学限制下形成的超小型Ge岛。

为能真正有效缩小Ge岛的尺寸同时提高其密度，在衬底表面掺杂，利用杂质中心诱导成核是一个可行的选择。1997年Schmidt首先报道了在生长完Si缓冲层后，在550℃时淀积0.2分子层（ML）的C，然后在同样温度下生长2 ML的Ge，得到底宽10 nm、高1 nm、密度约1.0×10^{11} cm^{-3}的超小Ge岛阵列。随后的光荧光实验证实了其量子点相关的荧光有很大增强。这一结果令人兴奋，随后很多人对此进行了研究。人们认为，在淀积极少量C后，表面呈现（2×1）再构与（4×4）再构相间的情况，其中C存在的区域为（4×4）再构。由于Ge和C之间存在着强烈的排斥作用，所以淀积的Ge首先在（2×1）区域聚集成岛，呈现出VW生长模式，岛的大小与密度很大程度上由（2×1）再构区域的大小和密度所决定。

Y.Wakayama改变生长结构，在生长1～2 MLGe浸润层后，淀积少量的C，然后再淀积Ge。发现碳原子在浸润层上引入了很强的应力场，使随后淀积的棚屋顶状Ge小岛不稳，提前向圆屋顶形的岛演化，这样在本该形成双模分布的小岛的较低的生长温度下，得到了圆屋顶形的Ge岛，而在这样的温度下岛的密度也较大。合理的控制参数可以得到底宽40 nm、高5 nm，尺寸均匀的圆顶型的Ge岛，且密度接近10^{11} cm^{-3}，PL谱显示与岛相关的荧光比一般情况下提高了一个数量级，是一个很好的结果。

硼原子由于原子半径与碳相似，在Ge的形成过程中可能与碳原子扮演相似的角色。同时，硼作为P型掺杂剂在大部分生长设备中可以被方便地引入，所以硼对Ge量子点大小与密度的影响值得关注。

中国科学院半导体研究所首次对浸润层上的B原子对Ge量子点形成的影响进行了系统研究，并得到平均底宽和高度分别为32 nm和1.2 nm，密度达到4.6×10^{10} cm^{-2}的超小型Ge量子点。在Si（001）衬底上先生长约为250 nm的Si缓冲层，然后生长2 ML Ge浸润层（ML-Ge），接着通B_2H_6引入B原子（流量1sccm，5 s），最后生长一系列不同厚度的顶层Ge（Top-Ge），以研究B原子对Ge量子点演化的影响，生长温度均为520℃。实验发现：B原子的引入会在浸润层上形成一个应力场，使得在接下来生长很薄（2～3 ML）的顶层Ge时就促使之形成高密度的超小型Ge量子点（图4.12-6）；当顶层Ge较厚（4～5 ML）时，B的应变补偿作用就显现了出来，表现为使得Ge临界厚度增加，延缓Ge量子点的形貌演化。

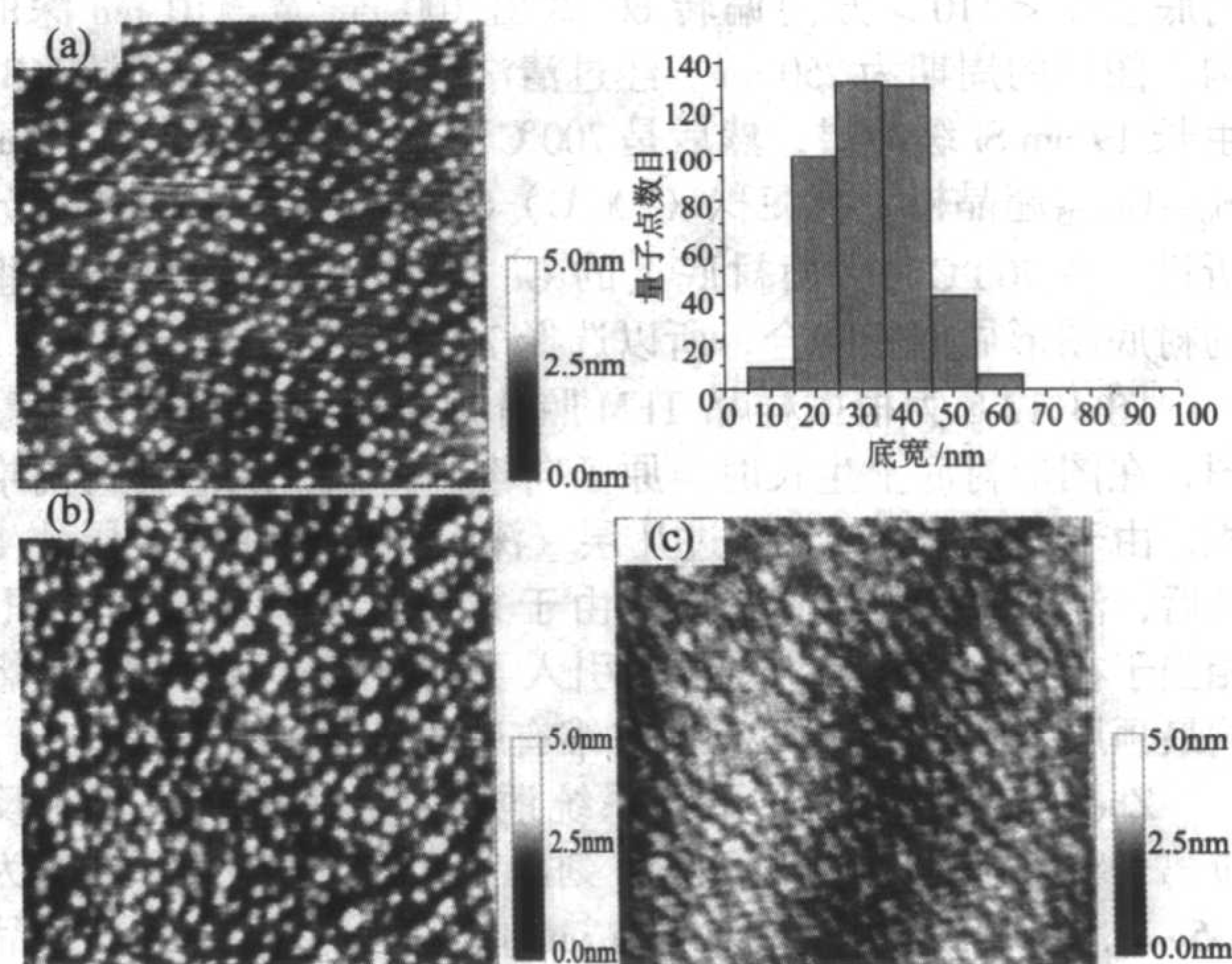


图4.12-6 2 ML顶层Ge量子点AFM照片及尺寸分布（a）；3 ML顶层Ge量子点的AFM照片（b）；生长条件与（b）相同，但是没有引入B原子的表面AFM照片（c）

综上所述，利用预淀积的杂质原子诱导成核在缩小Ge岛尺寸、提高密度方面具有很大优势，虽然这种方法得到的量子点位置是随机分布的，但对Ge量子点在硅基光电子方

面的应用具有重要意义。

5.3　Ge量子点的有序性控制

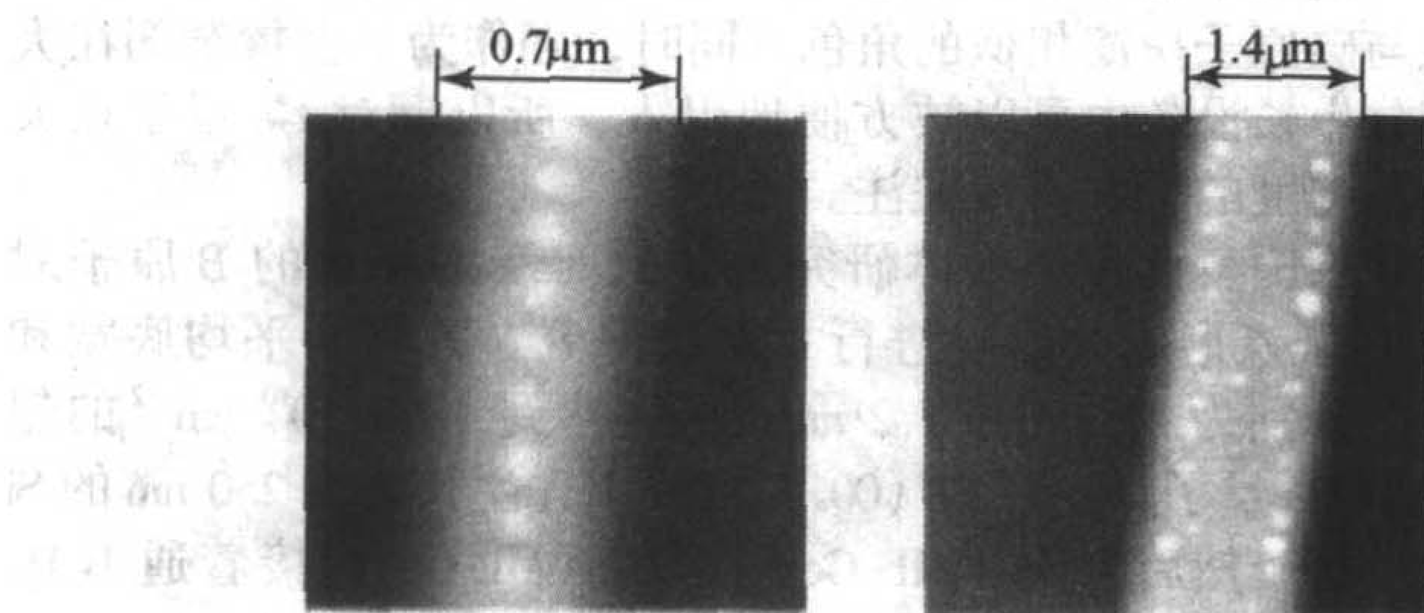
（1）图形衬底上生长Ge量子点

在Si衬底上Ge薄膜将以S-K模式生长。生长时表面新增原子总是倾向于在表面化学势最低处吸附成核，而表面化学势与衬底表面形貌、应变分布情况等相关。另外，运动学因素也是必须考虑的方面，因为大多数外延生长都是在远离热力学平衡态时进行的。这些因素包括生长条件、衬底粗糙度和清洁程度等。

利用图形衬底生长有序Ge岛，就是通过改变衬底的形貌，从热力学与运动学方面对生长过程中Ge原子的运动加以控制，使之在我们期望的位置优先成核长大，达到控制Ge岛分布的目的。具体实施可以有多种方法，比如：利用台面图形的边缘所提供的成核中心；钝化薄膜的（SiO_2）窗口的外延选择性；直接在图形表面生长有序的量子点阵列；还可以在图形的表面生长多量子阱以对应力进行调制，然后再进行量子点生长。各种方法各有特点，其中最关键的决定Ge岛最终分布的机制也不尽相同。

G.Jin利用SiO_2窗口的外延选择性，对有序生长Ge岛进行了较为系统地研究，并成功生长出一维整齐排列的Ge岛。其实验为：用普通光刻在热氧化SiO_2层上刻出不同宽度（0.7～3.0 μm）的一维条形窗口，在660℃选择性生长120 nm Si层，然后在630℃条件下淀积一定量的Ge，图4.12-7即为不同窗口宽度时的AFM照片。

在0.7 μm底宽的条形Si台面上得到了整齐的一维Ge岛排列，进一步的研究表明这些Ge岛是圆顶型，其尺寸大约为80 nm底宽、20 nm高，岛与岛之间的距离为110 nm。Ge岛出现这种形貌与相应的条形Si台面的形貌是分不开的，因为在选择性生长Si台面过程中，各个面的生长速率不同，在生长初期条形台面的侧壁为{113}面，随着Si层厚度的增加，变为{111}面，并且Si层顶部平坦部分的宽度也不断减小，最终在其生长到120 nm时形成表面中心上凸的脊形。这些上凸的表面是张应变的，这样从能量角度看，晶格常数大的Ge原子将优先扩散到台面的中心成核；另外在生长Ge的过程中，由于SiO_2的存在，使得Ge原子沿侧壁向顶部迁移。岛与岛之间通过应力相互作用对提高Ge岛均匀性也起了相当大的作用。



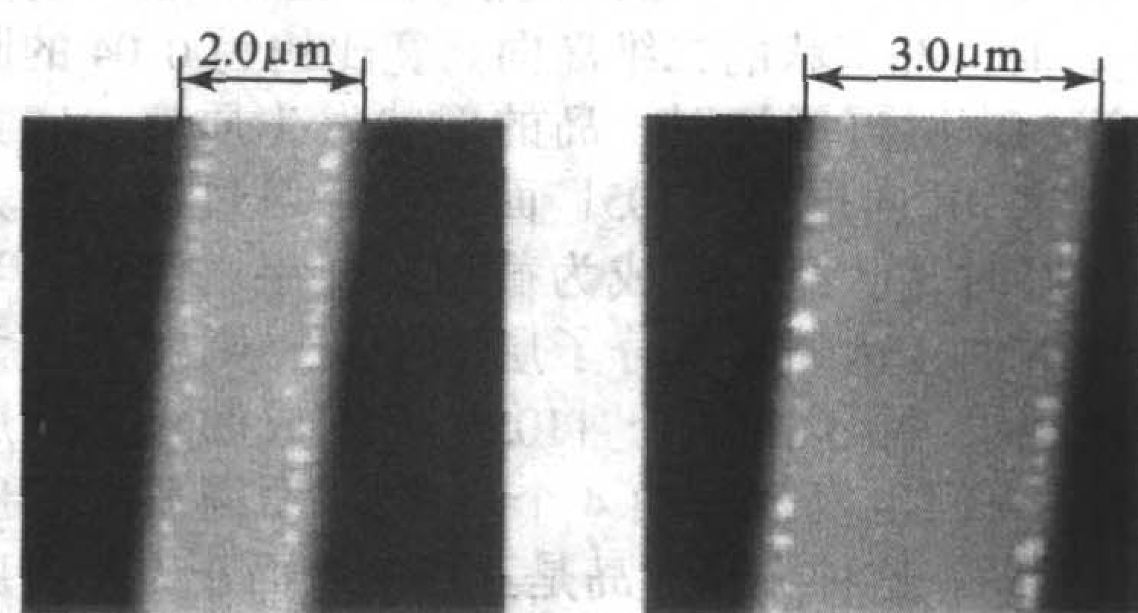


图4.12-7　不同宽度的窗口内生长的Ge量子点分布的AFM照片

而对1.4 μm、2.0 μm、3.0 μm底宽的情形，由于这时Si条形台面顶部中间部位仍然是平坦的，而台面的边缘部位呈现上凸形而成为优先成核部位。图中可以看到在台面的边缘Ge岛的密度明显比中间高，而中间部分稀疏的Ge岛则是由于在这样的温度下Ge原子扩散长度的限制造成的。

Schmidt等采用电子束光刻和反应离子刻蚀在Si（001）衬底上沿<110>方向偏转60°做出100 nm宽、10 nm深的沟，图形的周期为250 nm。经过清洗与去氧化后，用固源MBE生长19 nm Si缓冲层，然后是700℃下15周期9 nm Si/2.5 nm $Si_{0.75}Ge_{0.25}$超晶格，再淀积（700℃）6 ML Ge。Schmidt曾经分析过，在700℃时平面衬底上的Ge岛平均间距刚好与这里的衬底图形周期相吻合，所以选择700℃作为生长温度。

图4.12-8为根据样品TEM照片所绘出的样品侧面示意图，在图形衬底上生长时，原子向沟内扩散，从而在沟内堆积，由于这里沟较浅，经过几层（深入研究表明为4层）生长后，沟已经被平坦化，但是由于SiGe层在沟的位置堆积，相当于在其表面覆盖的Si层中引入了规则的应力场分布，影响最顶层的Ge岛生长，形成二维有序的分布（图4.12-9）。

Zhenyang Zhong作了更为系统地研究。用全息光刻+反应离子刻蚀在Si（001）面上，刻出宽度为1～3 μm、深度为0.5～1.0 μm、周期为5.0～7.5 μm的沟槽。然后在部分样品上先生长100 nm Si缓冲层，再淀积Ge；部分样品在缓冲层上面另外生长了5个周期$Si_{0.5}Ge_{0.5}$/Si（2 nm/3 nm）超晶格，然后淀积Ge。

图4.12-10给出了没有SiGe/Si超晶格层的4个样品经淀积Ge层后的表面AFM照片，可见所有的Ge岛都在沟槽内，X6样品显示了整齐的一维排列；图14.2-11为插入了SiGe/Si超晶格层的两个样品，大部分Ge岛都在条形台面上，也可以获得整齐的一维排列。Zhong对这些现象从不角度进行了分析。

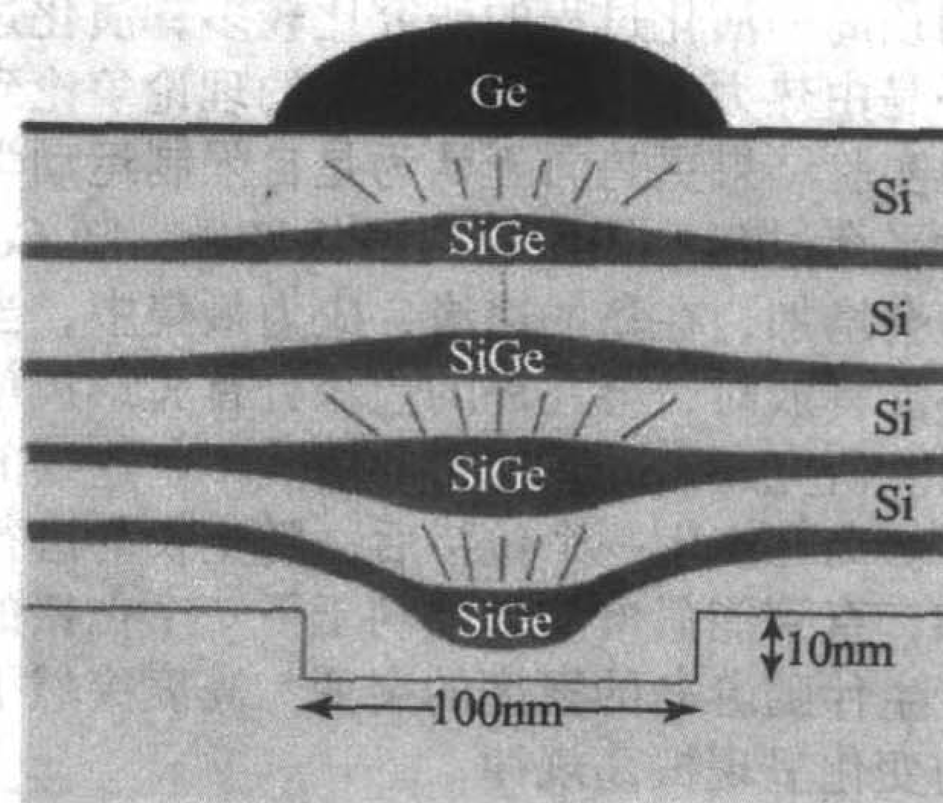


图4.12-8　图形衬底上生长Ge量子点材料结构（根据TEM照片绘出）

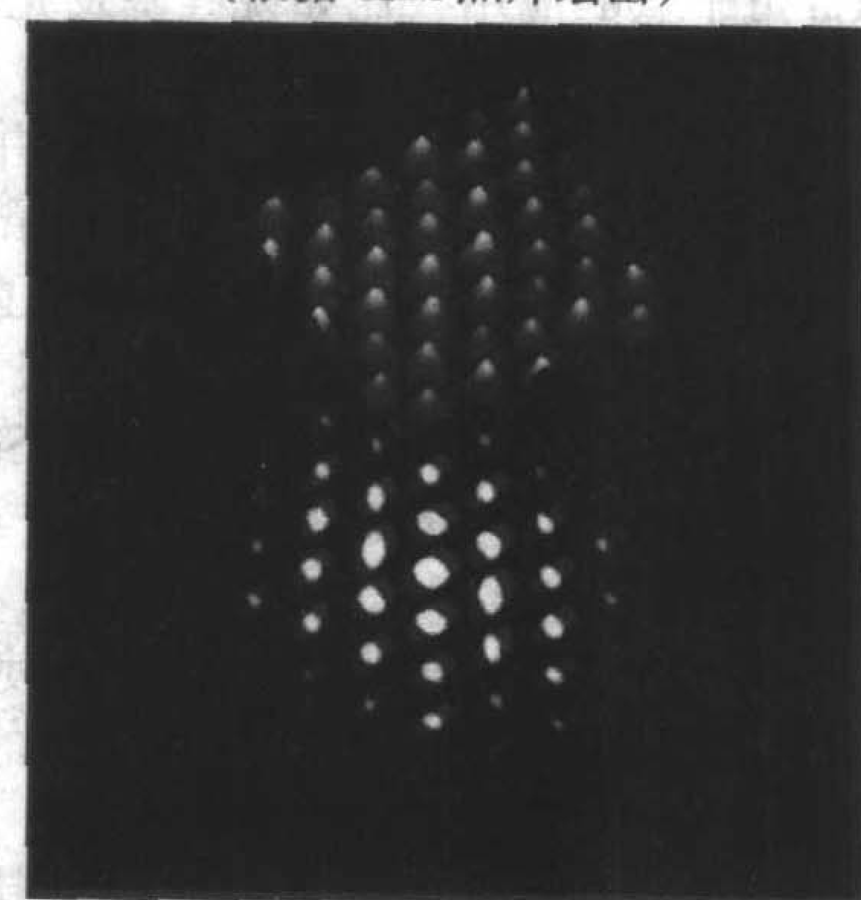


图4.12-9　图形衬底上生长的有序分布的Ge量子点

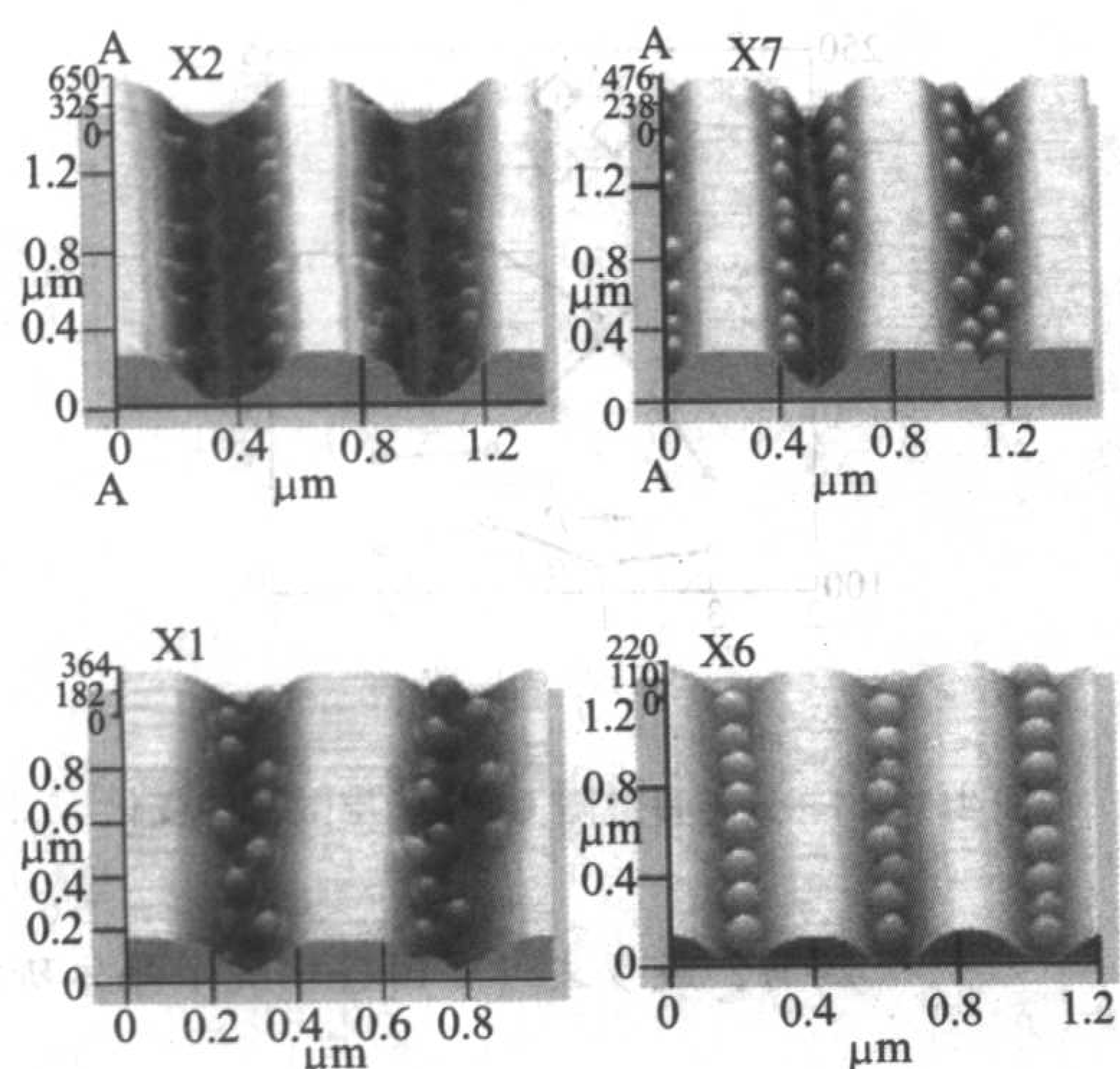


图 4.12-10　沟槽衬底上生长 100 nm Si 后直接生长 Ge 量子点的表面形貌

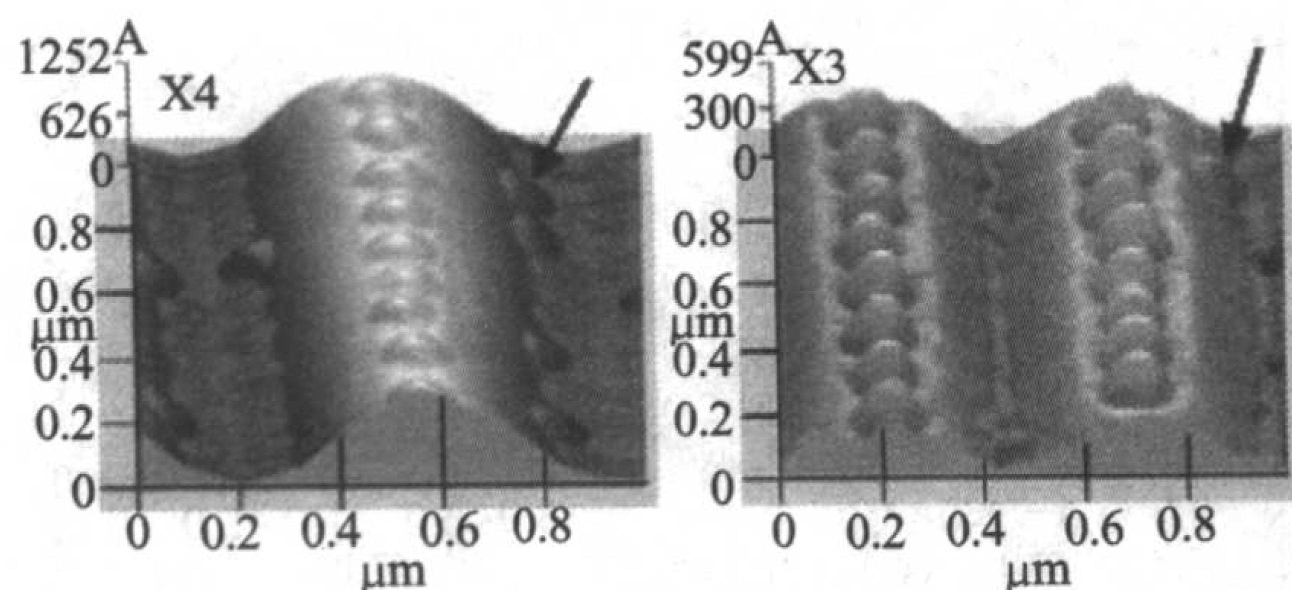


图 4.12-11　沟槽衬底上生长 SiGe/Si 超晶格后再生长 Ge 量子点的表面形貌

对于没有 SiGe/Si 超晶格层的情形，主要考虑运动学因素对 Ge 原子运动的影响，在一定温度范围，Ge 原子从平台运动到台面边缘的平均时间比与另外的 Ge 原子结合成核的时间短，而且 Ge 原子向下跳的势垒比向上跳的势垒要低。这样生长时很大部分原子会扩散到台面边缘并且向下沿着侧壁向下运动，所以易在沟槽底部或侧壁上形成 Ge 岛。进一步分析这些 Ge 岛的位置，发现这些 Ge 岛刚好位于侧壁上各个小平面的交汇处。

对于有 SiGe/Si 超晶格层的情形，由于 SiGe 层使表面应力的大小有了很大增加，这时生长时 Ge 原子的运动受到应力梯度的影响已经不可忽视。Zhong 用有限元方法分析了生长超晶格后表面应力的分布，在表面应力梯度的影响下 Ge 原子易向台面中心部位运动，并且台面部位有一定的压应变，这样使得在台面中部首先出现了 Ge 岛。

Kitajima 采用电子束光刻以及等离子刻蚀，在 Si（001）衬底上制作出了一系列大小不同的 Si 台面，然后直接在其上面淀积 Ge。在台面的周期减小到 140 nm 时，在每个 Si 台面上只形成了一个 Ge 岛，从而可以得到整齐的二维 Ge 岛阵列；加大台面尺寸，则 Ge 优先在矩形台面的四个边角成岛；值得注意的是台面与台面之间的沟槽中没有发现有 Ge 岛出现。事实上 Kitajima 所制作的衬底与 Zhong 的比较相似，只是尺寸上的差别，但是他们的结果却正好相反（一个易在台面上成岛，另一个易在沟槽中扩散成岛）。进一步分析各个实验过程，发现 Kitajima 没有在图形衬底上生长缓冲层，这样衬底的粗糙度以及表面台阶对 Ge 增原子的运动产生了很大影响，从而阻止了其向台面下扩散。

以上这些工作很清楚地表明，利用图形衬底生长 Ge 量子点，能够精确控制量子点的位置，均匀性也较好，但是现有工作得到 Ge 岛尺寸和间距普遍较大，还不符合纳电子、光子器件的应用需要。进一步工作需要改进图形衬底的制作方法以缩小图形尺寸并且优化生长条件。常规的光刻技术可以用来制备图形衬底，但它很难达到纳米尺寸量级。使用电子束光刻可以得到小而密的图形，但效率低。近年来发展的纳米印刷技术（nanoimprinting）也可用于制备图形衬底。另外采用全息光刻方法也可以获得大面积二维的纳米尺寸图案。这种方法的优点在于它可以快速地制备大量纳米尺寸的图形，并且具有较好的可控性。

另外，影响图形衬底上 Ge 岛位置分布的因素很多，运动学、热力学因素同时在起作用，在这一方面还有很多工作需要深入研究。

（2）利用 Si 表面的自组织性在邻晶面衬底上生长有序 Ge 量子点

邻晶面上存在众多原子台阶，在外延生长时这些台阶可作为外延材料的优先成核中心，较早期已经利用这一特性进行了在邻晶面上生长量子线和量子点的实验。但是由于单原子台阶形状很不规则，很难得到有序排列的量子线和量子点。如果能形成台阶束，则其形状将会比单台阶规则很多，对形成有序排列的量子线和量子点有利。1995 年 Tersoff 从理论上证明，在应变的邻晶面层上存在台阶与台阶之间的长程相互吸引作用，从而形成台阶束。如果存在应力，在一定参数范围单台阶可能自组织地形成规则的台阶束。如果在 Si 邻晶面衬底上生长 GeSi/Si 超晶格应变层，则可能在最终的表面形成规则的台阶束，也即在表面形成了规则的波纹状条纹，在这样的衬底上有可能自组织生长出规则分布的 Ge 量子点。

用最常用的 Si（001）衬底，Teichert 以［110］为轴，以不同的方位角和偏向角切割得到衬底，用固源 MBE 生长大约 100 nm Si 缓冲层，然后生长 2.5nm$Si_{0.55}Ge_{0.45}$ 或者 $Ge_{0.45}$-$Si_{0.55}$/Si 超晶格结构。生长结束后 AFM 照片显示，所有样品的表面都出现了条形波纹，其中在错切割角 2°方位角 45°（以［100］为轴）的样品表面，其波纹的周期为 70 nm，可作为有效的成核中心诱导 Ge 岛有序生长。

Zhu 在沿［1$\bar{1}$0］方向倾斜 1.5°的 Si（001）衬底上用 MBE 在 550℃时生长 20 周期的 2.5 nm$Si_{0.55}Ge_{0.45}$/10 nmSi 超晶格结构，然后在 500℃时淀积不同量的 Ge。生长完 $Si_{0.55}$-$Ge_{0.45}$/Si 超晶格后，表面通过 AFM 观察已经产生了 120 nm 周期 0.6 nm 高的波纹。

图 4.12-12 为淀积 5MLGe 后表面的 AFM 照片，可见 Ge 岛基本呈现二维周期分布。图 4.12-13 显示了基本周期单元各个参数随 Ge 淀积量的变化，发现每一列 Ge 岛之间的间距基本不变，保持与波纹的周期一致，而每一列岛内部之间的距离则随 Ge 量的增加而减少，到 5ML 时最小。可见有台阶束引起的表面波纹可以作为有效的成核中心使得 Ge 易在每一列波纹上部成岛，这在能量上也是有利的。

该方法由于利用了表面的自组织性而不必采用昂贵的光刻等图形制作手段，关键可能在于需要找到一个好的方法更好地控制表面波纹的规则性。

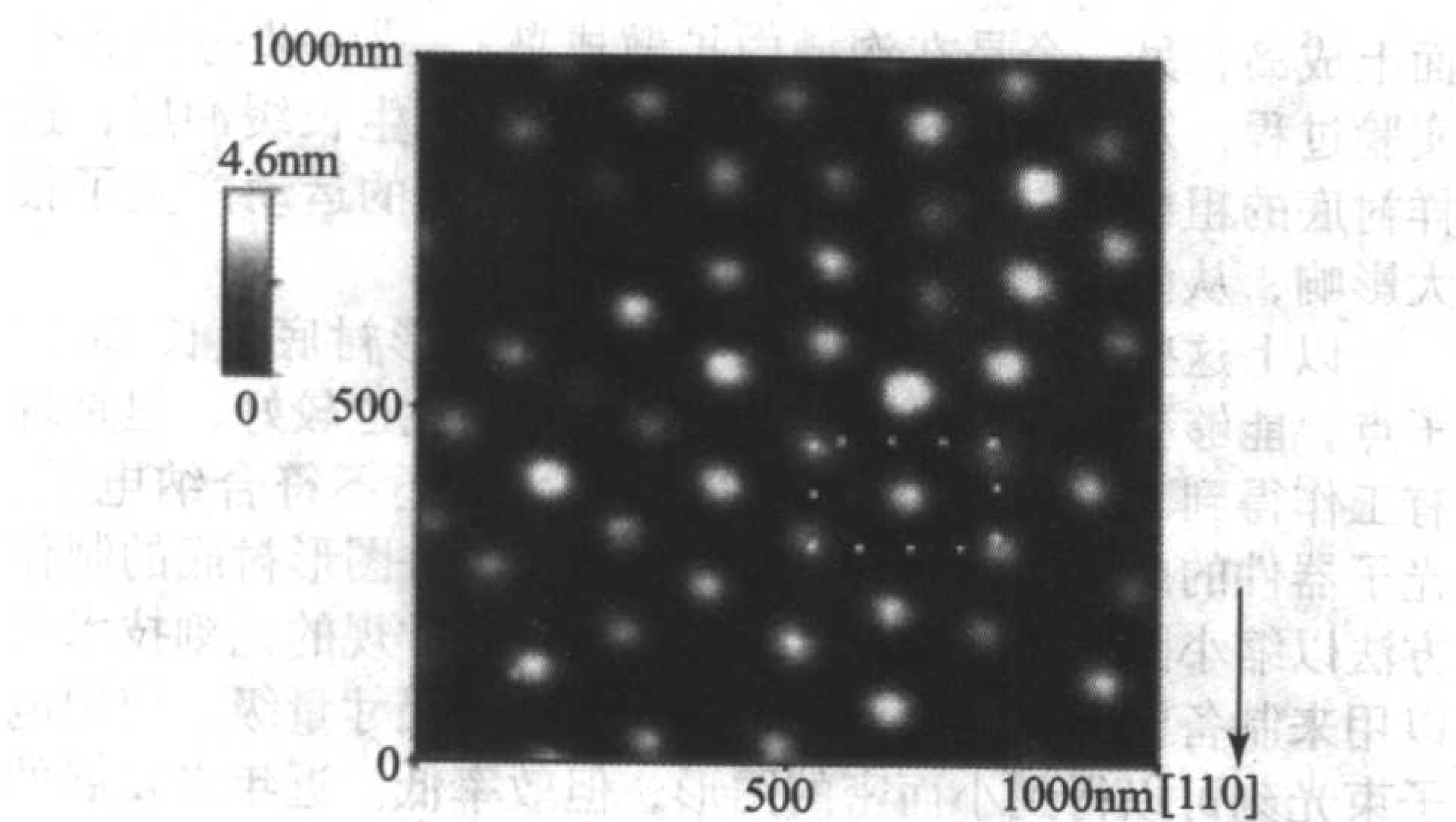


图 4.12-12　5 个 Ge 原子层的 Ge 量子点表面 AFM 照片

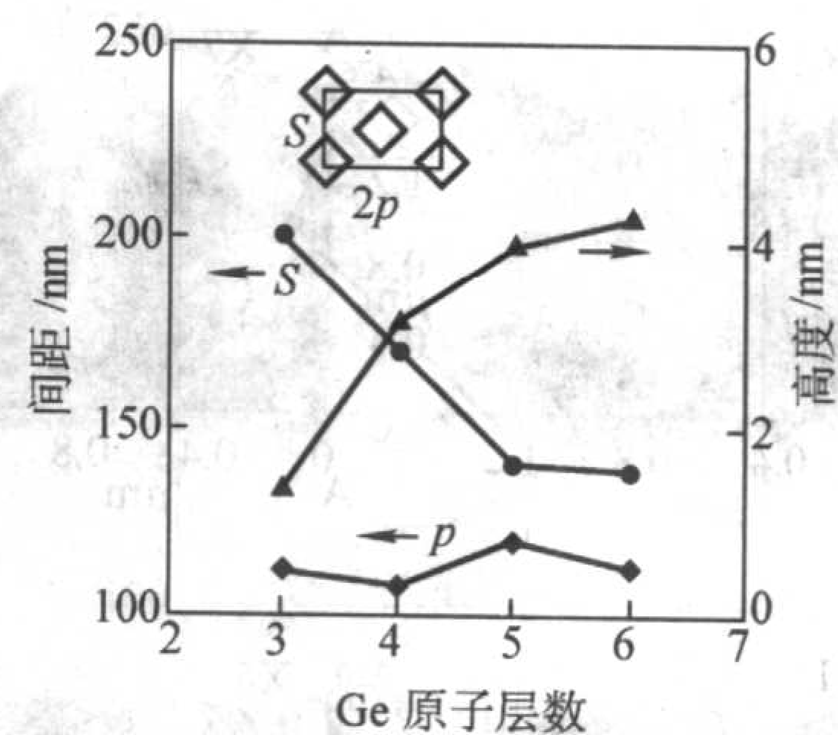


图 4.12-13　分布参数随 Ge 原子层数目的变化

编写：成步文（中国科学院半导体研究所）

第 13 章　Si 基异质结构电子器件

第 12 章详细阐述了 SiGe 的外延生长，包括各种外延层生长方法、掺杂的实现以及 Si 上制备应变 SiGe 和弛豫 SiGe 上制备应变 Si 等。本章的重点是用 SiGe 做基区材料的异质结双极晶体管（Heterojunction bipolar transistor），包括双异质结晶体管的原理、特性以及应用等。此外其他的 Si 基电子器件也会有所涉及。

早在 20 世纪 50 年代中期，H.Kroemer 就提出采用宽禁带材料作为发射区的 HBT 技术能大幅提高晶体管的频率性能。1986 年前后，IBM 的 Bernard S.Meyerson 等人发明了 UHV/CVD 技术用以制造高性能的 SiGe 异质结器件。1987 年，IBM 的 S.S.Iyer 制造了第一只具有器件性能的 SiGe HBT。此后 SiGe 技术异军突起，发展迅速。在 npn Si 双极晶体管的基区引入 Ge 元素，形成的 SiGe 合金相对于发射区和收集区产生带隙收缩，正是这种带隙的不连续性产生了异质结构，从而带来性能上的一系列改变。

1　SiGe/Si HBT 的基本原理

在讨论异质结晶体管之前，我们先回顾一下 Si BJT 的基本原理。若忽略载流子复合效应，一个正偏的 pn 结的电子和空穴的注入电流可由下式表示

$$I_n = \frac{qAD_{nB}}{L_{nB}} n_{p0}(\exp\{\frac{qV_{BE}}{\kappa T}\} - 1) \tag{4.13-1}$$

$$I_p = \frac{qAD_{pE}}{L_{pE}} p_{n0}(\exp\{\frac{qV_{BE}}{\kappa T}\} - 1) \tag{4.13-2}$$

式中，q 是电荷；V_{BE}是所加偏压；A 是结面积；D_{nB}是基区少子电子扩散常数；D_{pE}是发射区少子空穴扩散常数；L_{nB}和 L_{pE}分别是基区和发射区少子扩散长度；n_{p0} 和 p_{n0} 分别是中性基区和发射区的平衡少子浓度。

对于普通的同质结双极晶体管而言，为得到高的注入效率，发射区的掺杂浓度要比基区的掺杂浓度高很多。例如，当增益为 100 时，发射区的掺杂浓度必须比基区高 100 倍。但是当掺杂浓度达到 10^{18} cm^{-3}数量级时，重掺杂而引起的带隙收缩效应变得十分明显，从而对器件特性产生不利影响。

将下面的式子代入式（4.13-1）和式（4.13-2）中

$$n_{p0} = \frac{{n_{ieB}}^2}{N_E} \tag{4.13-3}$$

$$p_{n0} = \frac{{n_{iB}}^2}{N_E} \tag{4.13-4}$$

$${n_{iB}}^2 = {n_{ieB}}^2 \exp\frac{\Delta E_{bgn}}{\kappa T} \tag{4.13-5}$$

式中，n_{ieB}本征载流子浓度；n_{iB}是基区不掺杂的本征载流子浓度；ΔE_{bgn}表征由发射区重掺杂引起的带隙收缩。

当带隙产生收缩，电流增益就表示为

$$\beta = \frac{N_E L_{pE} D_{nB}}{N_B L_{nB} D_{pE}} \exp(\frac{-\Delta E_{bgn}}{\kappa T}) \tag{4.13-6}$$

可见，出现重掺杂带隙收缩时，同质结晶体管的电流增益会有指数的衰减。所以为避免此现象，发射区的掺杂又不能太高，同质结晶体管的电流增益 β 受到约束，不能做到很高的水平。

异质结晶体管的能带图如图 4.13-1 所示。基区材料带隙窄，发射区带隙宽。在 SiGe HBT 中，基区是窄带隙的 SiGe 材料，发射区和基区的带隙差为 $\Delta E_g(x) = E_{g,Si} - E_{g,SiGe}(x)$。HBT 和 BJT 的不同之处正是在于低的导带势垒的存在，HBT 的注入电子浓度大大增加（增大好几个数量级）。SiGe HBT 的电流增益可用式（4.13-7）表示

$$\beta_{SiGe} = \beta_{Si} \exp(\frac{\Delta E_g(x)}{\kappa T}) \tag{4.13-7}$$

可以看出，在相同的基极电流条件下，SiGe HBT 的收集极电流远大于同掺杂的 BJT，它们之间相差一个指数因子 exp（$\Delta Eg(x)/\kappa T$）。对于 SiGe HBT，带隙差 $\Delta E_g(x)$ 可以远大于 κT。例如，Ge 含量 $x = 0.2$ 时，带隙差大于 170 meV。这样，HBT 的注入效率可以非常高，电流增益可以做得非常大，而不受发射区和基区浓度比的影响，甚至在基区掺杂高于发射区掺杂时，注入效率仍能保持很高的水平。一般而言，HBT 可以获得上千甚至上万倍的电流增益。但在实际的应用中，并不需要这么高的电流增益。于是可以牺牲一些电流增益（例如增益做得和 Si BJT 一样）来优化器件结构，改善器件其他重要特性，为器件的设计带来更大的自由度。例如，可以提高基区的掺杂浓度以减小基区电阻，而基区电阻是决定最大振荡频率 f_{max} 的关键参数，进而大大提高 f_{max} 的值。同时，也可避免基区 - 收集区高压下的穿通。高的基区掺杂也会导致发射区 - 基区隧道电流的开启，这可以通过减小发射区浓度来避免。

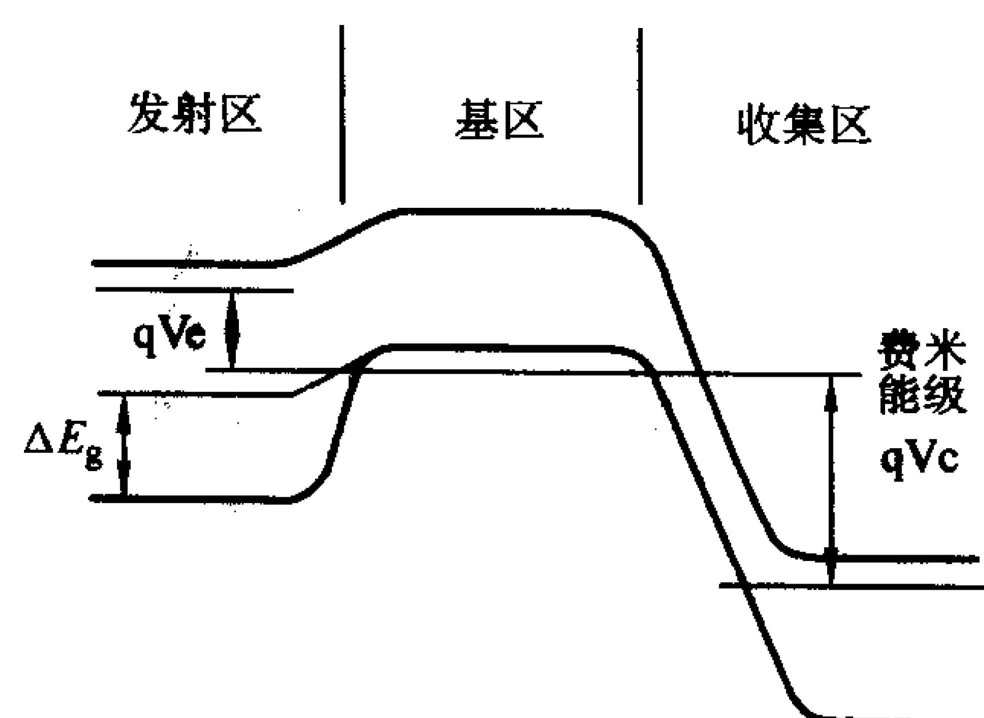


图 4.13-1　Si/SiGe 异质结能带图

2　SiGe HBT 的制造工艺

20 世纪 80 年代早期最初的 HBT 是用 MBE 方法制备 SiGe 外延层的。因为 Ge 的存在会在基区引入应变，导致了潜在的不稳定。Ge 通常做成埋层，这样其工艺和材料特性和 Si 类似。

为适应与 Si 工艺兼容的大规模生产的低密度缺陷的要求，采用基区 Ge 含量渐变的方法。采用 UHVCVD 工艺进行基区外延淀积，可获得重复性好、均匀性好的外延层，同时还可以进行深掺杂以减小表面电场和提高稳定性，使工艺水平从 125 mm 硅片工艺提高到 200 mm 的硅片工艺，并获得了良好的基区掺杂含量的控制水平。

从 MBE 制备外延层到 CVD 方法制备外延层是 SiGe HBT 朝向商业制造的一个跨越。CVD 方法具有均匀性好、再现性好、以及与现有的大规模 Si 工艺兼容的特点。

过去的几年间，很多研究小组都致力于 SiGe 工艺和现有 Si 工艺的高度集成。其中有些工艺是从Ⅲ - Ⅴ族工艺演化来的，其成品率和集成度和Ⅲ - Ⅴ族集成电路相当。将这些工艺步骤转化成 BiCMOS 工艺，其主要工艺和器件参数都需要进行适当的调整，这是因为标准 Si 工艺中存在很多中温或高温的处理。在 BiCMOS 工艺中，用多晶硅发射区和发射区 - 基区界面的热氧化等步骤被保留，这和近 20 年来双载子多晶硅极晶体管的发展相一致。BiCMOS 工艺还使用双

极和CMOS工艺的组合优化功能块，减少了成本，提高了整个系统的性能。

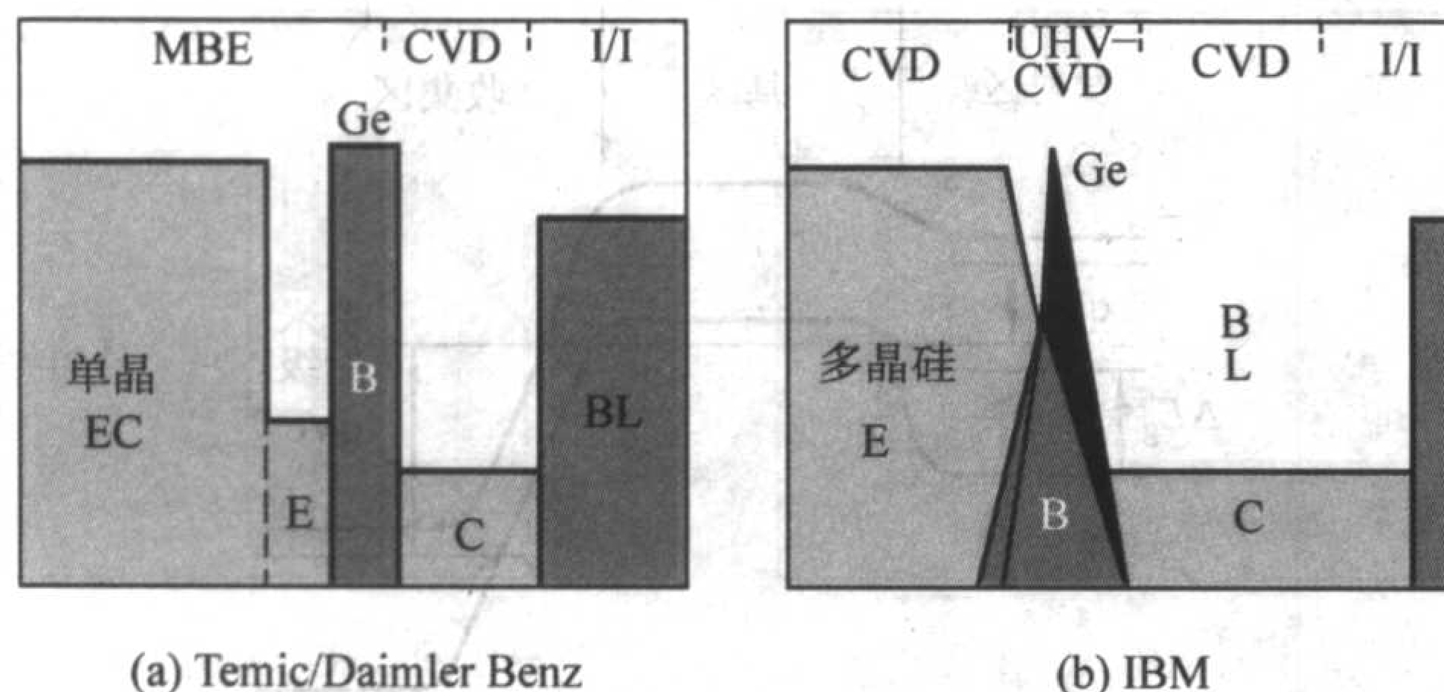
为提高电路制造的灵活性和降低成本，有必要简化与标准Si工艺兼容的SiGe HBT的制备过程。基于此目标，IBM和Temic研究小组尝试了用各种工艺方法外延生长SiGe薄膜。表4.13-1给出了一些SiGe工艺的重要工艺集成问题。

表4.13-1　SiGe HBT及其工艺集成问题

工艺特点	普通外延	差分外延	选择外延
预清洁	易	难	难
外延类型	MBE UHVCVD APCVD	MBE UHVCVD LPCVD	UHVCVD LPCVD APCVD
外延工艺	简单	复杂	复杂
BiCMOS工艺	HBT/CMOS	HBT/CMOS	HBT/CMOS
和CMOS工艺的兼容性	兼容性低	可兼容	可兼容
研究小组	DBAG/Temic	DBAG/Temic，IBM	NEC，Siements

2.1　两种典型的HBT结构

SiGe HBT主要有两种设计方案，一种是德国的Daimler-Benz/TEMIC（称为DBAG）设计，另一种是IBM设计，如图4.13-2所示。



(a) Temic/Daimler Benz　　(b) IBM

图4.13-2　两种典型的SiGe HBT结构

(1) Daimler-Benz/Temic设计方案

该方案又称为DBAG方案。该方案的主要特点在于SiGe基区很薄、Ge组分高、基区高掺杂。由于基区很薄，电子在基区中渡越时间很短，可以实现高的f_T值；高Ge组分基区及重掺杂引起的带隙收缩使得器件在发射区浓度远低于基区掺杂浓度时仍可获得高的电流增益；小的基区电阻和小的收集极/基极电容是获得f_{max}的必要条件，设计中由于基区重掺杂，所以基区本征电阻很小，基区接触电阻占主导地位，使用Pt-Au或Cr-Pt-Au合金作为接触可改善基区接触电阻，很容易获得极小的基区电阻，所以f_{max}得到提高；另外由于基区电阻小，DBAG HBT的噪声特性很好。

(2) IBM设计方案

IBM设计方案中基区Ge含量较低、基区较宽、基区掺杂也较低，该方案最大的特点是基区Ge含量采用渐变的形式。渐变Ge组分的形式在基区形成一个漂移场，减小了基区渡越时间，改善了f_T特性；基区掺杂浓度较低，通过选用大的N_E/N_B的比值可以提高β；同时，IBM设计方案也获得了较好的基区电阻和寄生效应，从而得到较高的f_{max}和很低的噪声。

可以看出，Temic方案设计的SiGe HBT和GaAs HBT结构类似，是一种真正意义上的异质结晶体管，IBM设计则延续了多晶硅同质结晶体管的结构，是一种“赝”异质结结构。

2.2　SiGe HBT的制作工艺

SiGe异质结双极技术的关键是外延。目前主要制备SiGe HBT的工艺有：①双台面工艺（包括非钝化的双台面工艺(NPD)和钝化的双台面工艺(NP)）；②差分HBT工艺；③选择外延工艺；④选择与非选择外延结合的工艺；以及后来发展的⑤SOI衬底上的SiGe HBT工艺。

1）台面工艺　非钝化的双台面（NPD-台面）工艺和钝化的双台面工艺由DBAG/TEMIC小组发展。我们先讨论NPD-台面工艺，该工艺非常简单。NPD-台面工艺流程如图4.13-3所示。在埋层形成之后，生长各层，然后光刻发射极，接触用Pt/Au合金（20/300 nm）。以发射极金属作为掩模自对准的制作基区接触，然后刻出收集极台面和制作收集极接触。晶体管电极间的隔离用气桥来实现。该工艺可以在原片上直接测量晶体管的特性。非钝化的台面的表面不是很理想的。尽管如此，因为其基区电阻和基区/收集区电容极小，该结构获得了160 GHz的f_{max}。显然这种工艺不适用于大规模生产，但它很适合作为实验研究。

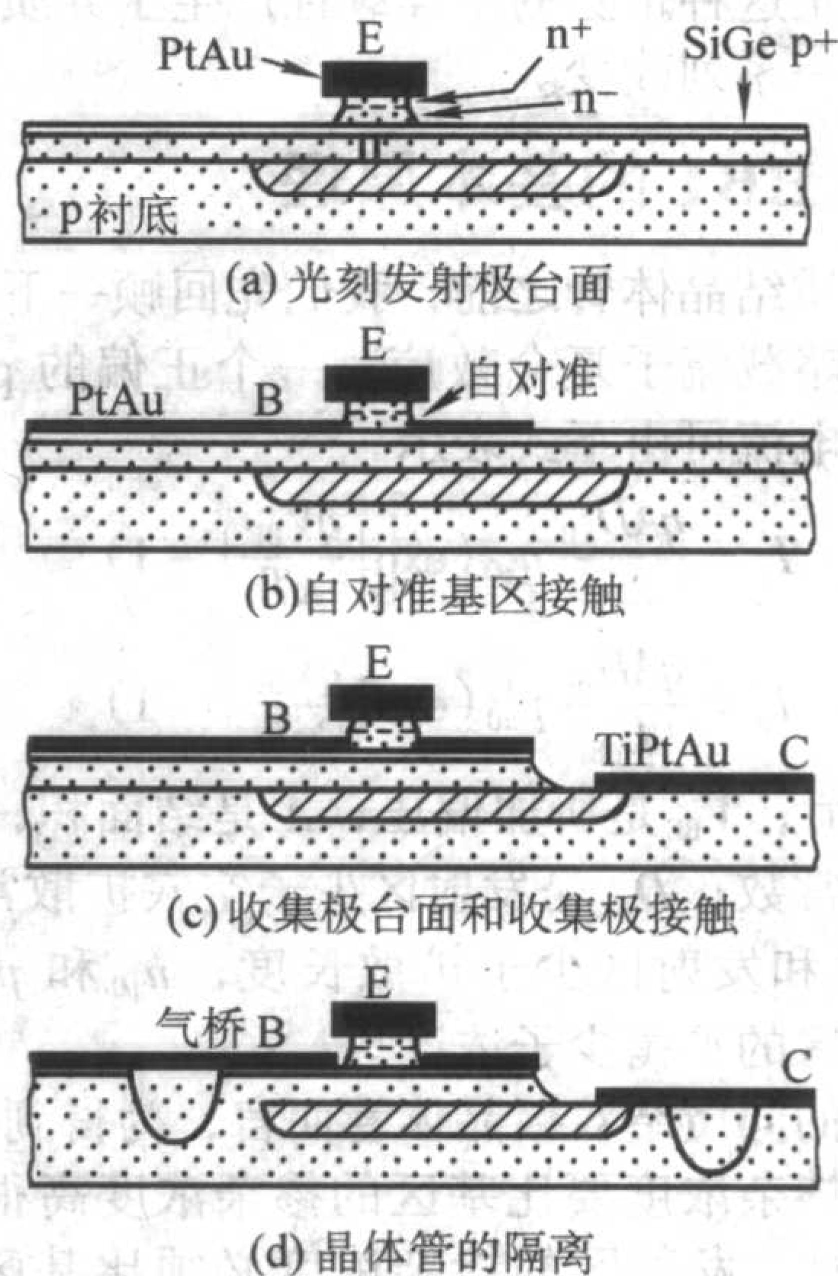


图4.13-3　双台面SiGe HBT的工艺流程：

2）差分HBT工艺　差分外延工艺的具体过程如图4.13-4所示。差分外延是在浅刻蚀或LOCOS氧化隔离区域完成后，在n型Si收集区上生长单晶SiGe，场氧上生长多晶SiGe。差分外延基区可以和通常的多晶硅发射区相结合（如图4.13-5所示），这样它就具有和现有的Si BiCMOS工艺兼容的特点。多晶硅发射区又可以作为自对准外基区注入的掩模，如图4.13-5所示。离子注入可使外基区的多晶硅为p型，这样基区接触可以制成p^+多晶硅层。外基区注入同时渗透到SiGe基区和Si帽层，导致后面退火过程中的瞬态增强扩散。多晶硅发射区是在离子注入或原位掺杂的n^+多晶硅层上扩散砷形成的，典型温度为1 000℃。发射区/基区结附近的Ge含量由掺As和Ge的形状来决定。最近的研究表明用该方法所得的f_T和f_{max}大约为90 GHz。

3）选择外延工艺　该技术中，在外延基区之前在发射区窗口中形成一个p^+多晶硅外基区悬臂，如图4.13-6所示。先生长一层氧化层、一层p^+掺杂的多晶硅层、一层氮化物淀积层。然后用各向异性干法刻蚀刻出发射区窗口（在氮化物和p^+多晶硅层），接着生长Si_3N_4侧墙，最后通过湿法刻蚀氧化层等方法完成p^+多晶硅外基区悬臂。SiGe基区通过选择外延生长，在裸露的收集区上生长出SiGe单晶基区，在悬臂p+多晶硅下生长SiGe多晶，形成一个嫁接基区，当嫁接基区和选择SiGe基区接触后，生长停止。然后在发射区

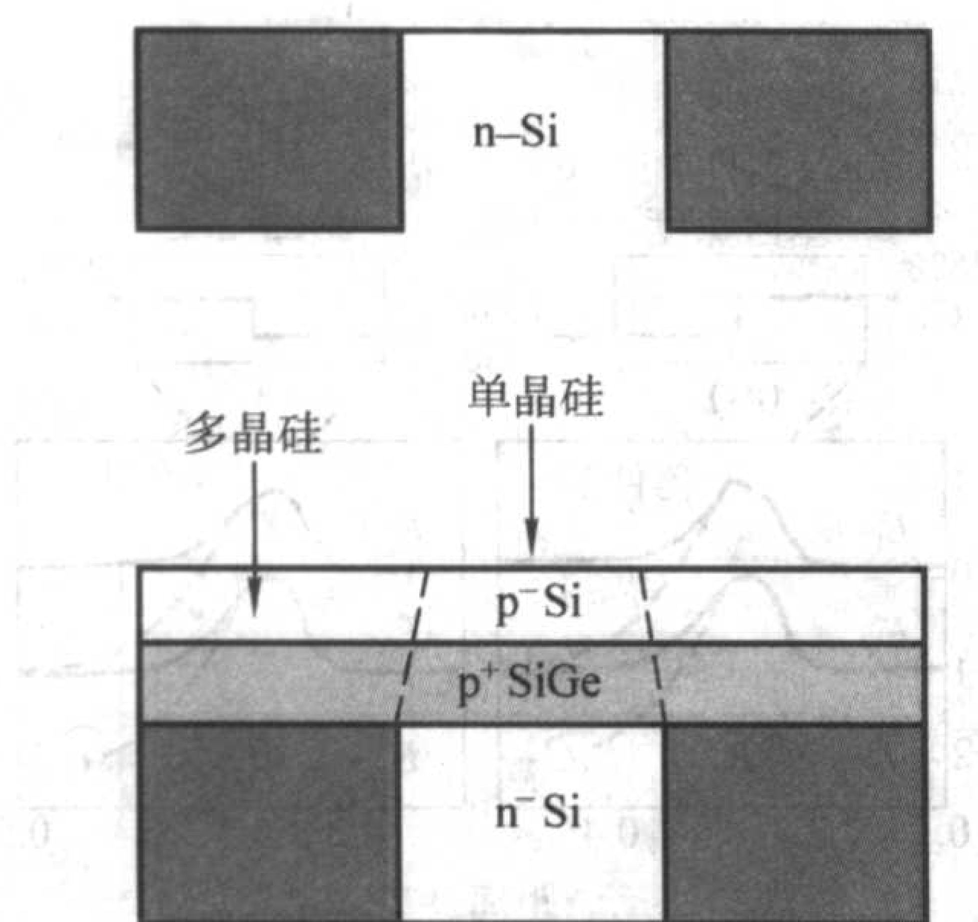


图 4.13-4　差分外延工艺的剖面图

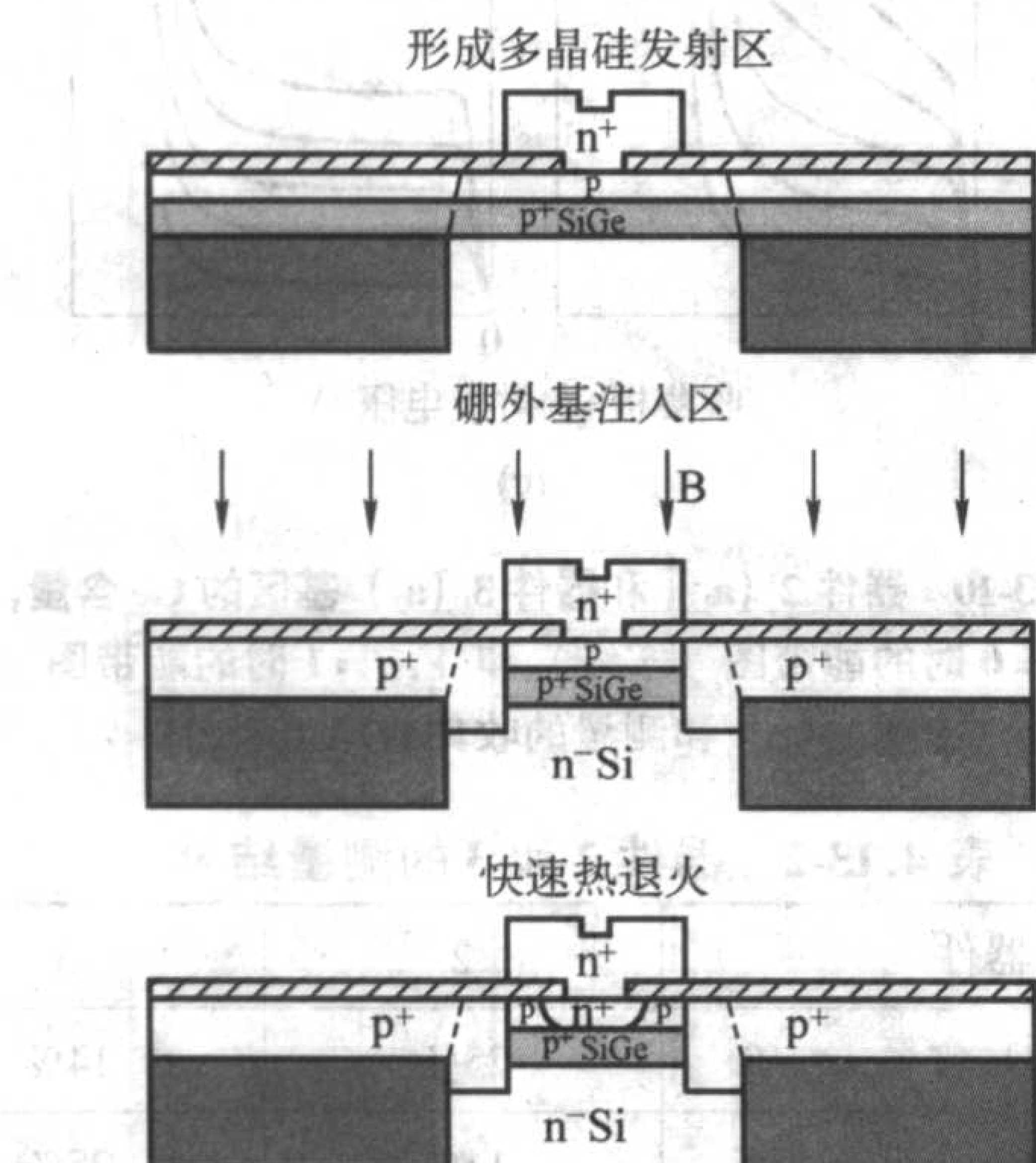


图 4.13-5　差分外延工艺与多晶硅发射极相结合

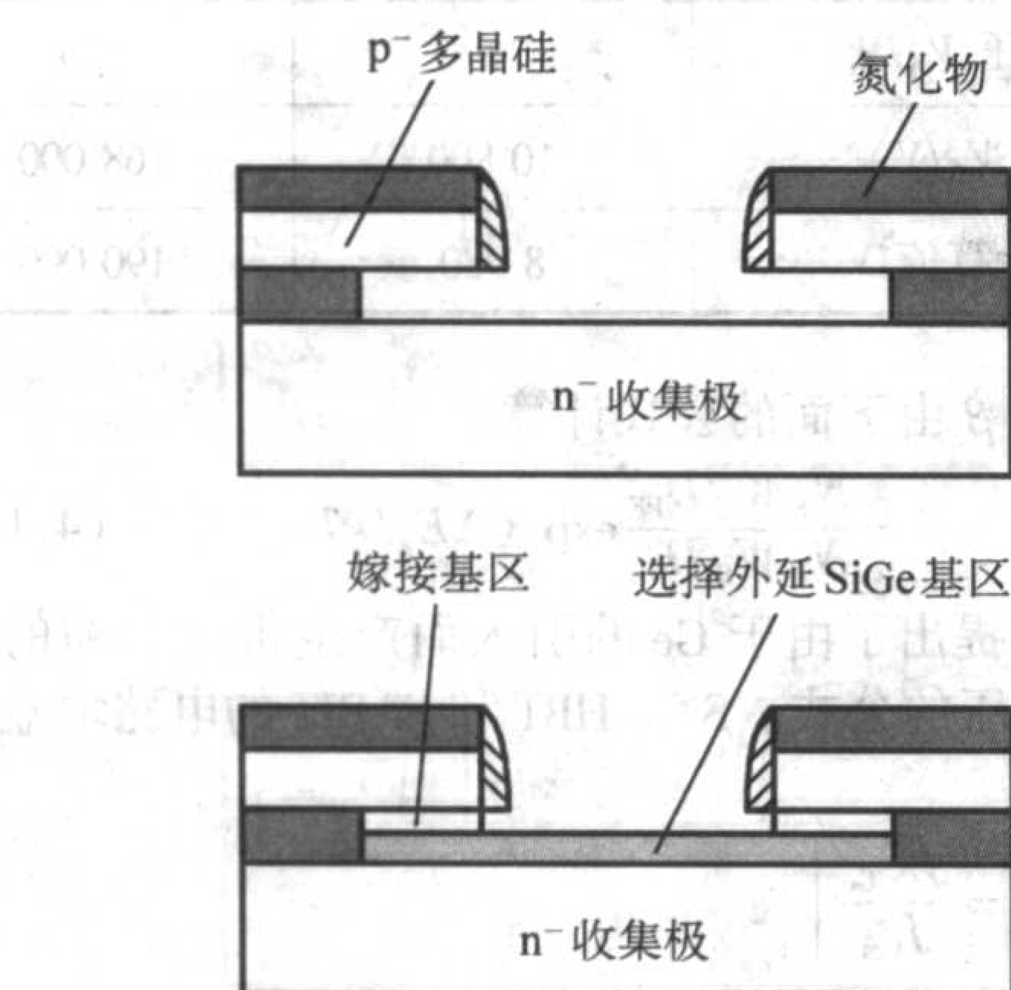


图 4.13-6　选择外延

窗口选择生长 Si 帽层。该过程的特点是，外基区在外延之前形成，这样就不需要对 SiGe 外延层进行注入，避免了瞬态增强扩散。

4）选择与非选择外延结合的工艺　近期的工作表明，Si 收集极和 SiGe 基区外延步骤可以合并成一步，如图 4.13-7 所示。选择 Si 收集极在场氧的有源区窗口开过以后生长，在生长 SiGe 基区和 Si 帽层时生长条件变成非选择的。这种方法有三大优点。首先，收集区、基区和发射区在同一步外延步骤生长，取消了单独的收集结外延步骤。第二，生长界面被深深的埋在收集结，远离了晶体管的耗尽区。这样任何杂质，例如氧和碳，在生长界面对晶体管的特性影响很小。第三，它不需要 LOCOS 和刻蚀隔离。

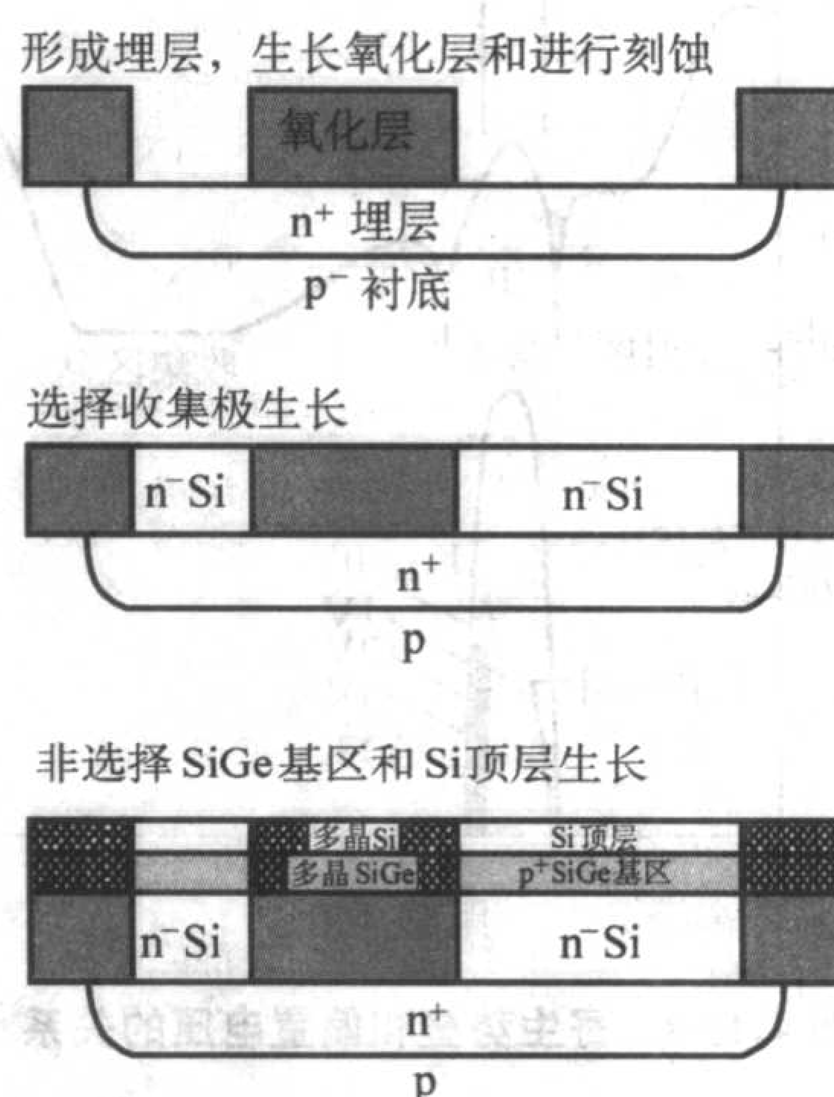


图 4.13-7　选择和非选择外延相结合的工艺制备 SiGe HBT

5）SOI 衬底上的 SiGe HBT　SiGe LPCVD 和原片键合技术的结合使绝缘体上的 SiGe HBT 技术成为可能。图 4.13-8 显示了 SOI 衬底上制备 SiGe HBT 的剖面图。原片有一层1 μm 厚的氧化埋层，有源区实际上只有 1.5 μm 左右的厚度。隔离是通过刻蚀到氧化埋层的深刻蚀实现的。晶体管的收集极采用选择外延生长，接下来是生长 p^+ 基区和 n^- Si 发射帽层的非选择外延层。NEC 已经报道了用于 20 Gb/s 光纤接收芯片上用的 1.5 μm 原片间键合 SOI 衬底上的的 SiGe HBT，其 f_T 为 60 GHz。用该工艺制备的复用器、乘法器已经可以稳定地工作于 20 Gb/s。Hitachi 最近报道了他们的 SOI HBT 工艺研制的 HBT 的 f_T 为 76 GHz，f_{max} 为 180 GHz。

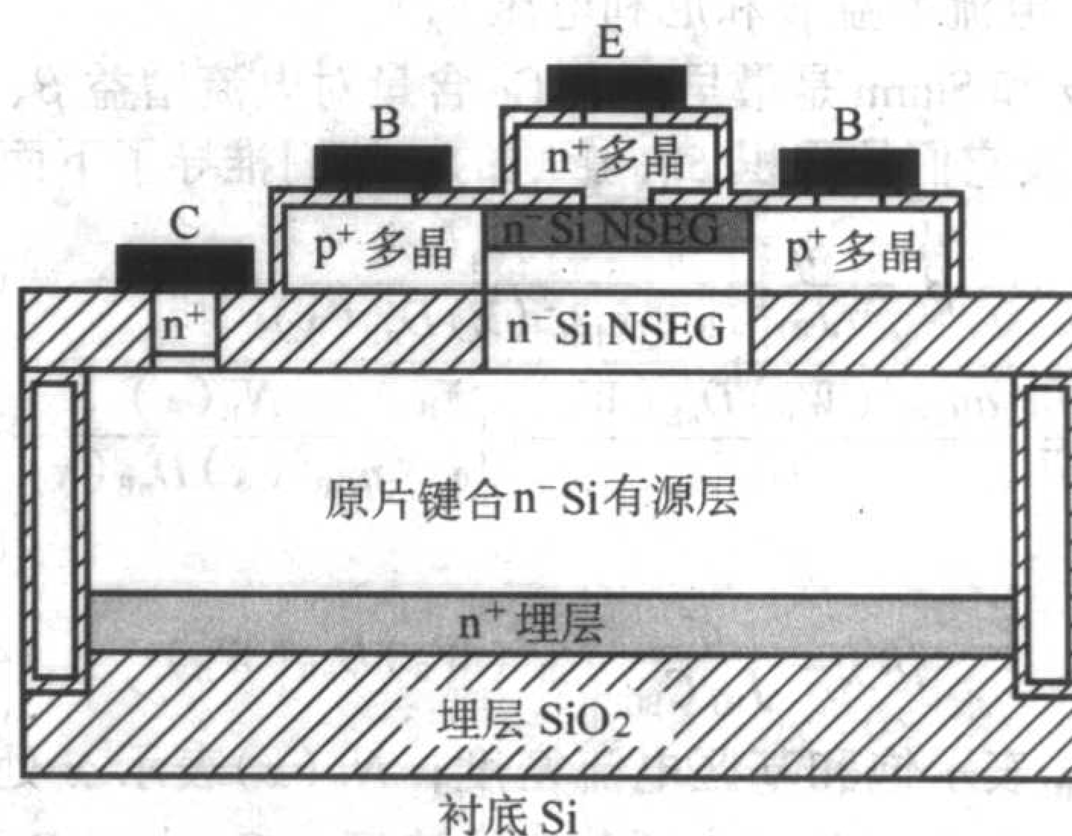


图 4.13-8　SOI 衬底上的 SiGe HBT
NSEG—非选择性外延生长

2.3　与工艺相关的寄生效应

1）寄生势垒效应　基区硼的外扩散会导致寄生势垒的产生。外扩散可能发生在热处理过程，也可能在掺杂没有控制好的情况下发生。从高掺杂的 SiGe 基区向 Si 发射区或收集区扩散少量的硼都可能在导带产生寄生势垒，严重影响器件特性。发射结的寄生势垒减小了注入比，从而减小了增益，收集极的势垒引起电子在基区的积累，增加了基区电子的浓度，不仅减小了收集极电流 I_c，增加了基极电流 I_b，严重影响增益，还阻碍了载流子的输运，增加了基区渡越时间，使 f_T 峰值降低。收集极寄生势垒如图 4.13-9 所示。收集极寄生势垒和外加偏压关系很大，并影响到厄利电压。

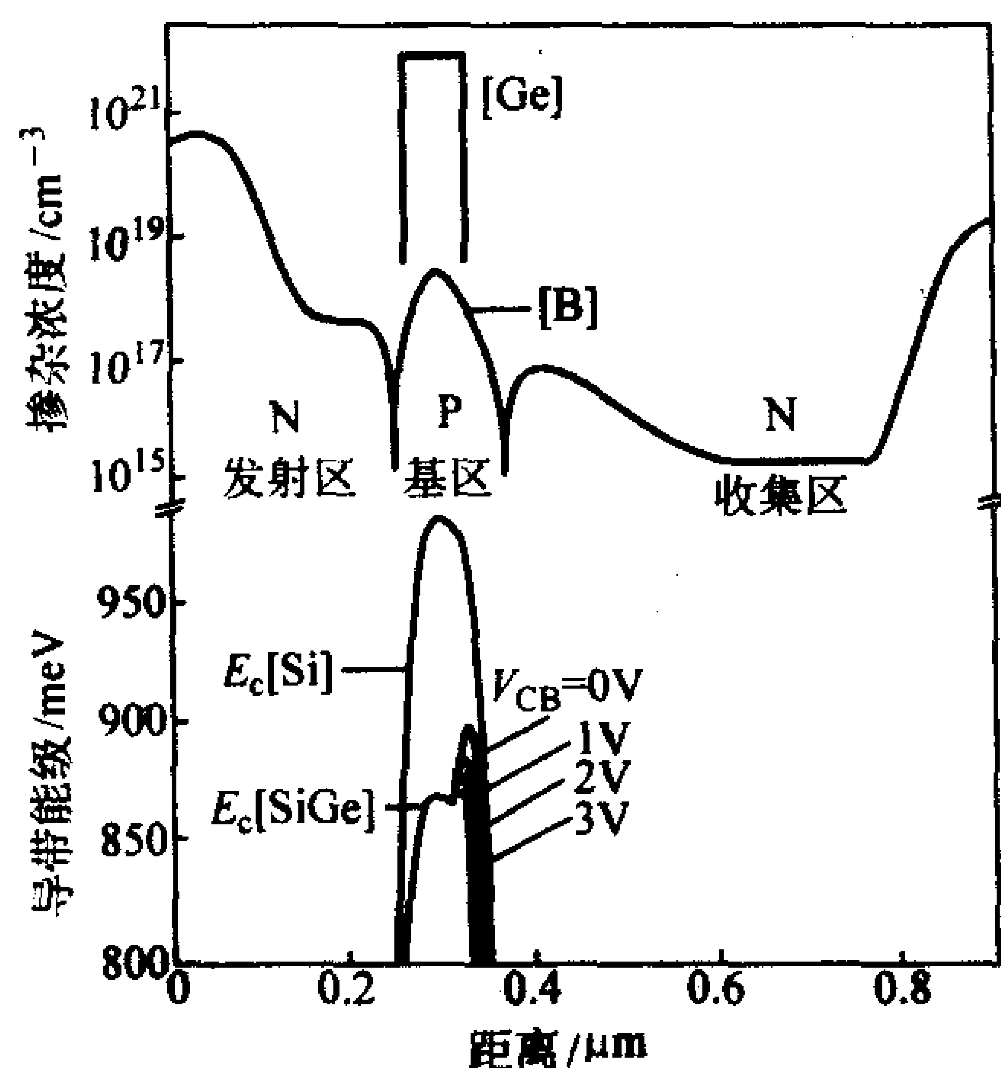


图 4.13-9　寄生势垒和偏置电压的关系

2）大注入效应　SiGe HBT 中的大电流效应为 Kirk 效应。在大电流情况下由于速度饱和，基区-收集区耗尽区扩展到收集极，这时发生大电流注入效应。由于收集结界面价带结构的作用，基区的空穴被阻挡不能进入收集区，空穴积累在收集极基区的一侧，它导致电子集聚在结的收集区的另一侧。这样在收集结上形成一正向电场，从而形成一个阻碍电子进入收集区的势垒。基区存贮了过量电荷，β 和 f_T 都下降。

采用本征 SiGe 隔离层和渐变 Ge 组分的方法可以减小上述两种寄生效应。

3　SiGe HBT 的特性

3.1　SiGe HBT 的直流特性

（1）电流增益 β 和厄利电压 V_A

Prinz 和 Sturm 是最早研究 Ge 含量对电流增益 β、厄利电压 V_A 以及它们的乘积 βV_A 影响的。他们推导了下面的公式

$$\beta = \frac{q}{J_{B0}}\left[\int_0^{W_B}\frac{N_B(x)}{n_{ieB}^2(x)D_{nB}(x)}dx\right]^{-1} \tag{4.13-8}$$

$$V_A = \frac{qn_{ieB}^2(W_B)D_{nB}(W_B)}{C_{BC}}\left[\int_0^{W_B}\frac{N_B(x)}{n_{ieB}^2(x)D_{nB}(x)}dx\right] \tag{4.13-9}$$

$$\beta V_A = \frac{q^2}{J_{B0}C_{BC}}n_{ieB}^2(W_B)D_{nB}(W_B) \tag{4.13-10}$$

式中，J_{B0} 表示饱和基区电流密度；$N_B(x)$ 表示 x 处的受主浓度；n_{ieB} 表示 x 处的本征载流子浓度；C_{BC} 表示 B—C 结电容；W_B 表示基区宽度。

式（4.13-10）表明乘积 βV_A 主要由发射区靠近收集区边缘的本征载流子密度的值决定。这暗示着乘积 βV_A 可以通过在靠近 CB 结的基区建立大浓度的 Ge 来获得提高。为了验证这些理论，Prinz 和 Stum 制备了多个不同 Ge 含量的 SiGe HBT 晶体管，如图 4.13-10a₁ 和 a₂ 所示。每个器件的基区都包括两层，EB 结附近的一层（层 1）和靠近 CB 结的一层（层 2）。我们给出器件 2 和器件 3 的结果，如图 4.13-10 所示。图 4.13-10b 和图 4.13-10c 分别是计算得出的计算图和器件收集极电流的测量结果。基区的 Ge 含量、测量的 β 值、V_A 以及 βV_A 都概括于表 4.13-2 中。为便于比较，计算的 βV_A 的值也在表中列出。从表 4.13-2 中可以看出，无论是测量值还是计算值，器件 3（层 2 中 Ge 含量高）的 βV_A 都具有较高的值。这也说明理论值和实验值吻合。具有相同 f_T 的 Si 同质结双极晶体管的 βV_A 值比 SiGe 的异质结晶体管小 100 倍。

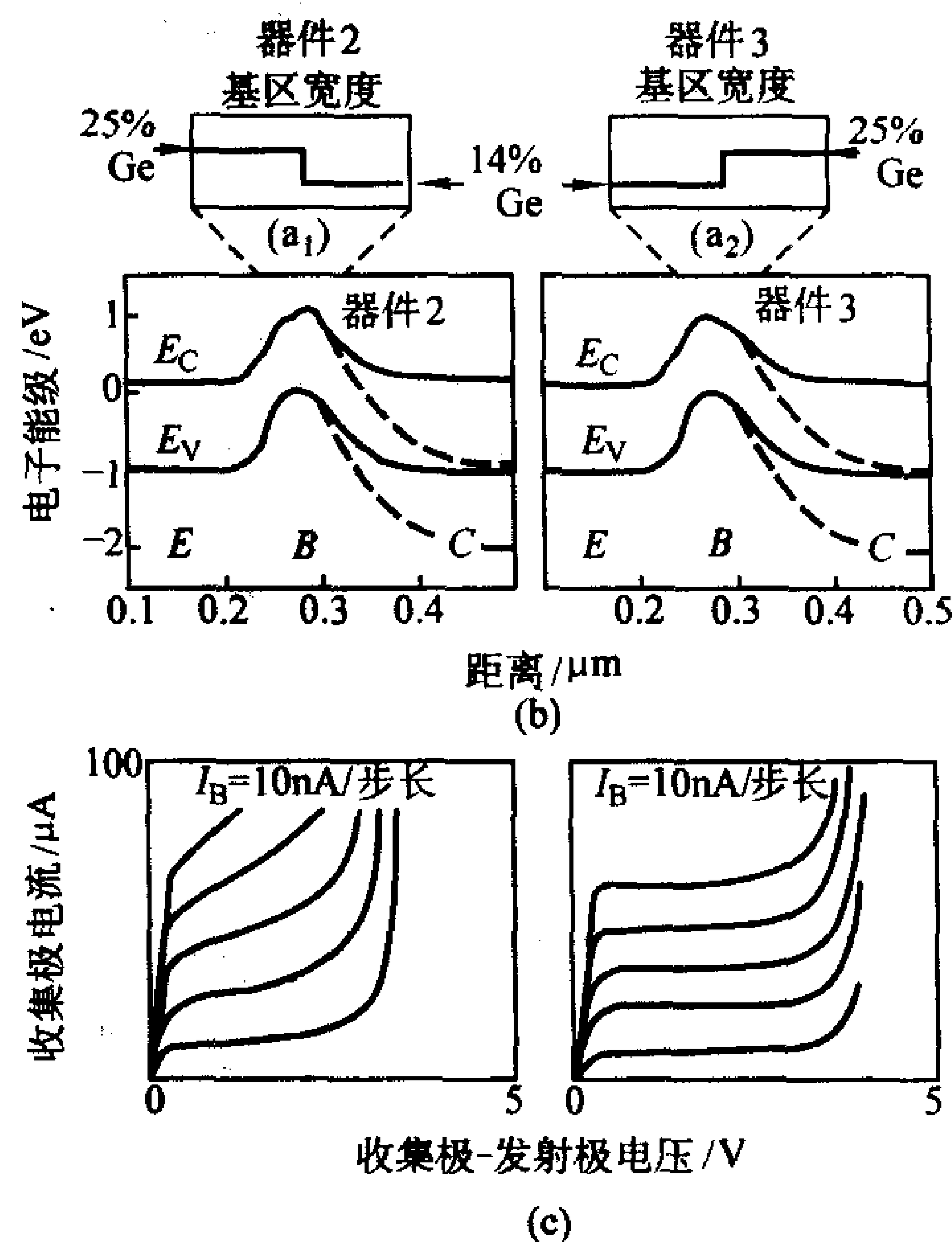


图 4.13-10　器件 2（a₁）和器件 3（a₂）基区的 Ge 含量，$V_{cb}=0$ 时的能带图（实线）和 $V_{CB}=1$ 时的能带图（虚线）（b）和测量的收集极电流（c）

表 4.13-2　器件 2 和 3 的测量结果

器件	2	3
层 1 中的 Ge 含量 w_{Ge}/%	25%	14%
层 2 中的 Ge 含量 w_{Ge}/%	14%	25%
电流增益 β	1 800	1 400
厄利电压 V_A/V	6	120
乘积 βV_A/V	10 800	168 000
βV_A 的计算值/V	8 980	190 000

直流增益 β 由下面的公式计算

$$\beta = \frac{N_E W_E D_{pE}}{N_B W_B D_{nB}}\exp(\Delta E_g/\kappa T) \tag{4.13-11}$$

Harame 等提出了由于 Ge 的引入而产生带隙收缩的电流增益和厄利电压的公式。SiGe HBT 和 Si BJT 的电路增益之比为

$$\left.\frac{\beta_{SiGe}}{\beta_{Si}}\right|_{V_{BE}} = \left.\frac{J_{CSiGe}}{J_{CSi}}\right|_{V_{BE}} = \frac{\delta\lambda\exp[\Delta E_{g,Ge}(x_0)/\kappa T][\Delta E_{g,Ge}(\text{grade})/kT]}{1-\exp-[-\Delta E_{g,Ge}(\text{grade})/\kappa T]} \tag{4.13-12}$$

式中，

$$\Delta E_{g,Ge}(\text{grade}) = \Delta E_{g,Ge}(x_w) - \Delta E_{g,Ge}(x_0) \tag{4.13-13}$$

$$\delta = (N_C N_V)_{SiGe}/(N_C N_V)_{Si} < 1 \tag{4.13-14}$$

$$\lambda = [\mu S_{iGe}/\mu_{Si}] > 1 \tag{4.13-15}$$

式中，x_0 是准中性的基区和发射区的界面；x_w 是准中性基区与收集区的界面；N_C、N_V 为有效态密度。如果在 x_0 处 Ge 的含量恒定（但不为 0），但很小，则式（4.13-12）变成下面的指数项

$$\left.\frac{\beta_{SiGe}}{\beta_{Si}}\right|_{V_{BE}} = \delta\lambda\exp[\Delta E_{g,Ge}(x_0)/\kappa T] \tag{4.13-16}$$

电流增益随着 Ge 在发射区边缘引入的带隙差而指数的增加而增加。当 Ge 含量渐变时，β 值在收集极电流增加时略有减小。大电流情况下耗尽层宽度减小，当 Ge 渐变时 Ge 浓度在 x_0 处也减小。

SiGe HBT 和 Si BJT 的厄利电压之比为

$$\frac{V_{A,SiGe}}{V_{A,Si}} \approx \exp[\Delta E_{g,Ge}(\text{grade})/\kappa T]\left[\frac{1-\exp[-\Delta E_{g,Ge}(\text{grade})/\lambda T]}{\Delta E_{g,Ge}(\text{grade})/\kappa T}\right] \quad (4.13\text{-}17)$$

电流增益和厄利电压乘积之比为

$$\left.\frac{(\beta V_A)_{SiGe}}{(\beta V_A)_{Si}}\right|_{V_{BE}} = \delta\lambda\exp[\Delta E_{g,Ge}(x_0)/\kappa T]\exp[\Delta E_{g,Ge}(\text{grade})/\kappa T] \quad (4.13\text{-}18)$$

上式不包括基区高掺杂的影响。如果基区高掺杂，浓度在 $2\times10^{18}\ \text{cm}^{-3}$ 以上，重掺杂效应就会变得显著。

Harame 等以及 Ansley 等仔细研究了掺 Ge 形状对 HBT 性能的影响。Harame 等研究了三种形状，矩形、锥形和三角形，如图 4.13-11 所示。掺 Ge 形状从矩形逐渐渐变到锥形最后到三角形。锥形和三角形的高度由临界条件决定，总的 Ge 含量保持一定。V_A、β 以及 βV_A 见图，都是 $\Delta E_{g,Ge}$ (grade) 的函数。$\Delta E_{g,Ge}$ (grade) =0 对应着矩形。在其他参数与普通 Si BJT 保持不变的情况下，β 增大 10 倍。当掺 Ge 形状变为锥形时，β 开始单调递减。其他的特性如 V_A、βV_A 以及 τ_b 都同时增加，当掺 Ge 形状演变成三角形时这些值达到最大。虽然 β 递减而 V_A 递增，但 V_A 的上升速度远远高于 β 的下降速度，所以它们的乘积也增大。Richey 等计算了矩形和三角形掺 Ge 在不同温度下的厄利电压，表明三角形掺杂的厄利电压值在所有情况下都高于矩形掺杂。

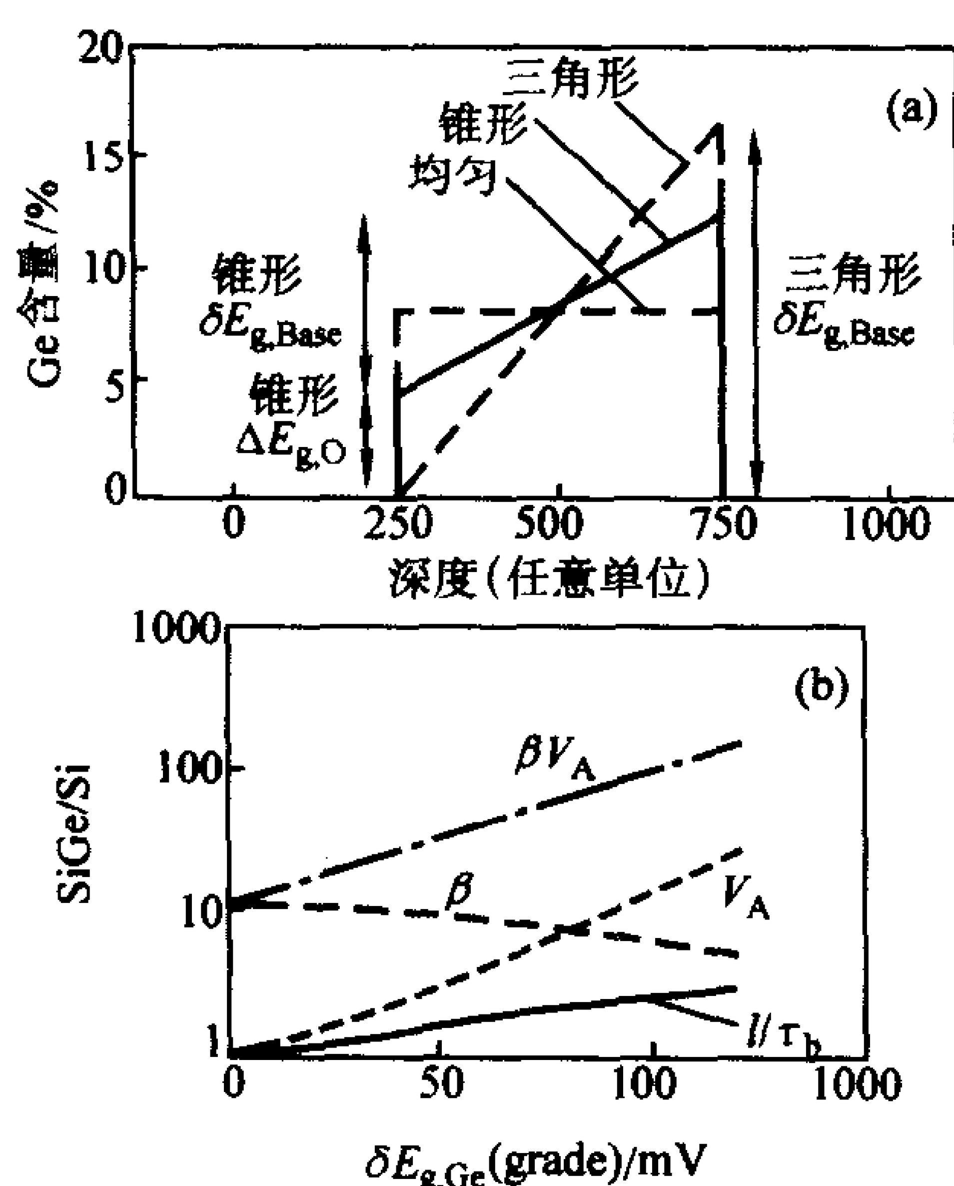


图 4.13-11 三种 HBT 不同掺 Ge 形状 (a) β、V_A 与 βV_A 随 $\Delta E_{g,Ge}$ (grade) 的关系 (b)

(2) Gummel 图

实际上，一个晶体管在大范围操作条件下的 I－V 特性是极其复杂的，它依赖于很多参数。在一定的电流范围内，收集极和基极电流分别由下式表示

$$I_C = \frac{(qD_{nB}N_CN_V)_{SiGe}}{(W_BN_{nB,eff})_{SiGe}}\exp\left(\frac{-E_{gB}}{\kappa T}\right)\exp\left(\frac{qV_{BE}}{n\kappa T}\right) \quad (4.13\text{-}19)$$

$$I_B = \frac{(qD_{PE}N_CN_V)_{Si}}{(W_EN_{PE,eff})_{Si}}\exp\left(\frac{-E_{gE}}{\kappa T}\right)\exp\left(\frac{qV_{BE}}{n\kappa T}\right) \quad (4.13\text{-}20)$$

这里 N_C 和 N_V 是有效态密度。上式假定了基区和发射区的复合电流是可以忽略的。如果复合电流不能忽略，则前一个指数项将有所不同，它们将与载流子的扩散长度有关。典型 lg (I_C) 和 lg (I_B) 和 V_{BE} 的关系 (Gummel 图) 如图 4.13-12 所示。可见电流曲线基本成直线，式 (4.13-19) 和式 (4.13-20) 在很大范围内适用。在理想情况下，这些曲线斜率的倒数是 $n\kappa T/q$，其中 n 趋于 1。在电流极低的情况下，基区电流增加，n 大于 1，这是因为空间电荷区的相关复合变得很重要。在大电流情况，高注入效率、基区展宽效应和基区电阻都变得十分重要，上面两式不再成立。在适当的电流范围内 (既不太大也不太小)，gummel 图上得出的电流可以认为是线性的，n 的值也接近于 1。如果得出的 gummel 和线性偏差很大，那么就是器件的结制作得不够理想。

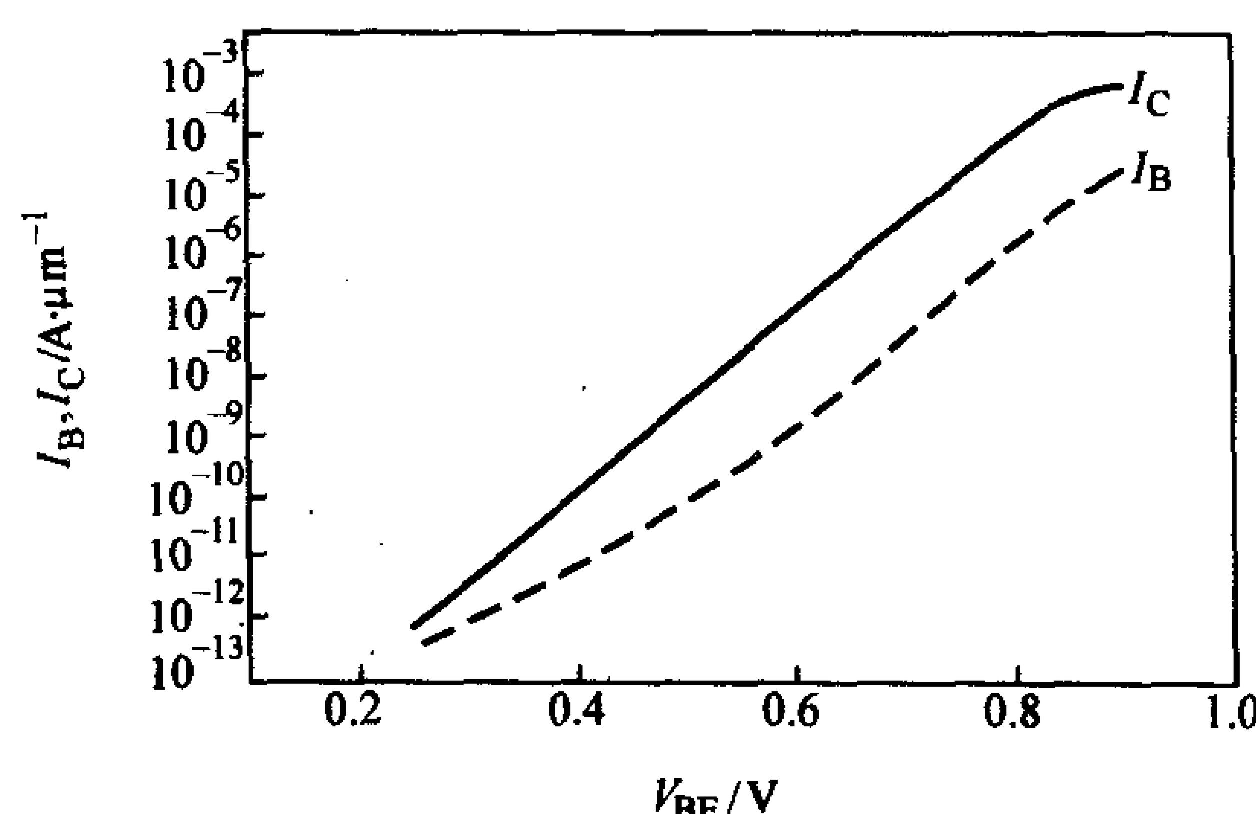


图 4.13-12 典型 lg (I_C) 和 lg (I_B) 与 V_{BE} 的关系

3.2 SiGe HBT 的交流特性

SiGe HBT 的交流频率主要由两个参数表征：交流截止频率 f_T 和最大振荡频率 f_{max}。交流截止频率 (或电流增益截止频率) f_T，定义为电流增益为 1 时的频率；最大振荡频率 f_{max}，则定义为功率增益为 1 时的频率。

1) 交流截止频率　交流截止频率表示为：

$$f_T = \frac{1}{2\pi(\tau_b+\tau_e+\tau_c+\tau_{eb}+\tau_{cb})} \quad (4.13\text{-}21)$$

式中，τ_b、τ_e 和 τ_c 分别表示载流子在基区、发射区和收集区的传输时间；τ_{eb}、τ_{cb} 分别表示载流子在 E－B 结耗尽区和 C－B 结耗尽区的渡越时间。一般的 HBT 中，f_T 由基区渡越时间 τ_b 和发射区渡越时间 τ_e 决定。下面的式子表明这两个渡越时间都因为 Ge 的掺入而减小，所以 f_T 得到很大的提高。

$$\frac{\tau_{b,SiGe}}{\tau_{b,Si}} = \frac{2kT}{\lambda\Delta E_{g,Ge}(\text{grade})}\times\left[1-\frac{1-\exp[-\Delta E_{g,Ge}(\text{grade})/kT]}{\Delta E_{g,Ge}(\text{grade})/kT}\right] \quad (4.13\text{-}22)$$

$$\frac{\tau_{e,SiGe}}{\tau_{e,Si}} = \frac{\beta_{Si}}{\beta_{SiGe}} = \frac{1-\exp[-\Delta E_{g,Ge}(\text{grade})/kT]}{\delta\lambda\exp[\Delta E_{g,Ge}(x_0)][\Delta E_{g,Ge}(\text{grade})/kT]} \quad (4.13\text{-}23)$$

三角形和锥形掺杂的模拟 $1/\tau_b$ 值的结果如图 4.13-11 所示。基区 Ge 的渐变可以减小基区渡越时间 τ_b，因而增大截止频率 f_T。然而，当考虑发射区渡越时间时，f_T 对 Ge 含量的渐变不敏感。式 (4.13-22) 和式 (4.13-23) 表明基区 Ge 含量渐变可以减小基区渡越时间，但是当在 x_0 处 Ge 含量高时可以减小发射区渡越时间，例如对于矩形的平坦掺杂。这样，在这两个渡越时间之间就有一个折衷，因而模拟结果对掺 Ge 形状不敏感。

2) 最大振荡频率 f_{max}　最大振荡频率 f_{max} 表达式如下：

$$f_{max} = \left[\frac{f_T}{8\pi R_b C_{cb}}\right]^{1/2} \quad (4.13\text{-}24)$$

式中，R_b 为基区电阻；C_{cb} 为收集极－基极电容。

R_b 由下式给出

$$R_b = R'_{bi} + R_{bx}/2 \quad (4.13\text{-}25)$$

式中，R_{bx} 为基区链接电阻，如图 4.13-13 所示，R_{bi}' 为

$$R'_{bi}=\frac{1}{12}\left(\frac{\text{emitterwid th}}{\text{emitterlen gth}}\right)R_{bi} \tag{4.13-26}$$

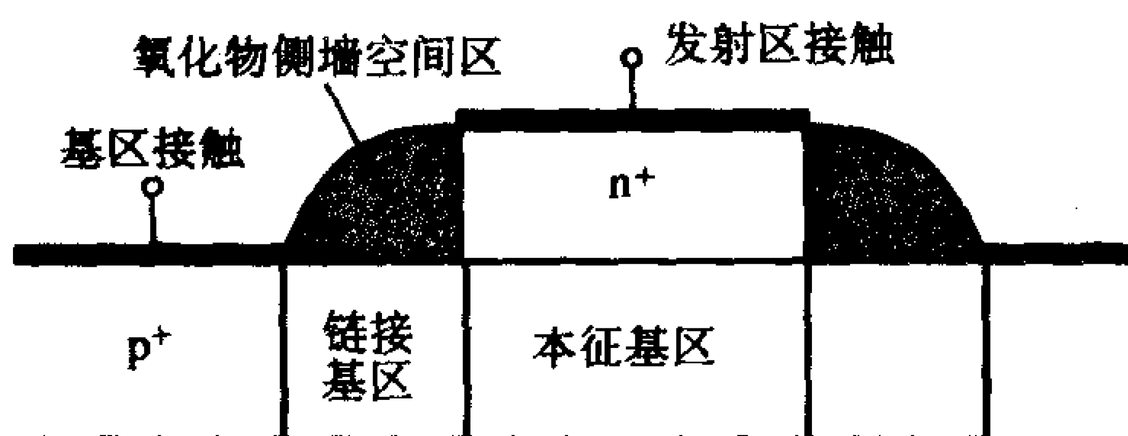


图 4.13-13 氧化物侧墙结构的 HBT 剖面图

收集极－基极结电容表示为：

$$C_{cb}=C_{cbi}+C_{cbx} \tag{4.13-27}$$

式中，C_{cbi}为 C-B 结本征电容；C_{cbx}为 C-B 结非本征电容。

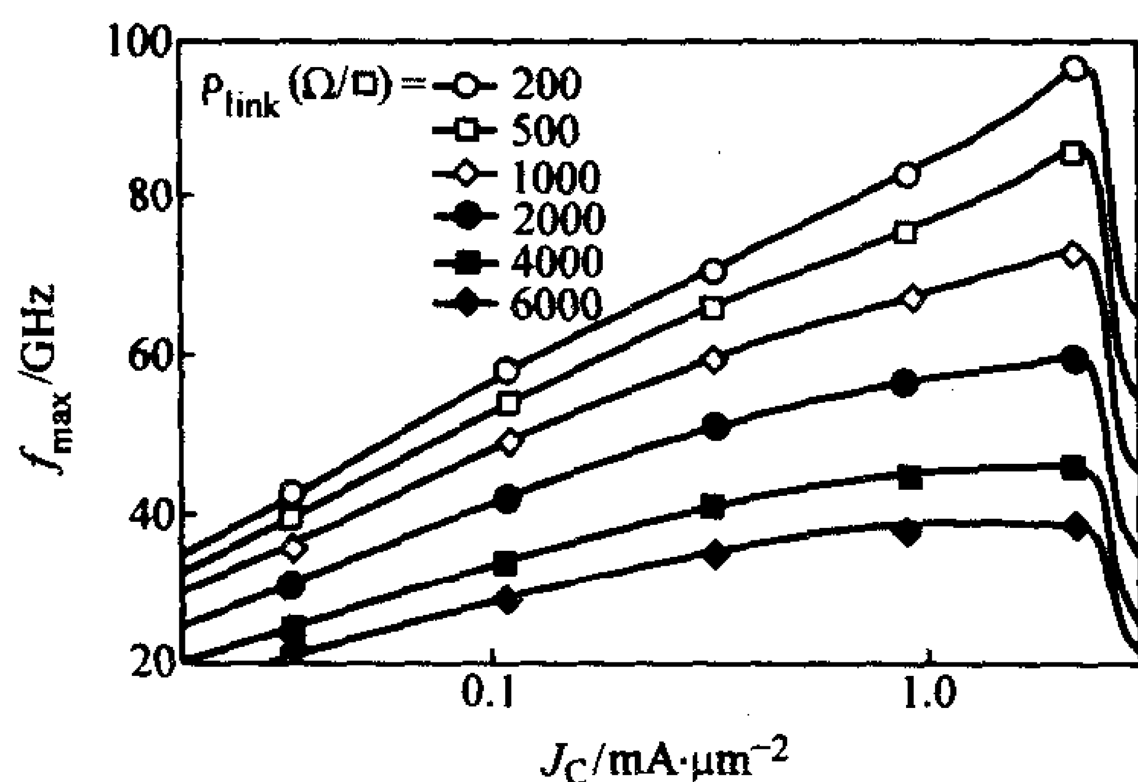


图 4.13-14 IBM 设计的不同基区连接方块电阻的 SiGe HBT 的最大振荡频率 f_{max}

模拟结果表明：Ge 的存在减小了基区电阻。当基区掺杂浓度高时，Ge 含量越高基区电阻越小。电阻的减小是空穴迁移率提高的结果。而相比而言，同质结 BJT 为保证电流增益，N_E/N_B 必须很大（N_E、N_B 分别为 E 区和 B 区掺杂浓度），则基区掺杂较小，R_b 较大，f_{max}必然较小，电流增益 β 和f_{max}是相互制约的，在 SiGe/Si HBT 中，SiGe 基区可以进行掺杂，同时保证合适的电流增益 β，因而 R_b 很小，f_{max}较大。

作为本节的总结，表 4.13-3 列出了矩形掺 Ge 基区的 SiGe HBT 和 Ge 线性渐变基区的 SiGe HBT 与标准 Si 双极晶体管相比主要参数的变化。

表 4.13-3 基区矩形掺 Ge 和线性渐变掺 Ge 的 SiGe HBT 与标准双极 Si 晶体管参数变化比较

参数	SiGe HBT	线性渐变 SiGe 基区
$\dfrac{n_{iB}^2(\text{SiGe})}{n_{iB}^2(\text{Si})}$	$\exp\left[\dfrac{\Delta E_g}{\kappa_B T}\right]$	$\exp\left[\dfrac{\Delta E_g\,\tau}{\kappa_B T W_B}\right]$
$\dfrac{J_C(\text{SiGe})}{J_C(\text{Si})}$	$\exp\left[\dfrac{\Delta E_g}{\kappa_B T}\right]$	$\dfrac{\Delta E_g}{\kappa_B T\left(1-\exp\left[\dfrac{-\Delta E_g}{\kappa_B T}\right]\right)}$
$\dfrac{\beta(\text{SiGe})}{\beta(\text{Si})}$	$\exp\left[\dfrac{\Delta E_g}{\kappa_B T}\right]$	$\dfrac{\Delta E_g}{\kappa_B T\left(1-\exp\left[\dfrac{-\Delta E_g}{\kappa_B T}\right]\right)}$
$\dfrac{V_A(\text{SiGe})}{V_A(\text{Si})}$	1	$\dfrac{\kappa_B T}{\Delta E_g}\left(\exp\left[\dfrac{\Delta E_g}{\kappa_B T}\right]-1\right)$
$\dfrac{\beta(\text{SiGe})V_A(\text{SiGe})}{\beta(\text{Si})V_A(\text{Si})}$	$\exp\left[\dfrac{\Delta E_g}{\kappa_B T}\right]$	$\exp\left[\dfrac{\Delta E_g}{\kappa_B T}\right]$
$\dfrac{\tau_B(\text{SiGe})}{\tau_B(\text{Si})}$	1	$\dfrac{2\kappa_B T}{\Delta E_g}\left(1-\dfrac{\kappa_B T}{\Delta E_g}\left(1-\exp\left[\dfrac{\Delta E_g}{\kappa_B T}\right]\right)\right)$
$\dfrac{\tau_E(\text{SiGe})}{\tau E(\text{Si})}$	$\sim\exp\left[\dfrac{\Delta E_g}{\kappa_B T}\right]$	$\sim\dfrac{\kappa_B T}{\Delta E_g}\left(1-\exp\left[\dfrac{\Delta E_g}{\kappa_B T}\right]\right)$

3.3 SiGe HBT 的噪声特性

Jain 做了 SiGe HBT 噪声特性的早期研究。后来 Ansley 等做了详尽的计算模拟来研究不同设计参数对 SiGe HBT 噪声特性的影响。模拟中用到了 Hawkin 模型。Hawkin 模型的结构示意图如图 4.13-15 所示。图中有四个主要的噪声源：源电阻的热噪声 v_s，基区电阻的热噪声 v_b，发射极的散粒噪声 v_e 以及收集极的隔离噪声 I_{cp}。图 4.13-15 所用的符号都表示它们通常的意义。R 表示电阻，下标 s、b、e 和 c 分别表示源、基极、发射极和收集极。R_e 为发射极的动态电阻，C_{eb}是 EB 耗尽区电容，等于 τ_{eb}/R_e，α_0 是共基极直流电流增益，$|\alpha|$是共基极小信号交流增益的绝对值，f 是测量噪声的频率。噪声因子完整的表达式很长很复杂。若只计算主要的项，F 近似表示如下：

$$F\approx 1+\frac{R_b}{R_s}+\frac{R_e}{2}\left\{\frac{[1-(2\pi f)C_{eb}X_s]^2}{R_s}+[(2\pi f)C_{eb}]^2R_s\right\}+\left[\frac{1+(2\pi f)^2\tau_b^2}{\alpha_0}-1\right]\left(\frac{R_s}{2R_e}+\frac{X_s^2}{2R_eR_s}\right) \tag{4.13-28}$$

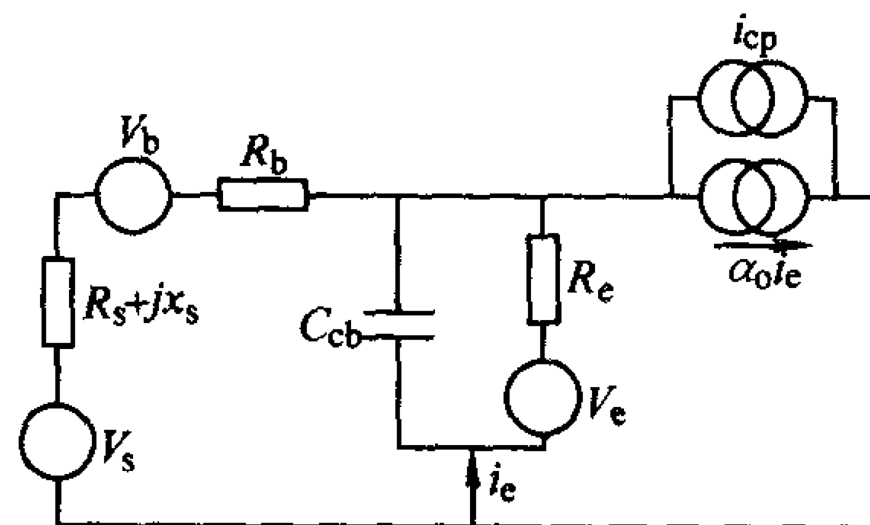


图 4.13-15 Hawkin 等效噪声模型

最小噪声系数 NF_{min}为 10lg（F），R_s 和 X_s 的优化值由下式表示：

$$R_{opt}=\sqrt{R_b^2-X_{opt}^2+\frac{1+(2\pi f)^2\tau_b^2}{\alpha_0}\frac{2R_b+R_e}{\alpha}} \tag{4.13-29}$$

$$X_{opt}=\frac{1+(2\pi f)\tau_b^2}{\alpha_0}\frac{(2\pi f)C_{eb}R_e^2}{\alpha} \tag{4.13-30}$$

$$\alpha=[(1+2\pi f)\tau_b][2(1+(2\pi f)\tau_{eb})^2-\alpha_0]\frac{1}{\alpha_0} \tag{4.13-31}$$

从以上表达式中可以看出基区掺 Ge 的优越性：Ge 的引入减小了基区电阻 R_b 和基区渡越时间 τ_b，因而减小了 NF_{min}。电流增益 β 在 SiGe HBT 中可以单独控制。提高 β（a－共基极小信号交流增益）同样可以减小 NF_{min}。而 Si BJT 的基区掺杂不可能很高，严重影响了 R_b 和 τ_b，使得其噪声特性较差。

4 SiGe HBT 的应用

具有与 BiCMOS 高度集成的特点使 SiGeHBT 在模拟和数字电路应用中都格外引人瞩目。在高频电路中，SiGe 器件的应用更为广泛。表 4.13-4 是各高频电路的特点和技术要求。

表 4.13-4 基本射频电路的特性和技术要求

电　路	主要特征	技术指标
低噪声放大器（LNA）	低噪声 单极增益大 线性度大	低的 NF_{min}，低的 HBT Rb 高厄利电压 高的 f_T 和 f_{max}
混频器（Mixer）	大的线性范围 高的隔离度 载波泄漏小	高的厄利电压 高的 f_T 和 f_{max} 隔离技术（DT） 小的失配

续表 4.13-4

电 路	主要特征	技术指标
电压控制振荡器（VCO）	低的相位噪声 远离载波 靠近载波 调谐范围大 低的增益浮动	高 Q 值的无源器件 低的低频噪声的 HBT 变容二极管的调谐范围大
综合器	低相位噪声 低参考激励 单位面积功耗	和 VCO 同 FET 的均匀性好 栅长小，低压操作，减小面积
PA	功率附近增益 单极增益 耐用	不匹配度小 高效高增益的 HBT 高击穿电压的 HBT

4.1 低噪声放大器（LNA）

低噪声放大器（LNA）在接收机中起着重要的作用。当输入信号很小时，它能够无附加噪声（低噪声）的放大，以达到所要求的信噪比，当输入信号很大时，LNA 可以无失真地接受大信号。合适的 LNA 设计是当今通讯电路的一个关键。LNA 设计要求同时满足高增益、低噪声、输入输出匹配、无条件稳定、高线性度和高 IP_3。

为了比较 SiGe HBT 和其他射频器件的性能，定义了一个新的参数——动态范围值（Dynamic Range Merit）DRM，将线性效率和噪声系数以及增益通过噪声测量联系起来：

$$DRM = (Gain \times IIP_3)/((NF-1)\times P_{DC}) \qquad (4.13\text{-}32)$$

噪声因子（NF）是噪声系数转换成 dB 的数值；三阶交调系数 IIP_3 转换成 mW 表示的功率；增益（Gain）表达成用噪声系数和交调系数表示的形式。单个的参数不能准确地对所有的 RF 电路进行优化权衡，DRM 系数的目的就是将增益、功耗、噪声系数和失真联系起来形成一个参数以进行 LNA 应用的工艺比较。

表 4.13-5 概括了 SiGe HBT 器件和其他商用 RF 设计技术的比较。这些参数表明 SiGe HBT 器件完全可以满足 RF 电路的要求，并能用基于 200 mm 原片的 Si CMOS 工艺制作，功耗低。需要强调的是，尽管 SiGe HBT 的 DRM 值不是最高的，但它在性能上具有强大的竞争力，且是能和 BiCMOS 工艺兼容的唯一选择。其他没有考虑的特性是 $1/f$ 噪声和器件匹配，这些可以进一步提高 SiGe HBT 电路的性能。

表 4.13-5 不同器件的 RF 应用的性能比较

器 件	增益 /dB	噪声 /dB	P_{DC} /mW	OIP3 /dBm	线性系数	DRM
IBM SiGe	14	1.6	27	25	12	26
GaAs HBT	12.3	1.6	29.1	25	11	24
GaAs HJ-EFT	17	0.8	60	28	10.5	52
PHEMPT	17.5	0.5	240	31.5	6	48
Si BJT (High fT)	17	1.5	14	17	4	9
Si BJT (High fT)	14	2	30	20	3.3	6
Si BJT (High fT)	13.7	1.3	10	15.7	3.7	11

图 4.13-16 是 1.9 GHz CDMA LNA 电路。这是一个典型的 LNA，在输入和输出回路分别加上了旁路电容，它可以提高电路的线性度。所得指标如下：

$Vsup = 3.3$ V；$Vce = 2$ V；$Ic = 10.3$ mA；Gain = 16.8 dB；NF = 1.9 dB；IIP3 = +5 dBm；IRL = 13 dB；ORL = 11 dB；Isolation = 27 dB。

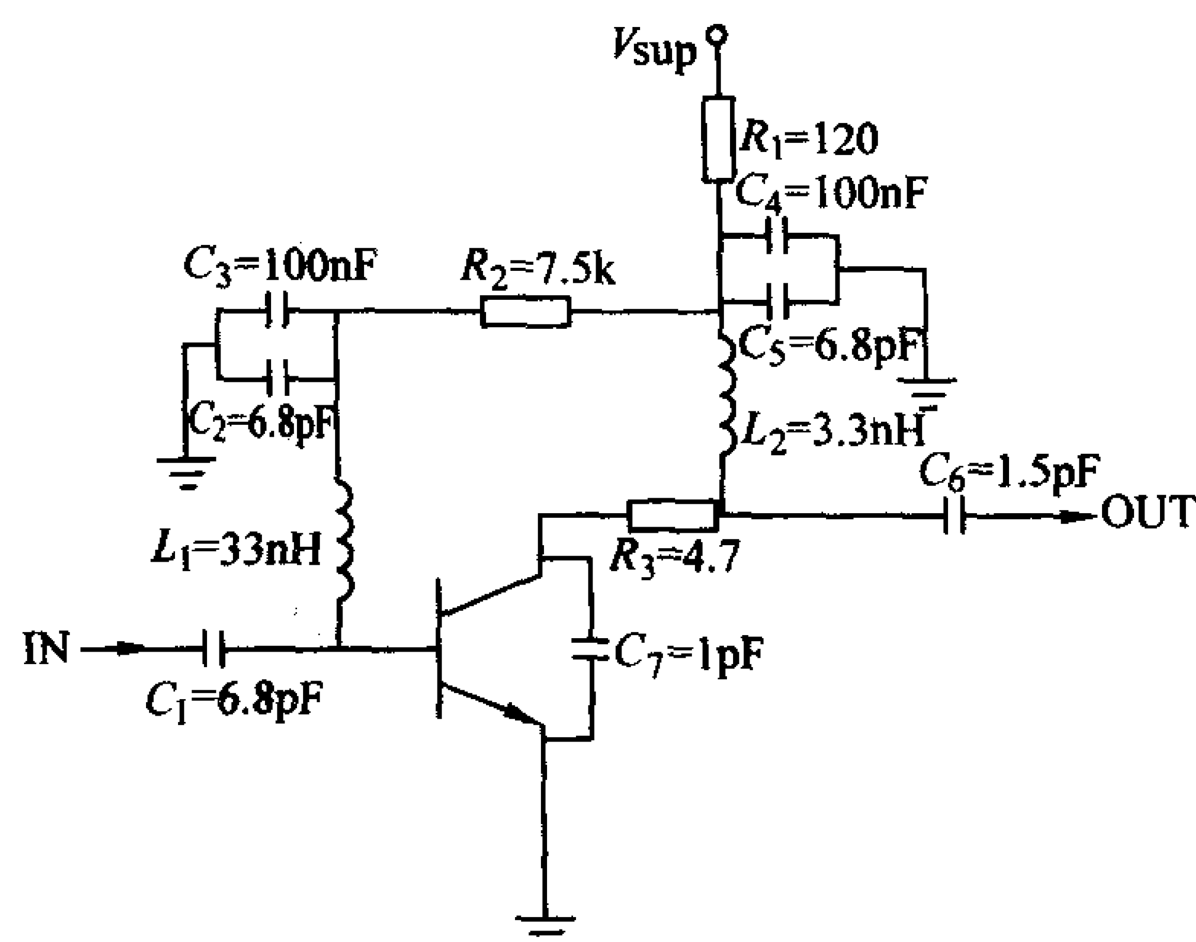


图 4.13-16 1.9 GHz GDMA LNA 电路

4.2 SiGe 功率放大器（PA）

在无线通讯领域功率放大器一直是 GaAs 基器件（HEMT、MESFET 和 HBT）的天下。SiGe BiCMOS 则带来了功率放大领域的革命。一类是高效无线功率放大器，通常峰值电压是供给电压的 2～3 倍，这就要求器件具有高的击穿电压。0.5 μm 的 SiGe BICMOS 工艺已经获得了 BV_{CBO} = 14.7 V，BV_{CEO} = 5.5 V 的高击穿电压特性。全效率（overall efficiency）和功率增加效率（Power-added efficiency）是衡量功率放大器的重要指标。它们定义成：

$$\eta = P_{rf,out}/(P_{DC}+P_{rf,in}) \qquad (4.13\text{-}33)$$

$$PAE = (P_{rf,out}-P_{rf,in})/P_{DC} \qquad (4.13\text{-}34)$$

这里，P_{out} 为输出功率，P_{in} 为输入功率，P_{DC} 为直流功率。目前研制的 SiGe PA 在效率最大时，640 μm^2 的功率器件可以在 900 MHz 提供大于 70% 的 PAE，在 2 GHz 时其值为 63%；这么高的效率能和其他最先进的功率放大器相媲美。另一类是线性调制设计的 PA（例如 CDMA），它要求满足最大的线性度，因而会对放大效率产生约束。该类功率放大器最主要的指标是在满足相邻的通道功率比(Adjacent-Channel-Power-Ratio）条件下放大器所能获得的效率。ACPR 定义为相邻通道的失真功率和在信号带宽内信号功率的比值。即该类 PA 要求最小失真条件下的最大效率。在满足线性需求效率最大时，640 μm^2 SiGe 功率器件已获得 44% 的 PAE，而 ACP = 46 dBc，这可以和其他 PA 技术相当了。另外，既然 SiGe HBT 具有小的 $V_{CE,SAT}$（和 GaAs 相比），PA 性能在 VC = 2.7 V 甚至更低时仍能维持。640 μm^2 器件可以在饱和条件下仍能维持 70% 的 PAE，在 ACP = 46 dBc 时 PAE 为 44%。这些结果表明 SiGe 可以满足饱和和线性的手机功率放大器所需的性能要求。

4.3 电压控制振荡器（VCO）

VCO 是电路设计的一个难点。表 4.13-4 给出了 VCO 的设计要求。理想的 VCO 应该没有相位噪声，调谐范围大，对温度、输出负载变化和供给电压变化都不敏感。相关的相位噪声为 $\frac{1}{4Q^2}\left(\frac{\Delta w}{w_0}\right)^2\frac{Pnoise}{Pcarrier}$，其中 Q 是开环品质因数，Δw 是频率偏移，w_0 是中心频率，Pnoise 是每个噪声源的谐密度。该表达式指出：为提高相位噪声特性，要使用高 Q 值的振荡器，减少振荡路径上的有源器件和有损耗的无源器件，增大振荡器的扇出（Pcarrier）。电感 Q 值的提高、变容二极管质量的改进和 SiGe 技术的引进使 VCO 性能得到改善。使用 SiGe 技术，VCO 可以完全单片集成。IBM 已经报道了工作在 17.1 GHz 的 VCO，供给电压仅为 3.3 V，调谐范围 600 MHz，

在偏离中心频率1 MHz处的相位噪声仅为-104 dBc/Hz，输出功率-5 dBm，功耗仅为65 mW。

4.4　集成电路中高 Q 值的无源器件

无源器件通常包括电阻、电容、电感和变容二极管。它们是实现SOC SiGe BiCMOS集成的必要元件。

1）电阻　电阻的关键参数是容差、寄生电容、温度系数和电压系数。一般，电阻由单晶硅或多晶硅材料制成的。单晶硅电阻的寄生电容比多晶硅大，因此应用较少。通过改变多晶硅淀积技术可以改变多晶硅晶体结构，因此可以改变电阻的阻值。精确控制多晶硅厚度、淀积过程、注入剂量和热处理过程可以减小电阻容差。方块电阻越低，阻值越容易控制。多晶硅电阻的容差通常大于15%。现在在SiGe BiCMOS应用中发展了薄膜电阻，容差和寄生电容都得到减小。0.18μm的SiGe BiCMOS TaN电阻的容差为10%左右，其寄生电容比多晶硅电阻小4.5倍。

2）电容　半导体工艺中电容主要有三个基本类型：①多晶硅栅衬底电容（MOS电容）；②多晶硅-电介质-多晶硅电容（poly-poly电容）；③金属-绝缘体-金属电容（MIM电容）。电容的主要指标是单位面积的容值、底板的寄生电容和 Q 值。三种电容的特性概括于表4.13-6。MOS电容单位面积电容值最大，而MIM电容的 Q 值最高，在2 GHz可达70~80。通过比较电压系数可知多晶硅-多晶硅电容具有最大的线性V-C关系，但MIM电容的Vcc更接近0。电容的 Q 值可以用下式表示：

$$Q = \text{energystored}/\text{energydissipated} \approx 1/jCRs \quad (4.13\text{-}35)$$

可见 Q 值和串联电阻成反比。所以要提高MOS电容的 Q 值就必须减小串联电阻。这在HBT工艺中可以用穿透注入来实现。

表4.13-6　不同电容参数的比较

参　数	MOS	POLY	MIM
单位面积容值/fF·μm^{-2}	3.1	1.7	0.7
容差/%	15	15	15
TCC/10^{-6}℃$^{-1}$	40	40	-22
Vcc/10^{-6}V^{-1} +	-6 660	2 918	-40
Vcc/10^{-6}V^{-1} -	-3 330	3 992	37
最大电压/V	3.6	5	5
2 GHz时的 Q 值	20	—	70~80

3）电感　电感的三个关键参数是 Q 值、电感值和所占面积。电感所占的面积不能制作其他器件，所以，它占据了很大一部分版图面积。图4.13-17画出了螺旋电感的剖面图和它的等效模型。优化电感设计时涉及的主要寄生元件是：螺旋串联电阻（R_1），衬底电阻（R_2、R_3）以及螺旋线和衬底间的寄生电容（C_1、C_2）。为了减小寄生效应获得高的 Q 值，可以减小串联电阻、改变有效衬底电阻和减小氧化电容。减小串联电阻是提高 Q 值最有效的方法，通常我们采用厚的、窄的、低阻值的金属线来改善串联电阻。这种方法可以将 Q 值提高100%左右。改变有效衬底电阻可以减小在衬底上的损耗。通常用高阻值的衬底和采用接地板的方法来减小衬底的损耗。此种方法可以将 Q 提高50%。减小氧化层电容也可以将 Q 提高20%左右。

4）变容二极管　变容二极管的关键参数是调谐范围和 Q 值。把一个FET的偏置从积累变到反型，电容会发生很大的变化，可用作变容二极管。反偏的结型二极管也构成变容二极管。MOS变容二极管的调谐范围大但线性度差。注入型的结型二极管的线性度较好但调谐范围小。通过调节变容二极管的注入可以改善其调谐范围。图4.13-18比较了三种变容二极管的调谐范围。可见，调节注入的结型二极管的调谐范围明显高于其他类型的变容二极管。

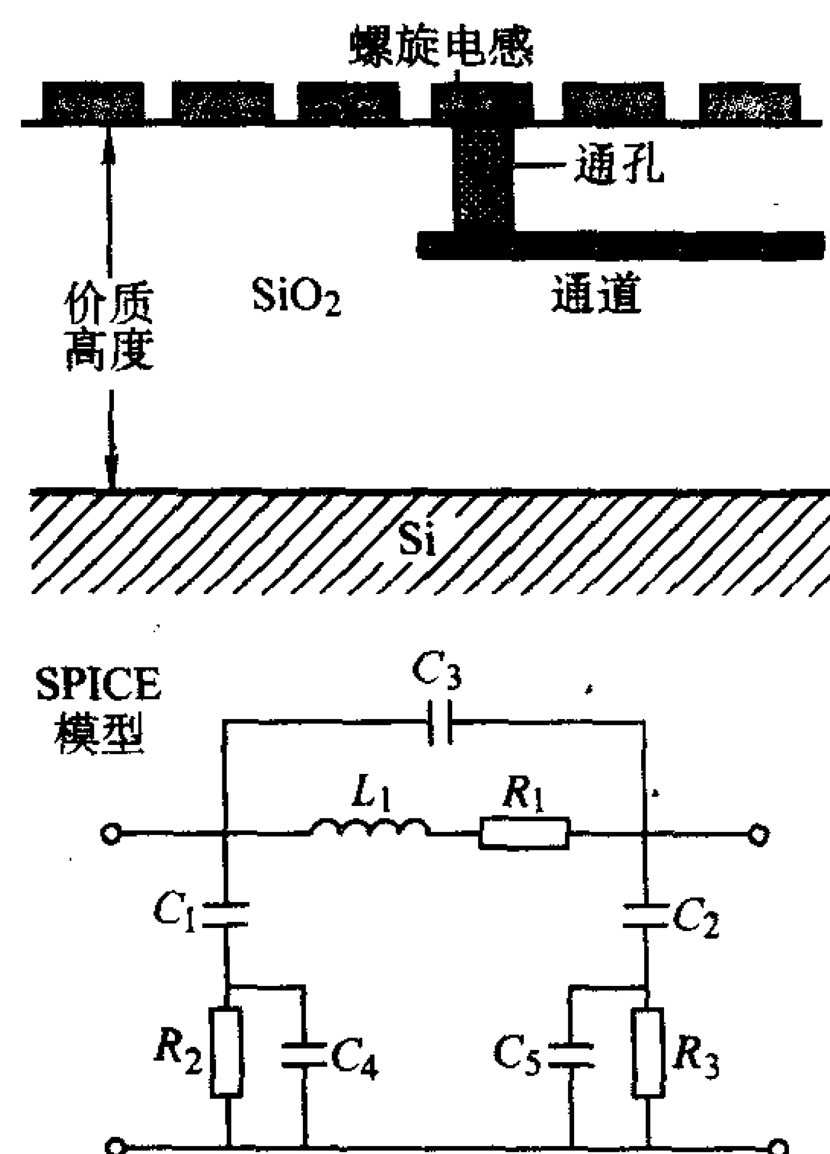


图4.13-17　电感的剖面图和它的等效电路

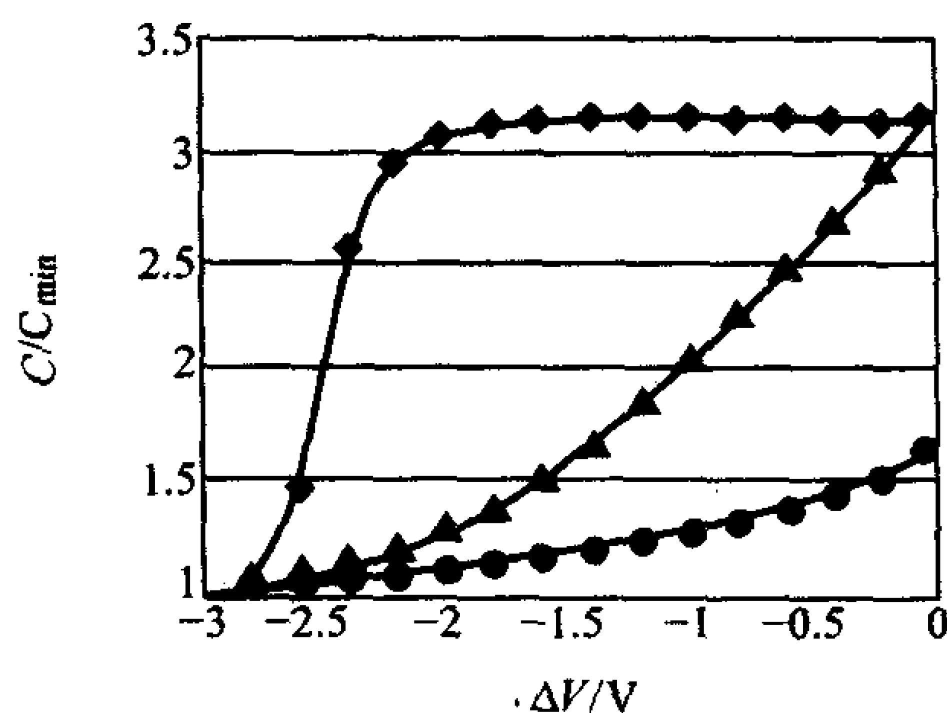


图4.13-18　三种变容二极管◆MOS变容二极管；▲定制注入的结型二极管；●未定制的结型二极管

对于 Q 值，三种变容二极管的 Q 值都和串联电阻有关。串联电阻越小，Q 越高。Q 值由低到高的顺序是：MOS变容二极管、调节注入结型二极管和未调节的结型二极管，和调谐范围的顺序正好相反。

5　其他硅基电子器件

5.1　Si/SiGe调制掺杂场效应晶体管（Si/SiGe MODFET）

1）二维电子气中的载流子迁移率　SiGe应变层的价带边比Si高，而导带边比Si低，在两层Si之间夹入一层SiGe应变薄层就可能形成一个二维的空穴气。同样，如果应变层是张应力，低能量的量子阱将在Si量子阱中形成二维的电子气。载流子由相邻高掺的p型或者n型的层提供，这种结构称为调制掺杂结构。用调制掺杂应变层制成的器件被称为调制掺杂场效应晶体管（MODFET）。在MODFET中，掺杂杂质并不在有源层中，杂质散射减小，这样就提高了载流子的迁移率。表4.13-7中归纳了在应变Si或SiGe量子阱中所获得的二维载流子的迁移率。

2）调制掺杂场效应晶体管（MODFET）　1980年最初展示的SiGe器件就是SiGe调制掺杂场效应晶体管（MODFET）。该器件的设计思想由Dingle等在1978年提出。掺杂层远离量子阱，这样电子（或空穴）就会进入量子阱而和施主（或受主）分开，如图4.13-19所示，从而减小了库仑散射，迁

移率提高。MODFET 和高电子迁移率晶体管（HEMT）是Ⅲ－Ⅴ族工艺常见的器件，它们因为具有极低的噪声系数和高度的线性工艺而广泛的用于模拟和微波应用。

表 4.13-7　二维载流子的迁移率

类型	温度/K	迁移率/$cm^2 \cdot (V \cdot s)^{-1}$	备注
电子气	300	2 830	K. Ismail
电子气	77	18 000	K. Ismail
电子气	<2	180 000	F. Schaffler
电子气	0.4	300 000	K. Ismail
空穴气	300	1 050	K. Ismail
空穴气	77	3 500	K. Ismail
空穴气	<10	18 000	F. Schaffler

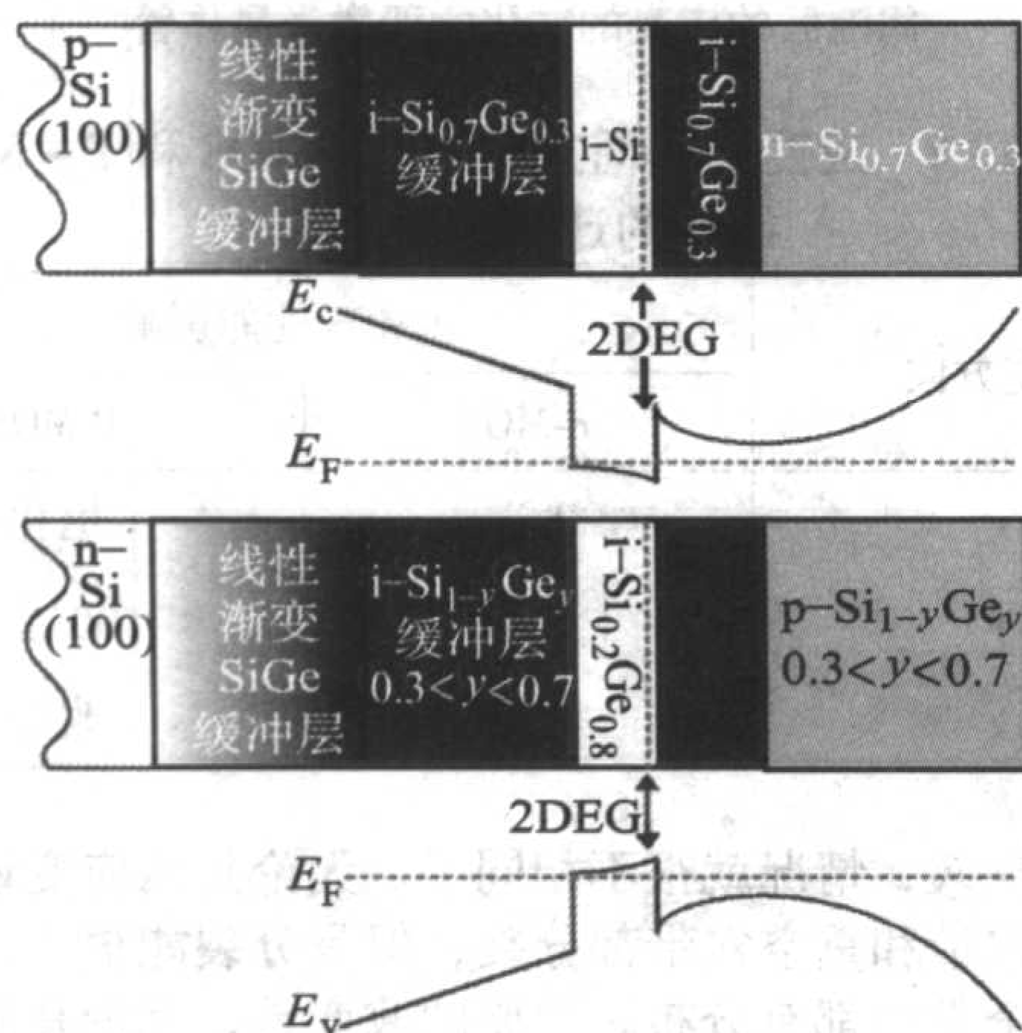


图 4.13-19　虚衬底上制备的 n 型和 p 型 MODFET 的结构和能带图

在 SiGe 系统中，能带结构决定着 n 沟道的 MODFET 必须生长在虚衬底上，当虚衬底的 Ge 含量增加时，量子阱的深度增加，如图 4.13-19 所示。对于空穴，需要一个压应变的 $Si_{1-x}Ge_x$ 量子阱形成可以在虚衬底 $Si_{1-y}Ge_y$ 上生长的价带的量子阱，$x>y$。在应用过程中如果需要高电导率的话，可以采用多种掺杂类型，如在量子阱的上层掺杂或下层掺杂，或者在其两边都进行掺杂。氧化物栅极仍然被沿用，这可以减小栅极泄漏电流而降低器件的静态损耗。

MODFET 最大的应用是低噪声和高速的微波单片集成电路（MMIC）。随着栅长减小、晶体管设计的优化和寄生效应的减小、MODFET 的 n 型和 p 型载流子速度成倍的提高。图 4.13-20 画出了 n 沟和 p 沟的 MODFET 的 f_T 和 f_{max} 作为栅长函数的曲线。需要特别指出的是，和具有相同栅长的 n 型或 p 型 MOSFET 相比，f_{max} 有了显著的提高。图 4.13-20 还画出了假定迁移率在 2 700 $cm^2/(V \cdot s)$ 时的最大 f_T 的理论计算值。栅长在 100 nm 以下时，f_T 的值比理论计算值要小很多，这和寄生电容电阻有关。很多 p－MODFET 用 Ge 沟道而不是 SiGe 沟道，因为 SiGe 沟道需要 Ge 含量大于 60% 的虚衬底。

MODFET 不仅具有高的速率，同时具有高的跨导，如图 4.13-21 所示。虽然图中一些跨导的值并不比最先进的 CMOS 工艺（<1.5 nm）高，但是 MODFET 器件和 CMOS 器件相比具有极低的噪声和大的线性度。这和 MODFET 高的迁移率是密不可分的，MODFET 的典型迁移率高于 2000 $cm^2/(V \cdot s)$，而 90 nmCMOS 工艺的 n 型 MOSFET 器件的迁移率不高于 200 $cm^2/(V \cdot s)$。到目前为止，SiGe MODFET 并不像 HBT 那样走向产品化。这些器件并不是高集成密度条件下的理想器件。因为它们的泄漏电流较大。和无源器件的集成也是高频模拟电路的重要部分。高阻的 Si 衬底和很多Ⅲ－Ⅴ族材料相比阻值还不够高，衬底的高频耦合在 Si 集成电路中也更大。目前，性能优于 SiGe 器件的Ⅲ－Ⅴ族器件的成本还太高。目前，市场 SiGe MODFET 的还很有限，它和 GaAs 以及其他的Ⅲ－Ⅴ族 HEMT 器件竞争激烈。所以目前还没有出售此类电路的厂商。

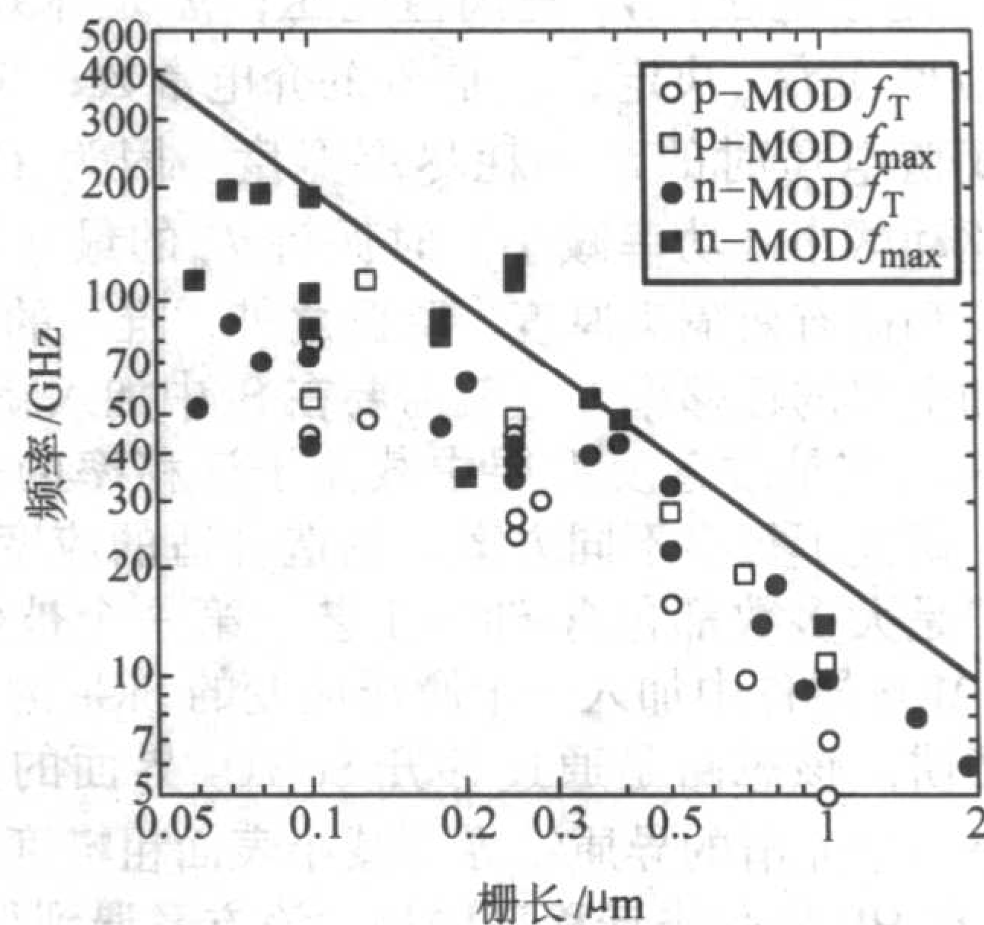


图 4.13-20　SiGe MODEFT 随栅长的变化
实线是 n 型 MODFET 的最大 f_T 的理论值

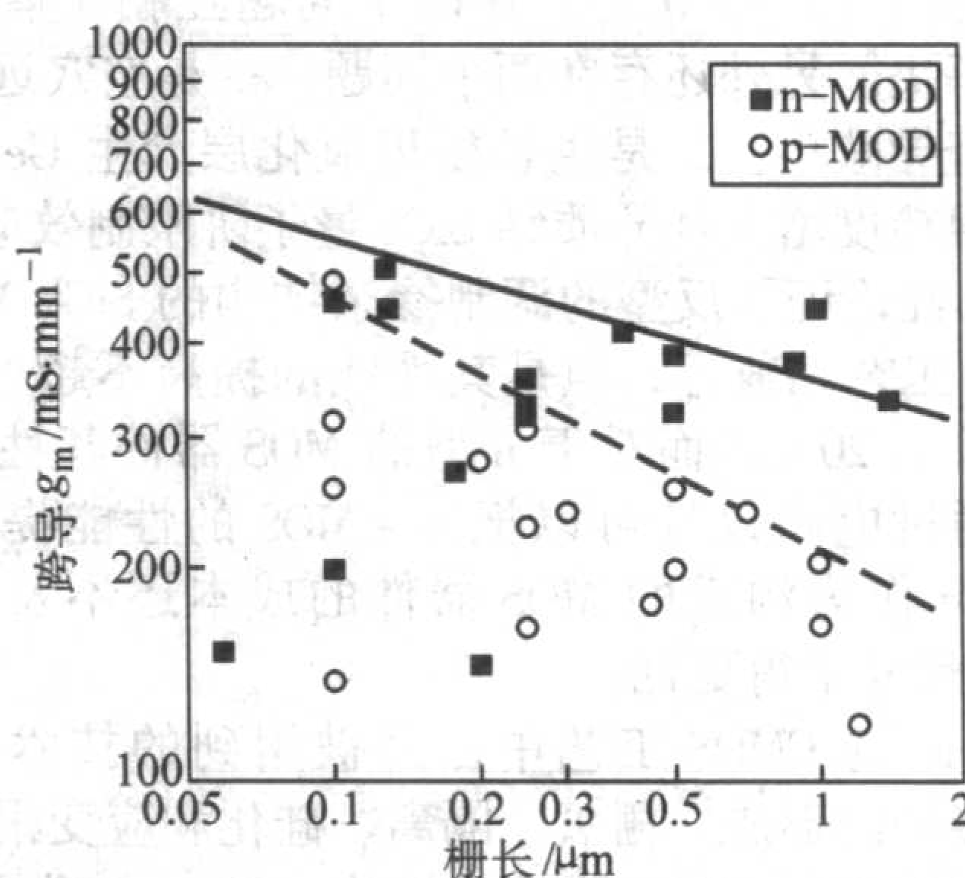


图 4.13-21　SiGe MODFET 的跨导 gm 随栅长的变化

5.2　Si 基 MOS 器件

尽管 SiGe HBT 是最成熟的 SiGe 器件，但 CMOS 器件仍占有了微电子的最大市场。这是因为半导体芯片的功耗限制了最终的集成密度，CMOS 结构仅在开关操作时有功耗损失。静态功耗仅和泄漏电流 I_{off} 有关。SiO_2 的使用和 pn 结做隔离使得 MOS 工艺和其他半导体器件工艺相比具有较低的泄漏电流。另外 Si 具有较高的热导率（和很多Ⅲ－Ⅴ族半导体相比），使得 Si CMOS 和任何其他的微电子器件工艺相比能够在一个芯片上集成上亿或者更多的晶体管。这样随着 MOSFET 的栅长减小，每个晶体管的功耗减小，尺寸缩小时的集成密度随着时间以指数的水平递增。

随着 CMOS 器件尺寸的缩小，栅长已经小于 100 nm，而这种尺寸缩小规律将至少在未来的 10 年里继续。MOSFET 的尺寸缩小引起了一系列的问题。特别是，栅氧化层厚度在最新的器件中已经小于 2 nm，由于氧化层太薄，由量子机制引起的隧道电荷就能够穿过栅隔离层而增大了器件的关态电流。于是人们做了很多努力去尝试寻找高介电常数，同时又具有和 SiO_2 一样低的界面电荷密度的栅极隔离材料来减小有效厚度对器件特性的影响。栅隔离厚度减小对器件的另一个影响是：栅极中电荷的作用使 CMOS 晶体管反型层电子和空穴的载流子迁移率减小。小栅长器件的最大问题是，掺杂

区和欧姆接触区的耗尽层宽度都成为栅长的一个主要部分，除非掺杂浓度非常之高，器件可能会被关断。因此，很多工艺方案被提出来用于解决这些问题。

长沟 MOSFET 的饱和电流 I_{on} 由下式表示

$$I_{on} \approx \mu_{eff} C_{ox} \frac{W}{L_g} \times \frac{(V_g - V_T)^2}{2m} \tag{4.13-36}$$

式中，μ_{eff}是有效迁移率；C_{ox}是栅隔离电容；W 是栅宽；L_g 是栅长；V_g 是栅电压；V_T 是阈值电压；m 是体效应系数，由 $1+(\varepsilon_{Si}/W_D)/C_{ox}$决定；$\varepsilon_{Si}$是 Si 的介电常数；$W_D$ 是短沟器件处于阈值电压时的最小耗尽层宽度。因为 $C_{ox}=A\varepsilon_{ins}/t_{ox}$，当栅驱动减小（功率减小）时保持 I_{on} 的最显著方法就是减小栅长和栅有效隔离厚度。除此之外，唯一的方法就是增加电子和空穴的迁移率，这就需要在 Si 中加入新的材料。

应变 Si 工艺是改善反型层中载流子迁移率的一个主导方式。人们研究了很多不同方案来制造合适的应变 n 沟或 p 沟器件，但是大多数都包含 SiGe 工艺。第一个被研究的方案是在 p－MOS 器件中加入一个赝压应变的 SiGe 沟道形成一个埋层量子阱。该思路是通过移开 Si/SiO_2 界面的空穴，取而代之的是一个光滑的异质结界面减小表面粗糙度散射，同时分离 LH 和 HH 能带来迁移率增加。该方案遇到很多困难。首先是量子阱中大量掺 Ge 增加了合金散射从而影响空穴的迁移率。其次，异质结界面需要大的能带不连续又要求 Ge 含量尽可能高（$x>>0.2$）。这两个问题互相矛盾因此不能同时得到解决。另外还存在两个问题，一是空穴远离栅极因而器件的跨导减小，二是生长栅极氧化层产生 Ge 的大量扩散而引起粗糙度增大和异质结 SiGe 量子阱限制效应减弱。

IBM 已经论证了反型的调制掺杂结构的 SiGe MOSFET 可以和 CMOS 工艺相兼容，但是其性能的提高不超过普通 p－MOS 晶体管的 20%。而对于 n 型的 MOS 器件其性能几乎没有提高。通过电路设计可以把 n－MOS 的性能提高 3 倍左右。用 SiGe 作为沟道的 MOS 器件的成本还不及缩小标准 CMOS 工艺尺寸来得更低。

在 90 nm 的 CMOS 工艺中已经被用到的技术是应变技术。欧姆接触的形成、栅氧、隔离、硅化和应变帽层通过引入应变都可以改善 CMOS 器件的性能。第一个例子是在 P－MOS 器件的 p 型掺 B 接触区中加入 Ge。退火以后，接触区 Ge 和 Si 形成的应变 SiGe 在接触区减小了带宽，改善了 DIBL 特性。在很多长沟器件中（栅长 > 100 nm）引入的应变集中在欧姆接触区附近。

在 90 nm 的 CMOS 工艺或特征尺寸更小的 CMOS 工艺中，如果器件的尺寸减小到 50 nm 栅长以下，应变可以用于整个沟道。低掺杂漏极接触区的刻蚀－停止氮化物薄膜可以提供沟道的张应力，因而增加 n－MOS 器件的迁移率。压应变的 Si_3N_4 薄膜则可以提供相反的应力作用。提高薄膜的应变，在不改变 p－MOS 的其他性能的基础上，其电流特性有所改善。浅结隔离（STI）同样可以在亚微米晶体管结构中在沟道中引入应变，从而改善 p－MOS 的性能，但同时 n－MOS 的性能却有所衰减。当沟道宽度减小时，nMOS 器件对引入的应变不敏感，而 p－MOS 则会受应变的影响很大。图 4.13-22 和表 4.13-8 概括了 MOSFET 中的应变。

用弛豫 SiGe 虚衬底的方法可以更大程度地提高器件的性能。先生长一层 SiGe 的压应变弛豫缓冲层，然后生长张应变的 Si 层。这种结构和标准的 CMOS 工艺类似。这就是应变 Si 的 CMOS。张应变分裂了导带能谷，减小了 Δ2 谷的能量，增加了 Δ4 能谷的能量，这样仅在 Δ2 谷中聚集着大量的载流子。在弛豫的 $Si_{1-y}Ge_y$ 缓冲层上生长应变 Si，形成导带差为 0.6 y eV 的量子阱，而且垂直方向的有效质量大，将电子限制在张应变的 Si 中。横向的有效质量在应变增大时基本保持恒定，这和提高性能关系不大。真正改善性能的是间谷散射的减小，已经证明了这在室温和低温下都很大程度上提高了 n－MOSFET 的迁移率。

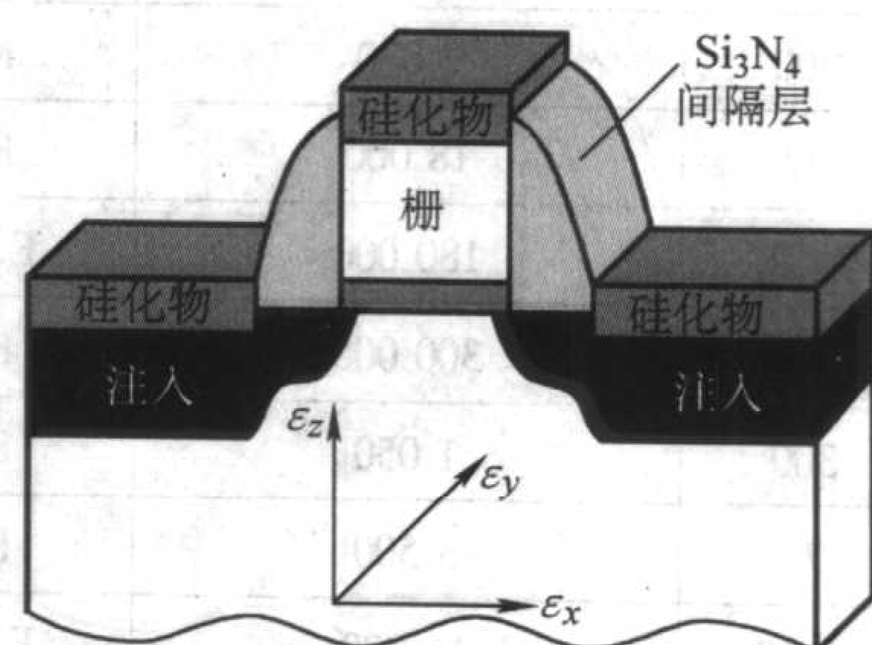


图 4.13-22　掺杂和应力方向有关的低掺漏极间隙区的应变的硅化物亚微米晶体管

表 4.13-8　应变在不同方向对 n－MOS 和 P－MOS 器件的迁移率和影响

应变方向	CMOS 性能影响	
	n-MOS	P-MOS
x	改善	退化
y	改善	改善
z	退化	改善

对于空穴，情况就很不相同了。无论是压应变还是张应变，轻空穴带和重空穴带都分裂，但是分裂能很小，所以载流子在各个带中都有分布。主要的改变是，无论是压应变或是张应变，重空穴有效质量状态密度降低。对于轻空穴质量，张应变减小有效质量但压应变增大有效质量。重空穴质量的减少，比压应变中更为明显。另一个问题是生长在弛豫的 $Si_{1-y}Ge_y$ 缓冲层上的张应变 Si 层的空穴能量高于弛豫的衬底。如图 4.13-23 所示。结合垂直方向上低的有效质量，和电子相比，会使波函数向衬底延伸扩展。这会导致在弛豫的 $Si_{1-y}Ge_y$ 缓冲层中形成一个寄生的空穴沟道，特别是衬底中 Ge 含量较高的情况。图 4.13-24 和图 4.13-25 画出虚衬底中不同 Ge 含量时典型的电子和空穴迁移率。虚衬底中 Ge 含量相同时，空穴性能的提高低于电子。

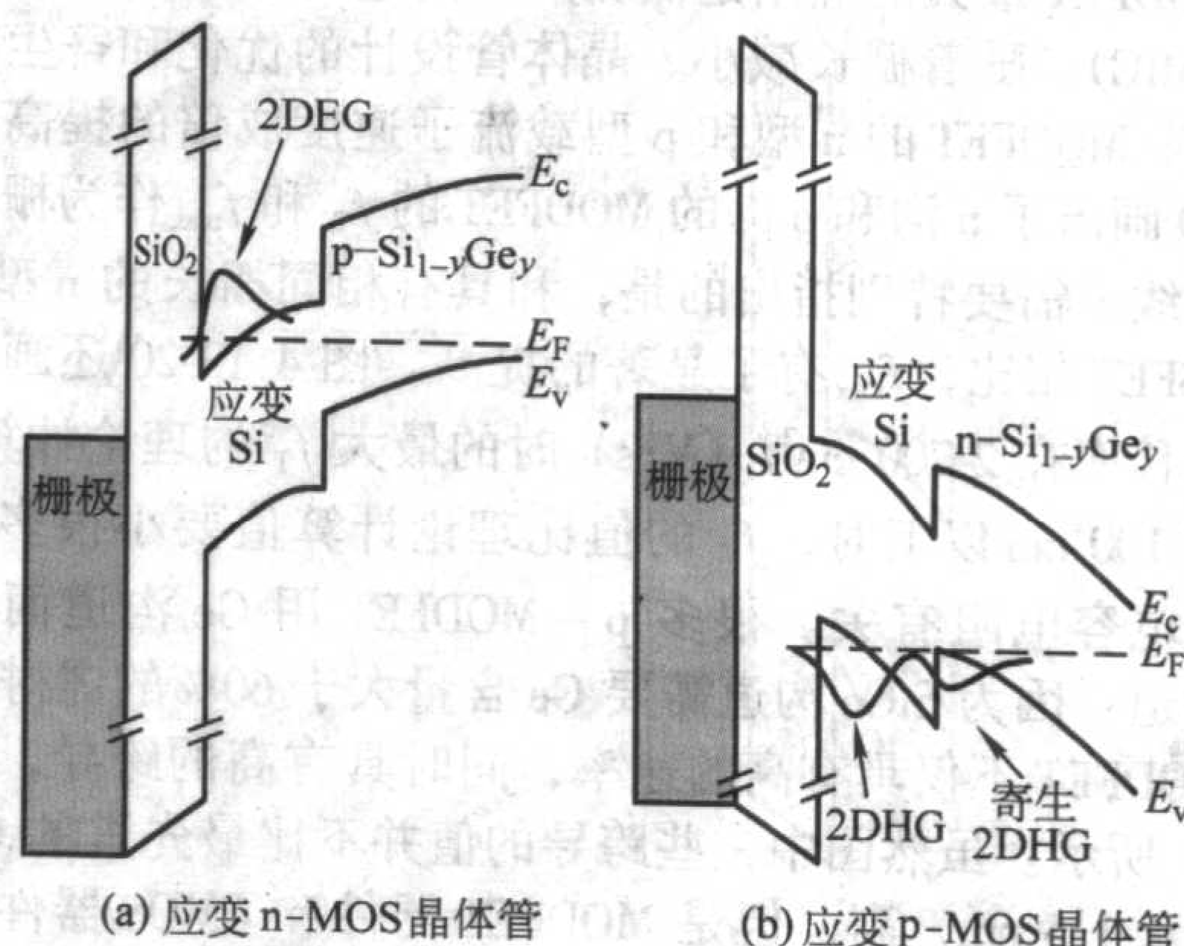


图 4.13-23　应变 MOS 晶体管的能带图
在（b）中在 Si/$Si_{1-y}Ge_y$ 界面可能出现第二个二维空穴气而在 n－MOS 中只有一个二维电子气区域

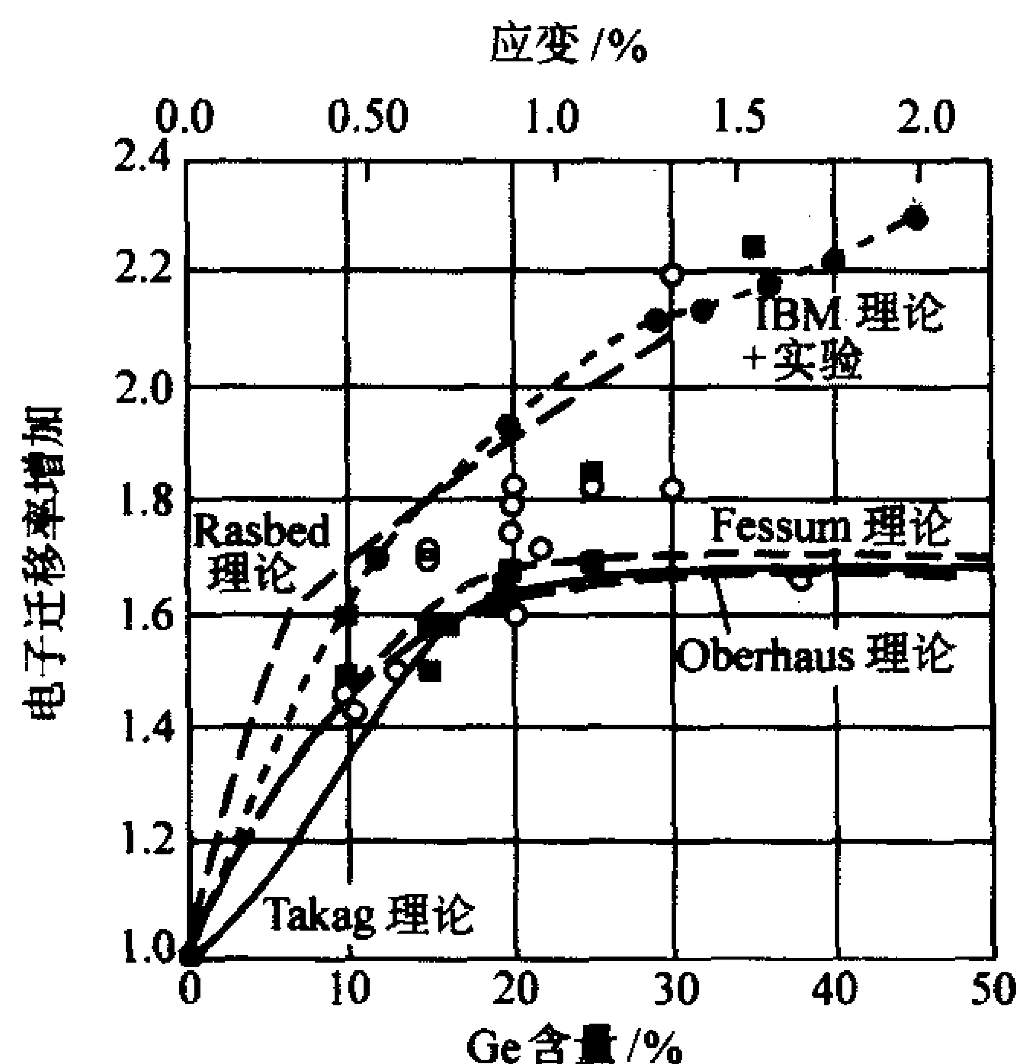


图 4.13-24 应力和掺 Ge 对电子迁移率提高的影响■ SOI 衬底上的应变硅；○弛豫 SiGe 上的应变 Si；● IBM 在弛豫 SiGe 上获得的结果

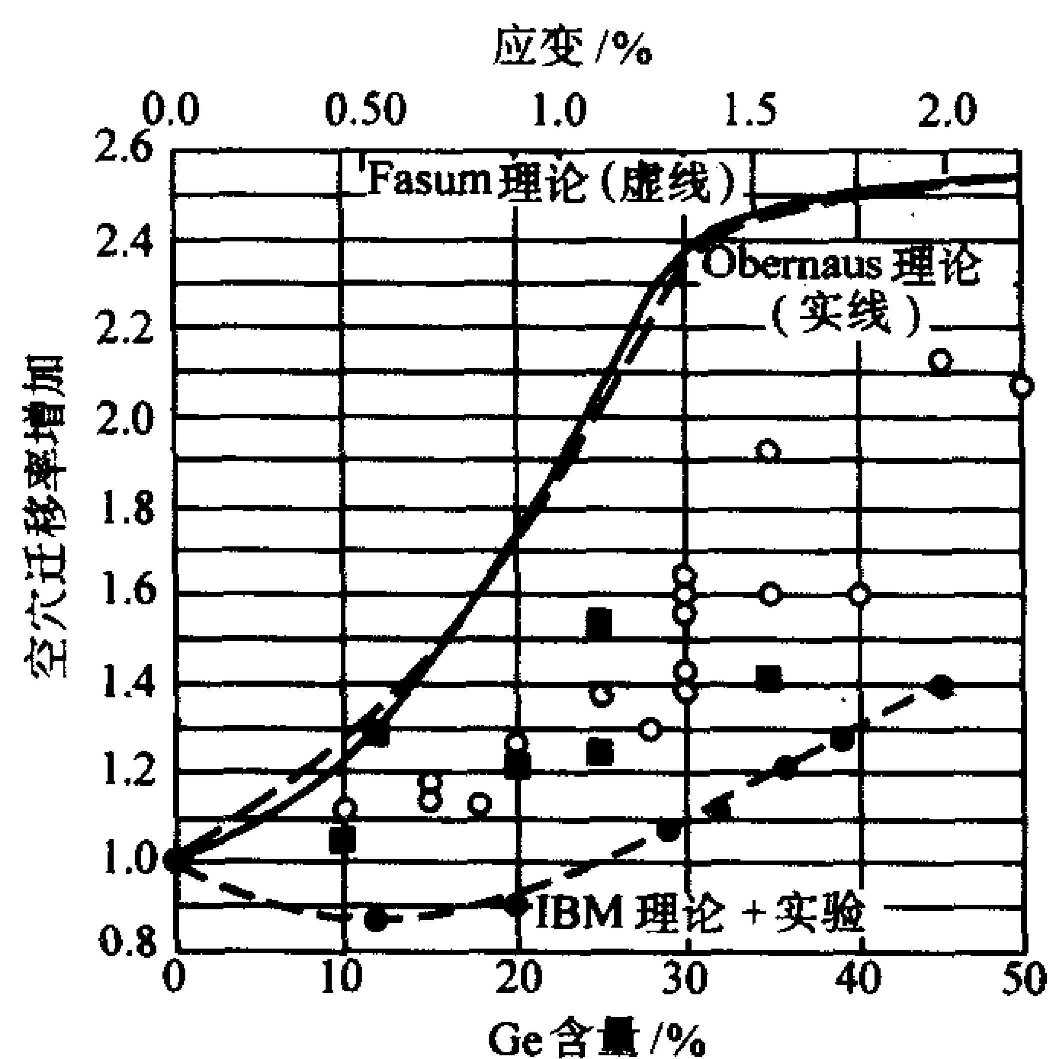


图 4.13-25 应力和掺 Ge 对空穴迁移率的影响
■ SOI 上的应变 Si 器件；
○ 弛豫 SiGe 上的应变 Si；
● IBM 在弛豫的 SiGe 上得到的结果

应变 Si 器件的优势是最简单直观地可以从电流－电压特性上看出。图 4.13-26 画出了 0.25 μm 的 CMOS 器件、体硅的和 $Si_{0.85}Ge_{0.15}$ 虚衬底上的应变 Si 的特性曲线。在所有的电压范围内，应变 Si 器件都具有较高的电流。应变 Si n－MOS 器件同样说明了厚虚衬底的问题。在高压时，应变 n－MOS 器件的电流会减小。这是由于 SiGe 虚衬底的热导率比硅低，不能向体 Si 器件那样有效地将热量散出。

图 4.13-27 是 0.25 μm 应变 Si 晶体管的亚阈值特性，可以看到，I_{on} 和 I_{off} 相差大于 7 个数量级。图 4.13-28 是最大跨导随栅长的变化，可见在任何栅长范围内，应变 Si MOS 的性能都较 Si 有所提高。这表明应变 Si CMOS 工艺不仅可用于超短栅长器件，而且可以沿用原有的工艺。在 CMOS 工艺中引入应变 Si 不仅带来了性能上的巨大改善，而且可以减小很多 CMOS 工艺的成本。

在绝缘衬底上的应变 Si CMOS 也得到研究。寄生电容减小、通过虚衬底刻蚀或化学抛光（CMP）失配位错消除，这些因素都提高了载流子迁移率。很多微处理器厂商特别在便携式计算机或掌上器件中都已经使用 SOI 原片的 CMOS 芯片，因为沟道间的高迁移率使 SOI 工艺提供更高的功率。当最终的栅长到达 15 nm 以下时，短沟效应起主要作用时，就需要全耗尽的 MOSFET 来开关。如果应变 Si CMOS 投入生产，则绝缘体上的应变 Si 的发展就十分重要。

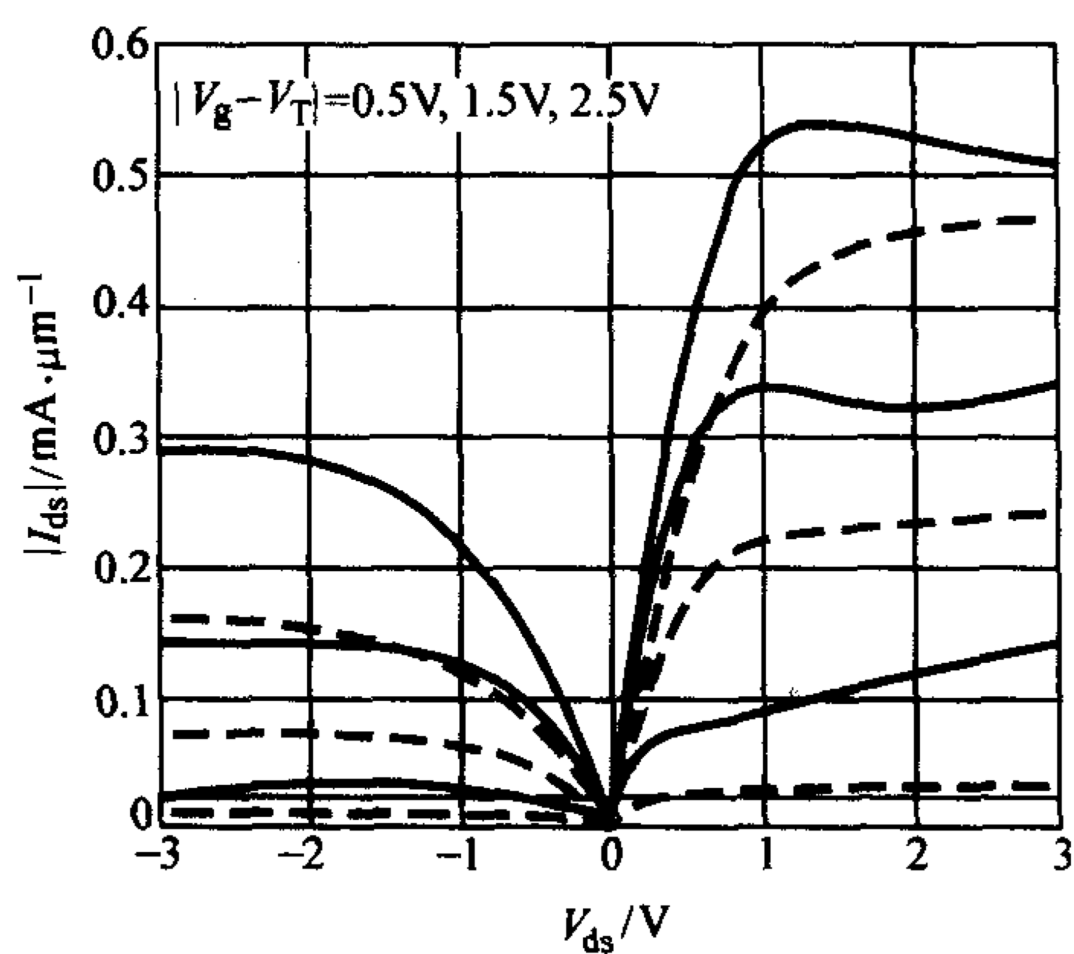


图 4.13-26 $Si_{0.85}Ge_{0.15}$ 虚衬底上的应变 Si CMOS 器件（实线）和体 Si 器件（虚线）的电流电压曲线
所有器件的有效沟道长度都是 0.25 μm，栅氧厚度 6 nm，宽度 5 μm。N 沟器件在高栅极偏压下受自热效应的影响，随着电压增加电流减小

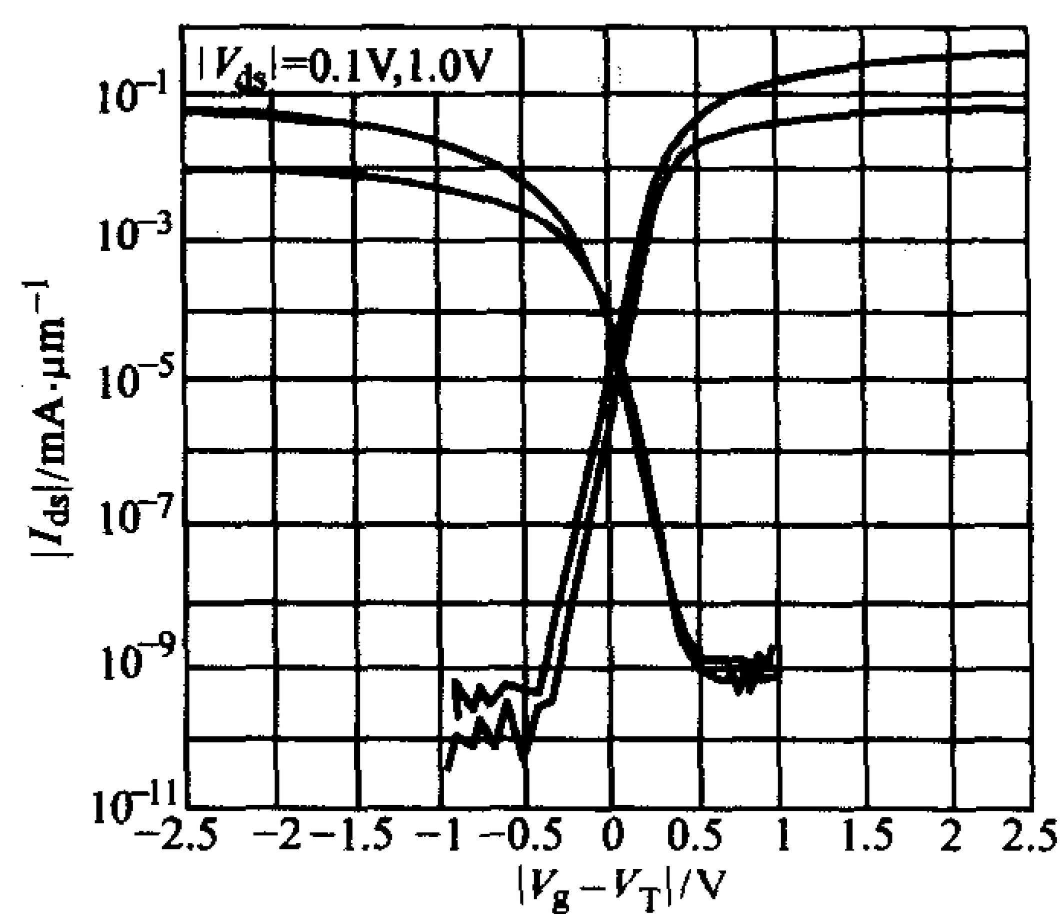


图 4.13-27 $Si_{0.85}Ge_{0.15}$ 虚衬底上的应变 Si 0.25 μm 的 CMOS 器件的亚阈值特性

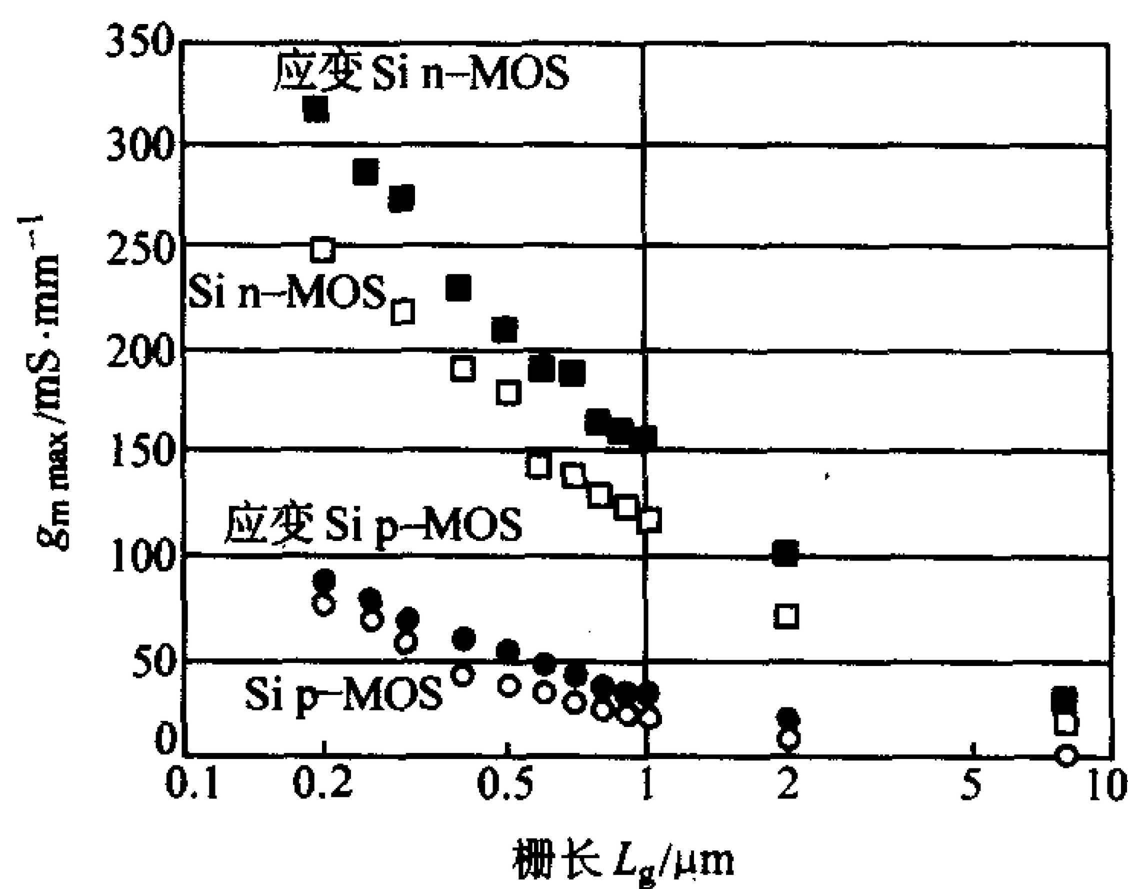


图 4.13-28 $Si_{0.85}Ge_{0.15}$ 衬底上应变 Si CMOS 和体 Si CMOS 器件的最大跨导 g_{max_g} 与栅长变化的关系 $|I_{ds}|=1$ V

5.3 各种晶体管噪声的比较

不同工艺方法制备的晶体管几乎是不可比拟的，因为双极和 FET 的偏置和传输机制都不尽相同。图 4.13-29 试图比较 0.18 μm 的 Bi CMOS 工艺的体 Si n－MOS 和 SiGe HBT 晶体管以及 0.13 μm 栅长的 Si－MODFET。到目前为止，没有应变 CMOS 器件的可比拟的测量来进行直观的比较，但是高的迁移率会导致低的噪声系数 NF_{min} 和高的相关增益。

FET 的最小噪声系数由下式表示

$$NF_{min} \approx 1 + K\frac{f}{f_T}\sqrt{g_m(R_G + R_S)} \qquad (4.13\text{-}37)$$

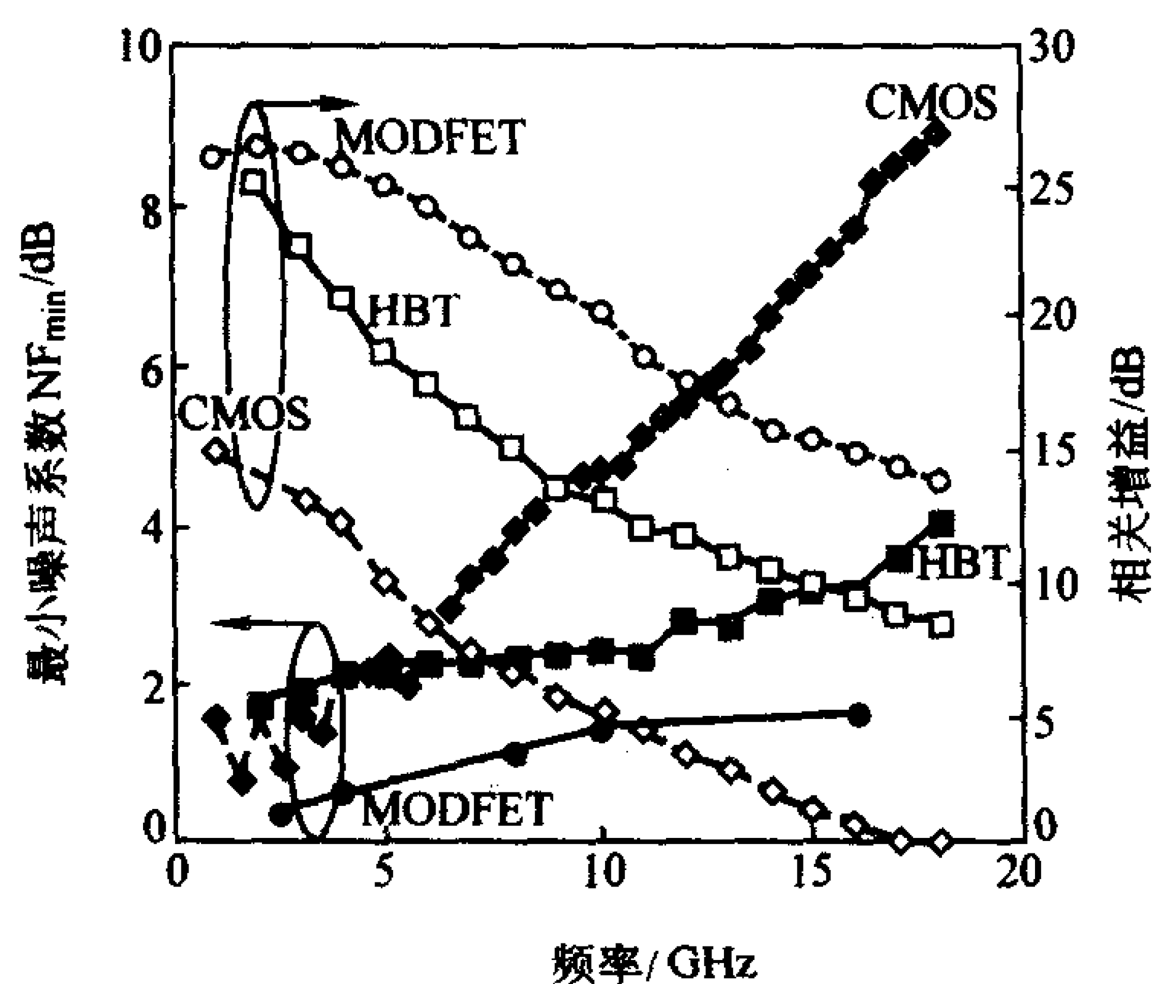


图 4.13-29 300 K 硅基晶体管最小噪声系数 NF_{min} 的比较

○ 0.13 μm 栅长 100 μm 栅宽应变 Si n-MODFET（$V_{ds}=1$ V，$I_{ds}=4$ mA，$f_T=74$ GHz，$f_{max}=107$ GHz）；

□ 是 0.18 μm Bi CMOS 工艺 Si GeHBT（面积 = 0.44×0.12 μm^2，$V_{CB}=1$ V，$I_C=5$ mA，$f_T=f_{max}=90$ GHz）

◇ 0.18 μm CMOS 工艺的 n-MOSFET（栅长 0.096 μm，$V_{ds}=1.5$ μm，$V_g=1$ V，$I_{ds}=16$ mA，$f_T=70$ FHz，$f_{max}=38$ GHz）

式中，K 是适配因子；f 是操作频率；g_m 是跨导；R_G 是栅极电阻；R_S 是源漏接触的串连电阻。对于双极晶体管，噪声系数为

$$NF_{min} \approx 1+\sqrt{2}\frac{f}{f_T}\sqrt{g_m(R_E+R_B)} \qquad (4.13\text{-}38)$$

图 4.13-29 清楚地表明，与 GaAs 晶体管类似，在 SiGe 系统中，应变 Si MODFET 噪声最低，增益最高。Si GeHBT 在大电流下的噪声特性很差，但是在小电流下噪声系数很小。CMOS 工艺的噪声和增益特性都是最差的。

Cressler 给出了噪声特性的另外一种比较方式。图 4.13-30 画出了 2 GHz 时不同 LNA 的最小噪声系数随增益/输入功率的变化，给出了不同工艺噪声随总功耗变化的比较。SiGe 工艺比Ⅲ-Ⅴ族、硅双极晶体管以及 CMOS 工艺优越。随着时间的推移，HBT、MODFET 以及 CMOS 工艺的 f_T 增加，所有的工艺都会获得更好的噪声特性。最终，CMOS 工艺将应用在大多数低成本的 5 GHz 以下的模拟电路中，而 SiGe HBT 将逐步进入 GaAs HEMT 和 MESFET 所主导的射频市场。

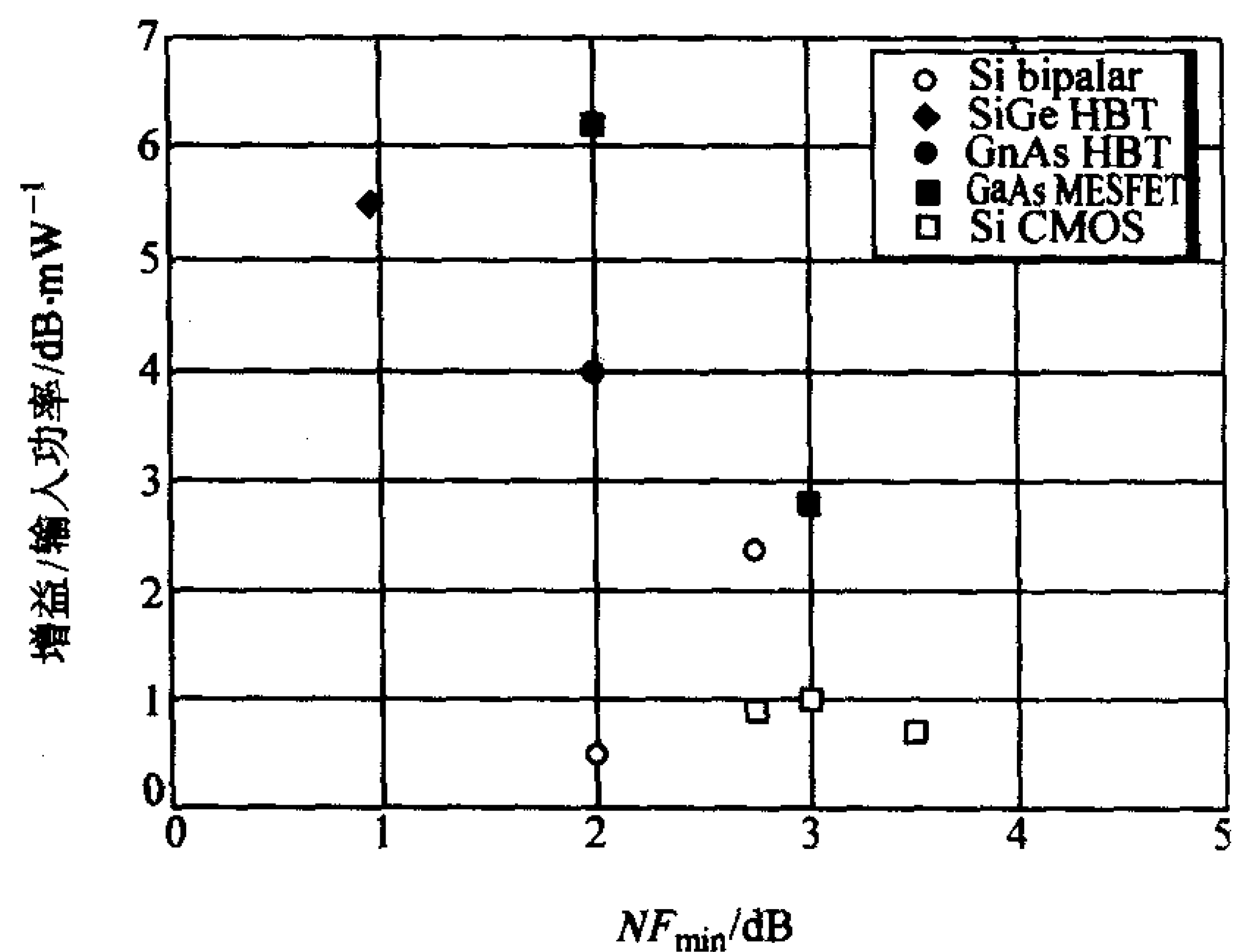


图 4.13-30 不同工艺低噪声放大器在 2 GHz 时最小噪声系数随平均功率增益变化的比较

编写：姚飞（中国科学院半导体研究所）

第14章　硅基光电子器件

21世纪以信息科学、生命科学的飞速进步为标志，以信息工程、材料工程、基因工程等为基础，以信息化、自动化、智能化为目标，构成一个全新的信息时代。信息时代的特征是：信息量大爆炸、信息传递高速可靠、信息处理迅速快捷。其量化的标志为三“T”（T：Tera，10^{12}）：光通信传输速率1 Tb/s，计算机运算速率1 Tb/s，光盘存储密度1 Tb/in^2。

随着高科技的发展，光纤传输速率大于1 Tb/s业已实现。2001年在美国召开的光纤通信会议上，日本和法国的研究人员就报道了高达10 Tb/s的光纤通信系统。运算速率高达亿次的计算机早已问世，但它们多是并行运转的，然后再综合运算。如果要实行串行运算，就需要将信息的处理速度、传输速度提高更快。现今的处理速度已经很高了，但还需进一步提高，而处理后的信息在传递时常常受到电子瓶颈的限制。因此，非常有必要实现光运算、光互联。信息存储是信息资料保存、处理的重要环节，虽然磁盘存储和半导体存储有了长足的进步，但仍显不足；用“光”作为“读”和“写”的工具，可以在光盘上存储足够大的信息量，进而实现1 Tb/in^2以上的高密度存储，将为我们提供更大的数据库。

在上述三“T”中，大规模集成电路已经起了相当重要的作用，但不能全部完成这些要求。大规模集成电路的发展很快，集成度在不断地提高，遵循“摩尔定律”：每三年翻两番。现在光学光刻已经达到理论极限，X射线和电子束曝光的工艺线也正在成为现实。但是，在这些高度集成的电子器件中，依然存在着“电子瓶颈”：半导体和连线中载流子的有限速率限定了器件间电学信号的传递速率，因此处理得非常快的信息在互联传递时被延迟了。显然，光速是最快的速度，若以光为载体进行信息的处理与传递，无疑会极大地提高速率。因此，为了真正实现信息社会的三“T”目标，必须采用半导体光电子集成技术。

光电子学的发展得益于固体物理学、材料科学、微电子学、计算机科学、微细加工技术、近代化学等学科和技术（可综合简称为“光、机、电、计、材”）的发展与成就，它的发展又为其他学科提供了支撑，极大促进了相邻学科的交叉与发展。

半导体光电子集成技术是由微电子技术和光子技术结合而成的一门高技术、新技术，是光电子学的工程研究和应用。半导体光电子技术以量子理论为基础，以半导体为对象，以光和电的能量与信息的转换、处理、传输、存储、发射和接收为目标，以光通信、光计算、光存储、光传感、激光医疗等为应用领域，集“光、机、电、计、材”于一身，是一种最先进、最前沿、最实用的高新技术。

在半导体光电子集成中，以GaAs、InP等Ⅲ－Ⅴ族化合物材料为对象的光电子器件及集成的研究、开发与应用发展得很快，并且已经广泛应用。这主要得益于这些材料都是直接带隙材料，发光效率高，适于制作高性能发光器件（发光管和激光管）和探测器；晶格常数接近，易于实现晶格匹配，已有成熟的外延生长技术，能制作出性能好纳米量级的量子结构；器件结构设计和制备技术研究得很深入，因而已经有了大量的不同结构和性能的分立光电子器件，相应地它们的集成也得到长足的发展。

然而由于不同器件间的相容性、制备工艺的复杂性以及成本较高等原因，Ⅲ－Ⅴ族化合物光电子集成技术目前到了一个进展相对缓慢的时期。与此形成对照的是，硅基光电子器件近年来不断地有新的突破性报道，尤其是2004年春天和2005年春天的三则报道，让人们对硅基异质结构和硅基光电子技术另眼相看。①采用硅纳米量子点结构实现硅基量子点结构电注入受激发射；②成功地研制出速率高达1 GHz的硅基CMOS结构光调制器；③硅的RAMAN激光器实现了室温下的连续工作。这三项科学发明激起了新一轮的硅基光电子技术研究的热潮，将会出现更多的硅基光电子器件和更新的集成技术。

硅基光电子集成，以硅衬底为基片，在同一芯片上集成光电子有源器件和无源器件，实现光和电的信息或能量的高效转换、高速传输和接收，并同电子器件一起进行信息处理。它的研究与发展，已经形成了一门新的学科：硅基光电子学。

硅基光电子集成技术具有一系列特点：采用最常规的半导体材料硅作为衬底、制造技术同已成熟的CMOS工艺完全兼容、制造成本低、能与集成电路一起构成多功能的模块、应用方便、用途广泛等，将会在应用中显示强有力的生命力。由于硅大规模集成电路制备工艺极其成熟，硅基光电子器件的研究工作主要集中在四个方面：①适于制作光电器件的硅基异质结构的外延生长和键合技术；②硅基异质结构与量子结构的光发射和光探测；③硅基光波导器件和光互连；④硅基光电子器件同电子器件的集成。

在能带工程研究的基础上，通过异质结构和纳米结构，能够对新生长的晶体进行材料改性，获得所期望的能带结构、带隙和折射率，提供了器件设计的多样性。硅基异质结构（SiGe/Si、SiGeC/Si、GaAlAs/Si、InGaAsP/Si等）、绝缘体上的硅（SOI：Silicon on Insulator）、硅基量子结构（SiGe/Si量子阱、SiGe量子点等）为硅基光电子器件与光电子集成提供了物质基础，材料晶体完整性的提高和光电物理参数的改善为硅基光电子集成的发展创造了新的可能性，显示出光明的前景。

由于硅基应变材料系能带工程的研究与发展，现已研制出频率高达360 GHz的异质结双极晶体管（HBT）、发射波长为1.2 μm的Si量子点激光器和可见光多孔硅发光二极管、探测灵敏度为0.9 A/W的Si/Ge探测器和谐振腔增强型的SiGe PIN光电二极管、调制频率高达1 GHz的SOI CMOS结构的光学调制器、通道数高达540的SiO_2/Si阵列式波导光栅（AWG）、16×16的SiO_2/Si光开关阵列、4×4 SOI光开关阵列等。本文将描述硅基异质结构材料的外延生长、硅基光电子器件的结构、工作原理、器件特性以及光电集成的技术及发展趋势，重点介绍目前处于前沿的一些研究，包括我们自己的一些研究结果。

1　硅基发光器件

由于硅为间接带隙半导体，在载流子的复合过程中非辐射复合占绝对优势，因此单晶硅本身不能制成有效的发光器件。1990年，英国科学家L.T.Canham发现阳极氧化的多孔Si中能够获得量子效率高达10%的可见光的发射，比体硅材料的近红外发光效率大10万倍，打破了硅基材料不能发光的沉寂。之后对其制作工艺和发光机理进行了大量的研究，提出了量子结构发光、界面态发光等多种模型，甚至在1999年实现了将多孔硅LED同FET（场效应晶体管）制在同一芯片上的硅基光电子集成，使人们兴奋了一番。然而多孔

硅发光存在许多的缺点：湿法制作工艺的重复性不好，发光强度不稳定，发光效率逐渐衰减，响应速度比较慢，实用性较差。这些致命的不足使得多孔硅发光器件没有更大的突破。多孔硅发光研究的贡献在于：它激起了科技界对硅基发光器件的探索，激发了人们对硅基发光机理的深入思考，引导大家探索新的材料与结构，刺激了硅基量子结构的制备、特性表征和器件制作。因此多孔硅发光对硅基光电子学研究是具有实实在在的贡献的。

近十年多来，人们研究了很多能使硅基材料发光的办法：①在硅中掺入高浓度的稀土离子，形成局域化的杂质发光中心；②直接在硅基材料基片上生长直接带隙结构 Si 化物新材料，如 β-$FeSi_2$；③SiGe/Si 应变量子阱和超晶格；④利用超晶格布里渊区折叠效应，在 Ge/Si 材料中实现能带工程改性。

历经多年的不懈努力之后，终于取得了巨大进展。不但近几年研制的电注入硅基 LED（光电二极管）能够在室温下发光，而且电注入的硅基激光器也已问世，因而让我们对硅基光电集成技术更加看好。

1.1 硅基发光二极管

通过掺杂或引入应力的方法，可以改变材料的能带结构，从而为实现硅基发光器件提供了可能性。目前对硅基发光器件主要集中在可见光和红外两个波段。在可见光波段，一般通过采用多孔硅、Si/SiO_2 超晶格、纳米硅等结构来实现硅的能带结构的改善，而在红外波段，掺铒硅、GeSi、$FeSi_2$ 等材料受到较多的关注。然而从工艺的角度看，这些材料的制备或多或少都不能与现有的成熟微电子工艺兼容，因此为光电器件的单片集成带来了一定的困难。

利用位错环发光是一种很新颖的思路。它可以利用标准的微电子工艺制作，较好地解决了工艺兼容性问题，从而使得器件的单片集成成为可能。

在 Si 中，杂质硼（B）既是产生 pn 结的掺杂剂，又可以利用它引入位错环。位错形成一系列小的闭合位错环组成的列阵，并能将载流子限制在位错环列阵所形成的能级中。通过 pn 结正向注入载流子，它们在侧向将受到位错环势垒的二维量子限制，从而呈现纳米状的空间分布。室温下正向注入电流就会产生很强的光。

图 4.14-1 示出了这种硅基发光二极管的器件结构，采用离子注入的方法，在 n 型硅衬底上掺入杂质 B，形成 pn 结，其制造工艺与现有微电子工艺完全兼容。掺入 B 的同时，会在靠近 pn 结的局部区域引入一定的位错，而位错的存在使得材料内部产生局部的应力，这些应力导致硅的局部能带结构的改善，从而可以实现室温下有效稳定的发光。实验证实，这种器件的外量子效率可以达到 10^{-3} 左右。

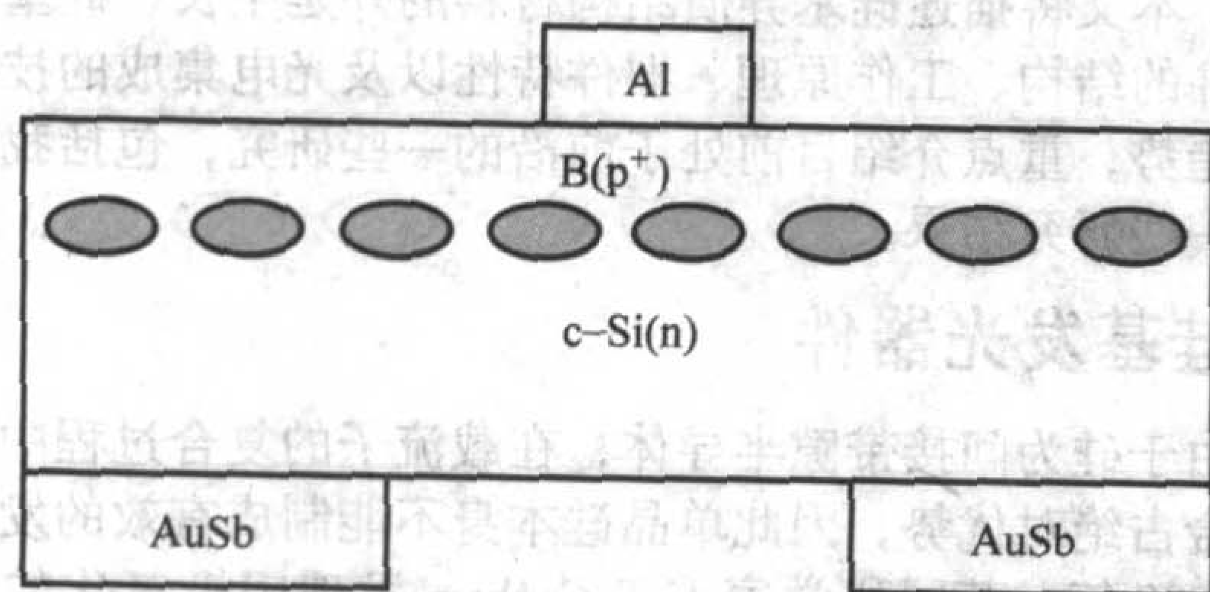


图 4.14-1 硅基位错环发光二极管的器件结构

1.2 硅基激光器

采用硅为衬底材料，实现受激发射和光放大一直是人们追求的目标之一。在光发射、传输和探测等功能中，受激发射是最重要的环节，是硅基光电子集成的源头和核心，同时也是硅基光电子学面对的最困难的堡垒。现在人们终于将其攻克了，由此引发的新型器件结构、新型器件工艺和新颖的性能特征必将把光电子集成技术推向一个更新的阶段。

要想制成激光器，首先必须具有光学增益，即半导体材料中的电子-空穴对复合发光之后还应当获得光放大。现有的方法主要是通过 Si 纳米晶粒和 Si/SiO_2 系列的超晶格或纳米结构来实现光学增益。

2004 年 3 月美国《自然》杂志首次报道了人类制成的第一个硅纳米晶粒激光器，其主要制作工艺为：将颗粒大小为 4~20 nm 的 SiO_2 纳米晶粒同含有杂质 B 的溶剂混合在一起，组成一种 SOD（spin-on dopant，旋转涂布掺杂剂），制成非均匀的掺杂源。然后将这种含有硼 SOD-SiO_2 纳米颗粒的混合剂淀积在 n 型（100）硅片上。进而用热扩散的方法，在 Si 表面下形成掺硼的 P^+ 层阵列，从而构成 pn 结。在 1 000~50℃下高温扩散 30 min 之后，用纯氢氟酸（HF）化学腐蚀，就会形成图 4.14-2 所示的纳米结构。可以看出，形成了直径为 20~30 nm、高 1~4 nm 的柱状物，它们之间是扩散过程中形成的氧化硅。由于 SiO_2 已被 HF 腐蚀掉，因此这种柱状物是掺 B 的区域，它们是类似于富硅的氧化硅结构。结果表明，硼以一串串的形式扩散进硅衬底中，形成 P^+ 掺杂区，而氧化硅部分地限制了硼的扩散。

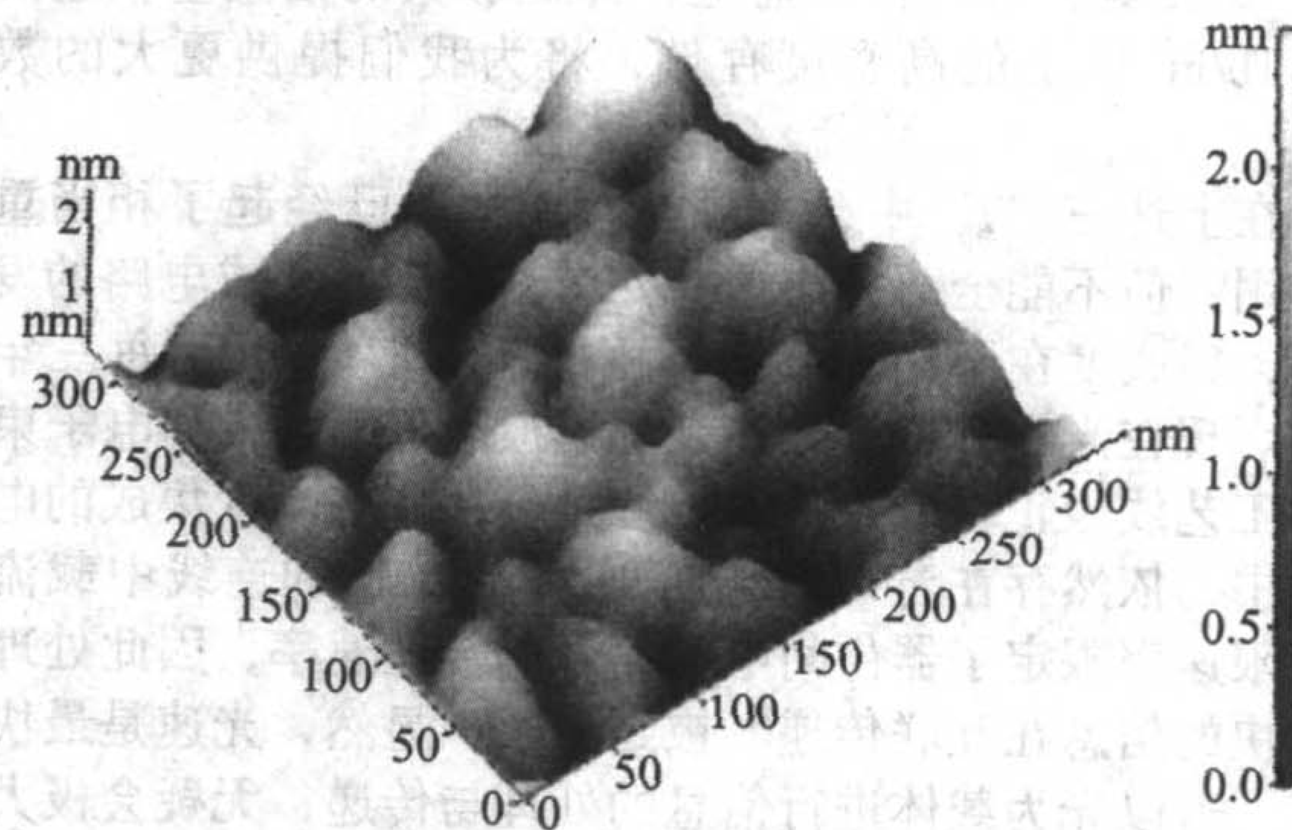


图 4.14-2 Si 基纳米结构顶部的 AFM 照片

在有和没有 SiO_2 纳米颗粒两种条件下，采用同样的工艺流程制备脊形波导的二极管。图 4.14-3 中的插图示出了脊形波导二极管的结构。该图同时示出了这两种二极管的 $L-I$ 特性。显而易见，在具有纳米结构的 pn 结二极管中，当注入电流大于 315 mA 时，发光强度随着注入电流的增加而急剧增大，在室温、脉冲 500 ms、占空比 50% 的条件下，证实了受激发射。

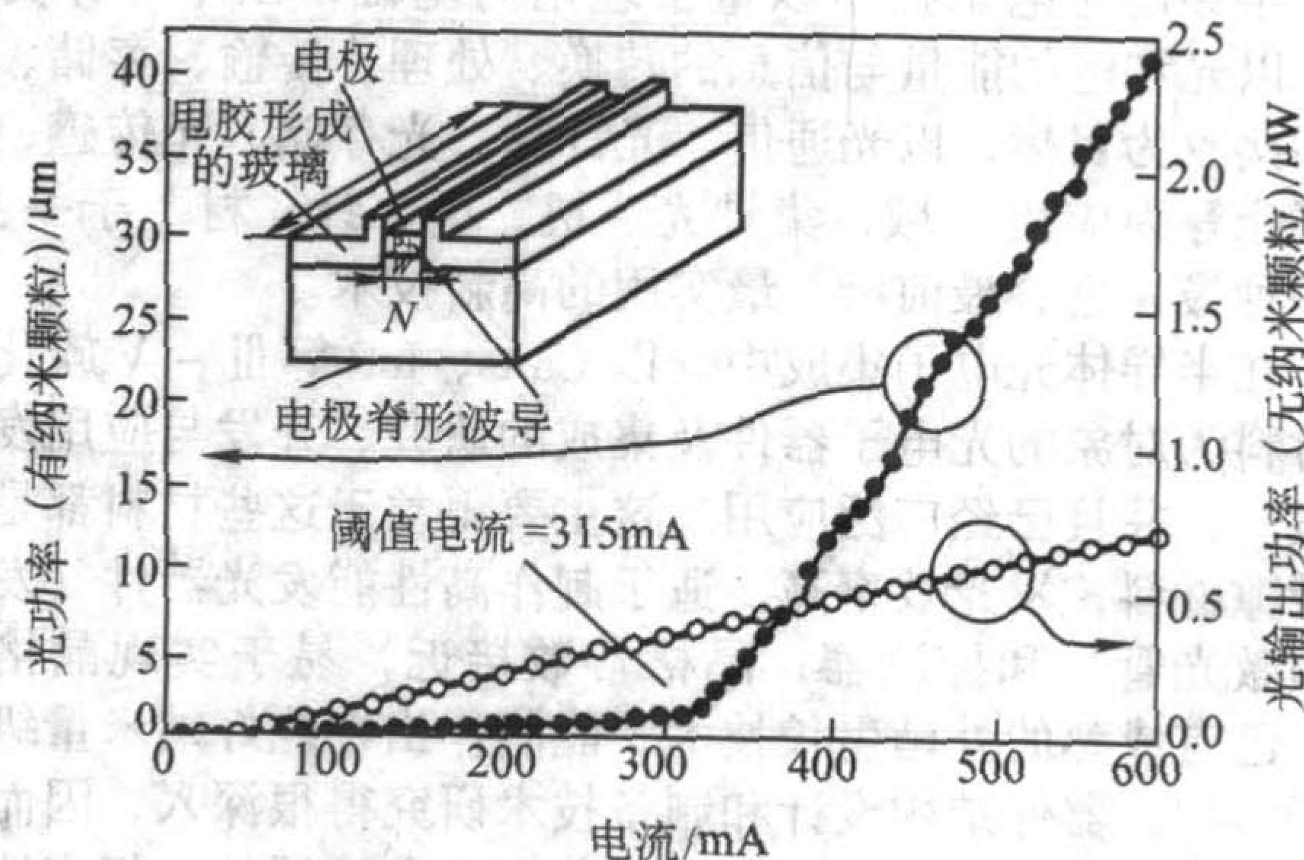


图 4.14-3 纳米结构的硅 pn 结二极管的 L-I 特性（作为参考，还同时示出了没有纳米结构的 pn 结二极管的硅 L-I 特性）
图中左上插图为带有脊形波导的硅 pn 结二极管结构

图 4.14-4 示出了注入电流分别为 200 mA、400 mA 和 600 mA三种情况下的发射光谱。低于阈值的 200 mA 下，由于声子参与辐射，发光主峰在约 1 150 nm 处。大于阈值电流后的 400 mA 时，出现 1 204 nm 和 1 207 nm 两个主峰，比自发发射峰低 47 meV ± 1 meV，这是由于双声子（TO 和 LA 声子）参与的间接跃迁所致。而另两个次主峰 1 173 nm 和 1 188 nm 是 TO 和 TA 双声子参与的间接跃迁。当注入电流进一步增大至 600 mA 时，出现了两个非常强、非常陡峭的 1 214 nm 和 1 217 nm 峰。因此，首次证实了纳米结构的 Si pn 结二极管室温下在 1.1 eV 处受激发射，光输出功率随着注入电流的增大而迅速增加，并且峰值波长比自发辐射峰值波长更长。这些结果清楚地表明：光学增益和受激发射是由于双声子参与的间接跃迁的结果。

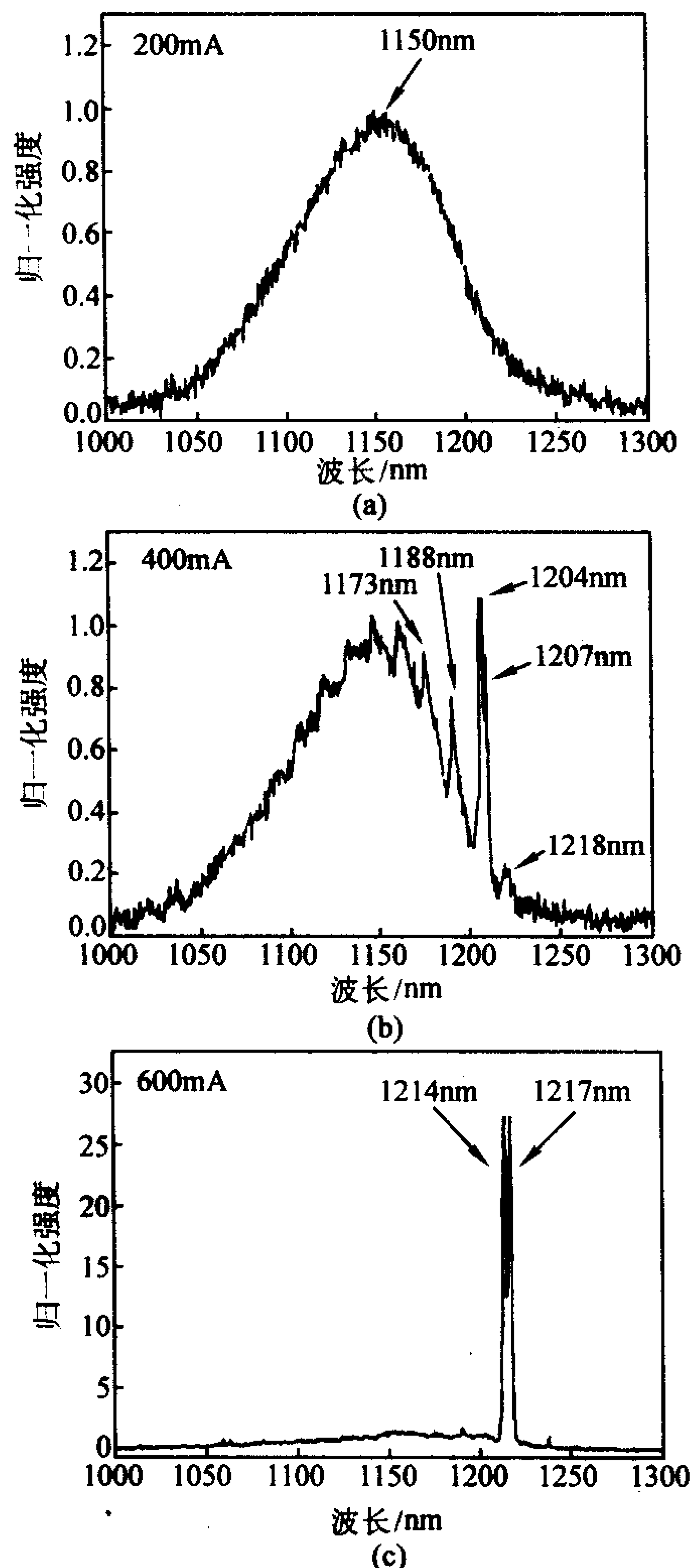


图 4.14-4　不同注入电流下纳米结构的硅 pn 结二极管的发射光谱特性

显而易见，这一研究成果还是很初步的，阈值电流较大，激光输出功率还较小，但它是硅基激光器的开端，使人们看到了硅基发光器件的美好前景，必将引起更多的研究和更大的发展。

2　硅基光电探测器

作为光学信号的探测器件，对半导体材料的能带结构倒没有发光器件那样的严格要求，具有更大的灵活性。无论是直接带隙半导体材料还是间接带隙半导体材料，都能够制作光电探测器。事实上，体材料的 Si 和 Ge 光电二极管已经分别成功地探测可见光和红外光，它们的产品已经用于各种光电系统中。

作为光电探测器材料，有两个物理参数是非常重要的：带隙宽度 E_g 和吸收系数 α。前者决定了可探测的光谱范围，只有 $\lambda < 1.24/E_g$ 范围内的光波才可能被探测出来。而吸收系数 α 的高低将决定探测器的响应度，即将光功率转换为光电流的能力。显然只有在所探测光谱范围内具有相当高吸收系数的材料才能够制造出性能优异的光电探测器。

由于 Si 的禁带宽度 E_g 为 1.1 eV，对应的吸收边为 1.13 μm。要制造适于光纤通信用的硅基光电探测器，只有采用硅基 SiGe 合金、SiGe/Si 量子阱和量子点等新材料了。近年来这方面取得了很大的进展，不仅研制出了能探测 1.3 μm 的 SiGe/Si 量子阱 PIN 光电二极管，还研制出了能探测 1.55 μm 的硅基 Ge 量子点光电二极管。相对硅基发光器件而言，硅基光电探测器在结构设计、器件制备、特性分析等方面要容易一些，进展也更大一些，因而能为光电系统更早地提供合适的器件，也为硅基光电集成奠定了基础。

2.1　SiGe/Si MQWs RCE 光电探测器

以 SiGe/Si MQWs（多量子阱）为吸收区、用谐振腔结构来多次利用入射光，从而设计制造出 SiGe MQWs RCE（谐振腔增强）型光电二极管是近年来 SiGe 探测器的重要进展。

图 4.14-5 示出了一个背入射的 SiGe/Si MQWs RCE 光电探测器的结构示意图。吸收区为 20 周期的 $Si_{0.65}Ge_{0.35}$/Si 量子阱，由于 Ge 的组分 $x = 0.35$，已经将其禁带宽度 E_g 压缩至 1.01 eV，因而能对 1.3 μm 波段的光波产生很强的光吸收，适于制作该波段的光电探测器。

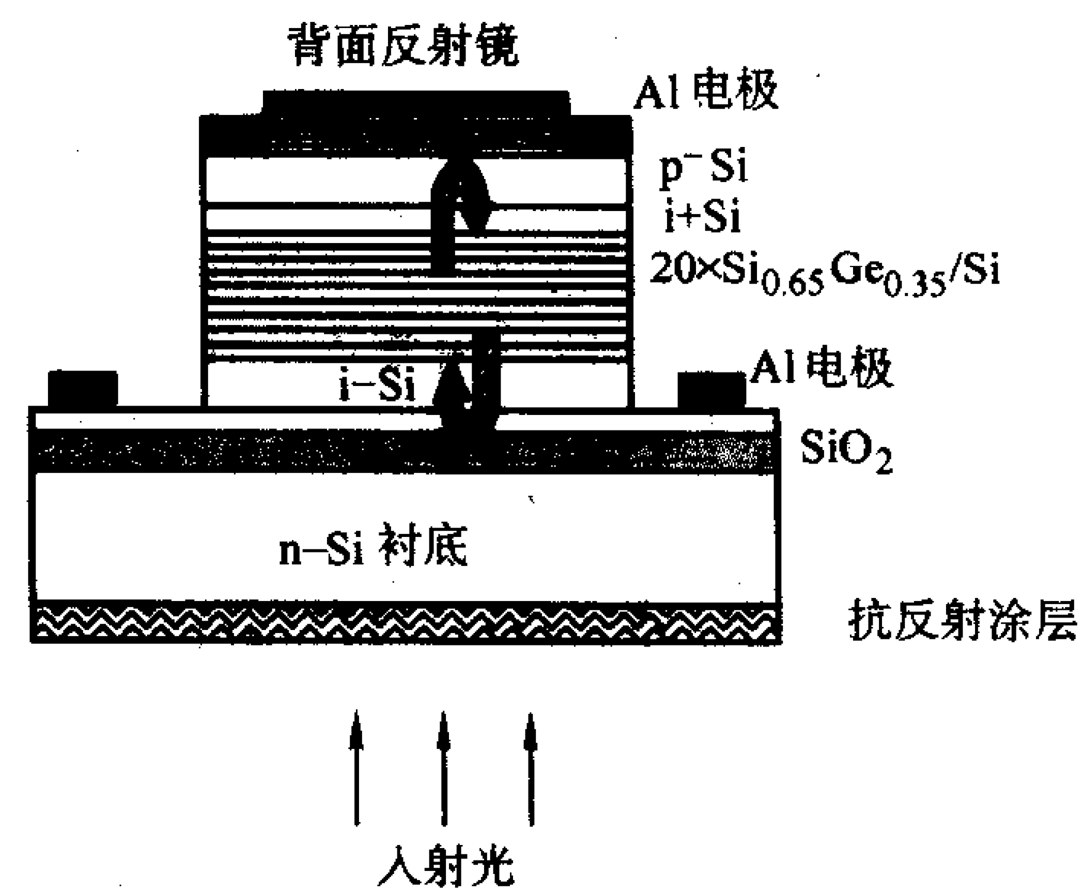


图 4.14-5　背入射的 SiGe/Si MQWs RCE 光电探测器的结构示意

在激光器中，由于采用 F－P（法布里－珀罗）腔、DFB（分布反馈）或 DBR（分布布喇格反射器）等方式制作谐振腔，能使光在腔内多次反射，从而大大增加品质因素 Q。将这一物理概念应用于探测器，让进入探测器的入射光在谐振腔内来回反射，多次通过光学吸收区，从而充分、有效地吸收光能和更大地产生光生载流子，大大地提高了光电转换效率。这种新颖的器件结构成为了近年来的研究亮点。

进一步研究表明，光波垂直入射时，RCE 光电二极管的量子效率为：

$$\eta = \left\{ \frac{(1 + R_2 e^{-\alpha L})}{1 - 2\sqrt{R_1 R_2} e^{-\alpha d} \cos(2\beta L + \Psi_1 + \Psi_2) + R_1 R_2 e^{-2\alpha d}} \right\} \cdot (1 - R_2)(1 - e^{\alpha d}) \tag{4.14-1}$$

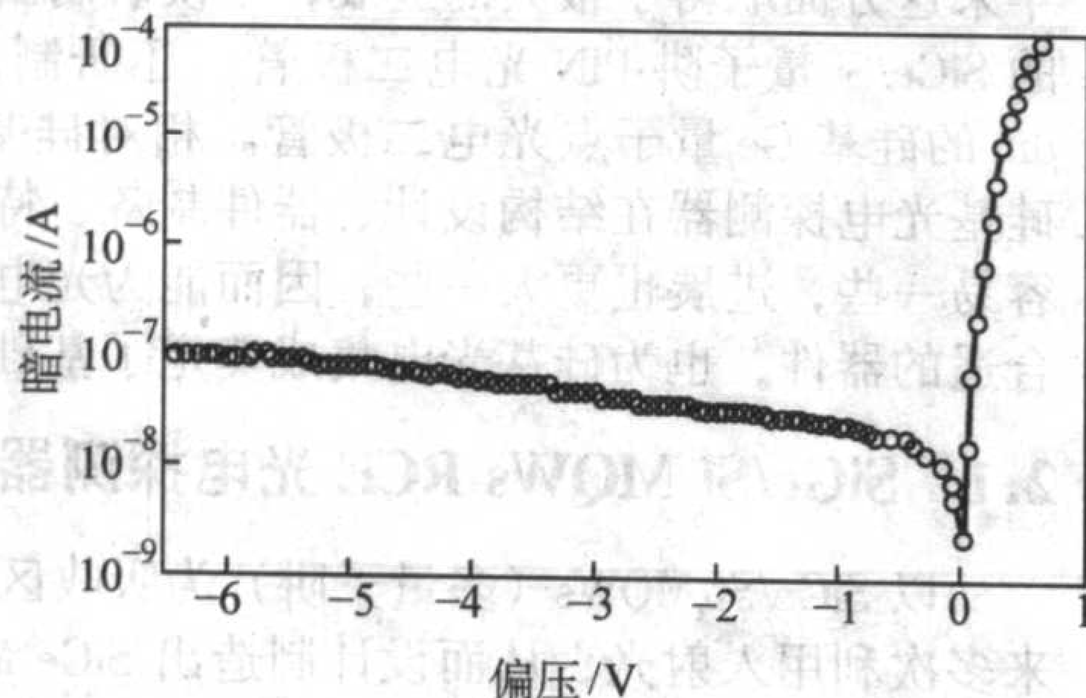
式中，η 为量子效率；R_1 和 R_2 分别为底部镜面和顶部镜面的反射率；α 为吸收系数；β 为传输常数；d 为吸收层的等效厚度；L 为上下镜面间谐振腔的长度；φ_1 和 φ_2 为上下镜面引起的相移。

当 $R_2 = 0$ 时，即顶部镜面没有任何反射时，$\eta = (1 - R_1)(1 - e^{-\alpha d})$，这就是常规的 PIN 光电二极管的量子效率。

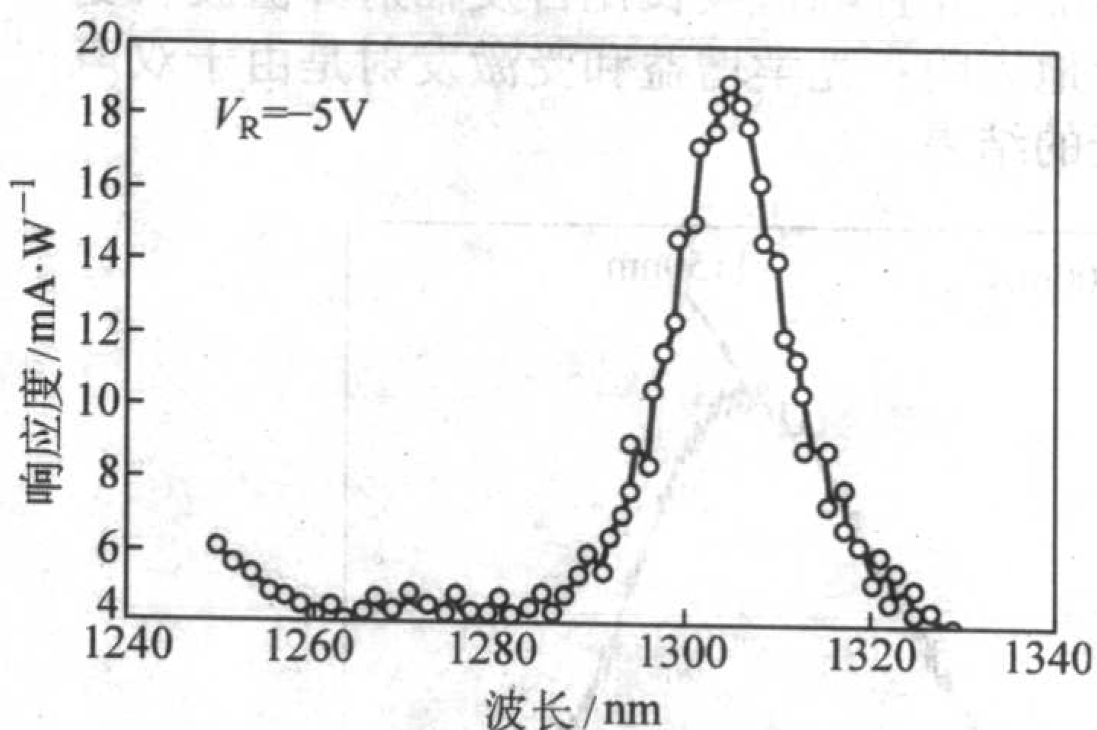
而 $R_2 \neq 0$ 并且 $R_1 = R_2 e^{-2\alpha d}$ 时，量子效率为最大值。也就是说，为了获得尽可能大的量子效率，R_2 要大，而且 R_1 应满足上式的要求，同时相位要满足共振的要求，入射光就会在谐振腔内来回振荡并被充分吸收。

对于这类探测器来说，关键在于如何制备出晶体质量好的 SiGe/Si 多量子阱吸收区和上下两个镜面。采用 SOI（绝缘体上硅）衬底、外延生长 i－Si、20 周期的 $Si_{0.65}Ge_{0.35}$/Si 多量子阱、i－Si 和 P＋Si 之后，再在其上淀积 SiO_2/Si DBR 反射器，之后制成上下电极，就成功地制成了这种新型探测器。以 SiO_2/Si DBR 和 SOI 为上下镜面，共同构成谐振腔。

探测器的响应度 $R = (e/h\nu)\eta$，式中 e 和 $h\nu$ 分别为电子电荷和光子能量，因此响应度 R 同量子效率 η 成正比。图 4.14-6a 和 b 分别示出了这种 SiGe MQWs RCE 探测器的暗电流同偏压的关系和响应度 R 同波长的关系。在－5 V 的偏压下，暗电流 I_d 约为 8×10^{-8} A，－25 V 偏压下，1.305 μm 处的响应度 R 为 31 mA/W，FWHM（半高谱宽）为 14 nm。这些结果表明，SiO_2/Si 和 SiGe/Si 量子阱是 1.3 μm 波段 RCE 器件的合适材料。我们的这些研究结果得到国际同行的认可和高度评价。



(a) 暗电流同偏压的关系



(b) 响应度 R 同波长的关系

图 4.14-6 背入射的 SiGe/Si MQWs RCE 光电探测器的特性

2.2 Ge 量子点光电探测器

虽然 SiGe/Si MQWs 将探测波长移至 1.3 μm 波段，但如果应用于更长的波长，需要进一步提高 SiGe 合金中的 Ge 含量，这必然会因晶格失配引起位错缺陷，将会大大降低吸收系数而无法工作。解决办法之一就是采用 Ge 量子点来制作吸收区。

图 4.14-7 示出了一种硅基量子点探测器的结构和照片，它是基于 Ge 量子点和 MOS 隧道击穿而工作的。采用 UHV/CVD（超高真空化学气相沉积）在硅衬底上生长 Ge 量子点，先生长一层缓冲层，然后交替生长 Ge 量子点和硅间隔层以形成有源区。生长过程中，由于晶格失配会引入应力，自组织的 Ge 量子点的尺寸和密度就由应力的大小决定，而量子点的位置可以通过纳米刻印（nanoimprinting）的方法来控制。生长数个周期的 Ge 量子点以后，在 Si 顶层上生长厚度仅为 1.5 nm 的氧化层，构成 MOS 结构的栅氧。Ge 量子点光电探测器的器件结构、TEM 照片和能带图分别如图 4.14-7 和图 4.14-8 所示，在 Ge 量子点处禁带宽度明显变窄，从而为吸收长波长光波提供了可能。由于 MOS 结构中的氧化层仅为 1.5 nm，因此根据隧穿效应，载流子可以较容易地穿过氧化层而到达电极，形成电流。当栅极上加以正向电压时，栅下的 p-Si 层耗尽，这时栅极电流的大小就由光生载流子的产生速率决定，随着光强的增大而增大，从而实现了探测功能。

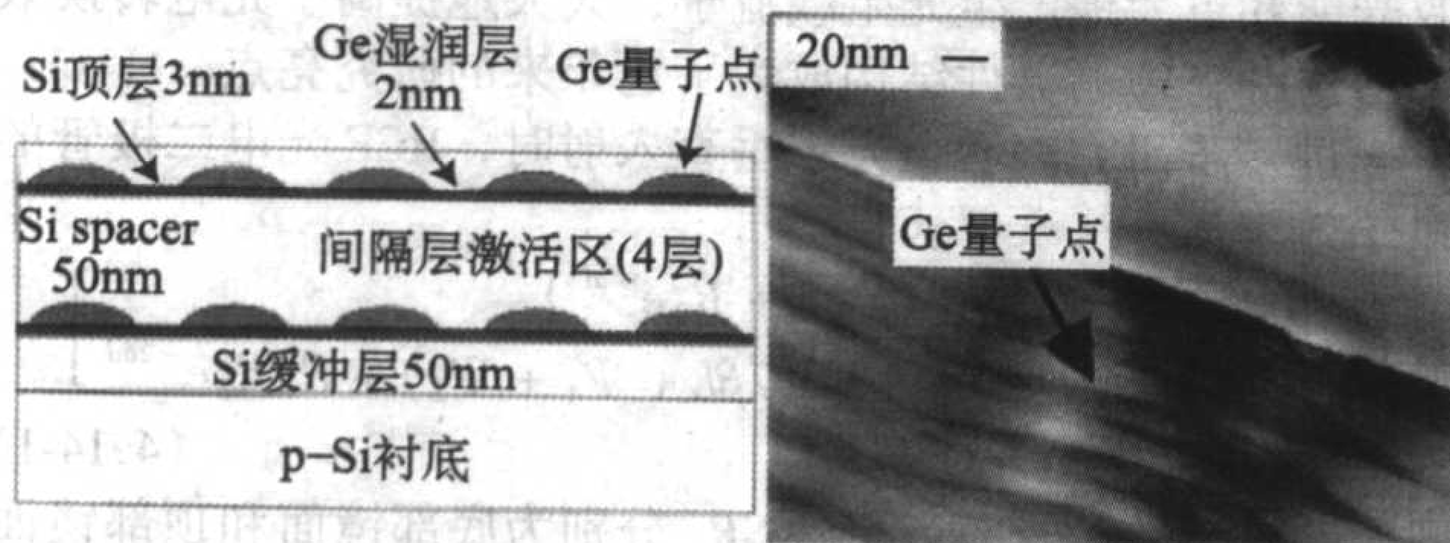


图 4.14-7 Ge 量子点光电探测器的器件结构和 TEM 照片

由于采用 MOS 隧穿结构来代替传统的 p－i－n 结构进行探测，因此器件的暗电流密度大为减小，室温下仅为0.06 mA/cm²，比传统 pin 探测器的暗电流密度约 20 mA/cm² 小很多。当 Ge 量子点结构的周期数为 5 时，探测器对 820 nm、1 300 nm、1 550 nm 三个波长的响应度分别为 130 mA/W、0.16 mA/W 和 0.08 mA/W。通过增大 Ge 量子点结构的周期数，增大有源区的体积，响应度可以得到进一步地提高。

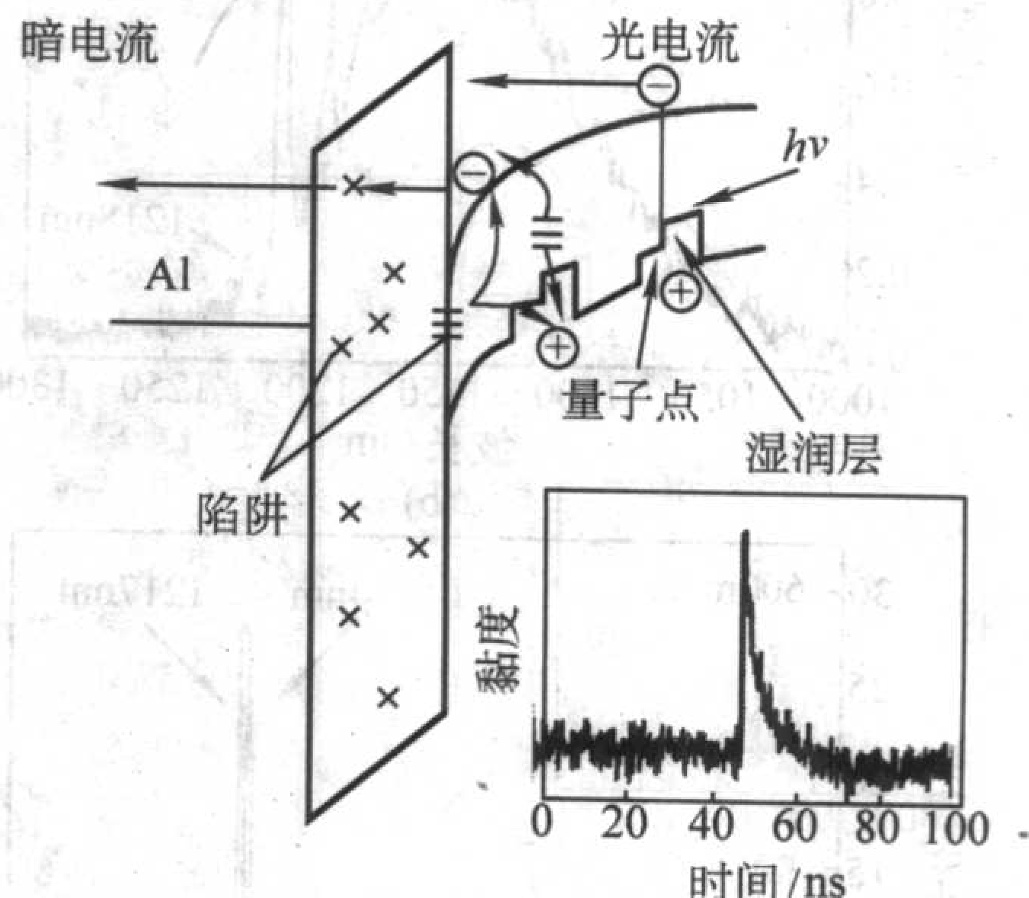


图 4.14-8 Ge 量子点光探测器有源区能带结构图

3 硅基光波导器件

人类进入信息时代以后，信息传输容量快速增长，对带宽的需求迅猛增加。光纤通讯网路中，提高传输速率的手段有多种：空分复用（SDM）、时分复用（TDM）和波分复用（WDM）。WDM 具有许多优点，是最为理想的扩容方式：①WDM 系统通过多个波长的复用，可以提高光纤的利用效率，因此可以充分利用光纤巨大的带宽资源；②可同时传输多种不同类型的信号，实现混合传输；③可以实现单根光纤双向传输；④可降低器件的超高速要求，同时又可实现大容量传输；⑤波分复用通道对数据格式透明，即与信号的速率及电调制方式无关；⑥具有高度的组网灵活性、经济性和可靠性。

在 WDM 全光网络中，最核心的功能是网络的交叉互联（OXC）、光信号上下路（OADM），最关键的有源器件是单模高频多波长激光器、探测器、光放大器、波长变换器等，最重要的无源器件为光耦合器、光调制器、光开关、复用与解

复用器等。在众多无源光波导器件中，硅基光波导器件格外引人注目。

3.1 硅基光波导材料

硅基光波导的优势在于：①容易获得大尺寸、高质量、价廉的硅片；②SOI（绝缘体上的硅）、SiO_2/Si 和 SiGe/Si 等三种硅基材料具有较大的折射率差，便于制备光波导器件；③热导性好，可以直接用于集成芯片的热沉；④电学性能好，硅可以是半导体、导体和绝缘体；⑤力学性能好，便于封装和安装；⑥加工方便，可以光刻腐蚀成各种三维光波导结构；⑦与硅微电子工艺兼容，适合制作硅基光电子集成芯片。

硅基集成光波器件的研究主要集中在三个方面：SiO_2 光波导回路、SiGe/Si 光波导器件以及 SOI 光波导器件。表 4.14-1 比较了这三种光波导材料的性能。

表 4.14-1 三种硅基光波导材料的性能比较

波导结构	SiO_2 光波导	SiGe/Si 光波导	SOI 光波导
材料制备	SiO_2 中掺杂	晶格不匹配	成熟
折射率差	0.1% ~ 0.75%	小	大
与 CMOS 工艺兼容性	不兼容	兼容	兼容
几何尺寸	大	厚度受到限制	大
制作容差	小	小	大
损耗	小，与光纤损耗一致	较小	较小
与光纤耦合效率	高	低	高
成本	较高	高	一般
缺点	与 Si 的线胀系数不一致	材料制备难度较大	—

SiO_2 光波导回路具有较强的竞争力，它利用在 SiO_2 中掺杂（掺 Ge，Ti 或 P 等）实现波导结构，整个波导的厚度为 50 μm 左右，波导层间折射率差在 0.1% ~ 0.75% 之间。由于它的芯区结构简单、传输损耗低、与光纤几乎完美地模场匹配，因此被广泛应用。实现平面厚膜 SiO_2 光波导的方法有火焰淀积法（FHD）、化学气相淀积（CVD）、离子交换、热氧化、电子束蒸发等。然而，SiO_2 光波导技术与 Si 的集成电路工艺并不完全兼容；波导的厚度远大于集成电路有源层的厚度；Si 和 SiO_2 的线胀系数相差很大，引进很大的应力，因此 SiO_2 厚膜容易龟裂，给制作工艺带来许多麻烦。另外，SiO_2 光波导对光场的限制较弱，使得 SiO_2 光波导器件不可能做得很紧凑。这些问题限制了 SiO_2 光波导在光电集成中的应用。

SiGe/Si 光波导具有与 CMOS 电路工艺兼容的特点。通过调节 Ge 含量可以控制 SiGe 光波导的折射率，进而使其数值孔径满足要求。同时作为波导层的 SiGe 合金是生长在高阻的硅衬底上，可避免高载流子浓度引起的吸收损耗。然而 SiGe 和 Si 的晶格不匹配，使生长的 SiGe 波导层的厚度受到限制。当厚度超过临界值时，将产生大量的失配位错，严重破坏材料的物理性质。

相对 SiO_2、SiGe 光波导而言，SOI 光波导材料具有大的折射率差、与 CMOS 工艺兼容、损耗性较小、制作容差大、同光纤的耦合效率高等特点，制作工艺成熟，近年来越来越受到关注。

SOI 材料的制备技术比较成熟，主要有隔离氧离子注入（SIMOX - SOI）、硅键合背面腐蚀（BE - SOI）和区熔再结晶（ZMR - SOI）。影响 SOI 光波导特性的最关键的参数是硅层的厚度及其均匀性、硅膜的缺陷密度、埋层的均匀性、杂质浓度、Si/SiO_2 界面的质量等。三种材料中，SIMOX 和 BE - SOI 界面质量比较好，其表面粗糙度小于 20 nm。SIMOX - SOI 的硅层通常太薄，需要外延以增加硅层厚度。因此，常常采用 BE - SOI 晶片来制备 SOI 光波导器件。

3.2 SOI 光波导

SOI 平面光波导有平面和条形两种，。在条形结构中，研究最多是脊形结构，基本结构如图 4.14-9 所示。依据光波导学理论，R.A.Soref 等人的研究表明，对于 SOI 光波导，采用脊形结构，大截面尺寸 SOI 波导实现单模传输的条件为：

$$t \leqslant 0.3 + \frac{r}{\sqrt{1-r^2}} \text{ 且 } r > 0.5 \qquad (4.14\text{-}2)$$

式中，$t = W/H$，$r = h/H$，W、H 和 h 分别为脊形波导的脊宽、内脊高和外脊高。实验发现该式有一定偏差。在此基础上，我们采用有效折射率方法求解三维脊形波导的本征方程，得到与实验结果比较一致的脊形波导的单模条件：

$$t \leqslant \frac{r}{\sqrt{1-r^2}} + \frac{0.15r^3}{1-r^2} \quad \text{且 } r > 0.5 \qquad (4.14\text{-}3)$$

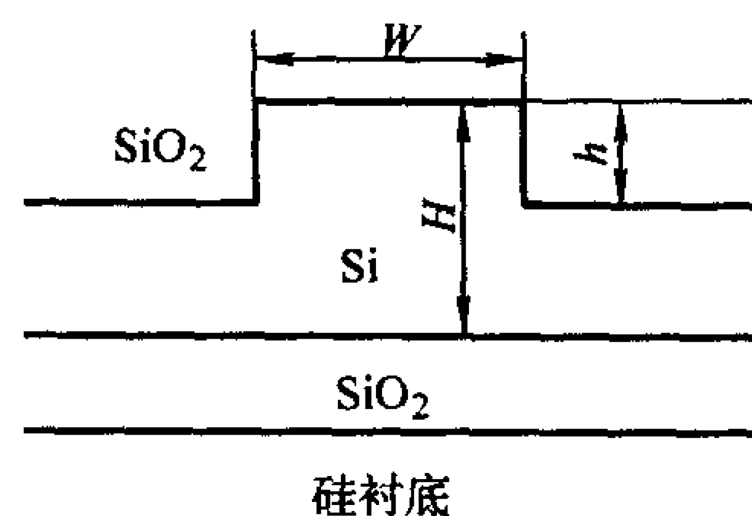


图 4.14-9 SOI 平面脊形波导结构

这些研究表明，脊波导几何尺寸满足一定的条件时，可以实现大截面的单模 SOI 波导，波导截面尺寸可以与光纤芯层尺寸相当。脊形波导中，尽管在垂直方向上波导可传载多模，但水平方向上，由不同波导层厚度引起的折射率差很小，只能承载单模，因此在脊形波导中垂直方向的高阶模耦合到侧向基模中，从而在脊波导中形成有效的单模传输。

弯曲波导在集成光学中也是非常重要的。为了减小器件的尺寸，希望弯曲波导的弯曲半径尽量小。通常波导弯曲会导致光场向衬底泄漏，这是限制减小波导弯曲半径的重要因素。由于 SOI 光波导中 Si 和 SiO_2 具有很大的折射率差，这种泄漏损耗是可以忽略的。因此侧向辐射损耗成为决定弯曲半径大小的主要因素。采用锥形结构（弯曲部分波导的宽度较小）和隔离槽等方式，可以减小波导的弯曲半径。

3.3 MMI 和光波导耦合器

光波导耦合器有 Y 分支器、定向耦合器、MMI（多模干涉器）耦合器等多种。前两种的加工精度要求较高，而且器件的尺寸较长，不大利于集成。MMI 耦合器利用多模波导的自映像效应，能够方便地合波和分束，具有许多优点：器件结构紧凑，制作容差大，输出功率均衡，光功率损耗低，尤其适合于分支数比较大的耦合器和分束器，近年来受到很大的重视，也广泛应用于集成光学中。

多模波导干涉耦合器由输入、输出单模波导和多模波导干涉器三个部分组成。MMI 耦合器中，输入的单模光束在其中发生多模干涉，并形成图 4.14-10 所示 MMI 自映像，沿着波的传播方向，在周期性的间隔处出现输入场的一个或多个复制的映像，这就是多模波导的自映像。依据输入单模波导在 MMI 输入端的不同位置，MMI 耦合器有三种结构形式：普通干涉（GI-MMI）、对称干涉（SI-MMI）和受限干涉（RI-MMI）。

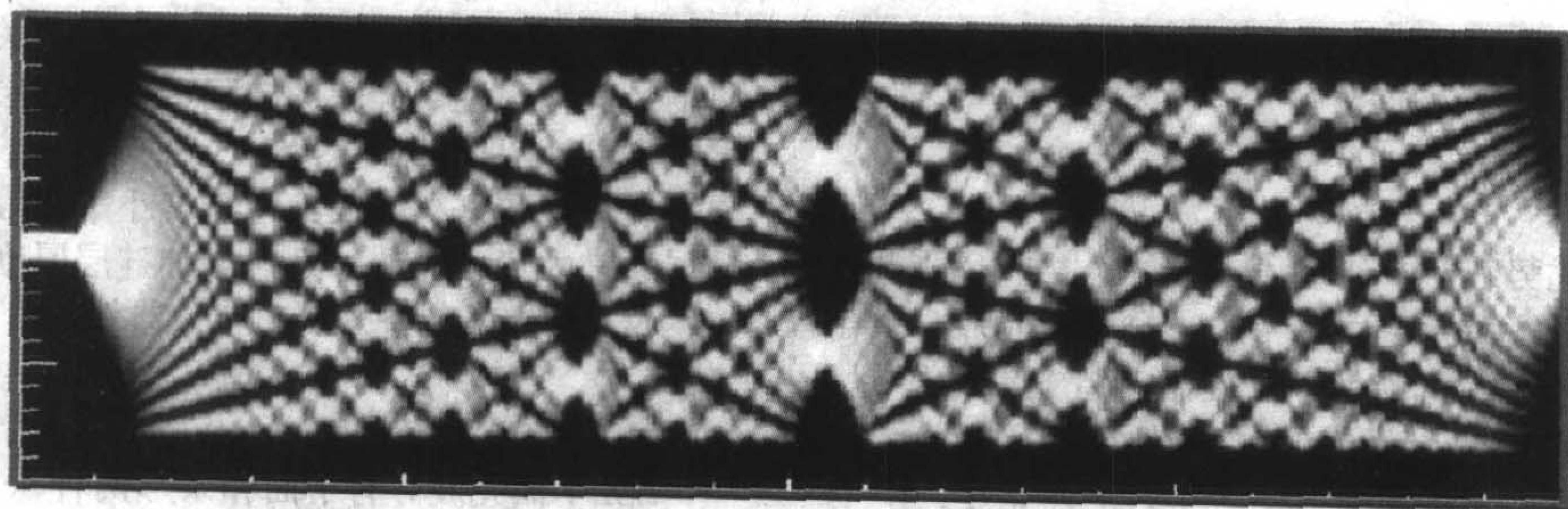


图 4.14-10　MMI（多模波导干涉）耦合器的自映像

我们研制了对称干涉 1×23 dB 分束器、1×4 分束器以及受限干涉 2×2 耦合器。MMI 耦合器（特别是 2×2 耦合器）具有很好的功率均衡性，同时有很大的制作容差。对于 2×2 耦合器，多模波导长度的容差可达 200 μm，刻蚀深度的容差可达 0.8 μm，这些为器件制作工艺提供了许多方便。

3.4　SOI CMOS 高速光调制器

2004 年 2 月美国《自然》杂志报道了一种新型的 SOI CMOS 光调制器，其新颖性和高性能立刻引起了全球同行的关注，成了今年的科学热点。这种新型调制器的主要特点在于：

1）衬底是 SOI，非常普通；

2）CMOS 工艺制作，同集成电路工艺完全兼容；

3）调制机理为：在 CMOS 电容器上施加调制电压，利用载流子的积聚来改变折射率，从而利用 MZI（马赫－曾德干涉器）来实现调制；

4）调制速率高达 1 GHz，通过优化器件参数和制作工艺，肯定会获得进一步的提高；

5）能同 CMOS 电子器件集成在同一芯片上，在未来的光互联和光计算中具有潜在的巨大的应用前景。

其器件结构如图 4.14-11 所示，它由两个 3 dB Y 分支耦合器组成（图 4.14-11a），所有的光波导都是在 SOI 衬底上刻蚀而成的脊形波导。两个相移臂都为 CMOS 结构，其截面结构如图 4.14-11b 所示。在 SOI 的 n-Si 和上面的 P-多晶硅之间有一栅氧层，形成夹馅饼结构，P-多晶硅被刻蚀成脊形波导结构。此后通过淀积氧化层和金属电极，制成 CMOS 结构。在横向和纵向上，脊形的上面与侧边和掩埋 p-多晶 Si 层下的氧化层分别提供有效的光学限制，因而形成了很好的波导。

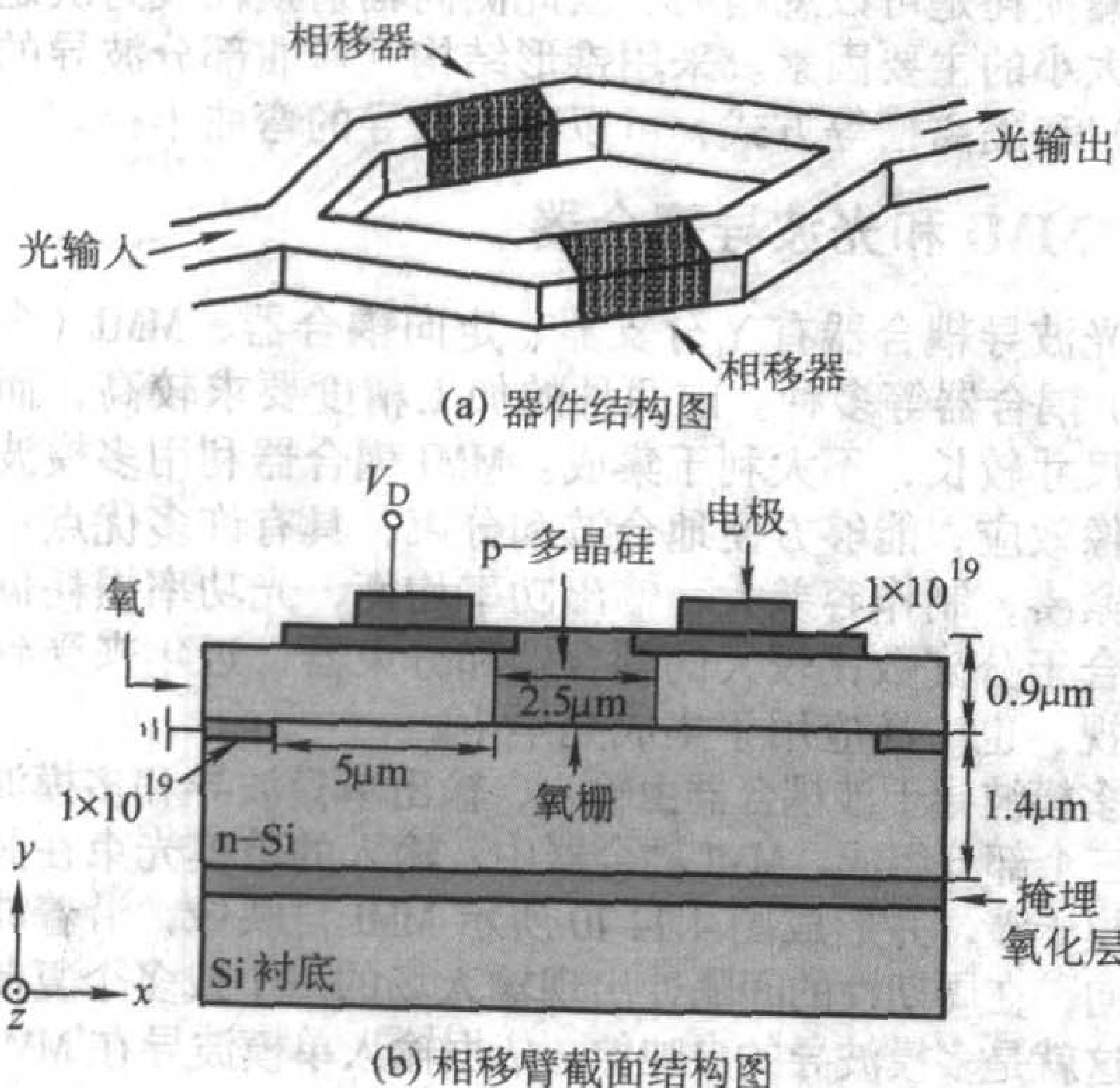


图 4.14-11　SOI CMOS 光调制器

外加电压时，掩埋的栅氧层的两边会积累薄薄的电荷层，电子和空穴的浓度发生变化，其大小为：

$$\Delta N_e = \Delta N_h = \frac{\varepsilon_0 \varepsilon_\gamma}{e t_{0x} t}[V_D - V_{FB}] \tag{4.14-4}$$

式中，ε_0 和 ε_γ 为氧化物的真空和低频介电常数；t_{ox} 为氧化层的厚度；t 为有效电荷层的厚度。V_{FB} 为 MOS 电容器的平带电压。Si 中的自由载流子浓度的变化既能改变其折射率，也会影响光吸收。折射率的改变与载流子浓度的变化成正比，在 1.55 μm 处，这种变化关系为：

$$\Delta n_e = -8.8\times10^{-22}\Delta N_e \tag{4.14-5}$$

$$\Delta n_h = -8.5\times10^{-18}\Delta N_h \tag{4.14-6}$$

因此，由折射率引起光波的相移为：

$$\Delta\phi = \frac{2\pi}{\lambda}\Delta n_{eff} L \tag{4.14-7}$$

式中，L 为相移臂的长度；λ 为自由空间中的光波波长，Δn_{eff} 为波导中有效折射率的变化，它等于相移臂在施加电压前后的折射率差。利用这种原理，可以通过改变相移器上的偏置电压来快速地调制光学信号输出。

图 4.14-12 示出了频率高达 1 GHz 的随机电学信号调制下的光信号输出。两相比较可以看出，其形状完全一致，说明光学信号完全忠实地再现了电学信号。

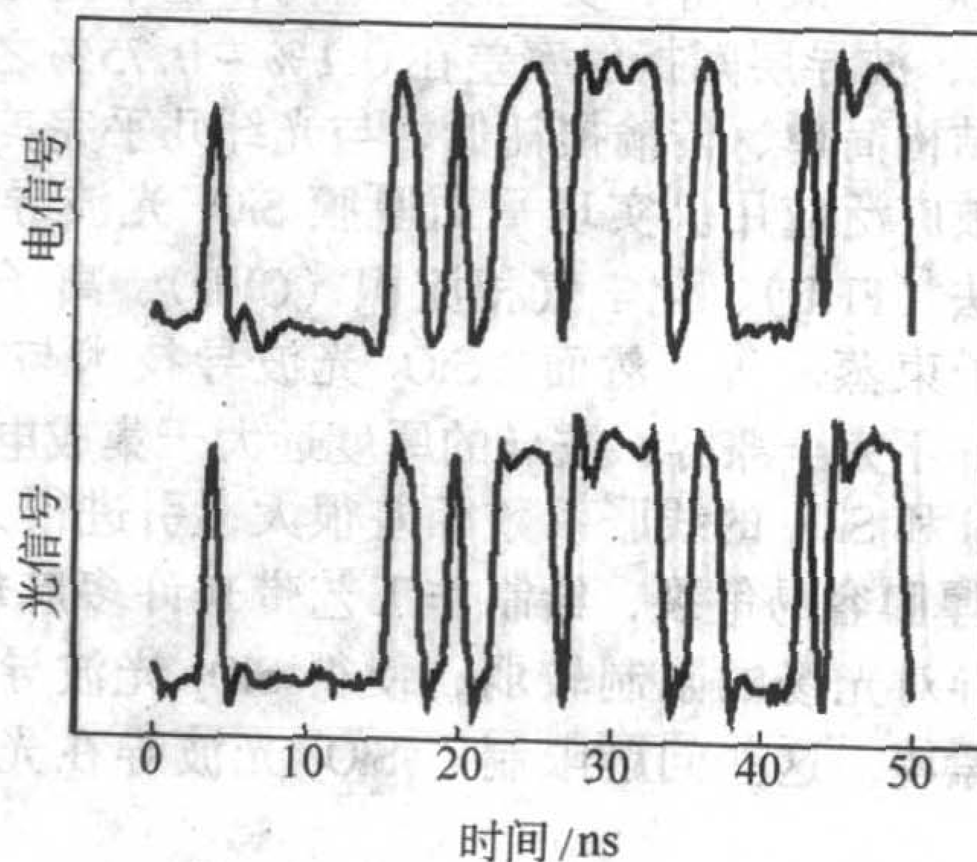


图 4.14-12　1 GHz 的随机电学信号调制下的光信号输出

除了上述的 CMOS 调制器外，还有 BMFET 型、DBR 型和 F-P 腔型光调制器，它们分别利用注入载流子来改变光吸收、光栅对光波的反射率随调制区折射率变化以及等离子体色散效应等方式来实现调制，有的调制速率已高达 1.4 GHz。调制速率的提高将为光电信号转换、光交换以及未来的光计算提供有力的工具。

3.5　SOI 光波导开关

光开关有机械光开关、MEMS（微机电系统）光开关、波导光开关、气泡光开关、全内反射光开关、全息光开关和磁光开关等很多种。表 4.14-2 比较了几种主要光开关的特点。全光开关，也称光－光开关，具有许多优点，无需光电转换，能直接将光信号指向目的端口，对信号透明，完成

OXC（光交叉互联）和 OADM（光学上下路）等功能，成为全光网中的关键器件，获得广泛应用。

表 4.14-2　不同类型光开关性能的比较①

类型	机械光开关	MEMS	气泡光开关	波导光开关
插入损耗/dB	约 5	<5	<5	~5
串扰/dB	< -50	约 -50	< -50	< -50
开关时间/ms	约 5~10	约 10~20	约 5~10	<2
开关功耗/W	1~20	约 0	1~5	约 18④
技术成熟度	成熟②	新技术②	新技术③	成熟
多端口输出	不能	不能	不能	能
端口输出比	不能	不能	不能	能
可集成性	不能	不能	不能	好

① 本表是基于不同类型 8×8 开关矩阵的评估。
② 包含可移动部件。
③ 含有加热液体。
④ 包含控制电路，并且有很明确的降低途径。

目前机械光开关最成熟、应用最广，它通过精密机械装置移动输入光纤，和相应端口的输出光纤对准，从而达到开关功能。但机械光开关反应速度慢，开关时间一般 > 10 ms。

MEMS 光开关是一种用淀积、光刻、腐蚀等微电子技术在 Si 片上制作的微小机械结构，一般包括一个可以二维转动的反射镜，通过上下电极之间的静电吸引力来控制反射镜的角度，再通过反射镜的偏转来控制光在各种通道中的转换。这种器件的开关时间较慢，同时在稳定性和可靠性方面也有待提高。

气泡光开关利用气泡在液体导管中的移动来实现开关动作，它利用气泡的不同位置来改变波导折射率，实现开关动作。气泡光开关的开关时间为 10 ms 量级。

液晶光开关由液晶单元和偏振光分离器（PBS）或光束移动器组成。开关速度为 100~10 ms。这种技术可以制备多通道的光开关，其缺点是损耗大，热漂移明显，串扰大，驱动电路昂贵。

波导光开关可分为电光开关、热光开关、声光开关、磁光开关等。其中热光开关和电光开关最为普遍。热光开关通过加热来改变材料的折射率，实现开关，所以开关速度较慢，SiO_2 和聚合物热光开关的开关速度一般为毫秒量级，SOI 热光开关的开关速度为十微秒量级。电光开关利用材料的直接的或间接的电光效应对材料的折射率进行调制，开关速度较快，可达纳秒量级。

波导光开关的结构有数字光开关和干涉型光开关两种类型。数字光开关一般采用 Y 分支或者 X 节型结构，通过对分支波导端口有效折射率的控制来改变光的输出端口。干涉型光开关一般采用 MZI 结构。SOI 光开关是近年来很受重视的一类，它有三种形式：MEMS 光开关、波导热光开关和电光开关。

图 4.14-13 示出了 2×2 SOI 基 MMI - MZI 光开关的结构。图 4.14-13a 为顶视图，它由一对输入波导、两个马赫 - 曾德干涉仪（MZI）、两个相移臂和一对输出波导组成。以 MMI 作为 3 dB 分束器和耦合器，结构紧凑、制作容差大，在光开关中应用越来越广泛。

图 4.14-13b 和图 4.14-13c 分别为热光开关和电光开关中相移臂的截面图。输入的光波经第一个 MMI 分束器分为两束光。在相移臂上，通过加热或入注自由载流子引起等离子色散效应的方法，产生相移。具有相位差的两束光在第二个 MMI 耦合器中干涉后合波，输出的光波就会产生开与关的作用。

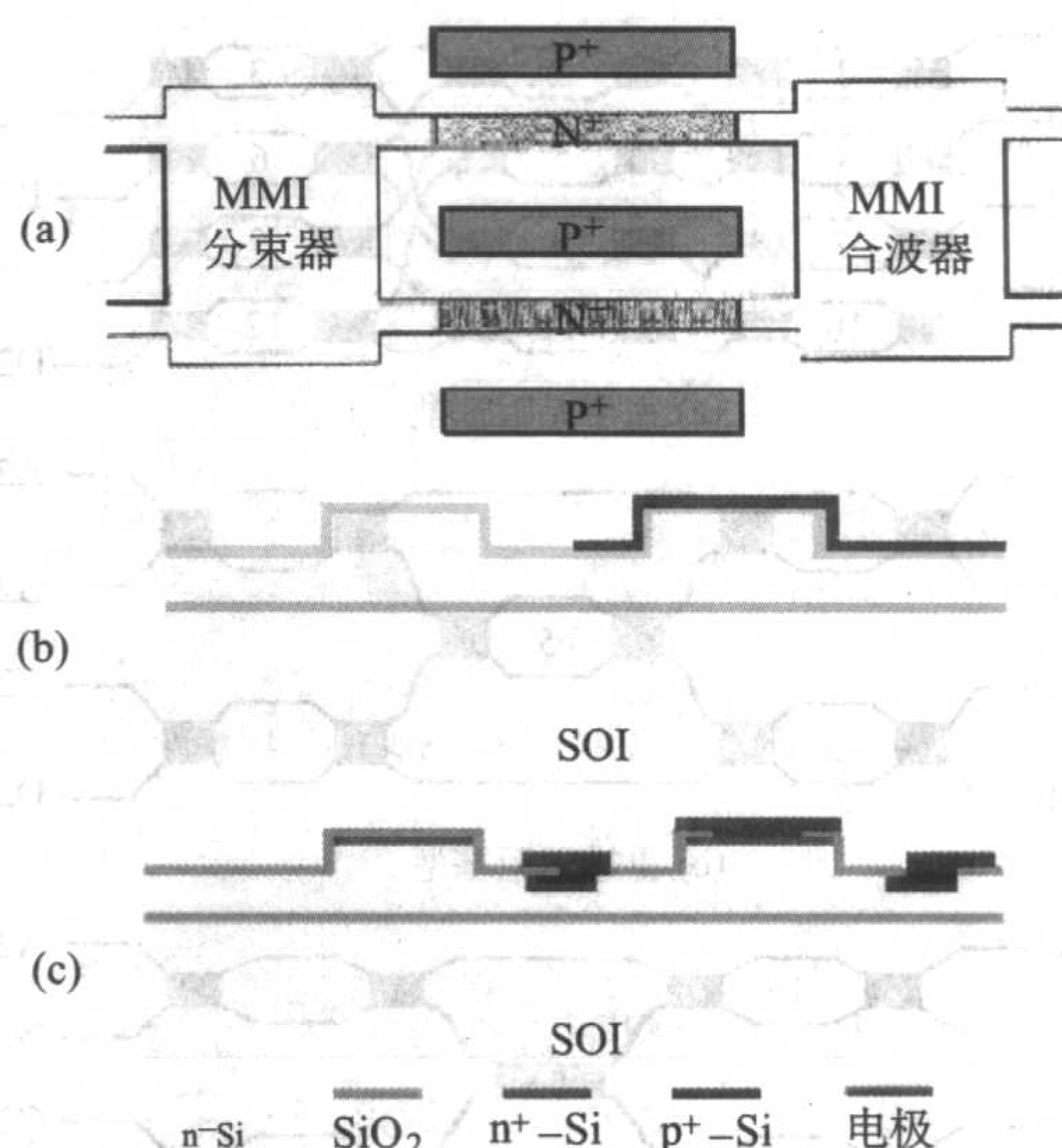


图 4.14-13　SOI 基 MMI-MZI 光开关结构的顶视图热光开关（b））和电光开关（c））中相移臂的截面图

SOI 光波导开关中，热光波导开关是最常采用的一种形式。硅具有较大的热光温度系数，当 $\lambda = 1.3\ \mu m$ 时，$\frac{\partial n}{\partial T} = 2\times10^{-4}K^{-1}$，因此可以通过加热改变硅的折射率，利用硅的热光效应来实现对光场的调制和开关功能。目前 SOI 光开关的研究大都集中在热光开关上，响应速度一般在微秒量级，器件的功耗在 100 mW 量级。

硅中载流子浓度的变化会引起硅的折射率的变化，有较强的等离子体色散效应。当注入空穴浓度为 $10^{18}\ cm^{-3}$时，硅在 1.3 μm 处的折射率变化可达 1.5×10^{-3}，与 GaAs 的电光效应水平相当，利用硅的自由载流子等离子色散效应容易实现电光开关的作用。电光开关的开关速度由自由载流子的寿命决定，因而开关速度快，可达纳秒量级。而且这种开关的功耗比热光开关小得多，但消光比较小，容易发生串扰。

以 2×2 光开关为基本单元，可以构成光开关阵列。按功能划分，光开关阵列的拓扑结构可分为三类：①完全无阻塞型；②重排无阻塞型；③输入端与输出端的组合受限定的阻塞型。图 4.14-14 示出了这三种类型 4×4 光开关阵列的拓扑结构图。对于一个 $N\times N$ 的光开关阵列来说，在不中断任何光路的情况下，如果能够实现输入端口 N_i（$i = 1, 2, \ldots, N$）同输出端口 N_j（$j = 1, 2, \ldots, N$）之间的任意 $N_i \to N_j$ 连接，这个阵列就是一种严格意义上的无阻塞光开关阵列，称为完全无阻塞型阵列；在一个输入端口和一个输出端口之间实现连接的过程中，如果需要中断某一 $N_i \to N_j$ 光路之后再通过算法控制进行光路的重新分配，则这种光开关阵列为重排无阻塞型阵列；如果在光路的重新分配以后，部分输入和输出端口之间仍然无法实现连接，则是阻塞型阵列。

光开关阵列拓扑结构的主要参数有损耗、串扰、偏振敏感性和集成的开关单元级数和数目等，开关单元的性能和光开关阵列的网络结构形式直接决定阵列性能的好坏。光开关阵列的损耗主要包括：光纤同开关间的耦合损耗、介质中的传输损耗、弯曲波导引入的辐射损耗和开关单元本身的损耗，阵列的损耗中很大一部分是与开关元数目和光路的长度成正比。阵列开关的串扰主要由两部分组成：交叉波导带来的串扰（Channel Crosstalk）和开关单元自身两条光路之间耦合引起的串扰（Switch Crosstalk），前者可以通过优化交叉波导的交叉角而大幅度地降低。

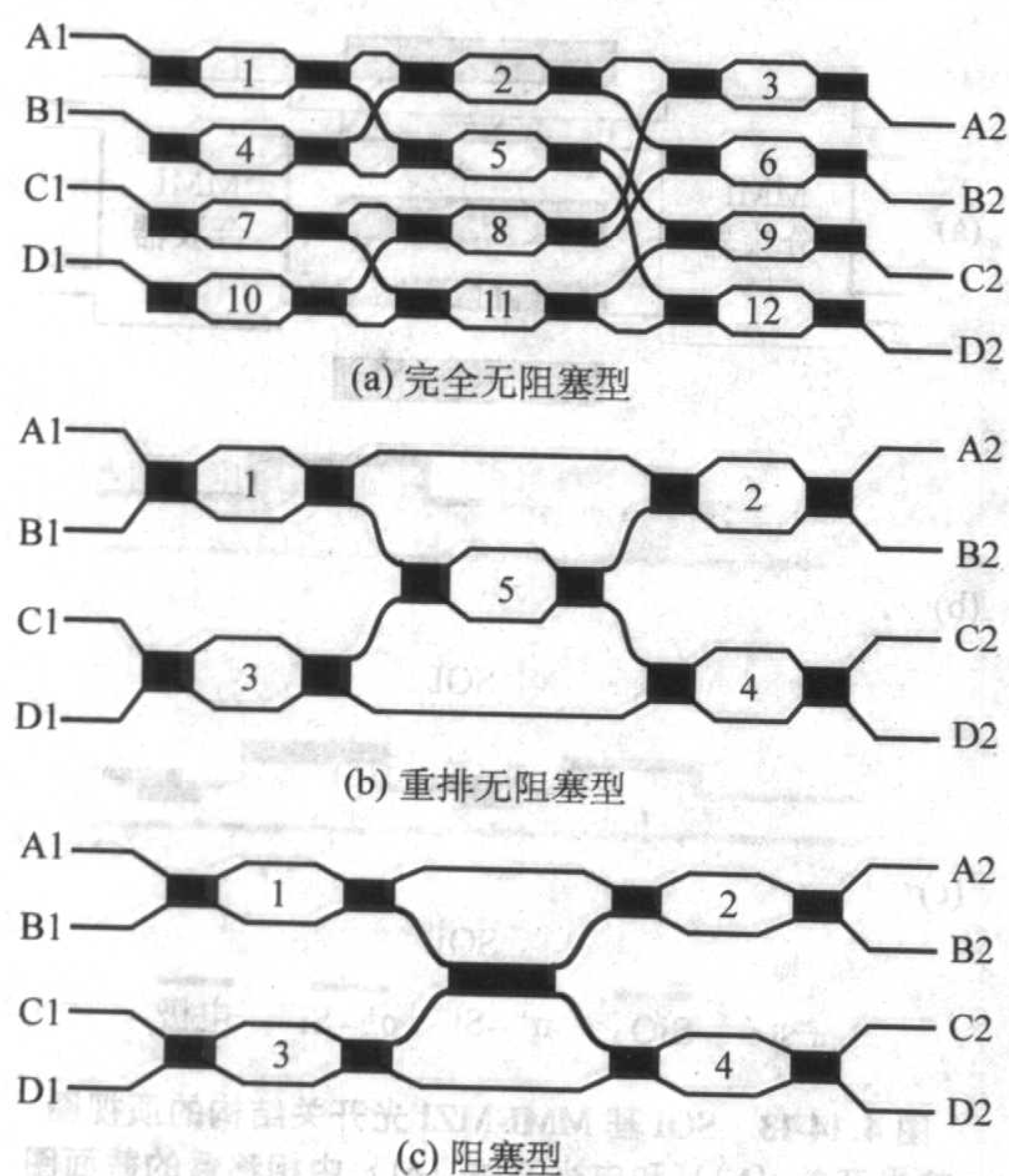


图 4.14-14　4×4 光开关阵列的拓扑结构

英国 Bookham 公司去年报道了 2×2 SOI 基 MMI－MZI 热光开关。我们最近研制成功 4×4 重排无阻塞型和阻塞型 SOI 基 MMI-MZI 热光开关阵列。每一个开关单元的开关时间和功耗分别为约 10 μs 和约 150 mW。虽然目前还只是 4×4 的光开关阵列，但它们是在 SOI 衬底上制成的，显示出了硅基光开关阵列和集成的潜在能力。更复杂的阵列还在研究之中，但已经显示出了很好的发展势头。

3.6　阵列波导光栅（AWG）

AWG（Array Waveguide Grating 阵列波导光栅）可以将不同通道上不同波长的光合起来，成为一束电，或将一束含有多波长的光分至不同的通道上，实现复用/解复用功能，是 WDM 通信系统的一种关键器件。目前 AWG 的研究主要集中在 SiO_2/Si、SOI、InP、聚合物等材料上，其中硅基上 SiO_2 AWG 格外重要，SOI AWG 也显示出很好的性能。例如美国加州大学 Los Angle 分校在 101.6 mm（4 in）SOI 晶片上制作的相位阵列波导光栅，其自由光谱范围（FSR）为 7.6 nm，通道间隔为 1.9 nm，相邻通道间的串扰为 －22dB，整个器件损耗小于 6 dB。另外他们也研制了 8 通道的 AWG，通道间隔为 2 nm，其他性能与四通道的 AWG 类似。

用 SOI 制作的光波导器件，无论是光开关还是 AWG，一个很重要的优点是器件对偏振的敏感性很小。在其上面制作的 AWG 中，TE－TM 模的偏移约为 0.04 nm，这是现有器件在不加补偿的情况下所能达到的最好水平。一般器件的偏振敏感性主要是由两个因素决定：①器件材料自身的双折射和波导层的内应力；②波导几何结构上的不对称。对于 SOI 波导器件，波导层为硅，不存在材料的双折射和内应力，因此 SOI 波导器件的偏振敏感性主要是由波导的结构决定的。采用深刻蚀的脊形结构，可以最大程度地减小器件的偏振敏感性。

目前报道的常用 AWG 是由 Si 基厚膜 SiO_2 制成的。图 4.14-15 示出了日本 NEC 公司研制成功的 400 信道的 AWG 的分光光谱。其主要特性为：中心波长 1 570 nm，波长范围 1 530～1 610 nm，通道数 400，通道间隔 25 GHz，芯层/包层折射率差 1.5%，阵列波导数 1 175，衍射级数 18，波导尺寸 4.5 μm×4.5 μm，器件大小 124 mm×64 mm。应当说，这是一种 Si 基光电集成回路，它将 1 175 个不同长度的 SiO_2 光波导和两个平板 MMI 集成在同一硅片上，能够完成很复杂的复用/解复用分光功能。更多信道数的 AWG 已经问世，这些为全光通讯网的设计和制造提供了很好的基础。

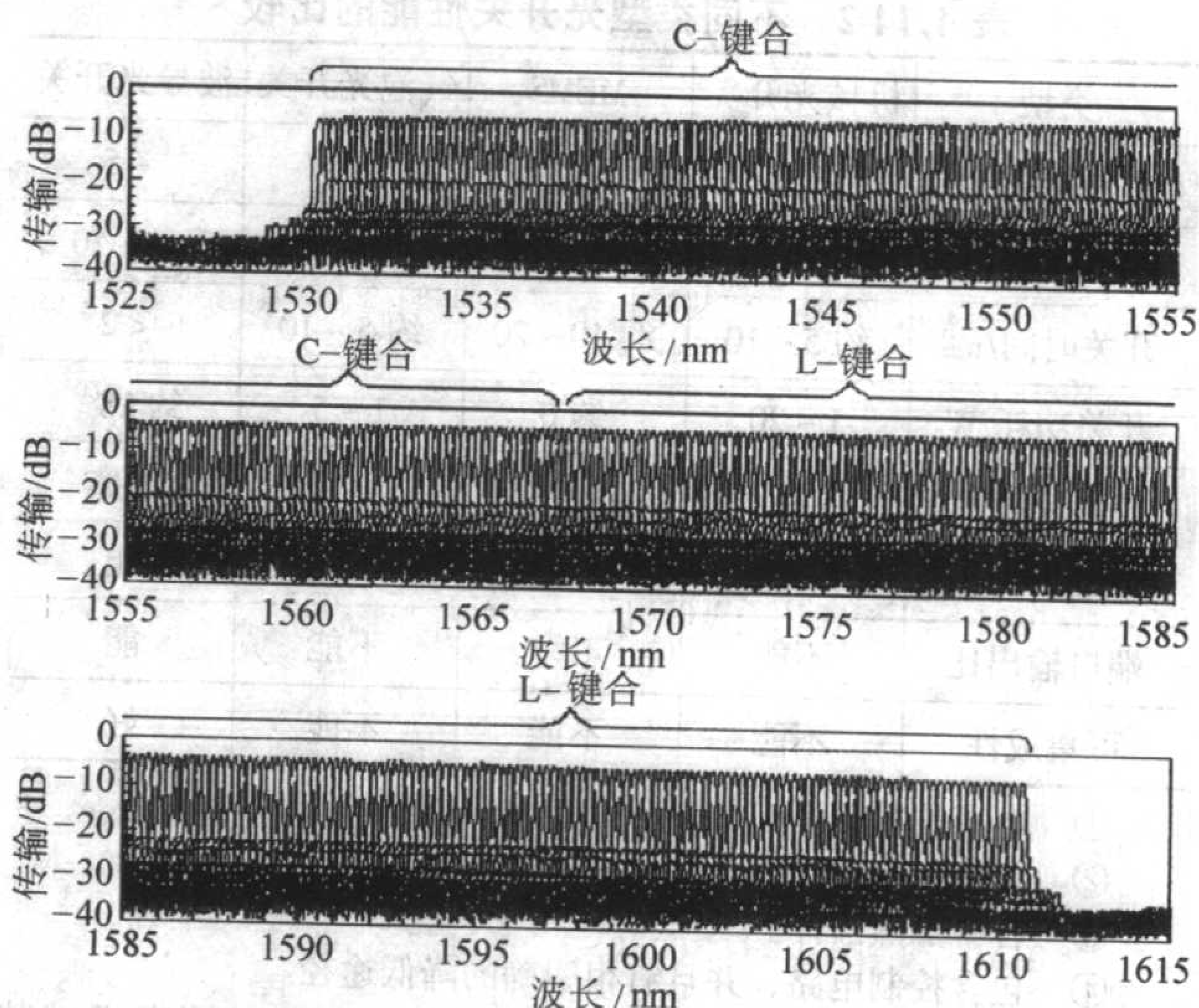


图 4.14-15　400 信道 AWG 的分光光谱图

4　硅基光电子集成

在单产片硅基光电子集成真正变为实际产品之前，PLC（平面光回路）已经成为现实，有的已经用于 DWDM 全光网通信系统。确切地说，可以把 PLC 视为是硅基混合光电子集成，即以硅片为衬底，在其上制作一些目前已经成熟的光电器件或电子器件的同时，通过刻蚀 V 形槽定位耦合光纤、键合或焊接 Ⅲ－Ⅴ 族光电器件或电子器件，构成具有一定光电信转换功能的组合件。PLC 工艺兼容、制造方便、十分适用，很受光通信系统的工程人员欢迎。

当然，人们寄希望于真正的硅基光电子集成。图 4.14-16 示出了硅基光电子集成电路，它同时集成了 SiGe HBT、CMOS、SiGe 光波导器件、SiGe 光电探测器、SiGe 调制器、SiGe 射频器件、SiGe/Si 量子器件等，还有给光纤定位的沟槽，同时具有传输与探测光信号、放大和处理电信号的功能，兼有电子学和光子学的优势。虽然这些还处于研究之中，但也确实指日可待。

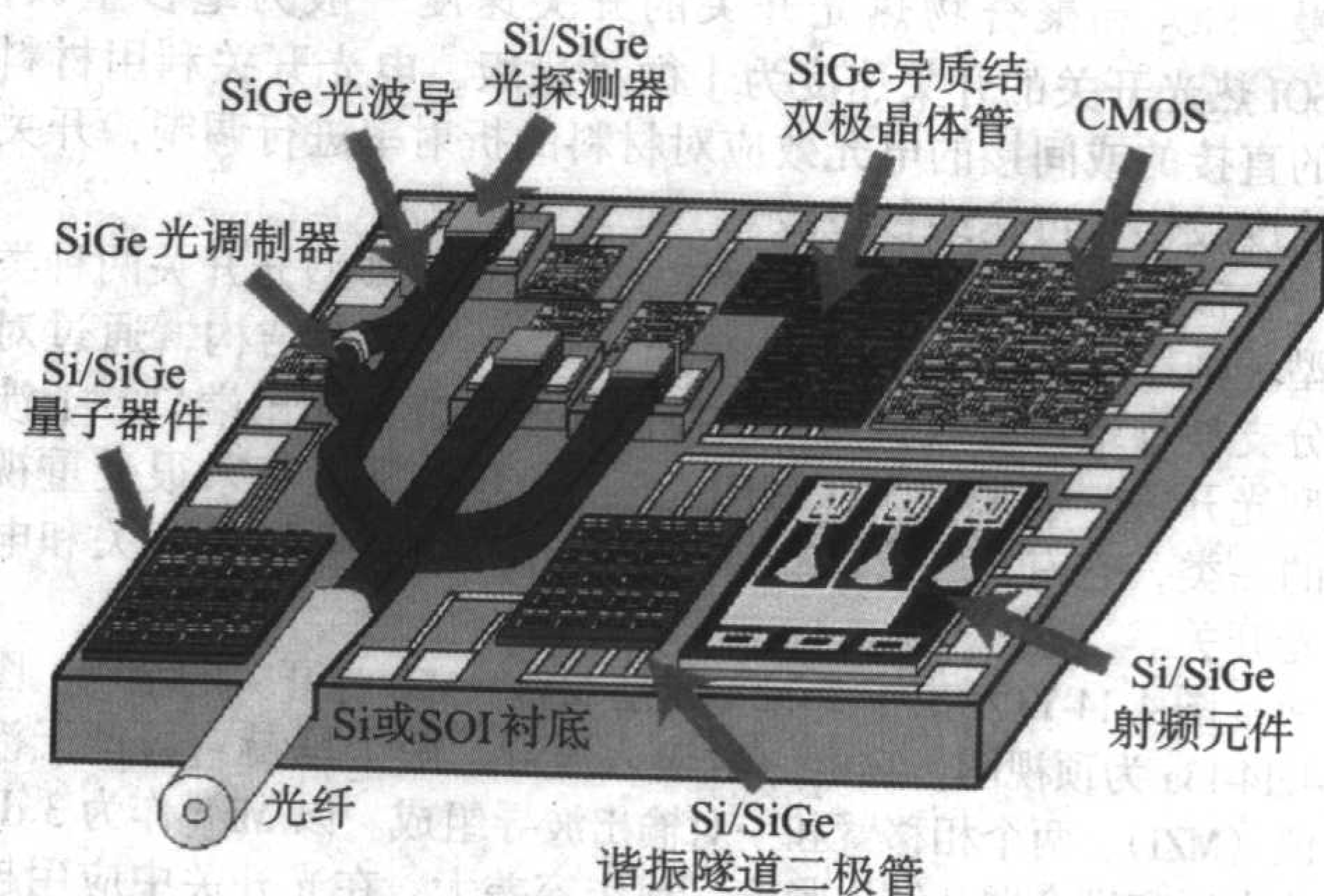


图 4.14-16　硅基光电子集成回路

5　结束语

经过多年的努力，已经成功地研制出了硅基发光、探测、波导器件及其光电集成回路，SiGe 探测器、HBT（异质结双极晶体管）、SOI 光波导开关、SiO_2 AWG（阵列式波导

光栅）和PIC（平面光回路）等器件或集成已经相当成熟，有的已在光电系统中应用。SiGeC/Si以及其他硅基异质结构和纳米结构都在深入研究之中；SiGe/Si HBT是硅基电子器件中的佼佼者。SiGe HBT的交流频率主要由两个参数表征：交流截止频率 f_T 和最大振荡频率 f_{max}。交流截止频率（或电流增益截止频率）f_T，定义为电流增益为1时的频率；最大振荡频率 f_{max}，则定义为功率增益为1时的频率。至今最高的截止频率是IBM公司报道的350 Hz。限于篇幅不能对硅基光电材料、电子和光子器件等一一介绍。尽管硅基光电器件已经相当丰富多彩，然而硅基光电集成技术的研究和开发才刚刚起步，更多的工作有待深入。

图4.14-17示出了半导体光电子技术的发展趋势图，标出了硅和化合物半导体两类半导体材料的光电子器件的演变过程，包括年代、外延生长或微细加工的线度、主要的集成电路和光电子器件以及应用。半导体光电子技术正在以材料多样化、波长覆盖宽、谱线更精细、功率更高、应用更广泛以及不同器件的集成化为特征发展着。

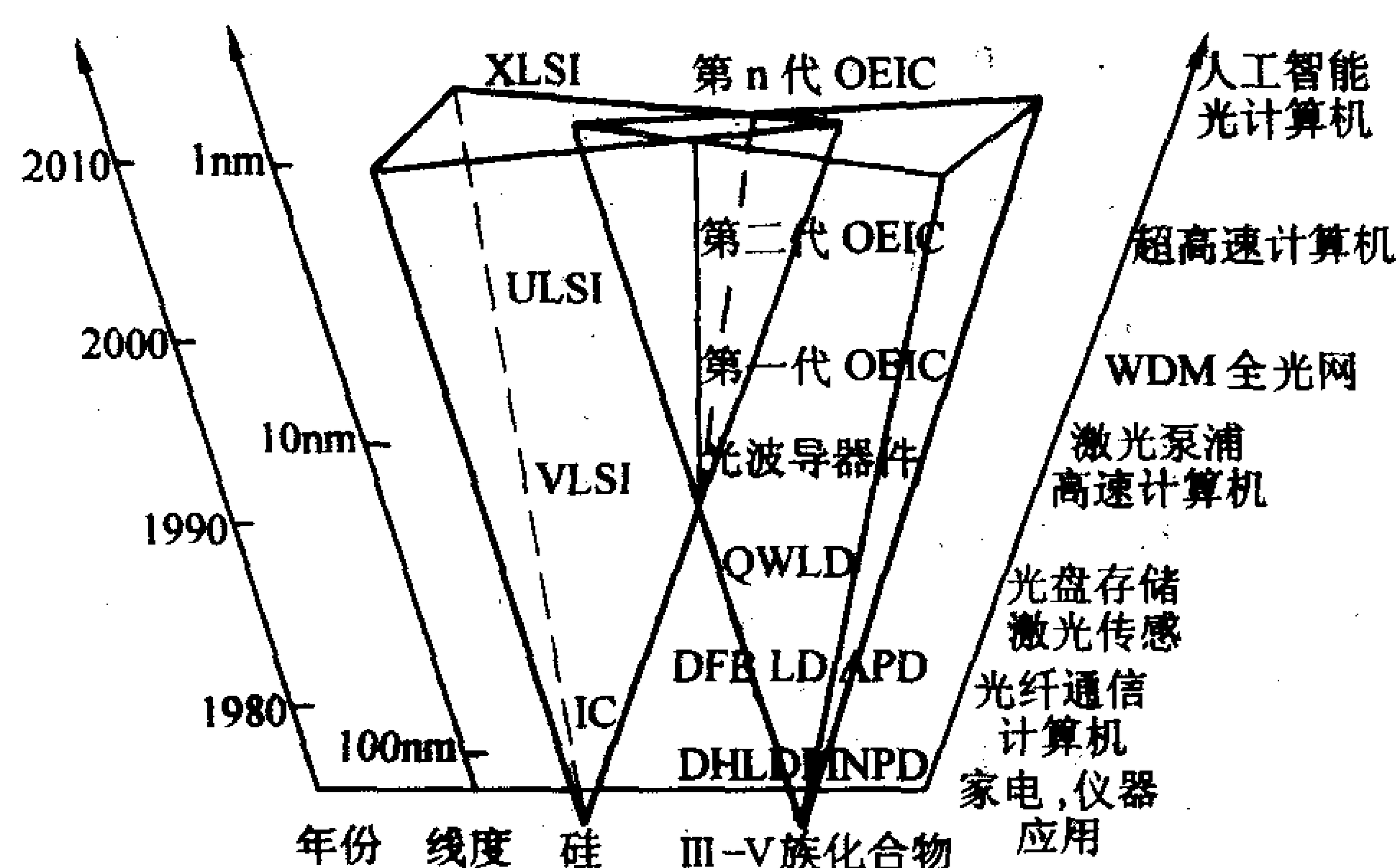


图4.14-17 半导体光电子技术发展趋势图

硅已经成功地用于集成电路，特别是20世纪的60年代之后，随着加工尺寸进入亚微米量级之后，出现了大规模集成电路（VLSI），到了90年代，硅基CMOS的特征线宽已达0.18 μm，于是出现了特大规模集成电路（ULSI），到了21世纪，加工线宽在向0.1 μm并向亚0.1 μm推进，将出现极大规模集成电路（XLSI）。因此，总的发展趋势是：Si的加工线度越来越窄，将达到纳米量级，而集成度越来越高，依"摩尔定律"所言，每过一年半集成度提高一倍。与此同时，由于线度尺寸进入到纳米量级，可以实现人工改性。近年来，通过制作纳米量级的量子点，Si、Ge以及SiGe量子点等新材料也能发光了，因而另一个发展趋势是Si、Ge等Ⅳ族半导体材料在集成电路中大显其能的同时，也向光电子领域发展，并且越来越多地同Ⅲ-Ⅴ族化合物半导体材料发生交融了。

在半导体光电子领域，Ⅲ-Ⅴ族半导体发展很快。一方面，它们的直接带隙的能带结构非常适合于制作光电子器件，另一方面得益于材料科学的进展，成功地外延GaAs、InP、GaP、InAs、AlAs、GaN及其二元、三元、四元合金的异质结构、量子结构和纳米结构，能够进行能带工程的剪裁，于是一批又一批光电子器件问世了。随着外延层的厚度和光刻的精度由1 μm→0.1 μm→10 nm→1 nm方向发展，科学家们研制出了DH（双异质结）激光器、DFB（分布反馈）激光器、PD（光电二极管）、APD（雪崩光电二极管）等一系列光电子器件。与此同时，第一代、第二代、第三代光电集成电路（OEIC）也先后问世了。到了21世纪进入了纳米时代，外延生长已能够外延单原子层，微细加工已能进行纳米量级，扫描电子显微镜（SEM）、透射电子显微镜（TEM）、原子力显微镜（AFM）能观测纳米甚至原子大小的图像，这些技术综合起来大大促进了研究和开发，并将进一步促进光电子技术的发展。

伴随着半导体电子器件和光电子器件的成功，光纤通信系统、高速计算机、超高速计算机、密集型波分复用（DWDM）全光通信网等应用系统一一问世。这是一个高速发展的过程，也是一个多种材料、多种技术、多种学科相互依存、相互促进、相互交叉的过程，如今Ⅳ族的Si、Ge材料既能制作电子器件，也能制作光电器件；Ⅲ－Ⅴ族、Ⅱ－Ⅳ族、Ⅱ－Ⅵ族半导体材料既用于光电子器件，也用于电子器件。现在Ⅳ族同Ⅲ－Ⅴ族发生交叉，异质结构外延和键合技术的发展使得它们有机地结合在一起，为光电子集成的发展提供了坚实而宽广的材料基础。因此，半导体光电子材料的发展趋势是更多样、更精细、更实用。

微细加工技术是另一重要的方面。电子束曝光、X光光刻、反应离子刻蚀（RIE）、感应耦合等离子体（ICP）刻蚀、纳米加工技术以及原子力显微镜等为微细加工与观测提供了技术基础，其发展趋势将是更细、更小、更精，这些构成光电子技术的未来，为实际应用提供多样的新型技术和器件。

硅基光电子学的发展得益于材料科学、激光物理、微电子学、计算机科学、微细加工技术、现代化学等学科和技术的成就，它的进展又极大地促进了相邻学科的交叉和发展。高速率、大容量DWDM（密集波分复用）网络系统需要重点解决高速光传输技术、复用与解复用技术、光分插复用技术、光交叉互连技术、光波导开关集成面阵、高性能集成探测器。而这些技术的实现离不开高性能、高可靠的硅基光电子技术。因此，研究硅基光电子集成任重而道远，具有重要的学术意义和美好的应用前景。

编写：余金中（中国科学院半导体研究所）

参考文献

1 Erich Kasper. 硅锗的性质. 余金中译. 王杏华等校. 北京: 国防工业出版社, 2002

2 Erich Kasper and Klara Lyutovich. properties of Silicon Germanium and SiGe: Carbon, INSPEC, the Institute of Electrical Engineers, London, UK, 2000

3 王启明主编. 现代科学技术大众百科: 技术卷. 杭州: 浙江教育出版社, 2001

4 余金中. 半导体光电子技术. 北京: 化学工业出版社, 2003

5 D. Araujo, et al. Dislocation behavior in InGaAs step-and alternating step-graded structures: Design rules for buffer fabrication. Appl. Phys. Lett. 67 (24): 3632~3634, 1995

6 C. L. Andre, et al. Low-temperature GaAs films grown on Ge and Ge/SiGe/Si substrates. J. Appl. Phys. 94 (8): 4980~4985, 2003

7 K. Samonji, et al. Reduction of threading dislocation density in InP-on Si heteroepitaxy with strained short-period superlattices. Appl. Phys. Lett. 69 (1): 100~102, 1996

8 S. Saravanan, et al. Growth and characterization of GaAs epitaxial layers on Si/porous Si/Si substrate by chemical beam epitaxy. J. Appl. Phys. 89 (9): 5215~5218, 2001

9 C. W. Pei, et al. Mechanism of the reduction of dislocation density in epilayers grown on compliant substrates. J. Appl. Phys. 90 (12): 5959~5962, 2001

10 T. A. Rawdanowicz, et al. Epitaxial GaN on Si (111): Process control of SiN_x interlayer formation. Appl. Phys. Lett. 85 (1): 133~135, 2004

11 O. Contreras, et al. Dislocation annihilation by silicon delta-doping in GaN epitaxy on Si. Appl. Phys. Lett. 81 (25): 4712~4714, 2002

12 Chung-Lin Wu, et al. Heteroepitaxy of GaN on Si (111) realized with a coincident-interface AlN/β-Si_3N_4 (0001) double-buffer structure. Appl. Phys. Lett. 83 (5): 4530~4532, 2003

13 L. Wang, et al. Wurtzite GaN epitaxial growth on a Si (001) substrate using γ-Al_2O_3 as an intermediate layer. Appl. Phys. Lett. 72 (1): 109~161, 1998

14 J. Wan, et al. Growth of crack-free hexagonal GaN films on Si (100). Appl. Phys. Lett. 79 (10): 1459 ~ 1461, 2001

15 F. Schulze, et al. Influence of buffer layers on metalorganic vapor phase epitaxy grown GaN on Si (001). Appl. Phys. Lett. 84 (23): 4747~4749, 2004

16 N. Chandrasekaran, et. al. GaAs film on Si substrate transplanted from GaAs/Ge structure by direct bonding. Appl. Phys. Lett. 82 (22): 3892~3894, 2003

17 Mitsuru Funato, et. al. Integration of GaN with Si using a AuG-mediated wafer bonding technique. Appl. Phys. Lett. 77 (24): 3959~3961, 2000

18 W. S. Wong, et. al. Structural and optical quality of GaN/metal/Si heterostructures fabricated by excimer laser lift-off. Appl. Phys. Lett. 75 (13): 1887~1889, 1999

19 A. Fontcuberta, et. al. InGaAs/InP double heterostructures on InP/Si templates fabricated by wafer bonding and hydrogen-induced exfoliation. Appl. Phys. Lett. 83 (26) 5413 ~ 5415, 2003

第5篇

化合物半导体材料

主　编　屠海令　赵有文
主　审　王占国　余怀之　陈诺夫
　　　　秦　福　王晓亮　曾庆明
编　写　屠海令　赵有文　邓志杰　孙聂枫
　　　　郑安生　张峰翊　董志远　王彤涵
　　　　李献杰　武壮文
审　稿　中国材料工程大典编委会

中国机械工程学会
中国材料研究学会
中国材料工程大典编委会

人类研究化合物半导体材料的历史可追溯到19世纪上半叶。1833年，法拉第发现了Ag_2S具有负的电阻温度系数。1874年，Braun发现了PbS和FeS_2与金属探针接触时的整流现象。1906年，PbS点接触整流器成功用于无线电。1927年，Grondahl和Geiger设计并制造了第一个实用的Cu_2O整流器。第二次世界大战期间，英国的皇家雷达与信号实验室（RSRE）从理论上预计了Ⅲ-Ⅴ化合物半导体材料在红外吸收领域的应用潜力。Mullin等地行了InSb单晶生长和应用，推动了Ⅲ-Ⅴ族化合物半导体材料的研究。

Ⅲ-Ⅴ族化合物半导体材料是由两种元素组成的二元化合物，因此需考虑相平衡与相转变，制备过程还有合成以及蒸汽压控制等问题。与硅、锗材料相比，主要的Ⅲ-Ⅴ族化合物半导体材料，例如GaAs、InP等具有许多优点：它们是直接跃迁型能带结构，电子迁移率高，电光转换效率高，工作温度高，抗辐射能力较强等。这些特性决定了GaAs、InP材料在固态发光、微波通信、光纤通信、制导、卫星等民用和军事等领域有十分广阔的用途。

历史上，Theil和Koelsch最早人工合成InP。1929年，Goldschmidt合成了GaAs，并指出其具有闪锌矿结构。但真正意义上的Ⅲ-Ⅴ族化合物半导体材料研究始于20世纪50年代。1952年，德国的Wellker发表了关于化合物半导体材料性质的研究结果，开拓了Ⅲ-Ⅴ族化合物半导体材料研究的新领域。

1951年，Goryunova在她的博士论文中指出闪锌矿结构的Ⅲ-Ⅴ族化合物材料具有半导体性质。20世纪50年代后期，兴起以水平布里奇曼法生长GaAs单晶的热潮。日本住友电工的Suzuki和Akai等采用三温区水平布里奇曼生长设备，进行了低位错GaAs单晶生长，并广泛应用于LED器件的生产，标志着化合物半导体材料进入产业化阶段。由于该方法设备成本低、工艺技术成熟、生长的GaAs单晶的位错密度较低，因此始终是制造LED的主要材料。1961年，原苏联科学家Basov首次提出半导体激光的概念。次年，第一批GaAs半导体激光器诞生。之后，RCA，GE，IBM和MIT的研究人员均报道研制成功了GaAs红外（870～980 nm）LED和激光二极管（LD）。固态发光器件和激光器的巨大应用前景，推进了对GaAs单晶材料生长和器件制备工艺的深入研究。1963年，扩散结激光器实现了77 K下的连续激射。Nelson用液相外延（LPE）材料制备的GaAs激光器，实现了室温下的连续激射。Knight等人以汽相外延的方法也生长出高质量的化合物半导体薄膜。

1963年，发现砷化镓的微分负阻现象（耿氏效应）后，很快批量生产出了用作固态微波源的两端器件。随着GaAs场效应晶体管（FET）等器件和电路的成功研发，迫切需要半绝缘GaAs单晶材料。Miller等首先采用掺Cr的方法制备出半绝缘GaAs单晶。20世纪60年代末开始用高压液封直拉法（LEC）法生长掺Cr半绝缘GaAs单晶。1966年，第一次GaAs国际会议应运召开。1974年，Tuyl和Lechi制出了第一片GaAs高速IC。由于掺Cr半绝缘GaAs单晶存在杂质外扩散、缺陷变化、热稳定性差以及离子注入激活效率低等不足，严重影响了FET器件和集成电路的性能、可靠性和成品率。因而，研究杂质含量低的非掺杂半绝缘GaAs单晶生长成为当时的热门研究课题。

非掺半绝缘GaAs是制备高速集成电路的关键材料。1965年，Mullin等报道了GaAs单晶的氧化硼覆盖液封直拉（LEC）生长方法，为工业化生长Ⅲ-Ⅴ族化合物半导体单晶奠定了技术基础。Swiggard等1976年以热解氮化硼（PBN）坩埚代替石英坩埚大幅降低了Si沾污，提高了GaAs单晶的电阻率。Aucoin利用高压单晶炉和PBN坩埚原位直接合成GaAs的方法生长出2英寸的非掺半绝缘GaAs单晶后，Varian、Westinghouse、Hughes等公司纷纷订购高压单晶炉生长非掺半绝缘GaAs单晶材料，用于制备FET器件和各类电路。与此同时，Newman（1972年）报告了杂质C、B在GaAs晶体中会形成局域振动吸收峰。White、Ashen、Wolfe等指出GaAs中C杂质起浅受主作用。当时，非掺半绝缘GaAs性质研究集中于C受主与EL_2施主补偿机理方面。Gatos、Martin、Huber、Van Vechten、邹元曦、Figilski等提出多种EL_2原子结构模型。Holmes、Frank、Ikoma等研究控制、测定熔体的化学计量比，以制备高质量半绝缘GaAs晶体。Rumsby、Ogama、Glark、Mori、Baumgartner等对生长后的晶体进行热处理，改善了非掺半绝缘GaAs的均匀性。20世纪80年代，C浓度控制技术和改善晶体电学均匀性的退火技术已广泛用于直径2～4英寸的半绝缘GaAs单晶的商品化生产。产品应用于微波通讯、卫星通讯、导弹制导、高速电路、全球定位与导航等领域。林兰英等于20世纪80年代还进行了太空中生长GaAs的研究。为进一步降低体单晶的位错密度，有人开展GaAs中掺In的等电子掺杂研究，但带来成品率和应力等问题。Nakanishi、Yamada、Hoshikama等还报道利用蒸汽压控制（VCZ）方法生长GaAs，可降低晶体的位错密度。而Gault（1986）开始的垂直梯度凝固法（VGF），效果明显。该方法通过各个独立加热单元控制热场的分布和固液交界面的上升速度，使置于垂直管状容器中的熔融GaAs、InP由底部自下而上可控凝固，从而大幅降低了晶体中的位错密度。目前，VGF法生产的GaAs单晶已批量供应市场。

至于InP，早在1941年Tandelli就以X射线分析了InP的结构。1957年，Boomgaard和Schol给出了详细的InP相图，但由于InP在熔点时有较高的P离解压，同时临界切应力（CRSS）数值小，易形成孪晶并产生大量位错，因此很难得到高质量的InP单晶。随着高压单晶炉制造水平的不断提高，LEC法InP单晶生长技术得以快速发展，InP材料制备和性能明显提高，在低噪声和高速器件等方面得到重要应用。Utech和Flemings等发现在InSb拉晶过程外加直流垂直磁场可以降低固液交界面的温度起伏。以后GaAs等化合物半导体晶体生长中也开始采用外加磁场。20世纪80年代中期，研究人员利用外加垂直磁场的LEC法进一步提高InP晶体的完整性和成晶率。日本住友电工公司用VCZ方法研制InP，所得晶体表面光亮，位错密度降低两个数量级，横向均匀性亦得到改善，现已有商品出售。1989年召开了第一届InP及其相关化合物的国际会议，共同探讨发展InP材料和器件的前沿课题。目前，掺Fe的半绝缘InP单晶材料已用来研制频率40 GHz以上的微波器件、单片电路和光电集成电路等。而掺S的InP大量用来制作1.3～1.55 μm波长红外发光管和激光器，InP基光源和探测器有力地促进了光纤通讯的发展。

20世纪70年代，Rozgonyi、Lucian、Arnold等分别研究了不同的GaAs抛光方法和机理。Schell、White、Abrahams、Schwuttke、Harper等先后研究了GaAs、InP单晶缺陷的化学腐蚀显示方法以及电化学腐蚀机制。

进入20世纪90年代，化合物半导体迅速向无线通讯、高亮度LED和激光器等民用领域拓展。应用范围扩大到了手机、显示屏、CD、VCD、DVD、汽车防撞器件、鼠标、键盘等日常电器用品，极大地推动了单晶材料的发展。不久，150 mm GaAs单晶研制成功并投入生产。为了得到大直径的晶体并降低位错密度，LEC法、VCZ法、VGF法、垂直布里支曼法（VB）受到了普遍的关注。同时，计算机模拟研究上述方法的热场结构和生长工艺亦方兴未艾。Muller、Dupret等建立多种计算机模拟方法和模型，对大直径GaAs和InP单晶生长具有重要作用。LEC法仍是生长GaAs单晶的主流技术，德国FCM公司研制成功200 mm GaAs单晶，每炉投料

量达35～40 kg。VGF法是工业化生产低位错密度GaAs单晶材料的主要方法，位错密度在10^4 cm^{-2}以下，生长150 mm GaAs单晶每次投料量达20 kg。VCZ和VB法100 mm InP单晶已由日本住友电工研制成功并生产。日本住友电工、美国M/A-COM、Nikko、德国FCM公司都可以供应100 mm掺杂或半绝缘InP材料。至于150 mm直径的InP单晶，目前仅日本昭和电工公司可供样品。

经过近半个世纪的发展，GaAs、InP等单晶材料的制备技术日臻完善，以GaAs、InP为基础的微结构材料的生长技术和器件应用也得到了长足发展。1968年Rupprecht、Woodall等研制成功AlGaAs/GaAs异质结红光激光器。同年，Manasveit利用MOCVD技术生长出多种化合物半导体薄膜。1969年IBM公司的Esaki和朱兆祥提出了超晶格概念后，卓以和、Arther、Lepore等发展了分子束外延（MBE）技术，随即诞生了新一代人工超晶格量子阱材料。1980年，Panish、曾焕天等先后用AsH_3，Ph_3和Ⅲ族MO源，分别替代MBE系统中的Ⅴ族和Ⅲ族固态源进行外延生长。这种后来被称为化学束外延（CBE）的方法适于生长磷化物，已成功制备出InGaAsP/InP等一系列量子阱光电器件和光电集成电路。自此，化合物半导体材料从“杂质工程”发展到“能带工程”，薄层的几何尺寸由微米减小到纳米，实现了新型材料和器件的技术突破，成为一类重要的信息功能材料。我国GaAs、InP等化合物单晶材料及相关的微结构材料研究与国外基本同步，并已具有小批量生产能力，但与国际先进水平尚有一定差距。

近年来由于石油大幅涨价，成功用于太空的GaInP/GaAs/Ge太阳电池作为清洁能源倍受重视。GaAs基化合物太阳电池的转换效率在20世纪末已超过30%，同时每千瓦时的费用也大幅减少。目前，Ⅲ-Ⅴ族化合物半导体材料的成本逐年降低，多重结GaAs基化合物太阳电池正在进入地面市场。Spectrolab公司的技术路线图计划2005年采用AlGaInP/GaAs/Ge结构，实现转换效率37%的目标；2007年采用五重结，转换效率将达45%。

当前，手机用GaAs器件是市场的主要驱动力，2003年占全部GaAs器件的41%，预计到2008年仍可占GaAs市场的1/3左右。GaAs抛光片和外延片的市场需求将持续增长，2003年销售额约为3.87亿美元。今后几年将以每年7%的速度增长，2008年可望达到5.41亿美元。GaAs，InP等主要Ⅲ-Ⅴ族化合物半导体材料的市场需求在起伏中发展。2004年仅半绝缘GaAs衬底的产量已超过2 000万平方英寸，2005年市场已开始回升，预计今后每年的复合增长率仍将达15%。2004年InP材料产量约10吨左右，随着10Gb/s等下一代高频无线通讯产品的发展，将会有较大的增长。

本篇将重点介绍GaAs、InP化合物单晶材料的性质、制备加工技术、材料中杂质及缺陷等内容。

编写：屠海令（北京有色金属研究总院）
赵有文（中国科学院半导体研究所）
审稿：王占国（中国科学院半导体研究所）

第 1 章　GaAs 和 InP 的结构和性质

1　GaAs 的晶体结构和性质

1.1　晶体结构

GaAs 晶体结构是典型的闪锌矿结构，如图 5.1-1 所示。这种结构除每个原子最近邻是异种原子外，与金刚石结构是相同的，每个原子最近 O 邻有 4 个异种原子，配位数为 4。若该原子位于一正四面体中心，则其最近邻的异种原子处于正四面体的顶角，其化学键为四面体键，键角为 109°28′。这种结构也可看成 Ga 原子所构成的面心立方晶格与 As 原子所构成的面心立方晶格沿体对角线（<111>方向）1/4 处穿插而成。

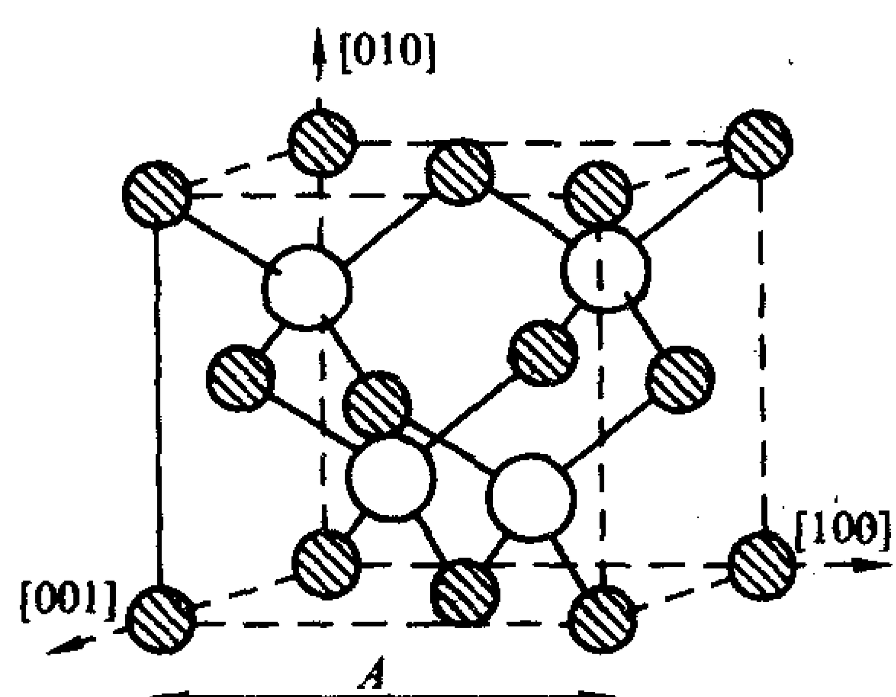


图 5.1-1　GaAs 的晶体结构

GaAs 晶体结构的（110）和（111）截面分别示于图 5.1-2 和图 5.1-3。

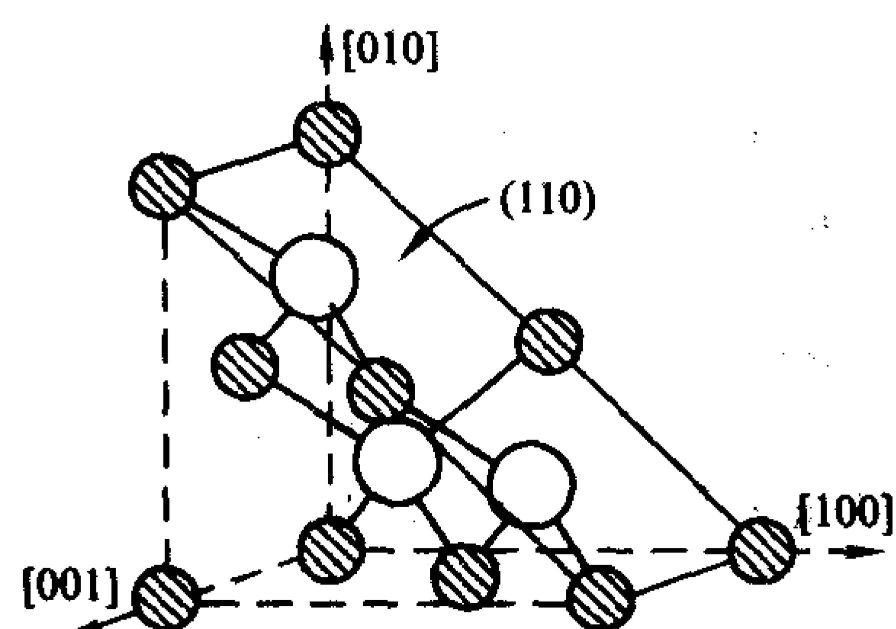


图 5.1-2　GaAs 的（110）截面

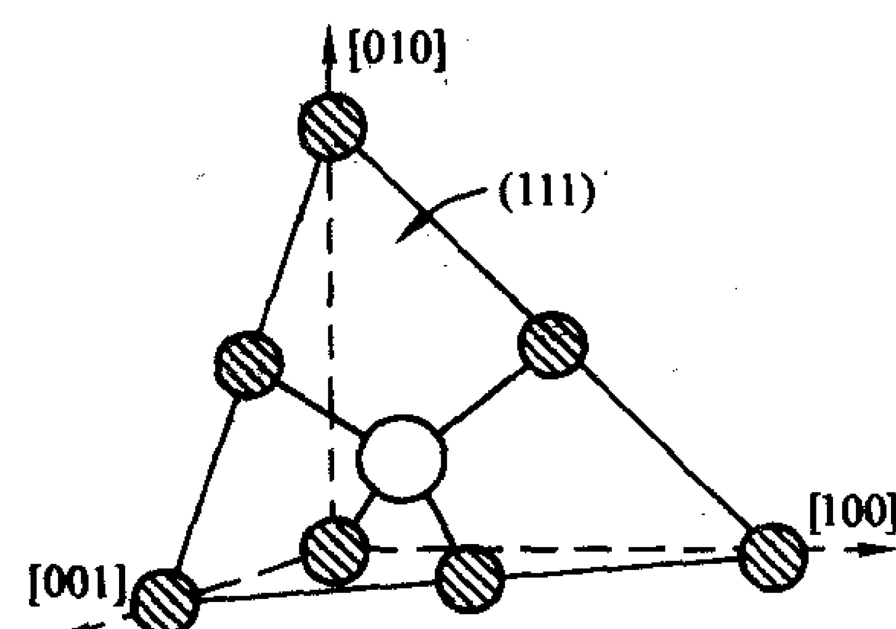


图 5.1-3　GaAs 的（111）截面

可以看到，所有（110）面上都包含 As，Ga 两种原子，而所有（111）面上都只包含 As 或 Ga 一种原子。共有 8 个（111）面，4 个是（111）A 面，只包含 Ga 原子；另 4 个是（111）B 面，只包含 As 原子。在［111］方向上，GaAs 晶体是由一系列 Ga 原子和 As 原子组成的双原子层依次排列而成的。故其［111］与［$\bar{1}\bar{1}\bar{1}$］两个晶向是不等价的，使其沿［111］方面具有极性。表 5.1-1 给出了 GaAs 的晶胞尺寸，原子密度和晶体密度（300 K）等数据。

表 5.1-1　300 K 时化学计量 GaAs 晶体的晶胞尺寸，原子密度和晶体密度

晶格常数	a_{300K}	0.565 325 nm
最近邻原子距离	$r_0=\sqrt{3}A/4$	0.244 793 nm
晶胞体积	A^3	$1.806\ 74\times10^{-22}$ cm^3
元胞体积	$\frac{A^3}{4}$	$4.516\ 84\times10^{-22}$ cm^3
分子密度	$\frac{N}{2V}=4/A^3$	$2.213\ 9\times10^{22}$ cm^{-3}
原子密度	$N/V=8/A^3$	$4.427\ 8\times10^{22}$
分子量	$M=(69.720+74.992)$	144.642
晶体密度	ρ_{300K}	5.317 4 g/cm^3

在 GaAs 中掺 Sn 或 Te 到较高浓度时，其晶格常数可增大 0.02%。从熔体生长的 GaAs 晶体，其组分有一定的变化范围，对富 Ga（50.002%）材料晶格常数增大 0.001%；对富 As（50.009%）材料晶格常数下降 0.004%。图 5.1-4 给出了 GaAs 晶格常数与温度的关系。

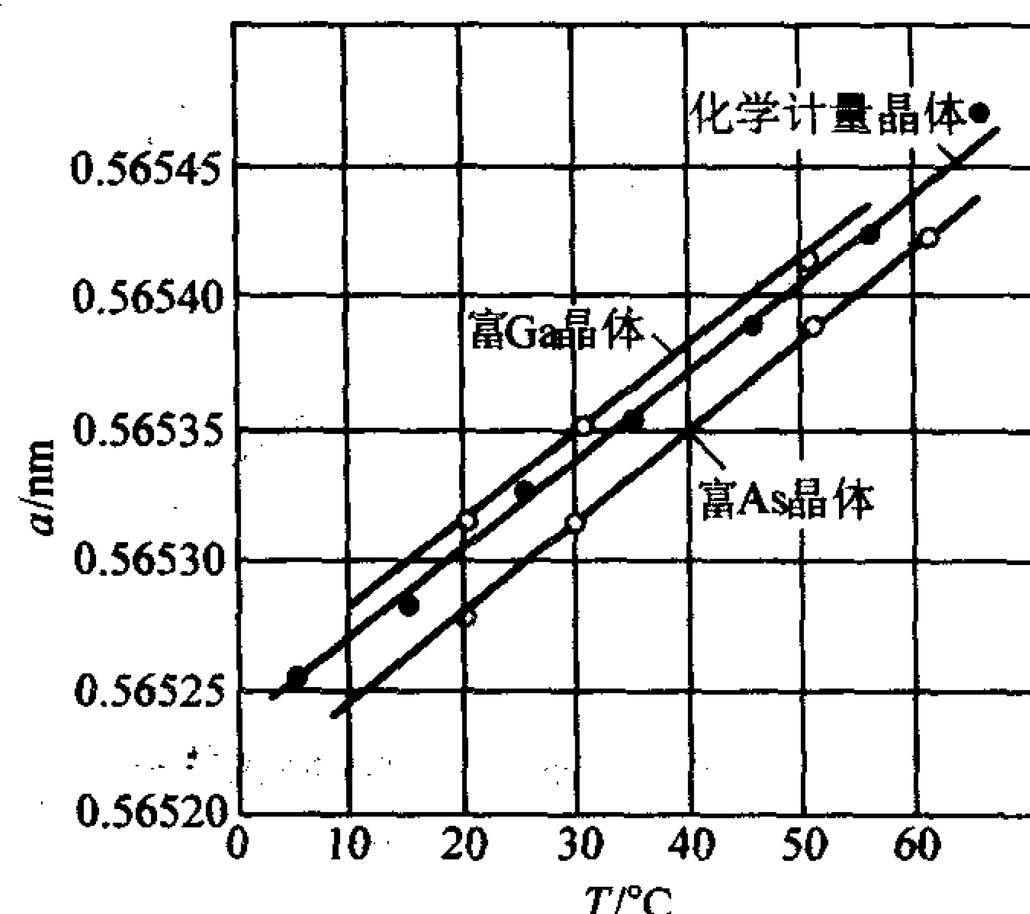


图 5.1-4　晶格常数与温度的关系

由于（111）面之间，异种原子形成了电偶极层，故 GaAs 的解理面主要是（110）面。

1.2　能带结构

砷化镓能带结构简图如图 5.1-5 所示。

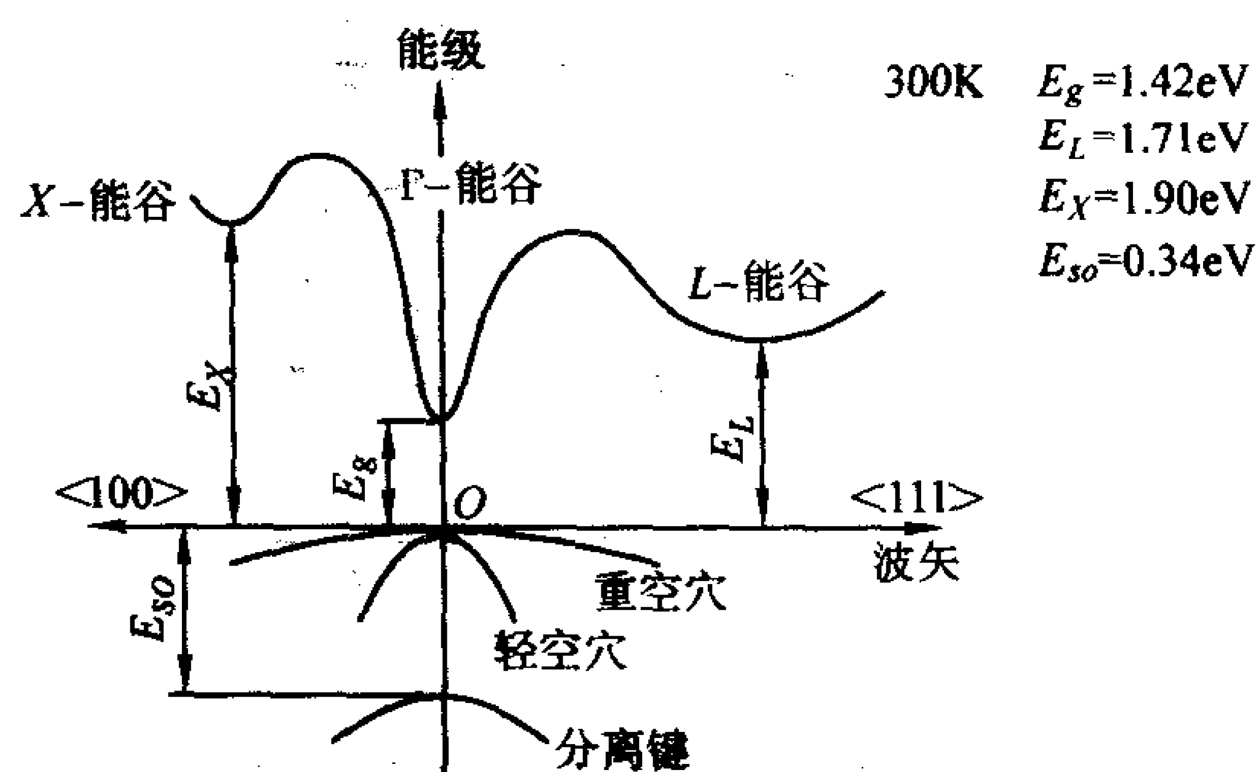


图 5.1-5　砷化镓能带结构图

砷化镓带隙随温度的变化关系：

$$E_g = 1.519 - 5.405\times10^{-4}\frac{T^2}{T+204}\ (\text{eV})$$

价带顶和导带 L 谷底间能量差随温度的变化关系：

$$E_L = 1.851 - 6.05\times10^{-4}\frac{T^2}{T+204}\ (\text{eV})$$

价带顶和导带 X 谷底间能量差随温度的变化关系：

$$E_X = 1.981 - 4.60\times10^{-4}\frac{T^2}{T+204}\ (\text{eV})$$

L 能谷、X 能谷、Γ 能谷中的电子数和温度的关系：

本征载流子浓度和温度的关系，见图 5.1-6。

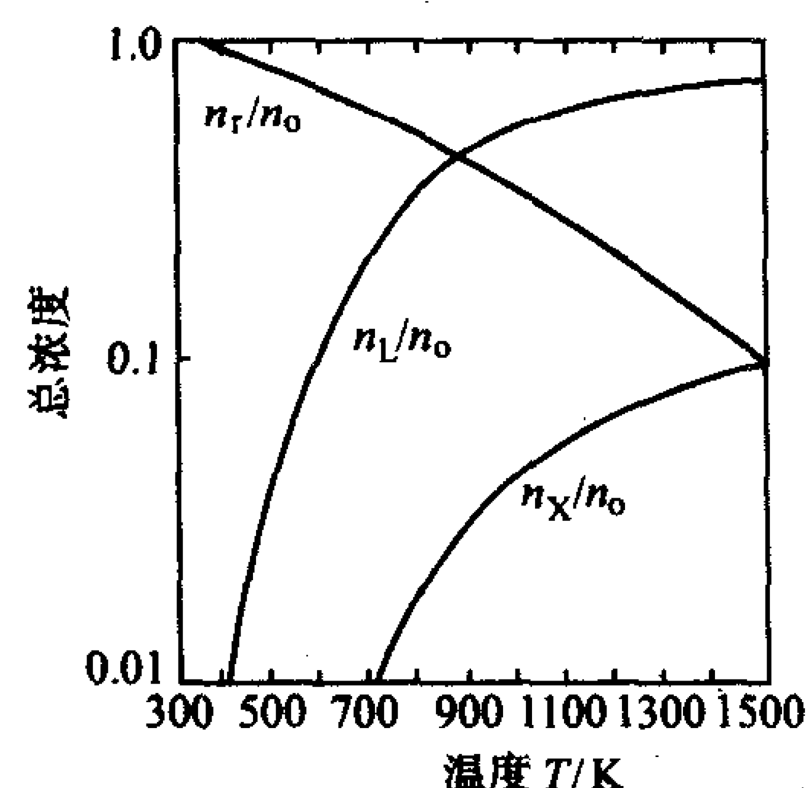


图 5.1-6 L 能谷、X 能谷、Γ 能谷中的电子数与温度的关系

本征载流子浓度 $n_i = (N_c\cdot N_V)^{1/2}\exp\left(-\frac{E_g}{2k_BT}\right)$，见图 5.1-7

导带中有效电子态密度（包括 Γ 能谷和 X、L 能谷）

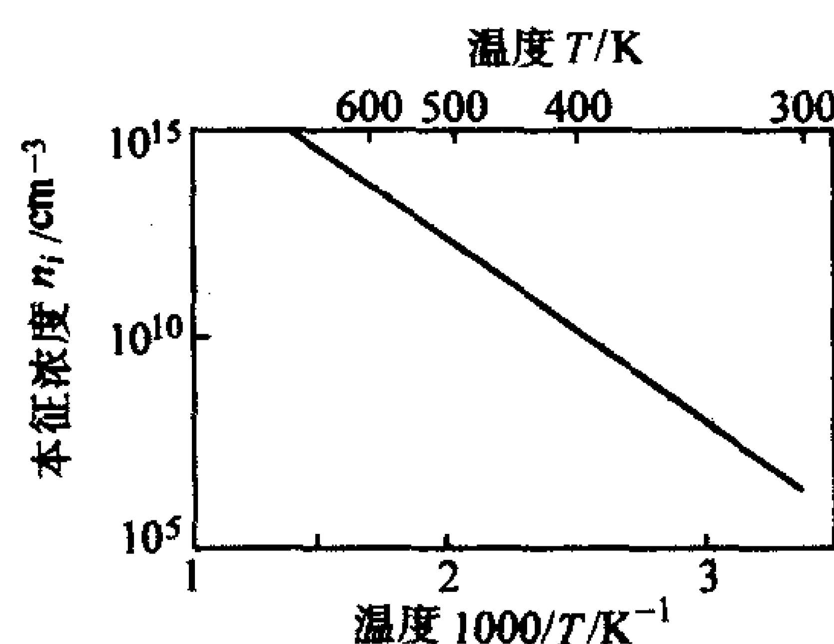


图 5.1-7 本征载流子浓度和温度关系

$$N_c = 8.63\times10^{13}T^{3/2}[1-1.93\times10^{-4}T-4.19\times10^{-8}T^2 + 21\exp(-\frac{E_{\Gamma L}}{k_BT})+44\exp(-\frac{E_{\Gamma X}}{k_BT})](\text{cm}^{-3});$$

价带中有效电子态密度

$N_v = 1.83\times10^{15}\times T^{3/2}\ (\text{cm}^{-3})$

不同浅施主和受主浓度下，费米能级随温度的变化，如图 5.1-8。

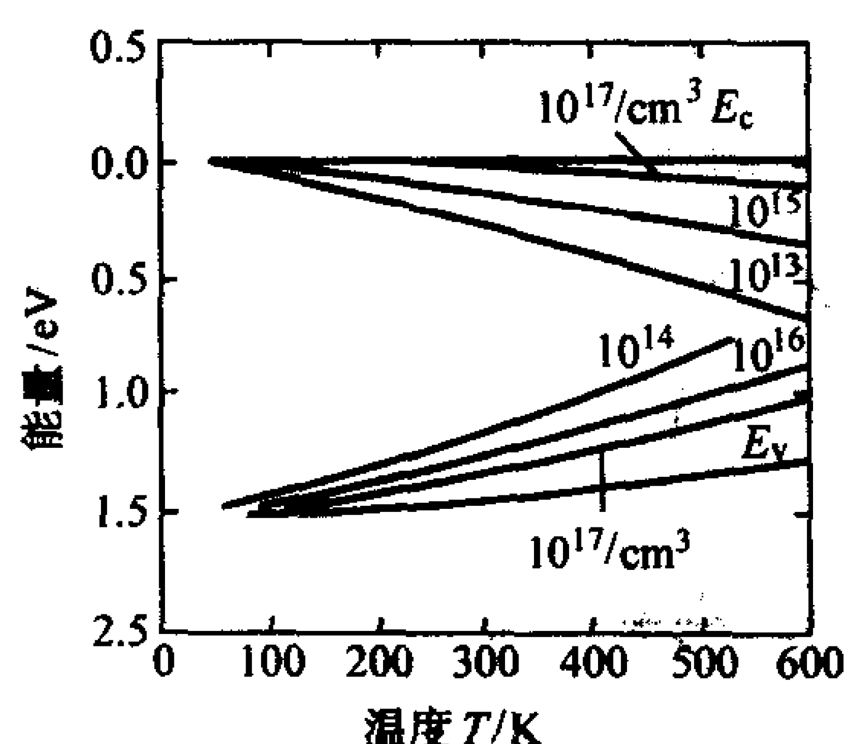


图 5.1-8 费米能级随载流子浓度温度变化

带隙随压力变化的情况：

$E_g = E_g(0) + 0.0126\,P - 3.77\times10^{-5}P^2\,(\text{eV})$

$E_L = E_L(0) + 5.5\times10^{-3}\,P(\text{eV})$

$E_X = E_X(0) - 1.5\times10^{-3}\,P(\text{eV})$；P 为静压力（单位：$10^8$ Pa（kbar））

重掺杂时带隙的窄化，如图 5.1-9。

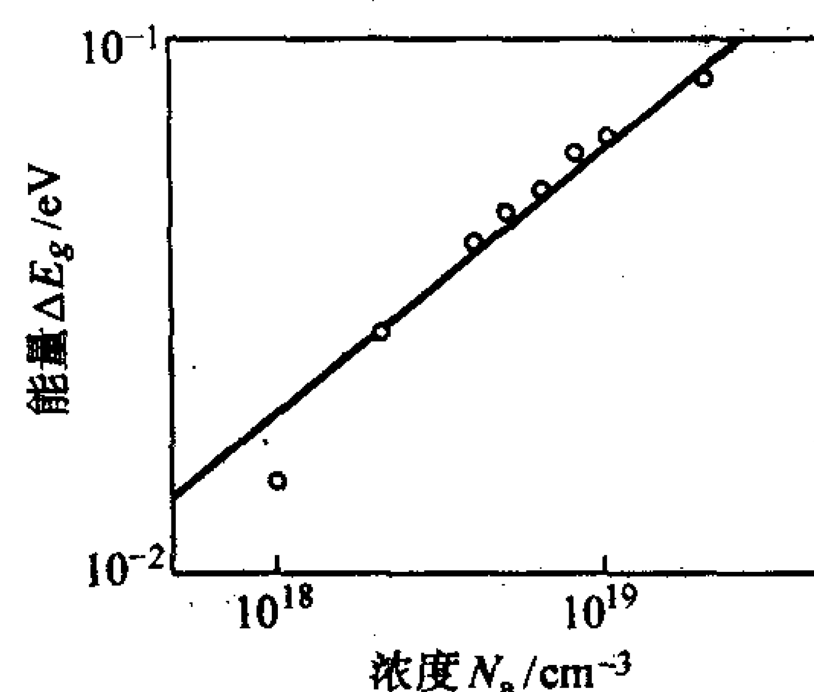


图 5.1-9 重掺杂时带隙的窄化

$\Delta E_g = 2\times10^{-11}N_a^{1/2}$ (eV)；（N_a 单位为 cm^{-3}）

载流子有效质量：

电子：

在 Γ 能谷：等能面为球形，$m_\Gamma = 0.063m_0$

在 L 能谷：等能面为椭球形，$m_l = 1.9m_0$；$m_t = 0.075m_0$；

态密度有效质量：$m_L = (16m_lm_t^2)^{1/3} = 0.56m_0$

在 X 能谷：等能面为椭球形，$m_l = 1.9m_0$；$m_t = 0.19m_0$；

态密度有效质量：$m_X = (9m_lm_t^2)^{1/3} = 0.85m_0$

空穴：

重空穴：$m_h = 0.85m_0$

轻空穴：$m_{lp} = 0.082m_0$

劈裂能带：$m_{so} = 0.15m_0$

态密度有效质量：$m_v = 0.53m_0$

1.3 电学性质

迁移率和霍耳效应：

图 5.1-10 底部曲线：$N_d = 5\times10^{15}$ cm^3；图 5.1-10 中部曲线：$N_d = 10^{15}$/cm^3；图 5.1-10 上部曲线：$N_d = 5\times10^{13}$/cm^3；

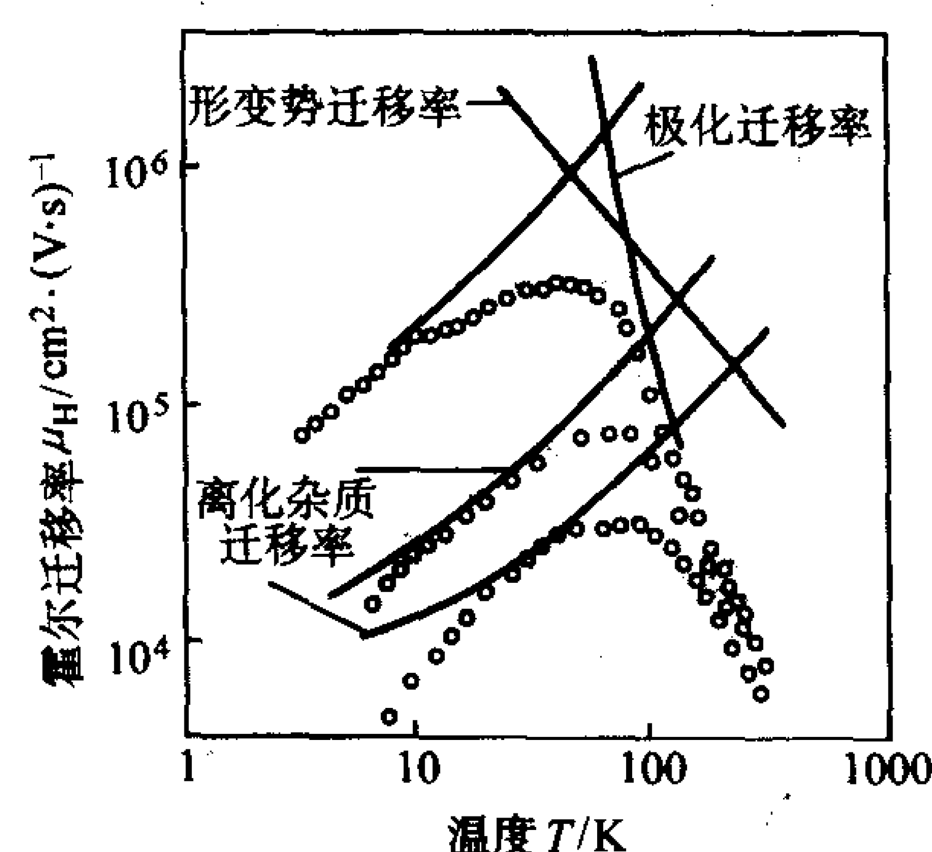


图 5.1-10 不同掺杂样品的霍尔迁移率与温度的关系

300 K 时，对于轻掺杂样品，电子霍耳迁移率 $\mu_H \approx 9\,400(300/T)^{2/3}$ (cm^2/V·s) 见图 5.1-11。

300 K 时，对于轻掺杂样品，电子漂移迁移率 $\mu_H \approx 8\,000(300/T)^{2/3}$ (cm^2/V·s)，如图 5.1-12。

不同浓度条件下，霍耳迁移率的近似公式为：

$\mu = \mu_{OH}/[1+(N_d/10^{17})^{1/2}]$；$N_d$ 的单位是 cm^{-3}；

300 K 时，对于轻掺杂样品 $\mu_{OH} \approx 9\,400$ (cm^2/V·s)；

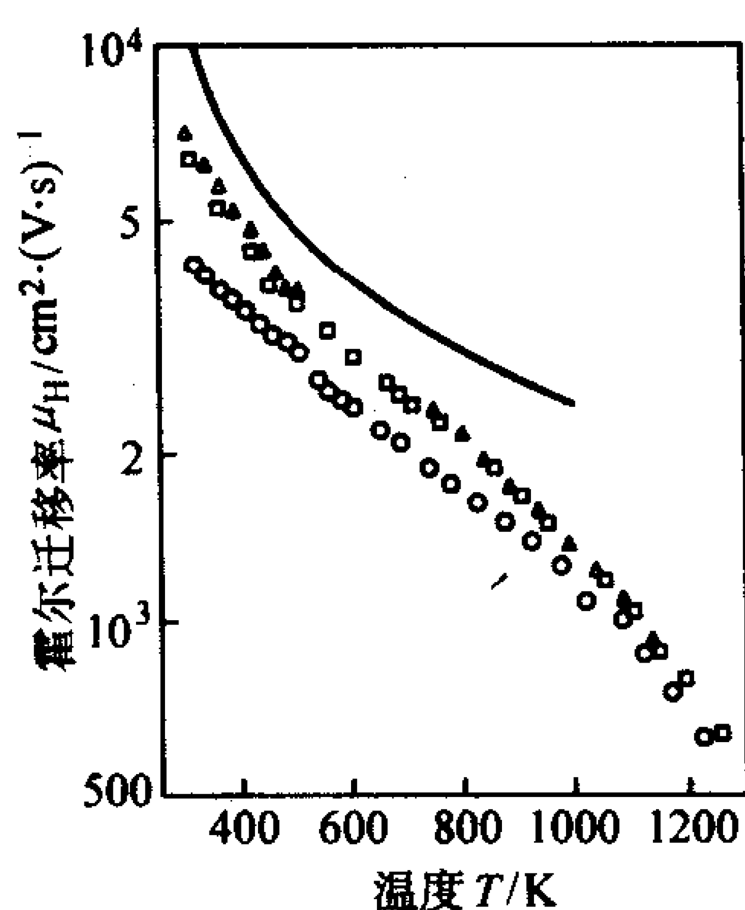
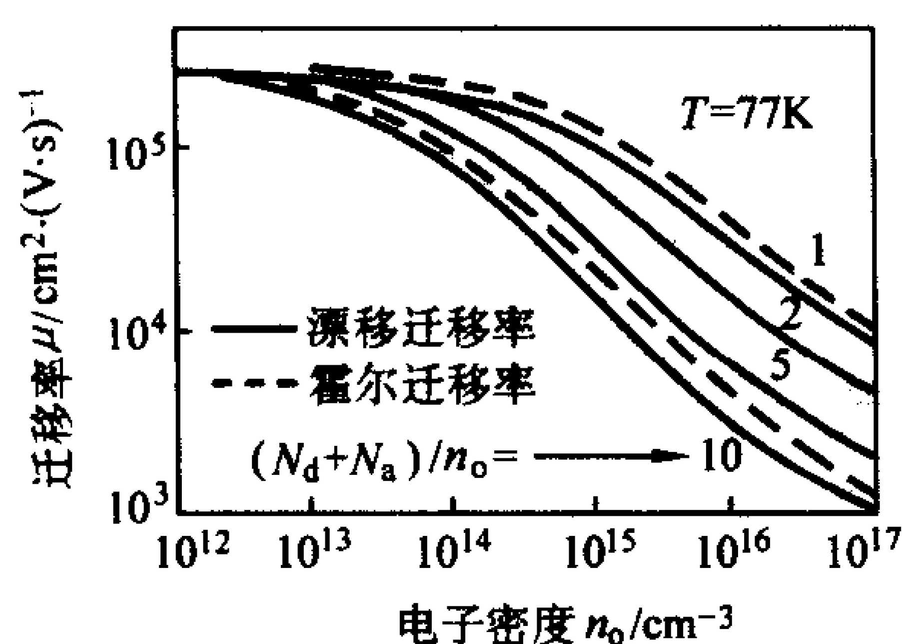


图 5.1-11　不同掺杂浓度和补偿度下电子霍耳迁移率和温度关系

□ $N_d=4N_a=1.2\times10^{17}/cm^3$；△ $N_d=4N_a=1\times10^{16}/cm^3$；
○ $N_d=4N_a=2\times10^{15}/cm^3$；— 纯 GaAs 的计算值



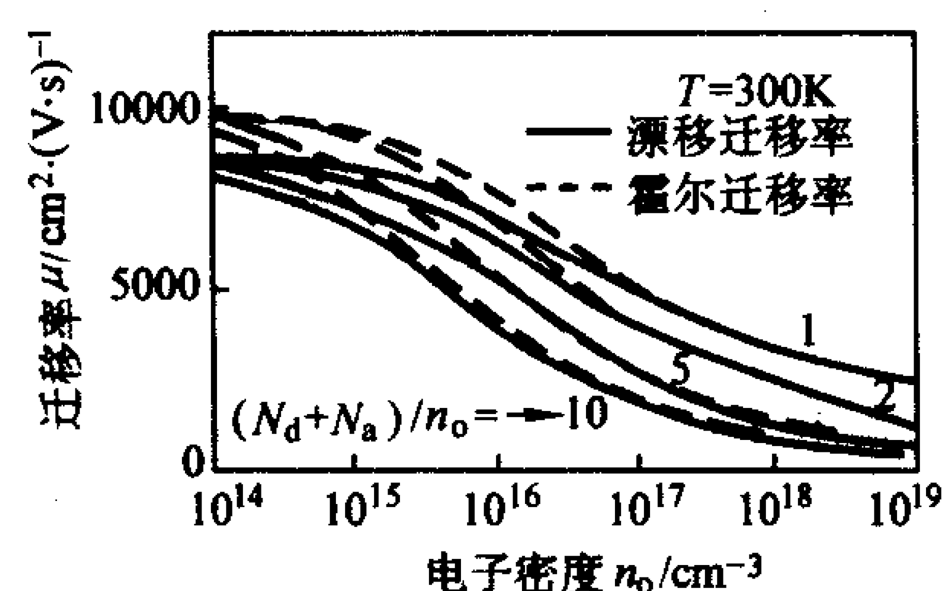


图 5.1-12　不同补偿度下的漂移迁移率和霍尔迁移率

n 型 GaAs 在弱磁场下的霍尔系数与温度的关系（图 5.1-13、图 5.1-14）：

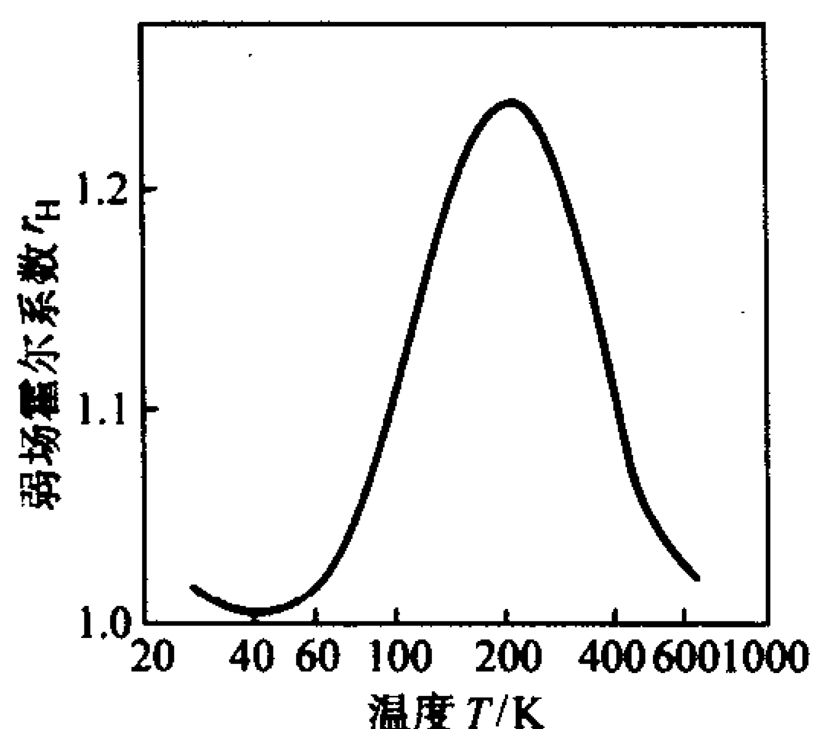


图 5.1-13　弱磁场下的霍尔系数与温度的关系

300 K 时，轻掺 GaAs 的空穴霍尔迁移率 $\mu_{pH}=400(300/T)^{2/3}$（cm²/V·s）

空穴霍尔迁移率和空穴密度的关系如图 5.1-15 所示。

300 K 时，GaAs 的空穴霍尔系数 $r_H=1.25$；

1.4　高场强下的输运性质

场强和电子漂移速度的关系（图 5.1-16 和图 5.1-17）：

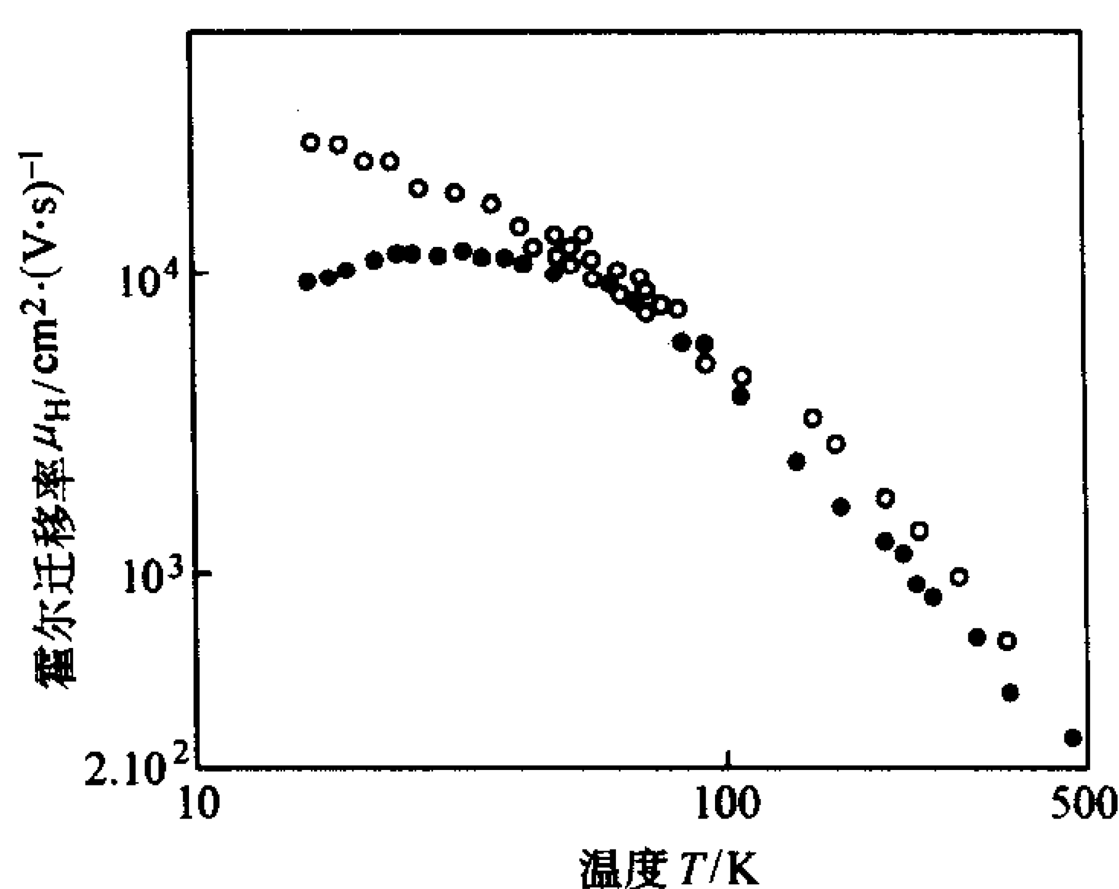


图 5.1-14　电子霍尔迁移率与温度的关系（3 个高纯样品）

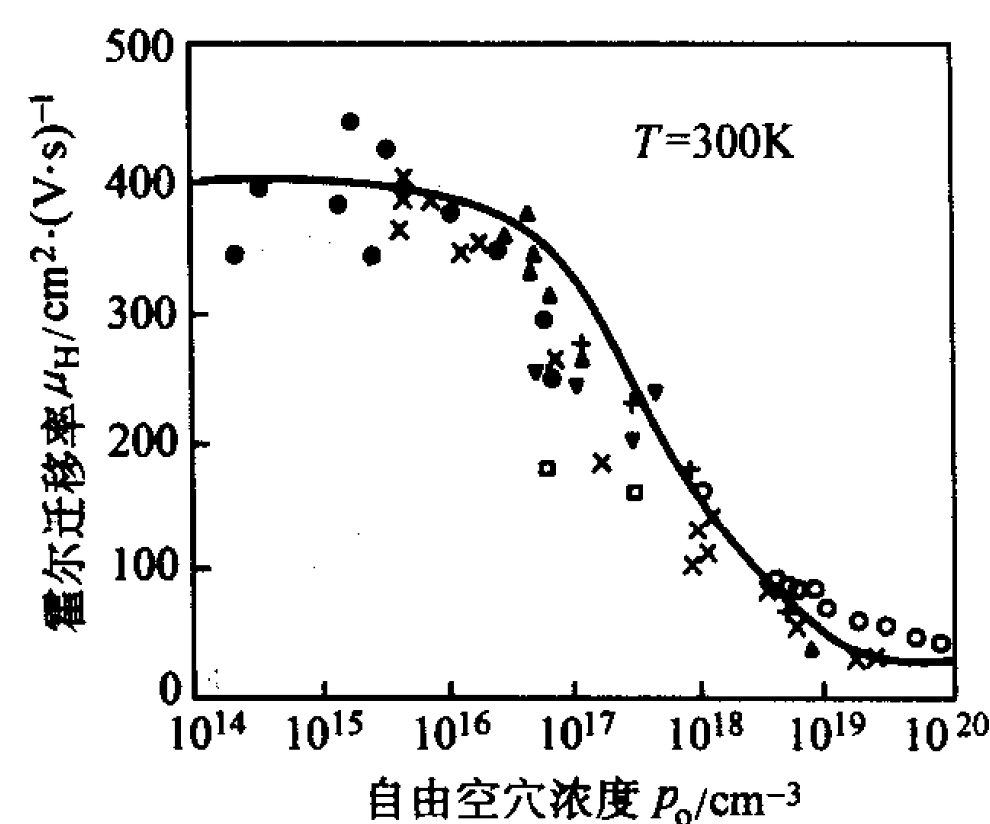


图 5.1-15　空穴霍尔迁移率与空穴密度的关系

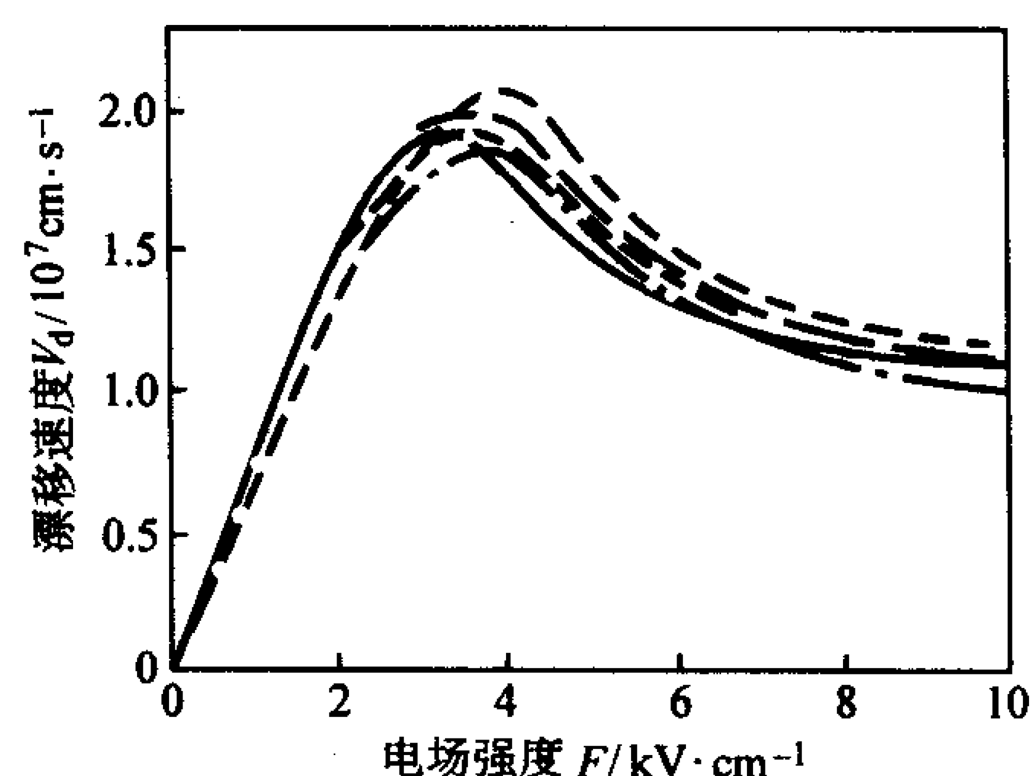


图 5.1-16　弱电场下电子漂移速度与场强的关系

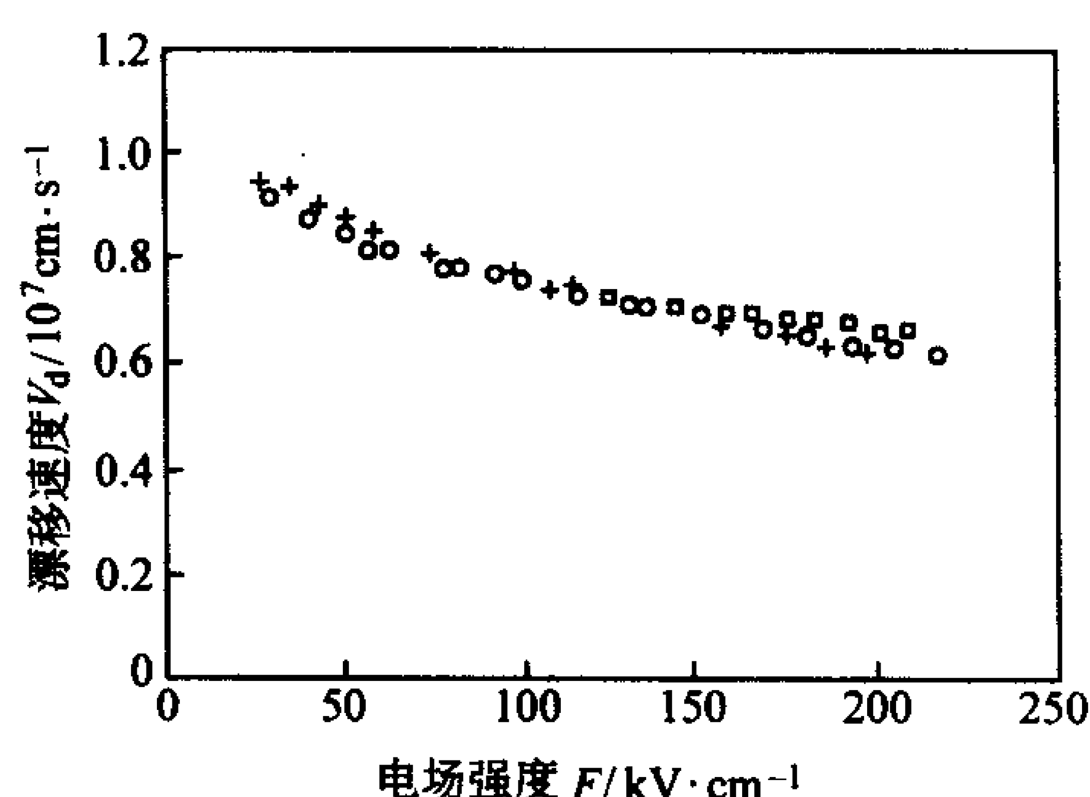


图 5.1-17　强电场下电子漂移速度与场强的关系

不同温度下，场强和电子漂移速度的关系（图 5.1-18）：

不同温度下，场强与空穴漂移速度的关系示于图 5.1-19。不同温度下，L 和 X 能谷中电子份数和能量与场强的关系见图 5.1-20，其他相关输运性质与场强的关系见图 5.1-21～图 5.1-27。

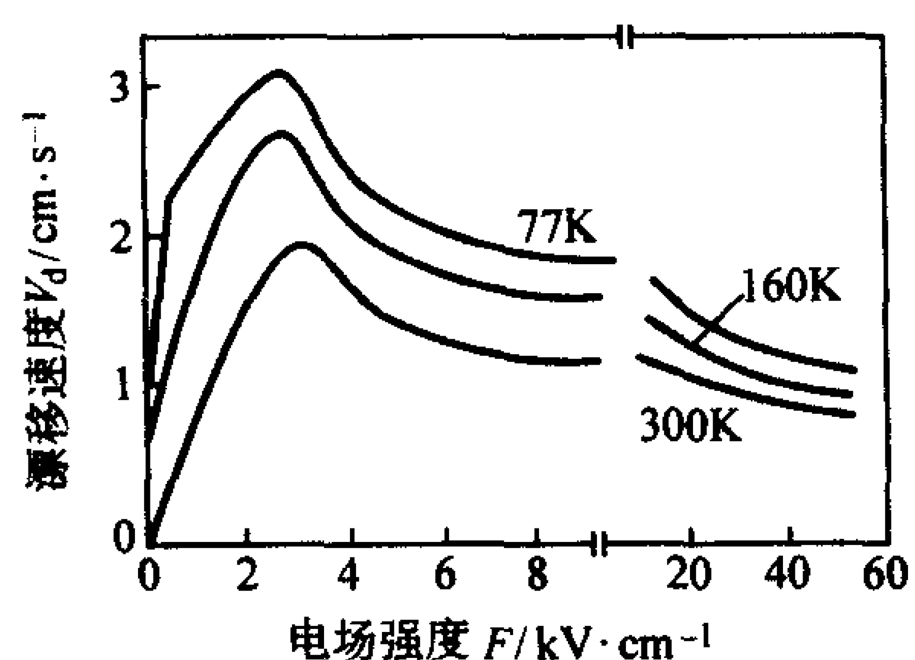


图 5.1-18 不同温度下场强与电子漂移速度的关系

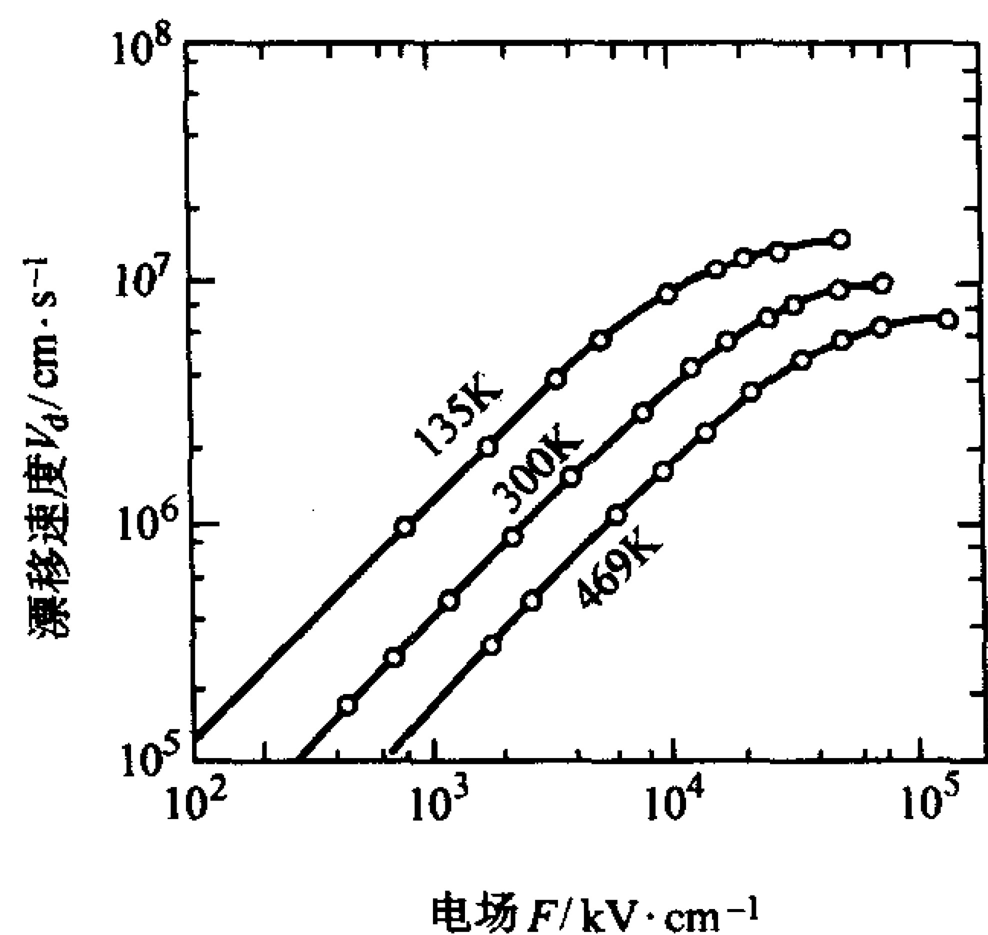
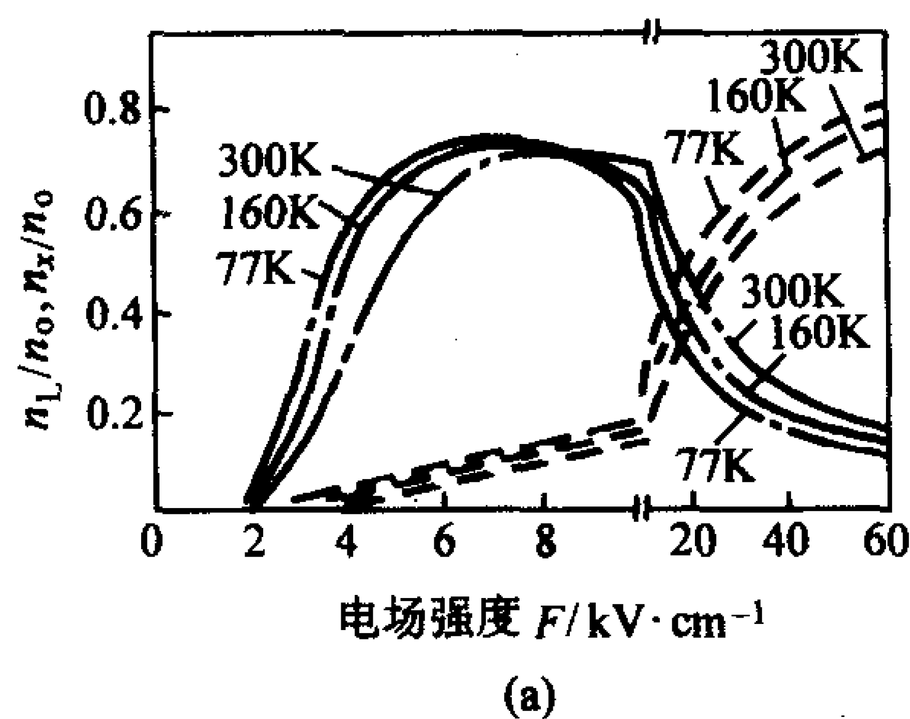


图 5.1-19 不同温度下，空穴漂移速度与电场的关系



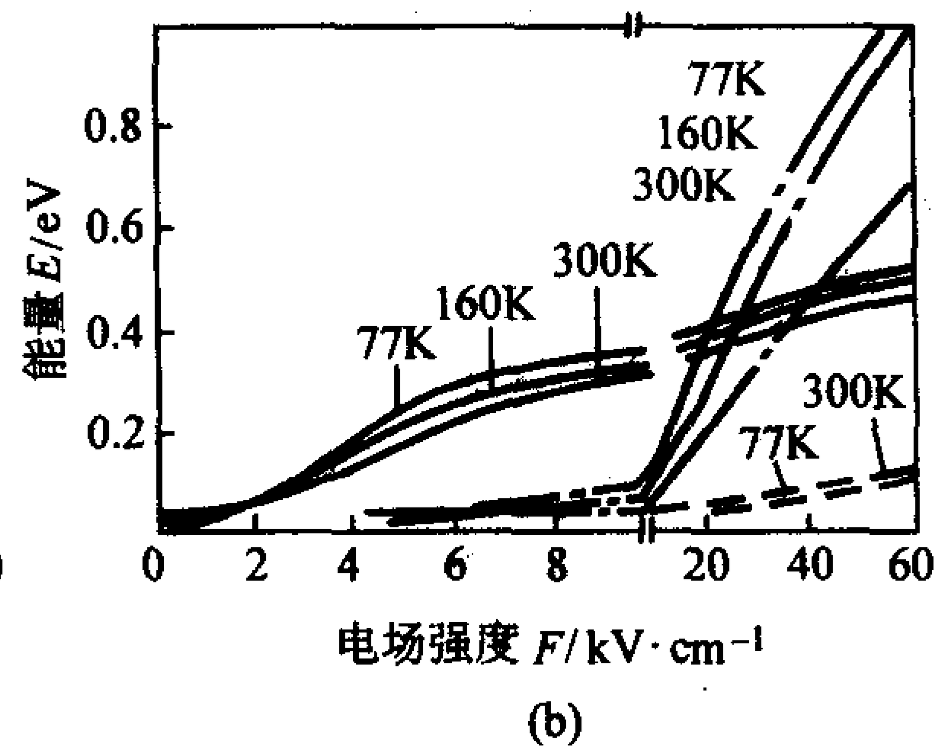


图 5.1-20 不同温度下 L 和 X 能谷中的电子分数和能量与场强的关系

(a) L 和 X 能谷中的电子分数 n_L/n_0 和 n_X/n_0；(b) L 和 X 能谷中的电子能量

——Γ 能谷；------ L 能谷；—·—X 能谷

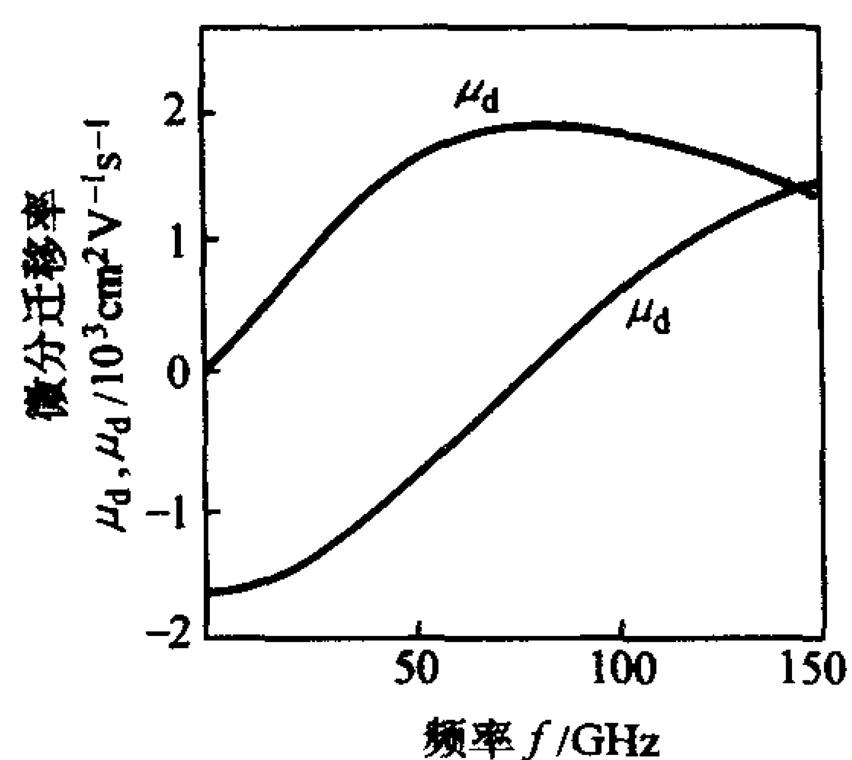


图 5.1-21 频率与电子微分迁移率的关系

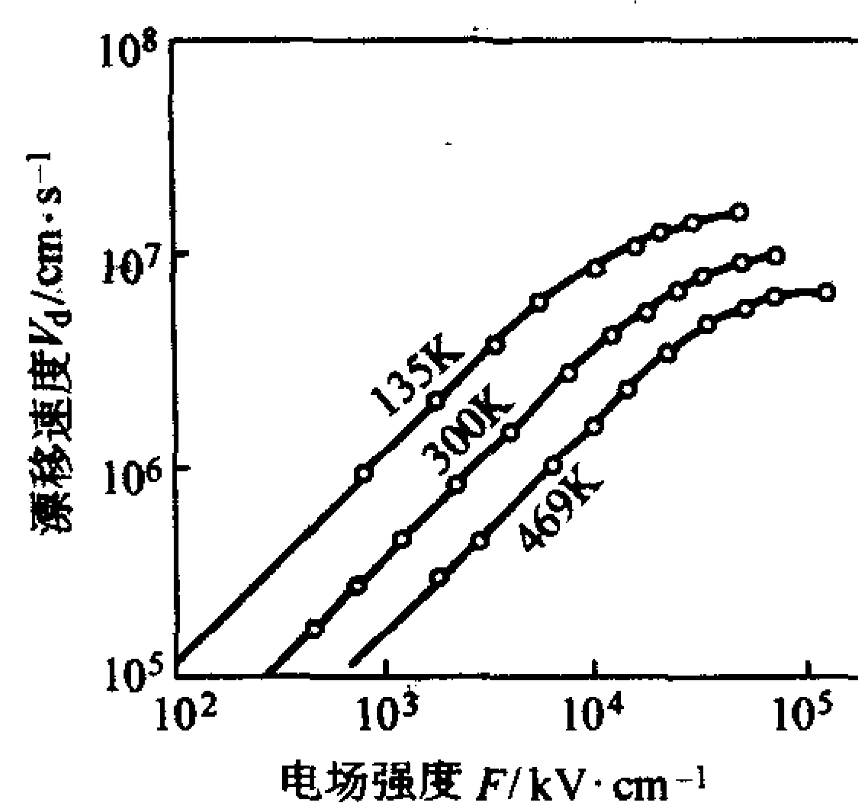


图 5.1-23 不同温度下的空穴漂移速度与场强的关系

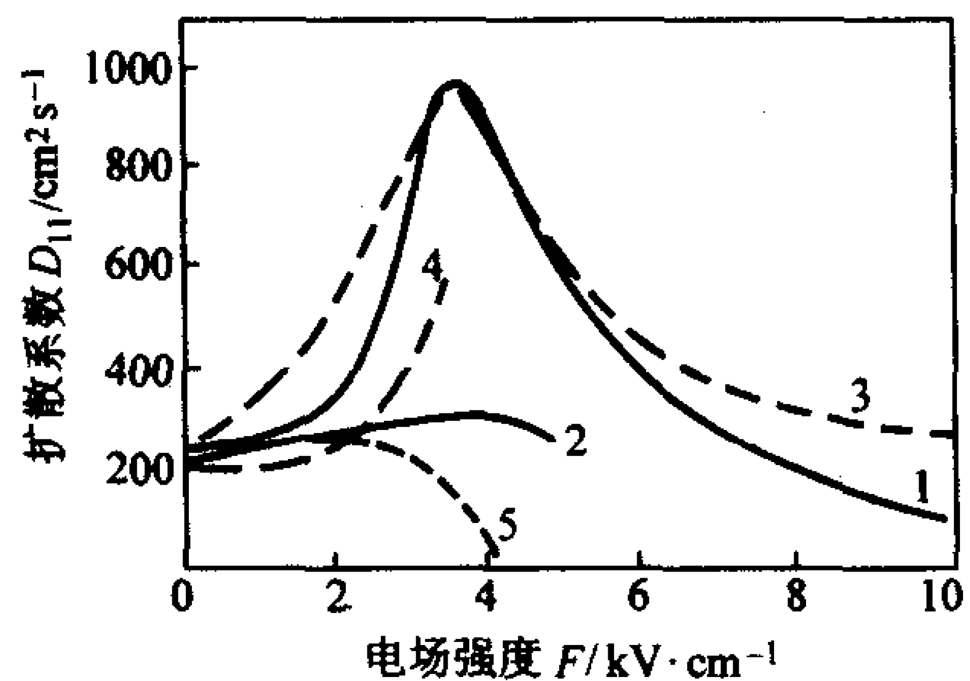


图 5.1-22 电子扩散系数和场强的关系

——曲线 1，2 为理论计算值；···· 曲线 3，4，5 为理论计算值；

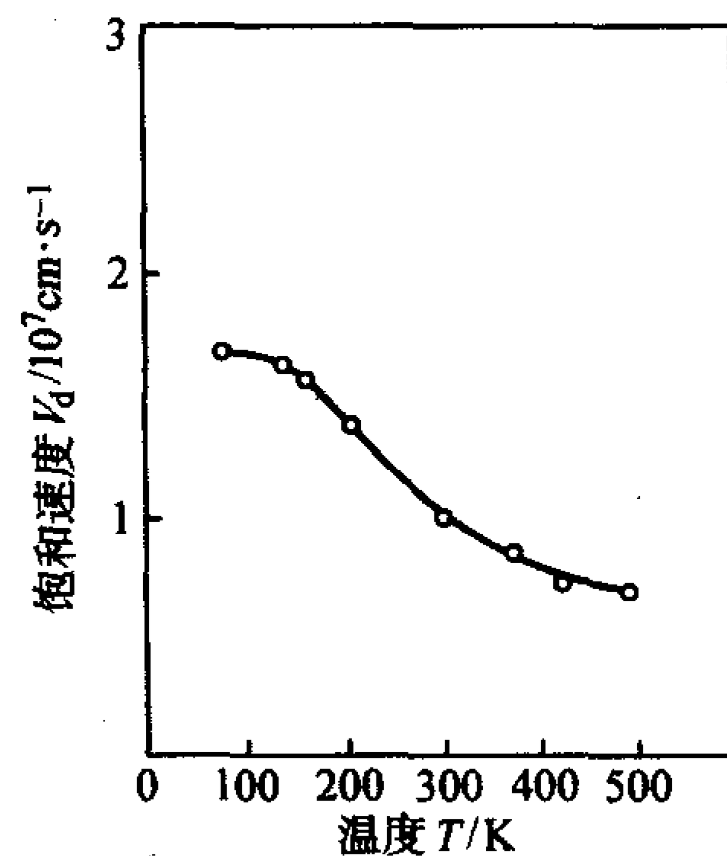


图 5.1-24 强场下空穴饱和漂移速度与温度的关系

1.5 复合特性

对纯 p 型材料（$n_0 \approx 10^{14}$ cm^{-3}）

空穴最大寿命：$\tau_p \approx 3 \times 10^{-6}$ s

空穴扩散长度：$L_p = (D_p \times \tau_p)^{1/2}, L_p \approx 30 - 50$ μm

低注入时：

电子最大寿命：$\tau_n 5 \approx 5 \times 10^{-9}$ s

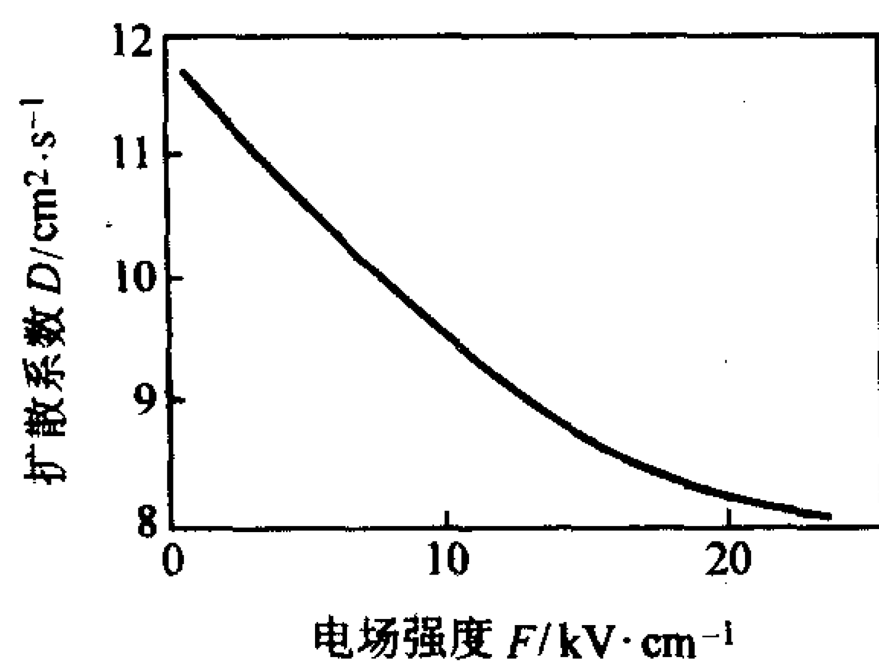


图 5.1-25　空穴扩散系数与场强的关系

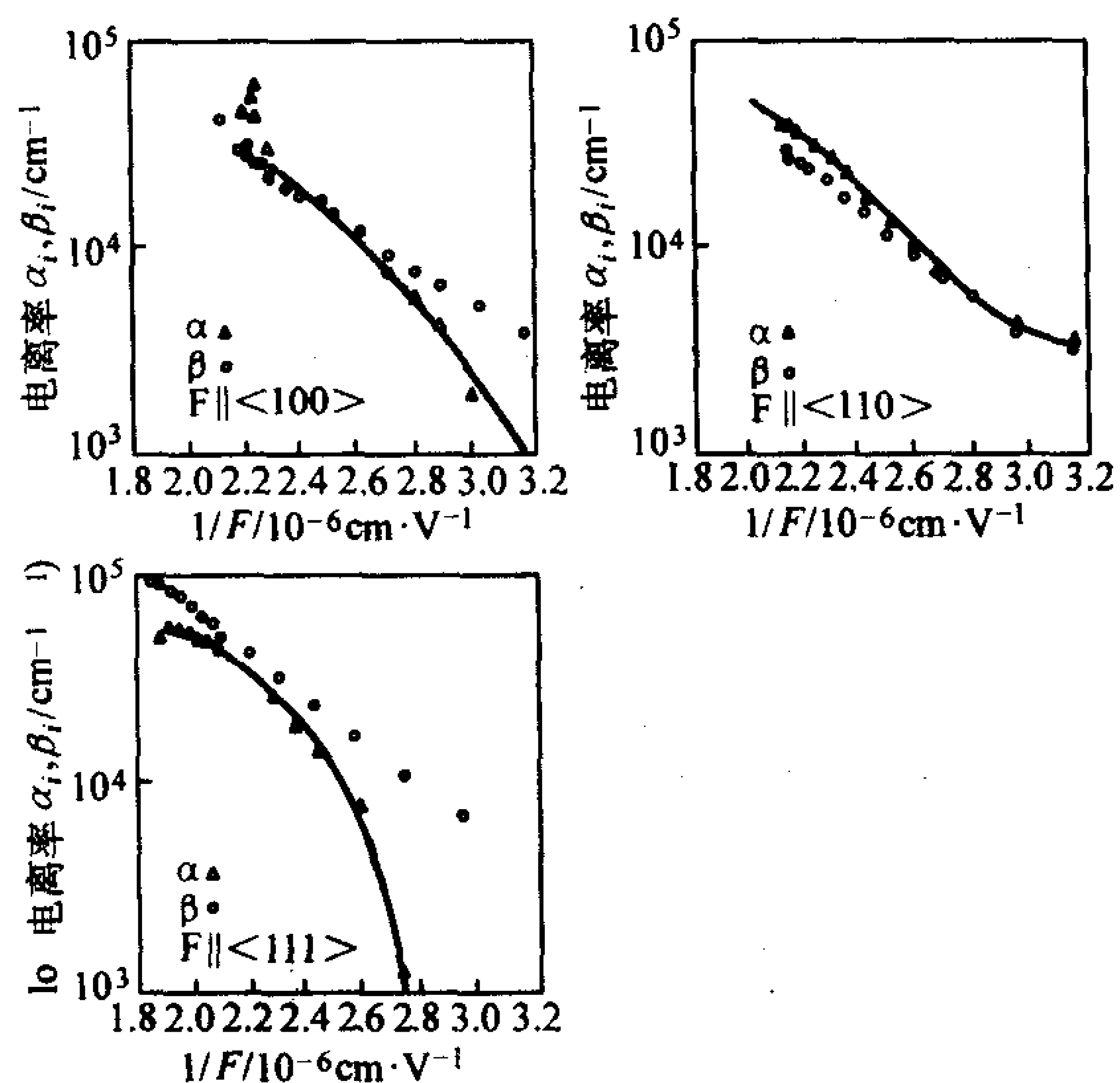


图 5.1-26　GaAs<100>、<110>、<111>3 个晶向上的电子碰撞电离率 α_i 和空穴碰撞电离率 β_i 与场强的关系

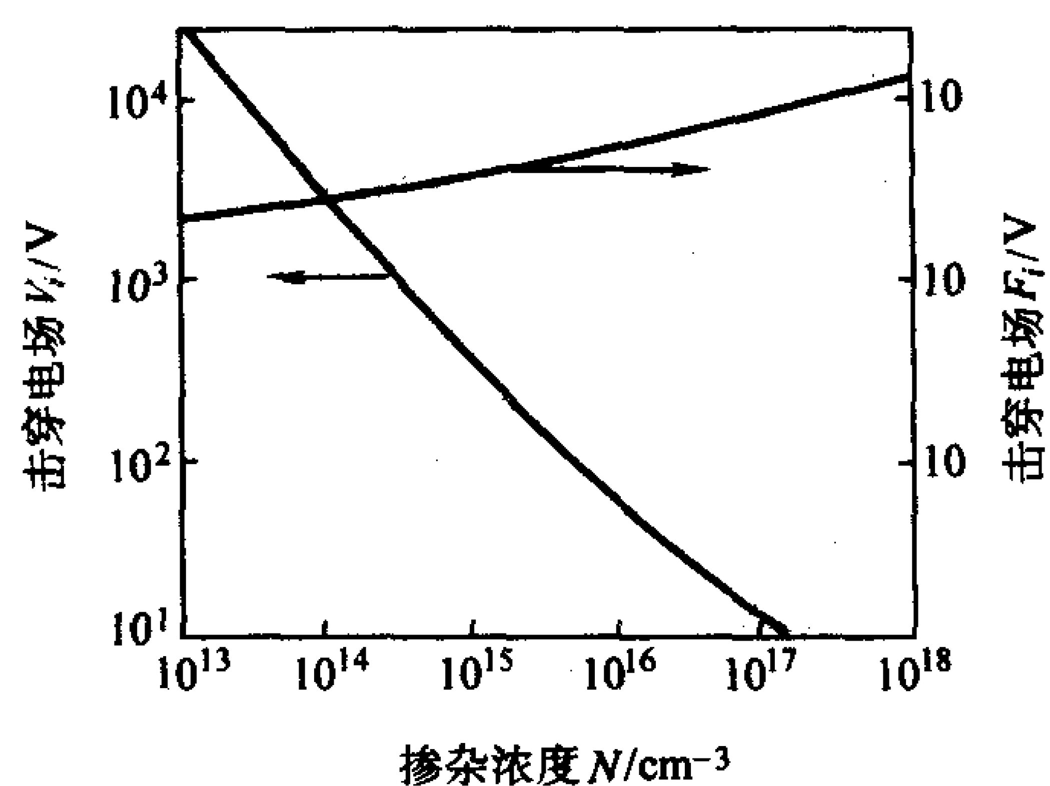


图 5.1-27　突变结击穿电压与击穿场强和掺杂浓度关系

电子扩散长度：$L_n = (D_n \times \tau_n)^{1/2}, L_n \approx 10\ \mu\text{m}$；

高注入时：

电子最大寿命：$\tau_n \approx 2.5 \times 10^{-7}$ s

电子扩散长度：$L_n \approx 70\ \mu\text{m}$；

表面复合速度和掺杂浓度关系，见图 5.1-28。

1.6　光学特性

红外折射率：

$n_\infty = (k_\infty)^{1/2} = 3.255 \times (1 + 4.5 \times 10^{-5} T)$

300 K 时，$n_\infty = 3.299$

高纯砷化镓红外折射率和光子能量的关系见图 5.1-29。

反射率和光子能量的关系见图 5.1-30。

本征吸收和光子能量的关系见图 5.1-31。

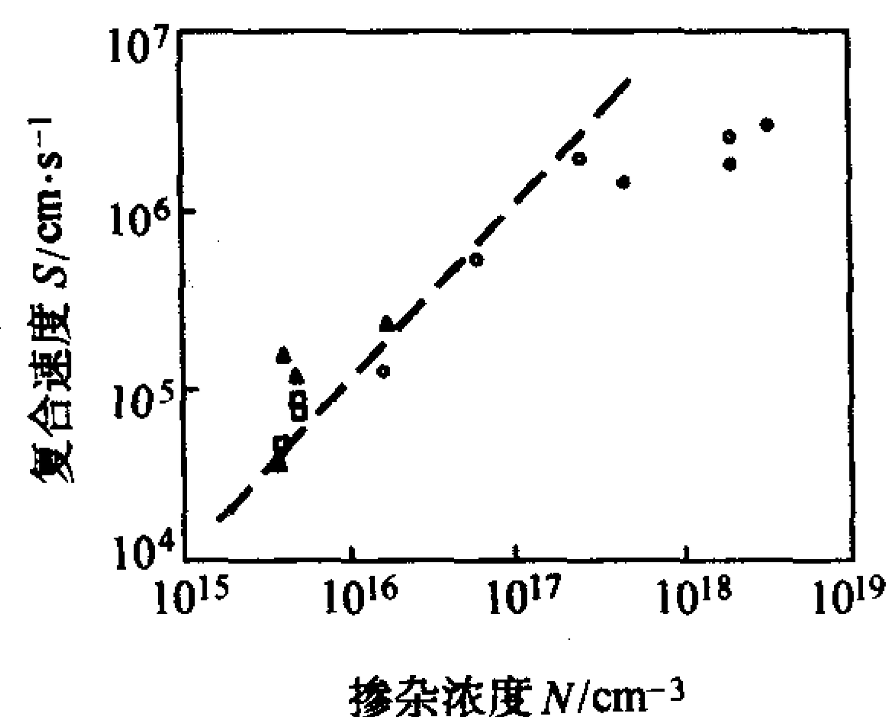


图 5.1-28　表面复合速度和掺杂浓度关系

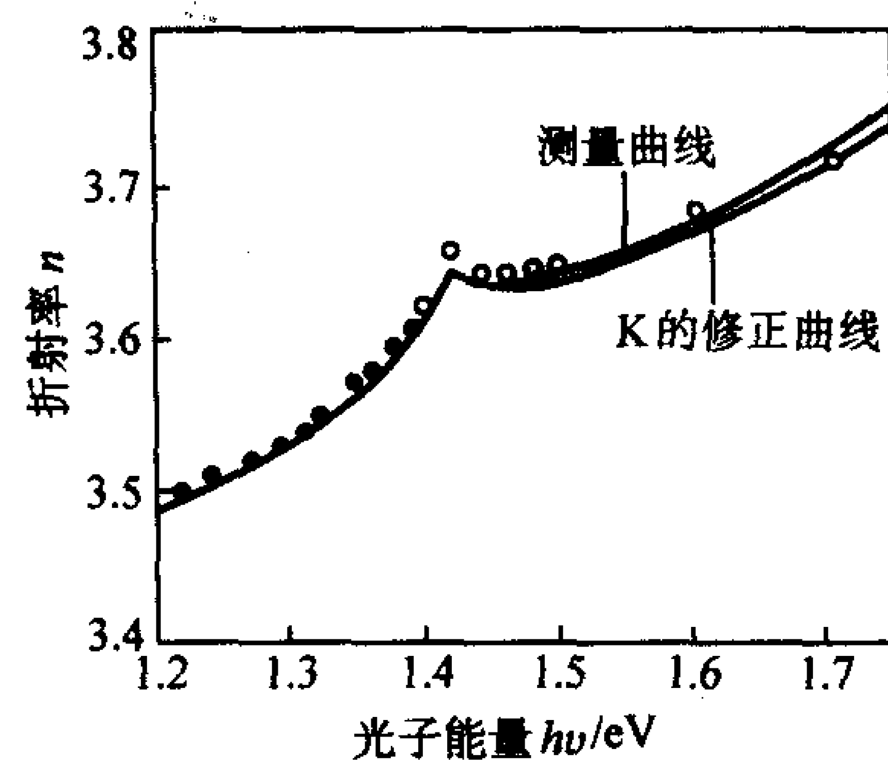


图 5.1-29　高纯砷化镓红外折射率和光子能量关系（$n_0 \approx 5 \times 10^{13}\ \text{cm}^{-3}$）

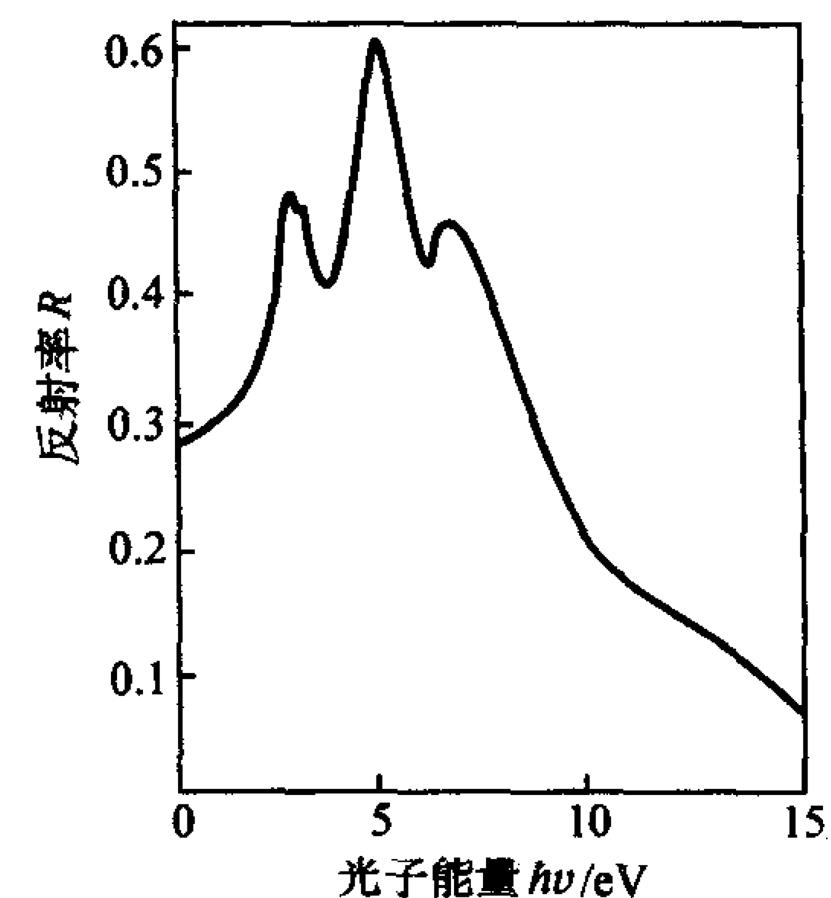


图 5.1-30　反射率和光子能量关系

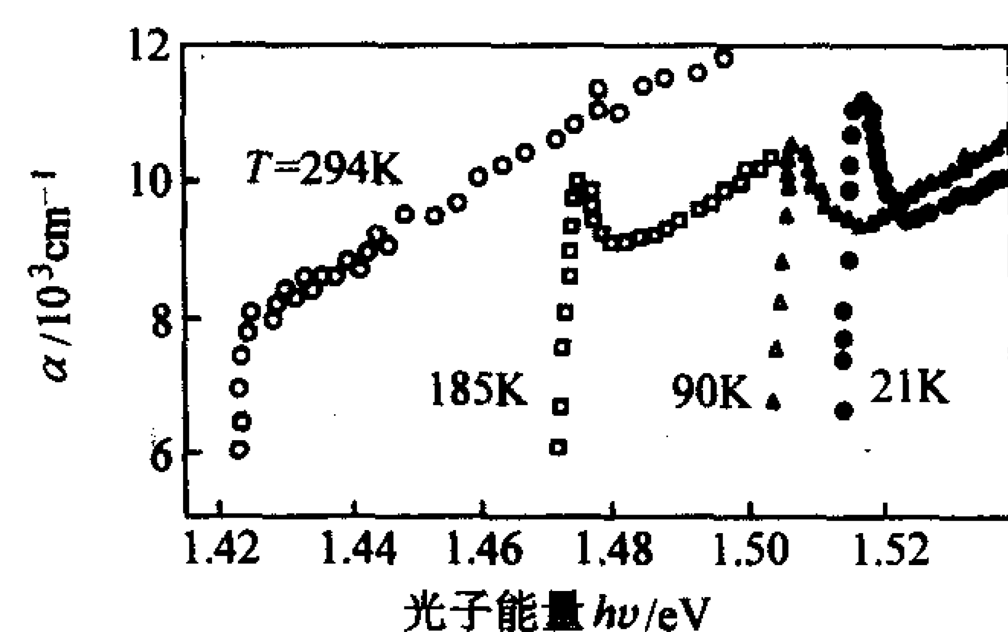
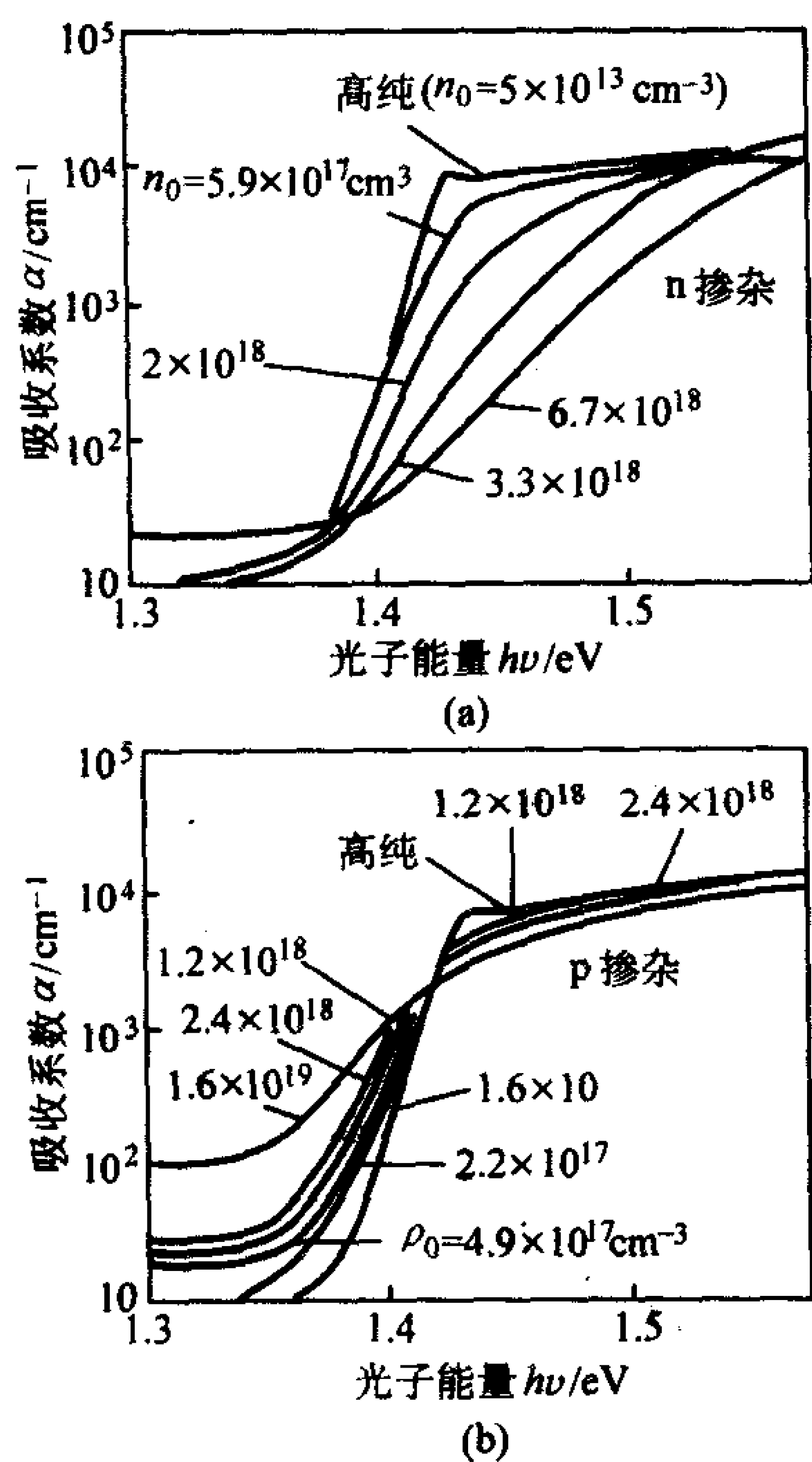


图 5.1-31　本征吸收和光子能量关系

300 K 时，不同掺杂浓度时吸收系数和光子能量关系见图 5.1-32。

自由载流子吸收与光波长的关系见图 5.1-33，图 5.1-34。



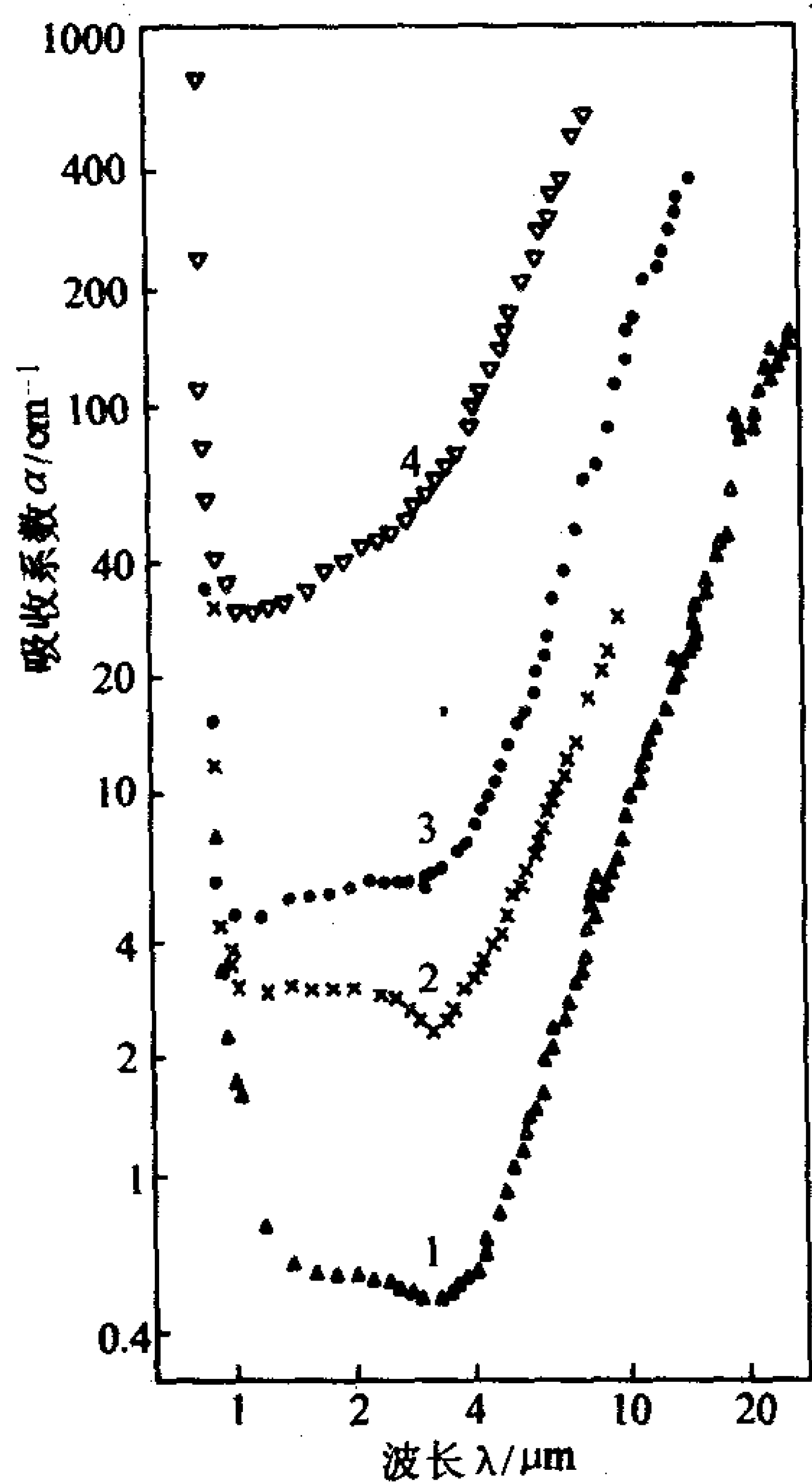


图 5.1-32 不同掺杂浓度时的本征吸收系数与光子能量的关系

图 5.1-33 自由载流子吸收系数与波长的关系

（296 K 下，掺杂浓度分别为：1—1.3×10^{17} cm^{-3}；2—4.9×10^{17} cm^{-3}；3—10^{18} cm^{-3}；4—5.4×10^{18} cm^{-3}）

1.7 热力学性质

温度和热导率的关系见图 5.1-35 和图 5.1-36。

温度和比热容的关系见图 5.1-37。

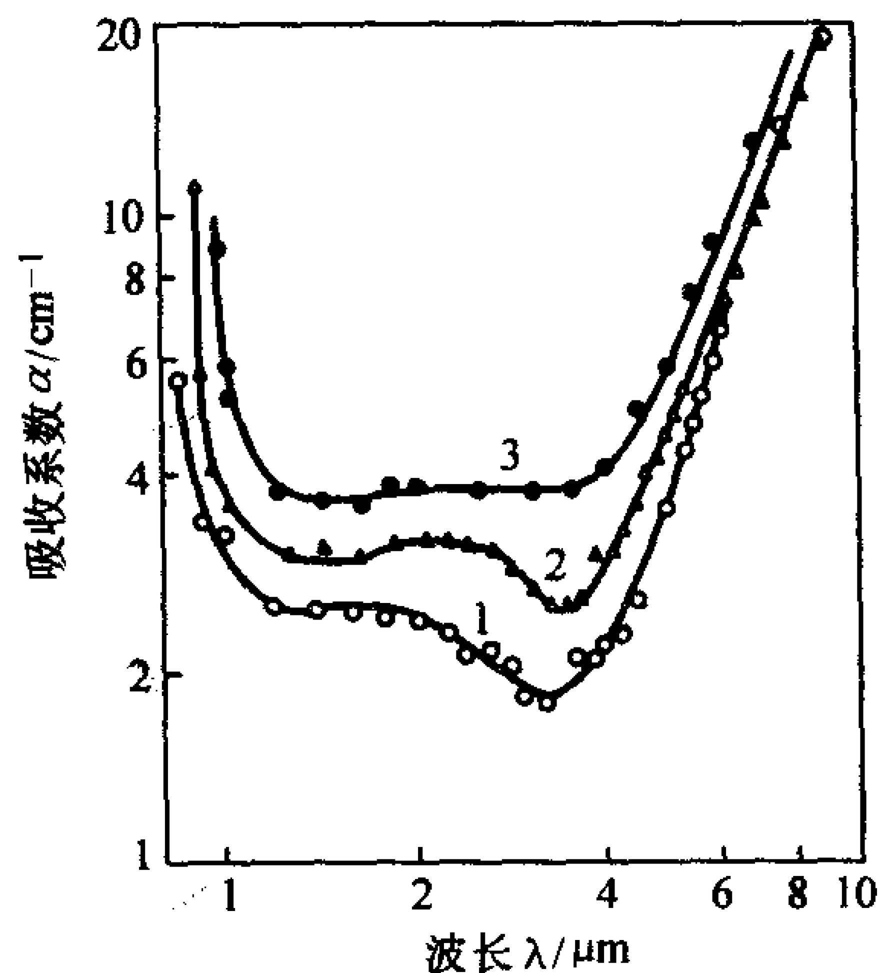


图 5.1-34 自由载流子吸收与波长的关系

（$n_0=4.9\times10^{17}$ cm^{-3}；1—100 K；2—297 K；3—443 K；）

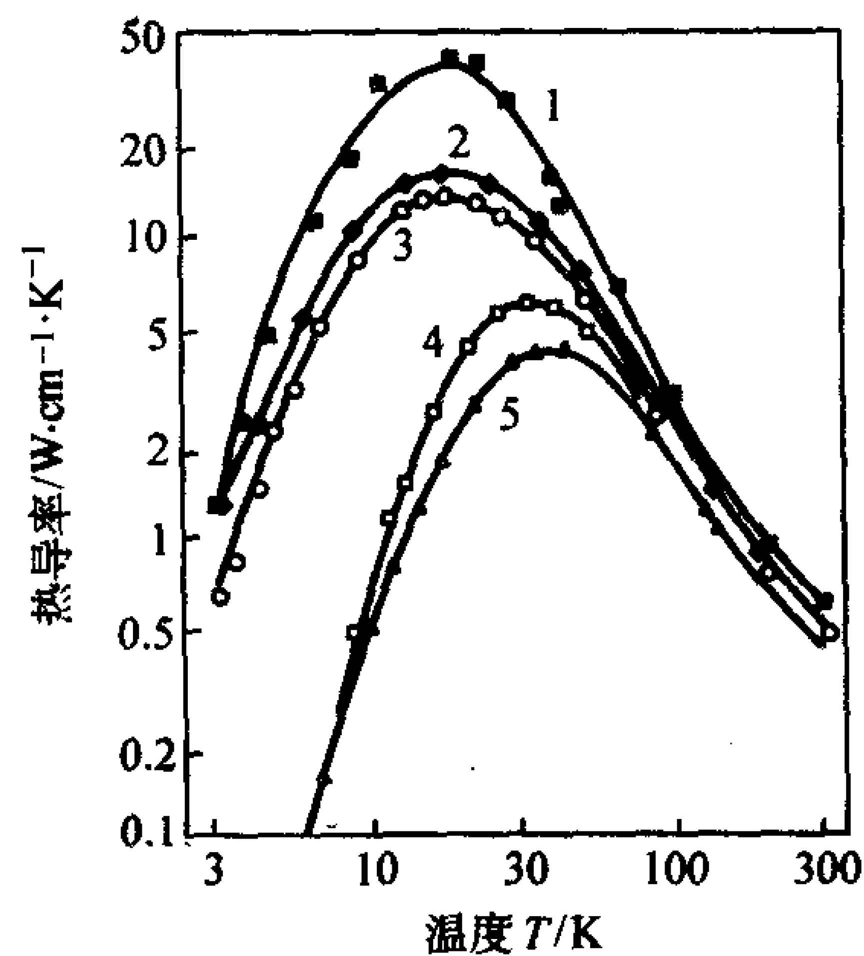


图 5.1-35 低温下温度和热导的关系

（掺杂浓度：1—$n_0=10^{16}$ cm^{-3}；2—$n_0=1.4\times10^{16}$ cm^{-3}；3—$n_0=10^{18}$ cm^{-3}；4—$p_0=4.3\times10^{18}$ cm^{-3}；5—$p_0=1.2\times10^{19}$ cm^{-3}）

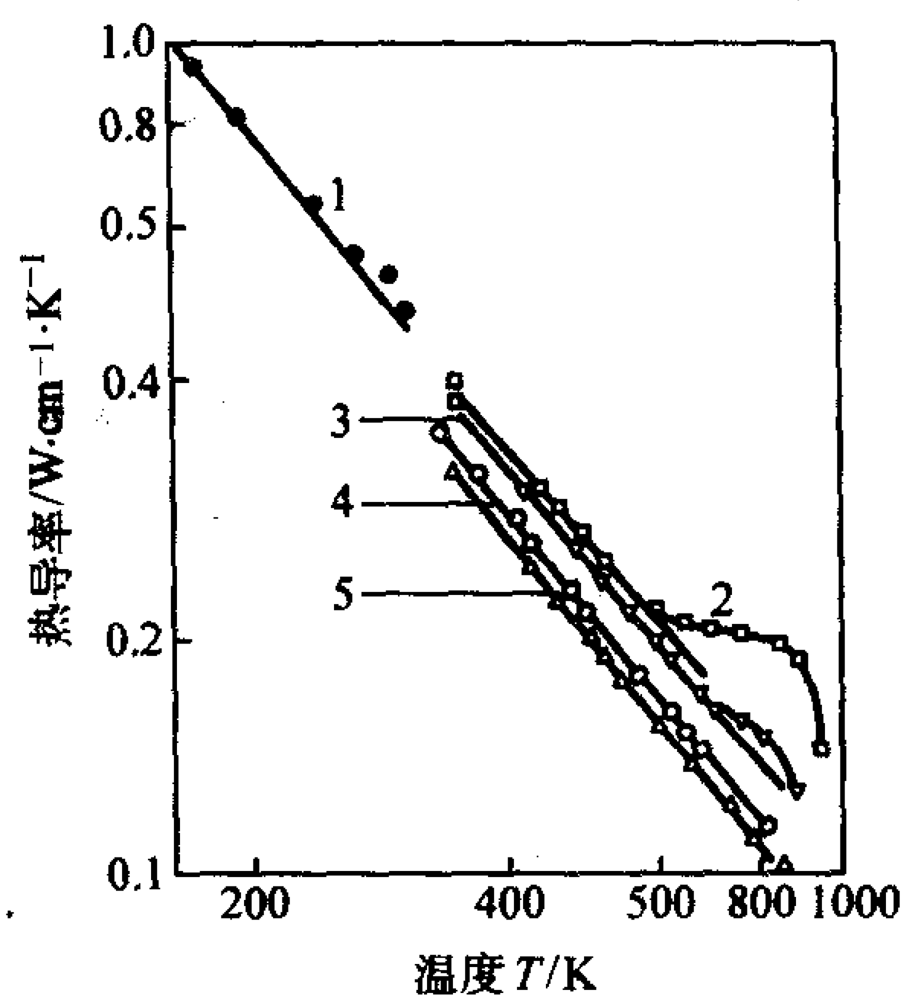


图 5.1-36 高温下温度与热导的关系

（掺杂浓度：1—$n_0=1.7\times10^{15}$ cm^{-3}；2—$n_0=5\times10^{16}$ cm^{-3}；3—$n_0=3.4\times10^{17}$ cm^{-3}；4—$n_0=4.8\times10^{18}$ cm^{-3}；5—$p_0=5.6\times10^{19}$ cm^{-3}）

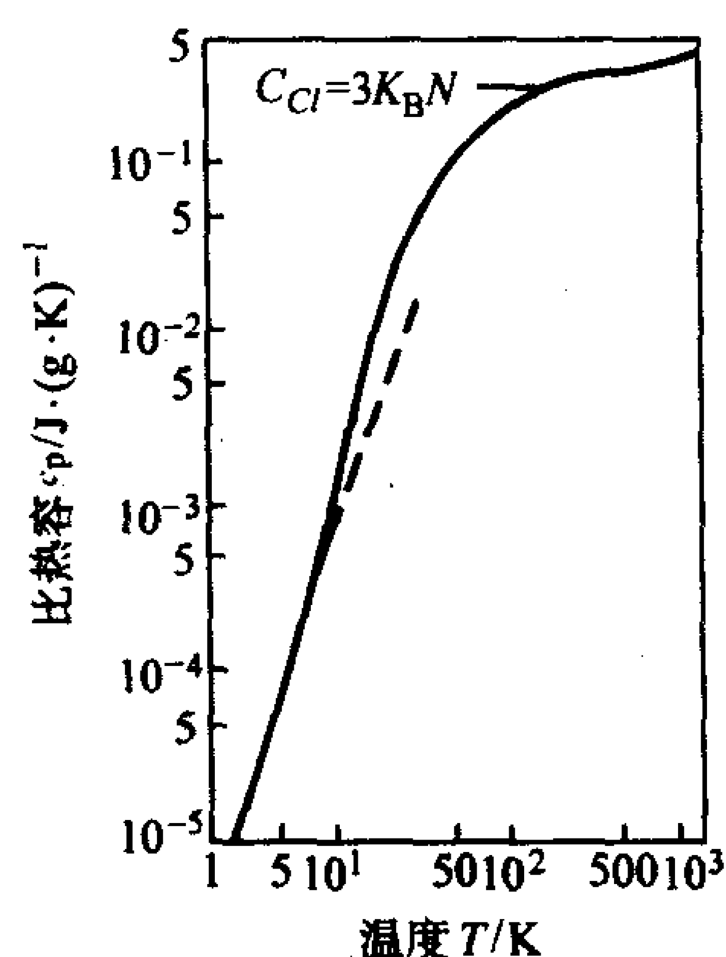


图 5.1-37 温度与比热容的关系

（--- c_p = $(4\pi^4 C_{cl}/5\theta_0^3)$ × T^3，θ_0 = 345 K）

温度和线胀系数的关系（图 5.1-38）

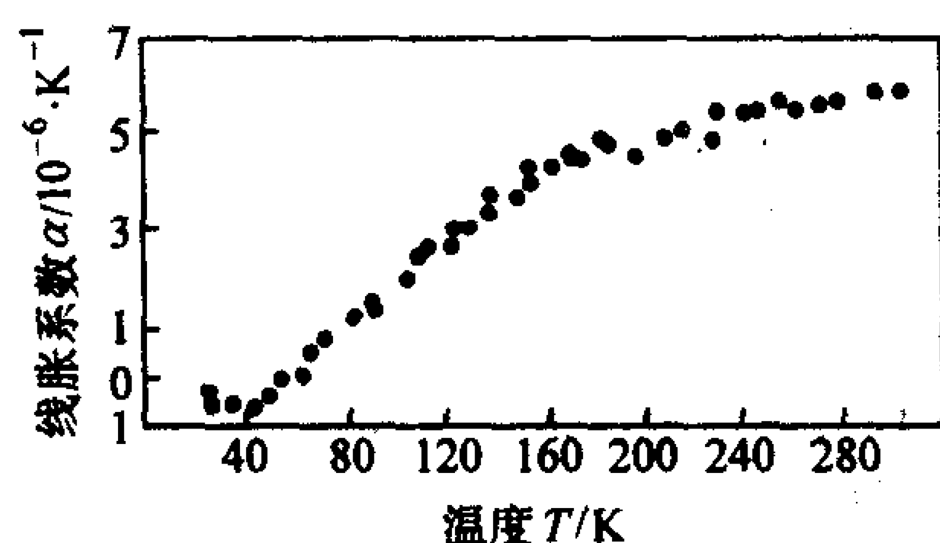


图 5.1-38 温度与线胀系数的关系

常压下的 Ga-As 二元相图如图 5.1-39 所示。

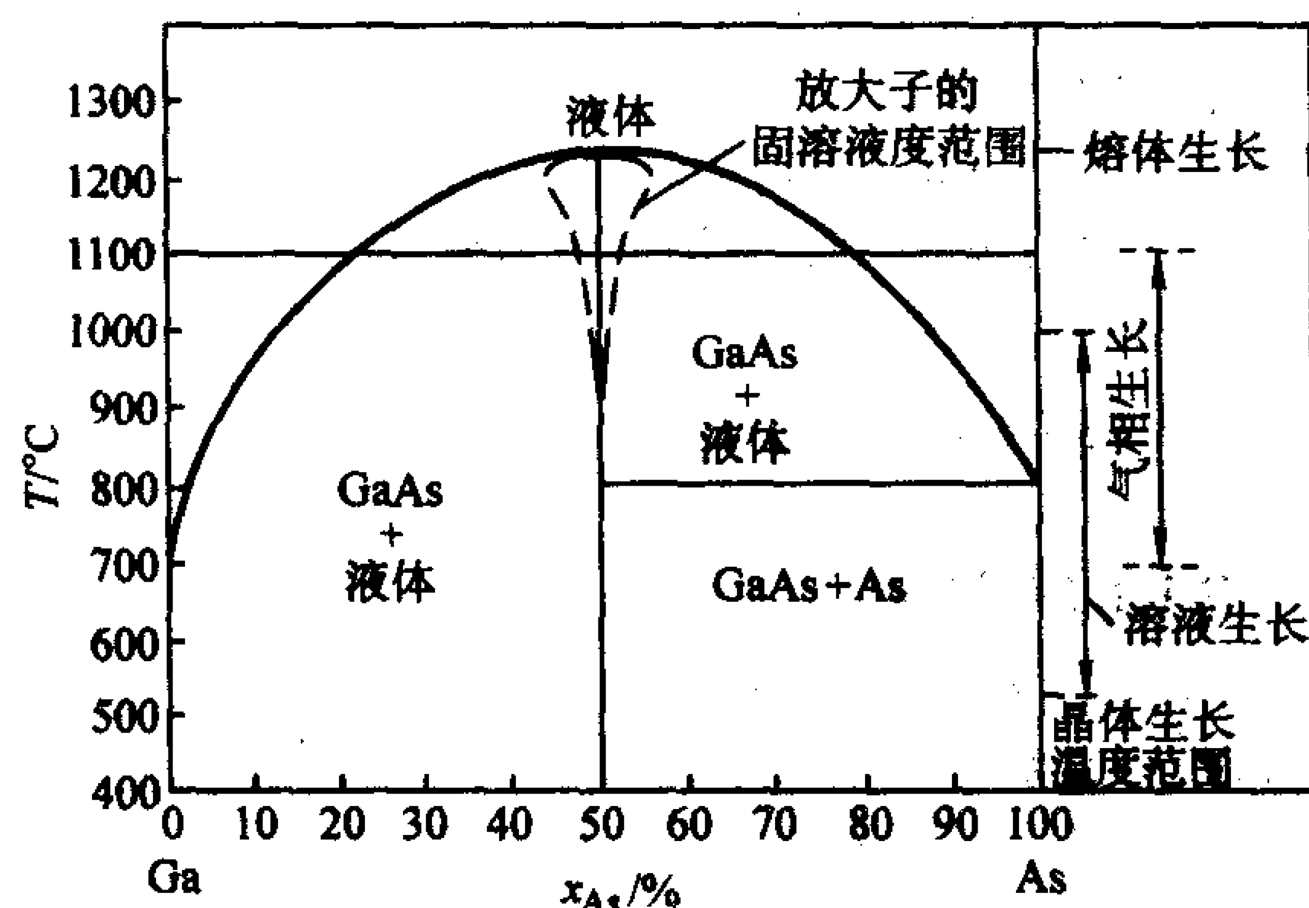


图 5.1-39 常压 Ga-As 二元相图

化学计量 GaAs 熔点 T_m = 1 513 ± 1 K。随外压的增大，T_m 下降：

$T_m \approx 1\,513 - 3.5P$ $(0 < P < 45\times10^8$ Pa$)$

熔点时 GaAs 体积缩小 6.4%。

GaAs 的熔化热 H_m 和熔化熵 S_m 分别为：

$H_m = 25.2 \pm 0.6$ kcal/mol = 728 ± 17 J/g

$S_m = 16.64 \pm 0.40$ 卡/摩尔 K = 70 ± 1.7 J/mol·K

表 5.1-2 给出了 GaAs 固态、液态和气（As 蒸气）态的三相平衡的 P（压力）－ T（温度）－ x（组分，As 摩尔分数）数据，最右列的 t（℃）所列的温度值为纯 As 在此温度下的压力即为其左列所示压力。

图 5.1-40 给出了单原子 Ga、As 和 As_2、As_4 沿 Ga-As 二元相图液相线的平衡蒸气压。

在 GaAs 熔点，As 的平衡蒸气压（又称为 GaAs 的离解压）为 98 893.2 Pa（0.976 atm）其中 p_{As_2} = 33 234.6 Pa（0.328 atm），p_{As_4} = 65 658.6 Pa（0.648 atm）。

表 5.1-2 GaAs 的 P-T-x 图主要数据

T/℃	x（As 摩尔分数）/%	P/101.0 kPa	t/℃
781 ± 20	7.5	6.2×10^{-2}	386
895 ± 20	10.5	1.8×10^{-2}	438
1 068 ± 10	19.0	5.2×10^{-2}	485
1 055 ± 3	18.0	6.05×10^{-2}	508
1 181 ± 3	31.0	1.55×10^{-1}	532
1 190 ± 3	33.0	2.01×10^{-1}	543
1 196 ± 3	34.5	3.2×10^{-1}	562
1 221 ± 3	38.0	3.8×10^{-1}	569
1 234 ± 3	46.0	7.6×10^{-1}	600
1 235 ± 4	55.0	1.18	616
1 231 ± 4	57.5	1.95	645
1 205 ± 5	54.5	3.35	673
1 185 ± 5	68.0	6.60	711
810 ±	100.0	2.9×10	810

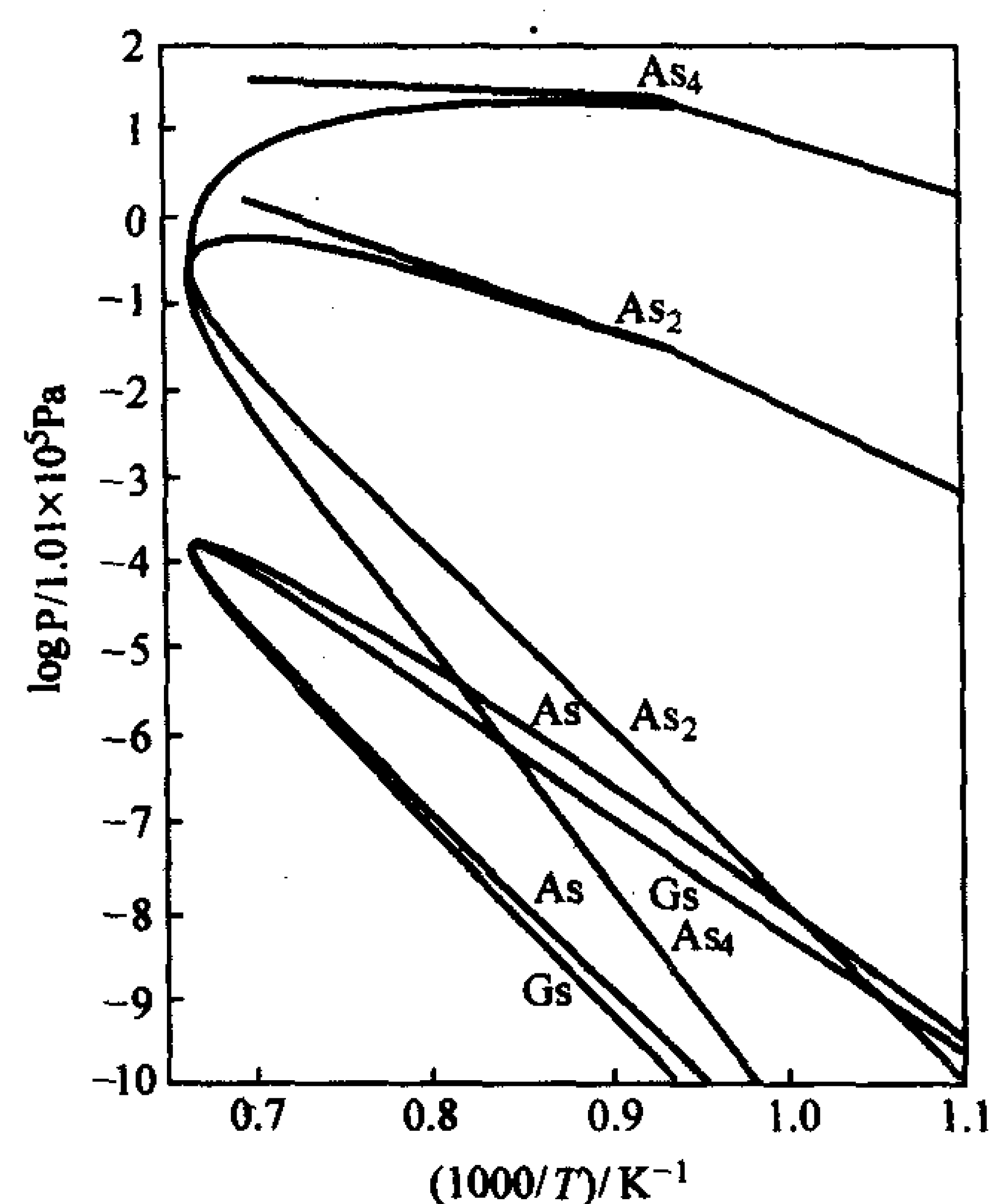


图 5.1-40 沿 GaAs 液相线的平衡蒸气压

1.8 力学性质（表 5.1-3）

表 5.1-3 GaAs 的力学性质（300 K）

Mohs 硬度	4～5
表面显微硬度/MPa	750° ± 40°
弹性模量/GPa	C_{11} = 119.0 ± 0.1，C_{12} = 53.8 ± 0.1，C_{44} = 59.5 ± 0.1，
剪切模量 = $(C_{11} - C_{12})/2$	32.6 ± 0.2
体模量 = $(C_{11} + 2C_{12})/3$	75.5 ± 0.1
[100] 弹性模量 $\frac{(C_{11}+2C_{12})(C_{11}-C_{12})}{C_{11}+C_{12}}$	85.5 ± 0.3
[100] 泊松比	0.31
脆性判据	3.0
微断裂强度/GPa	1.89
临界可分解剪切应力(CRSS)/MPa	0.40
解理面	{110}

弹性常数与温度的关系见图5.1-41，声波速度见表5.1-4。

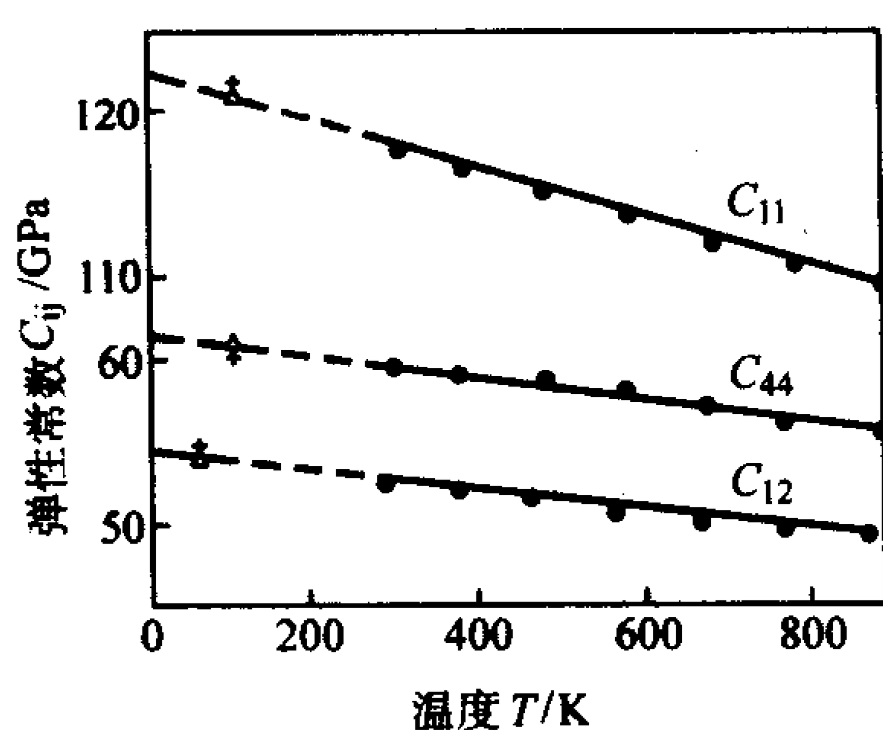


图5.1-41 弹性常数与温度的关系

($C_{11} \approx 12.17 - 1.44 \times 10^{-3}T$; $C_{12} \approx 5.46 - 0.64 \times 10^{-3}T$; $C_{44} \approx 6.16 - 0.7 \times 10^{-3}T$)

表5.1-4 声波速度

传播方向	波特性	波速表达式	波速/10^5 cm·s^{-1}
[100]	V_L	$(C_{44}/\rho)^{1/2}$	4.73
	V_T	$(C_{11}/\rho)^{1/2}$	3.35
[110]	V_l	$[(C_{11}+C_{12}+2C_{44})/2\rho]^{1/2}$	5.24
	$V_{t\parallel}$	$V_{t\parallel}=V_T=(C_{44}/\rho)^{1/2}$	3.35
	$V_{t\perp}$	$[(C_{11}-C_{12})/2\rho]^{1/2}$	2.48
[111]	V'_l	$[(C_{11}+2C_{12}+4C_{44})/3\rho]^{1/2}$	5.4
	V'_t	$[(C_{11}-C_{12}+C_{44})/3\rho]^{1/2}$	2.8

晶格振动：GaAs光学声子和声学声子的色散曲线如图5.1-42。

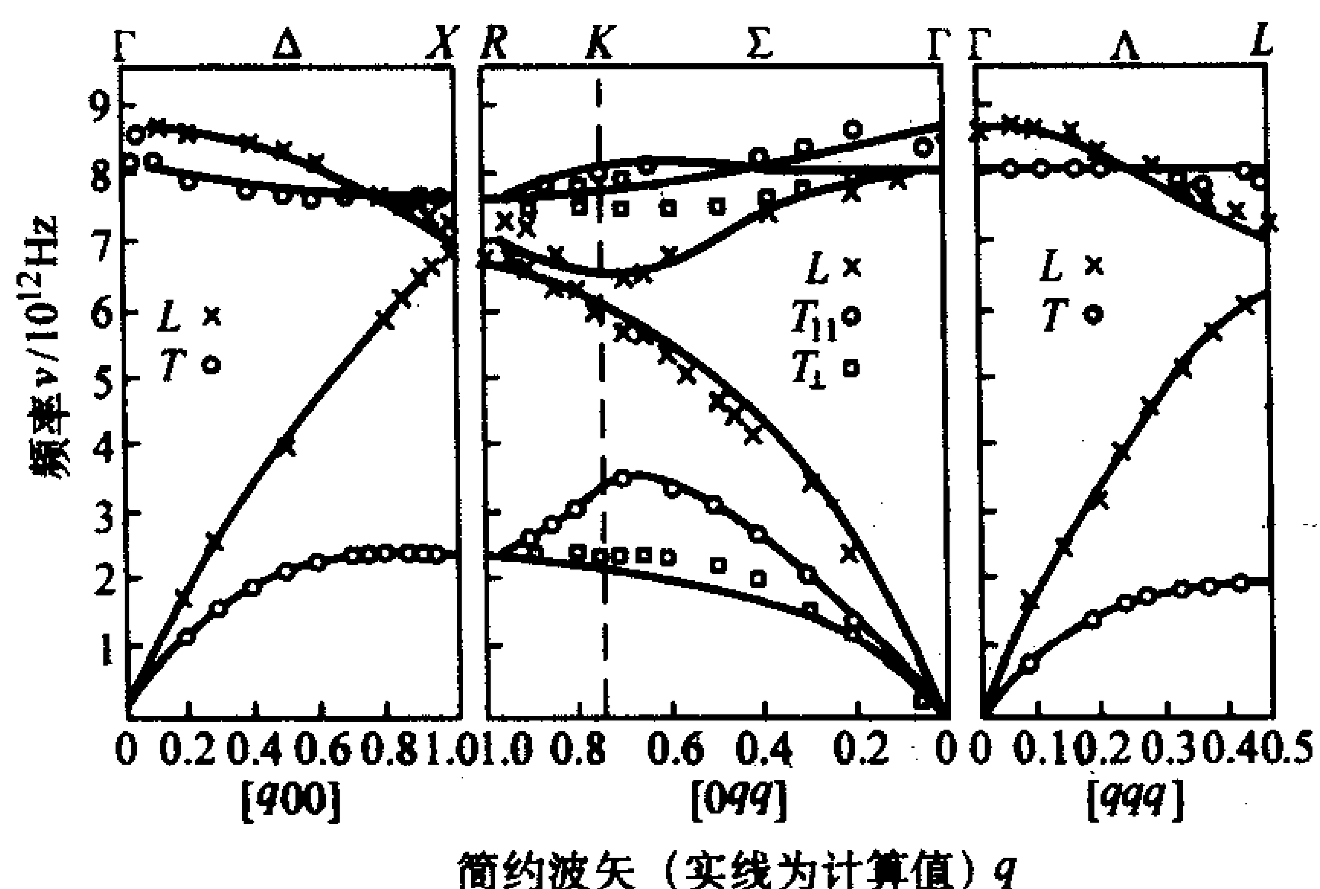


图5.1-42 室温的光学声子和声学声子的色散曲线

长波TO声子能：

$\hbar\nu_{TO} = 33.81 \times (1 - 5.5 \times 10^{-5})$ (meV)

300 K时，$\hbar\nu_{TO} = 33.2$ meV

长波LO声子能：

$\hbar\nu_{LO} = 36.57 \times (1 - 4 \times 10^{-5})$ (meV)

300 K时，$\hbar\nu_{LO} = 36.1$ meV

GaAs的介电常数见表5.1-5。

表5.1-5 GaAs的介电常数

参数	与温度关系的线性化表示	300 K时的值
静态介电常数 ε_0	$\varepsilon_0 = 12.40 \times [1 + 1.20 \times 10^{-4}T]$	12.85
高频介电常数 ε_∞	$\varepsilon_\infty = 10.60 \times [1 + 9.0 \times 10^{-5}T]$	10.88

GaAs的压电常数 $e_{14} = -0.16/\text{cm}^2$

1.9 GaAs的化学性质

GaAs单晶呈灰色，有金属光泽。室温时GaAs晶体或薄膜材料对水蒸气和氧是稳定的。大气中，GaAs加热到600℃以上开始氧化，真空中加热到800℃以上，开始离解。GaAs在常温下不溶于盐酸，可与浓硝酸发生反应，易溶于王水。

概括说来，GaAs之所以成为继Si之后最重要的半导体材料，是由于它具有以下主要特性：①直接跃迁型能带，有较高的电光转换效率，是现代最重要的半导体光电子材料之一。②电子迁移率高，约为Si的5~6倍，适合于制作超高频、超高速器件和电路。③易于制成非掺杂半绝缘单晶，其电阻率可达10^9 Ω·cm，是理想的微波传输介质，在IC加工中不必制作绝缘隔离层，这不仅简化了IC工艺过程，还可提高集成度。对于本身就具有高速、高频性能的GaAs来说，GaAs IC的寄生电容也由于不必另外制作绝缘隔离层而减小，有利于其提高工作速度。④由于带隙较大，所制器件可在较高温度（400~450℃）下工作。GaAs的热阻性能优于Si，对数字IC，其驱动电压较低、功耗及所产生的热量较小。⑤GaAs器件抗辐射能力强，如GaAs MESFET（金属半导体场效应晶体管）及其IC可承受10^8拉德的γ射线辐射，而一般Si的MOS（金属氧化物半导体）电路在10^4拉德γ射线辐射下就会失效。GaAs因而也成为宇航电子学的重要材料。⑥作为太阳电池材料，GaAs电池的转换效率比Si电池高；GaAs及相关化合物太阳电池已成为空间飞行器的重要功率源。⑦利用GaAs的转移电子（体）效应已制出了根氏器件等新型功能器件。

GaAs属于二元化合物，组成比Si复杂，精确的化学配比不易控制，自然资源远不如Si丰富；As元素有挥发性及毒性，加工过程中更要注意环境保护。GaAs力学强度较差，热导率较低，不易生长出无位错单晶（见11章）。GaAs难以进行稳态本征氧化，不易制作MOS器件。直到1996年，才用电子束蒸发$Ga_5Gd_3O_{12}$单晶形成$Ga_2O_3 + Gd_2O_3$混合物作栅介质，制出了第一个倒置沟道增强模式GaAs MOSFET，可望用于微波功率放大器。

2 磷化铟的基本属性

2.1 InP的晶格结构

和GaAs一样，磷化铟也是闪锌矿结构。它的晶格可以视为是两个互穿的面心立方晶格，其中一个是由铟原子构成，另一个是由磷原子构成，互相位移（1/4，1/4，1/4）套构而成，如图5.1-43所示。

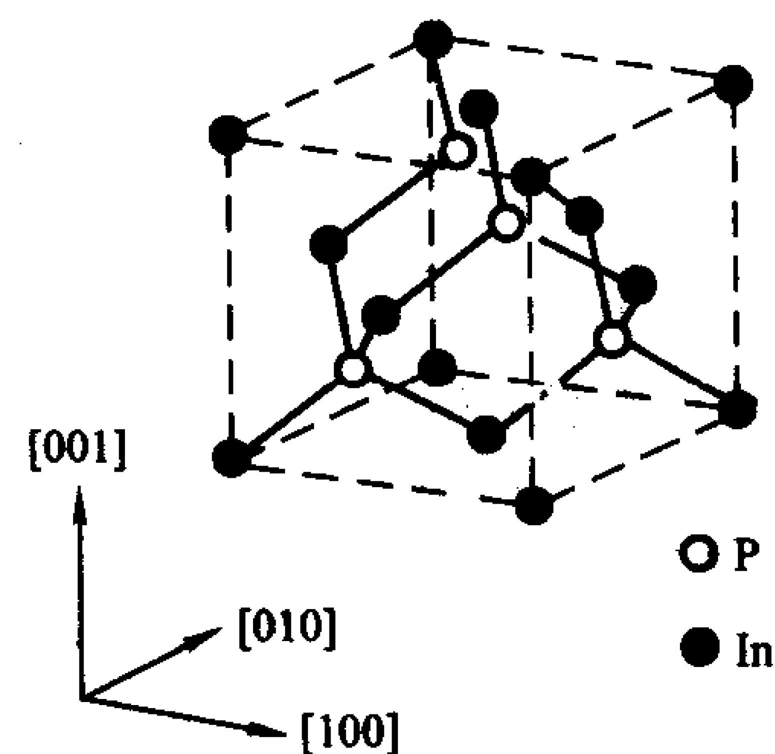


图5.1-43 InP的晶体结构

表5.1-6 磷化铟材料的基本参数

晶格结构	闪锌矿结构
空间对称群	T_d^2 - F43m

续表 5.1-6

晶格结构	闪锌矿结构
1 cm^3 中原子个数	$3.96\cdot10^{22}$
德拜温度/K	425
介电常数（静电）	12.5
介电常数（高频）	9.61
有效电子质量/m_0	0.08
有效空穴质量 m_h/m_0	0.6
有效空穴质量 m_{lp}/m_0	0.089
密度/$g\cdot cm^{-3}$	4.787（固），5.15（液）
电子亲和势/eV	4.38
共价半径/nm	0.110
熔点时的蒸气压/MPa	2.75
能级跃迁类型	直接
线胀系数/$10^{-6}\cdot K^{-1}$	4.5
热导率/W·$(cm\cdot K)^{-1}$	0.70
室温下禁带宽度/eV	1.35
熔点/℃	1 062
晶格常数/nm	0.586 87
光声子能级/eV	0.043
室温本征载流子浓度/cm^{-3}	2×10^7
室温电子迁移率/$cm^2\cdot(V\cdot s)^{-1}$	4 500
空穴迁移率/$cm^2\cdot(V\cdot s)^{-1}$	150
本征电阻率/$\Omega\cdot cm$	8×10^7

2.2　磷化铟的能带结构

磷化铟的能带结构如图 5.1-44 所示。

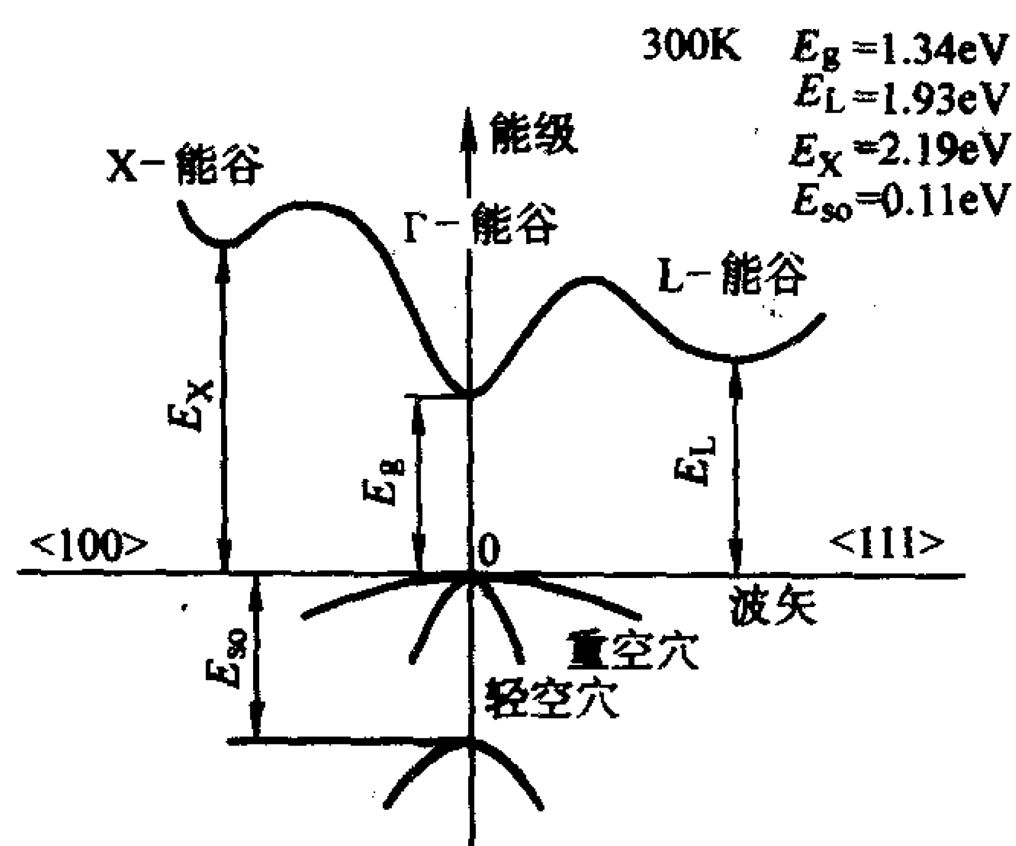


图 5.1-44　磷化铟的能带结构及载流子浓度

表 5.1-7　磷化铟能带的基本参数

能带宽度(带隙)/eV	1.344	本征载流子浓度/cm^{-3}	1.3×10^7
Γ谷和 L 谷能隙/eV	0.59	本征电阻率/$\Omega\cdot cm$	8.6×10^7
Γ谷和 X 谷能隙/eV	0.85	有效导带态密度/cm^{-3}	5.7×10^{17}
自旋轨道裂距/eV	0.11	有效价带态密度/cm^{-3}	1.1×10^{19}

磷化铟在 300 K 下的导带最小值和价带最大值：E_g = 1.34 eV；E_L = 1.93 eV；E_X = 2.19 eV；E_{so} = 0.11 eV。

温度依从关系见图 5.1-45、图 5.1-46。

能隙对温度的依从关系：$E_g = 1.421 - 4.9\times10^{-4}\cdot T^2/(T+327)$ (eV)，此处 T 为 0 K < T < 800 K。

Γ谷和 X 谷能隙对温度的依从关系：$E_{\Gamma X} = 0.96 - 3.7\times10^{-4}\cdot T$ (eV)，此处 T 为 0 K < T < 300 K。

导带有效态密度：$N_c \approx 1.1\times10^{14}\cdot T^{3/2}$ (cm^{-3})；价带有效态密度：$N_v \approx 2.2\times10^{15}\cdot T^{3/2}$ (cm^{-3})。

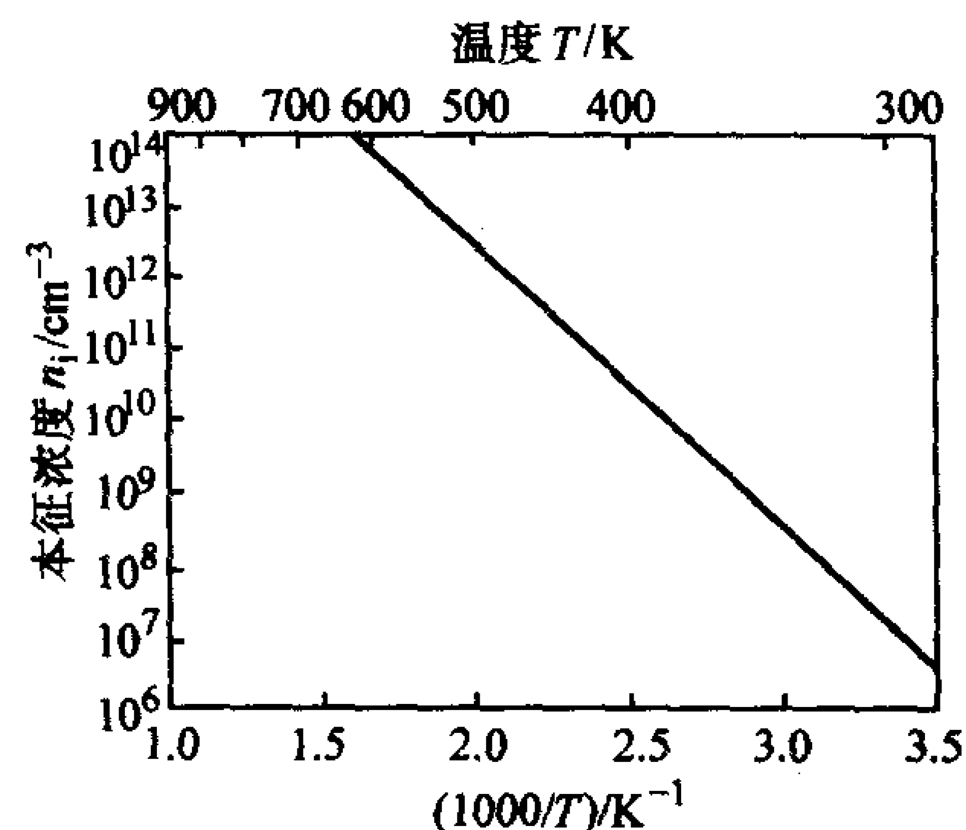


图 5.1-45　本征载流子浓度对温度的依从关系

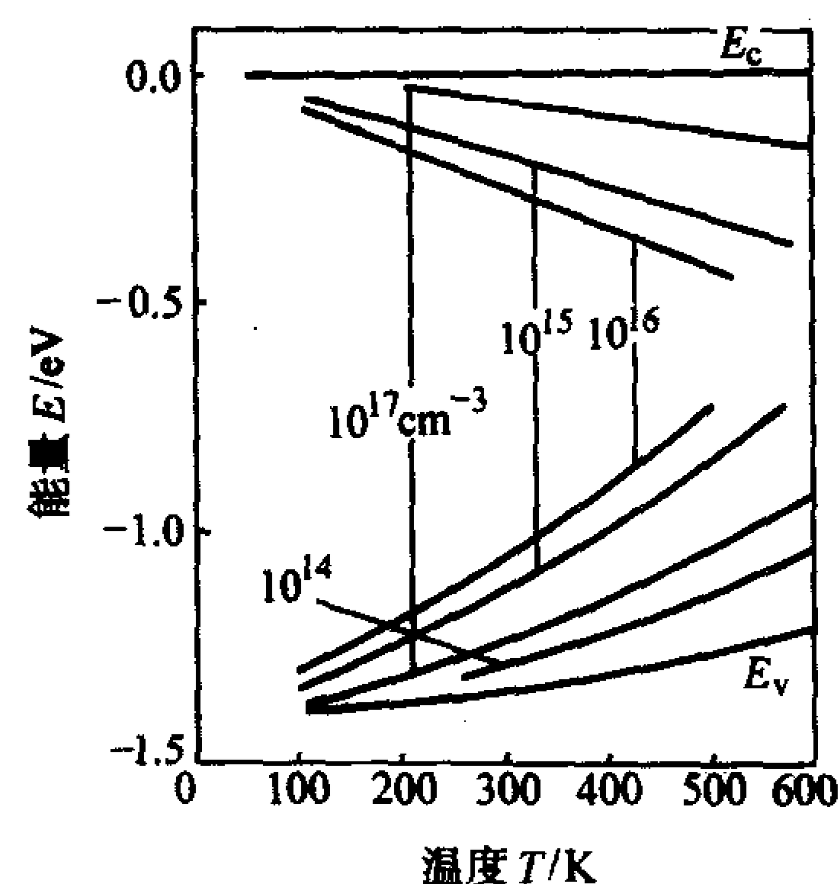


图 5.1-46　不同浅施主和受主费米能级对温度的关系

静力对能级的影响见图 5.1-47。

$E_g = E_g(0) + 8.4\times10^{-3}P - 1.8\times10^{-5}P^2$ (eV)，

$E_L = E_L(0) + 4.6\times10^{-3}P$ (eV)，

$E_X = E_X(0) + 2\times10^{-3}P$ (eV)，压力 P 为 10^8 Pa。

重掺杂下的带隙窄化

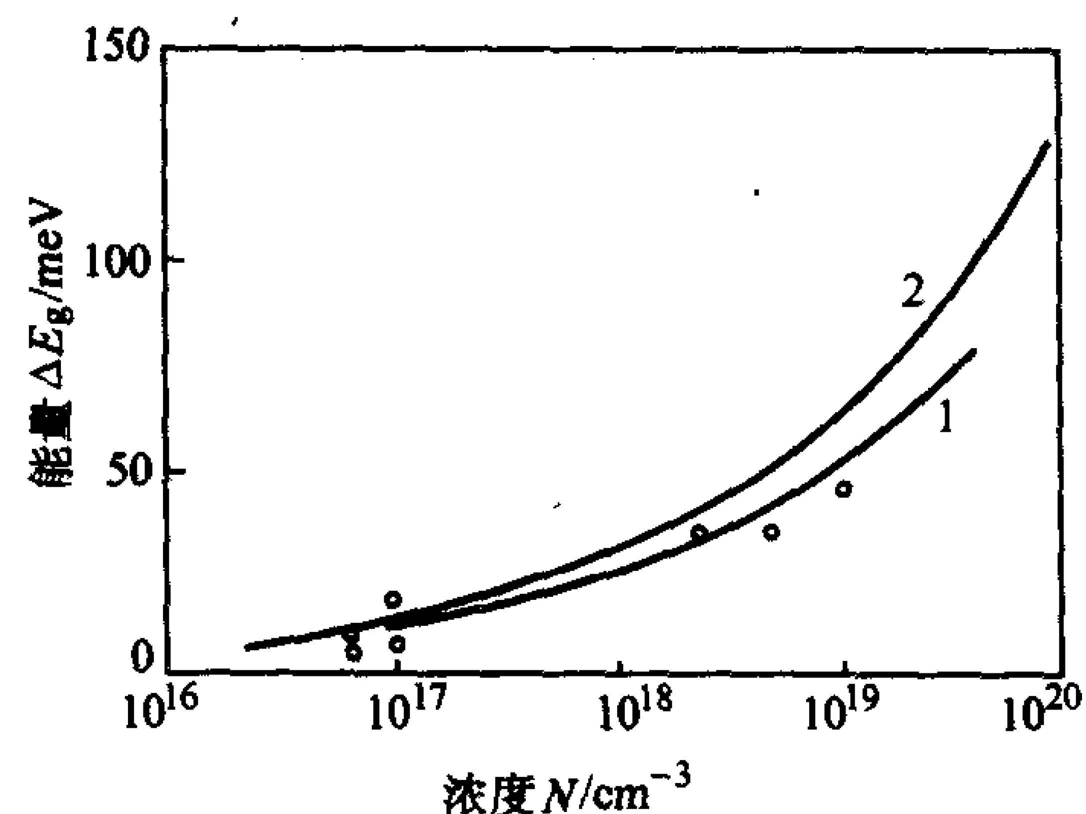


图 5.1-47　与施主（曲线 1 和实验点）及受主（曲线 2）相对应的带隙窄化（T = 300 K）

N 型磷化铟：$\Delta E_g \approx 22.5\times10^{-9}\cdot N_d^{1/3}$ (eV)，

P 型磷化铟：$\Delta E_g \approx 10.3\times10^{-9}\cdot N_a^{1/3} + 4.43\times10^{-7}\cdot N_a^{1/4} + 3.38\times10^{-12}\cdot N_a^{1/2}$ (eV)。

InP 的有效质量如表 5.1-8 所示。

表 5.1-8　InP 的有效质量

电子	
Γ 谷	$m_\Gamma = 0.08m_o$
导带中 4 个等价 L 谷	
一个 L 谷	$m_L = 0.25m_o$
全部 L 谷	$m_{Ld} = 0.63m_o$
导带中 3 个等价 X 谷	
一个 X 谷	$m_X = 0.32m_o$
全部 X 谷	$m_{Xd} = 0.66m_o$
空穴	
重	$m_h = 0.6m_o$
轻	$m_{lp} = 0.089m_o$
自旋轨道分裂能带	$m_{so} = 0.17m_o$
态密度有效质量	$m_v = 0.6m_o$

2.3　InP 的电学性质

表 5.1-9 是 InP 电学性质基本参数。

表 5.1-9　InP 电学性质的基本参数

击穿电场/V cm^{-1}	≈5×10^5
电子迁移率/cm^2 V^{-1}s^{-1}	≤5 400
空穴迁移率/cm^2 V^{-1}s^{-1}	≤200
电子扩散系数/cm^2 s^{-1}	≤130
空穴扩散系数/cm^2 s^{-1}	≤5
电子热速度/m s^{-1}	3.9×10^5
空穴热速度/m s^{-1}	1.7×10^5

图 5.1-48 及图 5.1-49 为电子迁移率与温度的关系。

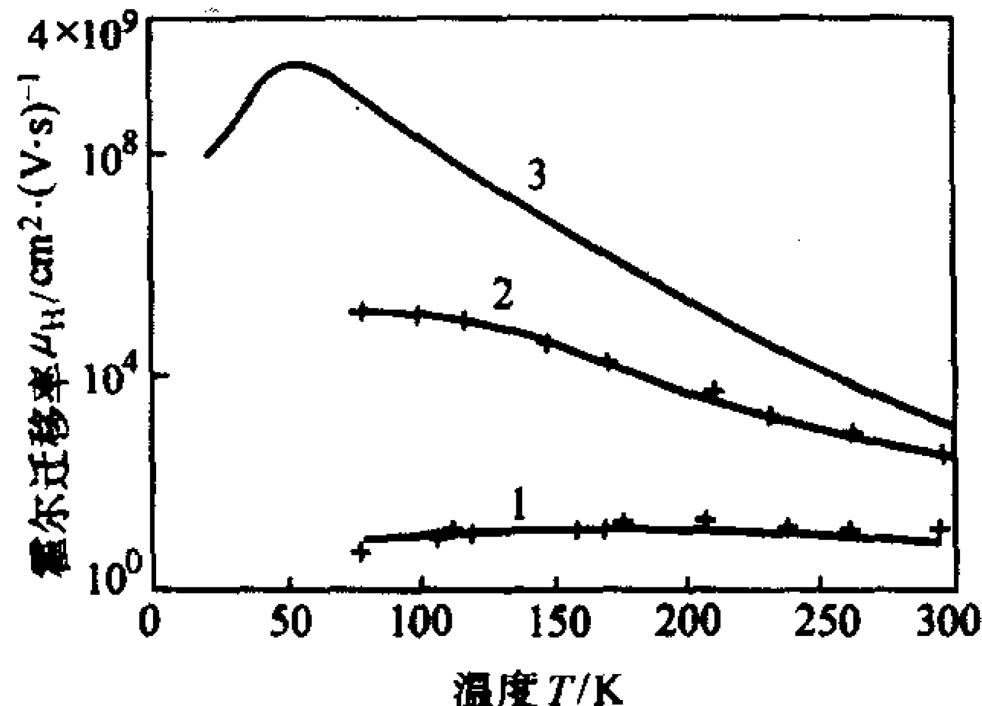


图 5.1-48　不同掺杂水平的电子迁移率与温度的关系
（1—$n_o = N_d - N_a = 8\times10^{17}$ cm^{-3}；
2—$n_o = 2\times10^{15}$ cm^{-3}；3—$n_o = 3\times10^{13}$ cm^{-3}）

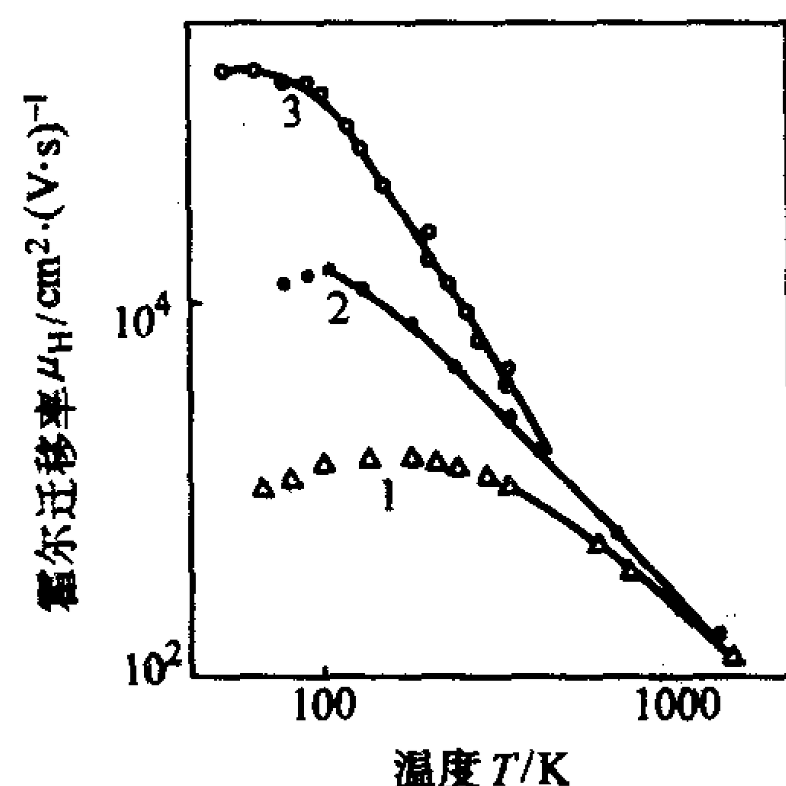


图 5.1-49　电子迁移率与温度（高温）的关系
（1—$n_o = N_d - N_a \sim 3\times10^{17}$ cm^{-3}；
2—$n_o \sim 1.5\times10^{16}$ cm^{-3}；3—$n_o \sim 3\times10^{15}$ cm^{-3}）

InP 在接近 300 K 的轻掺杂 N 型磷化铟的漂移迁移率：μ_n =（4.2～5.4）×10^3 ×（300/T）（cm^2·V^{-1}·s^{-1}）。

InP 的迁移率和霍尔效应见图 5.1-50、图 5.1-51。

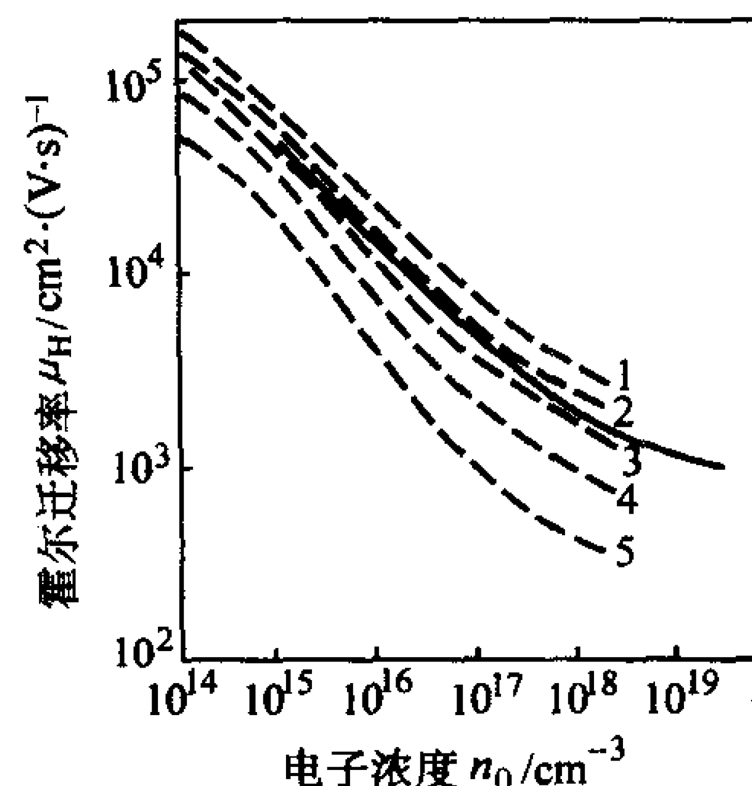


图 5.1-50　霍尔迁移率与不同补偿率的电子浓度的关系
$\theta = N_a/N_d$，77 K
（虚线是理论计算值，1—$\theta=0$；2—$\theta=0.2$；
3—$\theta=0.4$；4—$\theta=0.6$；
5—$\theta=0.8$；实线是测量的平均值）

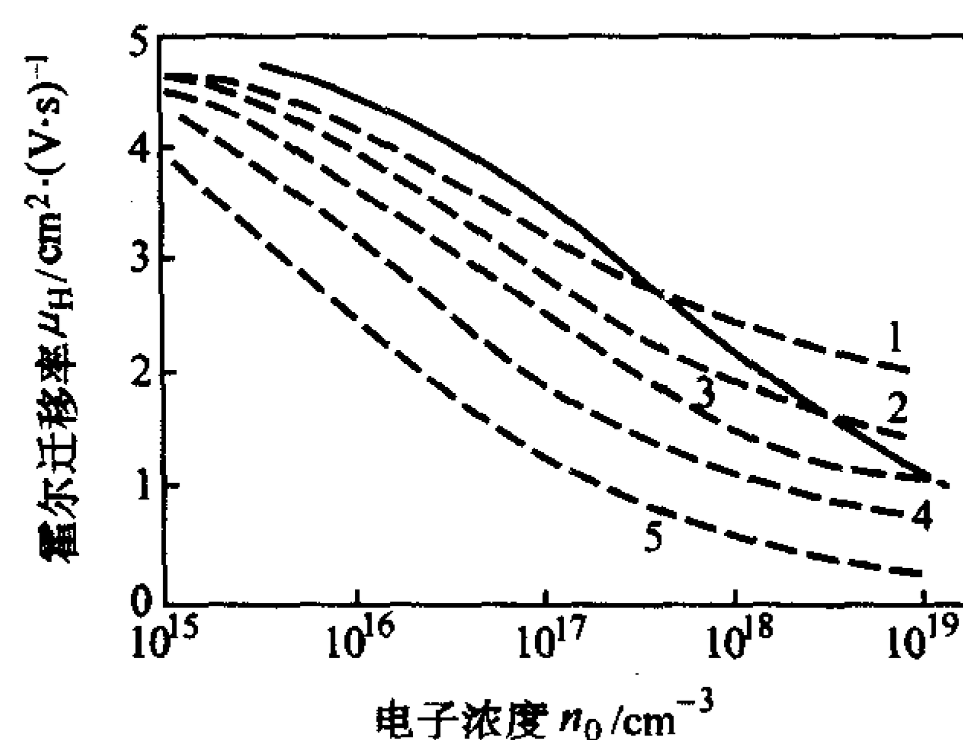


图 5.1-51　霍尔迁移率与不同补偿率的电子浓度的关系
$\theta = N_a/N_d$，300 K
（虚线是理论计算值，1—$\theta=0$；2—$\theta=0.2$；3—$\theta=0.4$；
4—$\theta=0.6$；5—$\theta=0.8$；实线是测量的平均值）

电子霍尔迁移率近似公式：$\mu = \mu_{OH}/[1 + (N_d/10^7)^{1/2}]$，此处 μ_{OH} = 5 000 cm^{2}V^{-1} s^{-1}，N_d 的单位是 cm^{-3}。

300 K，N 型磷化铟的电子霍尔因子 $r_n \approx 1$，$N_d >$ 10^{15} cm^{-3}。

图 5.1-52 为不同掺杂水平的空穴霍尔迁移率与温度的关系。

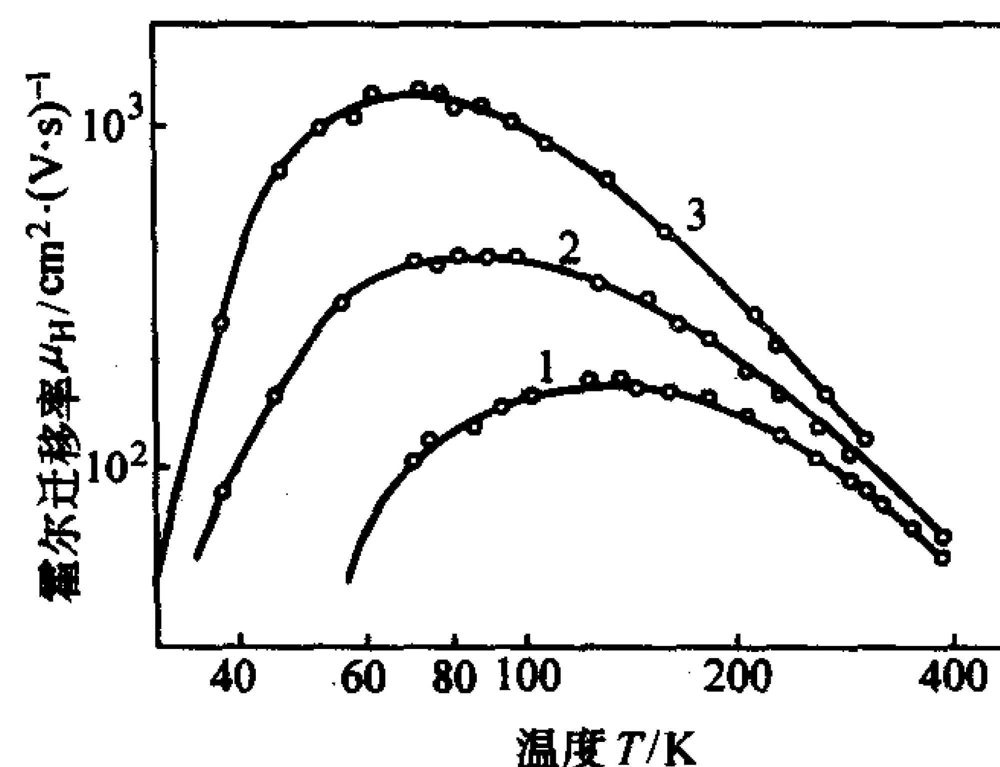


图 5.1-52　不同掺杂（掺锌）水平的空穴霍尔迁移率与温度的关系
（300 K 空穴浓度：1—1.75×10^{18} cm^{-3}；2—3.6×10^{17} cm^{-3}；
3—4.4×10^{16} cm^{-3}；$\theta = N_a/N_d \sim 0.1$。）

接近 300 K 的轻掺杂 P 型磷化铟的霍尔迁移率：μ_{pH} 约 150×（300/T）$^{2.2}$（cm^{2}V^{-1} s^{-1}）见图 5.1-53。

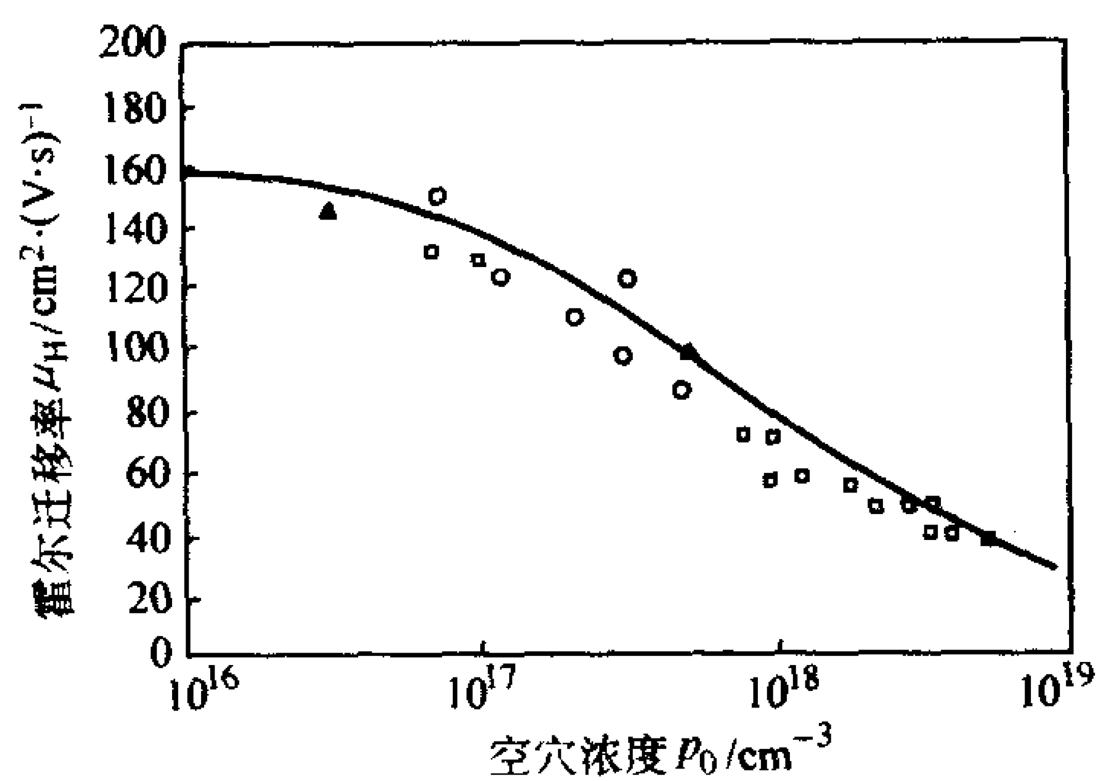


图 5.1-53　300 K 空穴霍尔迁移率与空穴密度的关系

空穴霍尔迁移率的近似公式为：$\mu_p=\mu_{po}/[1+(N_a/2\times10^{17})^{1/2}]$，此处 μ_{po} 约 150 $cm^2V^{-1}s^{-1}$，N_a 的单位是 cm^{-3}。

300 K 纯 p-InP 的霍尔因子：r_p 约为 1。

2.4　高电场下的输运性质

图 5.1-54～图 5.1-63 示出高电场的输运性质。

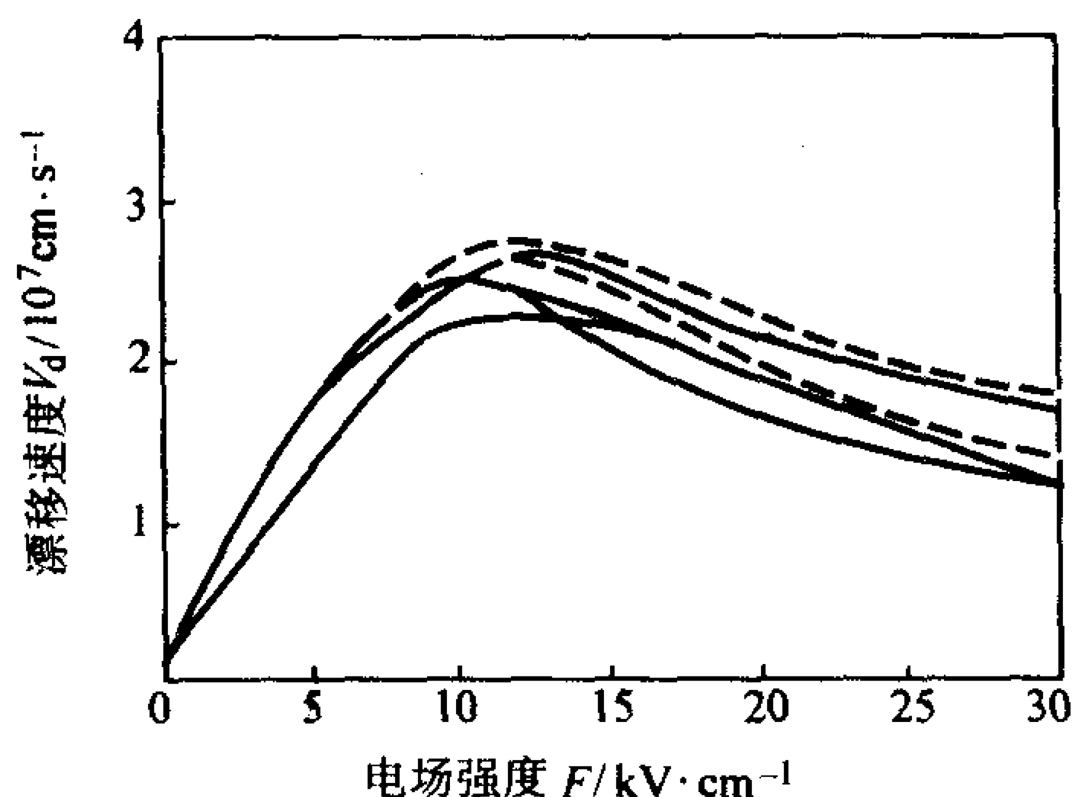


图 5.1-54　300 K 的 InP 电子漂移速度与场强的依从关系
（实线为理论计算值。虚线为测量值。）

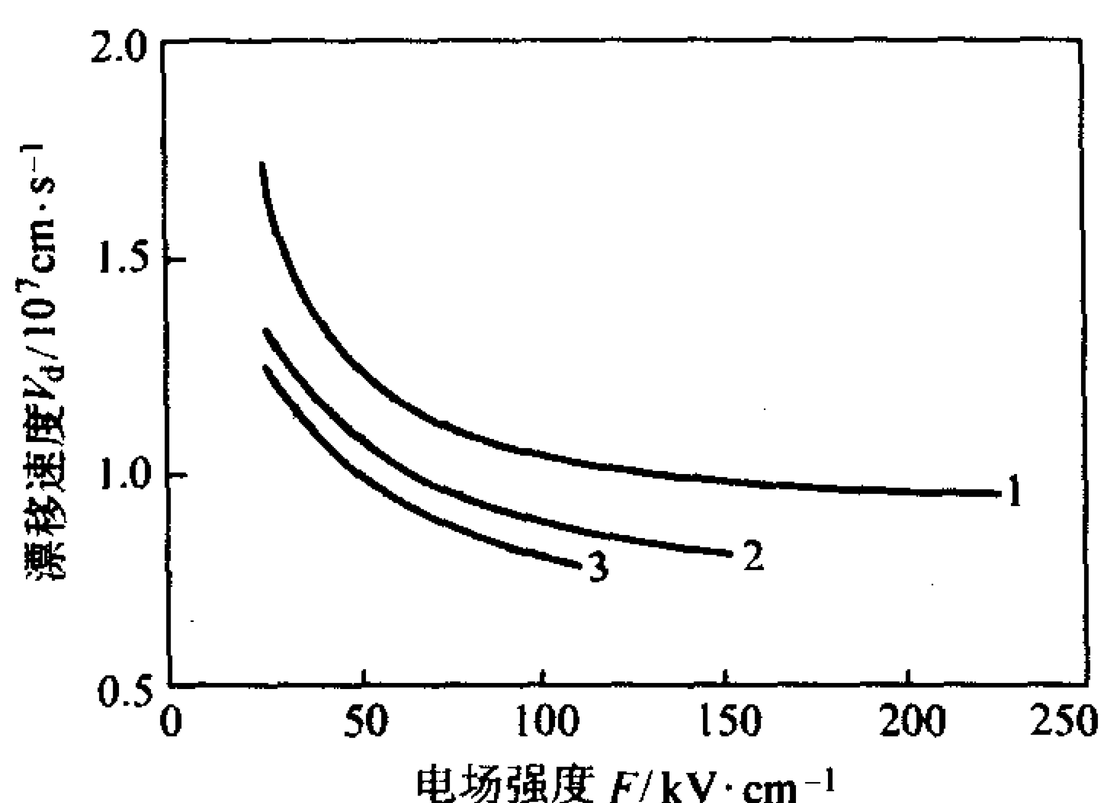


图 5.1-55　对于高电场电子漂移速度与场的依从关系
（温度 T：1—95 K；2—300 K；3—400 K）

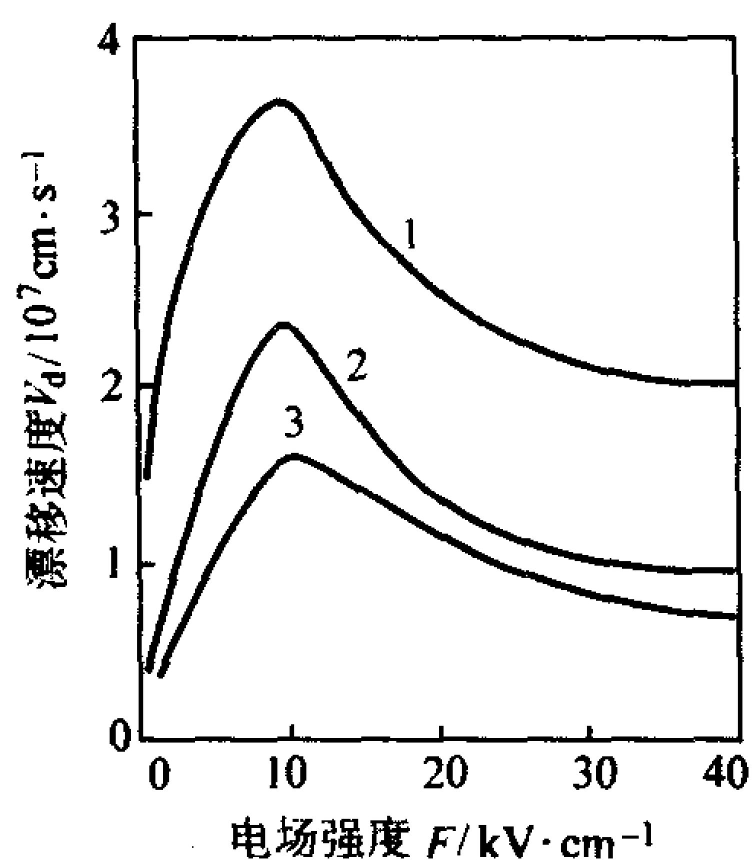


图 5.1-56　不同温度下电子漂移速度与场的依从关系
（1—77 K；2—300 K；3—500 K）

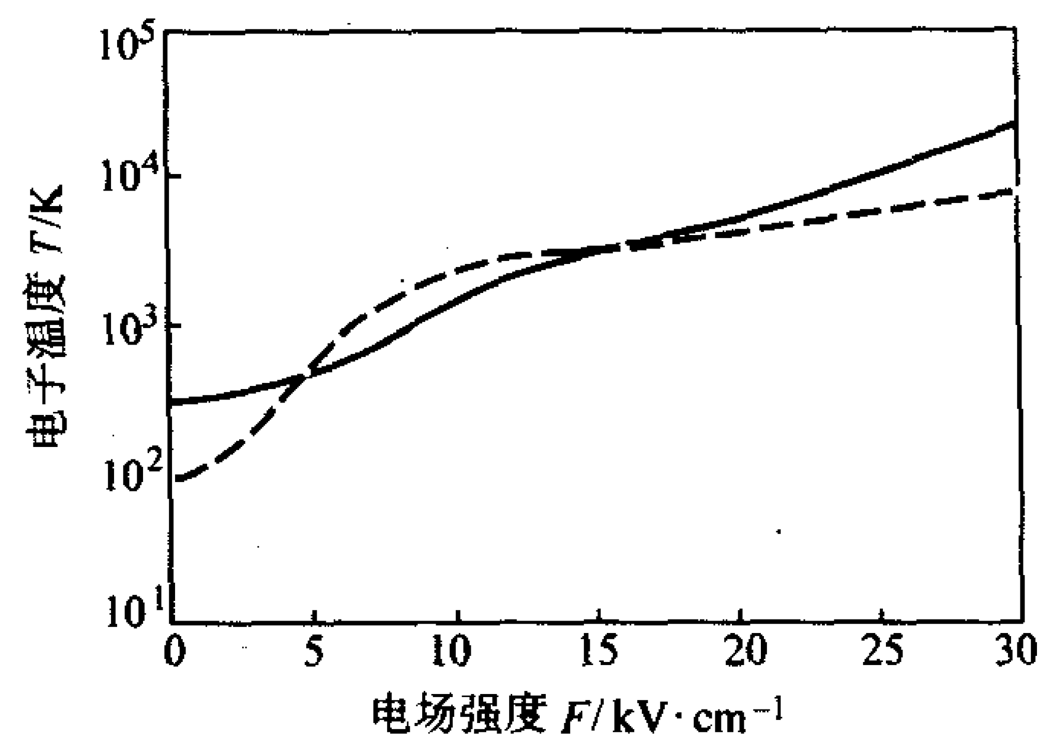


图 5.1-57　77 K 和 300 K 电子温度和电场的关系

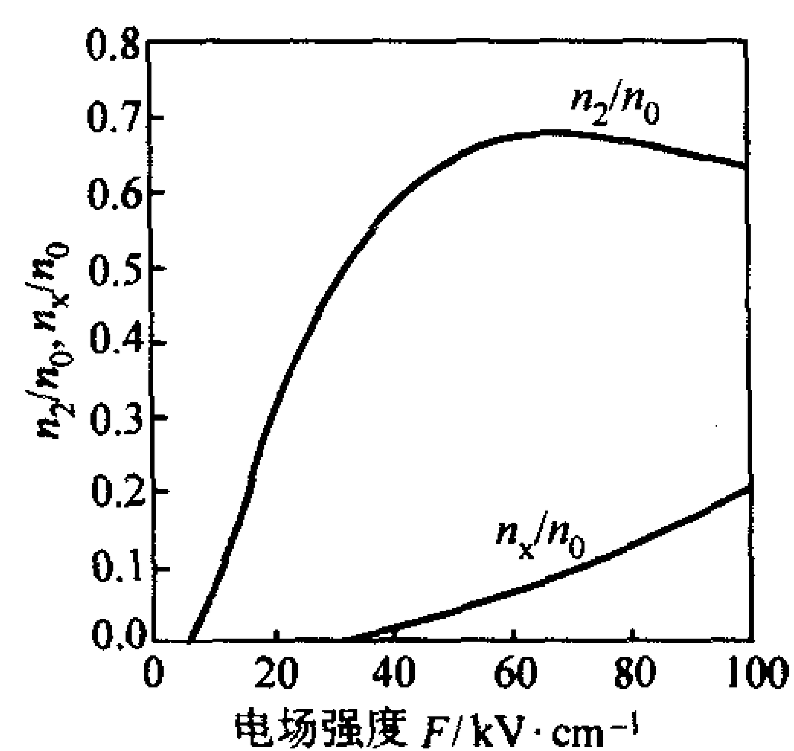


图 5.1-58　300 K 下做为电场函数的 L 谷和 X 谷的电子分数

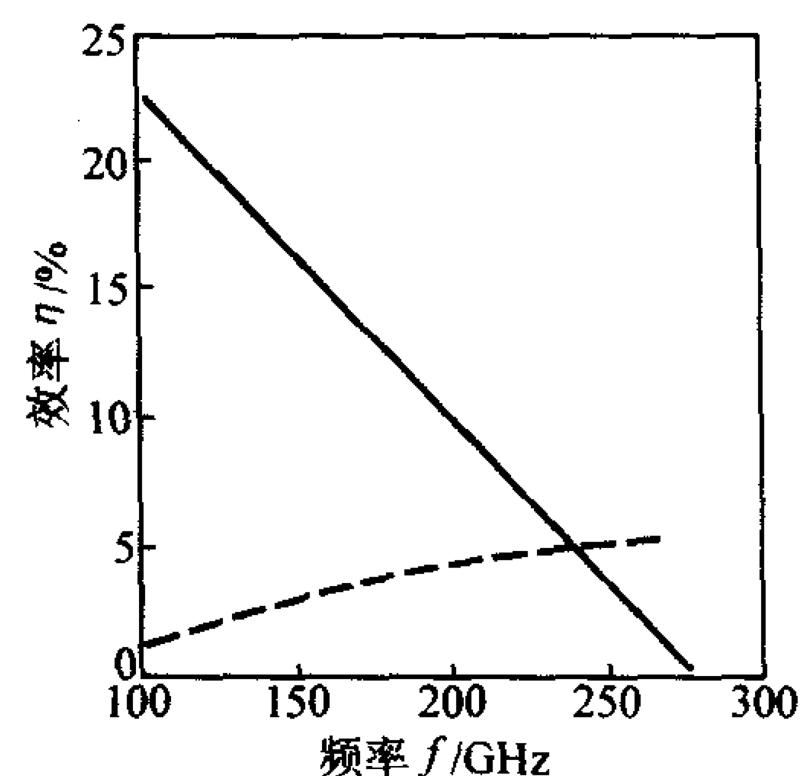


图 5.1-59　LSA 模式中功率 η 的第一（实线）和第二（虚线）谐函数与频率的依从关系

蒙特卡罗模拟

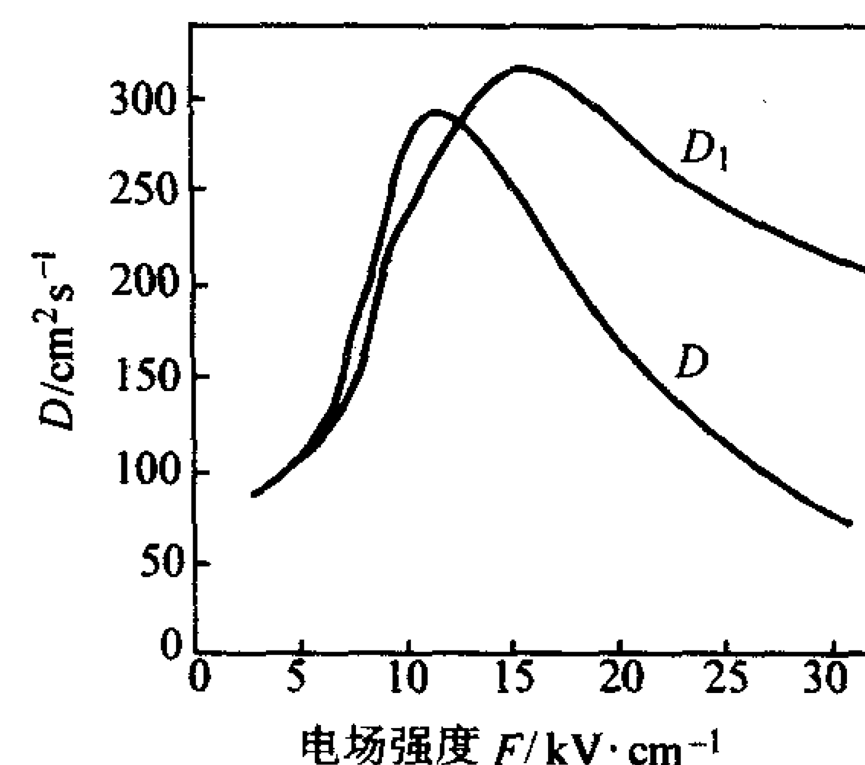


图 5.1-60　300 K 纵向（$D\parallel F$）和横向（$D\perp F$）的电子扩散系数。整体蒙特卡罗模拟

$F=F_o+F_1\cdot\sin(2\pi\cdot ft)+F_2\cdot[\sin(4\pi\cdot ft)+3\pi/2]$，

$F_o=F_1=35$ kV cm^{-1}，

$F_2=10.5$ kV cm^{-1}。

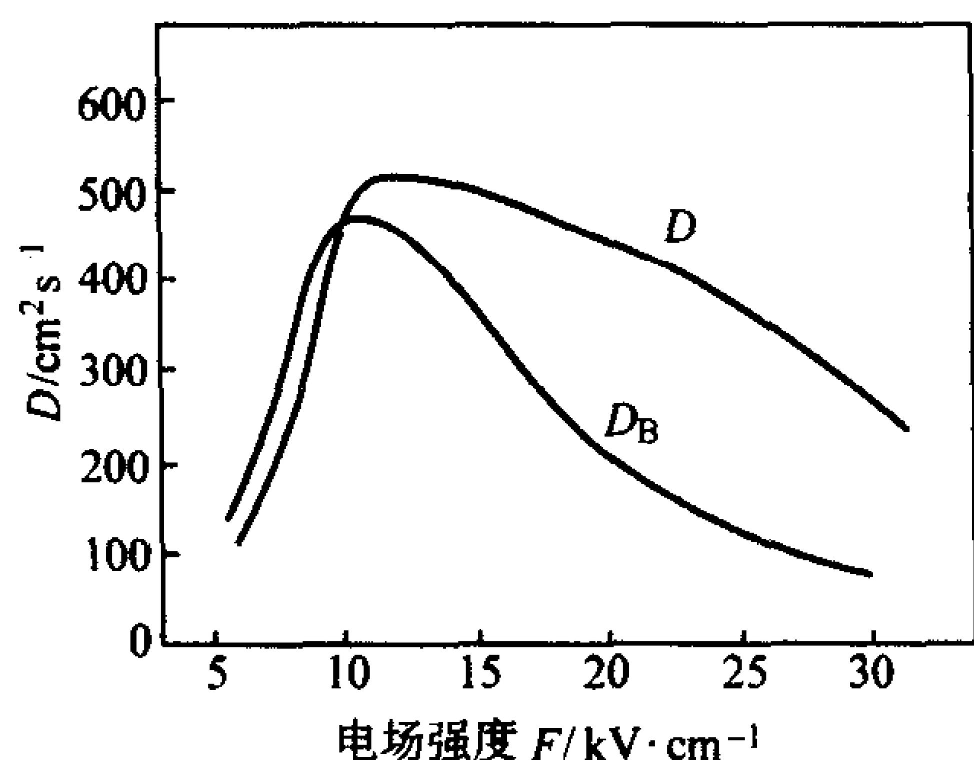


图 5.1-61　77 K 纵向（$D \parallel F$）和横向（$D \perp F$）的电子扩散系数。整体蒙特卡罗模拟

2.5　InP 的电离效应（见图 5.1-62、图 5.1-63）

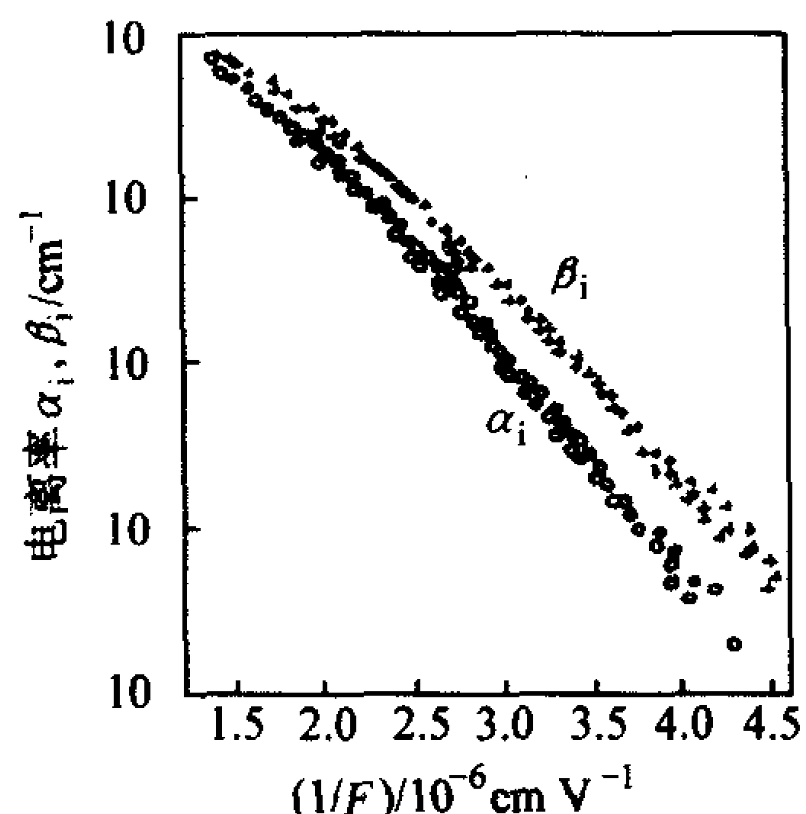


图 5.1-62　300 K 电离率与电子 α_i 和空穴 β_i 的比 1/F 的依从关系

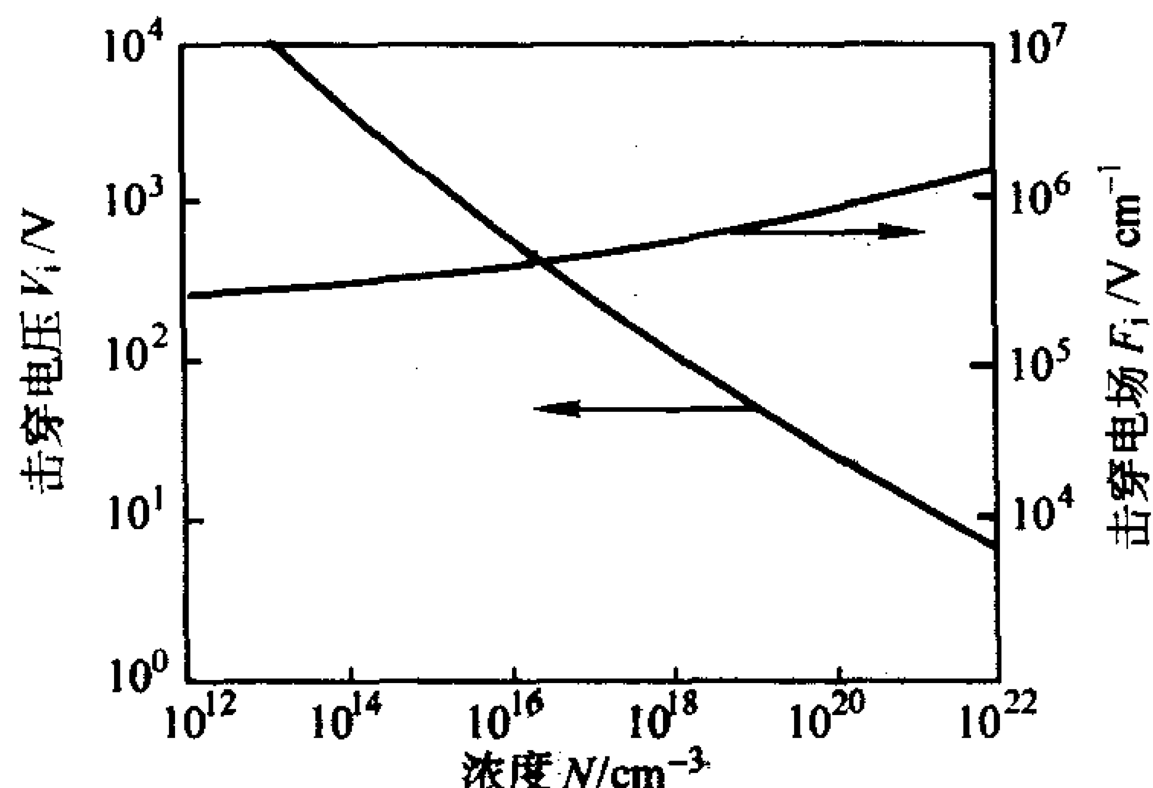


图 5.1-63　300 K 突变 p-n 结掺杂浓度的击穿电压与击穿电场的比

2.6　InP 的复合参量

纯 n-型材料（$n_o \sim 10^{-14}$ cm^{-3}），

空穴最长寿命：$\tau_p \sim 3\times10^{-6}$ s，

扩散长度 L_p =（$D_p \cdot \tau_p$）$^{1/2}$：$L_p \sim 40$ μm。

纯 p-型材料（$p_o \sim 10^{15}$ cm^{-3}）

（a）小注入

电子最长寿命：$\tau_n \sim 2\times10^{-9}$ s，

扩散长度 L_n =（$D_n \cdot \tau_n$）$^{1/2}$：$L_n \sim 8$ μm，

（b）大注入（满陷阱）

电子最长寿命：$\tau \sim 10^{-8}$ s，

扩散长度 L_n：$L_n \sim 25$ μm。

如果表面费米能级 E_{FS} 被钉扎在禁带中央（$E_{FS} \sim E_g/2$），表面复合速率随掺杂浓度从 $n_o \sim 3\times10^{15}$ cm^{-3} 增加到 $n_o \sim 3\times10^{18}$ cm^{-3}，而从 ~5×10^{-3} cm/s 增加到 ~10^6 cm/s。

辐射复合系数（300 K）：1.2×10^{-10} cm^3/s，俄歇系数（300 K）：约为 9×10^{-31} cm^6/s。

图 5.1-64 是表面复合速率与每个金属磷化物原子的反应热 ΔH_R 的比。

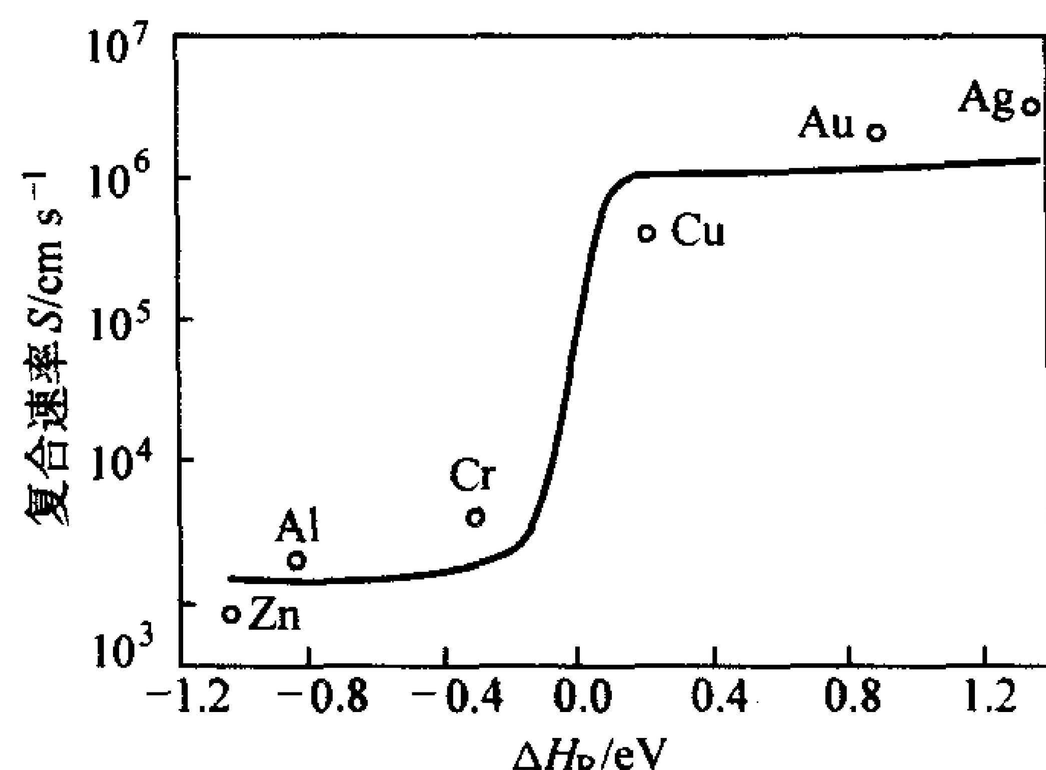


图 5.1-64　表面复合速率与每个金属磷化物原子的反应热 ΔH_R 的比

2.7　InP 的光学性质

图 5.1-65 ~ 图 5.1-71 为 InP 的光学性质。

红外折射率：3.1

辐射复合系数：1.2×10^{-10} cm^3/s

红外折射率指数：$n = k^{1/2} = 3.075\times(1+2.7\times10^{-5}\ T)$

300 K 长波横向光学（TO）声子能级：$h\nu_{TO} = 38.1$ meV

300 K 长波纵向光学（LO）声子能级：$h\nu_{LO} = 42.6$ meV

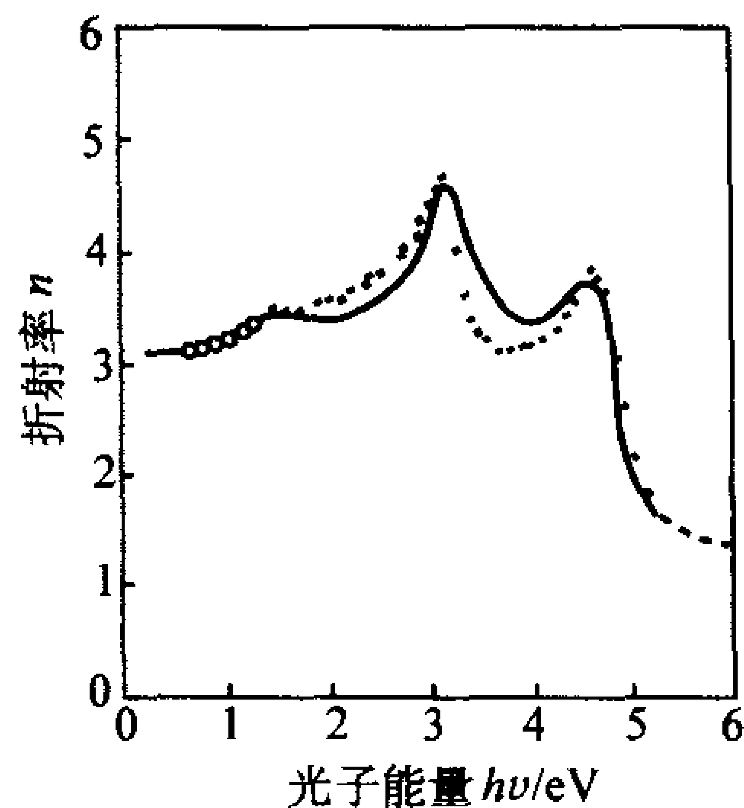


图 5.1-65　折射率 n 与光子能量的关系

（——理论计算值，···· 300 K 实验数据）

不同波长的光在材料中有不同的传播速度，即材料对不同波长的光有不同的折射率（表 5.1-10）。

表 5.1-10　室温下 InP 的折射率

λ/μm	InP
0.2	1.525
0.4	4.1
0.6	~3.41
1.0	3.327
2.0	3.134
6.0	~3.08
14	~3.03

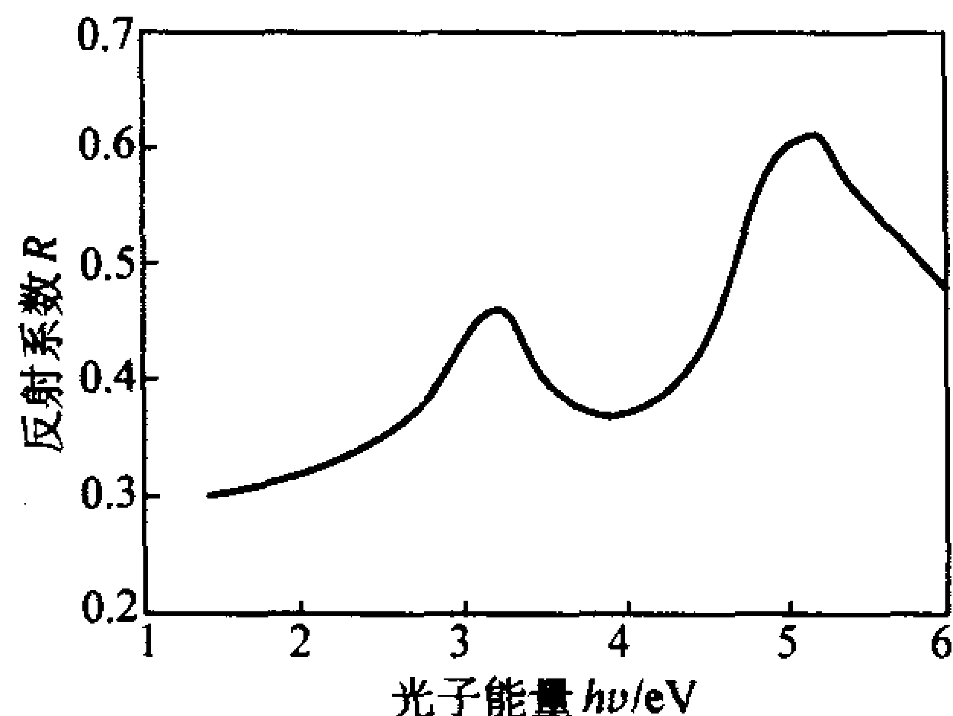


图 5.1-66　300 K 正射反射系数与光子能量的关系

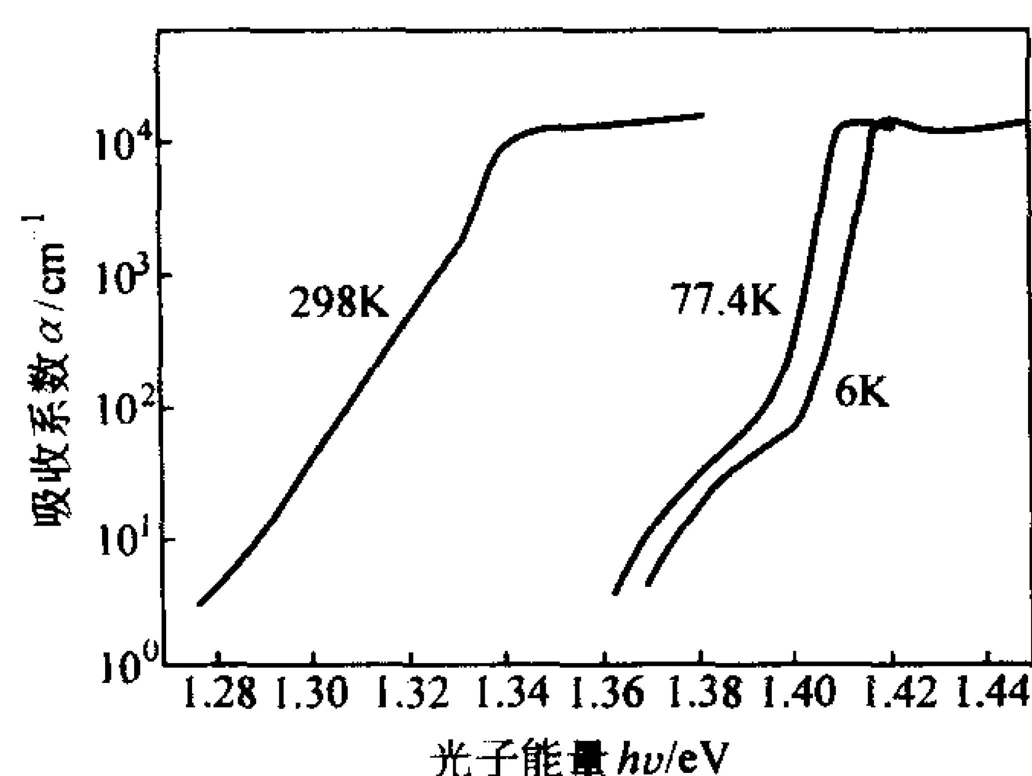


图 5.1-67 n-InP. $n_o = 5\times10^{15}\ cm^{-3}$,
（不同温度接近本征吸收边的本征吸收系数）

基态里德伯（Rydberg）能 $R_{X1} = 5.0$ meV。

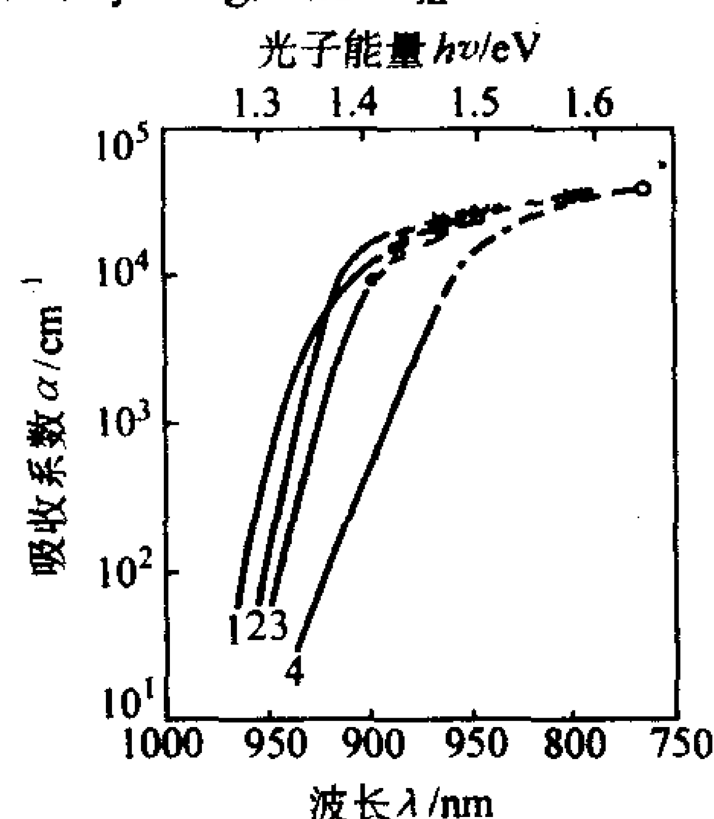


图 5.1-68 在 296 K 本征吸收边的不同掺杂水平

1—p-型样品，$p_o = 1.1\times10^{18}\ cm^{-3}$；
2—n-型样品，$n_o = 7.4\times10^{16}\ cm^{-3}$；
3—n 型样品，$n_o = 1.9\times10^{18}\ cm^{-3}$；
4—n-型样品，$n_o = 7\times10^{18}\ cm^{-3}$

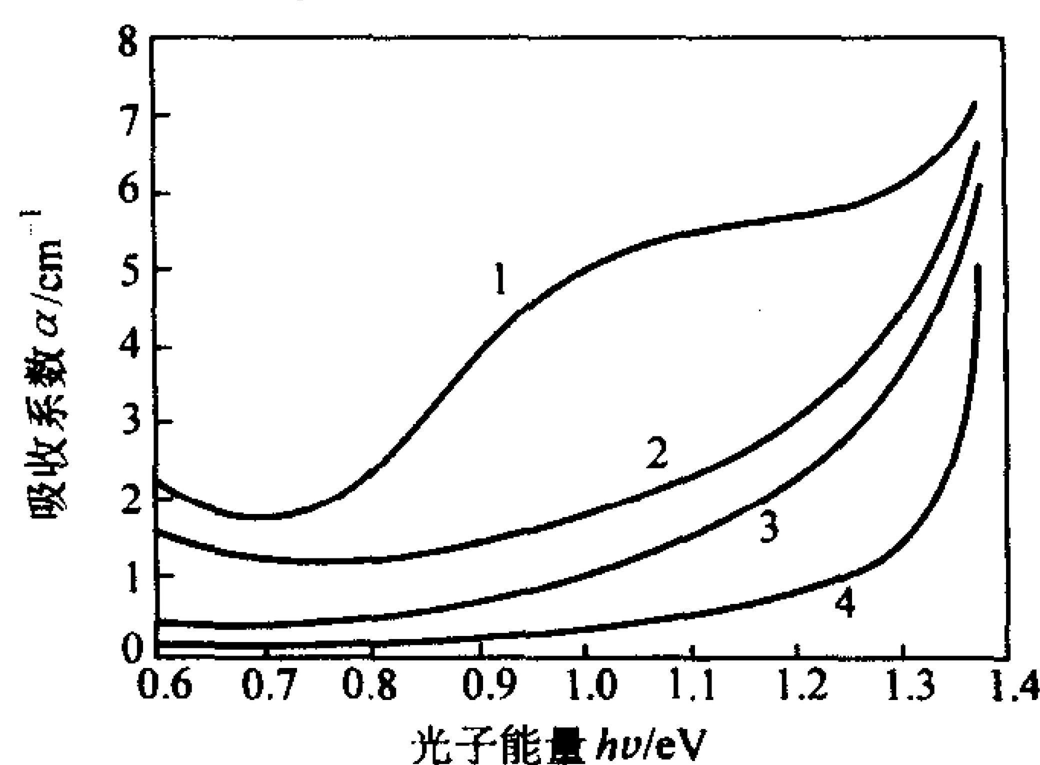


图 5.1-69 n-InP 在 77 K 本征吸收边的不同掺杂水平

1—$n_o = 10^{19}\ cm^{-3}$；2—$n_o = 5\times10^{18}\ cm^{-3}$；
3—$n_o = 2\times10^{18}\ cm^{-3}$；4—$n_o = 9.6\times10^{16}\ cm^{-3}$

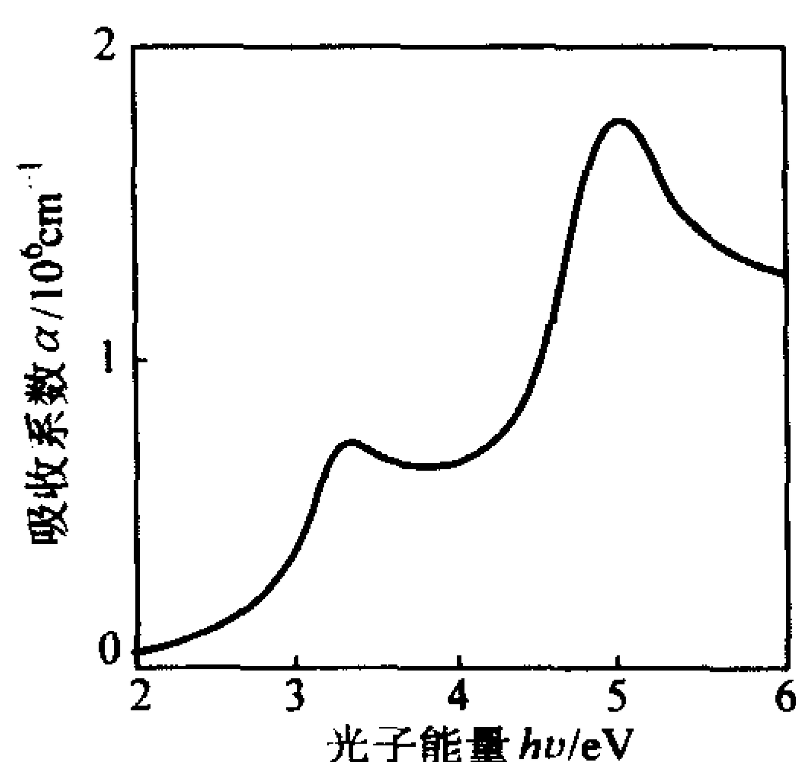


图 5.1-70 300 K 吸收系数与光子能量的关系

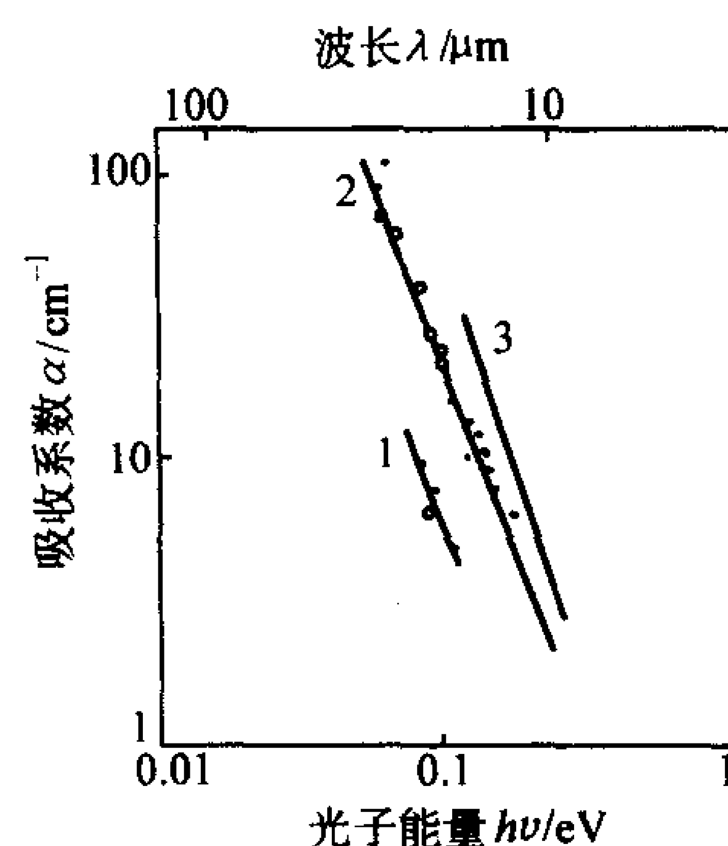


图 5.1-71 300 K 自由载流子吸收与不同掺杂水平下的光子能量的关系
（电子浓度 n_o：1—$4\times10^{16}\ cm^{-3}$；
2—$2\times10^{17}\ cm^{-3}$；3—$4\times10^{17}\ cm^{-3}$）

2.8 InP 的力学性质

体模量：7.1×10^{11} dyn·cm^{-2}，
密度：4.787 g·cm^{-3}，
努氏表面显微硬度：~460 kg·mm^{-2}，
解理面：{100}，
压电常数：$e_{14} = -3.5\times10^{-2}$ c m^{-2}，
300 K 弹性常数
$C_{11} = 10.11\times10^{11}$ dyn/cm^2
$C_{12} = 5.61\times10^{11}$ dyn/cm^2
$C_{44} = 4.56\times10^{11}$ dyn/cm^2
体模量（压缩率$^{-1}$）：$B_s = 7.11\times10^{11}$ dyn/cm^2，
剪切模量：$C' = 2.25\times10^{11}$ dyn/cm^2，
[100] 弹性模量：$Y_o = 6.11\times10^{11}$ dyn/cm^2，
[100] 泊松比：$\sigma_o = 0.36$

表 5.1-11 InP 的声学波速

波的传播方向	波的特性	波速的表达式	波速 /10^5 cm·s^{-1}
[100]	V_L	$(C_{11}/\rho)^{1/2}$	4.58
	V_T	$(C_{44}/\rho)^{1/2}$	3.08
[100]	V_l	$[(C_{11}+C_{12}+2C_{44})/2\rho]^{1/2}$	5.08
	$V_{t\parallel}$	$V_{t\parallel} = V_T = (C_{44}/\rho)^{1/2}$	3.08
	$V_{t\perp}$	$[(C_{11}-C_{12})/2\rho]^{1/2}$	2.16
[111]	V'_l	$[(C_{11}+2C_{12}+4C_{44})/3\rho]^{1/2}$	5.23
	V'_t	$[(C_{11}-C_{12}+C_{44})/3\rho]^{1/2}$	2.51

表 5.1-12 InP 的声子频率 10^{12} Hz

ν_{TO} (Γ)	9.2	ν_{LO} (X)	9.95
ν_{LO} (Γ)	10.3	ν_{TA} (L)	1.65
ν_{TA} (X)	2.05	ν_{LA} (L)	5.0
ν_{LA} (X)	5.8	ν_{TO} (L)	9.5
ν_{TO} (X)	9.7	ν_{LO} (L)	10.2

2.9 InP 的热学性质

InP 的热学性质见图 5.1-72、图 5.1-73。
熔点：1 060℃；
比热容：0.31 J·g^{-1}·K^{-1}；
热导率：0.68 W·cm^{-1}·K^{-1}；

热扩散率：0.372 $cm^2 \cdot s^{-1}$；
线胀系数：$4.60 \times 10^{-6} K^{-1}$；

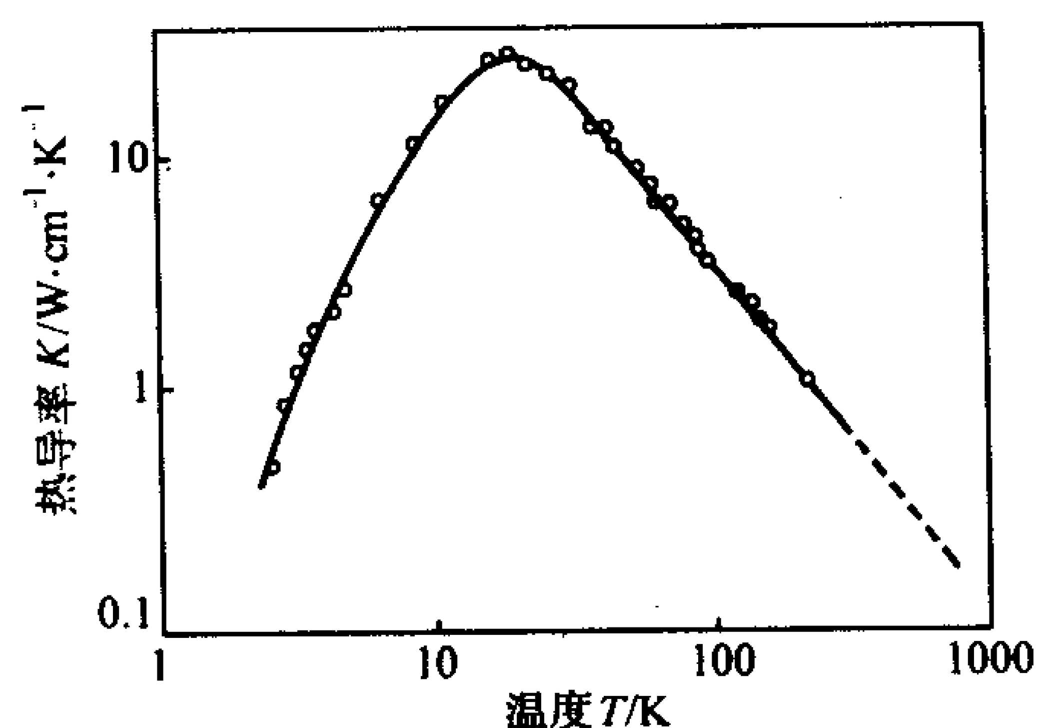


图 5.1-72 热导率的温度依从关系
（N 型样品，$n_o = 2 \times 10^{16}$ cm^{-3}）

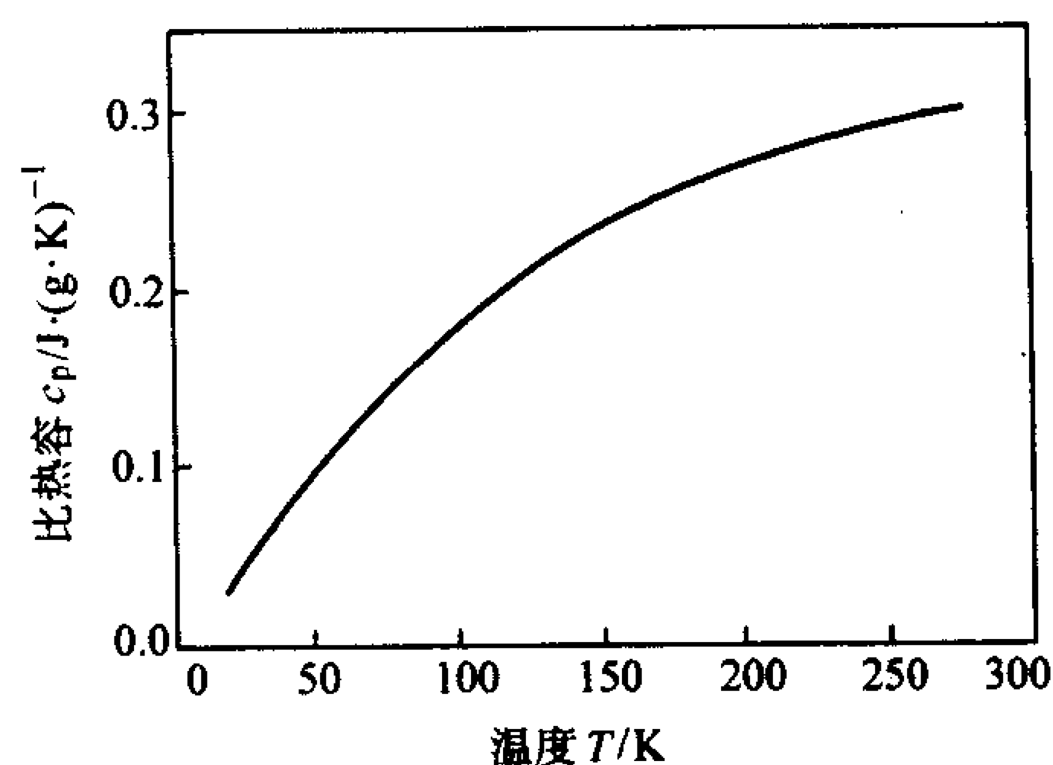


图 5.1-73 恒压比热容的温度依从关系
在 $298 < T < 910$ K，$c_p = 0.28 + 10^{-4} \cdot T$（$J \cdot g^{-1} \cdot K^{-1}$）

熔点：$T_m = 1\,333$ K，在 $0 < p < 40 \times 10^8$ Pa，$T_m = 1\,333 - 2.0 \times P$（$P$ 的单位是 kbar）

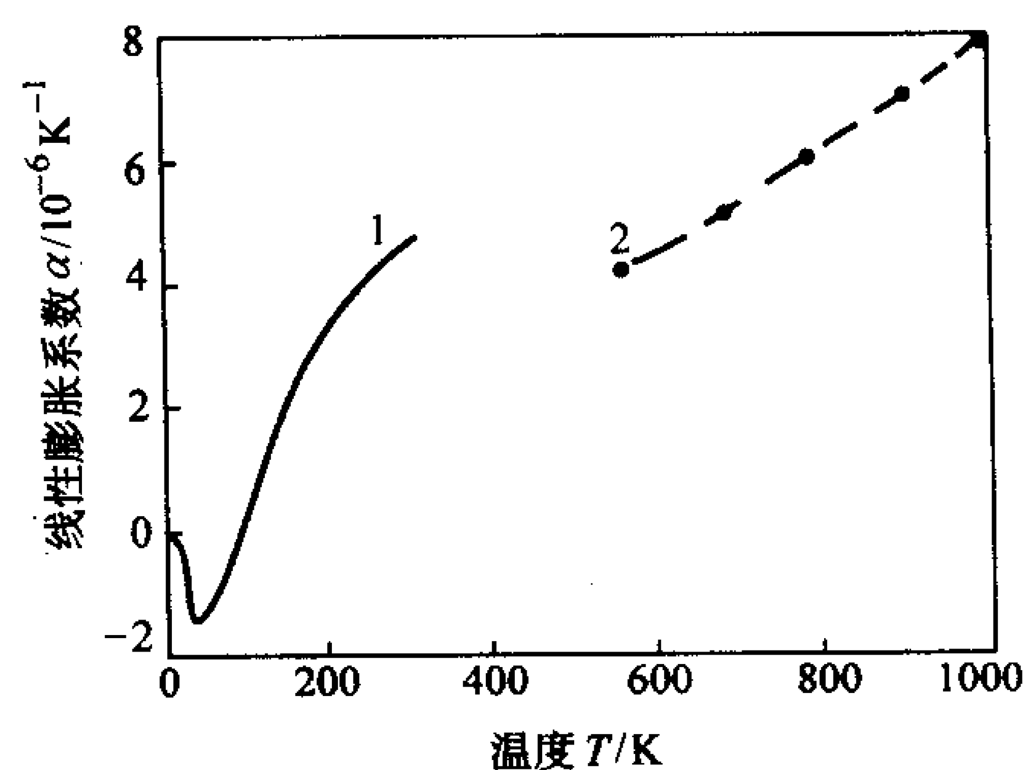


图 5.1-74 线膨胀系数 α 的温度依从关系

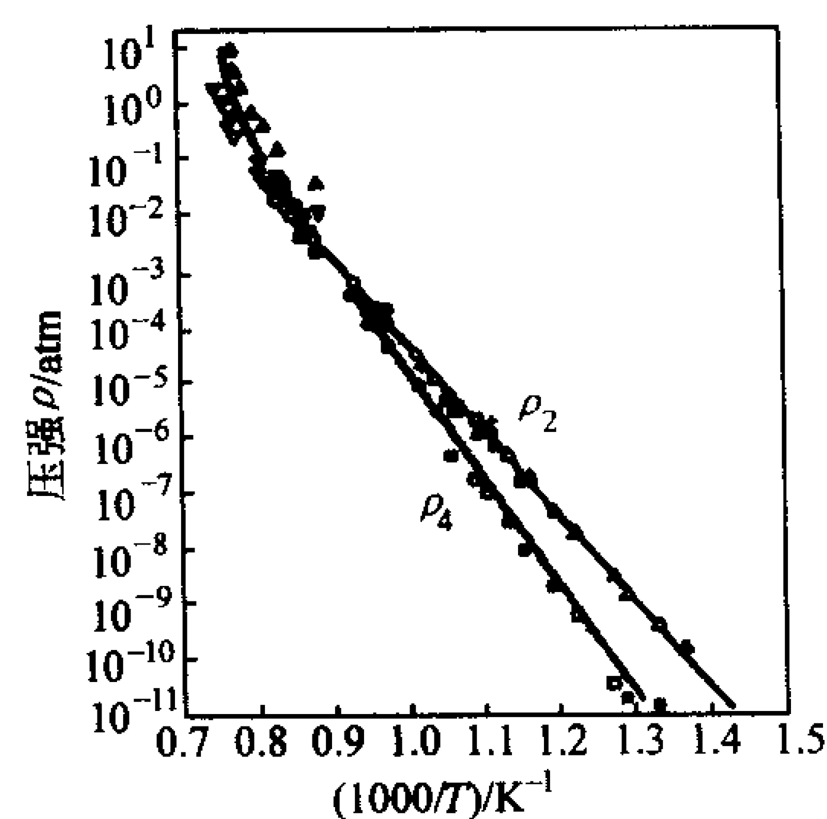


图 5.1-75 饱和蒸汽压的温度依从关系

2.10 InP 的热力学性质

InP 的热力学性质见图 5.1-74、图 5.1-75。

熔化时的特性

ΔH_m （88.17 ± 0.18）$kJ \cdot mol^{-1}$ 滴液测量法

ΔH_m 83.60（100）$kJ \cdot mol^{-1}$

61.92（2.0）$kJ \cdot mol^{-1}$

ΔS_m 46.44（2.0）$J \cdot mol^{-1} K^{-1}$

形成反应式

$\Delta G_f^0 = a + bT\ln T + cT + dT^2 + eT^{-1} + fT^3$ J/mol·K

	a	b	c	$d \cdot 10^3$	$e \cdot 10^{-5}$
reaction: $In(s) + \frac{1}{2}P_2(g) \rightarrow InP(s)$　$T = 298$ K…,430 K					
	−173 400	−40.95	367.64	−36.33	7.10
reaction: $In(l) + \frac{1}{2}P_2(g) \rightarrow InP(s)$　$T = 430$ K…,900 K					
	−164 600	−2.09	131.31	−2.77	1.46
reaction: $In(l) + \frac{1}{2}P_2(g) \rightarrow InP(s)$　$T = 900$ K…,910 K					
	−165 000	−2.87	136.60	−2.33	1.46
reaction: $In(l) + \frac{1}{2}P_2(g) \rightarrow InP(s)$　$T = 910$ K…,1 340 K					
	−166 100	−5.80	156.25	−0.71	2.34
reaction: $In(l) + \frac{1}{2}P_2(g) \rightarrow InP(l) \rightarrow$　$T = 1\,340$ K…,1 400 K					
	−83 200	11.35	133.35	0.20	−1.04

$\Delta H_f^0(298.15)$ −(61.3 ± 2.0)kJ/mol

$\Delta H_f^0(298\ K)$ −61.63(90)kJ/mol

ΔH_f^0 −93.72 kJ/mol $T = 298.15$ K

−89.96(1.5)kJ/mol

	−56.48(3)kJ/mol		
	−75.31. kJ/mol		
ΔS_f^0	32.22 J/mol·K		
ΔG_f^0	−84.94 kJ/mol		
熵，热容			
$S^0$298.15	(59.0±0.8)J/mol·K		
c_p	$50.1+5.07\cdot10^{-3}T-5.01\cdot10^5T^{-2}$ J/mol·K	$T=800\cdots,910$ K	
c_p	$53.0+1.82\cdot10^{-3}T-6.76\cdot10^5T^{-2}$ J/mol·K	$T=910\cdots,1\,340$ K	
S^0(298 K)	59.33(20)J/K·mol		
	59.75(10)J/K·mol		
C_p	$9.8+3.5\cdot10^{-3}T$ ·J/mol·K	$T=298\cdots,910$ K	
	55.23 J/mol·K	$T=910\cdots,1\,335$ K	
ΔH_V^0	150.62(5)kJ/mol	$T=298.15$ K	InP(s)→In(s)+(1/2)P_2(g)
	92.47(3)kJ/mol		InP(s)→In(s)+(1/4)P_4(g)
	665.26 kJ/mol		InP(s)→In(g)+P(g)
ΔS_V^0	65.69 J/mol·K	$T=298.15$ K	InP(s)→In(s)+(1/4)P_4(g)
			InP(s)→In(s)+(1/2)P_2(g)
	105.77 J/mol·K		
	387.02 kJ/mol·K		InP(s)→In(g)+P(g)

上式中的符号表示如下：

ΔH_{298}^0：表示 25℃时物质的标准生成热 kJ/mol；

ΔG_{298}^0：表示 25℃时物质的标准生成自由能 kJ/mol；

S_{298}^0：表示 25℃时物质的标准熵，J/（mol·K）；

C_P^0：表示不同温度时物质的标准恒压热容，J/（mol·K）；

$H_T^0-H_{298}^0$：表示物质的相对热焓，J/mol；

ΔH_M、ΔH_B：物质的相变热，顺序为熔化热、蒸发热，J/mol；

ΔS_M、ΔS_B：物质的相变熵，顺序为熔化熵、蒸发熵，J/（mol·K）。

图 5.1-76 所示的是温度与定容热容的关系

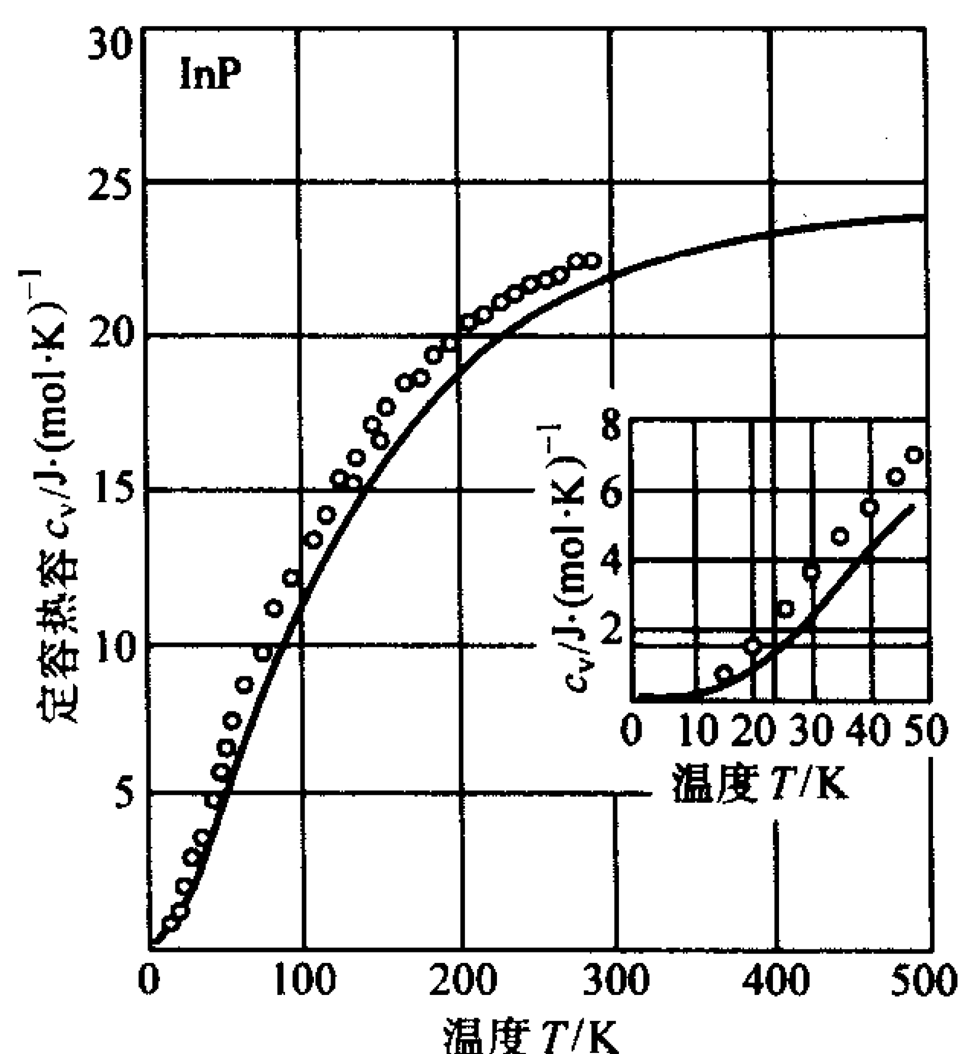


图 5.1-76 由不可分的 1/48 布里渊区（实线）求和和实验值 C_p 计算的等容比热容 C_v（等摩尔比 $In_{0.5}P_{0.5}$）

图 5.1-77、图 5.1-78、图 5.1-79、图 5.1-80、图 5.1-81 所示的是与蒸汽压有关的数据。

2.11 化学性质

InP 的基本化学性质

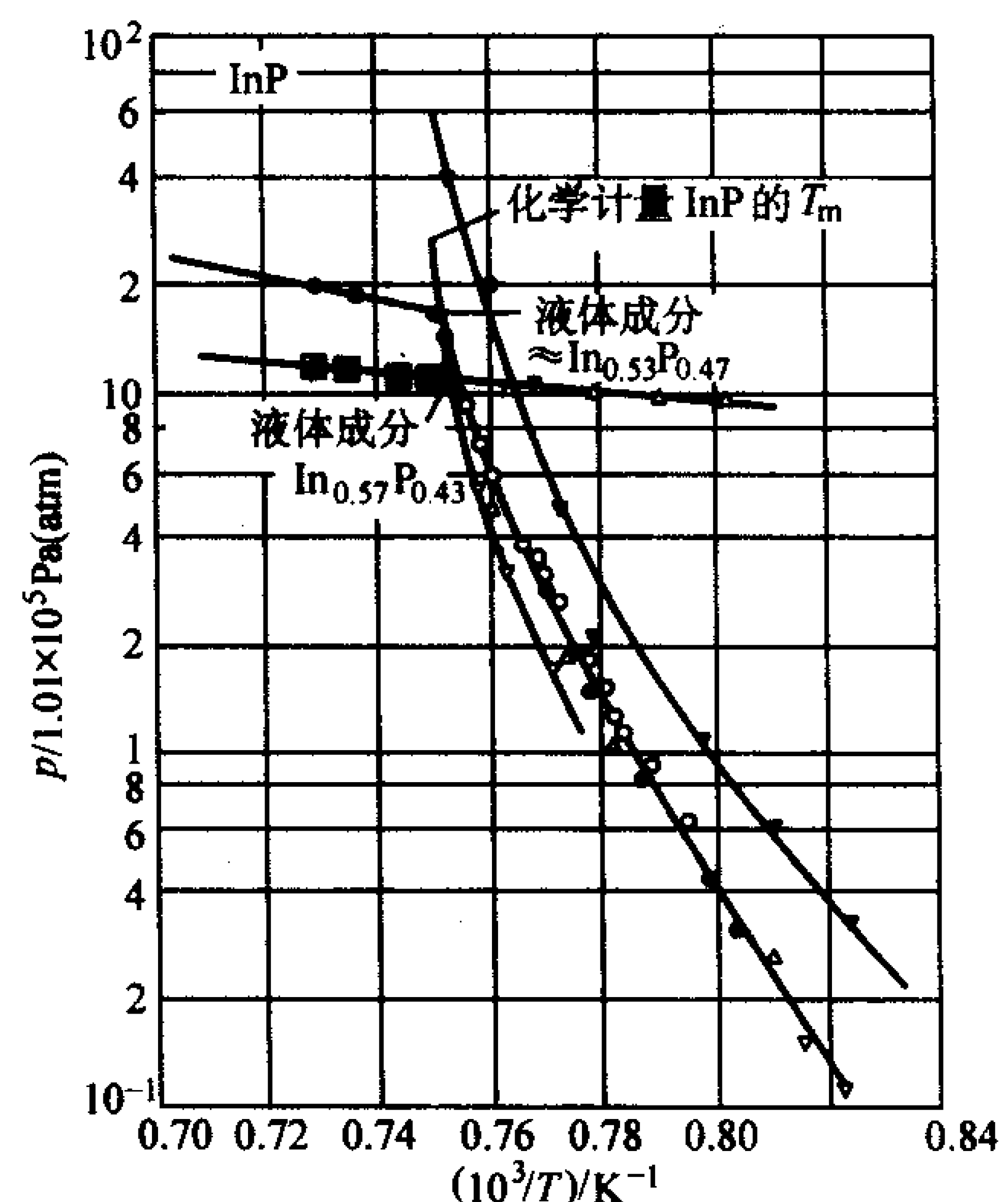


图 5.1-77 InP 离解压与温度倒数的比

磷化铟的原子量为 145.795。磷化铟单晶呈暗灰色，有金属光泽。常压下磷化铟为闪锌矿结构，在压力≥13.3 GPa 时，其结构变为 NaCl 型面心立方结构，空间群为 O_h^5－Fm3m。

1）常温下磷化铟是稳定的，在 360℃以上开始离解。在 1 062℃（熔点）的离解压为 2 777.5 kPa。

2）磷化铟与卤素发生反应，溶有 Cl_2、Br_2 的有机溶剂（如甲醇或乙醇）可作为 InP 的抛光腐蚀剂。磷化铟溶于王水、溴甲醇。

3）磷化铟在空气中加热时生成氧化膜。

4）磷化铟在室温下可以与盐酸发生反应。对于（100）InP 材料，盐酸是一种很有效的腐蚀剂，各向异性的腐蚀特性非常明显。InP 与 HCl-HNO_3 的混合液、氢卤酸-双氧水系也起反应，可作为腐蚀剂，用于厚度控制不严格的表面抛光。含有 Br_2 的氢卤酸与 InP 反应很快，其腐蚀速率在室温附近与温度关系不大，而是随 Br_2 含量的增加而提高。

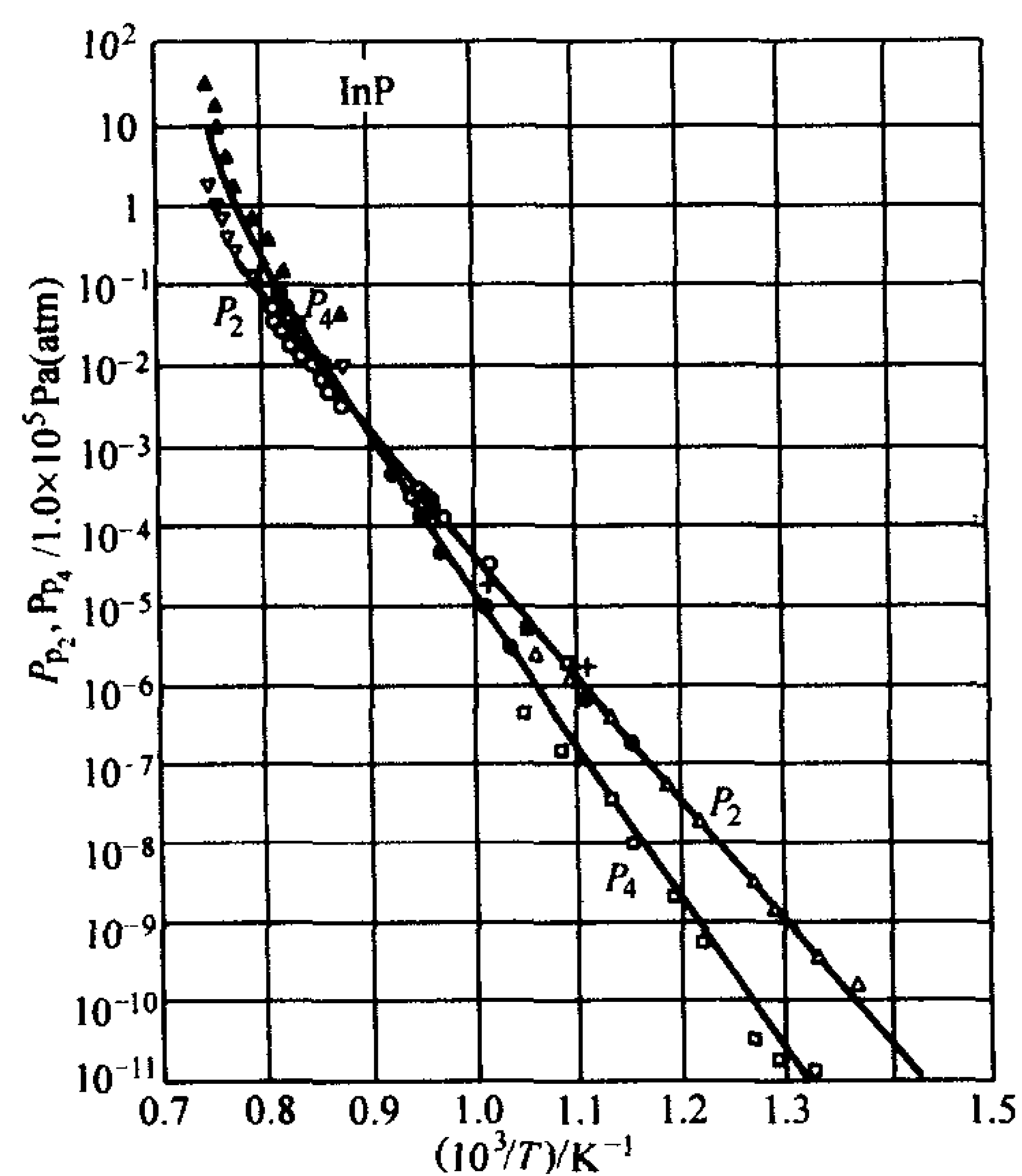


图 5.1-78 P_2 和 P_4 的平衡分压沿 In-P 系统的液相线与温度倒数的关系

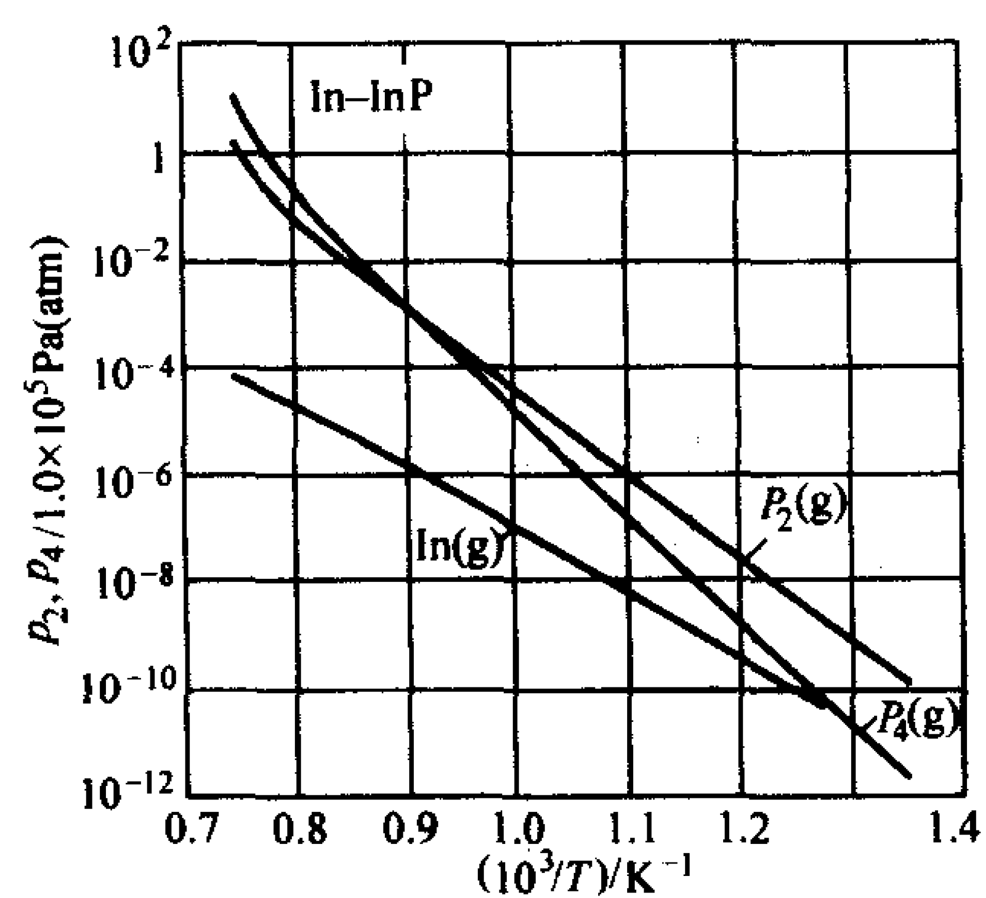


图 5.1-79 InP 最佳分压 P_2、P_4 与 In-P 液相线上的气态铟的温度倒数的关系

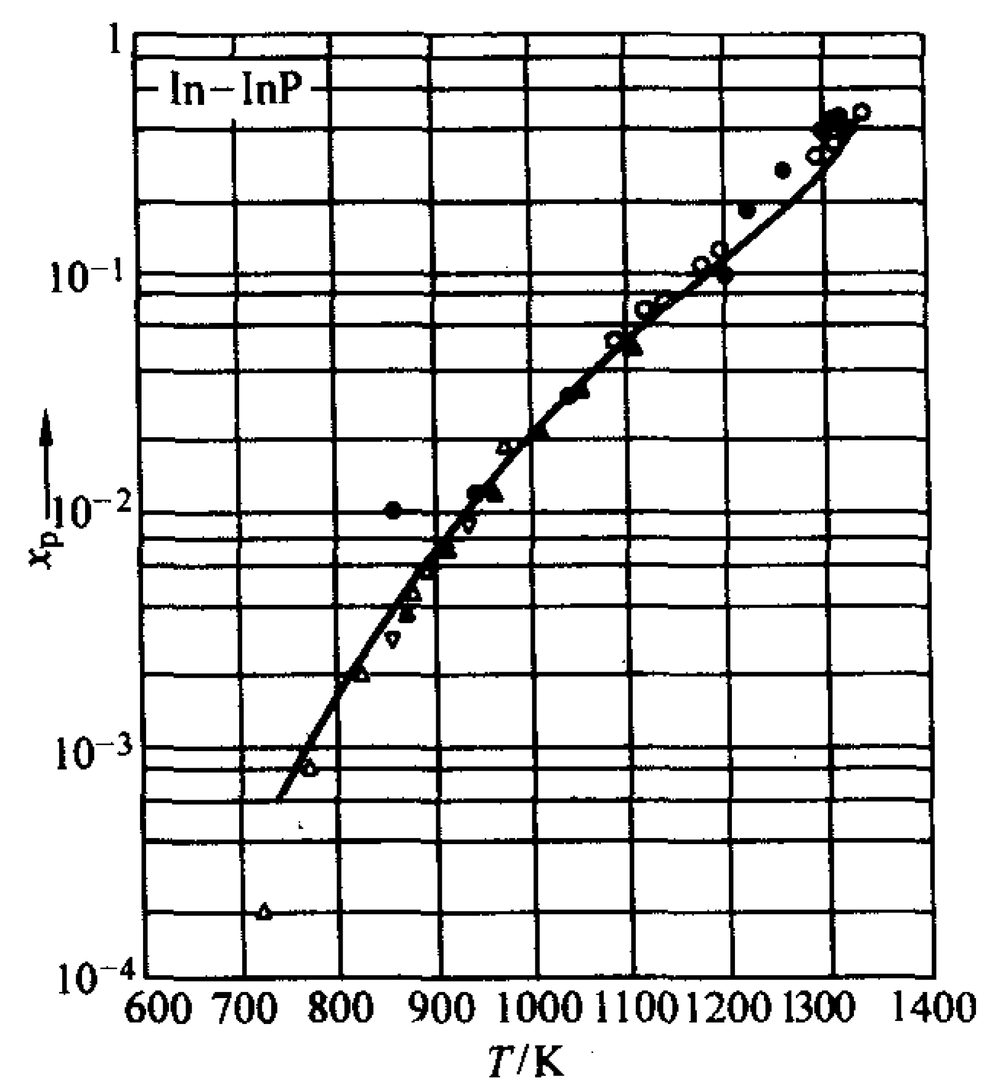


图 5.1-80 In-InP 液相线上磷的浓度与温度的比

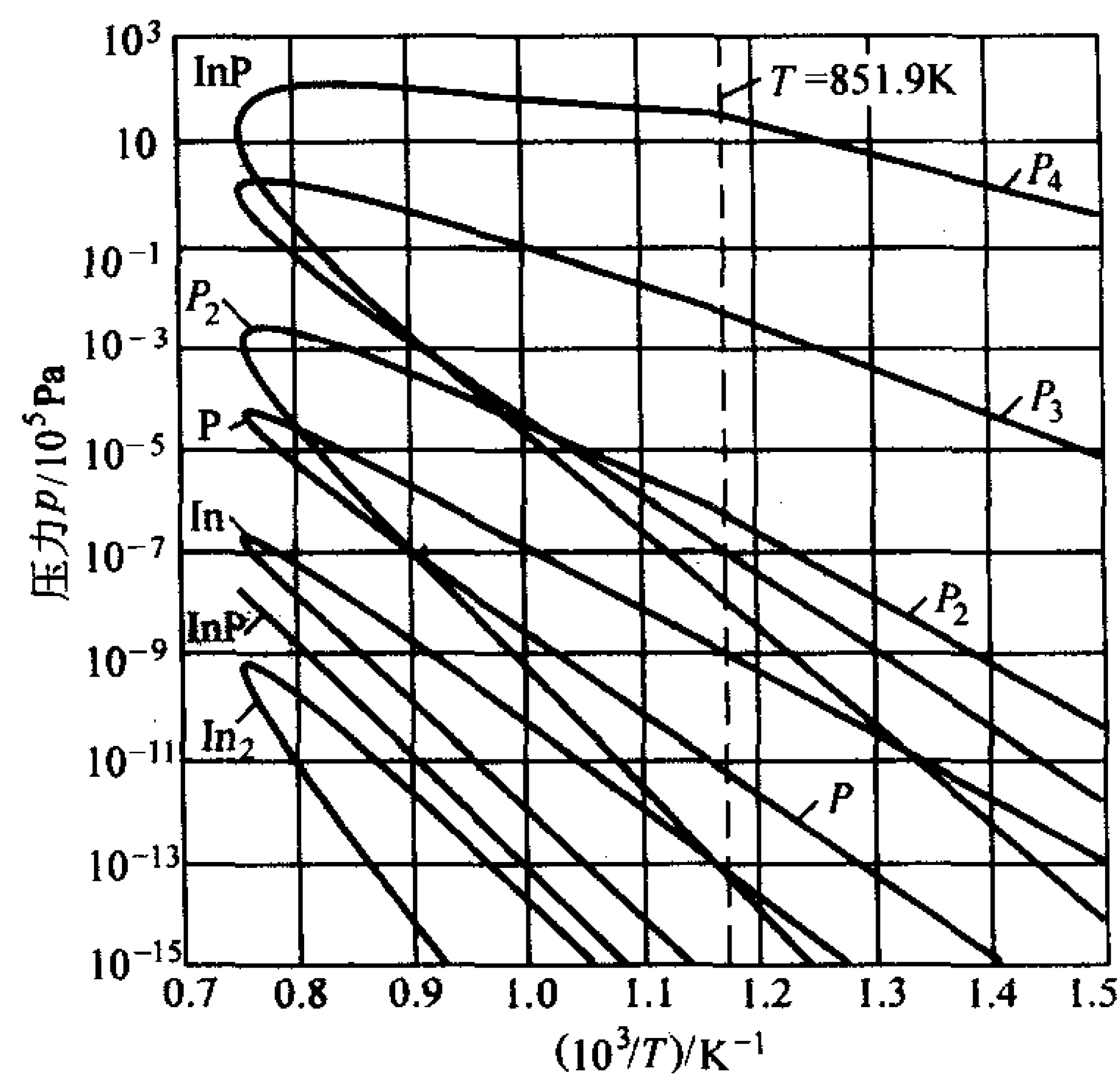


图 5.1-81 根据不同种类的平衡线计算的分压

5）磷化铟与碱性溶液发生反应，但反应速度缓慢。

编写：邓志杰（北京有色金属研究所总院）
孙聂枫（中国电子科技集团公司第十三研究所）
审稿：余怀之（中国科学院半导体研究所）

第2章　GaAs和InP单晶的制备

1　晶体生长基本原理

体单晶基本上是由熔体生长的，是一种液相转变为固相的相变过程。在这一过程中要释放结晶潜热 L 以降低系统自由能。两相自由能差值 ΔG 即为结晶过程的驱动力：

$$\Delta G = -L\Delta T/T_c$$

式中，T_c 为固、液相平衡温度，$\Delta T = T_c - T$（T 为实际生长温度）为熔体的过冷度。结晶过程中所产生的结晶潜热通过晶体向周围传输或辐射而导走，以维持一定的过冷度 ΔT，否则，ΔT 越来越小而使结晶驱动力越来越小。

在晶体生长过程中，杂质的分凝是十分重要的现象。单晶生长过程中，杂质（溶质）在液、固两相中的浓度不同，定义是 $k_0 = \frac{C_s}{C_l}$ 为平衡分凝系数，C_s、C_l 分别为生长速度无限慢时（即固、液两相处于平衡状态时）固、液两相中的杂质浓度。如果是 $k_0 < 1$（半导体材料中的杂质绝大多数属于这种情况），则在生长过程中，杂质不断向熔体中“富集”；如果 $k_0 > 1$，则使熔体中杂质不断耗尽，如图5.2-1所示。

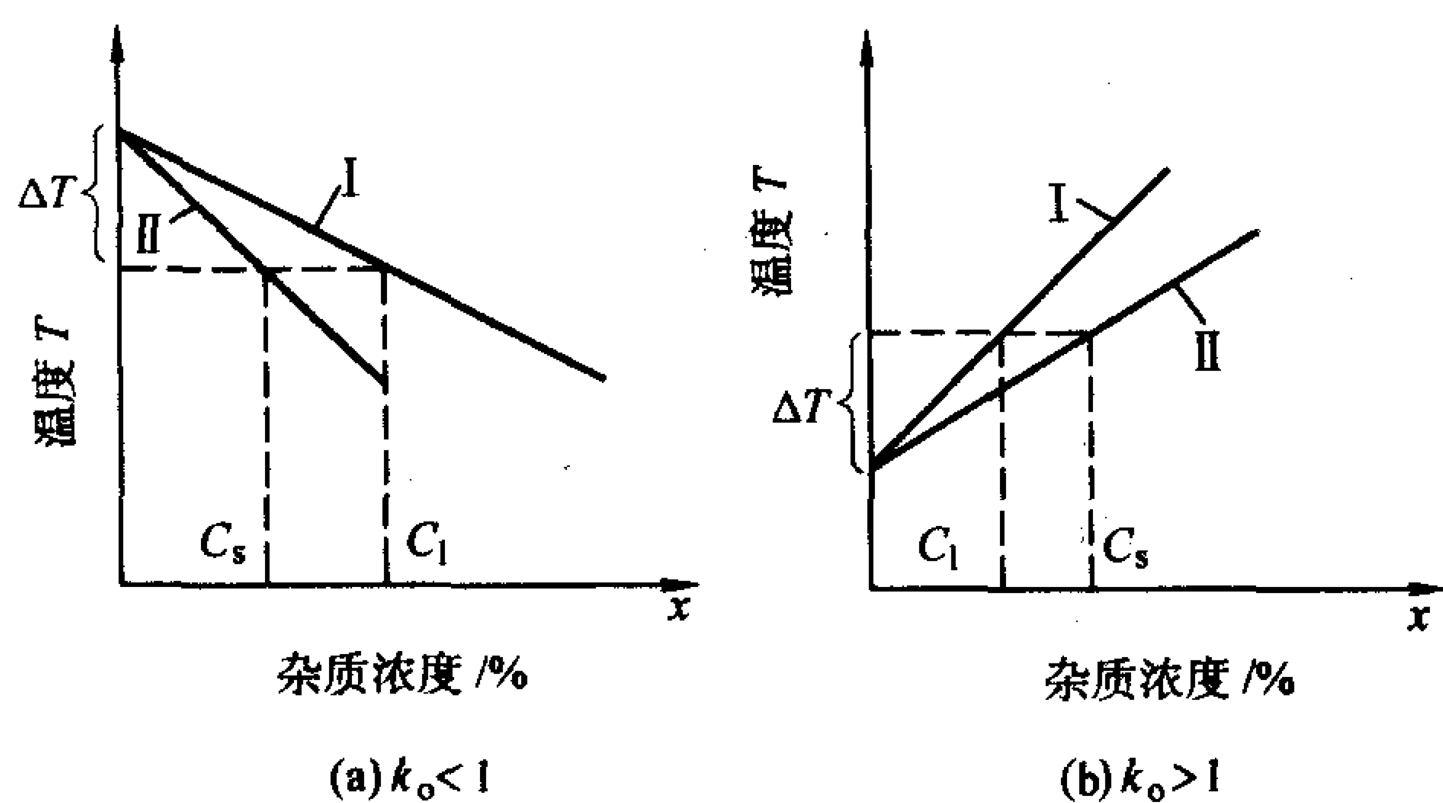


图5.2-1　微量杂质的分凝情况
Ⅰ—液相线；Ⅱ—固相线

它们是二元相图的一部分，液相线是熔体凝固点与杂质浓度的关系曲线；固相线是晶体熔点与杂质浓度的关系曲线，液相线以上的熔体是稳定相，两线之间为固、液两相共存区。利用这种分凝现象可对多种材料进行区熔提纯。在实际单晶生长过程中，生长速度不可能无限慢，即固、液两相不可能处在平衡状态，固、液界面附近熔体中富集（$k_0 < 1$）或耗尽（$k_0 > 1$）的杂质不能靠扩散、对流很快达到均匀分布；于是，在固液界面附近的熔体中存在着一个扩散层（溶质边界层），此时的分凝系数叫有效分凝系数 k_{eff}，它与 k_0 的关系是：

$$k_{eff} = \frac{k_0}{(1-k_0)\ \exp\ (-f\delta/D)\ + k_0}$$

式中，f 为结晶速度，D 为杂质的扩散系数；δ 为扩散层厚度。如熔体得到充分搅拌，从而使熔体中杂质浓度得到均匀分布，即 $\delta \to 0$，则 $k_{eff} \to k_0$；反之，若熔体不进行搅拌，$\delta \to \infty$，则 $k_{eff} \to 1$，不能对杂质进行提纯。但对于生长掺杂半导体单晶而言，k_{eff} 越接近于1，晶体中纵向杂质浓度分布越均匀。实际生长过程中，δ 不可能为0或∞，k_{eff} 介于1和 k_0 之间。绝大多数半导体单晶都是在高纯度背景下掺入某种n型或p型杂质以得到所需的电学性能。常见的化合物半导体材料中杂质的分凝系数列于表5.2-1。

表5.2-1　主要半导体单晶材料中杂质的分凝系数

杂质	GaAs	GaP	InP
Cu	$<2\times10^{-3}$	2×10^{-3}	—
Ag	1×10^{-3}	—	—
Be	3.0	—	—
Zn	0.42	0.1;1.5×10^{-2}	—
B	0.1	—	—
Al	2.5;3.0	—	—
In	7×10^{-3};0.1	—	—
Si	0.14;1.85×10^{-2}	0.5	0.55;0.15
C	0.8;2	—	—
Ge	1.5×10^{-2};$5/1\times10^{-3}$	—	2.4×10^{-2}
Sn	5.1×10^{-3}	3×10^{-2}	2.2×10^{-2}
P	3.0	—	—
Sb	1.6×10^{-2}	—	2.6×10^{-2}
Bi	5×10^{-3}	—	—
O	—	$(4.7\pm1)\times10^{-2}$	—
S	0.5	0.25	0.5
Se	0.1;0.4	0.15	—
Te	3×10^{-2}	1.5×10^{-2}	—
Cr	5.8×10^{-4}	1×10^{-3}	$(1\sim6)\times10^{-4}$
Mn	2×10^{-2}	—	0.4
Fe	2×10^{-3}	2×10^{-2}	1.6×10^{-3}
Co	1.7×10^{-3}	—	4×10^{-5}
Ni	2.1×10^{-4}	—	—
Pb	$<1\times10^{-5}$	—	—

当生长重掺杂（掺入杂质浓度较高）单晶且 $k_{eff} < 1$ 时，生长过程中杂质不断“排”向熔体，使熔体中杂质浓度越来越高；这时，往往会造成扩散层附近熔体中过冷度较大，这将使固液界面不稳定，甚至导致枝蔓生长。这就是组分过冷现象。不产生组分过冷的条件为：熔体中生长方向（轴向 z）温度梯度 $(\frac{\partial T}{\partial T})_l$ 应满足：

$$(\frac{\partial T}{\partial T})_l \geqslant \frac{-mfC_l(1-k_0)}{D[k_0+(1-k_0)]\exp(-\frac{f}{D}\delta)]}$$

式中，m 为液相线斜率，$k_0 > 1$ 时，m 为正值；$k_0 < 1$ 时，m 为负值，C_l 为熔体中杂质浓度。可见，降低杂质浓度，提高温度梯度，降低结晶速度都有利于防止发生组分过冷。

2　晶体生长技术

按生长方式分类，化合物半导体单晶生长可分为垂直生长和水平生长两大类。垂直生长技术包括液封直拉（LEC）

法、蒸气（压）控制直拉（VCZ）法、垂直梯度凝固（VGF）和垂直布里奇曼（VB）法等。水平生长技术主要是水平布里奇曼（HB）法和水平梯度凝固（HGF）法。

（1）液封直拉（LEC）法（Liquid Encapsulated Czochralski，LEC）技术

LEC技术可制备多种含挥发性组元的化合物半导体单晶。该技术是1962年梅茨（MetzEPA）等首先发表的，其基本原理如图5.2-2所示。用一种惰性液体（覆盖剂）覆盖着被拉制材料的熔体，生长室内充入惰性气体，使其压力大于熔体的离（分）解压力，以抑制熔体中挥发性组元的蒸发损失；这样就可按通常的CZ技术进行单晶拉制。由于这一技术使含挥发性组元的化合物半导体单晶生长设备和工艺大为简化，很快在实践中得到应用。1965年马林（MullinJB）等人用此技术生长出GaAs，InAs单晶。1968年巴斯（BassSJ）等人采用高压LEC技术生长出InP、GaP单晶。LEC技术现已成为生产非掺杂半绝缘GaAs单晶、InP单晶和GaP单晶的主要工艺技术，同时用于生长GaSb，InAs等多种化合物半导体单晶。

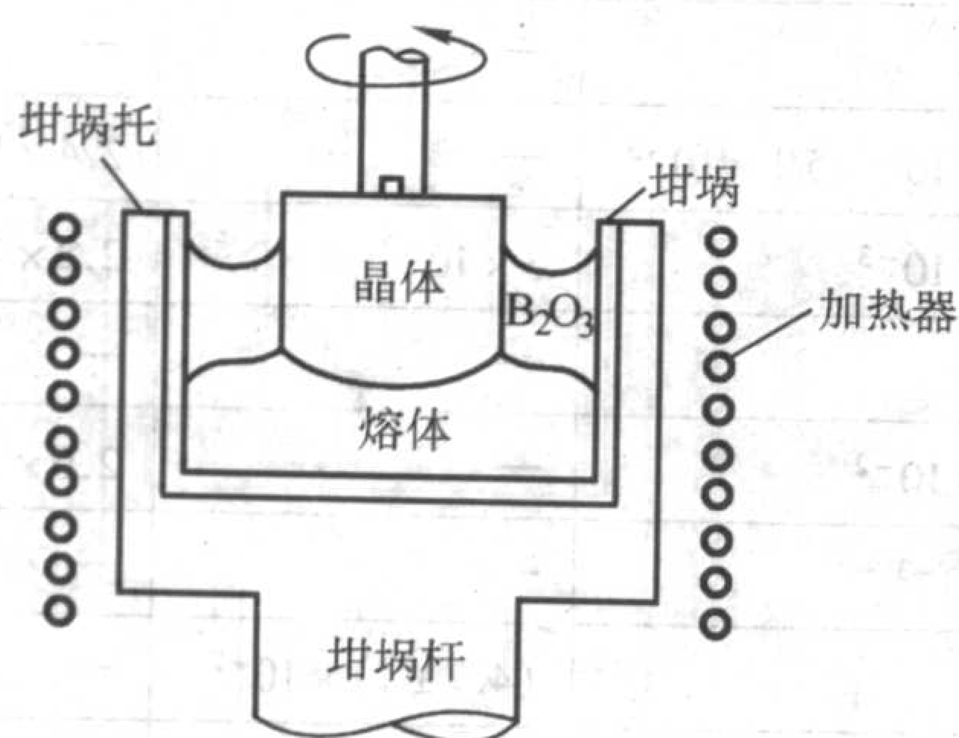
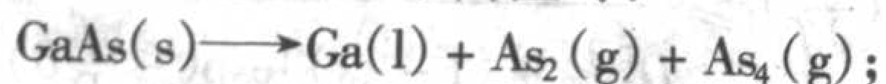


图5.2-2 液封直拉法示意图

LEC技术中所用覆盖剂必须满足以下要求：①密度小于所拉制材料，使之能浮于熔体表面。②对熔体和坩埚在化学上必须是惰性的，也不能与熔体混合，但须浸润晶体及坩埚。③熔点要低于被拉制材料的熔点，且蒸气压很低。④有较高纯度，熔融状态下透明。目前，在LEC技术中，广泛使用的覆盖剂是B_2O_3，它的密度为1.8 g/cm³，软化点450℃，在1 300℃时蒸气压仅13 Pa，且透明度好，黏滞性也较好（但是难以在800℃以下使用，如用LEC法生长GaSb单晶时，因其熔点较低，只能用摩尔比1∶1的KCl + NaCl作覆盖剂）。在LEC单晶生长中，刚生长出的晶体是处于覆盖层内，它对这部分晶体有"后加热器"的作用，因此，覆盖层厚度的选择是重要的工艺参数之一。

（2）蒸气控制直拉（Vapour Control Czochralski，VCZ）技术

蒸气控制直拉法是LEC技术的一项改进。对于生长具有挥发性组元的化合物半导体单晶来说，LEC技术的主要缺点是生长系统中纵向温度梯度较大，导致单晶中位错密度较高；如果减小温度梯度又引起晶体表面解离，如在GaAs生长中，在砷化镓单晶表面处于高温时：



$$GaAs(s) \longrightarrow Ga(l) + As_2(g) + As_4(g);$$

为解决这一矛盾，发展了VCZ技术，其示意图如图5.2-3所示。把坩埚-晶体置于一密封/准密封的内生长室中，内生长室中放置少量挥发性组元，如As（以生长GaAs为例），使内生长室内充满As气氛。这样，即使在相当低的温度梯度下生长，晶体表面也不致解离。因此，用VCZ技术可以生长出位错密度较低的GaA、InP等化合物半导体单晶。1994年生长出EPD≤10^4/cm²、直径100 mm和150 mm的GaAs单晶（EPD约比相同直径LEC单晶低一个数量级以上），日本能源公司也研制出低EPD的VCZ InP单晶。该技术由于要放置密封性较好的内生长室，使生长系统复杂化，对生长过程不易观察，重复性较差，尚未用于批量生产。

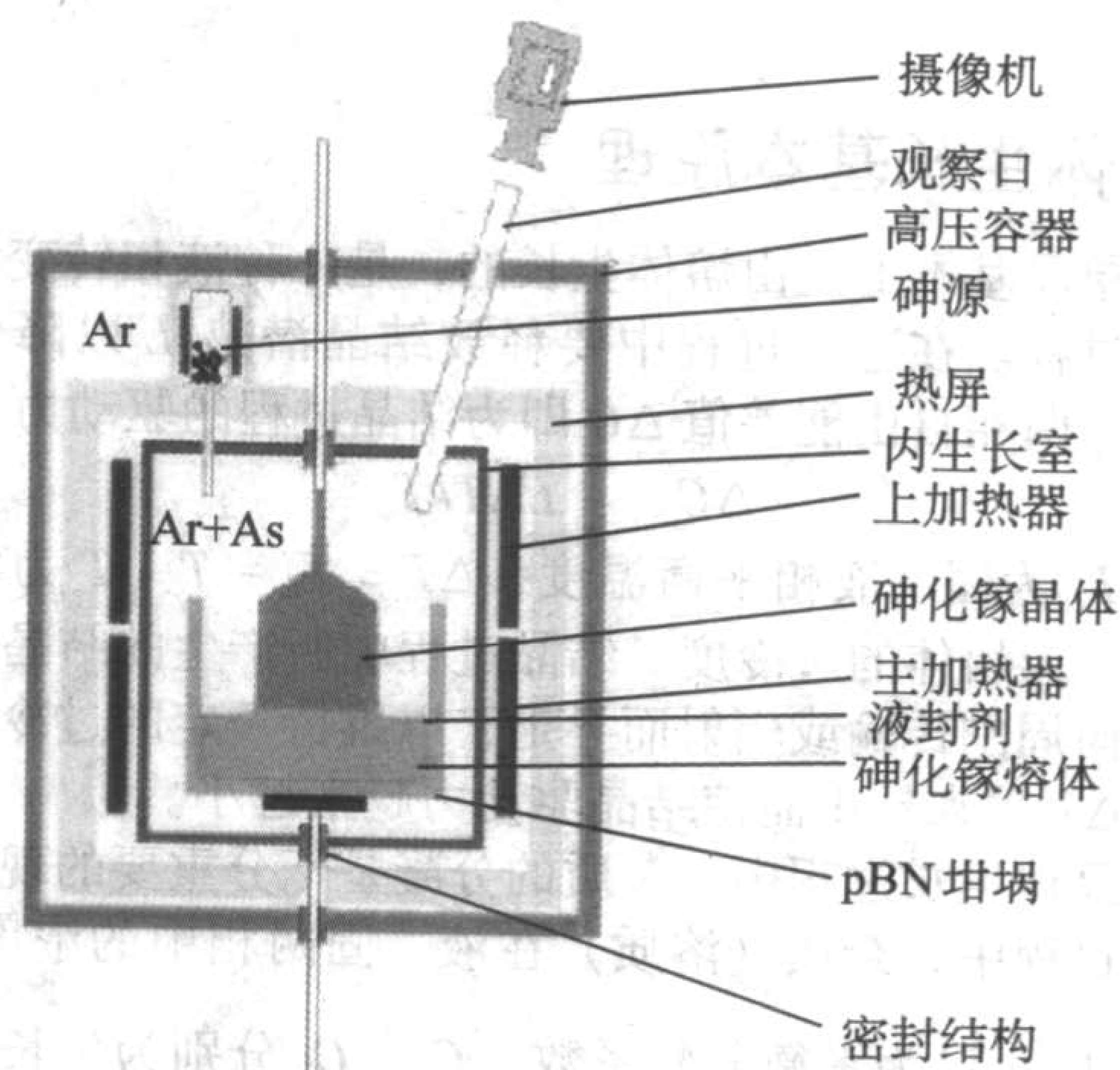


图5.2-3 VCZ法生长示意图

（3）垂直梯度凝固（Vertical Gradient Freeze，VGF）和垂直布里奇曼（Vertical Bridgeman，VB）技术

垂直梯度凝固（VGF）和垂直布里奇曼（VB）技术从原理上基本一致，如图5.2-4所示。加热器由多段加热炉构成。管状坩埚中熔体由底部往上结晶。GaAs生长可在常压下进行，如生长InP、GaP等离解压较高的材料，则反应管应置于高压容器内。两者的区别在于：VGF是通过设计特定的温度分布（温度梯度）使固液界面以一定速度由下往上"移动"，使单晶由下（籽晶处）往上生长。VB技术则是通过加热炉相对于反应管移动，使熔体逐步结晶而完成单晶生长。可以使坩埚按一定速度旋转，熔体受热则更均匀。该技术的优点是设备较简单，可采用较小的温度梯度，便于进行挥发性组元（如As，P等）的蒸汽压控制，晶体表面不解离，所生长晶体位错密度较低。无需复杂的等径控制系统就可"自然"得到直径均匀的晶体（由管状坩埚形状所决定）。且在生长过程中操作人员劳动强度小，可同时对多台生长系统进行控制；这两项技术的主要问题是：对生长过程不便实时观察，要经多次试验才能得到稳定的生长条件，否则，工艺重复性较差，成品率低。

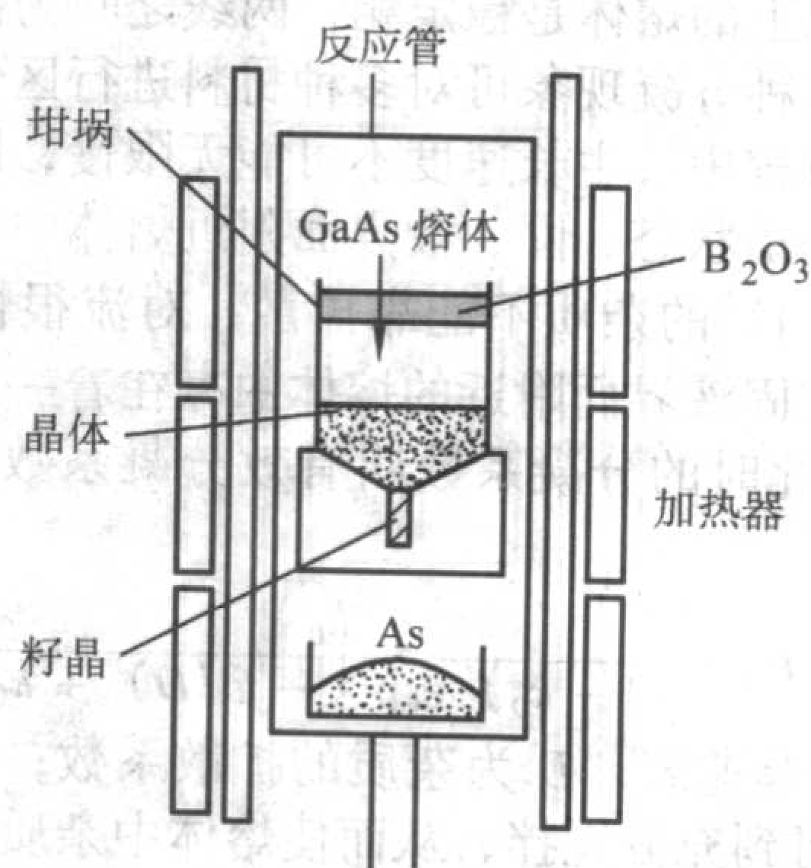


图5.2-4 VGF/VB法生长示意图

VGF技术是目前生长低位错密度GaAs、InP单晶的主要工艺技术之一。VGF InP、GaAs单晶已发展到批量生产规模，直径100 mmVGF GaAs单晶平均EPD≤3×10^3/cm²，比相同直径LEC GaAs单晶低一个数量级。VB技术则是生长某些Ⅱ-

Ⅵ族化合物半导体单晶的一项主要熔体生长技术，已用于生长 CdTe、HgS，HgSe，CdSe，HgCdTe（MCT），CdZnTe，CdTeSe，CdZnTeSe，HgZnTe，HgCdSe，HgTeSe，HgSSe 等晶体材料。

（4）水平布里奇曼（Horizontal Bridgman，HB）技术

水平布里奇曼（HB）生长系统示意图如图 5.2-5 所示。

在 HB 技术中，一般采用石英反应管和石英舟，是大批

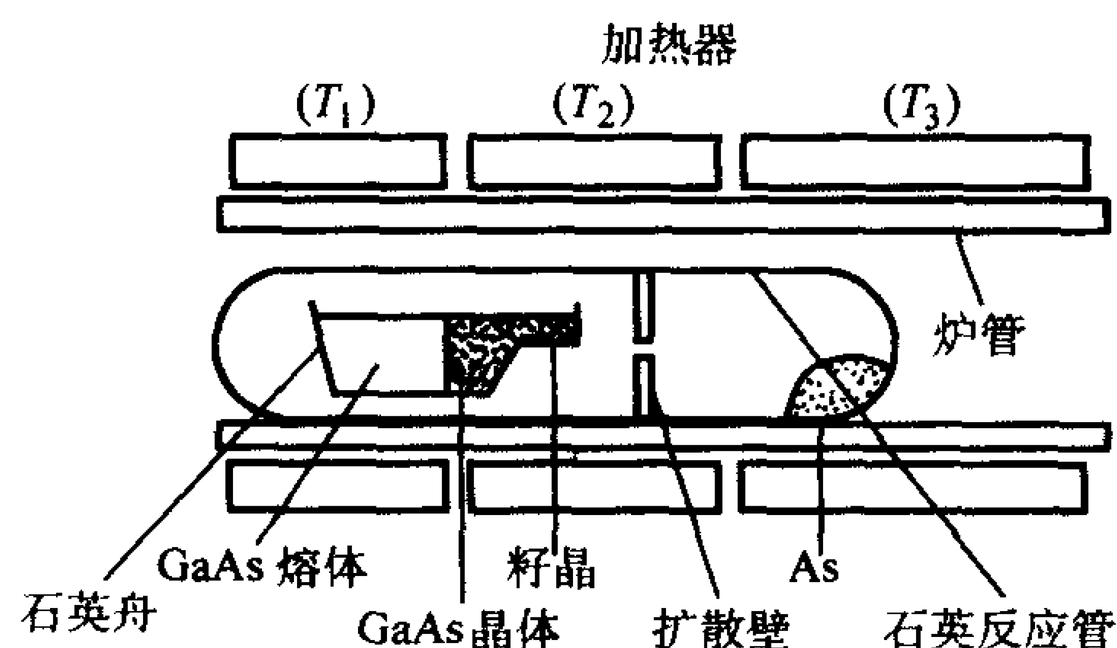


图 5.2-5 HB 生长系统示意

量生产光电器件用低电阻率 GaAs 单晶的主要工艺技术之一。HB 技术一般采用三温区（即图中 T_1、T_2、T_3。）加热；高温区 T_1（1 245～1 260℃，控制其高于 GsAs 熔点，以维持其熔体状态），低温区 T_3（610～620℃，使 As 蒸汽压维持在约 0.1 MPa 以防止 GaAs 熔体中的 As 挥发损失—— As 蒸汽压与 GaAs 离解压平衡）；在 T_1 与 T_3 之间加一中温区 T_2（1 120～1 200℃）既可调整固液界面附近的温度梯度，还可利于抑制石英舟中 Si 对晶体的污染。

在生产实践中为达到合适的温度分布，高、中温区都采用多段加热炉，采用与 HB 类似的生长系统，且完全按温度梯度分布完成熔体的结晶生长而不发生加热炉相对于反应管的移动，则称为水平梯度凝固（HGF）技术。

HB 和 HGF 技术的优点是设备较简单，生长系统中温度梯度较小，可生长低位错密度单晶。主要缺点是难以生长高纯非掺杂半绝缘材料，所生长单晶截面呈 D 形，加工成圆片时，造成少量的材料损失，表 5.2-2 是几种常见化合物半导体材料生长技术对比。

表 5.2-2 四种常见化合物半导体材料生长技术简要对比

生长技术		LEC	HB	VGF/VB	VCZ
技术特点	晶体中位错密度	高	低	低	较低
	位错分布均匀性	中	好	好	好
	化学配比控制	一般	好	好	好
	晶体直径	可生长较大直径	受限制	可生长较大直径	可生长较大直径
	晶体长度	可生长较长单晶	可生长较长单晶	可生长较长单晶	受限制
	背景杂质浓度	低	较低	低	低
	工艺可行性	好	好	好	可能
	现状	100 mm，150 mm 单晶批量生产，直径 200 mm 单晶研制成功	50～75 mm 单晶批量生产，直径 100 mm 单晶研制成功	100 mm，150 mm 单晶批量生产，直径 200 mm 单晶研制成功	100 mm、150 mm 单晶研制成功
产业特点	投资	大	小	小	很大
	运行费用	高	低	低	很高
	生产效率	高	较高	很低	低

3 工艺流程

工业化生产化合物半导体单晶片的工艺流程如图 5.2-6 所示（以磷化铟为例）。

3.1 多晶合成

一般来说，合成至少应该能满足以下要求：①合成的多晶的纯度应尽可能高，工业上要求测得的载流子浓度至少低于 $10^{16}/cm^3$，最好低于 $5\times10^{15}/cm^3$；②化学配比接近理想 1∶1；③合成速度应较快；④根据工艺不同，多晶料应有合适的形状和大小。

GaAs 的熔点是 1 238℃，熔点处离解压为 0.1 MPa，由于 As 元素易于离解，因此必须用特定的密封技术对砷元素、熔体和高温下的多晶进行保护。采用的技术有：水平梯度凝固法（HGF），原位直接合成法（In-situ Synthesis）和水平布里奇曼法（HB）法。

InP 的熔点是 1 062℃，低于 GaAs。但是 P 在熔点处的离解压（2.7 MPa）很高。由于其高的离解压，使得 In 和 P 难以像 Ga 和 As 那样在单晶炉内直接合成多晶。因此，一般要在高压炉内用高纯铟和高纯红磷首先合成 InP 多晶料，然后再进行晶体生长。目前，已有多种合成 InP 多晶料的方法，包括：水平梯度凝固法（HGF），原位直接合成法，水平布里奇曼法（HB）等。

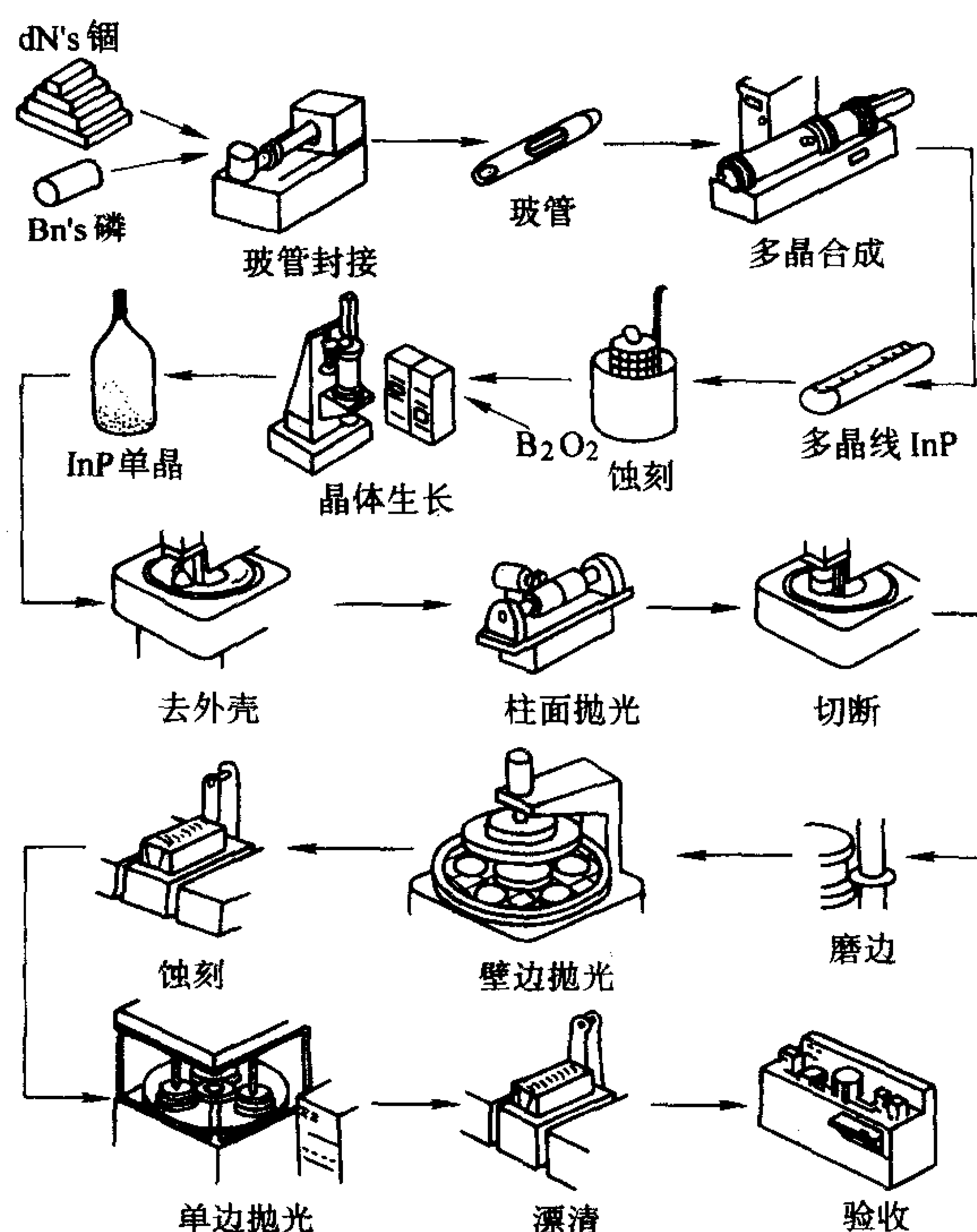


图 5.2-6 磷化铟晶片生产流程

（1）水平布里奇曼法（HB）和水平梯度凝固法（HGF）合成

本方法是使砷（磷）蒸气和镓（铟）熔体反应合成砷（磷）化镓（铟）多晶。当镓（铟）熔体的温度高于砷（磷）化镓（铟）熔体的熔点时砷（磷）蒸气就被镓（铟）熔体吸收，直到镓（铟）熔体全部转变为时砷（磷）化镓（铟）熔体时。因为镓（铟）熔体的温度比熔点的温度高，因此合成速率较高，但是从石英安瓿产生的 Si 的沾污也比较明显。

目前，工业生产多晶时使用的三温区加热的 HB 法合成装置如图 5.2-7 所示。炉体有三个区域，即镓（铟）熔化区，合成区和砷（磷）蒸气控制区。高纯镓（铟）在一石英舟或 pBN 舟内，高纯红 P 密封在一石英安瓿内加热。砷（磷）蒸气从安瓿的一侧按照溶解度溶解到镓（铟）熔体中。加热区的温度最高，但是仍然低于砷（磷）化镓（铟）的熔点，由于提高了溶解度，熔体中的砷（磷）不断增加。

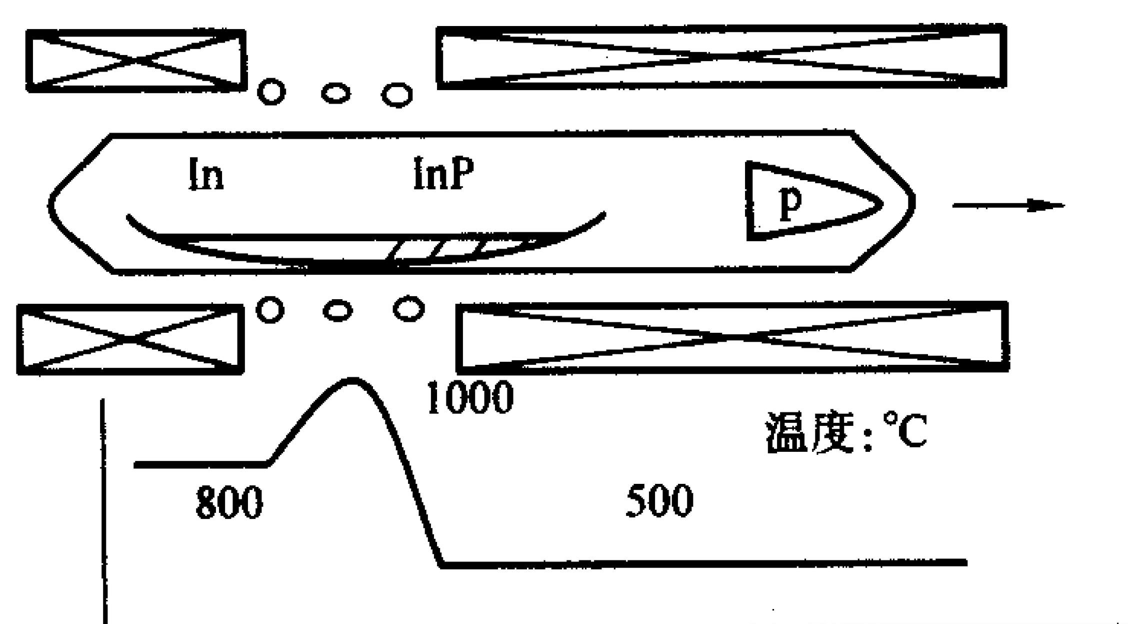


图 5.2-7 合成多晶用 HB/HGF 技术示意图

在 HB/HGF 技术中，为了能够得到理想纯度和化学配比的多晶，且合成速度理想，必须优化以下的参数：①镓（铟）熔体的温度；②As/P 蒸气的压力；③舟的运动速度；④合成区的温度；⑤合成配比量；⑥舟的材料。镓（铟）熔体的温度越高，P 的溶解度越大，这样富 P 的可能性将降低。但另一方面，由于温度的升高，镓（铟）与舟反应，Si 进入镓（铟）熔体中，合成的多晶料的纯度会降低。Si 的沾污以两种方式发生。一是镓（铟）与石英舟的直接反应，如式：



$$4Ga(熔体) + 3SiO_2(舟) \rightleftharpoons 3Si(熔体) + 2Ga_2O_3(熔体)$$

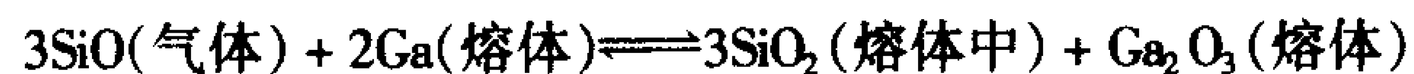


$$4In(熔体) + 3SiO_2(舟) \rightleftharpoons 3Si(熔体) + 2In_2O_3(熔体) \quad (5.2\text{-}1)$$

可以通过加入 Ga_2O_3/In_2O_3 防止此反应的发生。然而，加入 In_2O_3 会增加 In 熔体中的 O 含量。发生 Si 沾污的另外一条途径是通过 In 蒸气，尽管 In 的蒸气压低，但它与舟壁反应并产生 SiO 气体，SiO 气体与 Ga/In 熔体反应并使 Si 进入熔体。

$$4Ga(气体) + 6SiO_2 \rightleftharpoons 6SiO(气体) + 2GaO_3 \quad (5.2\text{-}2)$$





$$3SiO(气体) + 2Ga(熔体) \rightleftharpoons 3SiO_2(熔体中) + Ga_2O_3(熔体) \quad (5.2\text{-}3)$$



$$4In(气体) + 6SiO_2 \rightleftharpoons 6SiO(气体) + 2InO_3 \quad (5.2\text{-}4)$$



$$3SiO(气体) + 2In(熔体) \rightleftharpoons 3SiO_2(熔体中) + In_2O_3(熔体) \quad (5.2\text{-}5)$$

由于 Si 元素的沾污，使得多晶中的主要杂质就是 Si。V 族蒸气的压力越高，多晶化学配比越偏向于富 V 族元素，但是舟断裂的可能性就越大。在多晶生长的过程中，熔体中的 V 族元素饱和，固相就会在液相线温度从饱和的 Ga/In 熔体中析出。如果舟的运动速度比析出速度快，那么 Ga/In 熔体在生长界面上来不及反应而形成富 Ga/In。合成区的温度会影响其纯度和生长速度。

（2）原位直接合成法

原位直接合成技术在很高合成速度下生产高纯度的 GaAs 熔体或晶体，将 7 N Ga 和 As 原料投入 pBN 坩埚中，覆盖以 B_2O_3 液封剂，在 1 300℃左右 Ga 和 As 将直接化合生成 GaAs 熔体。根据工艺需要，可以将熔体冷却获得多晶料，由于合成效率高、多晶质量好，为目前高纯砷化镓多晶合成的首选技术。

在磷化铟多晶合成中，由于磷蒸气压过高，难以获得合适配比的磷化铟多晶，因此基本不采用此技术。

（3）注入合成法

1980 年初期，我国发明了原位磷注入合成 InP 多晶技术，磷注入合成的装置如图 5.2-8 所示。目前国际已经达到了 11 kg 的水平。这种合成可以生产高纯度的多晶，而且便于合成后拉晶。

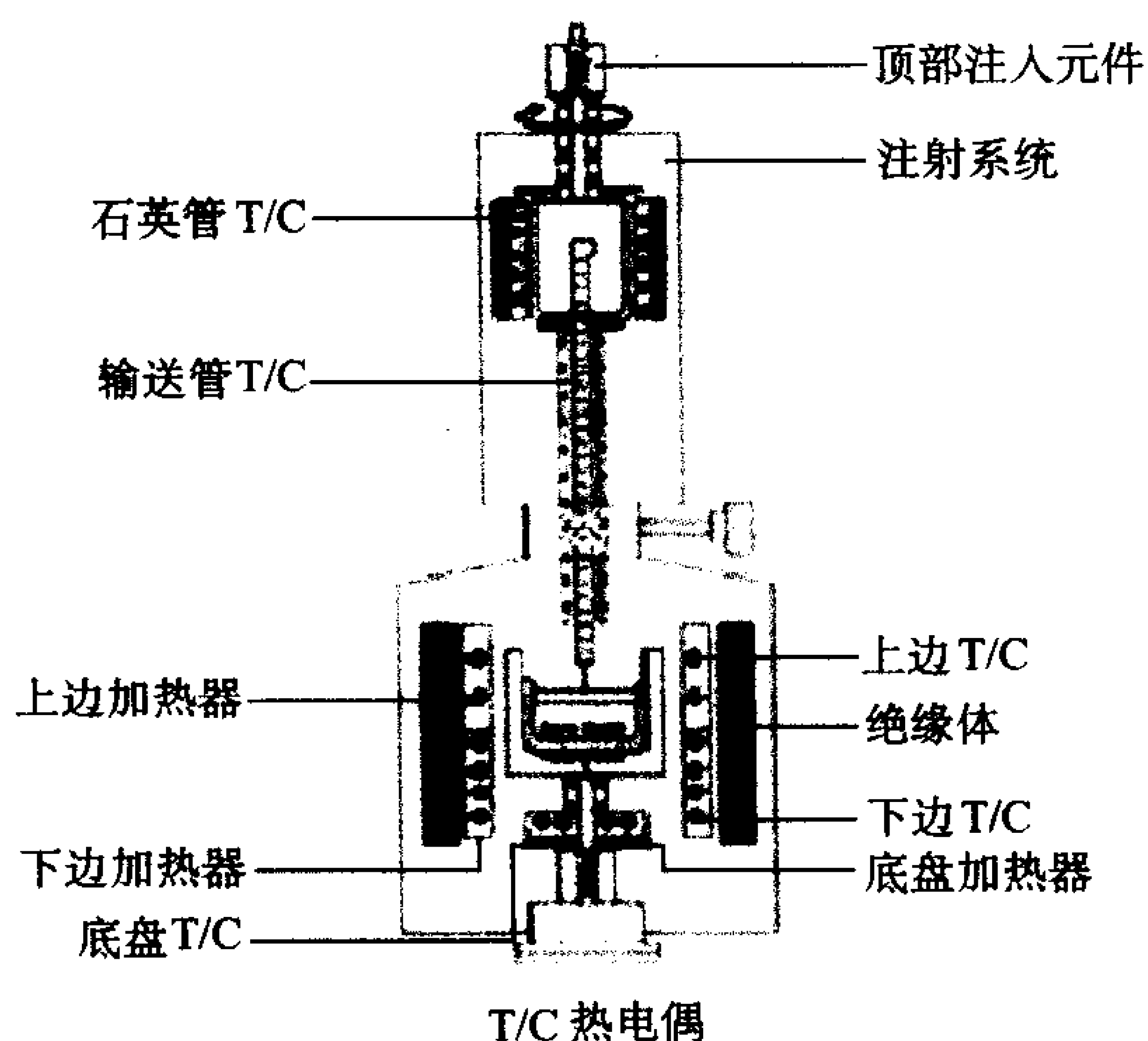


图 5.2-8 磷注入合成 InP 多晶示意图

原位磷注入合成可得到富镓（铟），近化学配比或富磷的 InP 熔体，合成结束后，还可直接进行液封直拉法（LEC）晶体生长，如图 5.2-9 所示。此方法除具有磷注入法合成时间短，即使在使用石英坩埚的条件下，受沾污少，能获得高纯多晶材料的优点外，最具独到之处在于可控制 In、P 的量，分别合成得到富镓（铟），近化学配比或富磷的 InP 熔体，能够在不同熔体化学计量比的条件下进行 LEC 晶体的生长，避免了其他方法需要二次处理造成的原料沾污问题。

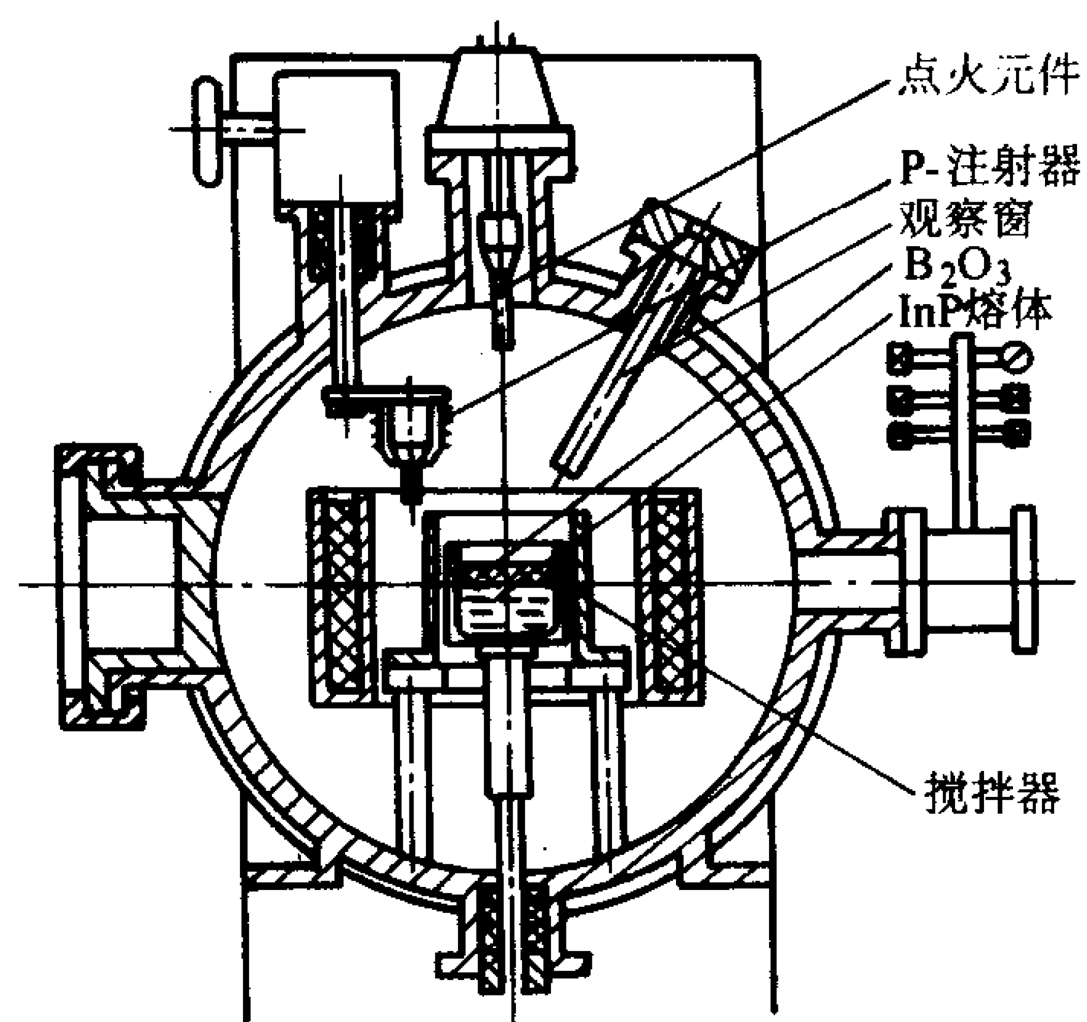


图 5.2-9 磷注入合成连续拉晶高压单晶炉结构示意图

在砷化镓多晶合成中，也可以采用类似方法，随着高压原位合成技术的成熟，目前已很少采用。

3.2 单晶生长工艺

Ⅲ-Ⅴ族化合物单晶 GaAs、InP 等生长的工艺主要包括：①减少孪晶和多晶出现的几率，提高成晶率；②控制化学配比以降低材料中的点缺陷浓度，提高晶体的完整性；③降低

位错密度；④控制掺杂，保证获得预定电学性质的材料。

(1) 减少孪晶和多晶

孪晶或多晶的抑制主要通过以下手段达到：

1) 控制生长界面形状　一般要求固液界面略凸向熔体，减少位错密集形成堆垛层错，从而减少孪晶的产生。

在晶体生长中，固液界面的变形是导致晶界形成的最重要因素。如图5.2-10所示为LEC法正常生长时的固液界面，当固液界面变化为图5.2-11和图5.2-12时，容易诱发孪晶或多晶。如果在生长界面上存在夹杂物，往往会变成新的形核中心，使晶体变成多晶，如图5.2-13所示。因此，控制固液界面的形状和保持固液界面的清洁是十分重要的。

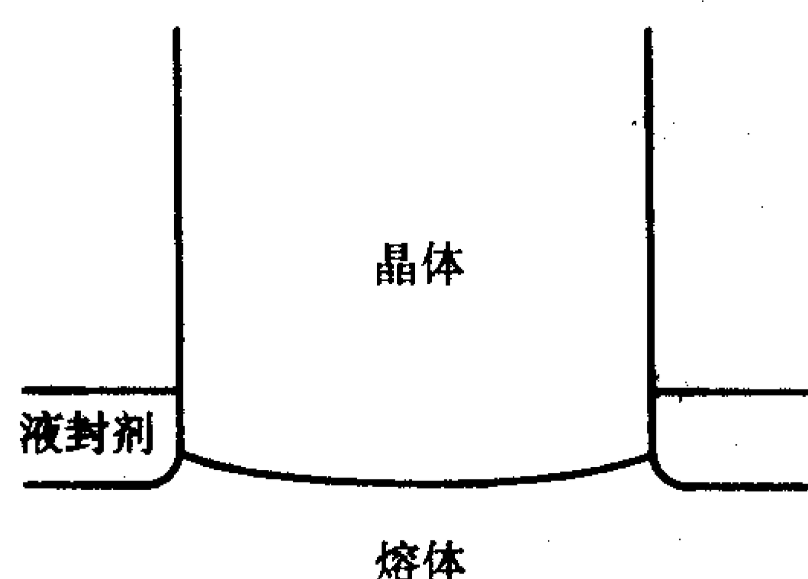


图5.2-10　LEC法正常生长时的固液界面

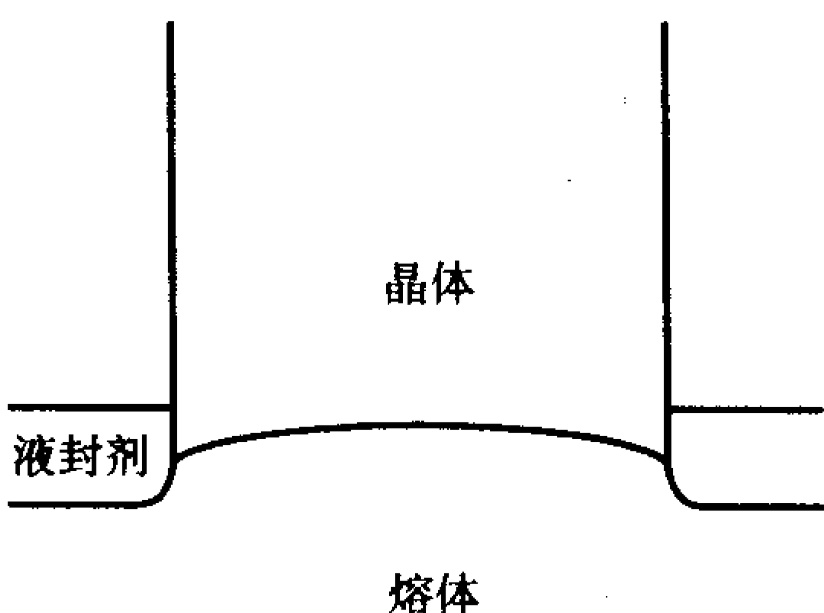


图5.2-11　LEC法异常生长时的固液界面

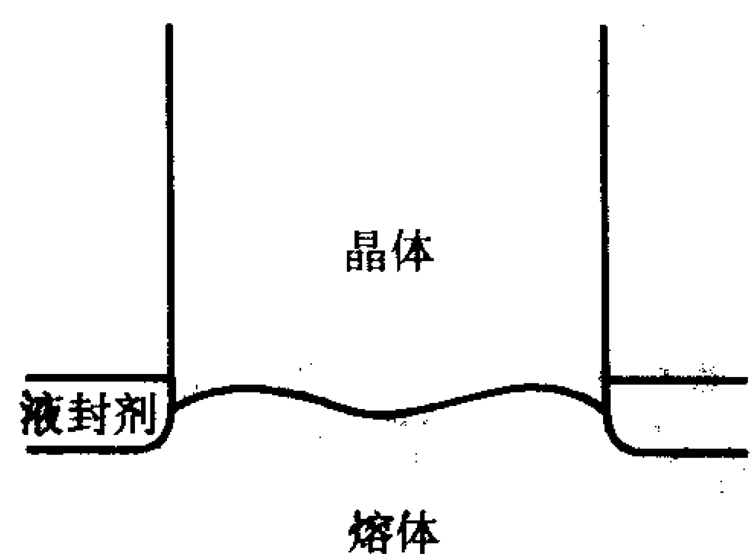


图5.2-12　LEC法异常生长时的固液界面

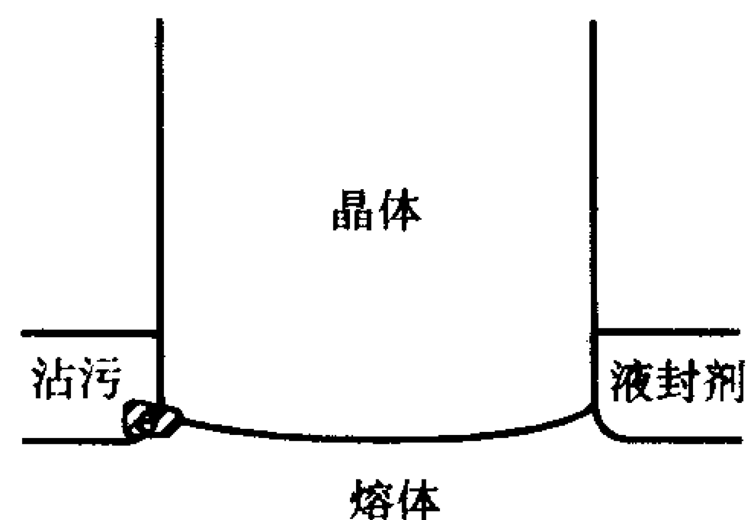


图5.2-13　LEC法生长时的固液界面的沾污

2) 控制生长界面处的温度起伏　由于晶体生长过程中熔体处于过冷状态，如果温度起伏过大，会在短时间内晶体沿多个晶向快速生长，诱发孪晶或多晶出现。

3) 控制熔体的化学配比　由于化学配比改变后，熔体结晶温度随化学组分的变化而变化，造成熔体的过冷度发生改变，易于出现孪晶和多晶。

4) 改善固液界面的洁净度　由于在生长中，各种氧化物和杂质会形成浮渣，漂浮于固液界面处，如果沾在晶体边缘，会形成新的生长面，从而形成孪晶和多晶。

5) 放肩角度　在InP生长中，一般采用54°或75°左右，可以减少孪晶的出现，也可采用快速平放肩（放肩角接近90°）技术。

6) 杂质浓度　在重掺杂时，由于熔体过冷度较大，易于造成多晶或孪晶。

(2) 控制化学配比

化学配比控制一直是化合物半导体生长的关键技术，但是到目前为止还未获得完全突破。在大多数情况下，通过实验摸索确定V族元素的富余量。由于V族元素的易挥发性，富余量和工艺参数与实际合成生长工艺参数关系密切。

(3) 位错密度

化合物半导体中位错主要来源于生长和冷却时温度梯度造成的热应力和籽晶内部位错延伸。控制技术主要包括以下两个方面。

1) 降低温度梯度　通常技术手段包括改进多温区加热器、优化保温罩的形状和配置，优化坩埚和晶体的转速，使固液界面平整光滑，如改进型LEC法；采用后加热器或热壁生长，对已生长出的晶体加热保温，降低晶体内部的热应力，如VCZ技术；采用梯度凝固技术在小温度梯度下实现晶体生长，如HB/VGF/VB等。

2) 杂质晶格硬化　通过加入特定的杂质元素，如将Si，In加入GaAs、S，Zn，Ga加入InP中，均可提高晶格的临界剪切强度，降低位错密度。但是In，Ga等等电子杂质的掺入，会带来晶体变脆，易于破裂，生长中易于出现熔体过冷和孪晶多晶现象，对电子迁移率也有一定的影响，目前很少采用。

(4) 掺杂

掺杂一直是化合物半导体获得相应电学性能的主要方法，见表5.2-3及表5.2-4。

1) 不同掺杂的晶体生长　在砷化镓中，最常用的掺杂元素为Si、Te、Zn，C和Cr。

Si：n型掺Si GaAs主要用于LED和LD衬底。一般采用HB法和VGF/VB法生长。Si的杂质硬化效果比较明显，一般在3 000/cm^{2}以下，用于LD的材料一般要求EPD < 500/cm^2，载流子浓度 > 10^{18}/cm^3。

Te：n型掺Te GaAs主要用于LED和微波二极管衬底。一般采用LEC法生长。Te的杂质硬化效果不明显。

Zn：：p型掺杂GaAs主要用于AlGaAs基红光LED衬底，一般使用HB法生长，有一定的杂质硬化效果。

C：非掺半绝缘砷化镓主要依赖深施主EL2和浅受主C补偿获得，特意C掺杂主要用于制造高阻（> 10^8 Ω·cm）半绝缘砷化镓。可以采用LEC法、VCZ法和VGF/VB法生长，杂质硬化效果不明显。

Cr：主要用于制造半绝缘砷化镓。可以采用LEC法、VCZ法和VGF/VB法生长，杂质硬化效果不明显，由于存在高温扩散问题，目前使用逐步减少。

在磷化铟中，最重要的掺杂元素为Sn，S，Zn和Fe。

Sn：n型掺Sn InP主要用于激光二极管。因为Sn的杂质硬化效应不明显，所以传统LEC法生长的掺锡InP的位错密度的范围是1~3×10^4/cm^2。采用TB-LEC法后可以大幅降低掺锡InP单晶的位错密度。不采用其他杂质硬化的措施可以将位错降到200~5 000/cm^{2}的水平。

S：n型掺硫InP不仅用于激光二极管而且还用于光探测器。因为要避免通过位错产生的漏电流，因此无位错的掺硫InP是必需的。因为硫在磷化铟中有明显的杂质硬化作用，因此无位错单晶较容易生长。生产中要求无位错区域大且载流子浓度低。TB-LEC技术因为轴向温度梯度小因此可以有效的生长这种单晶。

Zn：p型掺Zn InP主要用于高功率激光二极管。锌也有很强的杂质硬化效应，因此晶体位错比较低。同样TB-LEC技术也可以生长无位错区域大且载流子浓度低的高质量晶体。

掺Fe：掺Fe半绝缘InP的有关性质得到了广泛的研究。目前已知Fe，Co，Cr等作为深受主杂质。掺杂半绝缘磷化铟的机制基本上为深受主补偿浅施主，当深受主的浓度超过浅施主时材料显示半绝缘特性。Co，Cr等的掺杂效果不如Fe更好，容易在晶体中产生沉淀，因此生产中主要使用Fe作为掺杂剂，一般掺杂浓度大于$1\times10^{16}/cm^3$。如果掺杂浓度超过$1\times10^{17}/cm^3$也比较容易产生沉淀。铁的分凝系数的范围是$10^{-3}\sim10^{-4}$。Zach等对掺铁半绝缘磷化铟的性质进行了深入地讨论。

表5.2-3　不同掺杂GaAs的应用

掺杂剂	浓度	应用
Si/cm^{-3}	$0.5\sim4\times10^{18}$	LD，LED
Te/cm^{-3}	$>0.5\times10^{18}$	LED，微波二极管
Zn/cm^{-3}	$>0.5\times10^{18}$	LED
C（含非掺杂）/cm^{-3}	$0.5\sim50\times10^{15}$	电子器件
低Cr掺杂/cm^{-3}	$0.1\sim1\times10^{17}$	电子器件

表5.2-4　不同掺杂InP的应用

掺杂剂	浓度	应用
Sn/cm^{-3}	$0.5\sim6\times10^{18}$	LD，LED
S/cm^{-3}	$\geqslant2\times10^{18}$	光电二极管
Zn/cm^{-3}	$\geqslant3\times10^{18}$	高功率激光二极管
	$2\sim5\times10^{16}$	太阳能电池
Fe/cm^{-3}	$2\sim8\times10^{16}$	电子器件
非掺杂/cm^{-3}	$<10^{16}$	LPE用原材料
低铁掺杂/cm^{-3}	$<2.5\times10^{15}$	电子器件

2）提高掺杂效率和提高均匀性

① 提高掺杂效率　比如Si在GaAs中，采用略微富砷的生长条件，可以提高Si原子占据Ga位的几率，减小"自补偿"的影响，减小复合体缺陷的浓度，获得较高的载流子浓度。将Fe掺入InP中，必须将拉速降低，使Fe原子有充分时间占据In位，形成深受主，获得半绝缘性能。

② 提高均匀性　比如C掺入GaAs过程中，采用CO气体通入生长气氛，利用稳定的CO分压可以获得比较均匀的C掺杂浓度。

3.3　退火处理

合适的退火工艺可以消除化合物半导体材料中的残余应力，改善电学参数均匀性。一般在V族元素蒸气保护下进行。比如：在半绝缘GaAs中，利用多步热退火工艺可以有效消除砷沉淀，提高电学参数均匀性。不合理的退火工艺可能使材料转为p型。在InP中，利用Fe退火扩散技术也可以获得重复性较好的半绝缘性能。

3.4　大直径晶体的发展

采用更大直径的晶片可以有效的降低器件生产成本。目前主要使用LEC，VGF/VB技术生长大直径单晶。在增大晶体尺寸的过程中，VGF/VB法生长的单晶的位错密度较低，设备简单，造价低廉，因此得到了更多的重视。VCZ方法也可以获得较低位错密度的单晶，但目前设备复杂，价格昂贵。

对于砷化镓而言，由于移动通讯对器件数量和成本的需求，促使器件制造商使用更大直径的晶片，目前100 mm和150 mm晶片为主流产品，200 mm的LEC和VGF GaAs单晶已经生长成功，图5.2-14所示为商品化砷化镓单晶材料。

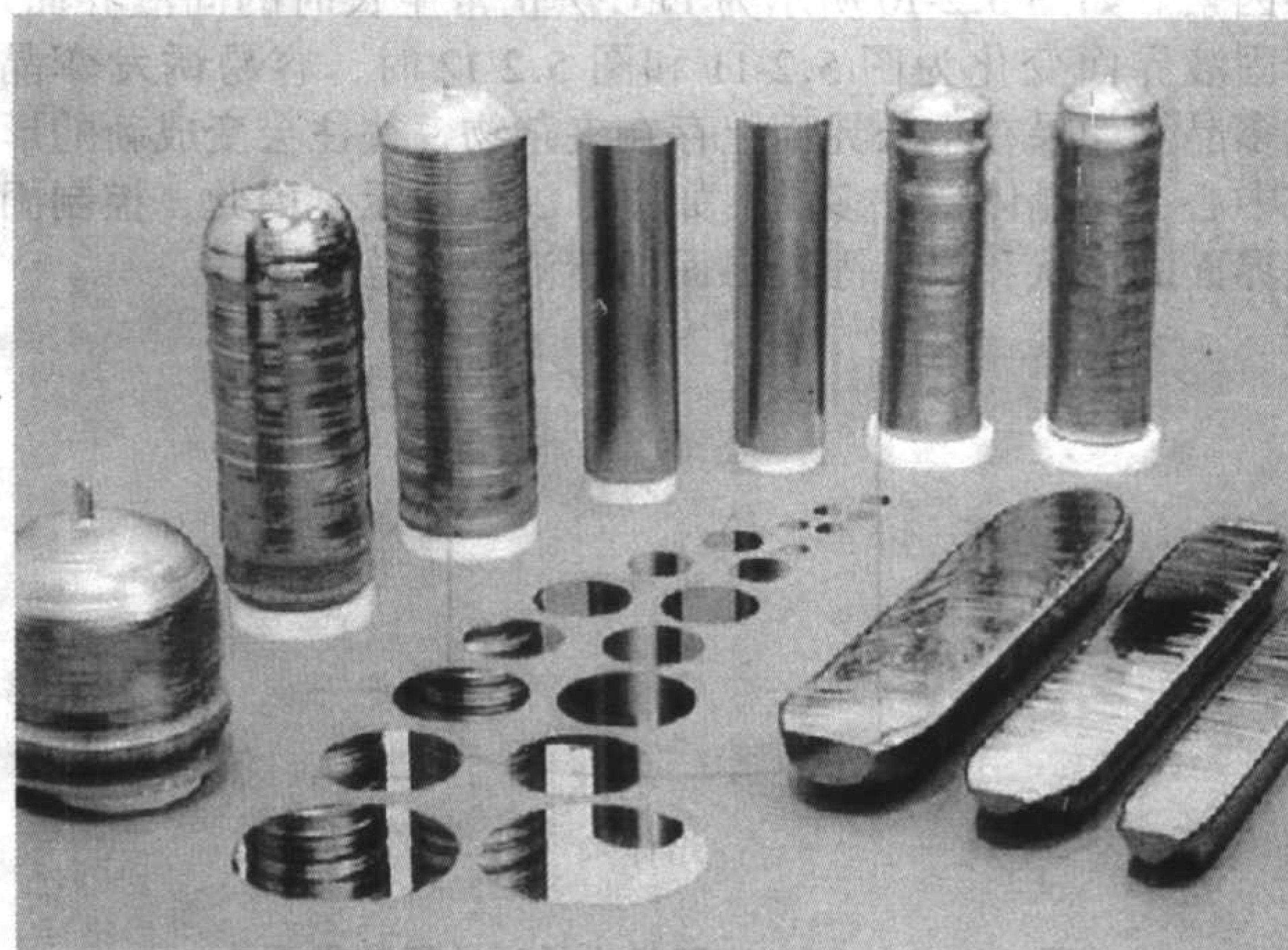


图5.2-14　砷化镓单晶

妨碍大直径磷化铟发展的主要因素是器件生产中其晶片易碎。因此目前实际生产器件中着重发展的是减少碎片率。目前已经可以采用VCZ和VGF/VB技术生长出100 mm和150 mm直径的磷化铟单晶，图5.2-15为我国生长的磷化铟单晶。

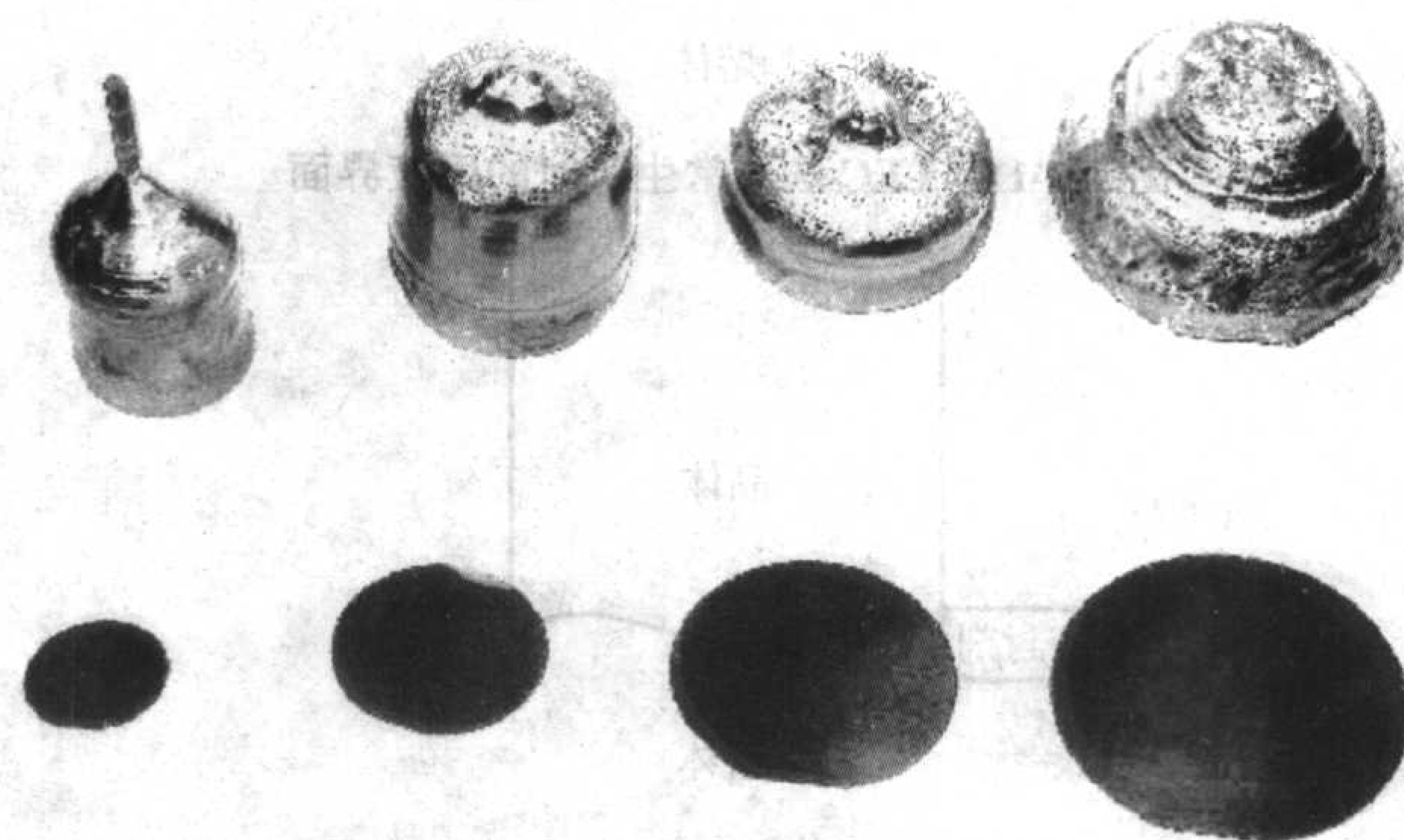


图5.2-15　我国生长的50.8 mm，76.2 mm，101.6 mm，127 mm 2 in，3 in，4 in，5 in（100）晶向磷化铟单晶

4　晶片加工

化合物半导体晶片加工和硅单晶类似，基本工序流程如下：

①晶体截断→②晶体外圆滚磨→③参考面或切口（notch）加工→④切片→⑤倒角→⑥研磨→⑦化学腐蚀→⑧抛光→⑨抛光片的清洗→⑩激光刻号→⑪检测和包装。

（1）晶体截断

晶体截断是指去掉晶体头尾部分，切取测试样品，以及为了满足随后的滚磨、切片加工所需晶体适当长度而对拉制出单晶棒进行的切割加工。

晶体截断加工时，切割断面应平整并与单晶棒轴线垂直。晶体截断的关键问题是如何减少材料损失。晶体截断加工一般使用内圆切割，刀口损失小（一般小于0.4 mm），除进行正常截断加工之外还可以切取较薄的测试样品（0.6～

1.0 mm)。目前 152.4～203.2 mm（6～8 in）内圆截断机已有商品供应市场。

(2) 晶体外圆滚磨和参考面及切口（notch）加工

晶体外圆滚磨是晶片标准化加工的基础，一般采用杯状金刚石砂轮对晶体进行外圆滚磨加工，其加工方式如图 5.2-16 所示，磨轮轴和晶锭的旋转轴互相垂直，但是偏心的。滚磨加工分整形（A）；粗磨（B）；中磨（C）和精磨（D）四个工序。

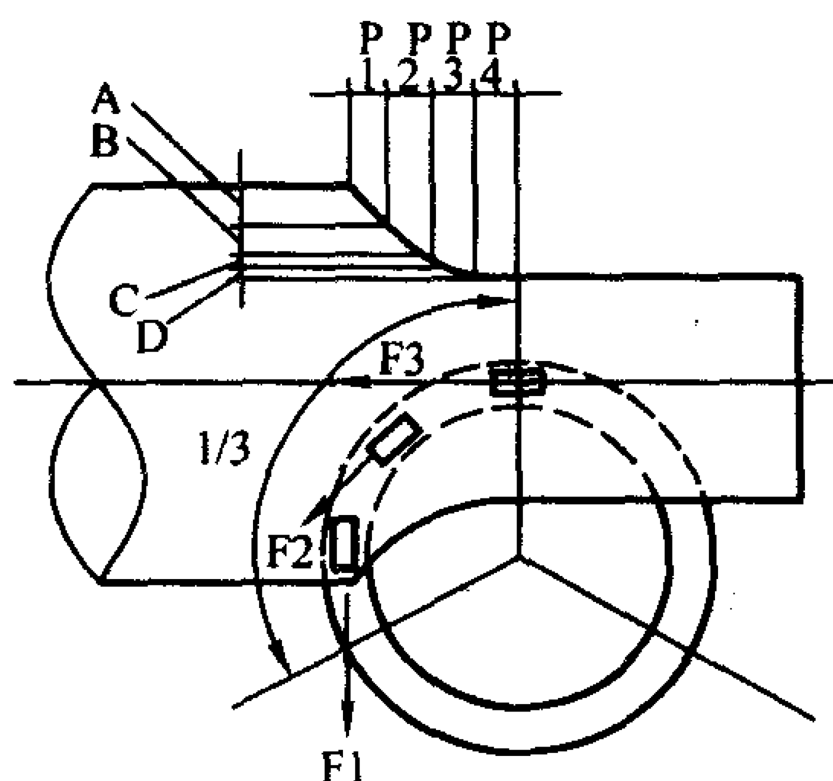


图 5.2-16 单晶滚磨

(3) 参考面或切口（notch）加工

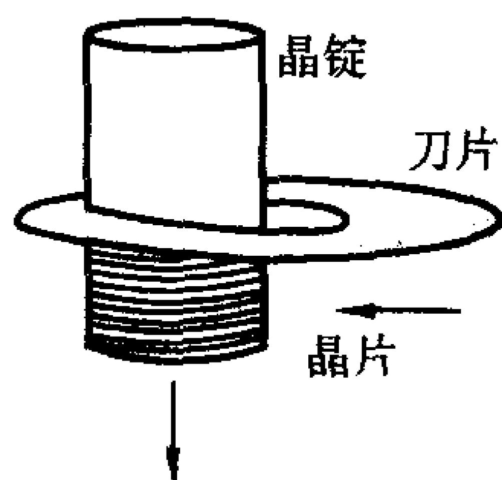
参考面或切口是晶片标准化的要求，它是晶片加工和器件制造过程中晶片的晶体学方向的标识，还是器件制造过程中光刻及芯片分割加工的基准面。参考面或切口的加工是在完成了外圆滚磨加工的晶体上进行（此时晶体不转动），采用金刚石砂轮在晶体预定位置进行加工。参考面或切口的位置可以参考相应的 SEMI 标准。

(4) 切片

切片是把圆柱形的单晶锭切割成厚度一定的晶片的过程。晶片晶向、晶片厚度、总厚度偏差、弯曲度、翘曲度等是切割片的重要参数。晶片切割目前采用内圆切割和多线切割两种方法。

1) 内圆切割　采用内圆嵌有金刚石粉的内圆刀片（如图 5.2-17 所示），对单晶锭进行切割，每次切割一片。内圆刀片刃口金刚石颗粒锋利程度，刀片张力等因素对切割片的参数（特别是 BOW）和表面质量影响很大。随着晶片直径不断增大，高水平的内圆切片机增加了电脑控制的自动修刀系统和刀片导向系统，提高了切片精度。

2) 多线切割　如图 5.2-18 所示，高强度的钢线（直径 0.15～0.20 mm）被导轮排成钢线面，钢线面中钢线间距即为待切晶片厚度，钢线面与单晶锭作相对运动，同时钢线做高速前后往复运动并携带着高硬度磨砂（例如莫氏硬度为 9 的碳化硅），磨砂对单晶进行研磨切割。由于切口窄（约 0.22 mm），大大降低了晶体的损耗。目前大型双台面多线切割机具有两层钢线面，能同时对两层单晶锭进行切割，大大提高了生产效率。



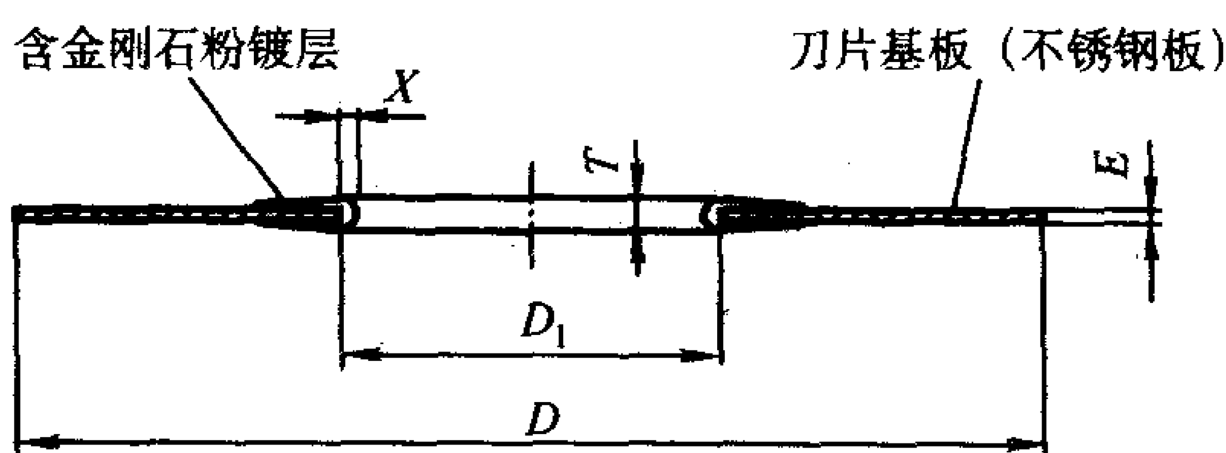


图 5.2-17 内圆切割

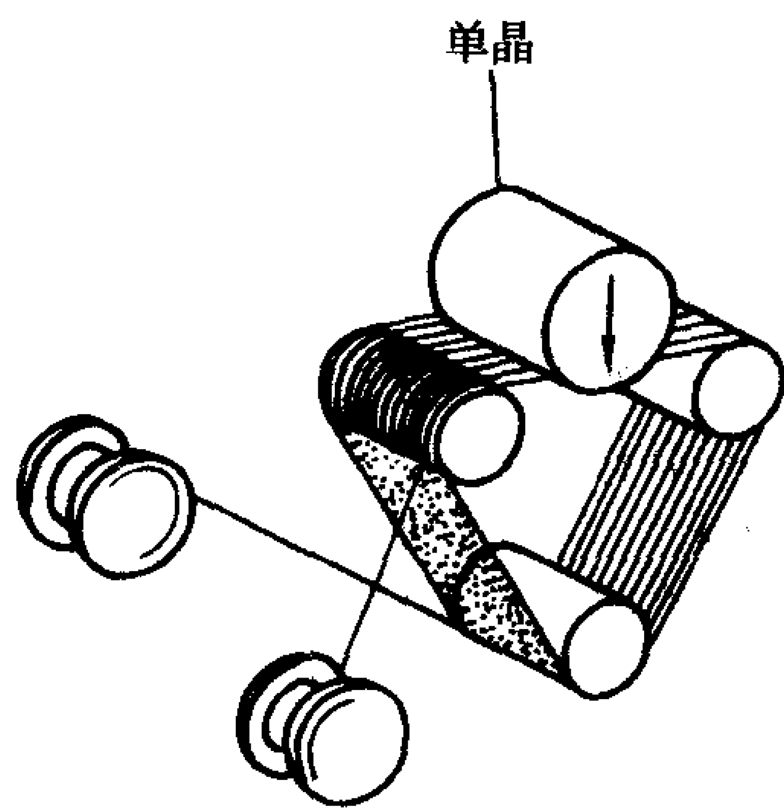


图 5.2-18 多线切割

切割好的晶片，应在含有活性剂的溶液中进行超声清洗。去除磨料、碎屑等杂物。

切割片加工实质上是切割刃口处的磨料对晶锭的狭窄区域进行研磨加工。因此，切割晶片的任何局部区域的表面质量、损伤程度等都与切割瞬间刃口处磨料锋利程度、刃口受力情况有关。这就造成了切割片表面质量、损伤程度，甚至几何尺寸的不均匀。这个问题只有通过晶片研磨加工才能解决。

水平生长砷化镓单晶的横截面为“D”形，必须利用喷砂割圆工艺，将“D”形晶片加工成带参考面的圆片。

(5) 倒角

晶体在切割过程中易产生各种损伤，这些损伤在随后的加工过程中会扩大甚至产生新的损伤（例如裂纹、缺口、崩边等）。切割晶片的边缘是直角形的，边缘处的损伤更加严重，其形成的应力区会使晶片在器件制造的高温加工过程中（外延、注入、退火等）引入各种缺陷，甚至破裂。为了改善切割晶片的边缘质量，对其进行倒角加工。晶片直径、主副参考面长度和位置、晶片边缘轮廓和表面粗糙度是经倒角晶片的重要参数。

如图 5.2-19 所示，倒角加工是采用与晶片厚度相适应的具有一定形状的嵌有金刚石粉的特殊磨轮，磨轮高速旋转与反向旋转的晶片边缘摩擦而进行研磨。经倒角加工晶片的边缘形状应符合相应的 SEMI 标准，表面粗糙度达到 $R_a = 0.14 \sim 0.3$ μm。

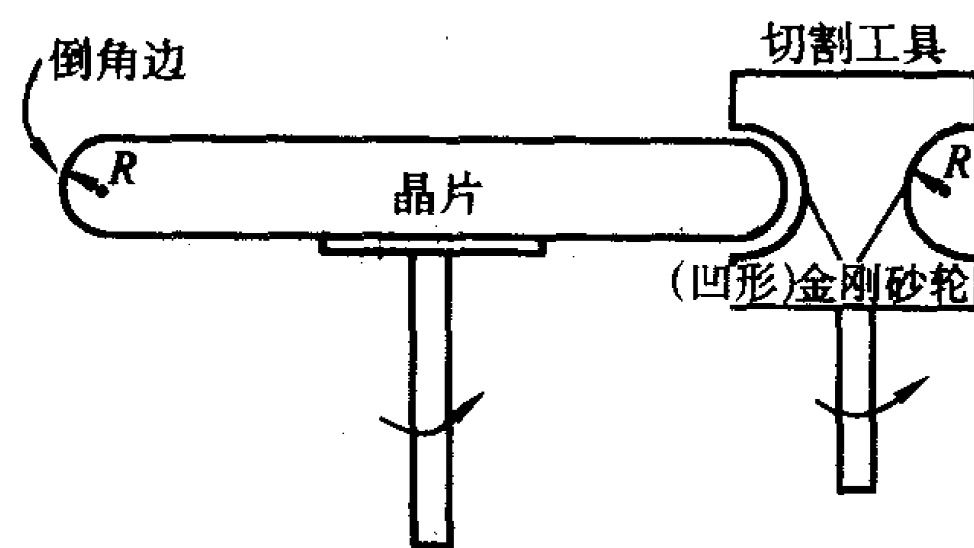


图 5.2-19 晶片倒角加工

为了进一步改善晶片边缘质量，最近开发了螺旋倒角加工方法，采用特殊树脂刃口的倒角轮进行倒角加工。晶片边缘表面粗糙度可达 $R_a = 0.025$ μm。

经倒角的晶片，应在含有活性剂的溶液中进行超声清洗，去除磨料、碎屑等杂物。

(6) 研磨

晶片研磨的目的是对切割晶片进行整形加工，改善切割晶片的表面质量、损伤情况和几何尺寸的不均匀性，在一定程度上改善晶片的翘曲度，获得高度均匀一致的晶片，为随后的抛光加工打下良好的基础。晶片厚度、总厚度偏差、弯曲度、翘曲度等是研磨片的重要几何参数。研磨片应无崩边、裂纹、鸭爪、刀痕、擦伤等表面缺陷。

晶片研磨普遍采用四动作双面平面研磨工艺。如图5.2-20所示，上、下磨盘反向旋转，中心齿轮和环行齿轮的转动速度和方向可以调节，磨料被加入到上下磨盘之间，压力系统通过上盘对晶片施以压力，载体（游轮片）被中心齿轮和环行齿轮驱动，带着晶片在上下磨盘之间做星形运动，晶片两面同时进行研磨加工。

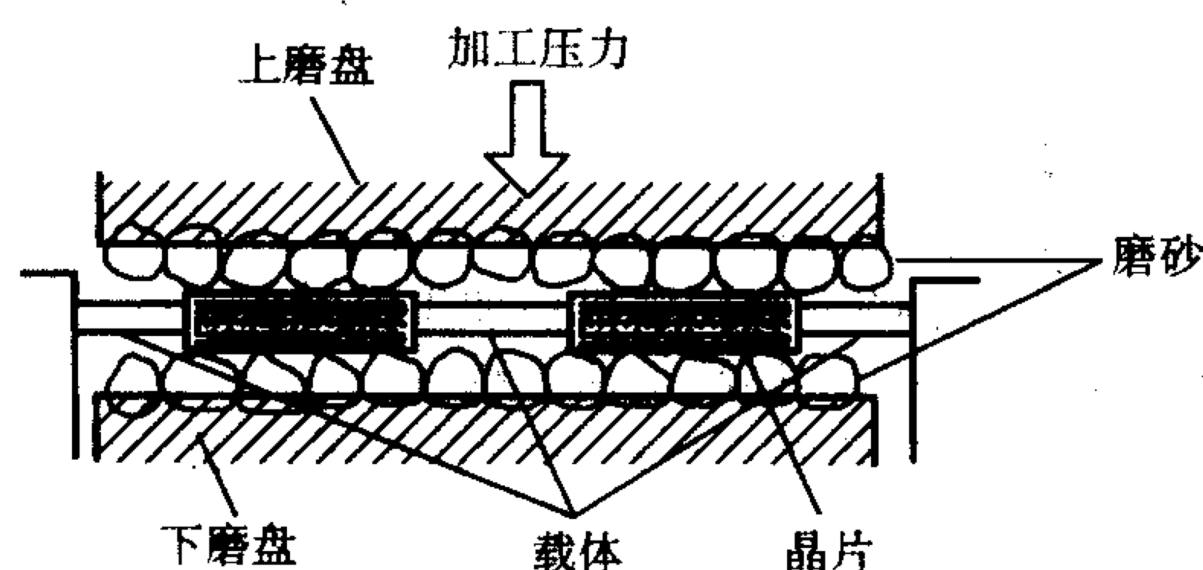


图5.2-20 晶片双面研磨

磨盘的质量对晶片研磨质量有很大的影响，磨盘一般用铸铁或石英玻璃制造，其材质要均匀无硬点，否则会在晶片表面产生划痕。研磨晶片表面平整度主要与磨盘表面是否平整有关，要适时用修正轮对磨盘表面进行修正，以保持磨盘高度平整（每米平整度小于15 μm）。

磨液（与磨砂一起配制磨料用）多采用与水无限互溶的水基磨液，磨砂的硬度和粒度是影响晶片研磨质量的另一重要因素。

研磨晶片表面损伤层深度的控制是晶片研磨加工的重要技术，损伤层深度受研磨压力、磨砂粒度和硬度的影响。损伤层深度可以通过恒定腐蚀法或X射线双晶衍射法测量。通过改变研磨加工工艺条件或更换磨砂可以减少损伤层深度。

研磨后应尽快用水将晶片表面残余磨料冲掉，并尽快清洗（切忌使未清洗好的晶片表面干燥，否则极难清洗）。

(7) 化学腐蚀

研磨晶片表面损伤层内晶格被破坏，会吸附大量难以清洗去除的金属杂质和颗粒，并形成应力区。晶片化学腐蚀减薄的工艺目的，是用化学试剂在一定条件下与晶体反应，去除研磨晶片表面损伤层。

(8) 抛光

晶片抛光是去除晶片表面损伤和变形层的最后加工，以获得表面平整、光洁、几何尺寸精度高的晶片。

晶片抛光加工如图5.2-21所示，将腐蚀片固定在刚性的非常平坦的圆盘上（一般采用低膨胀系数的陶瓷板），圆盘（俗称抛光头）贴有晶片一面朝向贴有抛光布的抛光盘，

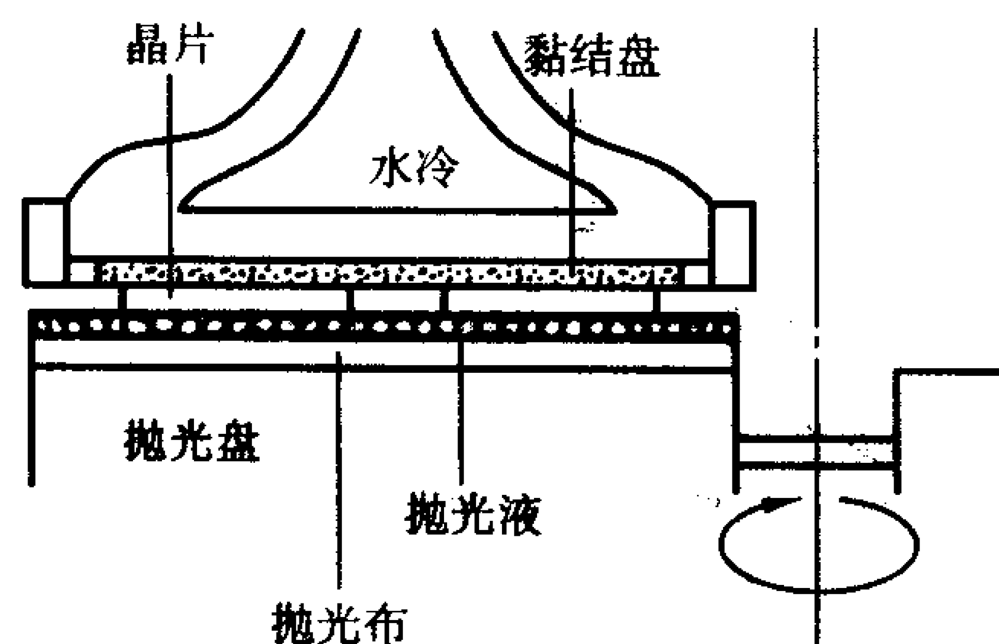


图5.2-21 晶片抛光

通过抛光头对晶片施以压力，不断往抛光布上加抛光液，抛光盘旋转，抛光头在抛光盘的带动下被动旋转（有的抛光机的抛光头设计成主动旋转），从而实现抛光加工。目前晶片抛光多采用碱性二氧化硅胶体化学机械抛光工艺。抛光布由聚氨酯塑料制造而成，其表面层为多孔结构，呈绒毛状，能吸收大量抛光液，对晶片起摩擦作用，视其微孔形状及尺寸（直径和深度）的不同，可适用于各种抛光（粗抛、细抛、精抛）的要求。抛光布的底层是可压缩的衬底，可补偿抛光压力，增加晶片表面抛光液的流动量。衬底的柔软程度以及与表层多孔结构配合，可制成多种抛光布，满足各种抛光的要求。

抛光过程中，通过对抛光液的浓度、pH值、抛光压力、温度和抛光盘转速等工艺条件的控制，实现抛光过程中化学腐蚀作用与机械研磨作用的平衡，从而获得高质量的抛光片。

为了避免晶片加工过程中或器件制造过程中晶片边缘碎屑脱落对晶片表面质量和器件质量的影响，发展了晶片边缘抛光技术。对晶片边缘两侧的带式抛光和对晶片边缘的抛光，大大提高了晶片边缘质量。晶片边缘抛光所用抛光布和抛光液等材料与晶片抛光相同。晶片边缘抛光在晶片抛光加工之前进行。

晶片抛光一般分为三步（粗，中，细）进行，由三台抛光机为一组，分别采用不同的抛光液、抛光布和抛光条件。第一步抛光（粗抛）主要为了去除晶片表面的损伤层，抛光去除量较大（大约是整个抛光去除量的70%～80%），为了提高效率，多采用高压快速抛光。这一步抛光对抛光片的几何参数（TTV、TIR等）起决定性作用，第二步抛光（中抛）主要是为提高抛光片表面粗糙度打下基础，其抛光量大约是整个抛光去除量的20%，第三步抛光（精抛）主要为了提高抛光片表面的质量，抛光去除量很小。

(9) 抛光晶片的清洗

抛光晶片的清洗，主要是去除表面的有机物、颗粒和金属离子沾污。在设计一套合理的硅抛光片清洗工艺时，应当注意，对各种杂质的清洗应在其与晶片之间处于物理吸附状态时完成。如果杂质和晶片之间处于化学吸附状态或键合状态，清洗会比较困难。抛光片的实际清洗工艺一般是按照先去除有机物，再去除颗粒，最后去除金属离子的顺序，组合一套清洗程序，完成对抛光片的清洗。

(10) 晶片激光刻号

利用特定波长的激光束，在晶片的特定位置刻一组代码，代码表示出晶片制造情况、晶片主要特性和晶片制造厂商等有关信息。此代码在识别晶片和对晶片进行质量追溯方面具有重要作用。刻号的位置及代码字符的尺寸等应符合相应标准（例如SEMI标准）。

通常刻号按其深度分为硬刻号和软刻号。软刻号（深度小于5 μm）在抛光晶片预清洗后进行，软刻号产生的颗粒少而小，经最终清洗后可去除。硬刻号的字符深度较大，产生的颗粒大而多，应在切割片、研磨片或腐蚀片上进行。

(11) 检测和包装

抛光片的各项几何参数，电学参数及结构参数的检验在抛光片预清洗后进行，抛光片表面颗粒的检测在硅抛光片最终清洗后进行。检测采用计算机控制的无接触测试仪。经测试合格的抛光片装入洁净的片盒内，贴好超净密封条，用超净密封袋真空或充氮封装。抛光片的生产应在超净环境下进行，抛光片的贴蜡、软刻号、清洗、检测和包装等工序要求更高的洁净环境，厂房净化级别一般为10级或100级。净化厂房应保持一定的温度和湿度，并设有防静电设施。

编写：郑安生（北京有色金属研究总院）
孙聂枫（中国电子科技集团公司第十三研究所）
审稿：秦 福（北京有色金属研究院）

第3章　GaAs和InP中的杂质和缺陷

1　杂质

在半导体材料中，杂质的存在决定着材料的电学性质和光学性质。一方面，人们需要控制某种杂质的浓度以获得具有预定的电学性质的材料。另一方面，需要降低无关杂质的含量以保证材料的质量和电学性质。由于每个杂质在材料中的溶解度不同以及掺入的难易程度有很大的差异，实际当中只有几种常用的杂质被用做材料和器件工艺中的掺杂，其他的杂质均来自原材料的微量残留和工艺过程的沾污，需要控制降低其含量。

与其他半导体材料一样，半导体材料GaAs和InP中的杂质是按照它们所起的作用和它们的能级在禁带中的位置来分类的——发出电子的为施主。接受电子的为受主。能级靠近导带底的施主杂质为浅施主杂质（一般认为小于100 meV）、能级靠近价带顶的杂质为浅受主杂质。具有施主性质的深能级杂质称为深施主（一般认为能级深度大于100 meV），类似地具有受主性质的深能级杂质称为深受主杂质。GaAs和InP中掺入的深能级杂质作为补偿中心被用来制备具有重要应用价值的半绝缘材料。Cr和Fe分别在GaAs和InP中是能级位于禁带中央的深受主杂质，常被用来掺杂补偿浅施主杂质制备半绝缘GaAs和InP材料。在GaAs中，由于在材料生长过程中可以产生浓度高达$10^{16}/cm^3$的、与砷反位有关的位于禁带中央的深施主缺陷EL_2，通过控制浅受主C的浓度并降低浅施主杂质的浓度，达到有效的电学补偿，可以获得高质量的半绝缘材料，在微电子领域有着广泛的用途。InP中Ti是能级位于禁带中央的深施主杂质，为了达到电学补偿作用，需要同时掺入Ti和浅受主杂质Zn才能获得半绝缘材料。但由于InP中Ti的掺杂很困难，同时掺入Zn增加了工艺的复杂程度，所以在实际当中很少使用。部分深能级杂质在GaAs和InP中存在多个价态而表现为施主或受主性质。

元素周期表中的Ⅵ族元素占据GaAs中的As位或InP中的P位，是常见的浅施主杂质。Ⅱ族元素占据GaAs中的Ga位或InP中的In位，是浅受主杂质。GaAs和InP中常见的深能级杂质主要来自过渡族金属。理论上讲，Ⅳ族元素可以占据GaAs中的Ga位或As位以及InP中的P位或In位而表现为两性杂质。但实验研究发现，只有Si、Ge在GaAs中表现为明显的两性杂质性质，Ⅳ族元素在InP均起浅施主作用。除了这些杂质之外，氢作为一种残留杂质在原生的GaAs和InP中均有很高的浓度（高达$10^{16}\sim10^{17}/cm^3$）。氢在GaAs和InP中与施主和受主杂质、位错、铟空位或镓空位形成复合体缺陷，产生钝化作用，影响着材料的电学和光学性质。一些稀土族杂质在GaAs和InP中具有独特的发光特性而受到人们的关注和研究。

根据有效质量理论，浅杂质在半导体材料中的电离能可以用类氢杂质原子的电离能来计算，结果与实验的测量值符合得很好。

大部分杂质在GaAs和InP中占据替位位置，但也有一部分杂质处于晶格中的添隙位置或与空位形成复合体缺陷，从而降低杂质的电学激活效率。需要通过控制材料的生长工艺和采用退火处理来提高杂质的激活效率。

除了质谱方法外，光荧光谱、红外吸收、光电导谱、光热电离谱、加磁场的光荧光谱、拉曼散射等被用来研究和识别GaAs和InP中的杂质。下面就GaAs和InP中浅杂质和深能级杂质的具体情况分别进行介绍。

1.1　GaAs和InP中浅杂质的性质

GaAs和InP中常见的浅施主杂质主要有Ⅵ族元素S、Se、Te和Ⅳ族元素Si、Ge、Sn。其中Si和Ge在GaAs中具有明显的两性杂质性质，根据生长条件的不同，可以产生很强的自补偿作用。这些施主杂质的电离能与类氢杂质束缚能的计算结果符合，基本在6 meV左右。

GaAs和InP中常见的浅受主杂质主要有元素Be、Mg、Ca和Zn、Cd、Ag、Hg。此外，C在GaAs中是受主杂质。这些受主杂质的电离能有明显的不同。表5.3-1给出的是GaAs中的一些常见的浅受主杂质的性质。表5.3-2给出InP中的一些常见的浅受主杂质性质。

表5.3-1　GaAs中一些浅受主杂质的束缚能测量值

杂质	基态束缚能/meV	测量温度/K	测量方法
1S3/2	25.82		有效质量理论计算值
Be	28.0	5	光荧光谱（F-B）
C	26.9	20	远红外光电导
	26.0	5	光荧光谱（F-B）
Cd	34.7	5	光荧光谱（F-B）
Ge	40.4	5	光荧光谱（F-B）
Mg	28.7	20	远红外光电导
	28.4	5	光荧光谱（F-B）
Mn	113.1	28	光荧光谱（F-B）
Si	34.8	20	远红外光电导
	34.5	5	光荧光谱（F-B）
	35.2	5	光荧光谱（F-B）
Ca	28.4	2	光荧光谱（F-B）
Hg	52.5	2	光荧光谱（F-B）
Sn	170.5	5	光荧光谱（F-B）
	167.2	1.8	光荧光谱（DAP）
Zn	30.6	20	远红外光电导
	30.7	5	光荧光谱（F-B）

注：F-B为自由-束缚激子迁移，DAP为施主-受主对。

Zn、Mg、Be和C是InP中常见的残留浅受主杂质。除C和Ge外，其他Ⅳ族元素不占据P位，所以没有两性杂质属性。由于InP中的空穴有效质量远大于电子的有效质量，受主杂质的空穴束缚能较大。不同受主杂质的空穴束缚能之间的差别很小。

精确测量受主杂质的电离能需要使用纯度很高的样品。由自由激子－束缚激子迁移的PL谱测量的InP的受主杂质的电离能值不如GaAs的明确。Zn、Mg、Be和C的空穴束缚能的测量值最为准确。

表 5.3-2 InP 中一些浅受主杂质的空穴束缚能测量值

杂质	束缚能/meV	测量温度 T/K	测量方法
Zn	48	4.2	光荧光谱
	46.4	10	光荧光谱
Cd	57.0	1.8	光荧光谱
Hg	98	6	光荧光谱
C_P	41.3	1.8	
	41.5	4.2	
Ge_P	210	2	
C_P	44.6±0.3	1.7…20	光荧光谱 低剂量注入样品
Be	41.3±0.31	7…20	光荧光谱 低剂量注入样品
Mg	41.0±0.3	1.7…20	光荧光谱 低剂量注入样品
	40.9±0.3	2	光荧光谱
Zn	46.1±0.3	1.7…20	光荧光谱 低剂量注入样品

1.2 GaAs 和 InP 中杂质的分凝和溶解

大量的实验研究发现，不同的杂质在 GaAs 和 InP 材料中的分凝系数和溶解度有很大的差别，与掺杂方法、掺杂条件和材料有关。一般地，杂质的原子半径与所替位的晶格原子半径的差越小，杂质在材料中溶解度越高。杂质在 GaAs 和 InP 材料中的溶解现象可以用杂质对材料的热力学自由能的影响来解释。掺入杂质后 GaAs 和 InP 材料的最高载流子浓度，即电学激活效率，由于受到缺陷补偿、自补偿等的影响而有很大的差异。

表 5.3-3 给出的是 GaAs 中的一些常见杂质的溶解度值。表 5.3-4 给出的是 InP 中的一些常见杂质的溶解度值。

表 5.3-3 GaAs 中的一些常见杂质的溶解度值

杂质	平衡浓度/cm^{-3}	温度 T/℃	测量条件及方法
Ag	5×10^{20}	1 000	放射性同位素示踪
Au	1.5×10^{17}	835	放射性同位素示踪
C	1.9×10^{19}	1 100	^{14}C,质谱
Cd	2×10^{18}	1 000	方块电阻
Cr	5×10^{16}	1 100	放射性同位素示踪
Cu	7×10^{18}(max)	1 100	放射性同位素示踪
	1.5×10^{16}	<700	
Ge	$>2\times10^{18}$		熔体生长，晶格常数和电活性
Hg	5×10^{17}	1 000	
Mn	$10^{18}\sim10^{19}$	825	放射性同位素示踪
O	4×10^{19}(max)	1 100	质谱
Pb	4×10^{18}		熔体生长，晶格常数和电活性

续表 5.3-4

杂质	平衡浓度/cm^{-3}	温度 T/℃	测量条件及方法
S	1.6×10^{18}	900	
	4×10^{18}		熔体生长，晶格常数和电活性
Se	$c_{Se}eq=9.5\times10^{23}\exp(-1.23(2)eV/kT)cm^{-3}$		
Si	$>4.7\times10^{18}$		熔体生长
	n-type(SiGa) $>3\times10^{18}$		熔体生长
	p-type(SiAs)6×10^{18}		LPE 生长(SiAs 和 SiGa) p-type
Sn	$>1\times10^{19}$	856~750	LPE 生长
Te	1×10^{19}		熔体生长，晶格常数和电活性
Zn	4.5×10^{18}	880	熔体生长，晶格常数和电活性
	4×10^{20}	1 000	放射性同位素示踪
	3.8×10^{20}	1 000	放射性同位素示踪

表 5.3-4 InP 中的一些常见杂质的性质

杂质	有效分凝系数	最高载流子浓度/cm^{-3}	溶解度/cm^{-3}
Sn	0.002	1×10^{19}	1×10^{19}
Ge	0.02	2×10^{19}	2×10^{19}
Te	0.04	2×10^{19}	2×10^{19}
S	0.47	3×10^{19}	3×10^{19}
Si	0.001		
	0.53		
Be	0.16	1×10^{19}	1×10^{19}
Zn	1.0	6×10^{18}	6×10^{18}
	0.85~1.3	8×10^{18}	8×10^{18}
Cd	0.23		
Mn	0.4	6×10^{16}	6×10^{16}
Co	5×10^{-4}		
Cr	3×10^{-4}		
Fe	1.6×10^{-3}		2.5×10^{17}
	2.5×10^{-4}		
Ti	5×10^{-4}		2×10^{17}

1.3 GaAs 中的深能级杂质

GaAs 中过渡族金属 Cr、Fe 等为深能级杂质。这些杂质的能级位置和俘获截面等参数由深能级瞬态谱（DLTS）、光激电流谱（PICTS）、光电导（PC）、光电容谱等方法测出。但由于受到测量方法的精度限制，深能级位置的偏差较大，一般为0.1 eV。不同的方法因反映的物理过程稍有不同而使给出的测量结果有所差别。表 5.3-5 给出了 GaAs 中主要的深能级杂质的能级位置。

表 5.3-5　GaAs 中一些深能级杂质的能级位置测量值

杂质	能级/eV	类型	测量方法
Ti	-0.23	a	DLTS
	-0.20	a	DLTS + DLOS
	-1.00	d	DLTS
	+0.60	d	DLTS
V	-0.14	a	DLTS
	-0.15 (1)	a	DLTS
	-0.14	a	DLTS + 光电离吸收
	-0.14	a	变温 Hall + 光电离吸收
Cr	+0.79	a	变温 Hall
	+0.750 (20)	a	DLTS
	+0.660 (20)	a	DLTS
	+0.685 (20)	a	DLTS
	+0.655 (20)	a	DLTS
	+0.654 (20)	a	DLTS
	+0.645 (20)	a	DLTS
	+0.736 (7)	a	随温度和压力变化的光电离吸收过程
	+0.06 (2)	Cr^{2+}/Cr^{+}	电阻率随压力的变化
	+0.115 (2)	Cr^{2+}/Cr^{+}	随压力变化的 Hall 效应
	+0.055 (2)	Cr^{2+}/Cr^{+}	随压力和温度变化的 Hall 效应
	+0.045 (5)	Cr^{2+}/Cr	de Haas-Shubnikov 测量
	+ (0.324 - 1.4 × 10^{-4}T)	d	变温 Hall
	+0.40 (3)	d	光吸收（空穴）
		d	光吸收（电子）
	+0.45	d	光电导阈值
	+0.42 (1)	d	光 Hall 阈值
Mn	+0.094	a	变温 Hall
	+0.111 (2)	a	光吸收
	+0.113 0	a	由 67C 的结果推断
	+0.113 0 (5)	a	光荧光
	+0.112 43	a	光吸收和光电导
Fe	+0.52	a	变温 Hall
	+0.52	a	DLTS
	+0.59	a	DLTS
	+0.50	a	光电导阈值，对应于 Fe^{2+} 的激发态 $5T^{2}$
	+0.49	a	激发荧光谱
	+0.6	a	DLOS
	-0.85	a	DLOS
	+0.54	a	DLTS
	+0.46	a	光电容顺态阈值，对应于 Fe^{2+} 的激发态 $5T^{2}$ 的跃迁

续表 5.3-5

杂质	能级/eV	类型	测量方法
Co	+0.16	a	变温 Hall
	+0.14	a	光吸收
	+0.156	a	变温 Hall/光吸收
	+0.14	a	光荧光
	+0.140 (5)	$Co2+/CO^{+}$	随压力变化的电阻率和 Hall 测量
	+0.110 (5)	$Co2+/Co^{+}$	随压力变化的电阻率和 Hall 测量
Ni	+0.21	1st a	变温 Hall
	+0.20	1st a	变温 Hall
	-0.40 (4)	2nd a	DLTS
	+1.03 (3)	2nd a	ODLTS
Ag	+0.238	a	光荧光
	+0.235 (4)	a	变温 Hall
	+0.230	a	DLTS
Au	+0.405 (2)	a	变温 Hall
	+0.397	a	DLTS
Rh	-0.88	a	由 GaInAs 的 DLTS 测量估计
Ir	-0.90	a	由 GaInAs 的 DLTS 测量估计
Co/Te	+0.25	a	光荧光

注：“+”位于价带上，“-”位于导带上；a 受主，d 施主。括号内的数字表示不同的测量值的最后一位数字。

1.4　InP 中的深能级杂质

过渡族金属 Fe、Cr、Ti 等是 InP 中的深能级杂质。与 GaAs 类似，这些杂质的能级位置和俘获截面等参数由深能级顺态谱（DLTS）、光激电流谱（PICTS）、光电导（PC）、光电容谱等方法测出。但由于受到测量方法的精度限制，深能级位置的偏差较大，一般为 0.1 eV。不同的方法因反映的物理过程不同而使给出的测量结果有所差别。InP 中的深能级杂质的电学性质见表 5.3-6。

表 5.3-6　InP 中深能级杂质的电学性质

杂质	能级/eV	类型	测量方法
Ti	-0.59 ± 0.02	d	DDLTS
	-0.63(3)	d	DLTS
	-0.64	d	变温 Hall(Ti + Zn 掺杂样品)
	-0.61	d	变温 Hall(Ti + Cd 掺杂样品)
	-0.56	d	DLTS(Ti + Hg 掺杂样品)
	-0.53(1)	d	变温 Hall(Ti + Hg 掺杂样品)
V	+0.21	d	DLTS + 光荧光
Cr	-0.39(1)	a	变温 Hall 和变温电阻测量
	-0.40	a	光电导
	-0.45	a	光电导
	-0.47	a	光电导
	+0.96(1)	a	PICTS
	-0.4	a	DLTS 和 DLOS

续表 5.3-6

杂质	能级/eV	类型	测量方法
Cr	+0.56	d	变温 Hall
Mn	+0.25	a	Hall, DLTS
	+0.21	a	变温 Hall 和变温电阻
	+0.220	a	光吸收
Fe	-0.49	a	DLTS
	-0.62±0.01	a	DLTS, DDLTS
	-0.65	a	变温 Hall 和变温电阻
	-0.63(2)	a	DLTS
	-0.59	a	DLTS
	-0.65	a	光电导
	+0.785 0	a	光吸收
Co	+0.32	a	变温 Hall 和 DLTS
	+0.24	a	DLTS 和 ODLTS
Ni	+0.48(4)	1st a	DLTS
	-0.27(2)	2nd a	DLTS
Au	-0.55	d	DLTS
Rh(A)	+0.71±0.01	a	DLTS, DDLTS
Hf(A)	-0.51	d	DLTS
Zr(1)	-0.53	d	DLTS
Ru	0.53±0.03	a	DLTS, DDLTS
Os	0.31±0.03	a	DLTS, DDLTS
Rh(B)	+0.62±0.02	a	DLTS, DDLTS
Hf(B)	-0.15		DLTS
Hf(C)	-0.12		DLTS
Zr(2)	-0.10		DLTS
Cu	+0.1	d	Hall, 光吸收
Cu_A	0.27	h trap	DLTS
Cu_B	0.64	h trap	DLTS
Cu(1)	0.135	h trap	DLTS
Cu(2)	0.30	h trap	DLTS
Cu(3)	0.69	h trap	DLTS

注:"+"价带上,"-"导带下;DDLTS 表示双电容 DLTS,a 受主,d 施主。

1.5 过渡族金属杂质的光学性质

过渡族金属深能级杂质与晶体的晶格势场作用产生能级分裂,电子在这些能级间的跃迁迁移给出杂质自身特有的光荧光峰和红外吸收峰。这些光学现象可以用来识别和研究深能级杂质。表 5.3-7 和表 5.3-8 分别给出的是 InP 和 GaAs 中深能级杂质的一些光学性质,表 5.3-9 和表 5.3-10 分别给出了 InP 和 GaAs 中深能级杂质的俘获截面。

表 5.3-7 InP 中一些与深能级杂质有关的荧光迁移

杂质	基态	激发态	迁移能量 ZPL/cm^{-1}	衰减时间
V^{3+}:3d^1	$^3A_2$	$^3T_2$	5 690	
Cr-complex			7 150	
Fe^{2+}(3d^6)	^5E	$^5T_2$	2 801	
			2 819	
			2 830	
			2 844	11 μs(4 K)
Fe^{3+}(3d^5)	$^6A_1$	$^4T_1$	4 300	
Co^{2+}(3d^7)	$^4A_2$	$^4T_2$	3 823	120 μs(4 K)
Er^{3+}(4f^{11})	$^4I_{15/2}$	$^4I_{13/2}$	6 375~6 472(5 条线)	
Er^{3+}(4f^{11}) - complexes			6 000~6 900(20~40 条线)	1 ms(10 K)
Yb^{3+}(4f^{13})	$^2F_{7/2}$	$^2F_{5/2}$	9 895.5	
			9 957.5	
			9 993	
U^{3+}(5f^3)			5 988	

表 5.3-8 GaAs 的一些深能级杂质的光学性质
(EJT: Jahn-Teller energy).

杂质	基态	激发态	能量 ZPL/cm^{-1}	测量方法	注释
Ti^{3+}:3d^1	^2E ^2E	$^2T_2$ $^2T_2$	4 567 4 591	红外吸收 光荧光谱	有对应的荧光峰
Ti^{2+}:3d^2	$^3A_2$	$^3T_5$		红外吸收	吸收峰为 0.66 eV 和 1.01 eV
V^{3+}:3d^2				红外吸收	吸收谱和荧光谱
V^{2+}:3d^3			8 300	红外吸收	
Cr^{3+}:3d^3			5 370	红外吸收 光荧光谱	与 4 600/cm^1 荧光峰对应,荧光衰减时间 0.9 μs
Cr^{2+}:3d^4	$^5T_2$	^5E	多条吸收峰线	红外吸收 光荧光谱	有对应的荧光峰,位于 2 000 的弱峰为 Jahn-Teller 吸收
Mn				红外吸收 光荧光谱	未观察到能级间跃迁迁移,有相关的施主-受主荧光峰
Fe^{2+}:3d^6	^5E	$^5T_2$	3 002, 2 988, 2 979, 2 962	红外吸收 光荧光谱	有对应的荧光峰
Co^{2+}:3d^7				红外吸收 光荧光谱	有对应的吸收谱和荧光谱
Ni^{+}:3d^9	$^2T_2$	^2E	4 615	红外吸收	
Nb^{3+}:4d^2			6 416	红外吸收 光荧光谱	
Ta^{2+}			5 160	光荧光谱	
W^{2+}			5 700	光荧光谱	
W^{3+}			5 470	光荧光谱	

表 5.3-9　GaAs 中深能级杂质的俘获截面

杂质	俘获截面 /$10^{-16}\cdot cm^2$	类型	测试方法及条件
Ti	$\sigma_n=50$	a	DLTS
	$\sigma_n=30$	a	DLTS
	$\sigma_{n\infty}=400$	a	DLTS
	$\sigma_{na}=1$	a	DLTS
	$\sigma_n=4$	d	DLTS
	$\sigma_{n\infty}=500$	d	DLTS
	$\sigma_{pa}=0.1$	d	DLTS
V	$\sigma_{na}=19$	a	DLTS
	$\sigma_{na}=40$	a	DLTS
	$\sigma_{na}=200$	a	DLTS
Cr	$\sigma_{pa}=25$	a	DLTS $e_{p(T)}=1.7\times10^{21}\ T^2$ $\sigma_{pa}\exp(-0.858\ eV/kT)s^{-1}$
	$\sigma_{na}=3.5$	a	$e_{n(T)}=2.28\times10^{20}T^2\sigma_{na}$ $\cdot\exp(-0.883\ eV/kT)s^{-1}$
	$\sigma_{p(T)}=1\cdot\exp$ $(-0.020\ eV/kT)$	a	DLTS
	$\sigma_{n(T)}=0.13\cdot\exp$ $(-0.117\ eV/kT)$	a	DLTS
Fe	$\sigma_n=0.5$	a	DLTS
	$\sigma_p=0.001$	a	DLTS
Ni	$\sigma_n=5\times\exp$ $(-0.08\ eV/kT)$	2nd a	DLTS
Ag	$\sigma_p=0.12$	a	DLTS
Au	$\sigma_p=0.14$	a	DLTS

注：a 表示受主，d 表示施主。

表 5.3-10　InP 中深能级杂质的俘获截面

杂质	俘获截面 /$10^{-16}\cdot cm^2$	类型	测试方法及条件
Ti	$\sigma_{na}=40$	d	发射率热激活曲线
	$\sigma_n=6\ 600\pm300$	d	DLTS，DDLTS
V	$\sigma_{pa}=7$	d	DLTS
Cr	$\sigma_{p\infty.}=9.5(10)\times10^3$	a	DLTS，空穴陷阱的 Arrhenius 曲线
	$\sigma_{n\infty}=50$	a	DLTS，空穴陷阱的 Arrhenius 曲线
Mn	$\sigma_{p\infty.}=500$	a	ODLTS
Fe	$\sigma_{n\infty}=350(190)$	a	发射率热激活曲线
	$\sigma_{n\infty.}=400$	a	
	$\sigma_{p\infty}=1.4(5)$	a	DLTS，DDLTS
	$\sigma_n=0.15$	a	DLTS，DDLTS
	$\sigma_p=0.04$	a	DLTS，DDLTS
Co	$\sigma_{p\infty}=200$	a	DLTS
	$\sigma_{n\infty}=130$	a	DLTS
Ni	$\sigma_{p\infty}=10^4$	1st a	DLTS
	$\sigma_{n\infty}=10^3$	2nd a	DLTS
Rh(A)	$\sigma_p=0.017$	a	DLTS，DDLTS
	$\sigma_{p\infty}=13\ 000$	a	DLTS，DDLTS
Rh(B)	$\sigma_p=0.000\ 1$	a	DLTS，DDLTS
	$\sigma_{p\infty.}=760$	a	DLTS，DDLTS
Hf(A)	$\sigma_{n\infty}=2\ 900$	d	DLTS，DDLTS

注：1. a 表示受主，d 表示施主，DDLTS 表示双电容 DLTS. 下标 n，p 分别表示电子和空穴俘获，∞ 表示外推至无穷大温度的值。
2. 深能级杂质的俘获截面通常由 Arrhenius 曲线外推而获得。实际上，难以获得很一致的俘获截面值，因此这些值仅供参考。

1.6　GaAs 中氢-杂质复合体的振动模式

通过实验研究已发现许多杂质与氢形成复合体而产生钝化作用。占据镓位的受主杂质被一个氢原子钝化，这个氢原子与一个最邻近的砷原子形成键（NN），处于两个原子之间的键中心位（BC）。Ⅳ 族受主（砷位）与 BC 位的氢原子直接形成化学键。Ⅵ 族施主杂质原子（砷位）与一个反键（AB）氢原子形成复合体，这个氢原子与远离施主原子的邻近镓原子形成键。Ⅳ 族施主（镓位）与处于 AB 位的氢原子形成键而被钝化。处于 BC 位的氢原子仅呈现伸展模式（stretch mode），而 AB 位的氢原子既产生伸展模式又产生一个频率低的、双重併模式（E wag mode）。砷化镓的这些杂质-氢复合体的振动模式是在原生及离子注入的体单晶材料、外延材料中测量得到的（参见表 5.3-11～5.3-13）。

表 5.3-11　GaAs 中氢-受主杂质复合体的振动模式

复合体	振动模式/cm^{-1}
H-Be（Ga）	2 037.1，555.7①
D-Be（Ga）	1 471.2，553.6①
H-Mg（Ga）	2 144
D-Mg（Ga）	1 547
H-Zn（Ga）	2 146.9
H-Zn（Ga）	1 549.0
H-Cd（Ga）	2 206.7
D-Cd（Ga）	1 591.9
H-Ge（As）	2 010.3
D-Ge（As）	1 447.4
H-Si（As）	2 094.7
D-Si（As）	1 514.4

① 修正的[9] Be LVM。

表 5.3-12 GaAs 中氢-施主杂质复合体的振动模式

复合体	振动模式/cm^{-1}
H-^{28}Si (Ga)	1 717.3
H-^{29}Si (Ga)	1 716.9
H-^{30}Si (Ga)	1 716.5
D-^{28}Si (Ga)	1 247.6
D-^{29}Si (Ga)	1 247.1
H-Si	410.01
D-Si	409.5
H-Si (wag)	896.8
D-Si (wag)	641.5
H-S	1 512.3 (S), 780.6 (wag)
D-S	1 088.4 (S), 556.1 (wag)
H-Se	1 507.5 (S), 778.0 (wag)
D-Se	1 084.8 (S), 554.3 (wag)
H-Te	1 499.9 (S), 771.8 (wag)

注：S—伸展模式，wag—摆动模式。

表 5.3-13 GaAs 中氢-氮和氢-碳复合体以及碳的振动模式

复合体	振动模式/cm^{-1}
H-^{14}N	2 947.4, 1 984.3
H-^{15}N	2 941.6, not detected
^{12}C (As) (Td)	582.8
^{13}C (As) (Td)	561.8 (a)
H-^{12}CAs (str)	2 635.2
H-^{13}C (As) (str)	2 628.5
D-^{12}C (As) (str)	1 968.6
D-^{13}C (As) (str)	1 958.3
H-^{12}C (As) (A1+)	452.7
H-^{13}C (As) (A1+)	437.8
D-^{12}C (As) (A1+)	440.2
D-^{13}C (As) (A1+)	426.9
D-^{12}C (As) (E-)	637.2
D-^{13}C (As) (E-)	616.6
H-^{12}C (As) (E+)	562.6
H-^{13}C (As) (E+)	547.6
D-^{12}C (As) (E+)	466.2
D-^{13}C (As) (E+)	463.8

注：H-，D-未测到伸展模式；
A1+/A-=对称/反对称非简併纵向模式；
E+/E-=双重简併对称/反对称横向模式。

1.7 GaAs 中独立杂质的振动模式

镓（^{69}Ga (60%), ^{71}Ga (40%)）的质量几乎与砷（^{75}As (100%)）的质量相等。不存在振动的间隙模式。在 LEC 法生长 GaAs 过程中，不可避免地产生 C 和 B 的沾污。采用高分辨率的吸收谱测量，可以测到来自 C 原子与两个最近邻的镓同位素的不同组合产生的振动吸收。大多数 B 原子占镓位，产生尖锐的 LVM 线。这种情况下，四个最近邻原子都是^{75}As。Si 由于可以占据 Ga 位和 As 位而给出不同的 LVM 线。O 在 GaAs 中由于占据不同的晶格位置（包括填隙位）而产生不同的振动模式（表 5.3-14）。

表 5.3-14 GaAs 中独立杂质的振动模式

杂质	振动模式/cm^{-1}
^{7}Li (Ga)	450
^{6}Li (Ga)	482
^{9}Be (Ga)	482
^{10}B (Ga)	540
^{11}B (Ga)	517
^{10}B (As)	628
^{11}B (As)	601
^{12}C (As)	582, 1 162①
^{13}C (As)	561
^{14}N (As)	471
^{24}Mg (Ga)	331
^{25}Mg (Ga)	326
^{26}Mg (Ga)	322
^{27}Al (Ga)	362,
^{28}Si (Ga)	384,
^{29}Si (Ga)	379
^{30}Si (Ga)	373
^{28}Si (As)	399
^{30}Si (As)	389
^{28}Si (DX)	376±1.5
^{31}P (As)	355, 708①, (1 058, 1 092)①
^{32}S (As)	未测到
^{11}B (Ga)	123 (谐振)
Ga O Ga (B′)	713.8, 714.2, 714.7
Ga O Ga (B)	714.4, 714.9, 715.4
Ga O Ga (A)	730.2, 730.7, 731.2
Ga-O-As	845.4, 845.8,

① 二次谐振；
② 三次谐振。

1.8 GaAs 中替位杂质复合体的振动模式

双掺或重掺 Si 的砷化镓材料通常有施主-受主对的振动模式吸收。掺 Si 的材料中有由 Si (Ga) －Si (As) 对给出的、位于 366.9/cm，393.3/cm 和 464.7/cm 的吸收峰。393.3 cm 的峰线不是简单的洛仑兹分布，而是由相互叠加的、来自最近邻的不同的镓同位素的组合构成的振动吸收。在含有^{28}Si 和^{30}Si 的材料中可以观察到峰移现象。^{28}Si (Ga) －Ge (As) 以及其他杂质对的吸收谱有类似的现象（表 5.3-15）。

表 5.3-15 GaAs中替位杂质复合体的振动模式

杂质对	振动模式/cm^{-1}
^{28}Si(Ga)-^{28}Si(As)(C3v)	366.9, 393.3, 464.7
^{28}Si(Ga)-^{30}Si(As)(C3v)	456,389
^{30}Si(Ga)-^{28}Si(As)(C3v)	457,389
^{30}Si(Ga)-^{30}Si(As)(C3v)	449,384
^{28}Si(Ga)-Ge(As)(C3v)	373,403
^{28}Si(Ga)-Cu(Ga)(Cs)	373.4,375.4,398.5
^{28}Si(Ga)-Zn(Ga)(Cs)	378,H382,395
^{28}Si(Ga)-Y(V(Ga) Ⅰ)(Cs)	66.8,367.5,397.83
^{28}Si(Ga)-X(V(Ga) Ⅱ)(Cs)	368.4,370.0,399.6
^{32}S(Ga)-Cu(Ga)(C3v)	303
Mg(Ga)-Se(As)(C3v)	335
Mg(Ga)-Te(As)(C3v)	337,350
^{11}B(As)-Se(As)(Cs)	577,609,622
^{10}B(As)-Se(As)(Cs)	601,637,649
^{11}B(As)-Te(As)(Cs)	581,607,623
^{10}B(As)-Te(As)(Cs)	605,633,650
^{11}B(As)-25Si(Ga)(C3v)	349,571,661
^{10}B(As)-28Si(Ga)(C3v)	596,685
^{11}B(As)-Ge(Ga)	582,587
^{10}B(As)-Ge(Ga)	608,614
^{11}B(As)-Sn(Ga)	566
^{10}B(As)-Sn(Ga)	591
^{12}C-^{12}C	1 742,1 859
^{12}C-^{13}C	1 708,1 824
^{13}C-^{13}C	1 674,1 788

1.9 InP中的杂质及杂质复合体的振动模式

由于In原子和P原子的质量差很大，声子色散的光学分支很平坦，与声学分支的间隙很大。相应地，位于515/cm与615/cm之间的双声子态密度的间隙也很大。在这一区间的^{10}B（In）and ^{11}B（In）的局域振动模式吸收不能通过常规的、与两个晶格模式的非简谐耦合过程衰减，其吸收峰的半峰宽相当的尖锐，仅有0.07/cm。

与GaAs相比，InP中只有几个受主杂质和本征缺陷与氢形成复合体被氢钝化。占据铟位的受主杂质被一个氢原子钝化，这个氢原子与一个最邻近的磷原子形成键（NN），处于两个原子之间的键中心位（BC）。Ⅳ族受主（磷位）与BC位的氢原子直接形成化学键。InP中没有发现施主杂质的氢钝化现象（表5.3-16）。

表 5.3-16 杂质及杂质复合体的振动模式

杂质/杂质对	振动模式/cm^{-1}
^{10}B（In）	544
^{11}B（In）	523
^{28}Si（In）	431
^{30}Si（In）	422，417，436
Ga（In）	350
As（In）	223
H（In）	2 197
D（In）	1 612
Be-H	2 236.5
Be-D	1 630.9
Zn-H	2 287.7
Zn-D	1 664.5
Cd-H	2 332.4
Cd-D	1 695.4
$V_{In}H_4^+$（T_d）	2 315.2
$V_{In}D_4^+$（T_d）	1 683.4
$V_{In}H_2^-$（C_{3v}）	2 201.7
$V_{In}D_2^-$（C_{3v}）	1 603.8
Mn-H	2 272.0
V-H（n-type）	2 285.7
Ti-H	2 300.0

1.10 杂质的扩散

1.10.1 InP中杂质的扩散

杂质的扩散系数决定于InP的组分分压。由于杂质的扩散受到材料中的缺陷、位错等影响，实际的扩散规律与理想的Fick定律不符合。为了方便起见，杂质的扩散系数一般按照 $D = D_0\exp(-Q/kT)$ 的关系给出。可以看出，由于受到实验条件的影响，杂质的扩散系数只具有参考意义（表5.3-17、表5.3-18）。

表 5.3-17 InP中自扩散系数

元素	$D_0/cm^2\cdot s^{-1}$	Q/eV	T/℃	测试方法
In	1×10^5	3.85	838～980	放射性示踪
P	7×10^{10}	5.65	903～1 010	放射性示踪

表 5.3-18 InP中杂质扩散系数

杂质	$D_0/cm^2\cdot s^{-1}$	Q/eV	测试方法说明
Ag	3.6×10^{-4}	0.59	放射性示踪
Au	1.32×10^{-1}	0.48	放射性示踪
Cd	1.8	1.9	放射性示踪
Cu	3.8×10^{-2}	0.69	放射性示踪
Zn	杂质分布		放射性示踪
Zn	与蒸气压有关		放射性示踪
Zn	化学扩散		放射性示踪
Zn			
Zn		1.3 eV	Zn_3P_2 覆盖

1.11 GaAs中杂质的扩散

杂质的扩散系数与许多测量条件有关。最简单的用于分

析扩散的条件是等浓度条件，即一种放射性示踪杂质扩散到材料里面，这种材料中已含有高浓度的同一种杂质（不具有放射性活性的）。这样的实验也可以用两个非放射性的同位素杂质来做，然后用二次子质谱来测量杂质的分布。然而，大多数杂质扩散实验是在化学扩散条件下进行的，即在相当大的浓度梯度下进行的。由于扩散杂质的分布通常是非理想的，这使得难以把各个不同的条件下获得的结果联系起来。而且杂质的扩散受到杂质电离、电场、点缺陷的电离等许多因素的影响。此外，杂质扩散受材料的组分压力的影响。了解杂质在化合物半导体中的扩散还需要将扩散条件和系统组分与三元相图联系起来。这仅有少数杂质的资料（如砷化镓中的 Zn）。尽管如此，杂质扩散的数据对于半导体器件、材料加工等工艺仍具有参考意义（表 5.3-19）。

表 5.3-19 GaAs 中杂质的扩散系数

杂质	$D_0/cm^2\cdot s^{-1}$	Q/eV	测量说明
Ag	4.0×10^{-4}	0.80	放射性示踪
	2.5×10^{1}	2.27	放射性示踪
Au	1.0×10^{-3}	1.0	放射性示踪
	2.9×10^{1}	2.64	放射性示踪
Be	7.3×10^{-6}		方块电阻测试
Cd	5.0×10^{-2}	2.43	放射性示踪
Cr	4.3×10^{3}	3.4	放射性示踪
	$D(800℃)=6.7\times10^{-12}$		SIMS
	8.53×10^{4}	3.53	外扩散，SIMS
Cu	3.0×10^{-2}	0.53	放射性示踪
Hg	$D(1\,000℃)=5\times10^{-14}$		放射性示踪
In	$D(1\,000℃)=7\times10^{-11}$		放射性示踪
Mg	2.6×10^{-2}	2.7	p-n 结分析，SIMS
Mn	6.5×10^{-1}	2.49	放射性示踪
O	2.0×10^{-3}	1.1	外扩散，SIMS
S	1.2×10^{-4}	1.8	p-n 结分析
	2.6×10^{-1}	1.86	p-n 结分析
	1.6×10^{-5}	1.63	分步方块电阻测试
	1.85×10^{-2}	2.6	放射性示踪
Se	3.0×10^{3}	4.16	放射性示踪
Si	0.11	2.5	SIMS，Hall effect，SIMS，缺陷模型分析
Sn	3.5×10^{-2}	2.7	放射性示踪
	9.43×10^{-8}		放射性示踪，SIMS
Te	$D(1\,000℃)=10^{-13}$	1	放射性示踪
	$D(1\,100℃)=2\times10^{-12}$		放射性示踪
Tm	$2.3\times10^{-16}(-)$	1.0	放射性示踪
Zn			Ge 扩散 SiO_2/Ge/GaAs interfaces

2 缺陷

在实际晶体中，由于各种原因，会使晶格的周期性发生错乱，这些原因包括范性形变引起的晶格变形和滑移、晶体生长时产生的原子排列错乱以及引入杂质等等。格点排列错乱的晶格不完整称为晶格缺陷，它使半导体的机械强度、电学和光学性质发生显著变化。

晶格缺陷包括点缺陷、线缺陷、面缺陷和体缺陷。砷化镓和磷化铟单晶材料中研究较多的缺陷包括点缺陷（比如空位），线缺陷（比如位错）和体缺陷（例如砷沉淀）。晶界一类的面缺陷则是应尽力避免的。

2.1 点缺陷

最简单的点缺陷是晶体格点失去原子或离子后的空位，以及在正常格点间隙填入原子或离子形成的填隙原子，如图 5.3-1 所示。只由空位形成的缺陷称为肖特基缺陷。另外，当格点上的原子或离子移动到晶格间隙位置时，会产生如图 5.3-2 所示的空位和填隙原子（或离子）对，这种缺陷称为弗兰克尔缺陷。按照热力学的观点，当外界压力不大时，固体的热平衡状态由自由能 $F=U-TS$ 最小这一条件决定，式中 U 为内能，T 为绝对温度，S 为熵。当形成缺陷时，系统内能增加，但是另一方面，当晶体中产生缺陷时，系统的熵 S 也增加，因此形成一定数量的空位会使自由能减少，达到热力学稳定。点缺陷可以通过高能电子束，γ 射线或高速中子照射晶体而形成。用放射线引入缺陷的现象称为辐射损伤，被用来作为研究晶体中晶格缺陷行为的一种手段，也可以用来进行晶体性能改造和提高器件的某些性能。

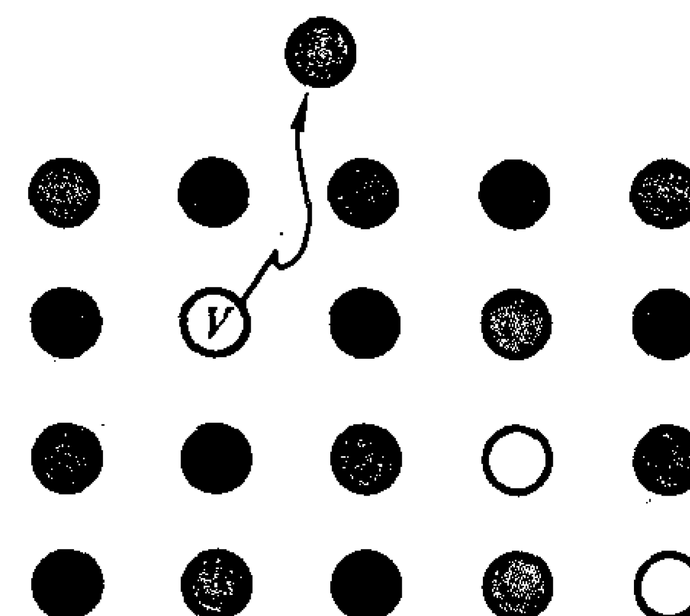


图 5.3-1 肖特基缺陷
（原子逸出晶体，留下空位）

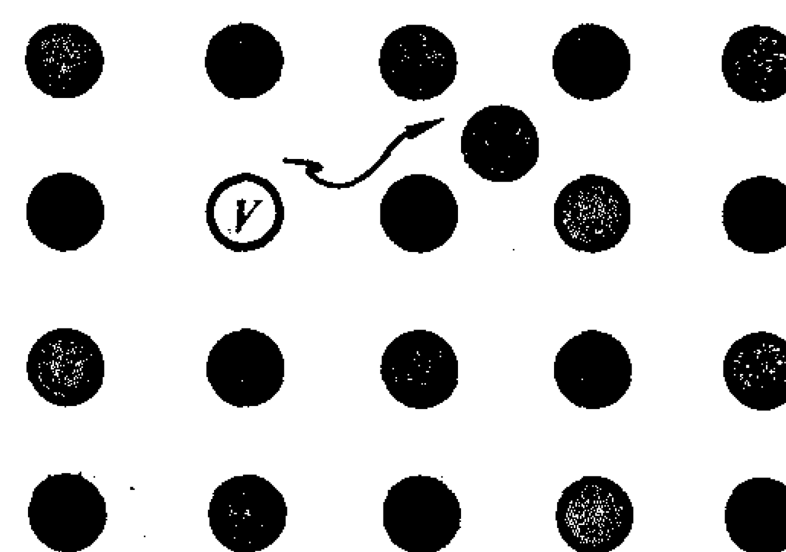


图 5.3-2 弗兰克尔缺陷
（原子离开正常格点位置，形成间隙原子并留下空位）

一般地，系统中单位体积内肖特基缺陷的数目 N_S 和格点数目 N 存在如下关系：

$$\frac{N_S}{N}=\exp\left(-\frac{W_S}{k_B T}\right)$$

式中，W_S 为肖特基缺陷形成能；k_B 为玻尔兹曼常数；T 为绝对温度。

系统中单位体积内弗兰克尔缺陷的数目 N_F 和格点数目 N 存在如下关系：

$$N_F=\sqrt{N\cdot N_i}\exp\left(-\frac{W_F}{2k_BT}\right)$$

式中，N_i 为单位体积内晶格间隙位置数目；W_F 为弗兰克尔缺陷形成能；k_B 为玻尔兹曼常数；T 为绝对温度。

在砷化镓和磷化铟中，点缺陷主要有空位、间隙原子、反位缺陷和多种形式的点缺陷络合体。常见的缺陷反应包括：



$$ⅢA\rightarrow V_{ⅢA}+ⅢA_i$$



$$VA\rightarrow V_{VA}+VA_i$$



$$V_{ⅢA}+VA_i\rightarrow VA_{ⅢA}$$



$$V_{VA}+ⅢA_i\rightarrow ⅢA_{VA}$$

以上各式中，ⅢA，VA 分别为正常的ⅢA 族和 VA 族原子；$V_{ⅢA}$，V_{VA}分别为ⅢA 族和 VA 族元素空位；$ⅢA_i$，VA_i 分别为ⅢA 族和 VA 族元素间隙原子；$ⅢA_{VA}$，$VA_{ⅢA}$分别为ⅢA 族和 VA 族元素的反位缺陷。

以上本征点缺陷浓度符合质量作用定律，

$$[V_{ⅢA}]\cdot[ⅢA_i]=K_1(T)$$

$$[V_{VA}]\cdot[VA_i]=K_2(T)$$

$$[V_{ⅢA}]\cdot[V_{VA}]=K_3(T)$$

$$[VA_{ⅢA}]\cdot[ⅢA_{VA}]=K_4(T)$$

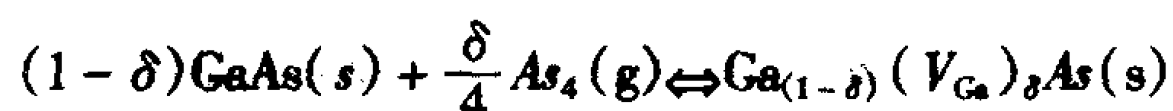
式中，$K_1(T)$，$K_2(T)$，$K_3(T)$和 $K_4(T)$是反应常数，它们都是温度 T 的函数。

以上各简单缺陷还可以通过相互间引力形成络合体。

在化合物半导体中，各种点缺陷的浓度和晶体化学计量比关系密切，比如在砷化镓中砷、镓原子间的理想化学计量比是 1:1。但在实际晶体中，都或多或少的偏离理想值。如果镓、砷原子数量之比 > 1，则多余的镓原子可能在晶体中成为间隙原子，也可能表现为相应数量的砷空位 V_{As}或反位缺陷 Ga_{As}。晶体偏离化学计量比不会改变质量作用定律以及其他有关的平衡关系式，但会使有关的各种平衡改变原来的平衡位置，从而影响晶体中某些缺陷的平衡浓度。另外，热处理时外加砷压也会改变晶体化学计量比和原有的缺陷平衡关系。

以砷化镓为例粗略的分析如下（InP 遵循类似规律）：

1 个砷原子由气相进入晶格，产生一个 V_{Ga}，



$$(1-\delta)\text{GaAs}(s)+\frac{\delta}{4}As_4(g)\Leftrightarrow \text{Ga}_{(1-\delta)}(V_{Ga})_\delta As(s)$$

式中，为讨论简单起见，略去 As_2 组分，因为在高温下 As_4 组分占砷蒸气的大部分；$\delta\ll 1$；按照质量定律：

$$\frac{[V_{Ga}]}{P_{As_4}^{1/4}}=K'(T)$$

式中，P_{As_4}是外界砷蒸气压；$K'(T)$ 是反应平衡常数。

在一定温度下，砷压一定时将存在一定的缺陷平衡浓度。显然，砷压增高不仅使 V_{Ga}的浓度增大，也使晶体中的 As_i 和 As_{Ga}的浓度增加。

化学计量比的偏离对各类本征点缺陷的形成和杂质原子在晶格中的占位均起到重要作用。由于本征点缺陷和其络合体会产生不同深度的能级，各类杂质原子的占位情况也和本征点缺陷密切相关，从而对化合物半导体材料的各项性能参数产生影响，因此如何控制各类本征点缺陷的浓度，一直是化合物半导体晶体生长工作者研究的重要课题。

砷化镓中的点缺陷：

GaAs 中的 As、Ga 原子也带有一定程度的离子性，其中 As 原子附近电子云密度较大，相对带负电荷。因此，在 GaAs 中许多人都采用 V_{As}为施主、V_{Ga}为受主的观点来解释。

在砷化镓单晶中，最重要的是以反位缺陷 AsGa 为主体的 EL2 深能级施主缺陷，它是半绝缘砷化镓单晶存在的最重要因素之一。EL2 能级约为 0.76 eV，处于砷化镓带隙中间，随着温度的升高，它不断释放出电子补偿空穴，使费米能级钉扎在禁带中央，其机理可用 5 能级模型描述，如图 5.3-3 所示。轻施主 E_{SD} 补偿浅受主 E_{SA}，当 E_{SD} 不足以补偿时，EL2 提供电子补偿 E_{SA}，从而使晶体保持半绝缘性能（电阻率 > 10^7 Ω·cm）。随着材料纯度的提高，目前半绝缘砷化镓中浅施主，如硅等，数量很少，主要的杂质是浅受主碳，一般浓度为 10^{15}/cm，必须由足够数目的 EL2 去补偿，要求 EL2 浓度在 10^{16}/cm。随着外延技术的发展，要求更高电阻率（电阻率 > 10^8 Ω·cm）的衬底单晶以减少衬底漏电流，可以采用人工掺碳的方法，常用的技术是在生长气氛中通入适量 CO、CO_2 或 H_2O 气体。

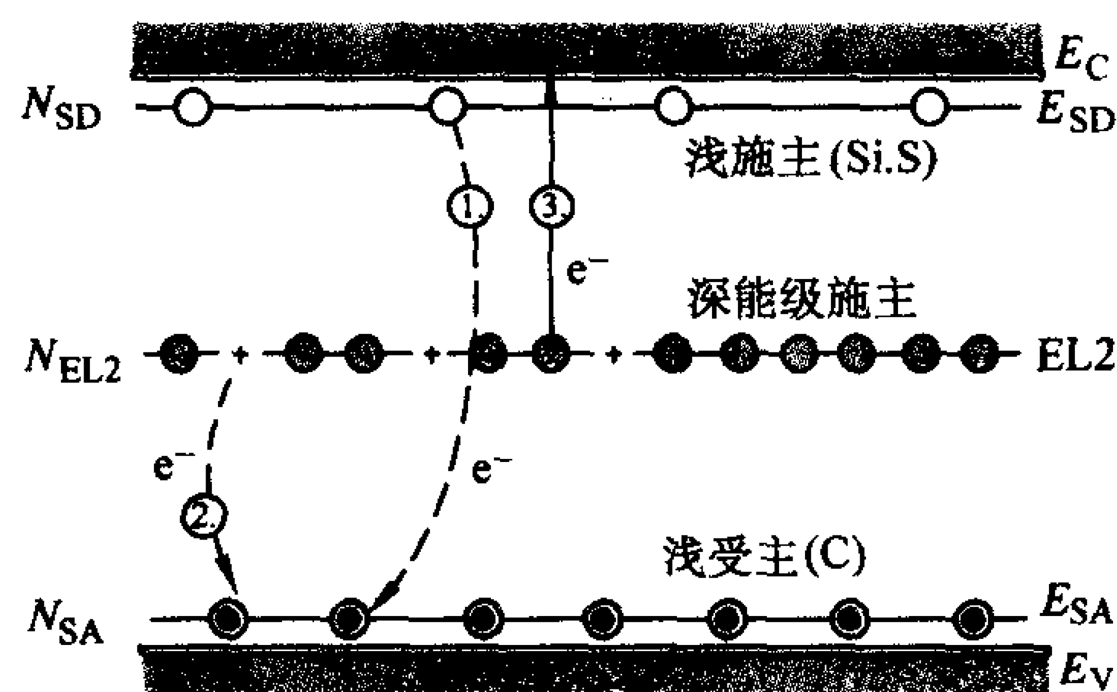


图 5.3-3　半绝缘砷化镓补偿机理示意图

EL2 的真实微观结构到目前还没有定论，主要有两类主要观点。一类是认为 EL2 是单一的 As_{Ga}反位缺陷，另一种观点则认为 EL2 是 As_{Ga}反位缺陷和 As_i 的络合体。但是，无论是哪种观点，As_{Ga}反位缺陷都是 EL2 能级的主体，基本上所有的定性分析可以按照 EL2 是单一的 As_{Ga}反位缺陷进行。

EL2 浓度和初始熔体中砷原子的摩尔分数有关，一般砷摩尔分数越低，EL2 浓度越小，如图 5.3-4 所示。如果砷的摩尔分数过低，晶体将由 n 型转变为 p 型。另外，退火过程中外加砷压、退火温度和降温速率等参数都会影响 EL2 浓度和分布情况。在高温退火时，如果外加砷压不足，长时间退火会导致晶体由 n 型向 p 型转变。另外，在 1 100℃以上高温淬火，可以使 EL2 浓度迅速下降，导致晶体表现出 p 型；然后，在 950℃下退火，又可以使 EL2"再生"，使晶体恢复半绝缘状态。但是有合适的外加砷压保护时，从 1 100℃以上高温缓慢降温，EL2 浓度变化不大，可以保持半绝缘状态。此种现象可解释如下：晶体在 1 100℃以上时，砷原子热运动速度很快，脱离镓位，形成间隙原子，在淬火过程中，砷间隙原子来不及占据镓位形成 AsGa 反位缺陷而被固定在晶格中，因此 EL2 浓度迅速下降，而在 950℃下退火和缓慢降温过程中，砷间隙原子有足够的时间形成 As_{Ga}反位缺陷，使 EL2 保持足够的浓度。

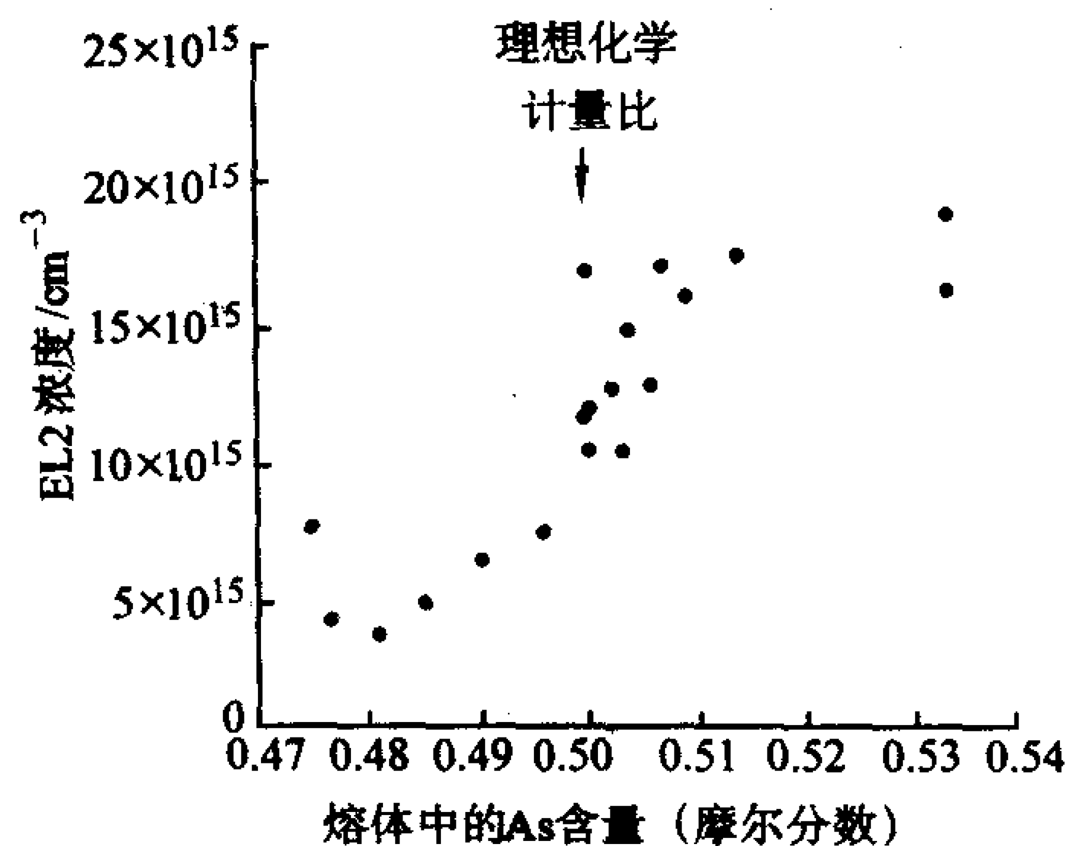


图 5.3-4　EL2 浓度和熔体初始组分的关系

在LEC和VGF半绝缘砷化镓中，EL2分布和位错的关系密切，往往在位错线附近EL2浓度较高。这往往和位错线上的悬挂键能够吸引富余砷原子有关。在介观尺寸上（数微米到数十微米，即"位错胞"的尺寸），会造成电阻率和迁移率的分布不均匀，从而影响器件的一致性。通过合适的退火工艺可以提高EL2分布的均匀性。通过合理的热处理工艺，可以使EL2分布均匀化，提高电学参数均匀性。

表5.3-20　常见GaAs中电子陷阱的性质

名称	俘获截面 $\sigma_a/10^{-14}\cdot cm^{-2}$	能级 E_a/eV
EL2	10	0.82
EL3	10	0.57
EL5	20	0.42
EL6	1.5×10^2	0.35
EL12	5×10^2	0.78
EL14	5×10^{-2}	0.21
EA2	5×10^{-2}	0.52
EA6	/	0.18
EA7	0.1	.014

表5.3-21　常见GaAs中空穴陷阱

名称	俘获截面 $\sigma_a/10^{-14}\cdot cm^{-2}$	能级 E_a/eV
HB5	20	0.40
HA6	2	0.18

每个陷阱一般认为和本征缺陷以及相关络合体有关，但是其具体结构，许多至今没有明确结论，各个报道也不尽相同（见表5.3-20、表5.3-21），此处不再详述，请参考相关文献。

磷化铟中的点缺陷：

在原生磷化铟晶体中，本征点缺陷浓度均较低，一般在仪器检测限以下。对材料的电学、光学等性质影响较小。在此不过多的讨论，有兴趣的读者可参考相关文献。

2.2　线缺陷

线缺陷中最重要的是位错。晶格排列错乱连成线状而构成的缺陷称为位错。位错有刃型位错、螺旋位错和复合位错三种。

在图5.3-5中，晶格的上半部相对于下半部滑移一个伯格斯矢量 b，原子之间的结合偏离了原来的位置，形成在上半部嵌入一个多余的晶面 OA 的状态。沿晶面 OA 下沿，原子间结合的错乱连成一条垂直于纸面的直线，称之为刃位错，通过 A 点垂直于纸面的线称为位错线。刃型位错线垂直于伯格斯矢量 b。

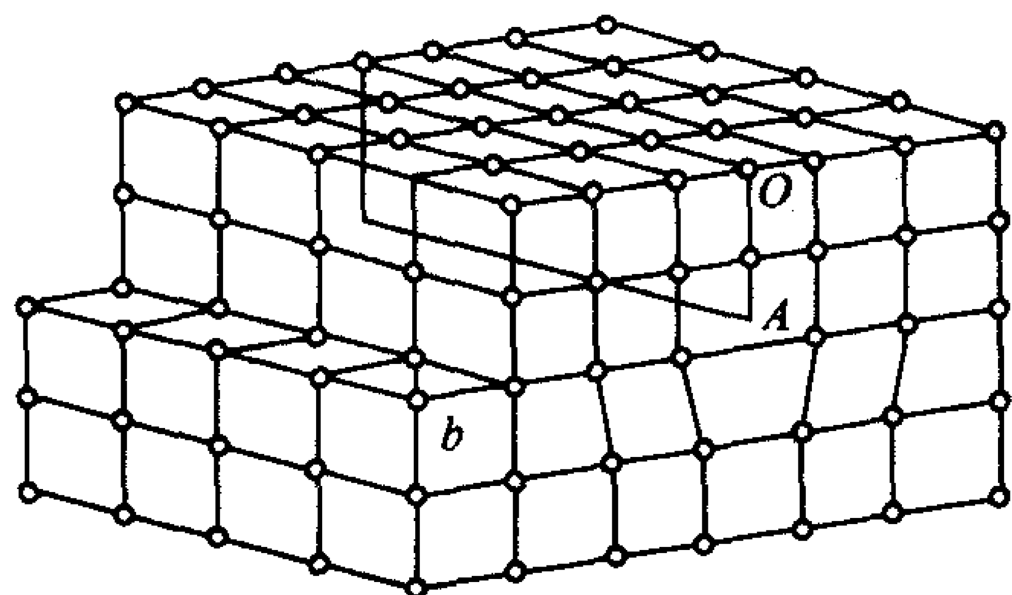


图5.3-5　由于晶格上半部滑移了一个伯格斯矢量 b，在多余的半平面 OA 的下沿引入刃位错

在图5.3-6中，当晶格的右半部滑移一个伯格斯矢量 b 时，出现了每绕OB轴旋转一周就会移动一个晶面的晶格排列错乱，这种缺陷称为螺旋位错。螺旋位错的位错线是图5.3-6中的 OB 轴，它和伯格斯矢量 b 平行。晶体生长是通过在晶体表面逐个附着原子进行的，如果晶体表面上有台阶形的原子层，则原子就更容易附着上去。当存在螺旋位错时，也就提供了台阶形原子层，所以在实际的晶体表面常常观察到如图5.3-6b那样的螺旋状生长条纹。

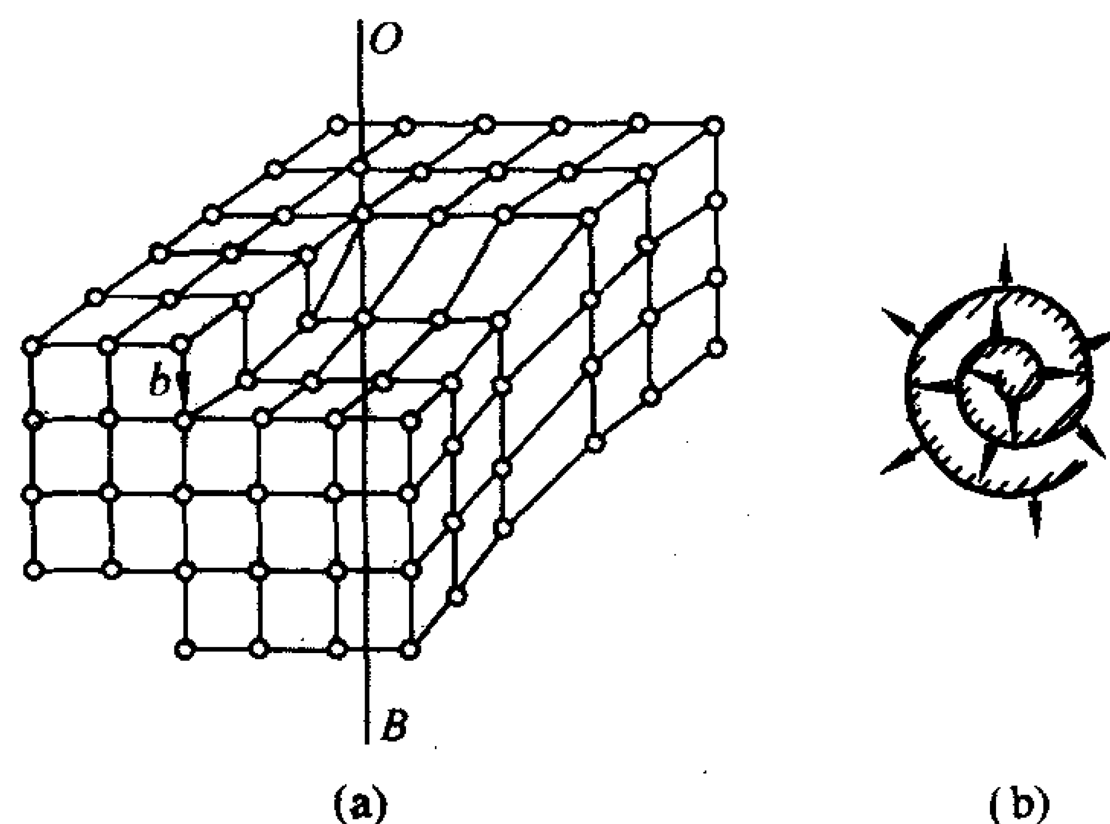


图5.3-6　晶格的右半部滑移了一个伯格斯矢量 b，沿 OB 轴引入螺旋位错

第三种就是滑移矢量和位错线既不平行也不垂直，称为复合位错，实际情况中此类位错最为常见，如图5.3-7所示。

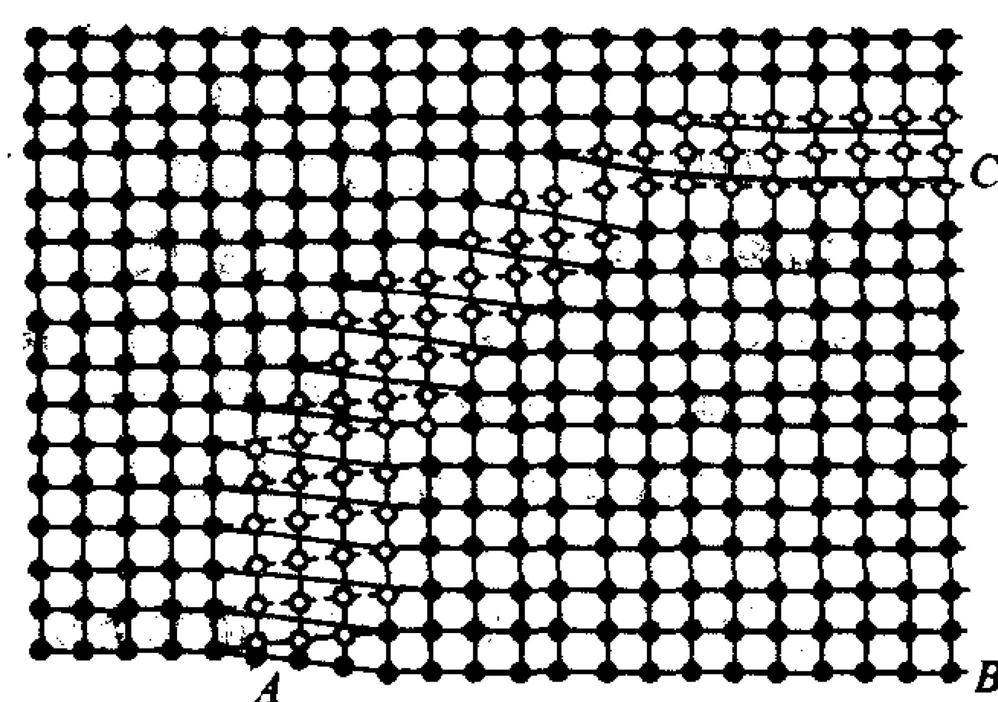


图5.3-7　复合位错示意图（平面混合位错 AC）

位错往往会穿通晶体，终结于晶体表面，因此常常利用特定的腐蚀液腐蚀晶体表面，利用腐蚀坑的密度来表征位错的密度；但也有的位错会在晶体内部互相融合或抵消。

通常化合物单晶临界剪切应力低，位错容易在晶体内部形成并移动，位错密度一般较高。位错引入通常和籽晶、固液界面处的温度梯度、冷却过程中晶体内部温度梯度有关。在晶体生长中，随着单晶直径的增大，位错密度迅速增加，但是位错密度增大到一定数量后，增加速度减缓，被认为是高密度的位错在一定程度上防止了新位错的产生和滑移，起到了"钉扎"位错、"硬化"晶格的作用。一般通过降低固液界面处的温度梯度、改进冷却过程中的保温，可以制备出低位错单晶。同时，掺入合适的杂质原子，使晶格产生轻微变形，可以提高临界剪切应力，也非常有利于低位错单晶的生长。在后续热处理中，如果升降温过快或温度分布明显不均匀，晶体内部热应力超过临界剪切应力，会引起位错密度的上升。因此，在VGF等低位错单晶中不能采用高温淬火技术提高晶体的均匀性。在加工过程中，加工设备精度不够或工艺条件控制不好，比如夹持力量过大、刀具振动、切割速度过快等等因素，外加应力过大，也会在晶体内部带来一定数量的位错，个别极端情况甚至会使晶体破裂。在晶体抛光过程中，如果工艺参数不合理，由于二氧化硅胶体等比较

坚硬的抛光浆料的摩擦刻画作用，会使晶体表面形成一层很薄的高位错层，被称为“亚表面损伤层”。

刃位错对材料性能的影响最大。位错线类似一条“管道”，杂质易于从中扩散，使扩散结前沿不平整，使反向击穿电压降低或出现二次击穿，甚至造成结穿通、短路等。其次，位错线附近应力集中，易于被腐蚀成坑并淀积杂质，使器件漏电增加。位错引起的悬挂键可以接受电子而成为受主，会改变材料的电阻率。同时，位错还会在禁带中提供能级，成为非辐射复合中心，从而降低发光效率。

下面介绍砷化镓中的位错。

砷化镓中的位错根据生长工艺技术的不同，主要来源亦有一些区别。水平布里奇曼法和垂直梯度凝固法单晶位错主要来源于籽晶和固液界面处的温度梯度。液封直拉法单晶位错还必须考虑冷却过程中的温度梯度。由于砷化镓为各向异性晶体，在轴对称热场中生长的晶体，比如 LEC 法、VGF 法和 VCZ 法晶体，在晶体横截面上的位错分布和晶体的对称性有比较明确的对应关系。比如，液封直拉（100）晶体位错分布具有 4°对称性，如图 5.3-8 所示。

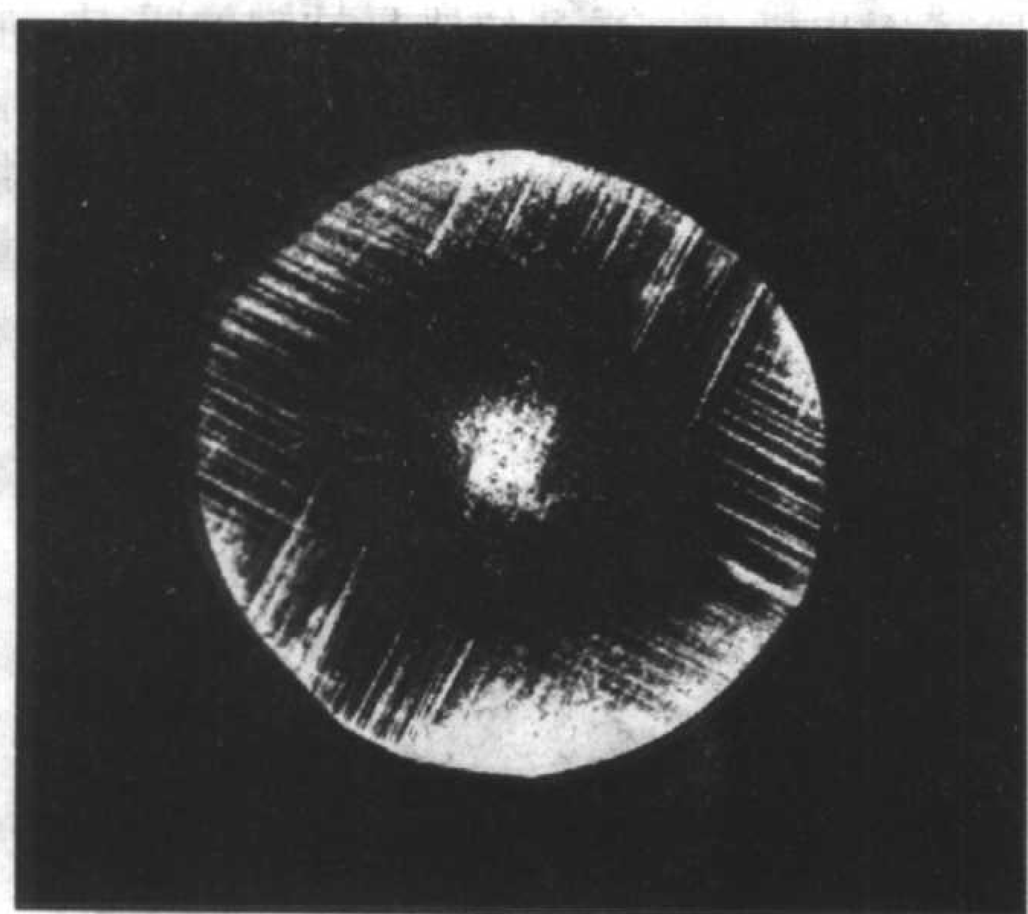


图 5.3-8 GaAs（100）晶体位错分布具有 4°对称性

另外，由于籽晶引入的位错通常会在晶体中延伸很长的距离，沿生长方向在籽晶的投影位置处，位错密度通常会偏高，比如在液封直拉和垂直梯度凝固的晶体中，位错密度沿径向分布呈“W”型分布，如图 5.3-9 所示。中间位错密度升高的部分就是由于籽晶处位错延伸形成的，边缘的高位错区主要和边缘部分的温度梯度高有关。

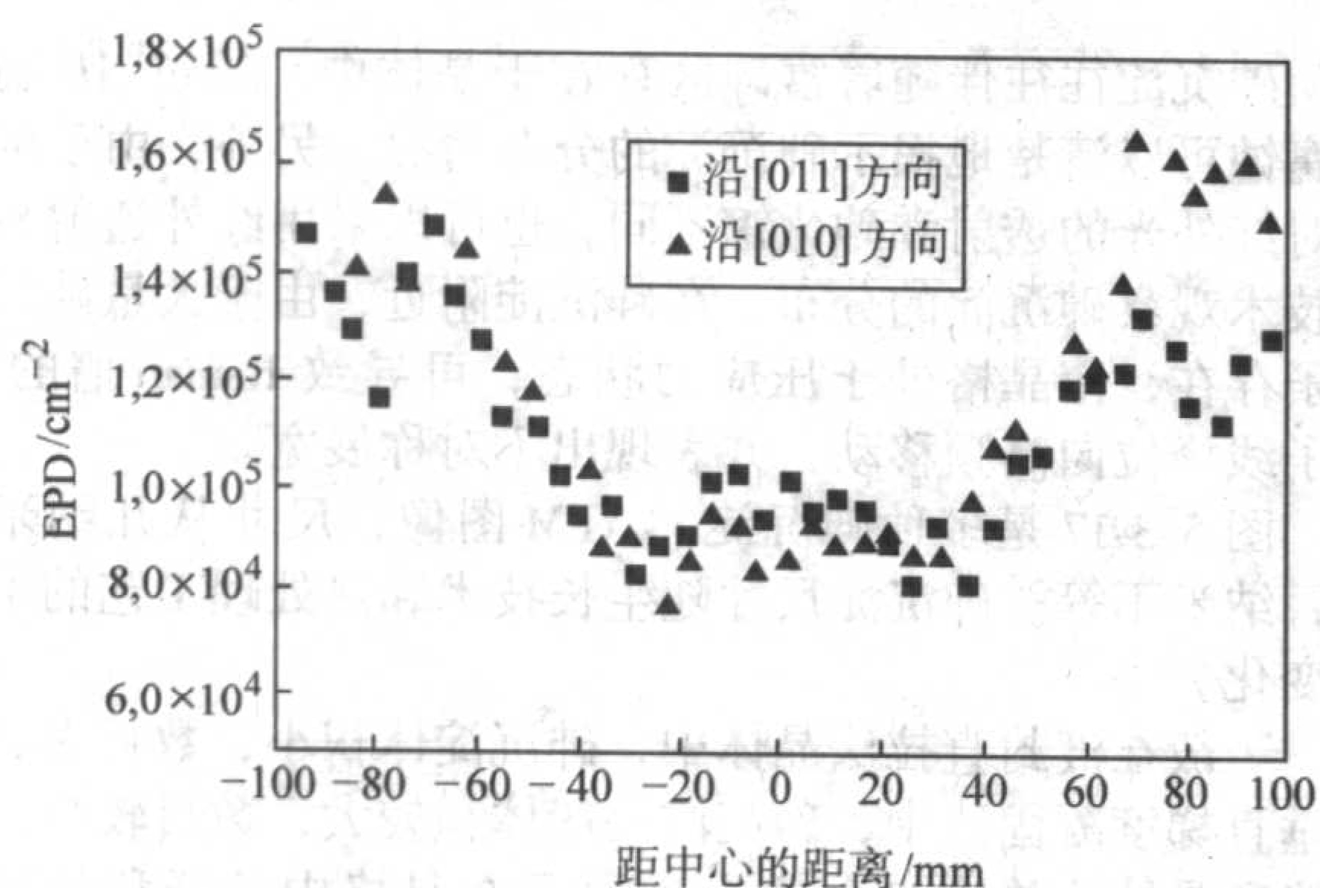


图 5.3-9 液封直拉法（100）GaAs 沿径向位错分布

在液封直拉法一类轴对称热场中生长的晶体中，大量的位错通常呈胞状排列，胞壁是高位错区，胞中间晶格完整性较好，如图 5.3-10 所示。“位错胞”壁上位错的悬挂键能够吸引附近的富余砷原子形成砷沉淀。

在砷化镓中，位错会造成晶格势场的畸变，加强了晶格对载流子，特别是对空穴的散射，使空穴迁移率明显下降，

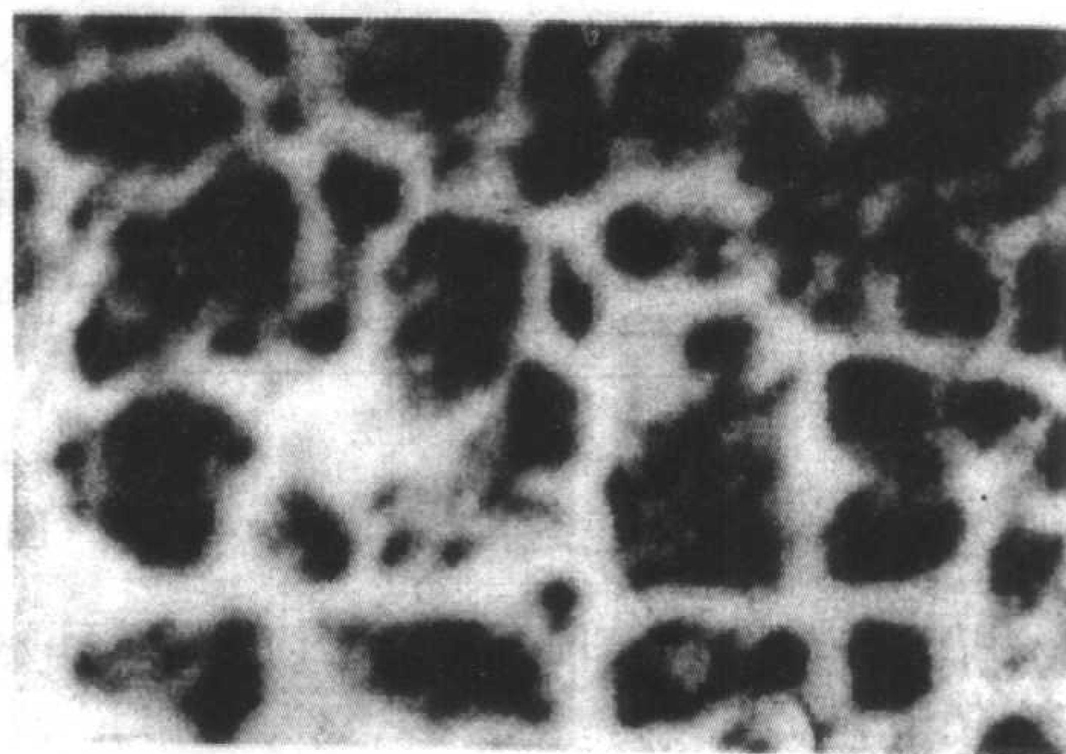


图 5.3-10 LEC 砷化镓单晶中“位错胞”的同步 X-射线形貌像

因此在双极器件中，如 LED，LD，HBT 等，要求使用低位错衬底，避免在外延层中引入大量位错导致器件的性能下降，发热增多，寿命缩短。另外，位错会增加非辐射复合，导致发光器件效率降低，寿命缩短，因此在双极器件应用中，应选择低位错的单晶材料。在单极器件中，比如在 MESFET 中，由于电子迁移率受位错密度的影响较空穴小，因此 MESFET 可以利用位错密度较高的 LEC 衬底制造，以降低制造成本。目前位错密度在 $1.5\times10^{15}/cm^2$ 以下的 152.4 mm（6 in）砷化镓衬底已经用于器件产业化生产。

在砷化镓中，位错上的悬挂键会吸引富余砷原子形成砷沉淀，从而引起局部的 EL2 浓度升高，载流子浓度加大，同时，加强了对电子和空穴的晶格散射，引起载流子迁移率下降，造成晶片光学和电学性质的不均匀，导致器件的一致性降低，对提高电路的集成度不利。

InP 中的位错对微电子和光电子器件的影响不如 GaAs 明显，即使在掺 Fe 的半绝缘 InP 中，也不会形成像 GaAs 中的沿位错分布的沉淀物。使用位错密度较高的 LEC 法 InP 制造的激光器也取得了很好的应用效果。

2.3 面缺陷

沿二维方向扩展的格点排列错乱称为面缺陷，包括由晶面堆垒顺序错乱产生的面缺陷称为堆垛层错和晶界。

（1）堆垛层错

在正常晶格中，原子是依次顺序排列，如图 5.3-11 为面心立方格子的（111）密排面。当堆积完第一层原子 *a* 后，依次堆垛 *b*，*c*，最终形成 *abcabc*。堆垛层错是由于原子层堆积的错误而形成，并只有在相继的层不相同时才能发生。

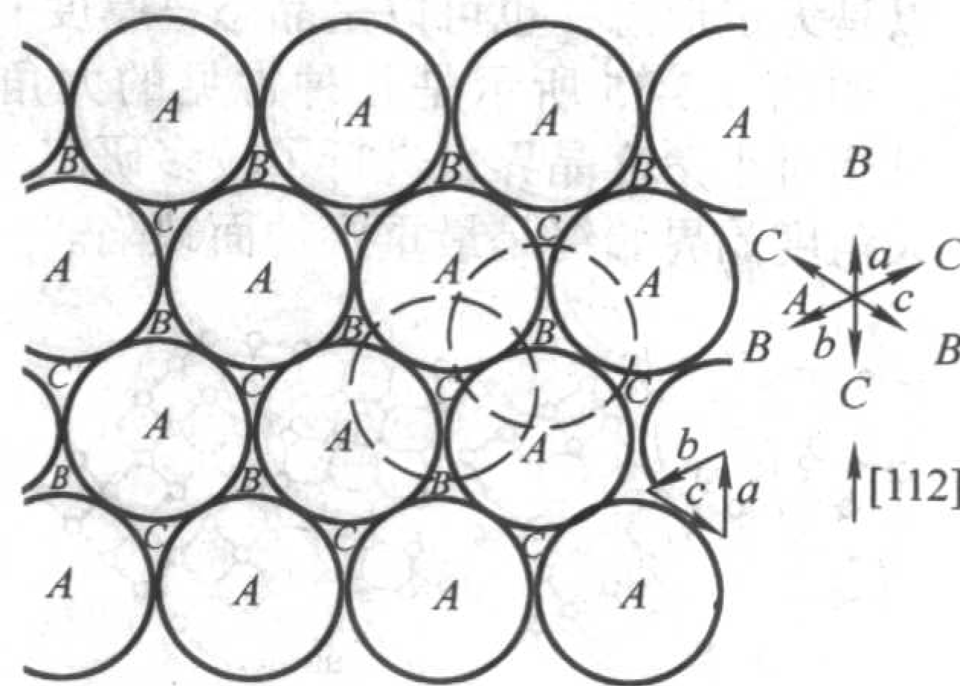
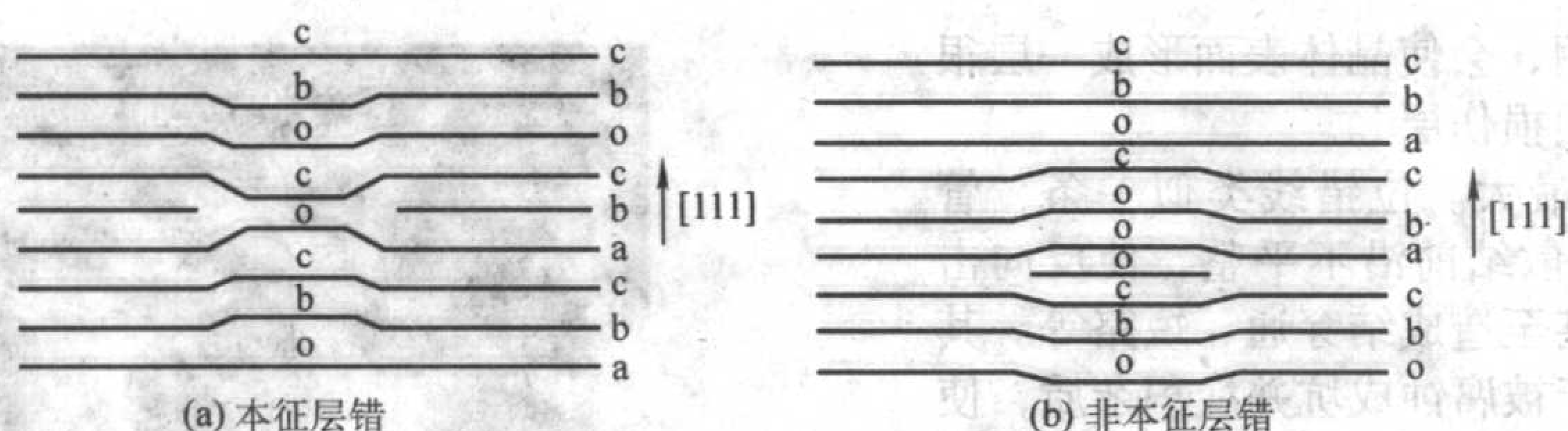


图 5.3-11 面心立方格子（111）面堆垛

图 5.3-12 是堆垛层错的示意图。从团中可以看出，当在正常的层次中抽去一层原子（本征层错）或插入一层额外原子（非本征层错）时，便形成一个层错。在晶体生长过程中，如果成核地点发生错误或有外来的薄原子片时，再往上生长就会造成层。此外某些线缺陷若与滑移运动相结合，就可能成为多出或失去一个原子面的起源点。

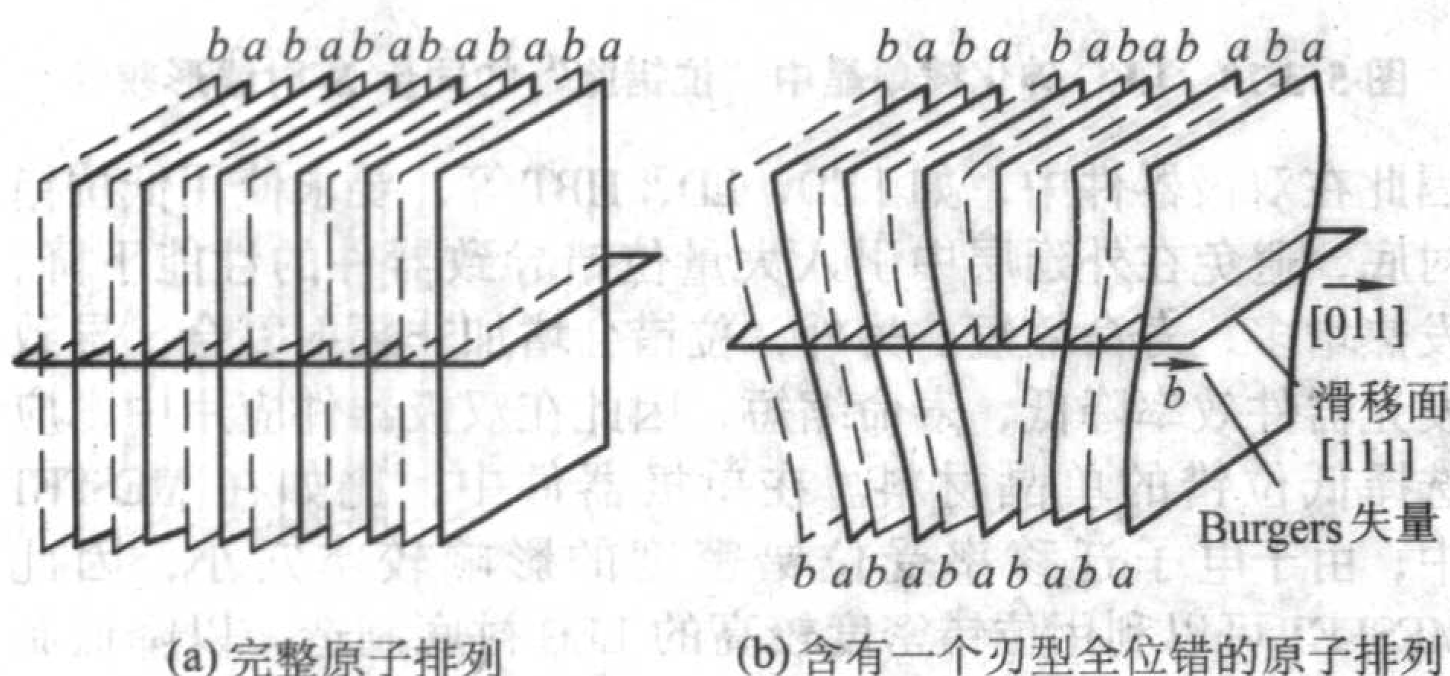
层错的端面会产生位错，如图 5.3-13a 所示为完整面心



(a) 本征层错　(b) 非本征层错

图 5.3-12　堆垛层错示意图

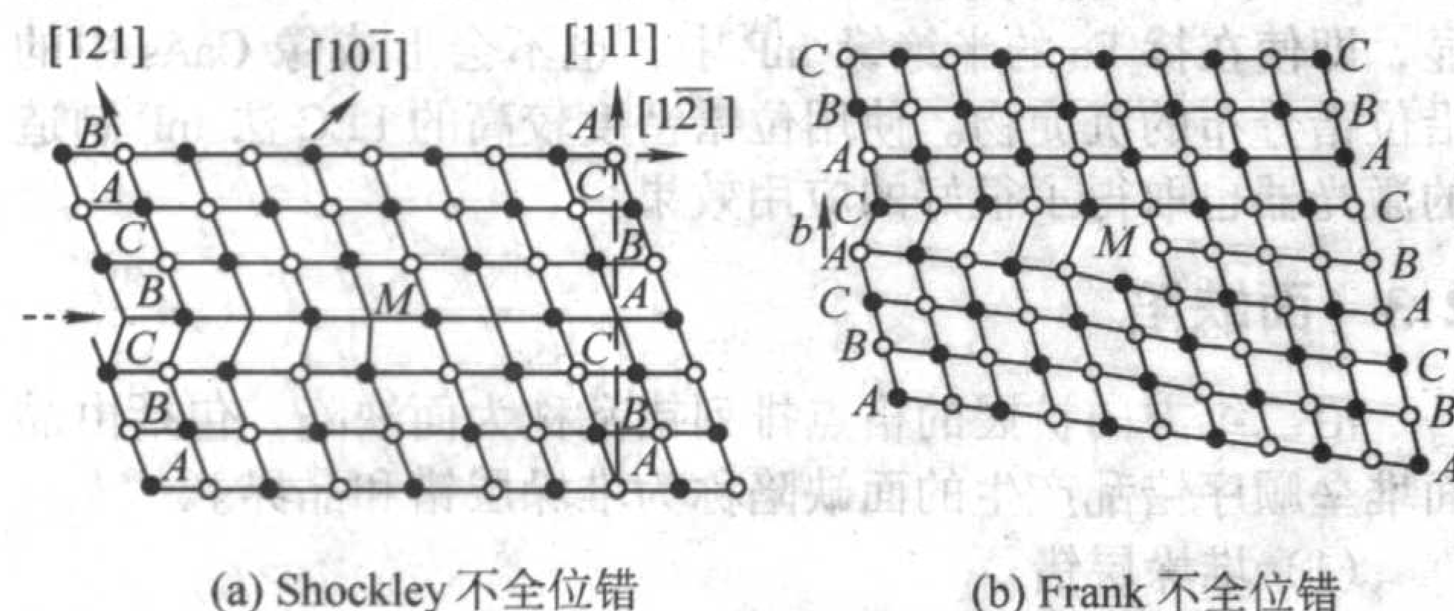
立方（110）面排列顺序，ababab…，图 5.3-13（b）中包含一个刃型全位错。



(a) 完整原子排列　(b) 含有一个刃型全位错的原子排列

图 5.3-13　层错端面产生的位错

如果堆垛层错不是贯穿整个晶面，而是在中间某区域停止了，在有层错区和无层错区就会形成一个边界，这个边界就是不完全位错，抽出型层错边界的不完全位错叫 Shockley 不全位错，插入型层错边界的不完全位错叫 Frank 不全位错，如图 5.3-14 所示。



(a) Shockley 不全位错　(b) Frank 不全位错

图 5.3-14　Frank 不全位错

（2）晶界

晶界指两个晶体之间的过渡区，整个过渡区晶体形态比较复杂，可以是无定形态，也可以是晶态，厚度一般只有几个原子层厚，如图 5.3-15 所示是几种常见的大角度晶界的结构模型。虽然对小角度晶界也进行了较多研究，但在化合物单晶中，大角度晶界始终是最重要的面缺陷。

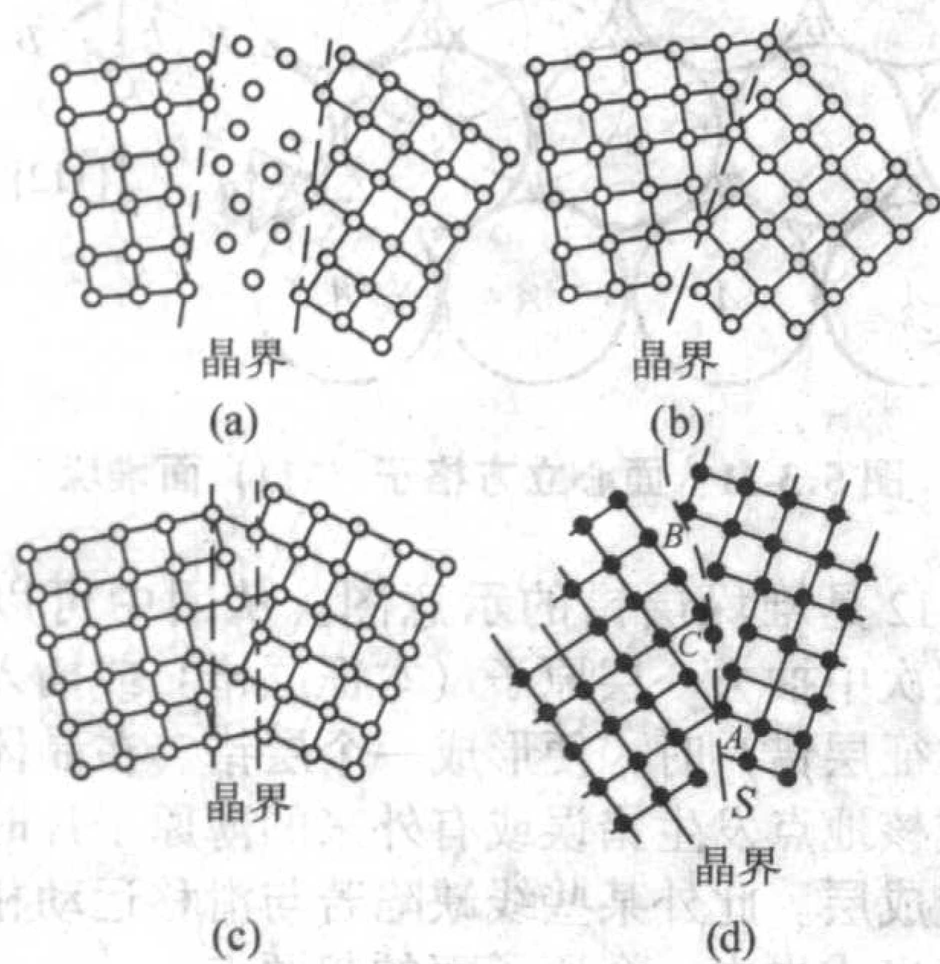


图 5.3-15　常见晶界结构模型

一旦在晶体中出现晶界，表明晶格的取向发生变化，意味着单晶生长失败。在单晶生长中，晶界既可以表现为孪晶，也可以是多晶。晶界的形成一般和固液界面的形状、固液界面上的夹杂物等有关。

2.4　沉淀物

（1）砷化镓中的砷沉淀

砷沉淀是半绝缘砷化镓单晶中重要的体缺陷。由于半绝缘砷化镓采用富砷熔体生长，晶体化学计量比偏向富砷一边，在高温下，多余的砷原子固溶于砷化镓晶格，在冷却过程中，砷原子逐步析出，受到位错悬挂键的吸引，在位错附近聚集，最终形成围绕着位错大小不一的砷沉淀。由于在液封直拉法和垂直梯度凝固法中，晶体中的位错形成胞状结构的“位错胞”，在晶体的“位错胞”壁上，出现大量的砷沉淀，而在“位错胞”中心区域是一个晶格完整度良好的“洁净区”，如图 5.3-16 所示。

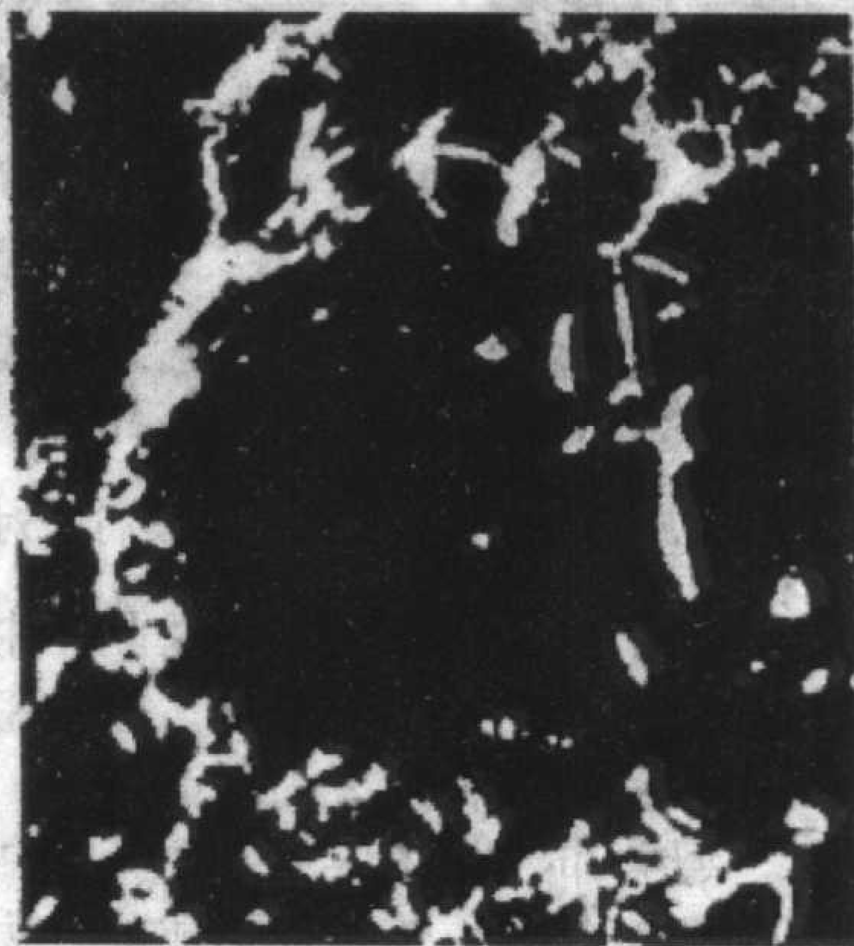
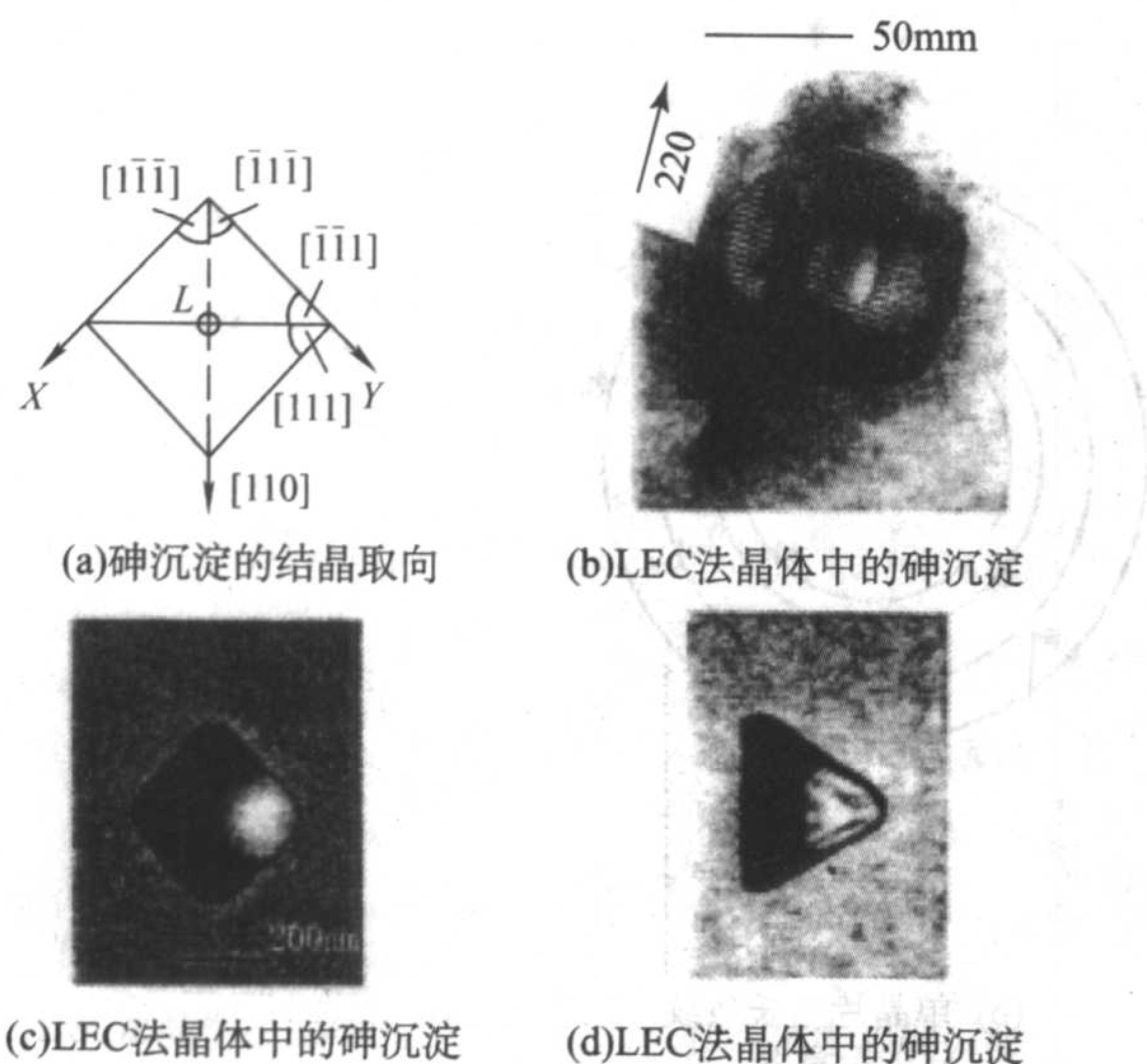


图 5.3-16　砷沉淀沿“位错胞”的分布

砷沉淀往往伴随着富砷区存在于晶体中，通过 *AB* 腐蚀液腐蚀可以清楚地揭示砷沉淀的分布情况。另外，由于砷沉淀对红外光的透射和砷化镓不同，也可以采用红外透射显微镜技术观察砷沉淀的分布。在砷沉淀附近，由于大量砷间隙原子存在，使晶格处于压应力状态，可导致 Raman 谱的 LO 声子线峰位向高频移动，并表现出不对称展宽。

图 5.3-17 是多种砷沉淀的 TEM 图像，尺寸从几纳米到数百纳米不等。砷沉淀尺寸随生长技术和热处理工艺的不同而变化。

一般在液封直拉法晶体中，砷沉淀体积小，数目多，而在垂直梯度凝固法中，砷沉淀一般体积较大，数目较少。这可能和晶体位错密度与富余砷原子在晶格中的迁移情况有关，在垂直梯度凝固法中，由于位错密度低，形核点少，富集在单位位错长度上的砷原子就会多一些，另外，由于温度梯度小，降温缓慢，富余砷原子在高温下有足够的时间向位错富集，砷沉淀就会大一些。在液封直拉法晶体中，由于位错密度高，温度梯度大，砷沉淀分布点多，因此体积较小。较大体积的砷沉淀在化学机械抛光工艺中由于和砷化镓腐蚀速率不同，容易引起表面粗糙度的上升，另外砷沉淀的电学



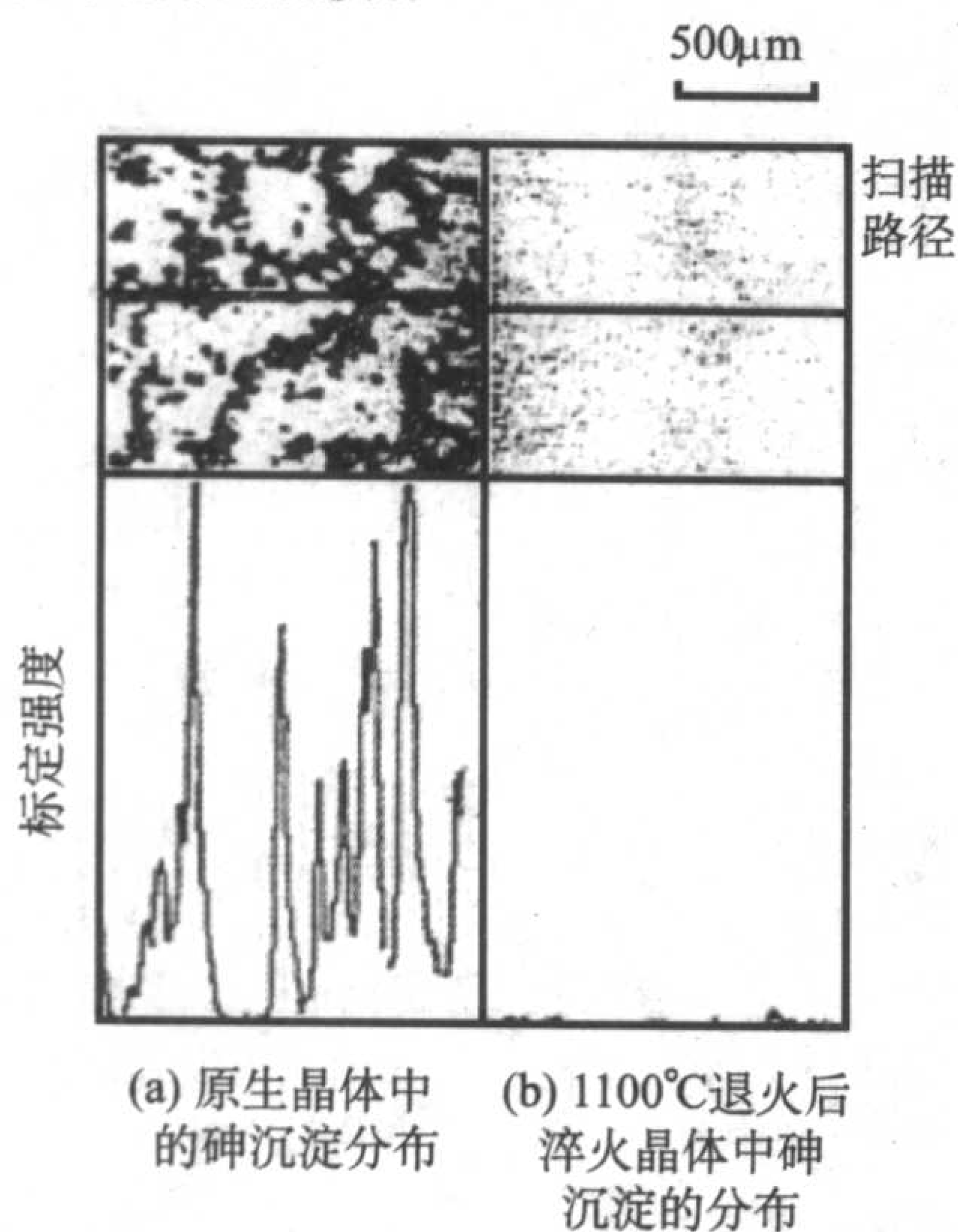
(a)砷沉淀的结晶取向 (b)LEC法晶体中的砷沉淀

(c)LEC法晶体中的砷沉淀 (d)LEC法晶体中的砷沉淀

图 5.3-17 砷沉淀的 TEM 形状

性质和砷化镓明显不同，因此对缩小集成电路的线宽、提高器件的工作速度、增大集成电路的规模都有不利影响。

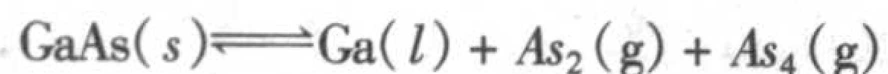
合适的热处理工艺可以使砷沉淀重新分布，在高于1 000℃退火，可以使砷沉淀重新固溶于晶体，如图5.3-18所示。在900～950℃退火可以使砷沉淀重新出现并长大，如图5.3-19所示。通过多步热处理工艺，可以使砷沉淀尺寸变小，并且分布弥散化，出现在原本是“洁净区”的“位错胞”内部（如图5.3-20所示），从而在一定程度上提高晶体结构和电学参数的介观均匀性，有利于提高砷化镓MESFET类器件，特别是离子注入类器件的阈值电压均匀性，从而有利于提高集成电路的规模。



(a) 原生晶体中的砷沉淀分布 (b) 1100℃退火后淬火晶体中砷沉淀的分布

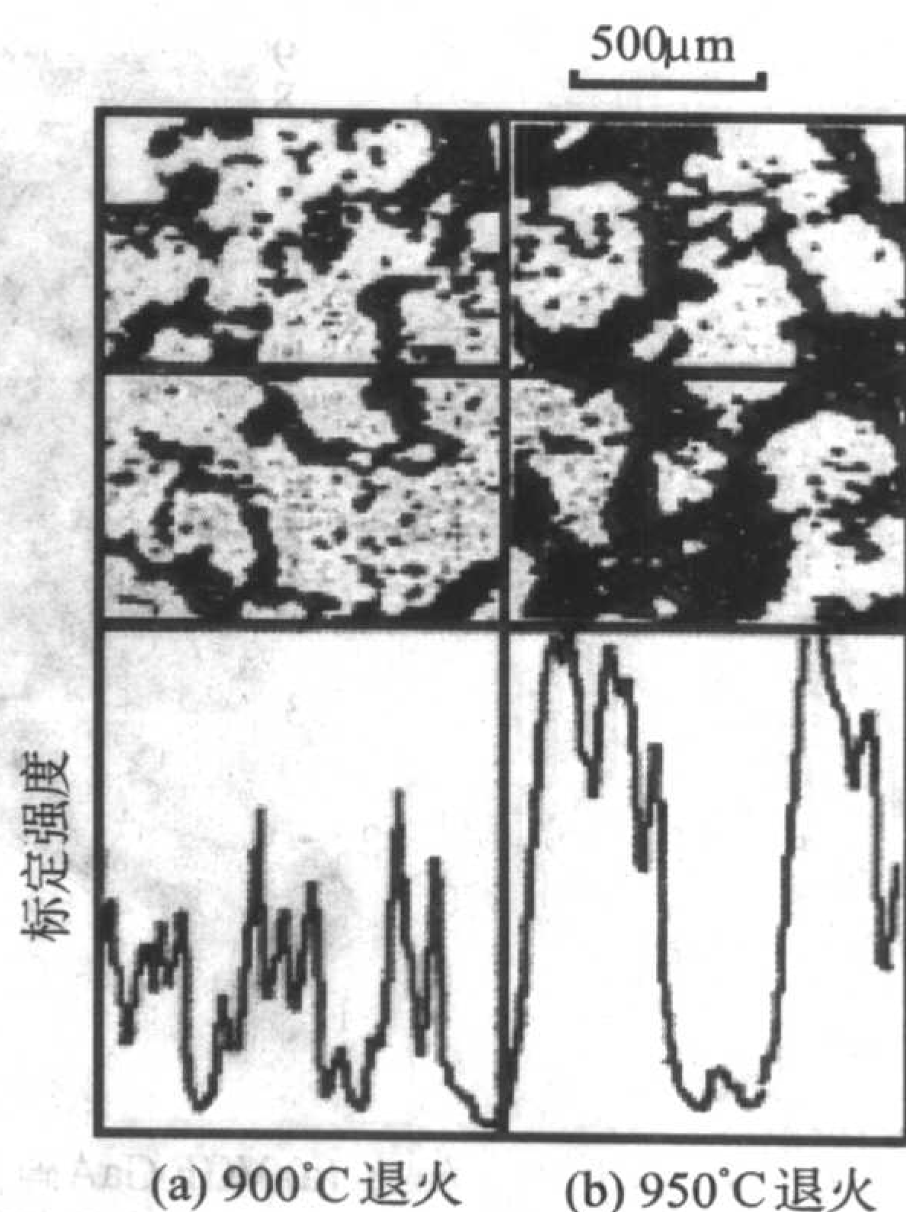
图 5.3-18 砷沉淀重新固溶于晶体

在多步热处理工艺中，特别是在高温阶段，保持合理的外加砷压以抑制晶体的分解是十分重要的，过高或过低的砷压将改变晶体的化学计量比。高温下，外加砷压主要是通过表面扩散作用改变晶体内部砷原子数目，在表面处，存在如下反应：



$$GaAs(s) \rightleftharpoons Ga(l) + As_2(g) + As_4(g)$$

当晶体表面处砷原子数目改变后，和晶体内部砷原子形成浓度差，浓度分布应服从扩散定律，但是砷原子在砷化镓中的扩散系数一直没有被精确测定，各文献报道的结果相差很大，这可能和晶体本身的化学配比以及具体测试条件有关，从砷沉淀在高温下退火重新固溶并扩散这一事实，可以推断出砷原子的扩散系数应该是一个中等偏大的数值。因此在高温下对砷化镓进行热处理必须有合适的砷压保护。



(a) 900°C退火 (b) 950°C退火

图 5.3-19 退火后砷沉淀的变化

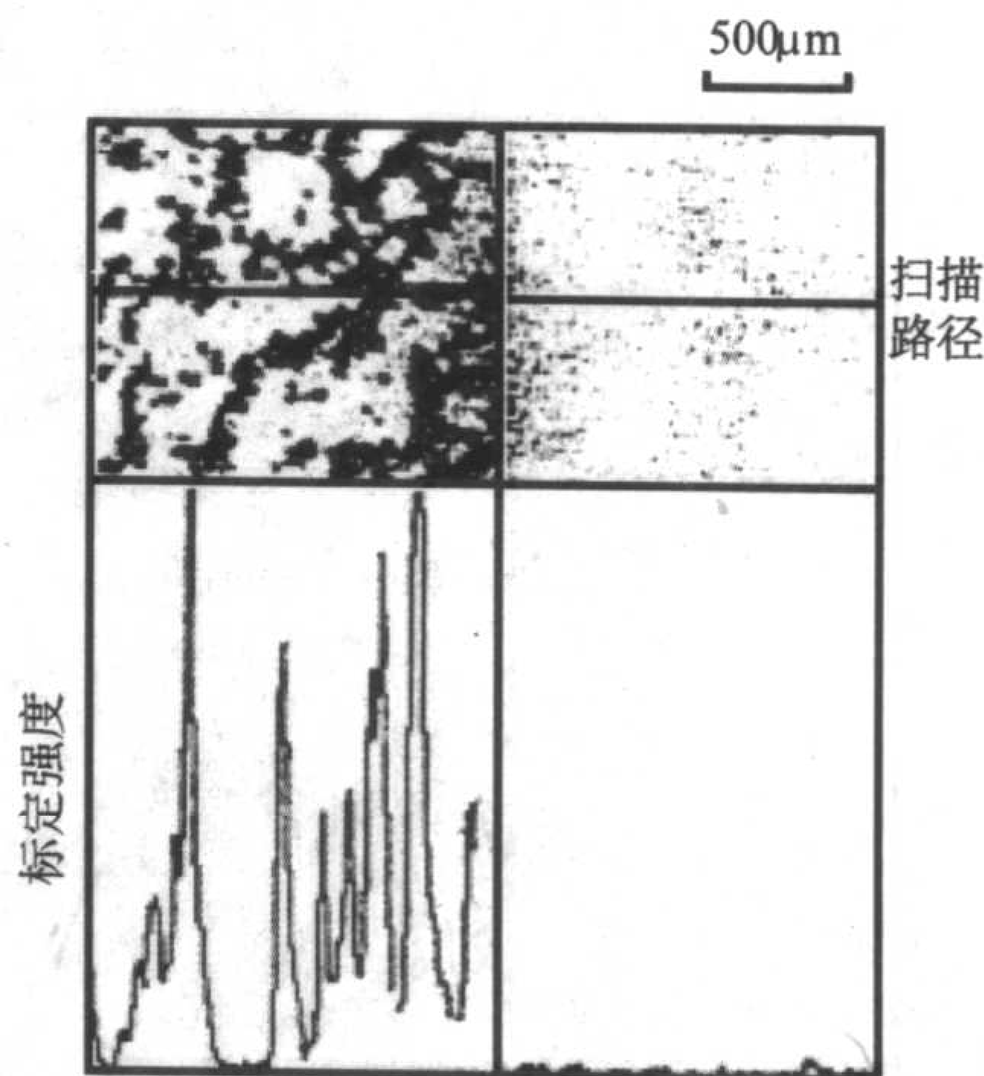


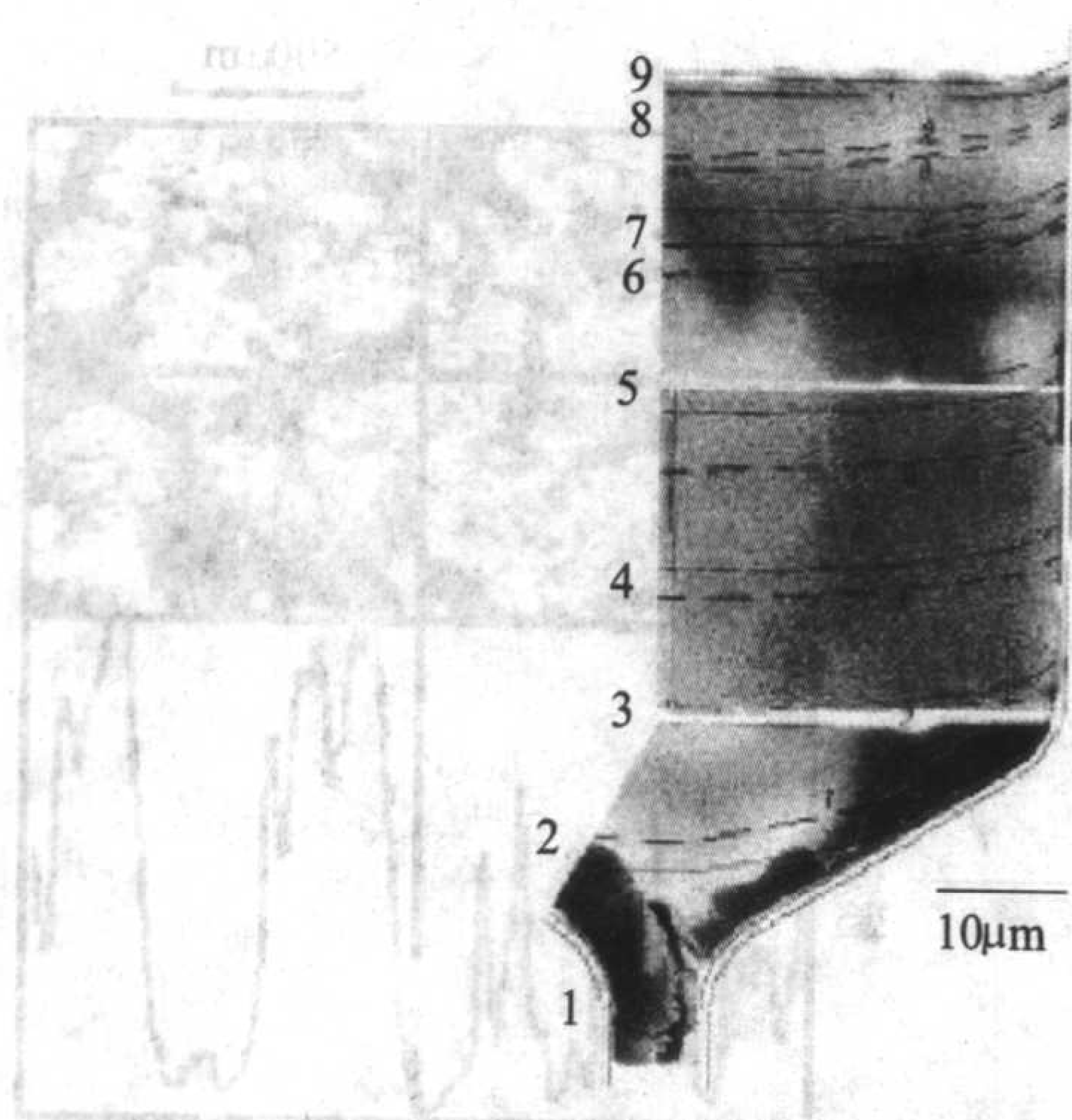
图 5.5-20 两步退火工艺（1 100℃×10 h＋900℃×20 h）的砷沉淀分布图

（2）生长条纹

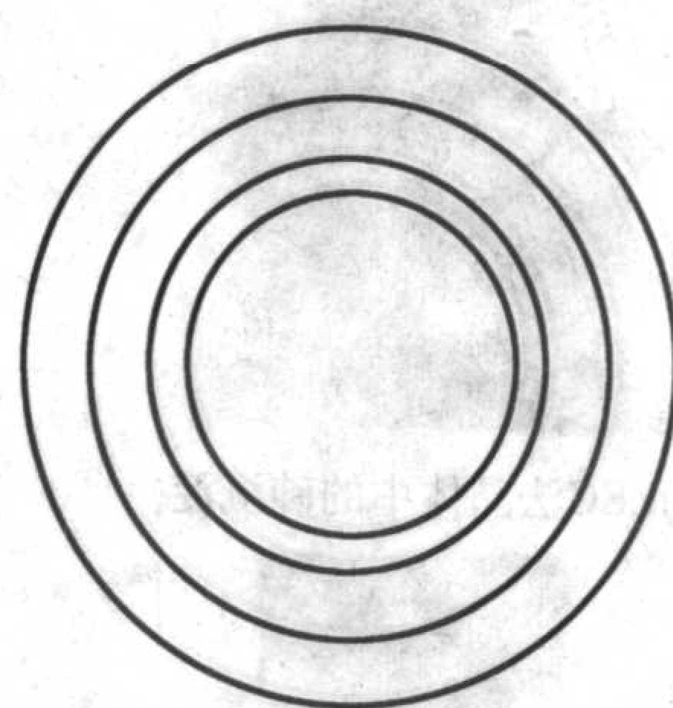
生长条纹是另一类晶体生长中常见的缺陷，主要是由于晶体生长时温场的波动引起的，当温场波动时，会引起生长速率和杂质分凝情况的变化，从而使晶体的结构发生改变，由于温场的波动具有一定的周期性，因此会沿着晶体生长方向产生周期性的条纹状结构，称为生长条纹。经过合适的腐蚀液腐蚀，可以使生长条纹显示出来，如果在生长熔体中添加铜等元素作为缀饰原子，可以使生长条纹在腐蚀过程中更加清晰的展示出来，如图5.3-21a所示。

生长条纹的存在，增大了晶体结构参数和电学参数的轴向和径向不均匀性，在生长过程中，由于温场波动的周期性，因此晶体的性质会随着生长的进行而表现出一定的周期性变化，同时，由于固液界面通常都是弯曲的，当晶体切割为晶片后，通过合适的腐蚀液腐蚀，会在晶片上表现出年轮状的条纹分布，如图5.3-21b所示。

通过对生长条纹的研究，可以比较直观地了解晶体生长过程中温度场的变化，是研究晶体生长基础理论和工艺技术的重要方法之一。特别是随着计算模拟技术的迅速发展，提供了将实验热场分布和理论计算进行互补研究的可能性。



(a) VGF GaA砷化镓
单晶生长条纹



(b) 单晶片生长条纹
分布示意图

图 5.3-21 砷化镓晶体生长条纹

编写：赵有文（中国科学院半导体研究所）
张峰翊（北京有色金属研究总院）
审稿：陈诺夫（中国科学院半导体研究所）

第4章　GaAs和InP的测试表征

在GaAs和InP等化合物半导体中，材料的结构性能测试一直是科研生产工作的重点之一。经过多年发展，测试技术按照被测参数的不同大致可以分为结构参数、电学参数、光学特性和晶片参数的测试等几大部分。

1　结构参数的测试表征

晶体结构是化合物半导体材料各项特性的基础，测试技术主要包括X射线衍射及形貌、化学腐蚀坑密度（EPD），二次离子质谱（SIMS），透射电子显微镜（TEM）（InP组），红外吸收（InP组），透射红外（InP组），拉曼（Raman）谱，电感耦合等离子体质谱/光谱（ICP-MASS/AES），正电子湮灭（PAT）等测试技术。

1.1　X射线的衍射及形貌

（1）X射线衍射及X射线形貌原理

自1895年伦琴发现X射线以来，X射线的利用对物理学以至整个科学技术领域产生了极为深刻的影响。当一束单色X射线入射到晶体时，由于晶体是由原子规则排列成的晶胞组成，这些规则排列的原子间距离与入射X射线波长具有相同的数量级，故由不同原子散射的X射线相互干涉，在某些特殊方向上产生强X射线衍射，衍射线在空间分布的方位和强度，与晶体结构密切相关。这就是X射线衍射的基本原理。衍射线空间方位与晶体结构的关系可用布拉格方程表示：

$$2d\sin\theta = n\lambda$$

式中，d为晶面间距；n为反射级数；θ为掠射角；λ为X射线的波长。布拉格方程是X射线衍射分析的根本依据。

对于X射线衍射理论的研究，目前有两种理论：运动学和动力学衍射理论。X射线衍射运动学理论只考虑X射线的一次散射，而且认为入射波的强度在晶体中是不变的。实际上，经体内的散射过程不限于一次和两次散射，入射线可以发生多次散射，而且入射线和衍射线之间可以相互作用，并发生耦合。把考虑这样复杂的散射过程的衍射理论称为X射线动力学理论，是X射线形貌技术的理论基础。接下来介绍一下有关动力学理论的概念性的结论。

1）色散面　色散面是动力学理论中的一个重要概念，它是满足麦克斯韦尔方程的平面波的波矢量所对应的波点在倒易空间的迹线。一旦确定波点在色散面上的位置后，便可立即得到晶体中两束波的波矢量$\boldsymbol{K}_0$（透射波）和$\boldsymbol{K}_g$（衍射波）、波的振幅大小以及电磁辐射传播的能流方向。

色散面由内外两分支组成。波点确定后晶体内就存在四束波（$\boldsymbol{K}_{01}$，$\boldsymbol{K}_{g1}$，$\boldsymbol{K}_{02}$，$\boldsymbol{K}_{g2}$）。通常把在色散面外分支上的波点所对应的波（$\boldsymbol{K}_{02}$和$\boldsymbol{K}_{g2}$）称为波场（Ⅱ），内分支Q点所对应的波（$\boldsymbol{K}_{01}$和$\boldsymbol{K}_{g1}$）称为波场（Ⅰ）。

2）衍射强度曲线和波场能流方向　衍射波强度对布拉格角θ偏差量$\Delta\theta$具有很强的依赖关系。衍射线的强度随$\Delta\theta$的增加很快下降。这一角度范围在10弧秒左右。一般把衍射线的强度与$\Delta\theta$之间的关系曲线称为回摆曲线。

上面讨论的是入射波是平面波时的情况。实际上入射波总会有一定的发散，是球面波。因此整个色散面将被激励，晶体中$\boldsymbol{K}_0$和$\boldsymbol{K}_g$所夹的整个角范围（2θ角）内都有能流。把晶体中以衍射面为中心向两侧角度扩展为2θ角的整个范围称为波扇或称为Borrmann扇。

3）异常透射效应　当入射波满足布拉格条件时，晶体中的每一波场都是驻波。其振幅不是常数，是周期性变化的，周期为衍射面的面间距。随着波场在晶体中的传播，结果波场（Ⅰ）被强烈的吸收，而波场（Ⅱ）则几乎不被吸收。因此，当入射波严格满足布拉格条件时，即使是很厚的晶体，仍会有很强的衍射光束从晶体的底部射出。把在完整晶体中的这种透射效应称为异常透射效应。

4）Pendellösung干涉条纹　通过数学推导可以得到衍射波强度I_0和透射波的强度I_g的数学表达式为：

$$I_g = \sin^2(\pi\Delta kt(1+\eta^2)^{1/2})/1+\eta^2$$

$$I_0 = \cos^2(\pi\Delta kt(1+\eta^2)^{1/2})/1+\eta^2$$

这两个方程说明衍射波和透射波的强度是随晶体的厚度作周期性变化的，且周期相同，当$\eta=0$时有最大值。把与这个周期相对应的深度称为消光距离ξ_g。同时衍射波和透射波的强度是互补的，即当他们在晶体中传播时，不断交换能量，每经过一个消光距离交换一次能量，称为Pendellösung现象。这也是为什么在晶体中产生干涉现象的物理解释。

有了以上的知识，就不难理解缺陷成像的原理了。其成像原理为：缺陷相的形成主要基于晶体中缺陷周围的晶格畸变区和完整区X射线的衍射强度不同或异常透射效果的遮断，从而在缺陷处产生强度衬度，形成缺陷相。缺陷的X射线衍射形貌相就其形成区间来说，可分为直接像（或运动学像），动力学像和中间像。

要全面认识X射线形貌技术，除了认识缺陷成像的原理以外，还应了解一下其主要的像衬度的形成机制：

1）消光衬度　当X射线射入一个理想完整晶体时，将发生多次反射。二次反射线虽然和透射方向一致，但二者位相相反，因而使透射X射线强度大为减弱。这种现象称为初级消光。在非完整晶体中，由于晶格畸变而避免了二次反射，这时就不会发生初级消光现象。这样，X射线在不完整的晶体中衍射强度要比在完整晶体中的衍射强度大得多。通常把在这种情况下引起的衬度称为消光衬度。

2）取向衬度　晶体中的局部区域与基体有不同的晶体取向，如果使用准直的特征X射线照射样品，由于基体满足布拉格衍射条件而发生衍射，而与基体取向不同的局部区域则由于不满足布拉格衍射条件而不发生衍射，因此记录下来的衍射强度两者是不同的，前者有衍射强度而后者没有。把这种程度称为取向衬度。

3）异常透过效应引起的衬度　完整晶体在严格满足衍射条件时具有异常透过效应，但这种特性对晶体的完整性是非常敏感的，缺陷处便不产生这种特性，于是在黑的背景上出现白的衬度。这种衬度效果随厚度增加而变得显著。

（2）X射线衍射及X射线形貌技术的应用

1）X射线测定晶体取向　X射线衍射技术在半导体中的一个重要应用就是晶体定向。用一固定波长的X射线入射到一块晶体上，则晶体中某一固定的晶面会对X射线发生衍射。由于不同结构的晶体和不同的晶面其衍射线所出现的方位不同，因此定向时必须事先知道晶体中某些重要晶面的布拉格角，以此作为通过测定衍射线的方位来确定晶体取向的根据。

2）X射线形貌技术在半导体中的应用　观察晶体中缺陷的方法有很多，如化学腐蚀法、电子显微镜薄膜透射法和红外显微镜法等。但这些方法对样品都是破坏性的。与此相比，正是由于X射线形貌技术在检测晶体或器件中的缺陷时的非破坏性，使得X射线形貌技术在半导体材料、器件

的研究中已成为一种必不可少的方法。它可以观察单晶体中的位错、层错、应力和杂质聚集，并可以测定位错的伯格斯矢量。

X射线形貌技术的主要摄像方法有：透射貌相法、反射貌相法、异常透视法、双晶光谱仪法和X射线波纹貌相法。

① 位错的观察　用X射线形貌相技术观察晶体中的位错是相当有效的。从X射线的形貌图中可以直接观察晶体中的位错分布。图5.4-1为（100）GaAs的（400）同步辐射X射线透射形貌图，图象大小为2 mm×3 mm。材料中的位错分布非常直观，发现材料中的位错聚集在一起形成位错团，且总体分布呈网状。

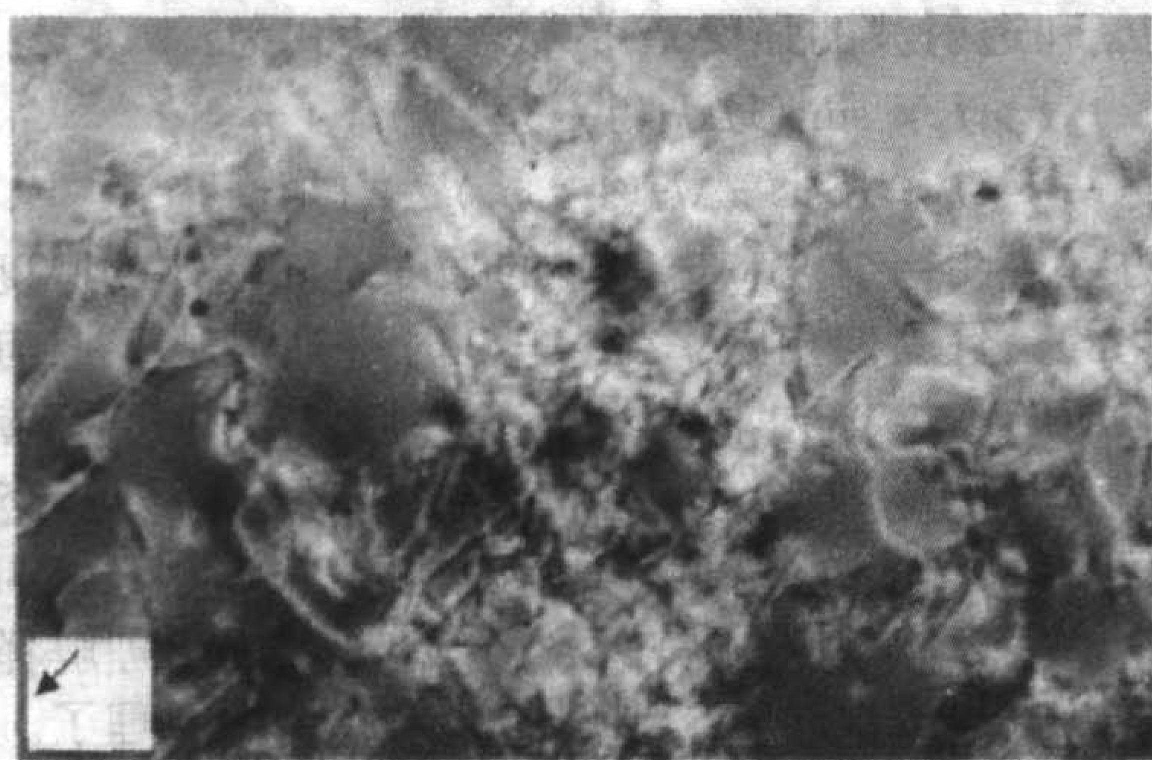


图5.4-1　（100）GaAs的（400）同步辐射X射线透射形貌图（图像大小2 mm×3 mm）

另外用X射线形貌图技术可测定位错线的柏格斯矢量的方向。其根据主要有以下几点：首先，对于一定结构的半导体材料，其位错滑移系统是固定的。如具有闪锌矿结构的GaAs和InP，其位错滑移系统为{111}/<110>。其次，位错像衬度的强弱与不同的衍射晶面有着直接的关系。对于螺型位错来说，晶体的倒易矢量 $\boldsymbol{g}$ 和位错的柏格斯矢量 $\boldsymbol{b}$ 之间满足 $\boldsymbol{g}\cdot\boldsymbol{b}=0$ 时，即衍射面与 $\boldsymbol{b}$ 相平行时，其像衬度消失。而对于刃型位错，要同时满足 $\boldsymbol{g}\cdot\boldsymbol{b}=0$ 和 $\boldsymbol{g}\cdot\boldsymbol{b}\times\boldsymbol{u}$ 时，其中 $\boldsymbol{u}$ 为位错的走向单位矢量，即只有当衍射面与刃型位错线相垂直时，其像衬度才消失。但是由于 $\boldsymbol{g}\cdot\boldsymbol{b}\times\boldsymbol{u}=0$ 这个因素对刃型位错像衬度的强度影响很小，一般仍可用 $\boldsymbol{g}\cdot\boldsymbol{b}=0$ 作为刃型位错无衬度的判据。Tuomi等人进行过这方面的研究。

② X射线双晶衍射　X射线双晶衍射是检查晶体点阵结构完整性的重要工具。图5.4-2是双晶衍射光谱仪法示意图。当初级X射线以一定的掠射角入射到晶体C后，由于晶体C由高度完整的单晶制成（晶体C又叫单色器），因此沿一定方向射出的X射线就是单色的，只有一种波长。其它X射线就不被晶体C所反射。因此经过单色器反射的X射线的单色性得到改善。如果又让反射线照射检测样品，并使样品和照相底片能够同时绕一根轴旋转，如图5.4-2所示。当检测样品中某一组晶面（hkl）适合布拉格条件时，就能产生X射线晶体衍射，在晶体回摆过程中衍射线强度被照相底片所记录，把衍射线强度与回转角的变化关系称为回摆曲线，如图5.4-3所示。实验发现，当试样晶体高度完整时，这个回摆曲线的半高宽度约为5～10″，与动力学理论的结果相一致，如图5.4-3中的曲线1所示。当晶体内有结构缺陷或存在宏观弹性应力时，晶面产生扭曲或倾斜，面间距也发生变化，引起布拉格角的变化，使得回摆曲线的半高宽变宽，衍射峰强度减弱，如图5.4-3中的曲线2所示。

③ 其他缺陷的观察　与位错成像原理相同，晶体中还有很多其他种类的缺陷，如杂质沉淀，晶面堆垛层错等，它们都会在衍射衬底中形成自己独特的像衬度。依此可对这些缺陷进行观察分析。

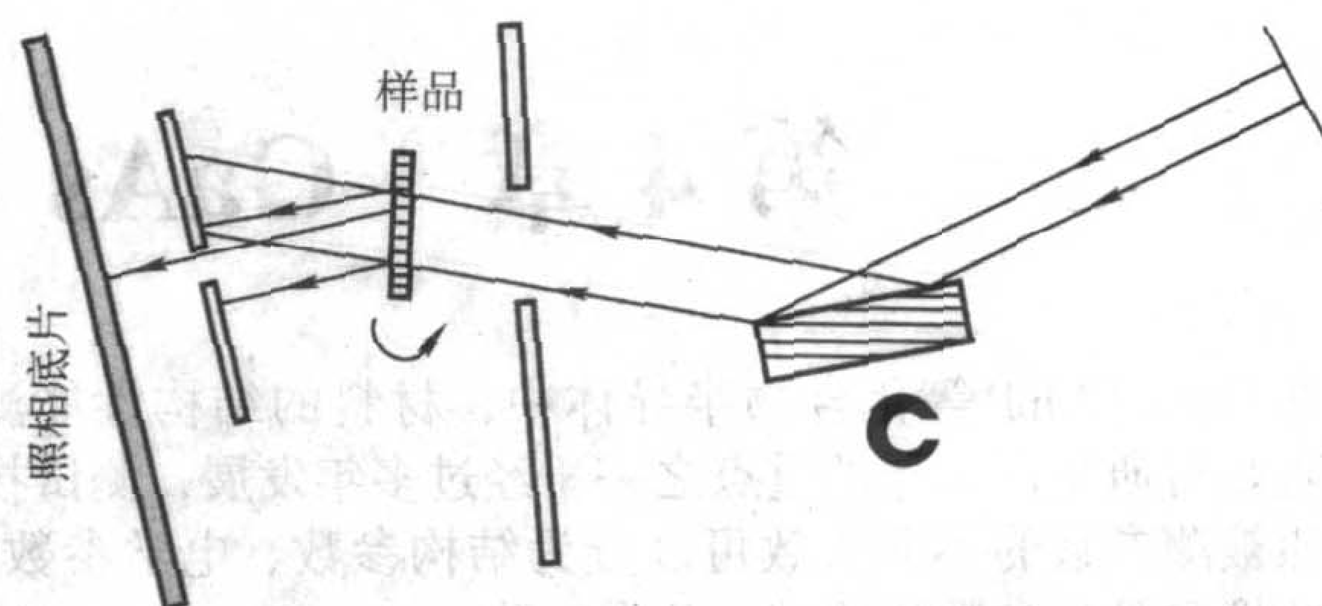


图5.4-2　双晶衍射光谱仪法示意图

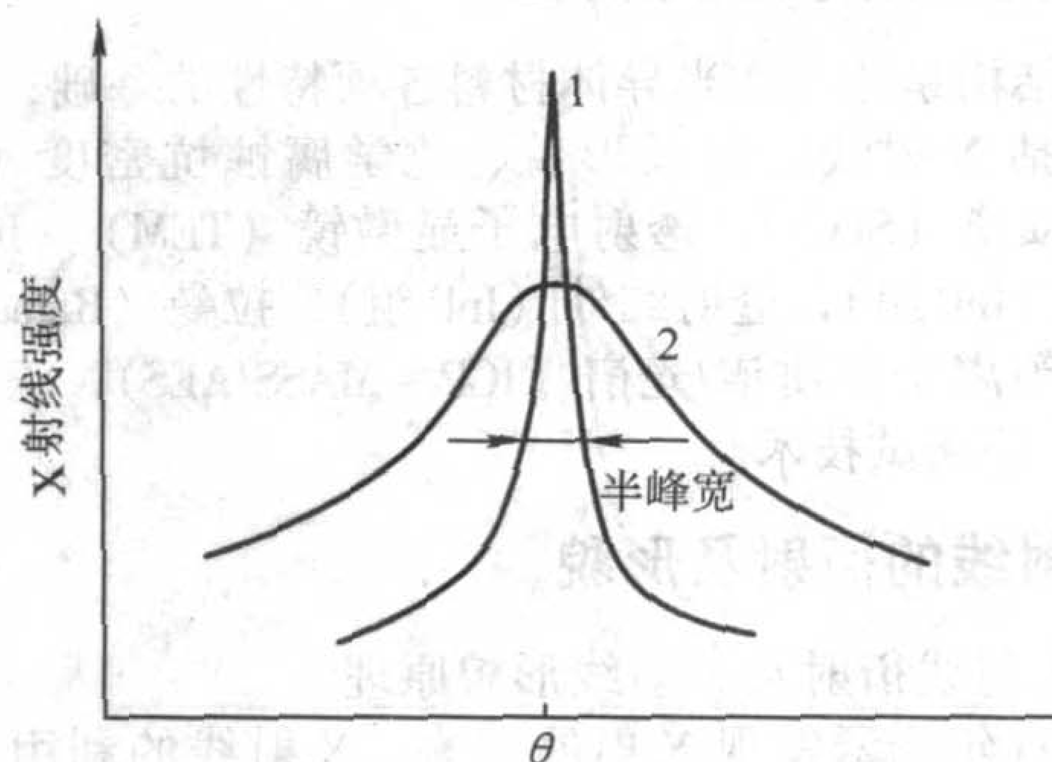


图5.4-3　回摆曲线，
1—高度完整的试样晶体；
2—在试样晶体中存在缺陷或宏观弹性应力

1.2　化学腐蚀坑密度（EPD）

半导体晶体在其生长过程和器件制作过程中都会产生许多结构缺陷。半导体材料中，由于缺陷的分布均匀性及密度大小会对其电学性质或结构特性产生很大的影响，因此在材料生长后制造的过程中，通过优化工艺条件，尽量控制缺陷的产生、分布及密度大小，以改善材料的电学或结构特性。在半导体材料性质的研究中，化学腐蚀法是显示材料中缺陷的分布和密度大小的一种常用而且非常有效的方法。

单晶中部分原子由于某种原因产生滑移，已滑移部分与未滑移部分的分界线称为位错线，也称为位错。位错线终止于晶体的表面或界面上，也可以首尾相接构成位错环。位错是GaAs和InP单晶中的微观缺陷，也是最主要的缺陷。

（1）原理

腐蚀方法一般包括纯化学腐蚀和电化学腐蚀两种方法。

半导体单晶受腐蚀时，晶体表面缺陷腐蚀坑的形成过程，可以用图5.4-4来说明。

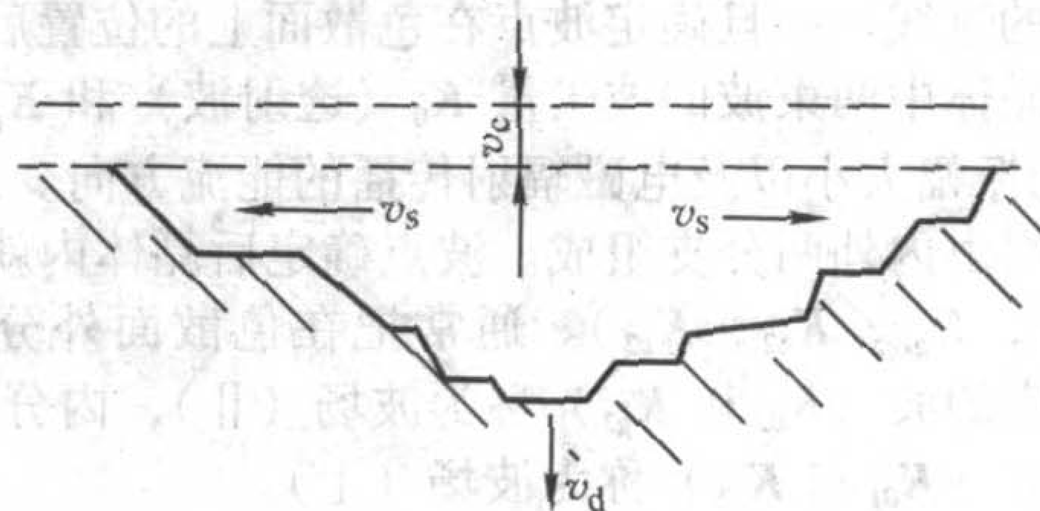


图5.4-4　腐蚀坑形成示意图

图5.4-4中的 v_c 代表表面均匀剥蚀速度，v_s 代表腐蚀坑向两边扩展速度，v_d 代表腐蚀坑纵向腐蚀速度。当 $v_s > v_d \gg v_c$ 时，形成腐蚀坑，显露晶体中的缺陷；当 $v_c \gg v_s > v_d$ 时，在晶体表面不能形成缺陷腐蚀坑，而是抛光成镜面。在化学腐蚀过程中，总是希望表面均匀剥蚀速度慢些，而腐蚀坑的形成速度（包括纵向和横向腐蚀速度）快些，这两种速度差越大越有利于显露晶体缺陷。而引起这种速度差的一个根本原因之一是在相同的腐蚀条件下晶体中各晶面的腐蚀速度是

不同的，即表现出所谓的择优性。使腐蚀液具有择优性主要由以下因素造成：从电化学角度来说，要腐蚀某一晶面必须要克服一个最小的能量势垒，如果反应供给的能量超过此晶面的能量势垒，此晶面就受到腐蚀，否则就不受到腐蚀。而各晶面的能量势垒是不同的，因此导致各晶面的腐蚀速度不同而导致腐蚀液具有择优性；或是说，对于具有金刚石结构的单元素半导体材料（Si 或 Ge）或是具有闪锌矿结构的化合物半导体材料（GaAs、InP 等）来说，（111）面是原子密排面，面上自由键少，化学稳定性高，整个面的腐蚀速度较小，而其他晶面，如（100）或（110），不是原子密排面，面上自由键多，整个面的腐蚀速度较大，因此腐蚀液具有择优性。腐蚀液的择优性导致缺陷腐蚀坑具有特定的形状。如图 5.4-2 所示：从一个晶胞中可以作这样的一个四面体，使每个面均为 {111} 面。图 5.4-5 中 D 为原点，A、B、C 分别为三个面的面心。则 $\triangle ABC$ 为（111）面，$\triangle ABD$ 为（$11\bar{1}$）面，$\triangle ADC$ 为（$\bar{1}11$）面，$\triangle BCD$ 为（$1\bar{1}1$）面。其中 $\triangle ABC$ 即（111）面为观察面，只有那些与该面相割截的位错才能被观察到。由于腐蚀液具有择优性质，它对 {111} 面腐蚀很慢，而对其他晶面腐蚀速度却很快。这样最终位错坑的周围总是 {111} 面被保留下来，成为位错坑的坑壁，最终使得（111）面上的位错坑应该呈现三角锥形。

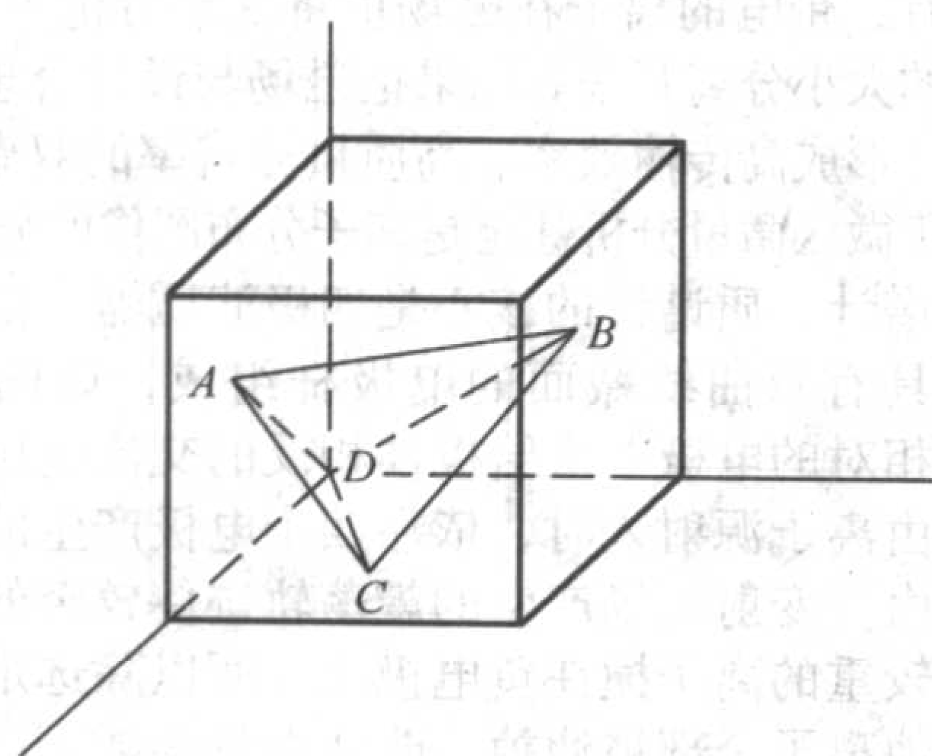


图 5.4-5 由 {111} 面构成的正四面体

以不同晶面为观察面时，缺陷腐蚀坑的形成时间也不同。如分别用 $v_{(111)}$ 和 $v_{(100)}$ 代表（111）面和（100）面的腐蚀速度，而位错纵向的腐蚀速度用 v_d 表示，则：

$$v_{(111)} < v_{(100)}$$

$$v_d - v_{(111)} > v_d - v_{(100)}$$

说明要得到同样深度的位错腐蚀坑时，以（111）面为观察面的腐蚀时间会比以（100）面为观察面时快。

另外，由于成分的偏差也可引起腐蚀速度的不同。这是晶体经化学腐蚀液腐蚀之后可观察到杂质条纹的根本原因。

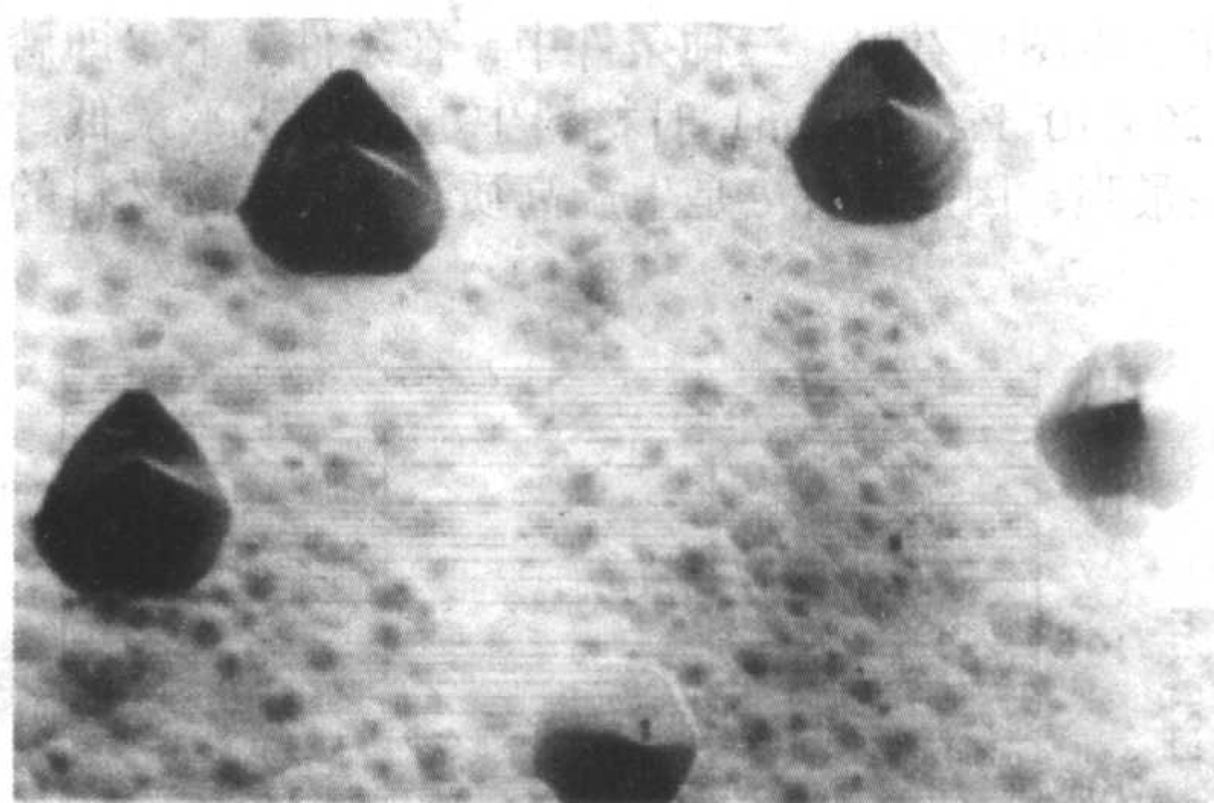
（2）应用

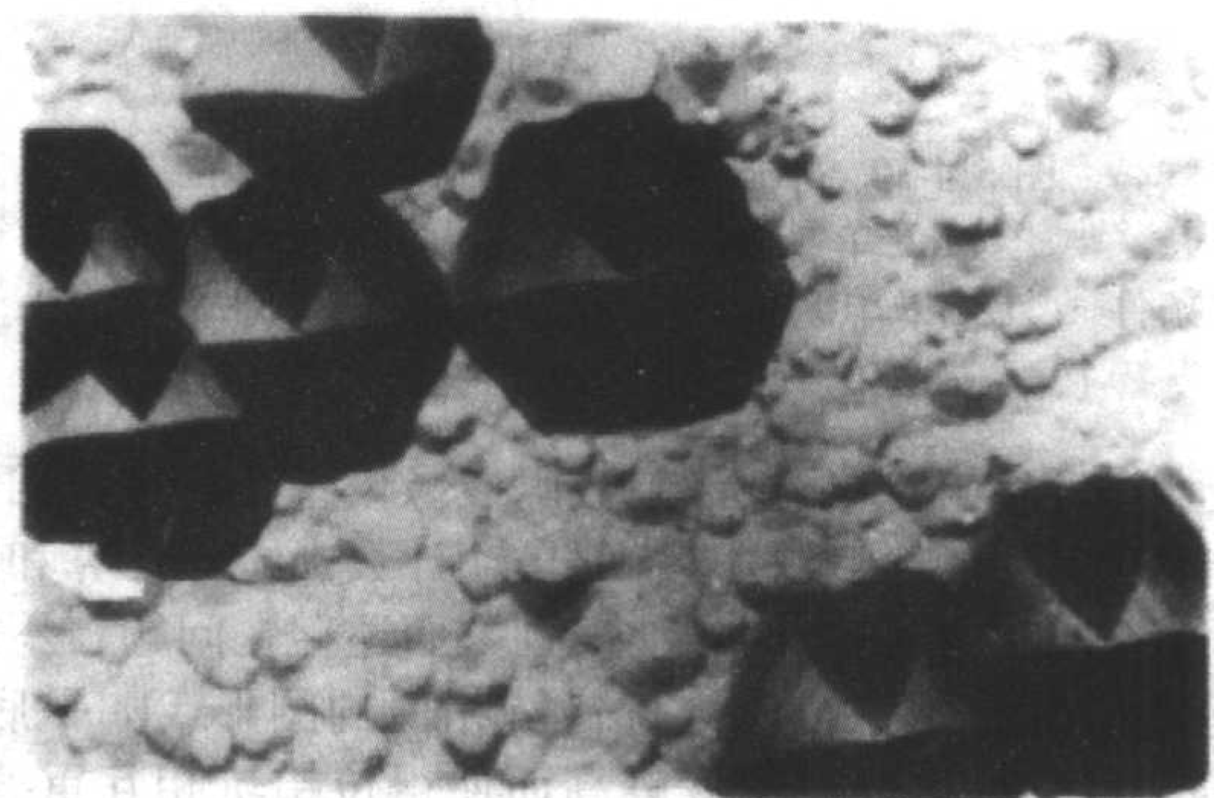
用化学腐蚀法确定半导体材料中的位错密度是其基本应用之一。一定晶向的半导体材料经特定的腐蚀液腐蚀之后，放在显微镜下观察，按一定的计数规则算出材料中的位错密度。其单位一般为每平方厘米多少位错个数。如 50.8 mm (2 in）液封直拉法制取的 InP 单晶中其位错密度一般在 $10^4 \sim 10^5/cm^2$ 水平上。

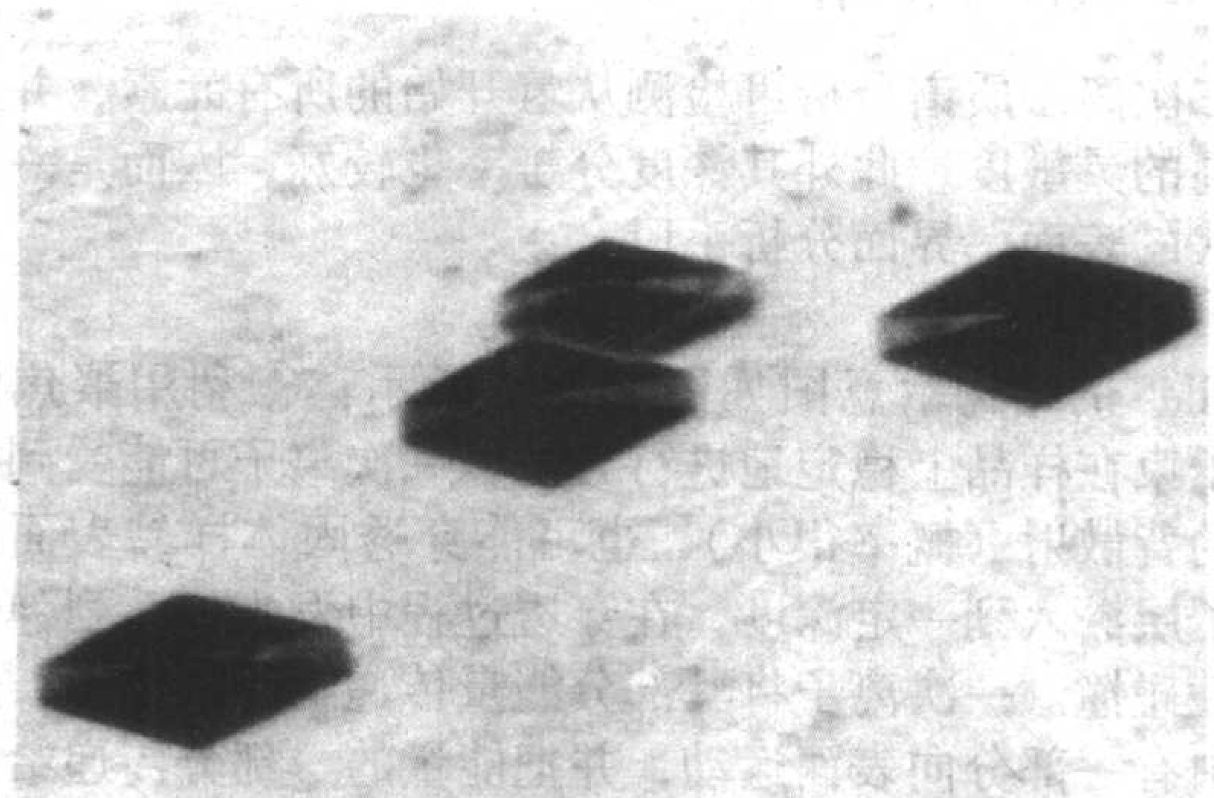
用于位错密度测量的单晶切割片一般需要进行表面研磨和抛光。然后放入腐蚀液中腐蚀数分钟，即可得到有特征的位错腐蚀坑。如 GaAs 晶片 {111} Ga 面的位错腐蚀坑图形如图 5.4-6 所示；{111} As 面的位错腐蚀坑图形如图 5.4-7 所示；{111} 面的位错腐蚀坑图如图 5.4-8 所示。

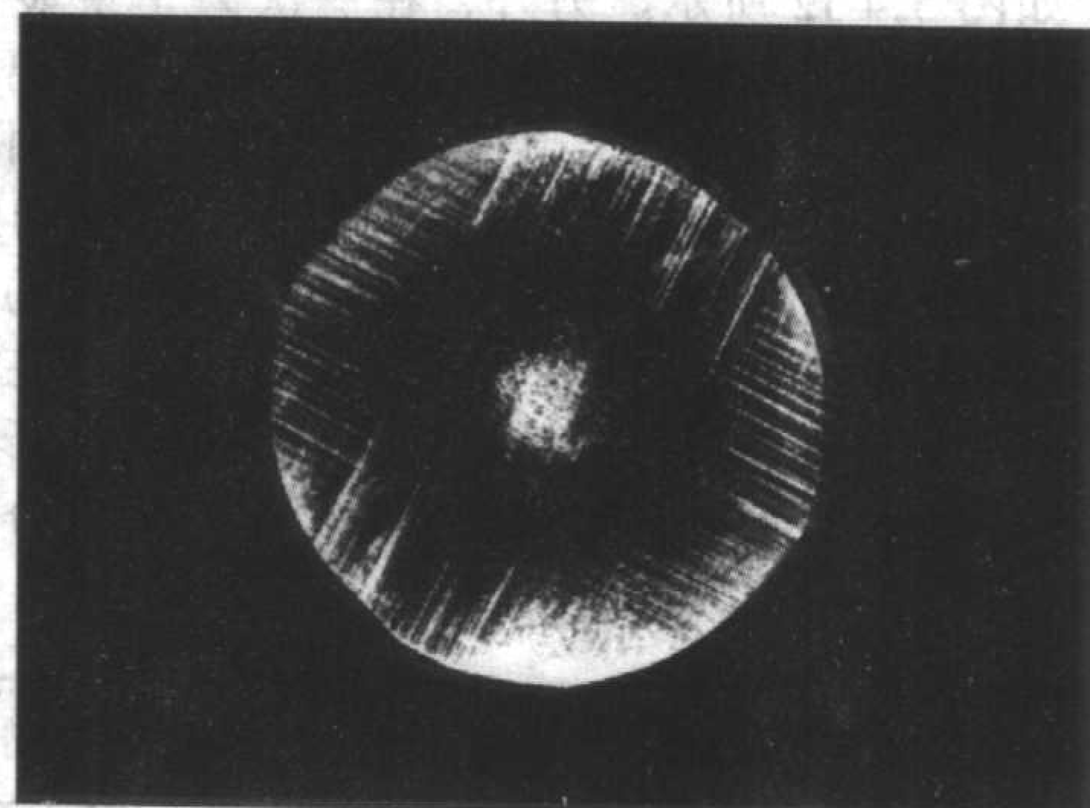
直拉法生长的单晶 {100} 面位错腐蚀坑的宏观分布如图 5.4-9 所示。

一定晶向的单晶材料经化学腐蚀液腐蚀之后，其位错在晶面上的宏观分布及其密度的大小就都一目了然了。再根据


图 5.4-6 {111} Ga 面位错坑 ×400


图 5.4-7 {111} As 面的位错坑 ×400


图 5.4-8 {111} Ga 面位错坑 ×400


图 5.4-9 直拉法生长的单晶 {100} 面位错腐蚀坑的宏观分布

样品在材料中截取的部位不同。就能定性的判断材料中整体的位错分布情况。这对于了解材料制备过程中各种工艺条件的对其影响是非常重要的。对改进、探索新工艺新条件都是非常有意义的。如图 5.4-10 所示是研究在不同的磷气压下用水平布里奇曼法（HB 法）制备的 InP 单晶中的位错密度

及分布。由图可看出，三种条件中，在条件c下，即磷气压为29.29×10^5 Pa（29 atm）时材料中的位错水平最低，材料完整性最强，因此条件c是生产高质量InP单晶材料的最好条件。

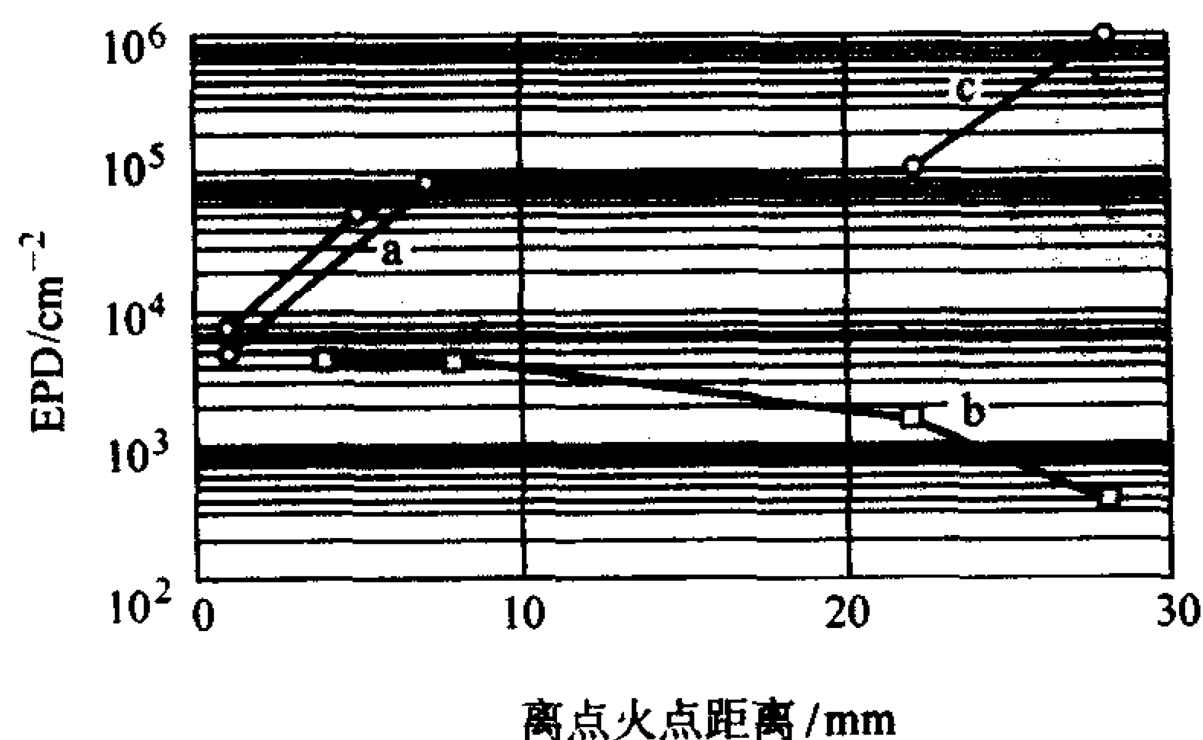


图5.4-10 不同磷气压下用HB法制备的InP单晶中的位错密度及其分布
（条件a：12.12×10^5 Pa（12 atm）；条件b：25.25×10^5 Pa（25 atm）和条件c：29.29×10^5 Pa（29 atm））

近年来出现了将显微镜与数码成像设备及计算机相结合的仪器系统，可以实现位错坑的自动计数、统计计算和图形记录。但目前在位错坑的自动识别方面还存在问题，不能很好地区别一些非位错坑而与位错坑相似的图形，如平底坑、沾污等。特别是当位错密度较高而使得位错坑相互重叠时，自动识别的误差很大。

1.3 二次离子质谱（SIMS）

二次离子质谱分析可检测从氢开始的所有元素，并且具有很高的灵敏度，此外其深度分辨率也较好，因而是一种不可替代的表面、界面分析手段。

（1）原理

SIMS的结构示意图如图5.4-11所示：①利用聚焦的一次离子束在样品上稳定地进行轰击，一次离子可能受到样品表面的背散射（概率很小），也可能穿透固体样品表面的一些原子层深入到一定深度，在穿透过程中发生一系列弹性和非弹性碰撞。一次离子将其部分能量传递给晶格原子，这些原子中有一部分向表面运动，并把能量的一部分传递给表面粒子使之发射，这种过程称为粒子溅射。溅射粒子大部分为中性原子和分子，小部分为带正、负电荷的原子、分子和分子碎片，如图5.4-12所示。另外，在一次离子束轰击样品时，还有可能发生另外一些物理和化学过程：一次离子进入晶格，引起晶格畸变；在具有吸附层覆盖的表面上引起化学反应等。②电离的二次粒子（溅射的原子、分子和原子团等）按荷质比实现质谱分离。③收集经过质谱分离的二次离子，可以得知样品表面和本体的元素组成和分布。在分析过程中，质量分析器不但可以提供对应于每一时刻的新鲜表面的多元素分析数据，而且还可以提供表面某一元素分布的二次离子图像。

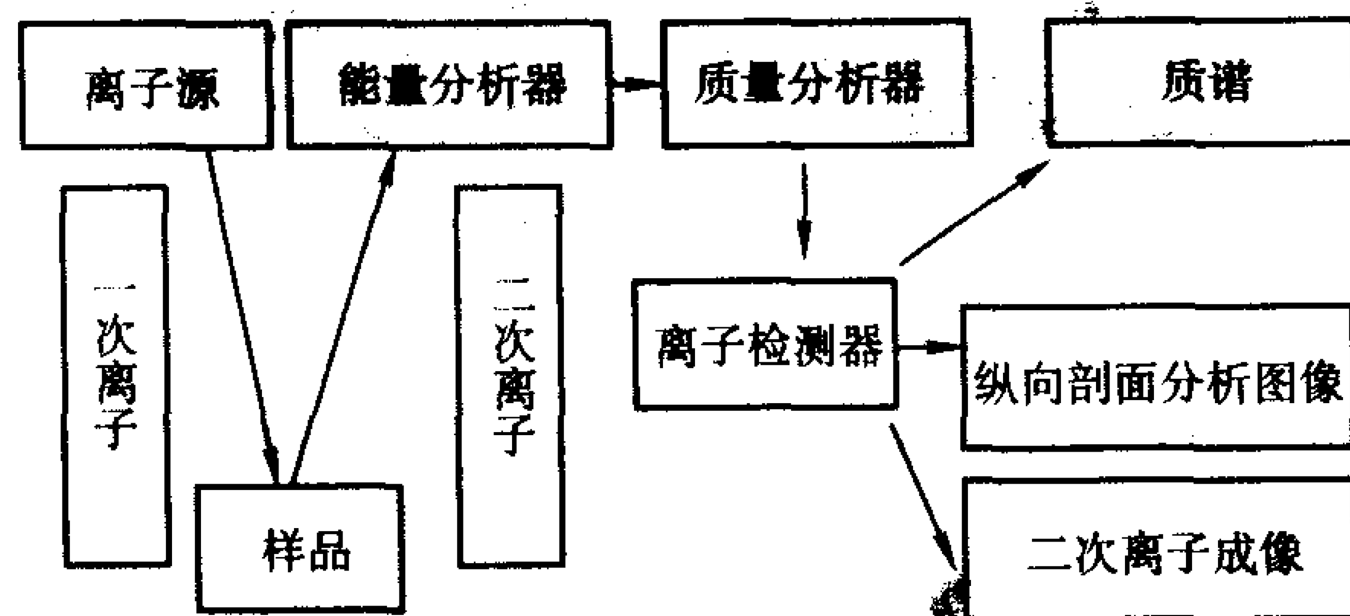


图5.4-11 SIMS的结构示意图

SIMS的一次离子源分为气体放电源（O_2^+、O^-、N_2^+、Ar^+）、表面电离源（Cs^+、Rb^+）和液态金属场离子发射源（Ga^+、In^+）等。

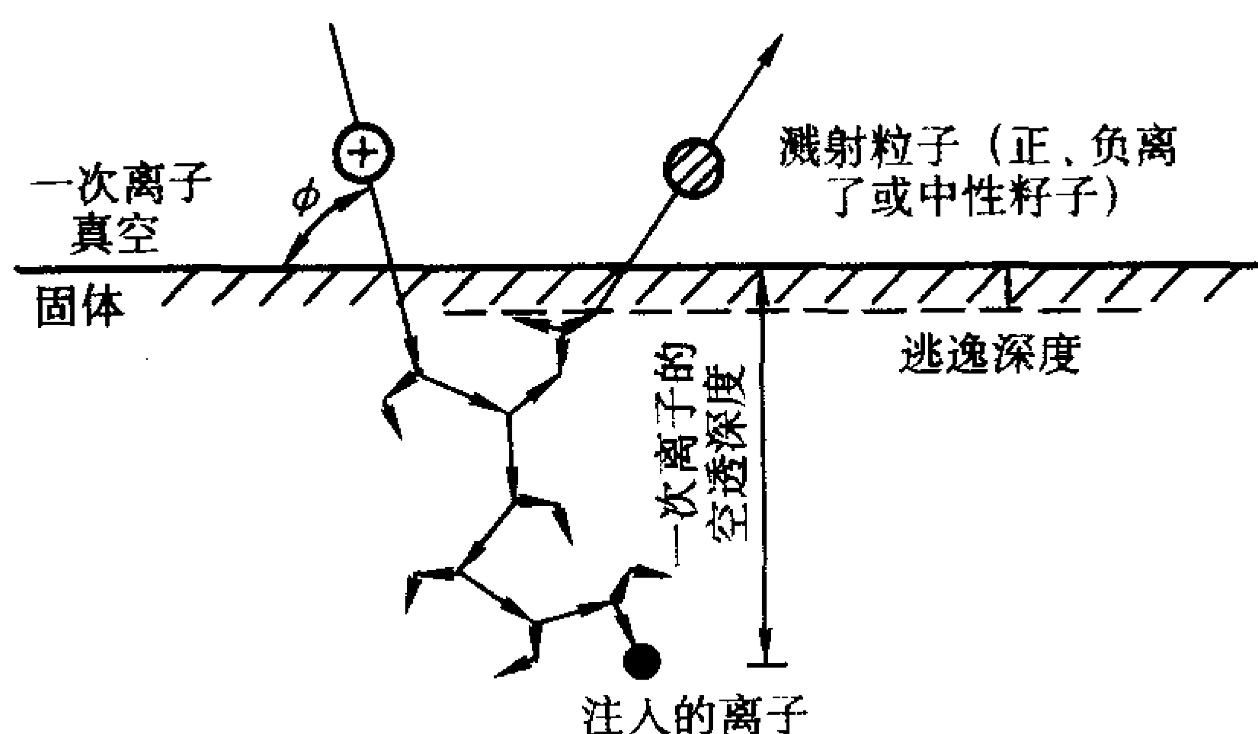


图5.4-12 一次束轰击样品表面

在SIMS系统中，质谱分析器，即质谱计，是非常关键的。离子源提供的是包含有样品组分信息的碎片离子，把这些带电的粒子分离开来都需要电场和磁场的作用。一般可以把质谱计分成三大类：磁质谱计、飞行时间质谱计和四极杆质谱计。下面就把这三种质谱计的工作原理简单介绍一下。

磁质谱计，带电的离子在磁场里将受到劳伦茨力的作用，按荷质比值的大小分离开来。如果把磁场与设计合理的电场组合起来，就可形成高传输效率、高质量分辨率的双聚焦磁质谱计。很适用于微区微量分析甚至是离子分布图像的分析。

四极质谱计，质谱计的核心是四极滤质器，由四根平行对称放置、具有双曲线截面的电极杆组成，如图5.4-13所示。在两组相对的电极上供给极性相反的交流电压和射频电压，当离子由离子源射入时，依靠四个电极产生的组合电场达到分离。由交变射频场产生的震荡轨迹使较轻的离子撞在正电极上，较重的离子撞在负电极上，所以除选定荷质比值的离子外其他离子全部被滤掉，改变电场参数可以使不同荷质比值的离子通过四极滤质器。

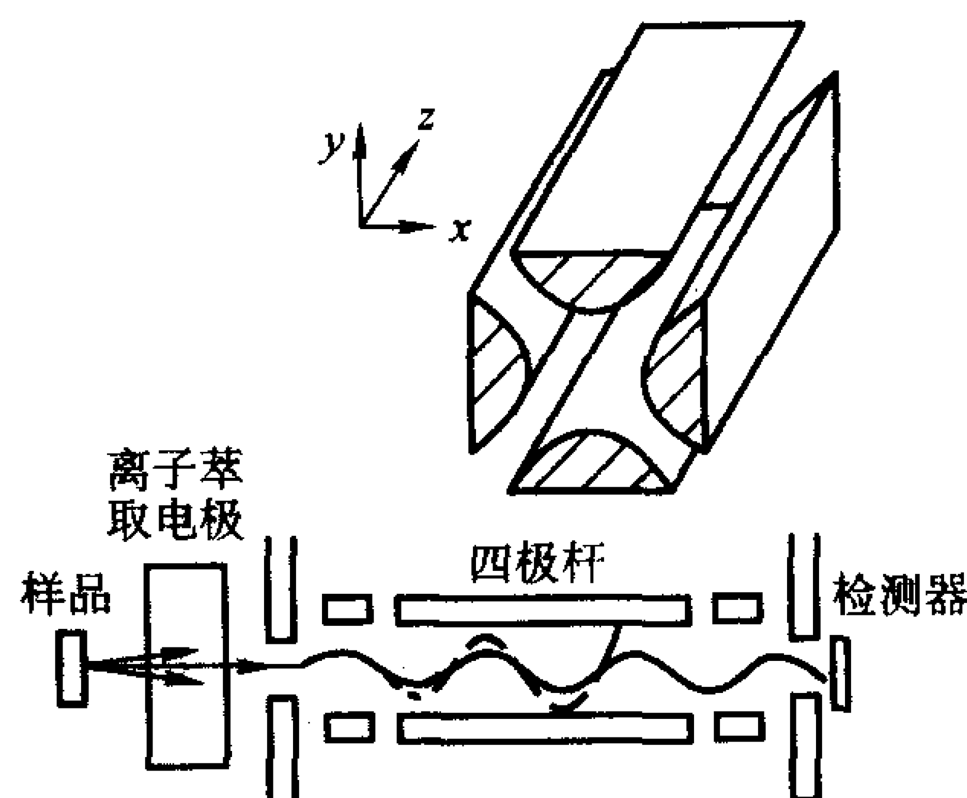


图5.4-13 四极质谱计原理图

飞行时间质谱计，离子在萃取电场的作用下得到动能。获得了动能的离子以速度v，飞越长度为L无电场作用的漂移空间，最后离开质谱计。很显然，如果萃取电场和电荷量相同，质量小的离子将比质量大的离子先期离开质谱计，到达离子探测器，因此达到了按飞行时间进行质量分离的目的，如图5.4-14所示。

（2）在半导体中的应用

首先，应用二次离子的质谱图，对半导体材料中的所有组分进行分析。半导体材料中各种杂质浓度是影响其性能的重要因素，因此了解材料中的杂质种类是非常必要的。由于质谱具有全元素分析、高灵敏的优势，所以全谱分析在半导体材料研究中有着重要的应用。图5.4-15是对GaAs单晶材

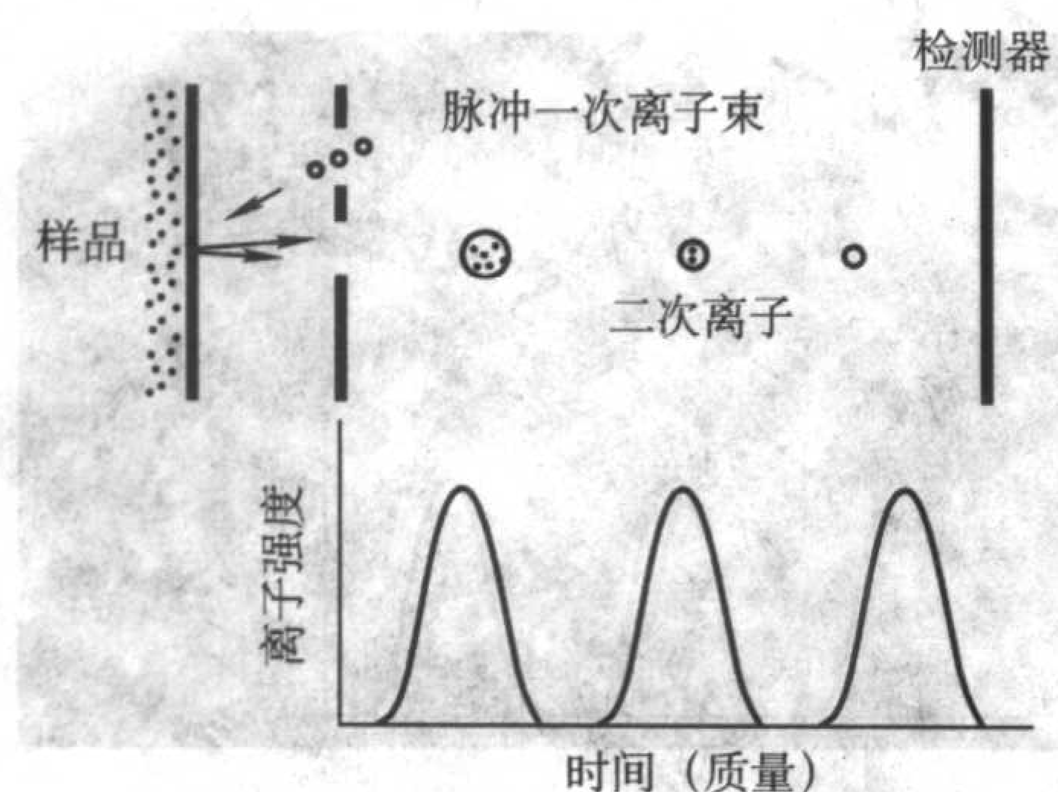


图 5.4-14　飞行时间质谱计原理图

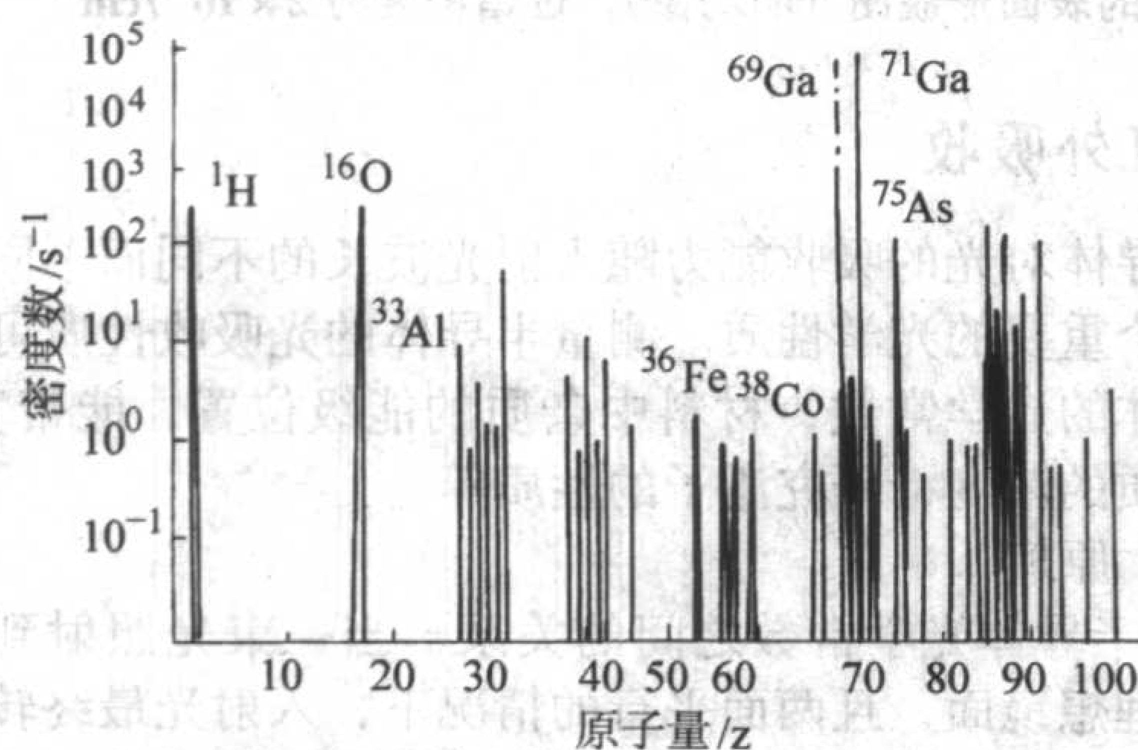


图 5.4-15　GaAs 晶片的质谱图

料的分析结果，从图中可以看出该材料含有 Al、Fe、Co 等杂质。

其次，半导体材料中的杂质在退火的过程中往往会出现再分布的现象。因此能准确测量半导体材料经退火后其杂质由表面到内部的纵向分布情况，对正确分析退火对材料的性能的影响以及指导退火之后的工艺处理都是非常有意义的。应用二次离子质谱纵向分布图可以得到半导体材料中各种成分的深度分布。所谓二次离子的纵向分布图是指一次离子束均匀溅射样品表面，逐层剥离表面的原子层，提取溅射坑中央的二次离子信号，质谱仪同步监测一种或数种被分析元素，收集这些元素的二次离子浓度，即可形成二次离子浓度（Y 轴）样品深度（或溅射时间，X 轴）的样品深度剖析图，直接反映各元素在样品中的纵向分布情况。图 5.4-16 是经不同温度退火后的掺铁 InP 单晶中，铁杂质的纵向分布图。由图 5.4-16 可清楚地发现，经不同温度退火后，InP 晶体中

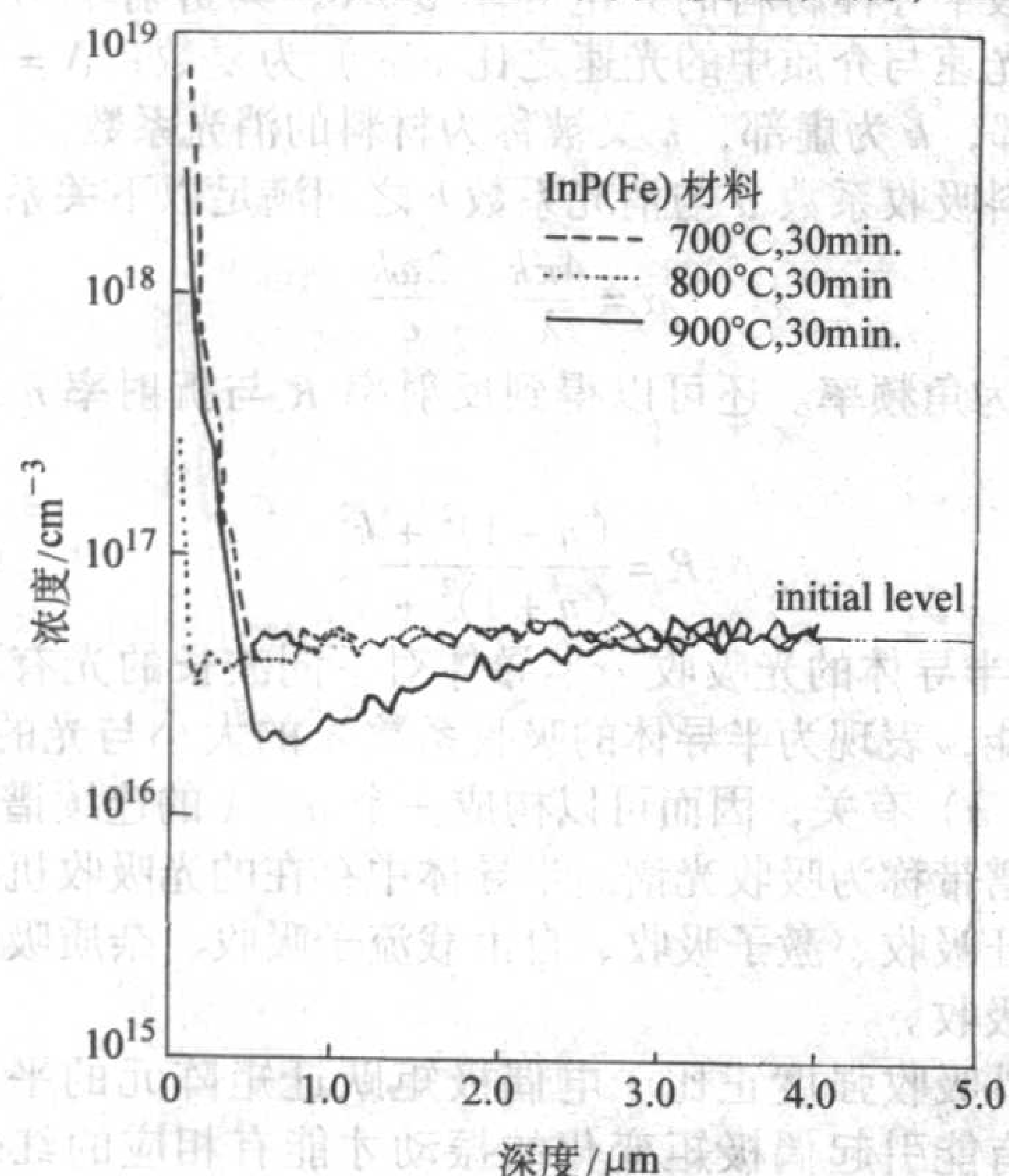


图 5.4-16　经不同温度退火后的掺铁 InP 单晶中，铁杂质的纵向分布

铁原子具有相似的分布规律，由表面到内部分别为：晶体表面厚度在 200～500 nm（2 000～5 000 Å）的铁原子聚集层，接下来是厚度约为 1～3 μm 的铁耗尽层，之后铁原子浓度接近内部水平。

在显微镜模式下，一次束离子轰击样品表面，轰击区域内分析元素的二次离子信号被传输到 CCD 上，直接形成二次离子像。这种成像模式的最大优点在于成像速度快。图 5.4-17 是 GaAs 材料芯片表面 Ga 的二次离子像。发亮区是 Ga 的二次离子像，通过其间的暗条发现经光刻后在芯片上有胶条残痕。

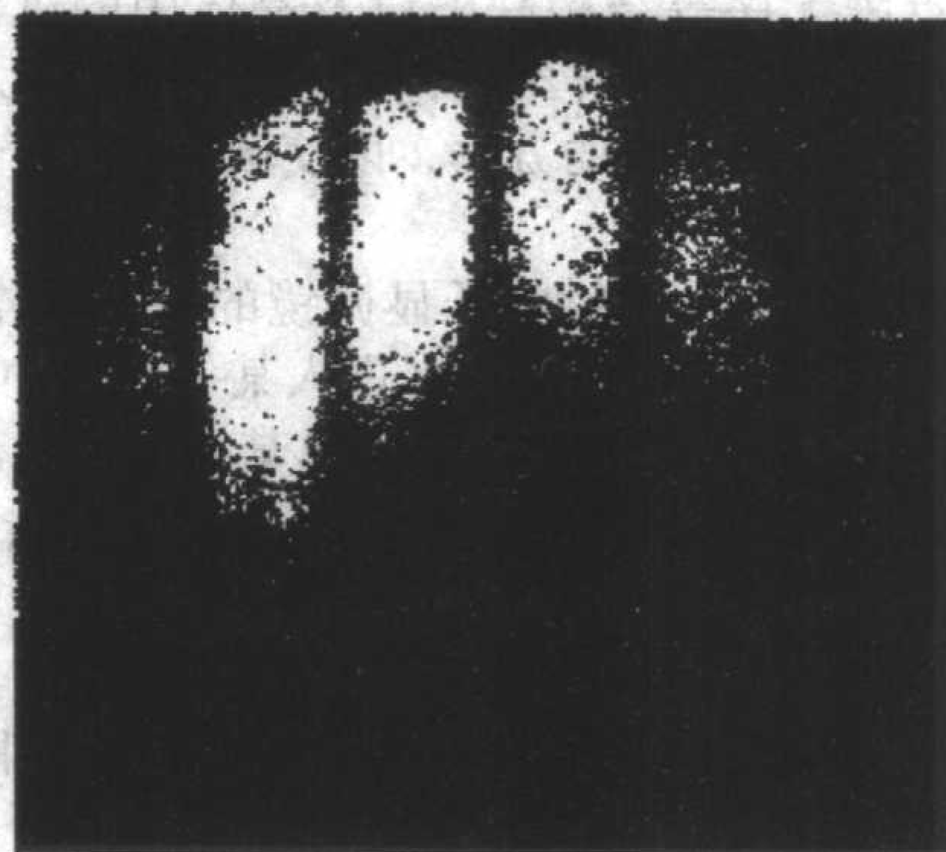


图 5.4-17　GaAs 材料芯片表面 Ga 二次离子像

1.4　透射电子显微镜（TEM）

透射电子显微镜是一种研究晶体缺陷十分有用的仪器。被广泛用于半导体材料的研究领域。高分辨率是其突出的优点，可以观察晶体中微米数量级尺寸以下的结构缺陷。透射电子显微镜的缺点是制样较复杂，其样品厚度一般只在几百纳米是比较困难的。另外，视场面积小造成寻找缺陷位置比较困难。

(1) 原理

当一束电子投射到薄晶体上时，一部分电子透过晶体，另一部分被晶体中某一晶面所反射形成衍射束，衍射束投射在照相屏上则形成一定几何规则和对称性的斑点，称这些斑点为衍射斑。依据电子衍射花样可以鉴定所观察晶体的种类、结构和点阵常数等。

此外，与 X 射线形貌技术原理相同，透射电子和衍射电子在晶体底面出射时存有一定的强度分布，这种强度分布差别形成了相的衬度。依据相的衬度特征便可以了解晶体结构的完整性、晶体缺陷类型和性质。

晶体点阵对入射电子波具有散射作用。当入射电子波的波长 λ，晶体中某一组晶面（hkl）的面间距 d_{hkl} 及电子波的入射角 θ 之间满足布拉格定律 $\lambda = 2d_{hkl}\sin\theta$ 时，衍射波的振幅最大，其衍射强度最大。

当一束电子通过薄晶体时便会形成透射光束和衍射光束。利用透射光束所成的像为明场像。相反，利用衍射光束成的像为暗场像。

另外，透射电子显微镜技术中的成像理论包括运动学和动力学理论。有关这两种理论的介绍以及成像机理见 X 射线形貌技术原理部分的介绍，这里不再重复，而需要强调一下的是相角的概念。因为此概念在电子透射显微成像的分析中很重要。当晶体中存在缺陷时，如堆垛层错，位错，沉淀等。由于这些缺陷的存在使得晶体点阵的排列产生变化，即产生原子位移（通常用位移矢量 $\boldsymbol{R}$ 来表示）。通过比较完整晶体和存在缺陷的晶体体中散射波振幅的数学表达式，可清楚地发现晶体中的缺陷对散射波振幅的影响，其主要表现在缺陷引入了附加相因子项 $e^{-i\alpha}$，α 称为相角 $\alpha = 2\pi\boldsymbol{g}\cdot\boldsymbol{R}$，$\boldsymbol{g}$

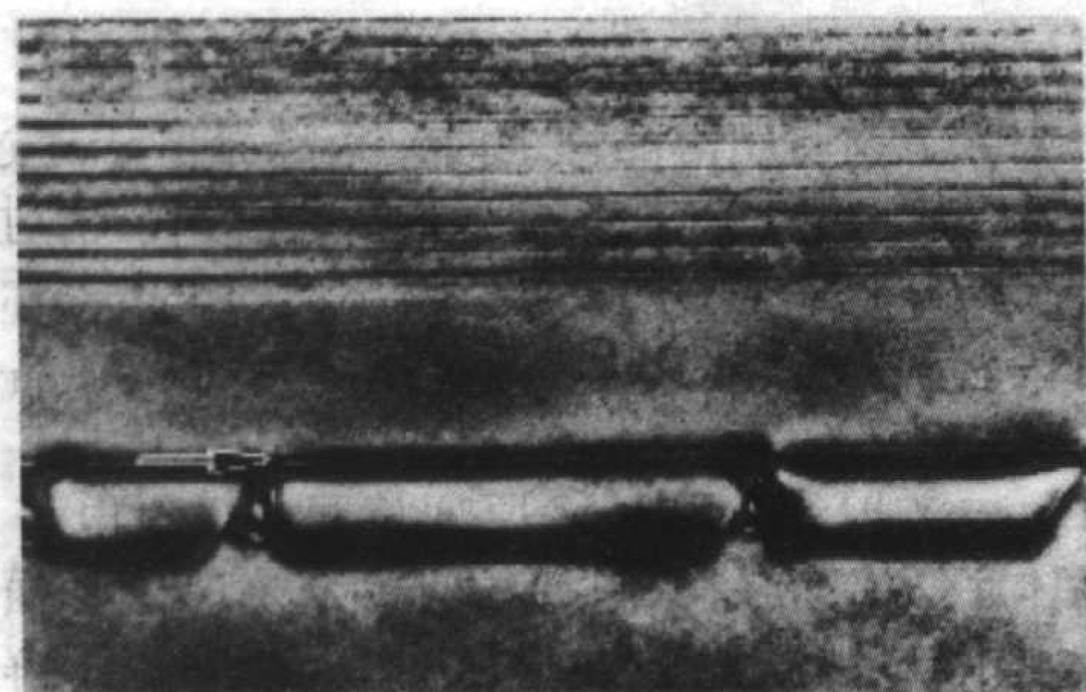
为晶体点阵的倒易格式。由相角很容易解释像衬度的改变，即缺陷之所以出现条纹衬度，是因为衍射波通过缺陷后相因子发生了突然的变化，变化量为 $\alpha = 2\pi \boldsymbol{g} \cdot \boldsymbol{R}$。如果 $\boldsymbol{R}$ 是格矢的整数倍，那么 $\alpha = 2n\pi$（$n = 0, \pm 1, \pm 2, \cdots$）衍射波与完整晶体中的一样，此时不会出现缺陷像。如果 $\boldsymbol{R}$ 不是格矢的整数倍，那么 $\alpha \neq 2n\pi$，衍射波的振幅就受这个相因子的影响，出现缺陷的衬度特征，在电子显微像中就可以看见晶体中的缺陷。

（2）应用

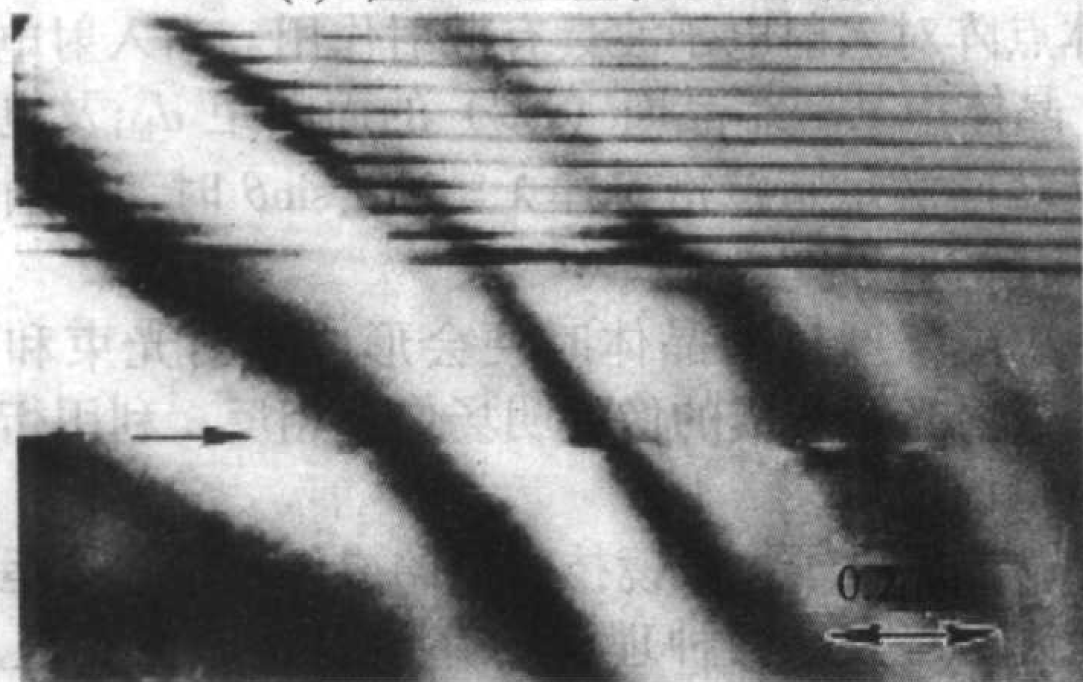
用透射电子显微镜可以观察半导体晶体中的位错、体内层错、晶格点阵无序等结构缺陷以及晶体中的沉淀物等缺陷。各种应用就不再一一详细讨论了。下面介绍几个在半导体材料研究中要经常用到的方法，以使读者对电子透射技术有更感性的认识。

首先，识别材料是透射电子显微镜的一个基本的应用。对于某一方向的电子束来说，当其进入某一晶体中（可以是基体也可以使基体中的沉淀相）后，其某一晶面（hkl）恰好满足布拉格条件，此时会产生相应的衍射花样。衍射花样的几何结构与此晶体的点阵参数和其点阵结构有关。因此可根据衍射花样的几何图形计算出此晶体的点阵参数和点阵结构，最后利用美国材料试验标准卡片查找待鉴定的这种物质。

其次，还可应用透射电子显微技术直接观察外延生长的异质结材料中衬底与外延层之间的晶格匹配情况。如图5.4-18为用分子束外延技术分别在GaAs和InGaAs衬底上生长InGaAs的截面透射电子显微图。对比图5.4-18a和图5.4-18b即可清楚地发现，在GaAs上生长InGaAs的异质结中，在衬底与生长层之间存在由于晶格失配而引起的不全位错环，如图5.4-18a；而在InGaAs衬底上生长InGaAs的异质结中，在衬底与生长层之间，虽然可识别出界面来，但不存在由于晶格失配而引起的不全位错环，如图5.4-18b。箭头指出衬底与外延层之间的界面。



(a) 在GaAs上生长InGaAs层



(b) 在InGaAs衬底上生长InGaAs层

图5.4-18　截面透射电子显微图（g =［004］）

另外，也可应用透射电子显微镜直接观察试样表面的情况。图5.4-19是在SiC衬底上生长GaN材料的透射电子显微镜的表面形貌图。通过此图可清楚地看到GaN材料中的位错露头，继而很容易确定材料中的位错密度为 $2\times10^{10}/\mathrm{cm}^2$。

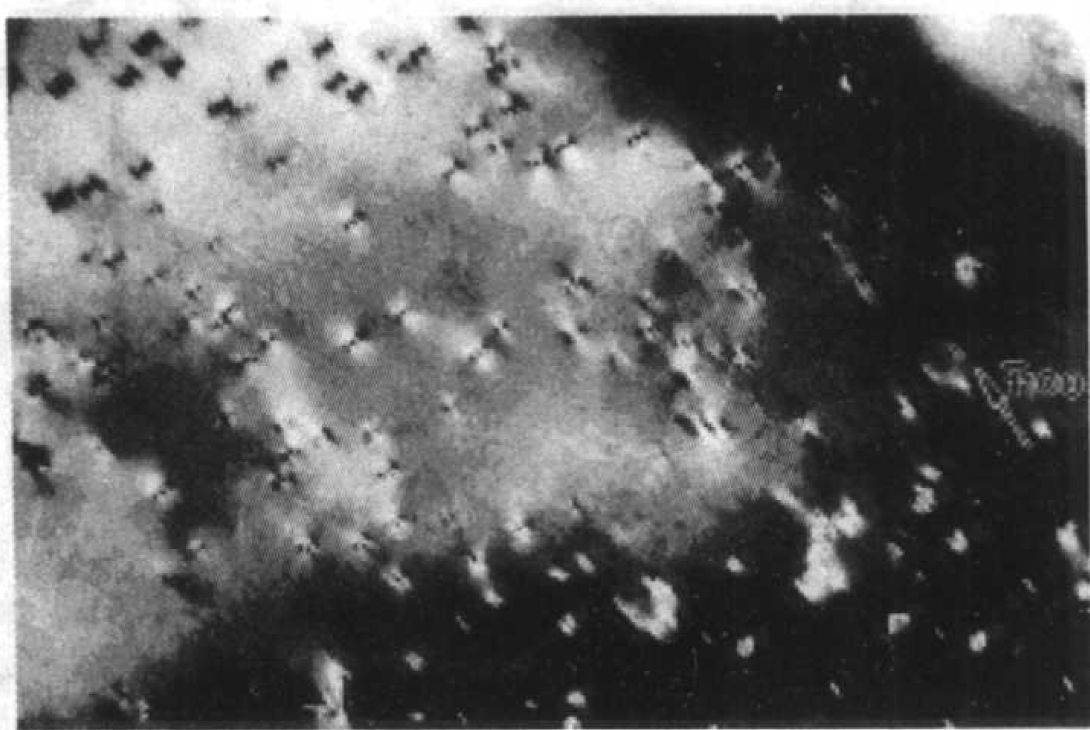


图5.4-19　在SiC衬底上生长GaN材料的透射电子显微镜的表面形貌图（明场像），**位错密度为 $2\times10^{10}/\mathrm{cm}^2$**

1.5　红外吸收

半导体对光的吸收能力随入射光波长的不同而不同，是它的一个重要的光学性质。测量半导体的光吸收性质可以推知半导体的光学常数，材料中杂质的能级位置，能带宽度，测定杂质的浓度，研究激子的性质等。

（1）原理

1）半导体光学常数之间的关系　当一束光照射到材料表面为理想镜面，且两面平行的情况下，入射光最终转化为三部分：一部分光被反射，另一部分光被样品吸收，还有一部分光透过样品。根据能量守恒定律则有下式：

$$1 = R + K + T \tag{5.4-1}$$

式中，R 为反射率；K 为吸收率；T 为透射率；考虑到光在样品内部经多次反射，且忽略干涉效应，则透射率 T 与反射率 R 之间满足下列关系：

$$T = \frac{(1-R)^2 e^{-\alpha X}}{1 - R^2 e^{-2\alpha X}} \tag{5.4-2}$$

其中 X 为样品的厚度，α 为材料的吸收系数，其物理意义为：光在媒体中传播 $1/\alpha$ 距离时能量减弱到原来的 $1/e$。由上式解出 α 的表达式：

$$\alpha = \frac{1}{X}\ln\frac{1+\sqrt{1+4C^2R^2}}{2C} \tag{5.4-3}$$

式中，$C = T(1-R)^2$。反射率 R 对于一定的材料来说，是一个与波长有关的常数。于是测得透射率 T，就可计算出吸收系数 α。

一般半导体材料的光电导率 $\sigma \neq 0$，其折射率 N（即真空中的光速与介质中的光速之比 c/c'）为复数：$N = n - ik$，n 为实部，k 为虚部，k 又被称为材料的消光系数。

材料吸收系数 α 与消光系数 k 之间满足以下关系：

$$\alpha = \frac{4\pi k}{\lambda} = \frac{2\omega k}{c} \tag{5.4-4}$$

式中 ω 为角频率。还可以得到反射率 R 与折射率 n 之间的关系

$$R = \frac{(n-1)^2 + k^2}{(n+1)^2 + k^2} \tag{5.4-5}$$

2）半导体的光吸收　半导体对不同波长的光有不同的吸收性能，表现为半导体的吸收系数 α 的大小与光的波长 λ（或频率 σ）有关，因而可以构成一个 $\alpha \sim \lambda$ 的连续谱带，这种连续谱带称为吸收光谱。半导体中存在的光吸收机构主要有：本征吸收、激子吸收、自由载流子吸收、杂质吸收和晶格振动吸收。

红外吸收强度正比于电偶极矩跃迁矩阵元的平方。因此，只有能引起偶极矩变化的振动才能有相应的红外吸收谱，即所谓是红外活性的。

（2）应用

1）测光学常数　前面已得到式（5.4-2）、式（5.4-3）、

式（5.4-4）和式（5.4-5）是测量光学常数的基本依据。如果反射率 R 已知，则测量一定厚度 X 的样品的透射率 T，利用公式（5.4-3）则可算出吸收系数 α，根据式（5.4-4）、式（5.4-5）进而计算出折射率 N

$$N = n - ik \tag{5.4-6}$$

2）杂质识别及其浓度计算　晶格中引入杂质后，因为杂质原子的质量与点阵基体原子的质量不同，另外振动的力常数也不同。力常数表示晶格中原子之间的相互作用力的强弱，使晶体的振动状况发生变化。这时可以在纯晶体的允许振动频带以外出现新的振动态，这种新的振动态被称为局域模。在局域模频率上会引起光吸收，形成与此杂质有关的红外吸收谱。此红外吸收谱可作为与之对应的杂质在基体中存在的标识。局域模特征频率 ω_l 取决于杂质的原子量 M_i 与基体的原子量 M 之比。M_i/M 越小，频率越高。M_i 与 M 相差越大，吸收线越敏锐。

GaAs和InP晶体中的荷电轻杂质的振动所引起的吸收带的总积分强度与杂质浓度满足下面的关系：

$$\int \alpha(\omega)\,d\omega = \frac{\pi N \eta^2}{2ncM_i\varepsilon_0}$$

式中，N 为杂质浓度，η 为杂质有效电荷量，n 为晶体的折射率。但需要强调的是杂质的有效电荷量与杂质的价之间不存在简单的关系。因此，如果测量出杂质振动吸收峰的积分强度和杂质的有效荷电量，便可以推算出杂质的浓度。

研究结果表明：在用液封直拉法生长的原生纯度或掺铁InP单晶中，普遍存在着氢原子与铟空位形成的浅施主缺陷 $V_{In}H_4$，此缺陷在红外吸收谱中所对应的吸收峰位于2 135/cm[1]附近。因此，可通过InP样品的红外吸收谱中是否存在此吸收峰来判断材料中缺陷 $V_{In}H_4$ 的变化情况。如图5.4-20为原生n型InP样品退火前后的红外吸收谱。由图可知，退火处理可以消除材料中原有的 $V_{In}H_4$ 缺陷。

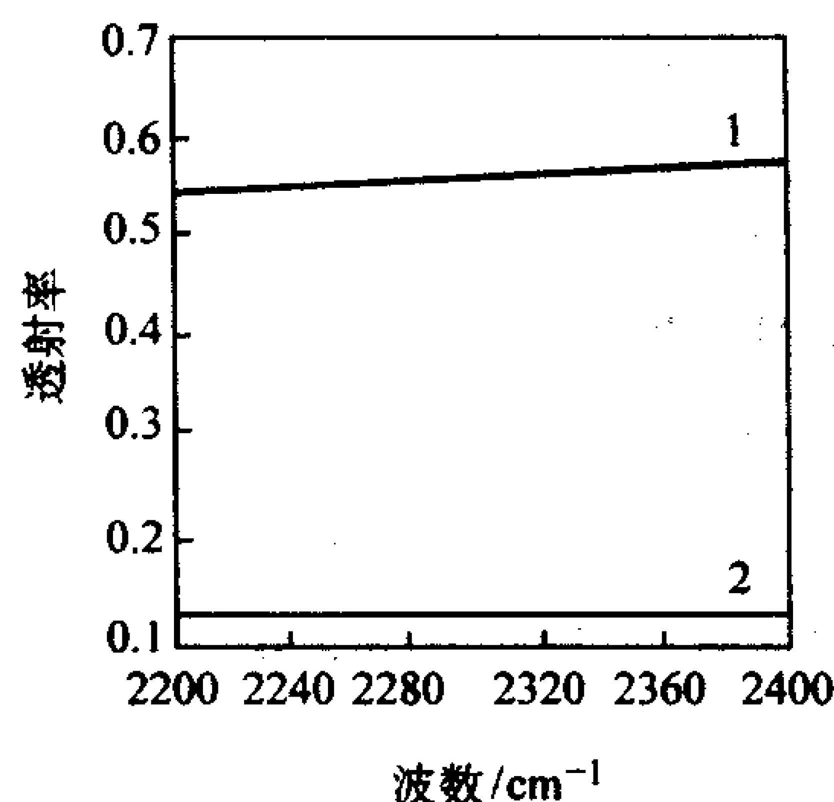


图5.4-20　液封直拉法生长的原生掺铁半绝缘InP样品退火前后的红外吸收谱（T=20 K）
1—退火后样品；2—退火前样品

其二，如铁在InP中产生位于禁带中央附近的深受主能级，通过俘获电子补偿材料中的浅施主杂质从而使材料具有半绝缘性质。InP化铟中有两个价态：Fe^{2+} 和 Fe^{3+}。Fe^{2+} 在InP的晶体场中分裂为 ^5E 和 $^5T_2$ 能级，并且由于自旋轨道耦合还进一步分裂为一系列能级。满足电偶极矩要求的四个跃迁分别为 $^5T_2$ 到 ^5E 最低的四个能级之间的跃迁，这就是 Fe^{2+} 离子在立方晶体场中的四线光学指纹。图5.4-21为H.Ch.Alt等人研究的掺铁InP晶体中 Fe^{2+} 特征谱的低温吸收谱。

1.6 喇曼（Raman）谱

1.6.1 喇曼光谱技术原理

（1）喇曼散射

当入射的光量子与分子相碰撞时，可以是弹性碰撞散射，

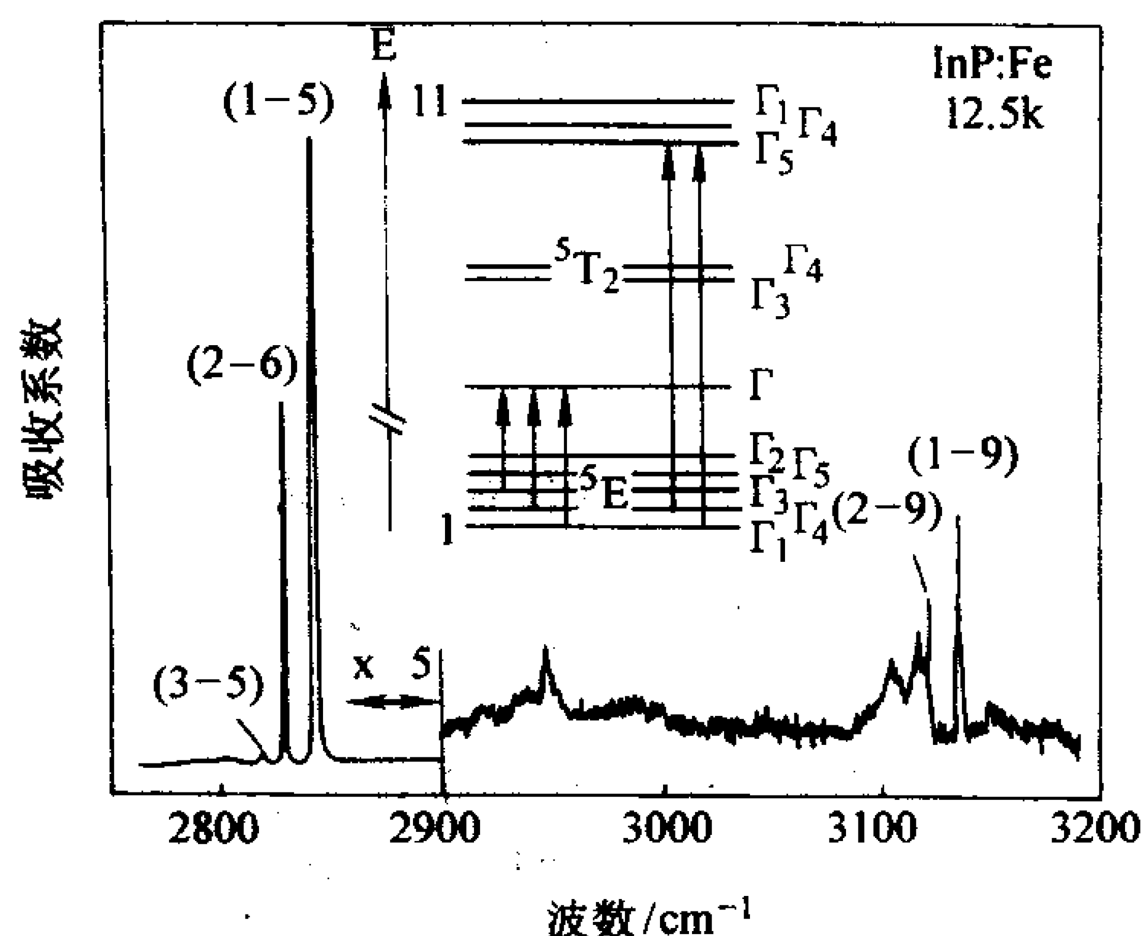


图5.4-21　Fe^{2+} 离子低温吸收谱（图中的插图为 Fe^{2+} 离子的电子能带和其晶体场及自旋轨道分裂的示意图）

也可以是非弹性碰撞散射。在弹性碰撞过程中，光量子和分子均没有能量的交换，于是它的频率保持恒定，称为瑞利散射，在非弹性碰撞过程中光量子与分子有能量交换，光量子转移一部分能量给散射分子，或者从散射分子中吸收一部分能量，从而使它的频率发生改变 $\Delta\gamma$，把这种散射称为喇曼散射，如图5.4-22所示。

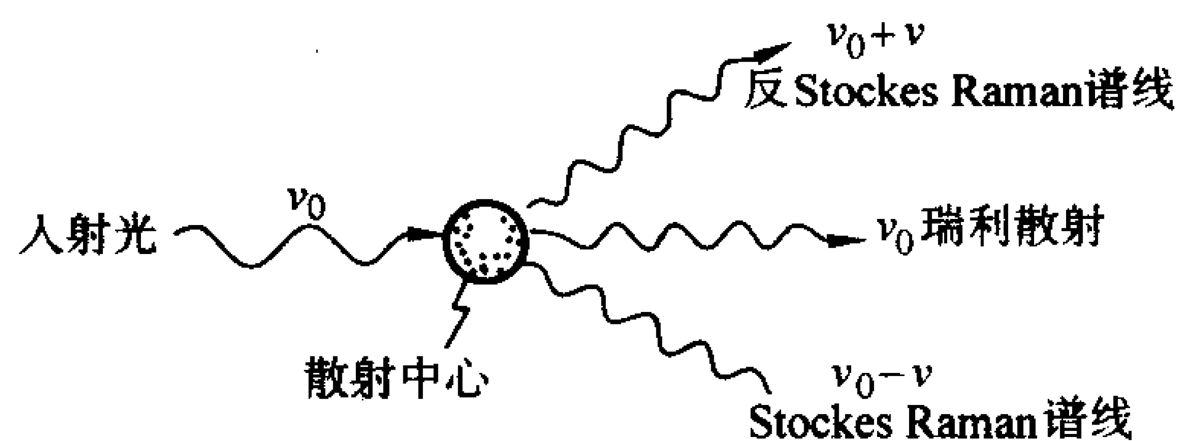


图5.4-22　Raman谱线形成原理图

光量子吸收或放出一个声子，从而使谱线频率发生改变。

$$\hbar\nu' = \hbar\nu_0 \pm \hbar\nu$$

式中，ν' 为散射谱线频率；ν_0 为激发谱线频率；ν 为散射物质分子振动或转动的频率。

把散射后光量子频率减少的散射称为Stokes散射，相反把散射后光量子频率增加的散射称为反Stokes散射。Stokes线和反Stokes线对称地分布在瑞利线两侧，反斯托克斯线的强度比斯托克斯线又要弱得多。这是因为反斯托克斯散射涉及的过程是系统由一个高能态向低能态跃迁的过程。但是这些高能态随着能量的增加呈指数地递减，因而其强度比斯托克斯散射强度弱得多，不容易观察到。实际测量中一般只测低频一边的斯托克斯散射谱线。

频率的位移，即Raman线和激发线的频率之差，应该为 ω'，这与激发线的频率无关，只和物质本身性质有关。通常用汞弧或激光作为照射光源，可用来激发Raman谱线。使用不同的激光时、喇曼光谱的谱线位置相同，强度不同。故喇曼光谱相当于分子的指纹，因此可用来进行定性或定量分析。如在砷化镓单晶检测中，Raman谱线主要有光频声子支TO振动模（267/cm）和LO振动模（293/cm）。

对于一个给定的分子，在红外吸收观察到的频率常常与在Raman效应观察到的频率位移相符，但也并不总是这样，这要取决于分子本身的对称性。

（2）分子极化

由上面的叙述可知喇曼散射光谱与分子的振动有关。其实喇曼散射与产生分子极化率变化的振动有关。设入射单色光的频率为 γ_0，其电矢量为 $\boldsymbol{E}$。在此电场作用下分子产生极化，正负电荷中心分离，形成诱导电偶极矩：

$$\mu = \alpha \boldsymbol{E}$$

式中 α 称为分子极化率。只有能引起分子极化率变化的振动，即$\frac{\partial \alpha}{\partial r}\neq 0$，才能产生变化的诱导偶极矩，引起喇曼散射，此振动为喇曼活性的。

（3）偏振

在喇曼散射光谱中，因为散射物的各向异性，使不同方向上的分子极化率不同，用退偏振比 ρ 来描述散射光的偏振，定义为：

$$\rho=\frac{I_{\perp}}{I_{/\!/}}$$

式中 $I_{\perp}$ 和 $I_{/\!/}$ 分别为喇曼散射光中垂直和平行原激发光电矢量方向的谱带强度。理论分析表明，对于分子的完全对称振动，谱带的 ρ 值小于 3/4，称为偏振谱带（在平行方向的偏振）；对于其他振动 ρ 大于等于 3/4，称为退偏振带。因此，通过测量谱带 ρ 值，可推断振动的对称性。

（4）光谱选择定则

红外与喇曼光谱都与分子振动有关，前者要能引起偶极矩变化，后者能引起极化率变化，表现在光谱上是互斥的：如果分子有对称中心，则不可能存在一种振动，它既是红外活性的又是喇曼活性的。如果分子没有对称中心，则可能有一些振动对红外和喇曼都是活性的。它揭示了两种光谱的联系，在实践中常把红外和喇曼光谱合并使用。

1.6.2　喇曼光谱检测优缺点

Raman 谱检测优点有：①对样品无破坏；②样品形态不限，溶液、薄膜、单晶、多晶、无定形固体、粉末等都可以使用；③样品用量小，可以进行微区分析，配合移动台可以进行扫描分析；④在某些高温、高压、低温、强磁等极端环境下可以很好的工作；⑤有大量的 Raman 谱线数据可以参考。

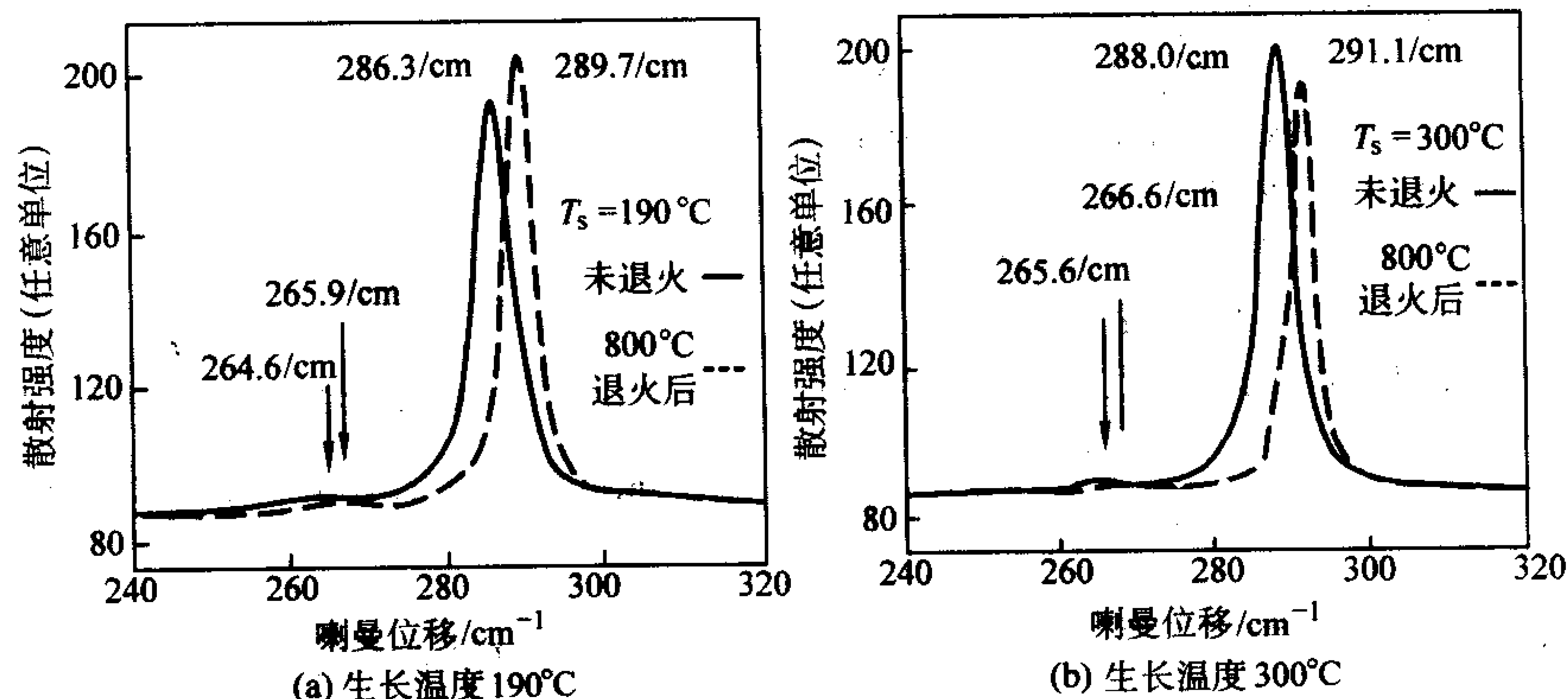
缺点主要是：①空间分辨率低于 X 射线、电子显微镜等手段；②荧光杂质、空间散射光、物质色团都会影响测量精度；③样品浓度要求较红外光谱、紫外光谱等技术高。

1.6.3　喇曼光谱检测应用

用喇曼光谱技术可以检测材料表面或异质结界面应力、杂质缺陷、点阵结构的完整性及带隙大小等等。由于篇幅所限，在这里只介绍几种较典型的例子以示读者。

（1）检测晶体结构完整性及鉴别材料中的退火析出相

江德生等人通过与 GaAs 体材料的喇曼谱中声子峰位置的对比，发现在低温下分子束外延生长的 GaAs（LTG－GaAs）薄膜材料退火前后的喇曼谱中，声子峰发生了频移。根据频移量及声子峰的半峰宽的大小，正确地判断了退火处理对材料结构完整性的影响。图 5.4-23 是 LTG-GaAs 薄膜退火前后的喇曼光谱图，生长温度分别为 190℃（a）和 300℃（b）。与图 5.4-23 对应的样品的喇曼频率及半峰宽见表 5.4-1。



(a) 生长温度 190°C　　(b) 生长温度 300°C

图 5.4-23　LTG－GaAs 薄膜在退火前后的喇曼光谱

表 5.4-1　LTG－GaAs 退火前后的喇曼频率和半高宽

样品生长温度	T_1 = 190℃			T_s = 300℃		
声子参量	LO 声子峰频率/cm	LO 声子峰半宽度/cm⁻¹	TO 声子峰频率/cm⁻¹	LO 声子峰频率/cm⁻¹	LO 声子峰半宽度/cm⁻¹	TO 声子峰频率/cm⁻¹
退火前	286.3	6.0	264.6	288.0	5.0	265.6
800℃退火后	289.7	4.3	265.9	291.1	3.8	266.6

通过对图 5.4-23 及表 5.4-1 中数据的分析，得出以下结论：

1）在这些光谱中，GaAs LO 声子峰的强度很大，TO 声子峰则很弱，符合（100）GaAs 背散射的选择规则，说明即使在退火前，样品的无序程度并不严重。

2）但退火处理能使 LO 峰的半宽度减小（约达 2.2/cm），证明退火后晶体质量提高。

3）表 5.4-1 的数据表明，当生长温度为 190℃时未退火样品 LO 声子频率为 286.3/cm，比体 GaAs LO 声子频率 291/cm低近 5/cm，300℃生长样品的频移则小得多。另外，由于在 LTG-GaAs 中，特别是退火前存在大量的点缺陷，如 As_{Ga}反位缺陷等，因此生长温度较低的样品，富 As 量更大。

（2）研究Ⅲ-Ⅴ化合物合金半导体中组分的改变对结构特性的影响

Ⅲ-Ⅴ族化合物半导体的禁带宽度随合金组分不同而变化，通过人工控制合适的组分，可以达到适应半导体光电器件所要求的禁带宽度和相应特性，是发光器件、半导体激光器、太阳能电池的重要材料。因此，此种材料正越来越引起人们的注意。

张开骁等采用光辐射加热低压金属有机化学气相淀积（LP－MOCVD）方法在蓝宝石衬底上生长了高 P 组分的 $GaN_{1-x}P_x$ 三元合金薄膜，通过喇曼光谱技术研究了合金中 P 掺杂所引入的振动模。图 5.4-24 是具有不同 P 组分的 $GaN_{1-x}P_x$ 以及非掺 P 的 GaN 的喇曼谱。与非掺 P 的 GaN 喇曼谱相比，在 $GaN_{1-x}P_x$ 的喇曼谱中出现了三个新的谱峰（M_1、M_2、M_3）和一个较宽的峰包（N），M_1、M_2、M_3 的位置分别在 256/cm，377/cm 和 428/cm 处，N 的中心在314/cm

处。同时，原 GaN 中 Al（LO）声子的频率在 $GaN_{1-x}P_x$ 合金中随着掺 P 量的增加而向低频方向移动。通过分析，他们认为：M_1 这个振动模是由 Ga-P 键的振动所引起的准局域振动模。而 M_2、M_3 为 Ga-P 键的振动所引起的间隙模。N 峰包来自无序激活的喇曼散射。

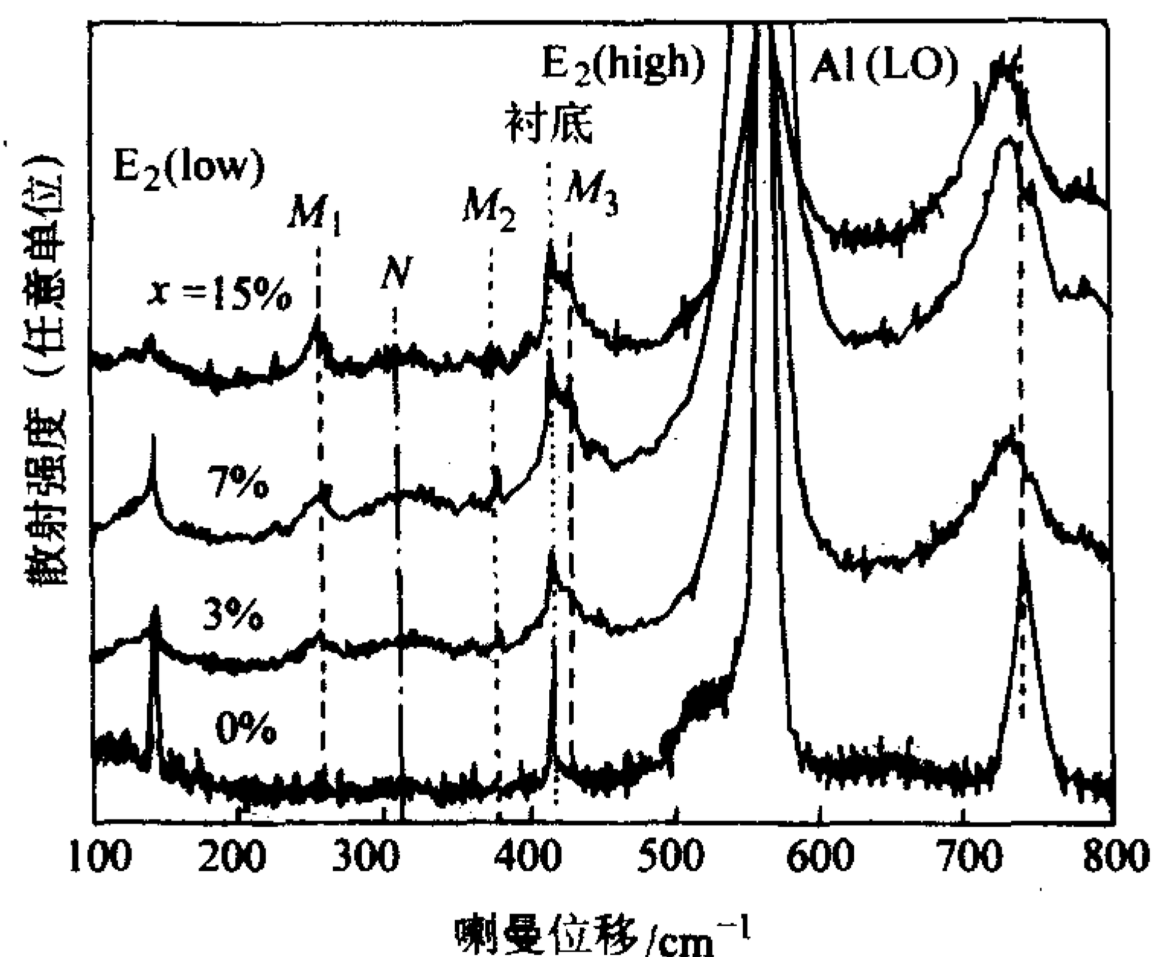


图 5.4-24 GaN 和不同 P 组分比的 $GaN_{1-x}P_x$ 合金的喇曼光谱

（3）晶体晶向测量原理

根据跃迁选择定则，（100）砷化镓方向只产生 LO 声子对应的 Raman 谱线，（110）方向砷化镓方向只产生 TO 声子对应的谱线，因此，测量 LO 和 TO 谱线的强度，可以推测出晶体的方向。

（4）应力测量原理

应力对 Raman 谱线影响的理论表明：应力大小和 Raman 谱线频移的关系是：

$$\lambda = 2\sigma\ \{ps_{12} + q\ (s_{11} + s_{12})\}$$

式中，$\lambda = \Omega^2 - \omega_0^2$，$\Omega$ 为有应变时的 LO 声子谱线频率；ω_0 为无应变时的 LO 声子谱线频率；s_{11}、s_{12} 为砷化镓弹性常数，p、q 为应力。可见，压应力会引起声子向高频移动；张应力使谱线向低频方向移动。利用扫描的方式，可以得到样品不同位置的应力情况。

（5）缺陷测量

由于位错等缺陷的存在，会打破 Raman 谱线和晶体方向之间的跃迁定则，图 5.4-25 所示为（100）LEC 单晶位错胞壁附近的 Raman 谱线；同时，缺陷还导致谱线半峰宽增大。另外，如果砷沉淀等夹杂物体积较大，可以和聚焦的激发光斑（1～2 μm）尺寸相比较，还可以得到砷元素（LO 谱线为 257/cm，TO 为 200/cm）或其他元素的 Raman 谱线。

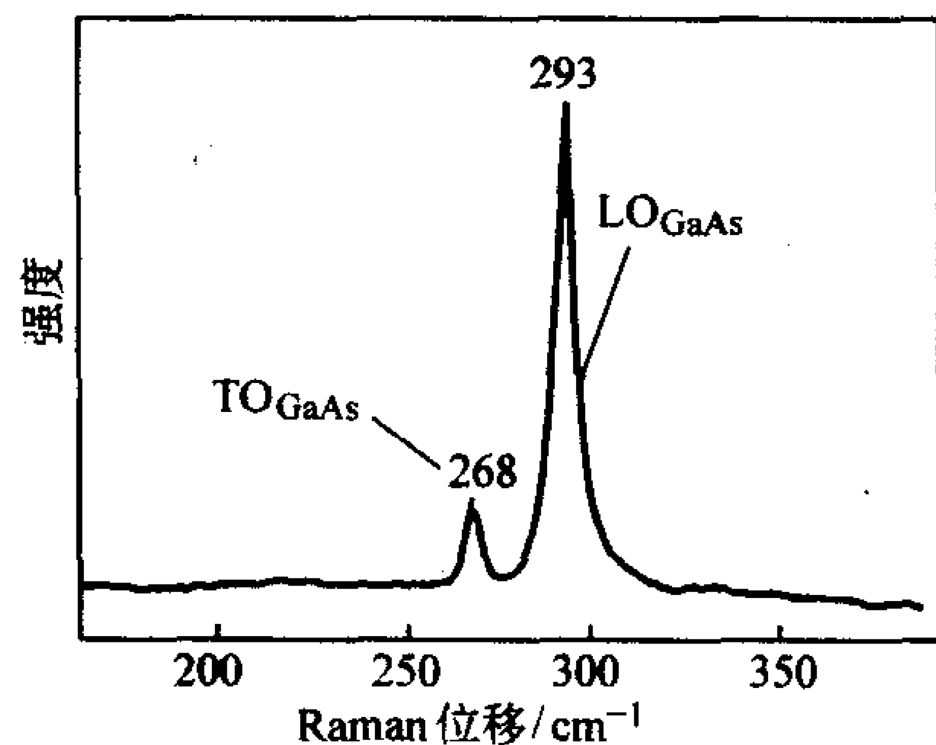


图 5.4-25 （100）LEC GaAs 单晶 Raman 谱线（位错胞壁处）

（6）表面缺陷测量

由于 Raman 谱线频率移位和激发光源无关，因此可以选择合适波长的激发光源来检测样品不同深度内缺陷的情况。比如在 GaAs 晶体中，不同波长的激发光源对应的穿透深度如表 5.4-2 所示。

表 5.4-2 不同波长的激发光在 GaAs 晶体中的穿透深度

波长/nm	514	488	472
穿透深度/nm	120	80	60

1.7 电感耦合等离子体质谱/光谱（ICP-MASS/AES）

电感耦合等离子体-原子发射光谱仪（Inductively Coupled Plasma-atom emission spectrometry，简称 ICP-AES），是以电感耦合等离子体（ICP）为激发光源的发射光谱仪器，是 20 世纪 60 年代早期问世的一种元素分析手段。

电感耦合等离子体质谱（Inductively Coupled Plasma Mass Spectrometry 缩写为 ICP－MS）是 80 年代发展起来的分析测试技术，它以独特的接口将电感耦合等离子体（ICP）的高温电离特性与四极质谱仪的灵敏快速扫描特性相结合，近年来已成为一种强大的元素分析技术。

ICP-MS 是源于 ICP-AES 技术快速发展之后而产生的下一代多元素分析仪，它具有极低的检测线（ppt 级）、谱线简单、干扰少、分析精密度高、分析速度快，是一种富有生命力的分析技术，在高纯材料中已引起广泛的关注与应用。

（1）原理

ICP-AES 的基本原理是：利用高频电源及氩气产生等离子体，试样以溶液状态经雾化器雾化后引入等离子体进行脱水、干燥、激发等，样品中的受激发原子或离子产生光信号，利用分光系统分解光信号成为各元素的特征光谱线，用检测器测定谱线强度，并与标准的谱线强度比较，确定试样中待测元素的含量。

ICP-MS 系统结构如图 5.4-26 所示，包括进样系统、ICP 系统、接口系统、质量分析系统及工作站系统等五大部分。主要的进样方式有溶液样品雾化喷雾进样、液体样品经各种色谱系统分离后进样和固体样品直接进样等。

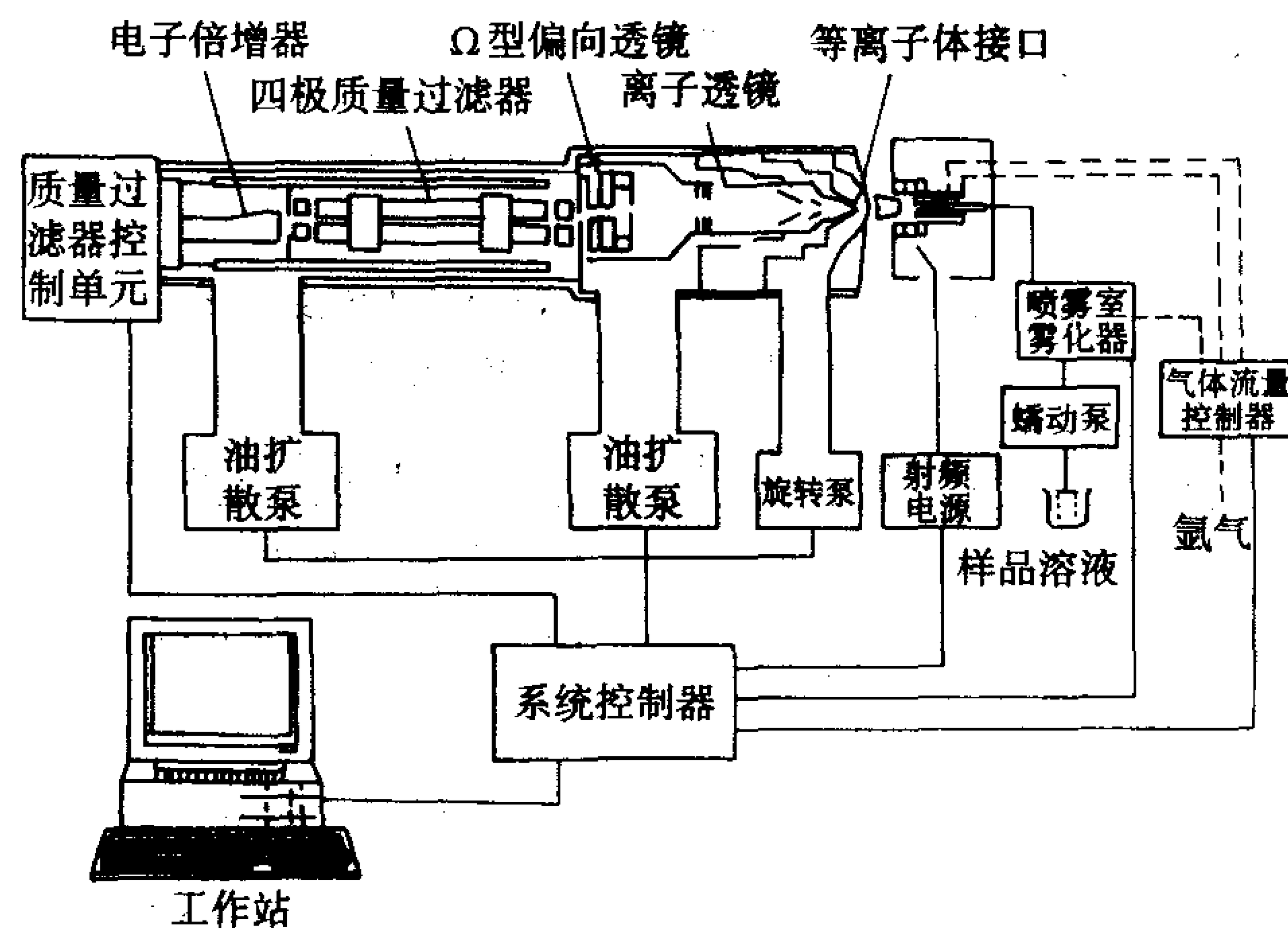


图 5.4-26 ICP-MS 结构示意图

ICP 作为质谱的高温离子源（7 000～8 000 K），样品在通道中进行蒸发、解离、原子化、电离等过程。离子通过样品锥接口和离子传输系统进入高真空的 MS 部分。进入真空系统的离子有足够长的平均自由程，得以被静电透镜提取和聚焦。第一级静电透镜（提取电极）被加以负电压，这样它们就能提取正离子，并将它们传送到下级透镜中去，负离子及中性粒子都将被真空泵抽走。在此系统中还有一个光子挡板，防止光子进入质量分析器。离子通过离子透镜，进入四极杆质量分析器，电子倍增管将信号放大，进入多通道分析器（MCA）进行分析。扫描元素质量数范围从 6 到 260，浓

度线性动态范围达9个数量级，从10^{-9}到$1\,000\times10^{-6}$直接测定。

(2) 应用

ICP-AES与ICP-MS检测都是测量物质中的痕量或超痕量元素。Johanna Sabine Becker对于二者的主要区别，进行了很好的归纳，其结果见表5.4-3及图5.4-27所示。限于篇幅的原因对ICP-AES与ICP-MS检测过程中的制样方法和检测过程这里将不再具体介绍，有兴趣的读者可参阅有关的文献。

目前国内外高纯镓中杂质元素的分析主要是分离富集后采用ICP-AES或ICP-MS测定。罗梅用ICP-MS法对高纯镓中的杂质进行了测定。其通过试验选择的同位素及检出限(按背景测量标准偏差的3倍计)见表5.4-4。按实验方法对高纯镓进行平行6次分析，结果见表5.4-5。罗梅同时还做了加标回收及精密度试验。其结果见表5.4-6。由表5.4-6可以看出，增量回收率在90.6%~111.1%范围；标准偏差在0.27%~7.00%RSD之间，满足痕量分析的要求，且方法的准确度高，重现性好。

表5.4-3 ICP-MS和ICP-AES对于溶液中痕量元素测试的主要特征

项目	ICP-MS	ICP-AES
多元性能	+	+
基体和次要元素	+	+ +
微量元素	+ +	+
检测极限	pg~fg/mL	ng/mL
分析化学的样本总量	ng~fg	μg~ng
同位素分析	+ +	–
动态范围	10^9	10^8

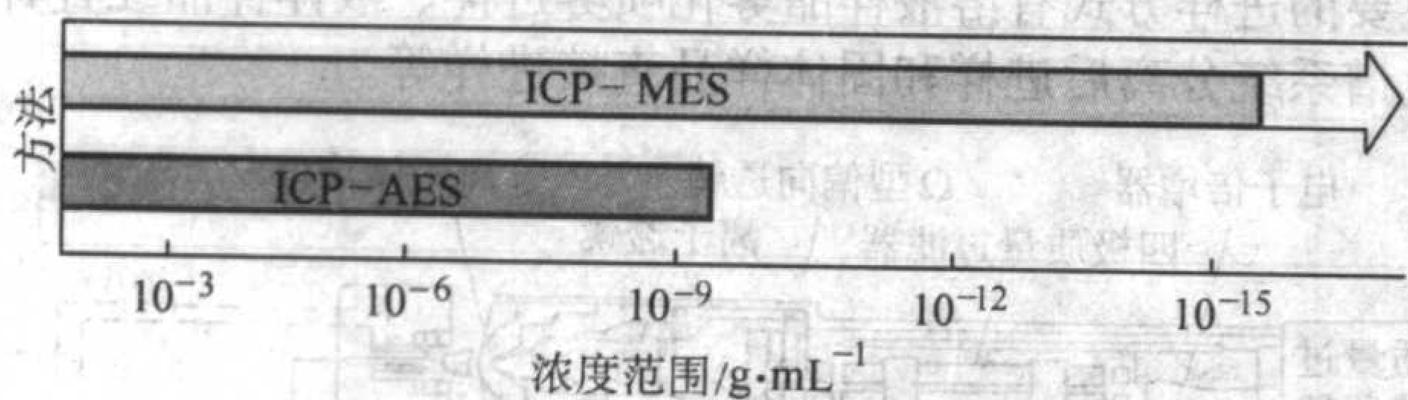


图5.4-27 ICP-AES与ICP-MS对于液体溶液中痕量元素的分析限和测量范围

表5.4-4 高纯镓杂质分析中被测元素同位素及检出限

分析元素	同位素质量	同位素丰度/%	检出限/ng·mL^{-1}
Fe	56	91.7	0.01
Cu	63	69.2	0.005
Pb	208	52.4	0.005
In	115	95.7	0.005
Ni	60	26.1	0.01
Al	27	100	0.01
Sn	118	24.2	0.002
Zn	66	27.9	0.006
Ag	107	51.8	0.001
Mg	24	79	0.001
Ti	47	7.3	0.005
Mn	55	100	0.001
Co	59	100	0.001
Rb	85	72.2	0.001
Be	9	100	0.002
Cr	52	83.8	0.005
Mo	95	15.9	0.001
Bi	209	100	0.005

续表5.4-4

表5.4-5 用ICP-MS测高纯镓中杂质实验的测试结果 10^{-6}

元素	1号	2号	3号	4号	5号	6号
Be	0.02	0.006	0.02	<0.006	<0.006	<0.002
Mg	0.5	0.2	0.4	0.03	0.05	<0.001
Al	0.8	0.6	0.5	0.06	0.02	0.03
Co	0.05	0.04	0.05	<0.03	<0.03	<0.01
Mn	0.5	0.5	0.4	0.01	0.02	0.007
Ni	0.5	0.2	0.4	0.03	0.03	0.01
Cu	2.0	2.4	1.0	0.01	0.02	<0.005
Zn	0.6	0.5	0.3	0.06	0.03	0.02
Rb	0.1	0.2	0.1	0.007	0.008	<0.001
Mo	0.2	0.1	0.1	0.006	0.005	<0.001
Ag	0.1	0.2	0.1	<0.003	<0.003	<0.001
In	0.05	0.05	0.04	<0.015	<0.015	<0.005
Sn	0.5	0.5	0.3	0.02	0.03	<0.002
Pb	4.8	9.0	1.8	0.01	0.02	0.015
Bi	0.2	0.1	0.2	<0.015	<0.015	<0.005
Ti	0.01	0.05	0.04	0.03	0.02	<0.005
Fe	1	0.9	1.1	0.05	0.04	<0.01

表5.4-6 加标回收及精密度

分析元素	加入量/ng·g^{-1}	测得值/ng·g^{-1}	回收率/%	RSD/%
Be	3	3.046	101.5	1.41
Mg	3	3.333	111.1	6.78
Al	3	3.171	105.7	4.38
Co	3	3.021	100.7	0.27
Mn	3	2.999	99.9	0.88
Ni	3	3.082	101.2	7.00
Cu	3	3.000	100	1.05
Zn	3	3.014	100.5	0.82
Rb	3	3.023	100.8	1.52
Mo	3	3.037	101.2	1.78
Ag	3	2.997	99.9	2.50
In	3	3.000	100	1.00
Sn	3	3.010	100.3	1.26
Pb	3	3.030	101.1	1.04
Bi	3	3.029	101.0	0.98
Fe	3	2.718	90.6	3.21
Ti	3	2.022	101	1.01
Be	3	3.046	101.5	1.41

1.8　正电子湮灭（PAT）

正电子湮没谱学作为一门崭新的实验技术，从 20 世纪 70 年代开始得到蓬勃发展。PAT 适合研究半导体材料中的辐射损伤。这是因为，一方面正电子对空位型缺陷和缺陷团特别敏感；另一方面，电子显微镜只能研究较大尺寸的缺陷团，而 PAT 却能研究和揭示小至原子尺度缺陷团的状态及其运动过程，两者可以互相衔接和补充。另外，PAT 对样品温度的适应范围很宽，易于对样品进行高低温动态测量或在测量时施加别的外界条件。

（1）PAT 的基本原理

从放射源发射出来的正电子进入样品后，首先通过电离和激发（原子和离子激发）、然后通过产生电子－空穴对和声子而损失和耗散能量。这一过程称为正电子的热化。热化正电子在晶格中自由扩散，直至与电子湮没；也可能被缺陷俘获而停止扩散，最后在缺陷中湮没；还可能和电子形成正电子素后再湮没。是否被俘获，取决于正电子的迁移率、缺陷的正电子俘获截面和正电子的退俘获率。

正电子与电子湮没时，正负电子的质量转变成 γ 光子的能量。在实际中发射两个 γ 光子的湮没过程的概率远大于其他过程。因此，所说的正电子湮没一般都指的是双光子湮没（或 2γ 湮没）。此时每个光子的能量近似为 m_0c^2，即 511 keV。

1）湮没概率即正电子寿命　自由正电子的湮没率 λ 可由下式给出：

$$\lambda = \sigma_{2\gamma} n_e v = \pi r_0^2 n_e c \tag{5.4-7}$$

式中，$\sigma_{2\gamma}$表示双光子湮没截面；n_e 表示湮没位置附近的电子密度；v 表示正电子速度和 c 为光速。一般定义正电子的寿命 $\tau = 1/\lambda$。由此可见，正电子在介质中的寿命与其速度无关；而与它周围的电子密度成反比。所以，测量正电子寿命可以获得关于电子密度的信息。

为了从寿命谱测量结果中获取有关正电子态或样品缺陷性质的信息，通常采用所谓“捕获模型”解谱。其中使用最普遍的是二态捕获模型和三态捕获模型。三态捕获模型只是二态捕获模型的简单推广。下面介绍一下二态捕获模型。

正电子在材料中存在两种形态：正电子或被束缚在缺陷中称为缺陷捕获态，或在完整晶体部位自由扩散湮没，称为自由态。二态捕获模型为描述正电子在这两种状态之间的转变，定义了以下参数：λ_f 和 λ_n 分别为正电子自由态和捕获态湮没率，它们的倒数分别为相应态正电子寿命 τ_f 和 τ_d，通常 $\tau_f < \tau_d$；κ 为正电子的缺陷捕获率；η 为正电子从捕获态变成自由态的概率，即逃逸率。

实验测得的寿命谱 $S(t)$ 是单位时间湮没的正电子数作为时间 t 的函数，它等于通过两种状态湮没的正电子数之和：

$$S(t) = \lambda_f n_f(t) + \lambda_d n_d(t) \tag{5.4-8}$$

式中，n_f 和 n_d 为 t 时刻的自由态正电子和捕获态正电子的数量。

当假定热化结束时，所有正电子 N_0 都处在自由态，其他状态的正电子数为零。则寿命谱 $S(t)$ 还可表示为：

$$S(t) = N_0 I_1 \lambda_1 e^{-\lambda_1 t} + N_0 I_2 \lambda_2 e^{-\lambda_2 t} \tag{5.4-9}$$

由式（5.4-8）和式（5.4-9）可以看出，实验测得的谱可以视为两个互相独立的表现谱成分 τ_1 和 τ_2 的叠加。这里，$\tau_1 = \lambda_1^{-1}$；$\tau_2 = \lambda_2^{-1}$，是这两个表现谱成分的寿命，与物理图像中的正电子寿命（$\tau_f = \lambda_f^{-1}$，$\tau_d = \lambda_d^{-1}$）之间存在一定的换算关系，但不相等；I_1 和 I_2 为它们的相对强度。并且 τ_1，τ_2，I_1 和 I_2 是实验中可测量的量。

正电子的缺陷捕获率 κ 可表示为：

$$\kappa = I_2(\lambda_1 - \lambda_2) \tag{5.4-10}$$

上式右边都是可测量的量，因此 κ 可求。而缺陷对正电子的捕获率 κ 正比于缺陷的浓度 N，即 $\kappa = \mu N$，其中 μ 为单位浓度缺陷对正电子的捕获率，对于同一材料的同种缺陷，μ 可认为为常数。至此，由实验数据计算得到的值变化，可近似反映样品中缺陷浓度的变化。

有时，寿命谱中两种寿命成分靠得很近，以致难于将它们分离开；或者有时希望用一个综合参数描述正电子湮没的特性。这时，可以使用正电子的平均寿命τ：

$$\tau = \frac{1}{\lambda_{av}} = \tau_1 I_1 + \tau_2 I_2 \tag{5.4-11}$$

式中 λ_{av}为正电子平均湮没率，由此可得到 κ 的类似于式（4.4-12）的表达式：

$$\kappa = \frac{I_2}{I_1}(\lambda_{av} - \lambda_2) \tag{5.4-12}$$

因此，测量不同样品的τ 值，即可得到的 κ 变化规律。

总之，根据捕获模型，寿命谱可视为若干个具有不同寿命值的指数曲线、以不同的比例（强度）组合而成的。因此，寿命谱的数据处理过程就是通过曲线拟合将实验测得的寿命谱曲线，还原成若干个指数曲线的叠加，即求出这些指数曲线所代表的寿命值及相对强度。从寿命值的大小可以判断某寿命成分在材料中对应的湮没部位的电子密度情况；从与寿命谱对应的相对强度变化可以判断相应湮没部位缺陷数量的变化。

2）湮没 γ 角关联和多普勒效应　电子对湮没特性还与介质中电子动量分布有关。在发射双光子情况下、若湮没对（正负电子对）静止，即初始动量为零，并忽略湮没对的其它能量，则双光子必定严格地从相反方向（180°）射出，每个光子的能量均为 511 keV。但实际介质中电子的动量有一定的分布。同时，湮没对的动量也使发射出的两个光子方向并非互成 180°，而是有一个小角度偏离，从而构成一定的角分布。如图 5.4-28 所示，若湮没对的初始动量为 P，它在 z 方向上的投影为 P_z，在 x 轴方向上的分量为 P_x。由于动量守恒，这个湮没对的动量，必须要影响两个光子的能量和出射角度。P_x 的存在产生多普勒效应，导致发射光子能量围绕 m_0c_2（511 keV）谱线有一个 ΔE 的多普勒加宽。而 P_z 是两个光子的发射方向与 180°的共线产生偏角 θ。

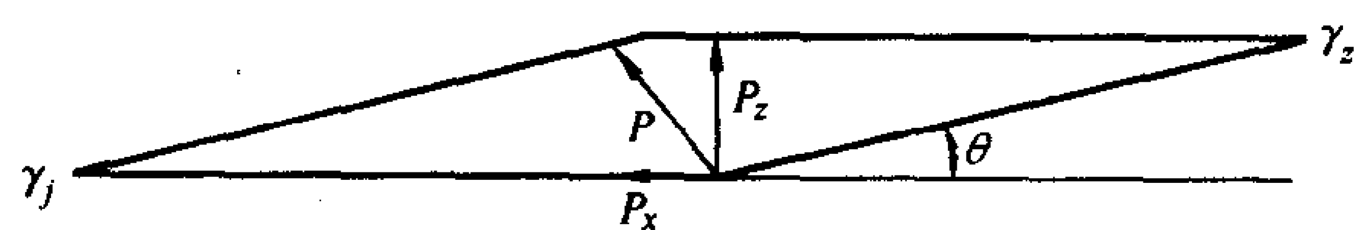


图 5.4-28　2γ 湮没过程中动量守恒矢量图

通常把湮没 γ 角关联曲线近似视为与自由电子湮没形成的倒抛物线分布和与核心电子湮没形成的较宽的高斯分布两条曲线叠加而形成的。正电子被缺陷捕获之后，它们接触高能量的核心电子的机会少了。从而高斯分量的比例减少，抛物线分量的比例增大。另外，抛物线的宽度也可能变窄：即角关联曲线中心部位上升，两翼下降。为了便于描述角关联曲线的变化，通常引入一个规一化峰顶计数 $N(0)$ 参数。它等于角关联曲线中 $\theta = 0$ 附近某一角度范围内的计数与整个曲线总计数的比值。显然，缺陷越多，峰顶计数越大。

3）正电子素　正电子素是正负电子结合成的一个呈电中性的系统，类似于质子和电子结合成氢原子，记作 ps。其折合质量为 $m_R/2$。当 e^+ 和 e^- 的自旋取向反向平行时 ps 计为 p-ps，相反计为 o-ps。p-ps 态的寿命比 o-ps 态的寿命短很多。介质中是否存在长短两种正电子湮没寿命，是判别正电子素存在与否的关键。正电子的 p-ps 态湮没时发射 2γ 光子，而 o-ps 态湮没时发射的是 3γ 光子。当介质中有 o-ps 态

存在时，o-ps 内的 e^+ 同外部介质中的 e^- 发生双光子湮没。由于 o-ps 中的电子与分子中自旋相反电子的交换，正电子湮没加快。因此，正电子的寿命取决于正电子素的状态及其与周围介质的相互作用。因此，通过观察半导体表面或界面处正电子的 2γ 湮没和 o-ps 态的 3γ 湮没，便可获得有关表面或界面附近缺陷的信息。这种方法（俗称慢束技术）在表面或界面损伤缺陷分析中，是很有应用价值的。

（2）正电子湮没的应用

可用正电子湮没寿命谱研究半导体材料中由辐射等原因造成缺陷的行为。图 5.4-29 为中子辐照前后半绝缘 GaAs（Si - GaAs）等时退火正电子寿命测量结果。如图 5.4-29 所示，辐照后样品中的正电子平均寿命 τ_m 随温度的变化规律为：大约从 70℃开始减少，到 500℃趋于平稳，740℃以后又增加。通过分析认为，其原因主要是由于从 70℃开始空位 - 填隙原子对和空位 - 反格点缺陷开始复合，500℃前空位和空位团可消除。740℃后材料中可能会重新产生缺陷。

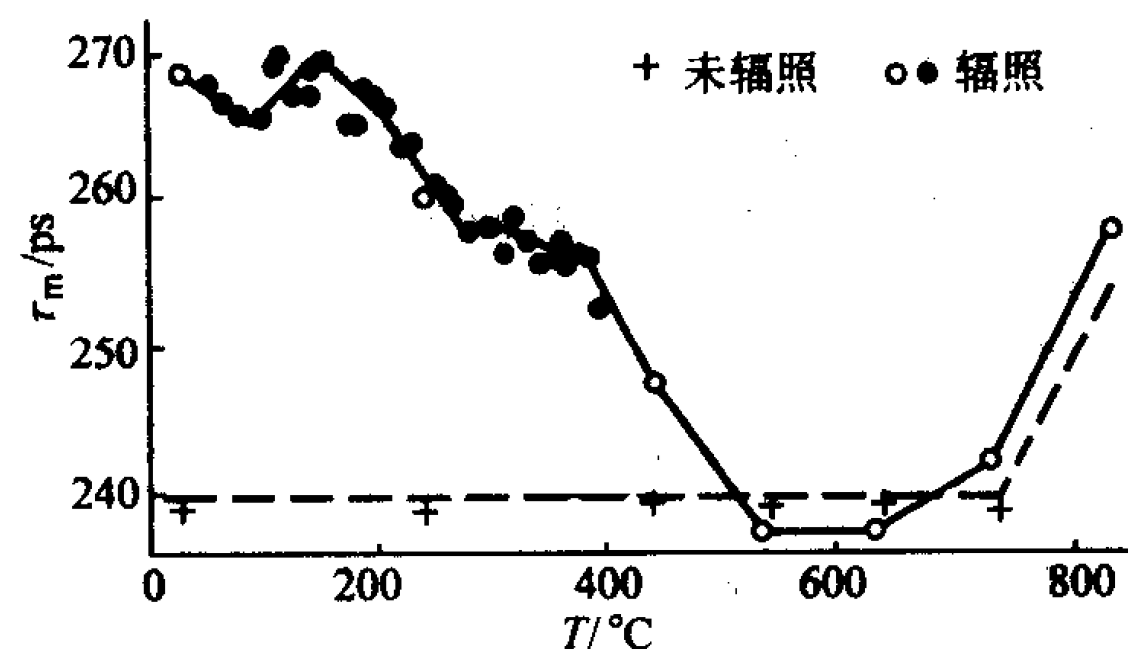


图 5.4-29　中子辐照 Si-GaAs 等时退火正电子寿命测量

Bretagnon 等人用正电子谱技术研究了各种掺杂条件下的原生 InP 中的缺陷。其掺杂条件见表 5.4-7。由测量结果（表 5.4-7）发现，各样品中的正电子的平均寿命值 τ_B^{TM} 几乎不变，近似为常数，与材料中的掺杂种类以及掺杂水平无关。同时对于 τ_2 值和相对强度值 I_2 也发现了类似的结果。图 5.4-30 为轻掺杂 p 型样品 3 在 30 ~ 300℃的温度范围内的正电子寿命测量结果。由图可见样品 3 中正电子的各项参数的值，包括 τ_1、τ_2、τ_B^{TM} 及 κ，在 30 ~ 300℃的温度范围内的改变量都很小。其结果与样品 1，4，6 和 7 相似（见表 5.4-7）。据此，Bretagnon 等人推断在原生的 InP 中存在一种电中性的单体空位缺陷，此种缺陷的浓度几乎与材料中的掺杂种类及其掺杂水平无关。

表 5.4-7　各种 InP 材料的表征及其室温下正电子寿命的测量结果

试样号	掺杂	位错密度 /cm^{-2}	载流系数 /cm^{-3}	类型	τ_1 /ps	τ_2 /ps	I_2 /%	τ /ps	τ_η^{TM} /ps
1	Zn	< 200	3.0×10^{18}	p	192	265	66	240	235
2	Zn		5.0×10^{17}	p	189	269	65	241	235
3	Zn	$<5\times10^4$	5.0×10^{16}	p	193	265	66	240	235
4	Fe			s-I	190	270	63	241	234
5	Fe			s-I	185	263	71	240	234
6	—		6.0×10^{15}	n	190	266	68	242	237
7	—	$<7\times10^4$	1.5×10^{16}	n	195	272	63	243	237
8	S	< 500	2.0×10^{15}	n	187	265	17	242	236

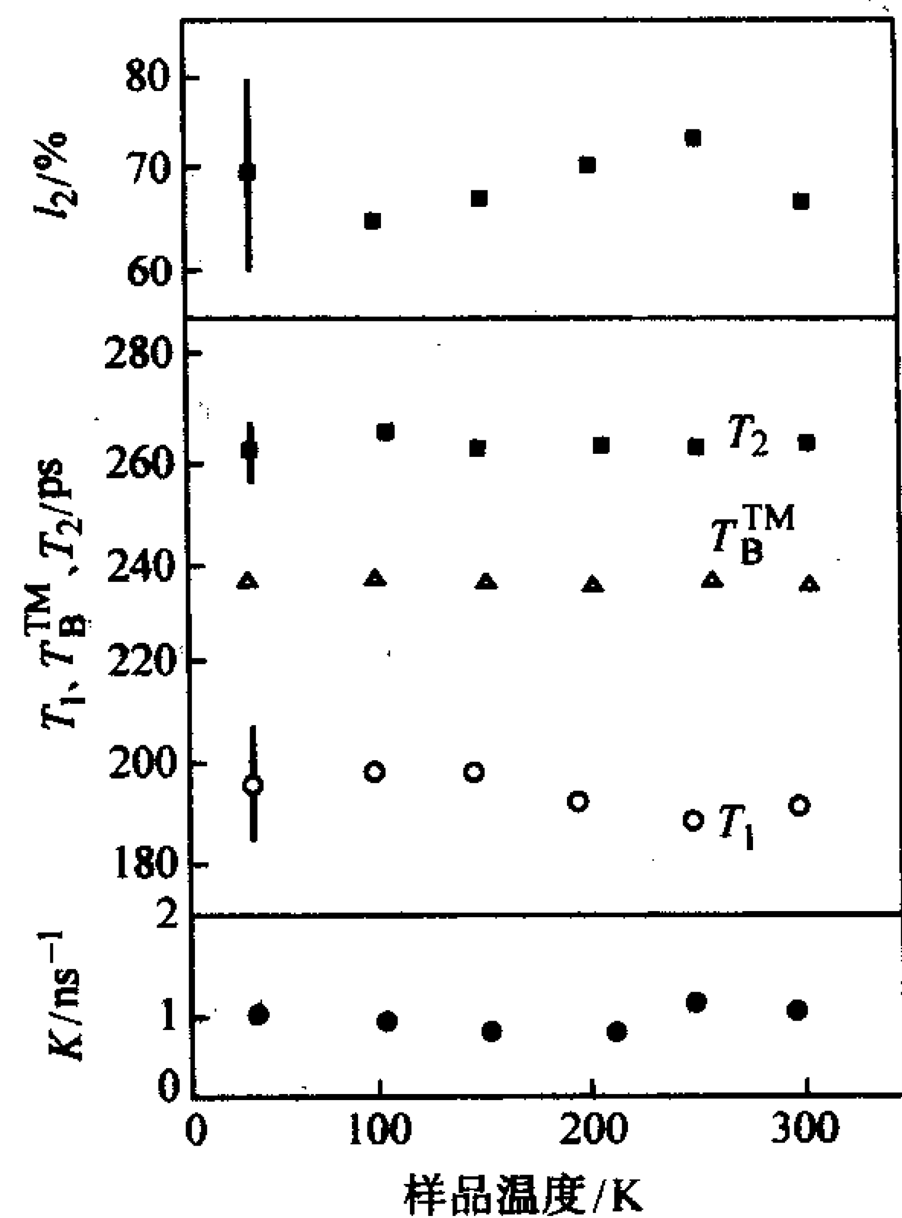


图 5.4-30　轻掺杂 p 型样品 3 在 30 ~ 300℃温度范围内正电子寿命的测量结果

［其结果与样品 1，4，6 和 7 相似（见表 5.4-7）］

2　电学参数的测试表征

电学参数是化合物半导体材料非常重要的特性参数，常常和材料能带结构直接相关，是各类器件应用的基础参数。常用测试技术包括 Hall，C-V，深能级瞬态谱，PL 谱，红外吸收，电子回旋共振等。

2.1　Hall 测试

霍尔效应是半导体中载流子在电场和磁场作用下所产生的效应，研究霍尔效应对发展半导体理论有着重要的实际意义。在半导体材料的测量中，霍尔测量有着广泛的应用：提供材料的导电类型、载流子浓度、杂质电离能、禁带宽度、迁移率及杂质补偿度等信息。

霍尔效应是 1879 年霍尔在研究带电导体在磁场中受力的性质时发现的。由于霍尔系数与电子浓度间具有简单的关系，因此被广泛用来研究半导体材料的导电过程。1958 年 Van De Pauw 将此法推广到测量均匀的、任意形状的材料，进一步扩大了该方法的适用性。

（1）原理

1）霍尔系数　如图 5.4-31 所示，在矩形样品两端通一电流密度为 J 的电流，然后在垂直于电流方向加一磁场强度为 H 的磁场，则一束速度为 v 的载流子就受到与电场、磁场方向垂直的洛仑兹力 $q\ (H\times v)$ 的作用而发生偏转，于是在样品的边界上就产生了电荷积累。积累的电荷产生一个电场 E_H，方向与电流和磁场的方向垂直。在此电场中载

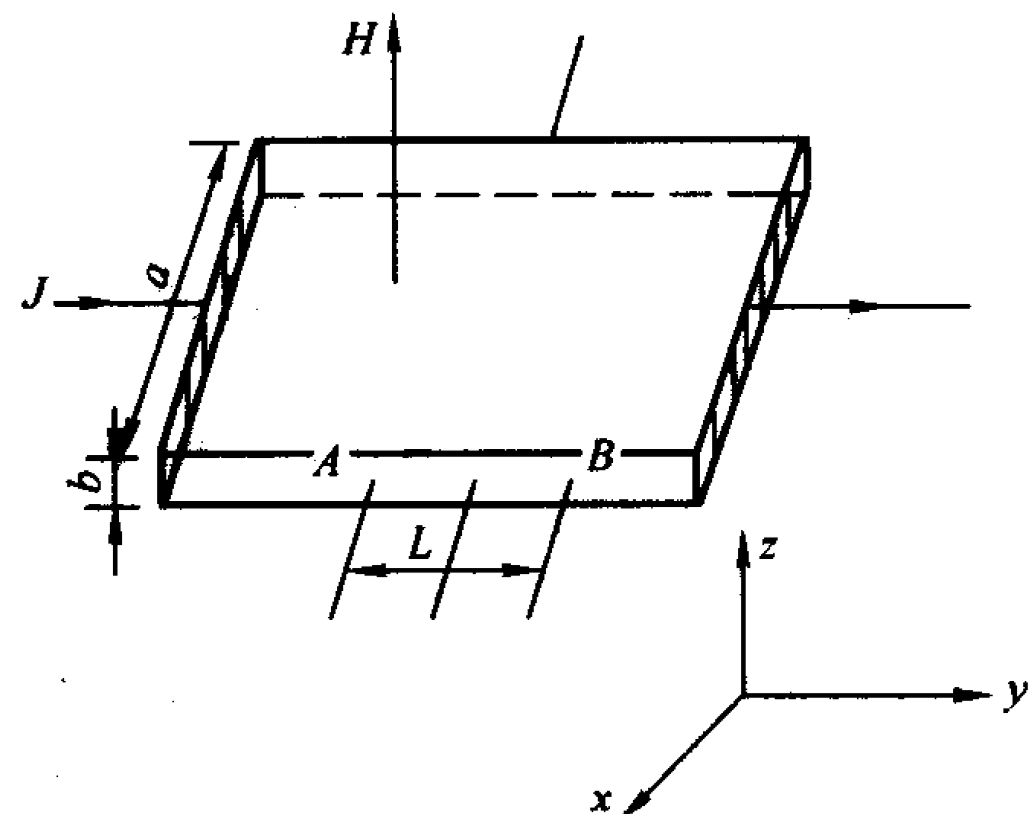


图 5.4-31　霍尔效应示意图

流子受到一个与洛仑兹力相反的力，最终可达到动态平衡。称此电场 E_H 为霍尔电场。霍尔电场 E_H 的大小与电流密度及磁场强度成正比，

$$E_H = RJH \tag{5.4-13}$$

式中的比例系数 R 就是霍尔系数。

由载流子在电场及磁场中所受力的平衡关系可推出霍尔系数与载流子浓度之间的关系：

$$R = \pm \frac{1}{nq} \tag{5.4-14}$$

霍尔系数的符号与载流子性质有关，"+"号指 p 型，"-"号指 n 型，据此可判别材料的导电类型。

式（5.4-14）反映了霍尔系数与载流子浓度之间具有简单的关系。如用量子统计来推导磁场存在时输运性质的普遍方程，可得到

$$R = \pm \gamma \frac{1}{nq} \tag{5.4-15}$$

式中 γ 称为霍尔因子，是霍尔迁移率与电导迁移率的比值。霍尔因子 γ 是载流子平均自由时间 τ 的函数，与散射机构及能带结构有关。其数值一般在 1 左右，即大多数情况下霍尔测量能够提供半导体材料中可靠的载流子输运信息。

当电子与空穴同时参与导电时，

$$R = \gamma \frac{P - b^2 n}{(bn + P)^2} \tag{5.4-16}$$

其中 b 是电子迁移率 μ_n 与空穴迁移率 μ_p 的比值。

2）霍尔迁移率　载流子的迁移率 μ 与电导率 σ 的关系为：

$$\sigma = nq\mu \tag{5.4-17}$$

结合式（5.4-15）得到霍尔迁移率 μ_H 的定义式

$$\mu_H = |R|\sigma \tag{5.4-18}$$

由式（5.4-15）与式（5.4-18）所得到的载流子浓度及迁移率被称为霍尔浓度 n_H 及霍尔迁移率 μ_H。与电子浓度与电子迁移率的关系为 $n = \gamma n_H$ 和 $\mu = \gamma \mu_H$，一般测量即认为 $n_H = n$，$\mu_H = \mu$。

（2）应用

1）对于矩形样品（见图 5.4-31），由式（5.4-13）得

$$R = \frac{E_H}{Bj} = \frac{U_H/a}{B\ (I/ab)} = \frac{U_H b}{BI} \tag{5.4-19}$$

式中 $U_H = U_B - U_A$，对于 p 型样品 $U_H > 0$，而 n 型样品 $U_H < 0$，a、b 分别为样品的宽度和厚度。

同时结合电阻率的定义，可得

$$\rho = \frac{abU_H}{LI} \tag{5.4-20}$$

至此，由式（5.4-18）可得霍尔迁移率 μ_H。

2）范德堡法（Van De Pauw）适用于任意形状的片型材料。如图 5.4-32 所示，在一块均匀连续的样品边缘制作四个接触电极，在电极 A，B 处通以电流 I，在 C，D 处测电压 V。定义 $R_{AB,CD} = \frac{V_{CD}}{I_{AB}}$，同样定义 $R_{BC,DA} = \frac{V_{DA}}{I_{BC}}$，$R_{CD,AB} = \frac{V_{AB}}{I_{CD}}$，$R_{DA,BC} = \frac{V_{BC}}{I_{DA}}$。

如图样品厚度为 d，其电阻率

$$\rho = \frac{\pi}{\ln 2}\left(\frac{R_{AB,CD} + R_{BC,DA}}{2}\right) fd \tag{5.4-21}$$

式中 f 的数值在 0~1 之间，是 $\left(\frac{R_{AB,CD}}{R_{BC,DA}}\right)$ 的函数，f 值可查表获得。

当外加磁场 H 时，霍尔系数表示为

$$R = \frac{d}{H}\{R_{AC,BD}(H) - R_{AC,BD}(0)\} \tag{5.4-22}$$

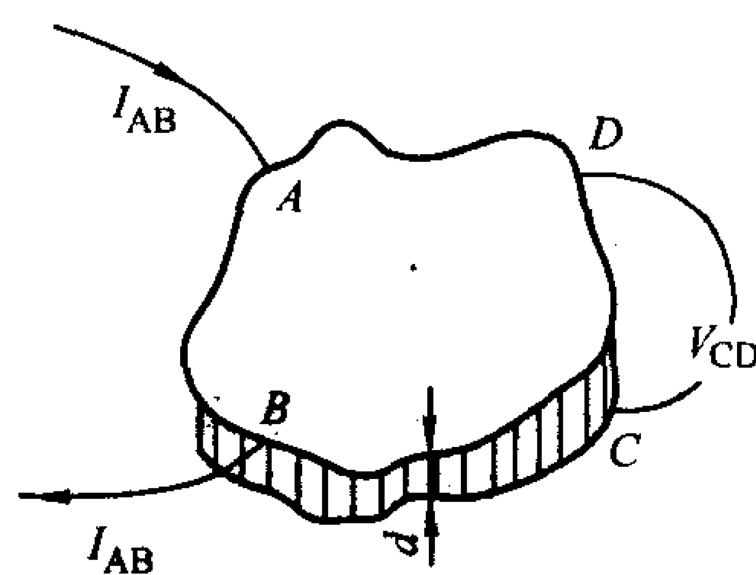


图 5.4-32　Van De Pauw 法霍尔测量样品示意图

式中 $R_{AC,BD}(H)$，$R_{AC,BD}(0)$ 分别为施加磁场和未施加磁场的电阻。

求得 R 后，再结合式（5.4-18）可得霍尔迁移率 μ_H。

3）杂质能级的电离能　半导体材料中的电学参数与温度之间存在着内在的联系，根据质量作用定律，n 型材料载流子浓度与温度的关系：

$$\frac{n(N_A + n)}{N_D - N_A - n} = N_C e^{-E_D/kT} \tag{5.4-23}$$

式中 N_D 和 N_A 分别为材料中施主杂质及受主杂质的浓度。E_D 是施主电离能。N_C 导带底有效状态密度 $N_C = N_0 T^{3/2}$。

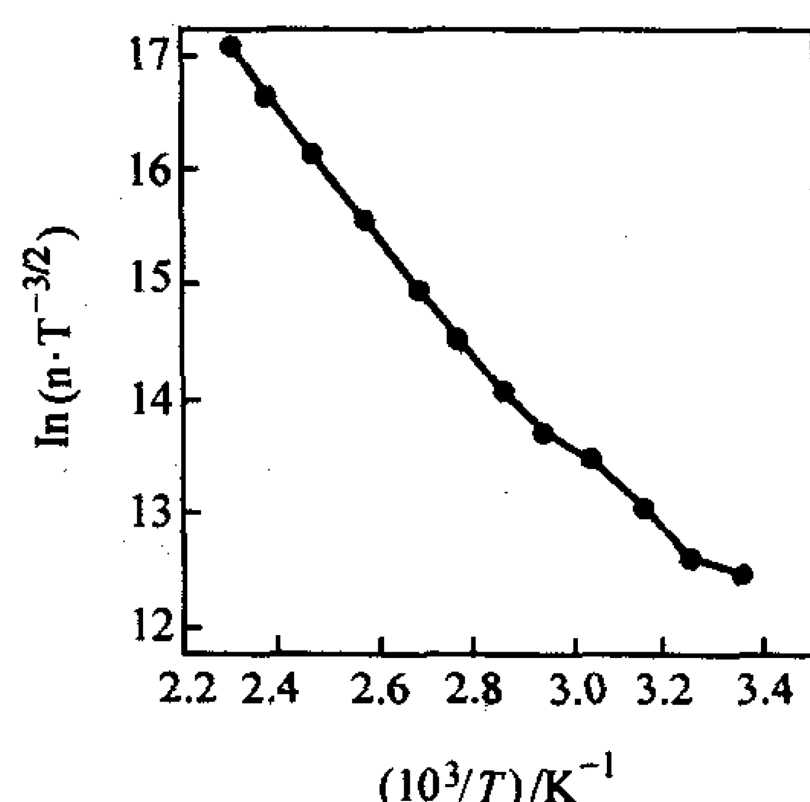


图 5.4-33　根据变温霍尔测量结果得到的经退火处理后的掺铁 InP 样品的 ln（$n \cdot T^{-3/2}$）与 $1/T$ 的关系曲线

在低温杂质电离范围内，$n \leqslant N_A$，且 $n \ll N_D - N_A$，则式（5.4-23）简化为：

$$n = \frac{N_D - N_A}{N} N_0 T^{3/2} e^{-E_D/kT} \tag{5.4-24}$$

因此，由 ln（$n \cdot T^{-3/2}$）与 $1/T$ 的关系曲线可得材料中施主杂质电离能。图 5.4-33 为掺铁 InP 样品经退火处理后的变温霍尔测量图，测量温度范围为 300~430 K。由图中曲线的斜率可判定材料中存在两种杂质能级，且由斜率分别计算出其激活能为 0.64 eV 和 0.43 eV。

4）测量材料中的杂质浓度和补偿度　当施主杂质电离能 E_D 已知，且温度一定的条件下，则式（5.4-23）的左边为一定值 C，此时 n 型材料中受主杂质浓度表达式为：

$$N_A = \left[\frac{(N_D - N_A) - n}{n} C\right] - n$$

式中（$N_D - N_A$）为室温下样品中的电子浓度，n 为温度 T 时材料中的电子浓度，二者均可由霍尔测量直接获得，则材料中受主杂质浓度 N_A 为：

$$N_A = \left[\frac{n_{300\,K} - n_T}{n_T} C\right] - n_T$$

则材料中施主杂质浓度 N_D 为：

$$N_D = N_A + n_{300\,K}$$

则材料的补偿度 N_A/N_D 可计算出来。

对于 p 型材料可得类似公式。

在本征导电范围内，通过关系：

$np = n_i^2 = N_C N_V \exp(-E_g/kT)$

可计算出禁带宽度 E_g。

2.2 深能级瞬态谱

(1) 原理

DLTS法是利用pn结、肖特基势垒的结电容作为“探针”，来探测空间电荷区中杂质或缺陷带电态变化的一种方法。是一种高频（MHz范围）的结电容技术。DLTS法对样品表面状况并不怎么敏感，DLTS法测量的深能级中心包括辐射中心和非辐射中心。

DLTS峰的情况只是唯一地决定于率窗的设置和各陷阱的辐射性质。通过选择确定适当的率窗后，将样品进行温度扫描，由于此时各陷阱的辐射率是随温度单调变化的，所以当温度达到某一特定的温度时，则会输出一个相应的缺陷峰。被测样品中的陷阱在以温度为函数的平坦的底线上以正的或负的峰表示出来。各峰的高度与其对应的缺陷或杂质的浓度成正比。通过峰的方向可直接判断此深能级的类型，是电子陷阱还是空穴陷阱。另外，由于各陷阱都将在各自的温度下产生与率窗相关的发射率，由此可测得各陷阱的辐射率、电离能、浓度、俘获率等。

一般Arrhenius公式的形式为：

$$e = \frac{1}{\tau} = (\sigma v N/g)\exp\left(-\frac{\Delta E}{kT}\right) \qquad (5.4\text{-}25)$$

式中，σ 为陷阱的俘获截面，v 为载流子的热速率，N 为导带底（对于电子）或价带顶（对于空穴）态密度，g 为併因子，τ 为时间常数（或称率窗）。在忽略了温度对态密度 N 及缺陷活化能 ΔE 的影响时，对式（5.4-25）两边取对数可得 $\log e$ 与 $1/T$ 之间的线性关系，即Arrhenius曲线。通过测量Arrhenius曲线的斜率，得到此陷阱的电离能 ΔE_i。由截距获得此陷阱的俘获截面 σ_i。

图5.4-34为基本的DLTS概念简图和率窗概念简图。DLTS的输出信号 $S(T)$ 为：

$$S(T) = [C(t_1) - C(t_2)]/\Delta C_0$$

ΔC_0 为 $t=0$ 时由过饱和脉冲引起的结电容变化。对于响应峰的指数变化过程为：

$$S(T) = \left[\exp\left(-\frac{t_1}{\tau}\right)\right] - \left[\exp\left(-\frac{t_2}{\tau}\right)\right]$$

上式 $S(T)$ 对 τ 求导数且等于零，得到对应于输出信号的最大的时间常数 τ_{max} 为

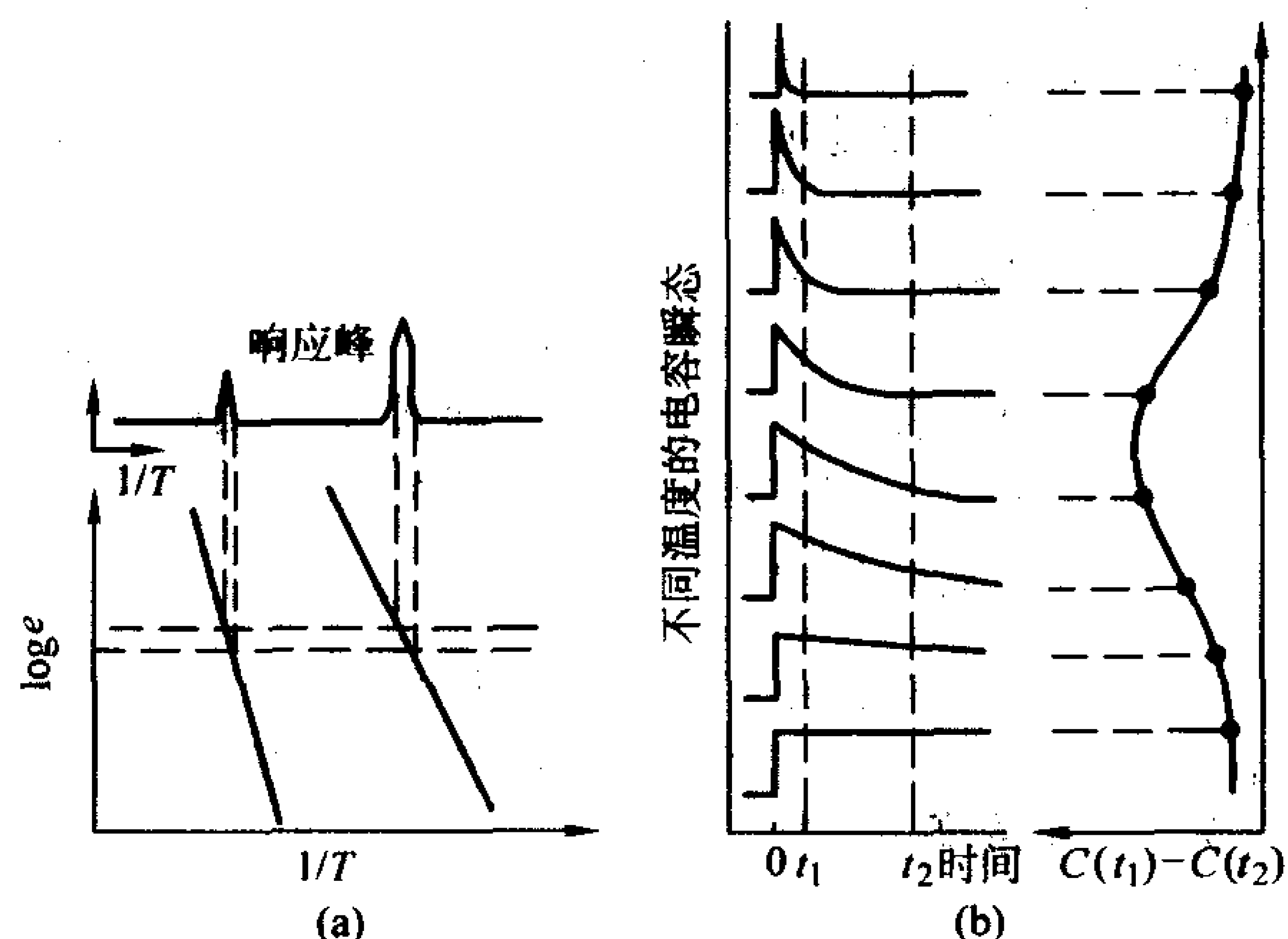


图5.4-34 基本DLTS概念简图（a）和率窗概念简图（b）

（a）上面图为某一特定率窗下两个陷阱的DLTS响应峰，
（a）下面图为每一响应峰的 $\log e$ 与 $1/T$ 的线性关系；
（b）说明了为什么对于每次温度扫描率窗户一定，
即 t_1 和 t_2 一定下来，每一响应峰就只决定于
温度了，或说陷阱的发射率只决定于温度

$$\tau_{max} = \frac{1}{e_{max}} = (t_1 - t_2)\left(\ln\frac{t_1}{t_2}\right)^{-1} = \tau_s$$

τ_s 为设定的率窗。由此可知，对于每次温度扫描，率窗一定（即 t_1 和 t_2 一定下来），每一陷阱就对应于一定的温度有唯一的最大响应峰。

另外，每一次温度扫描都会求出 $\lg 1/\tau$ 与 $1/T$ 直线上的一点。因此在实验中，改变几次率窗进行测量，即可得到几组 $\lg 1/\tau$ 与 $1/T$ 直线上的点，连接这几点，即得 $\lg e$ 与 $1/T$ 直线。

按定义，还可推出输出信号的最大高度为

$$S_P = \Delta C_0 b^{\frac{b}{1-b}}(b-1) \qquad (5.4\text{-}26)$$

其中 $b = t_2/t_1$。

另外，陷阱浓度的估算式为：

$$N = 2(\Delta C/C)(N_A - N_D)$$

式中，ΔC 为 $t=0$ 时过饱和注入脉冲引起的结电容变化，C 为静态偏置时结电容，$N_A - N_D$ 为p型材料中的净受主浓度。结合式（5.4-26）就可求出每一陷阱的浓度。

(2) 应用

图5.4-35是McKeever等人用DLTS法研究MOCVD（metalorganic chemical vapor deposition）法生长的p型InP中的深能级缺陷时的DLTS图谱。可知在此种InP材料中存在三个空穴缺陷及两个电子缺陷。图5.4-36是各缺陷的Arrhenius曲线。由各缺陷的Arrhenius曲线的斜率和截距算得的各缺陷的活化能和俘获界面见表5.4-8。

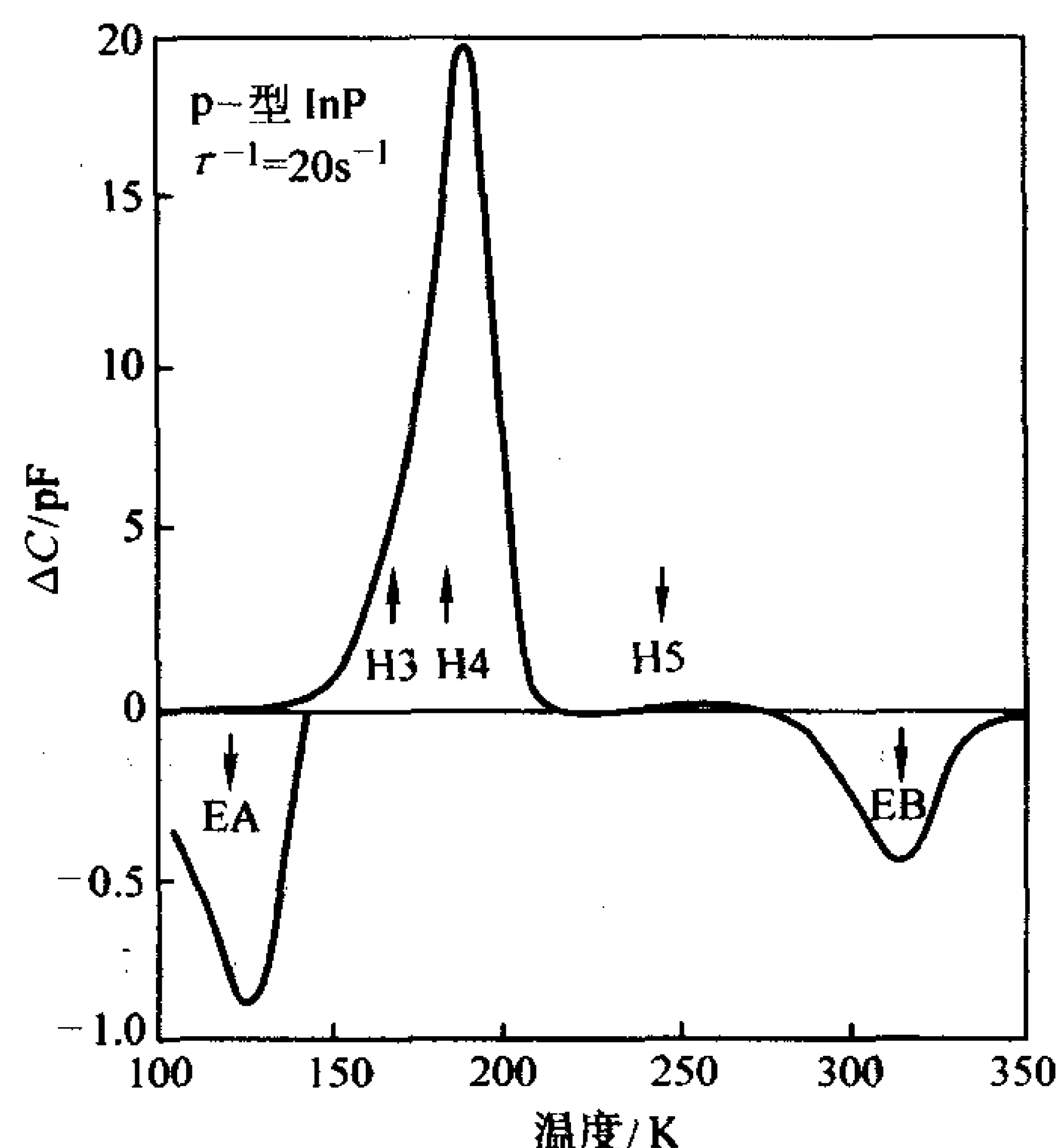


图5.4-35 标准的DLTS图谱

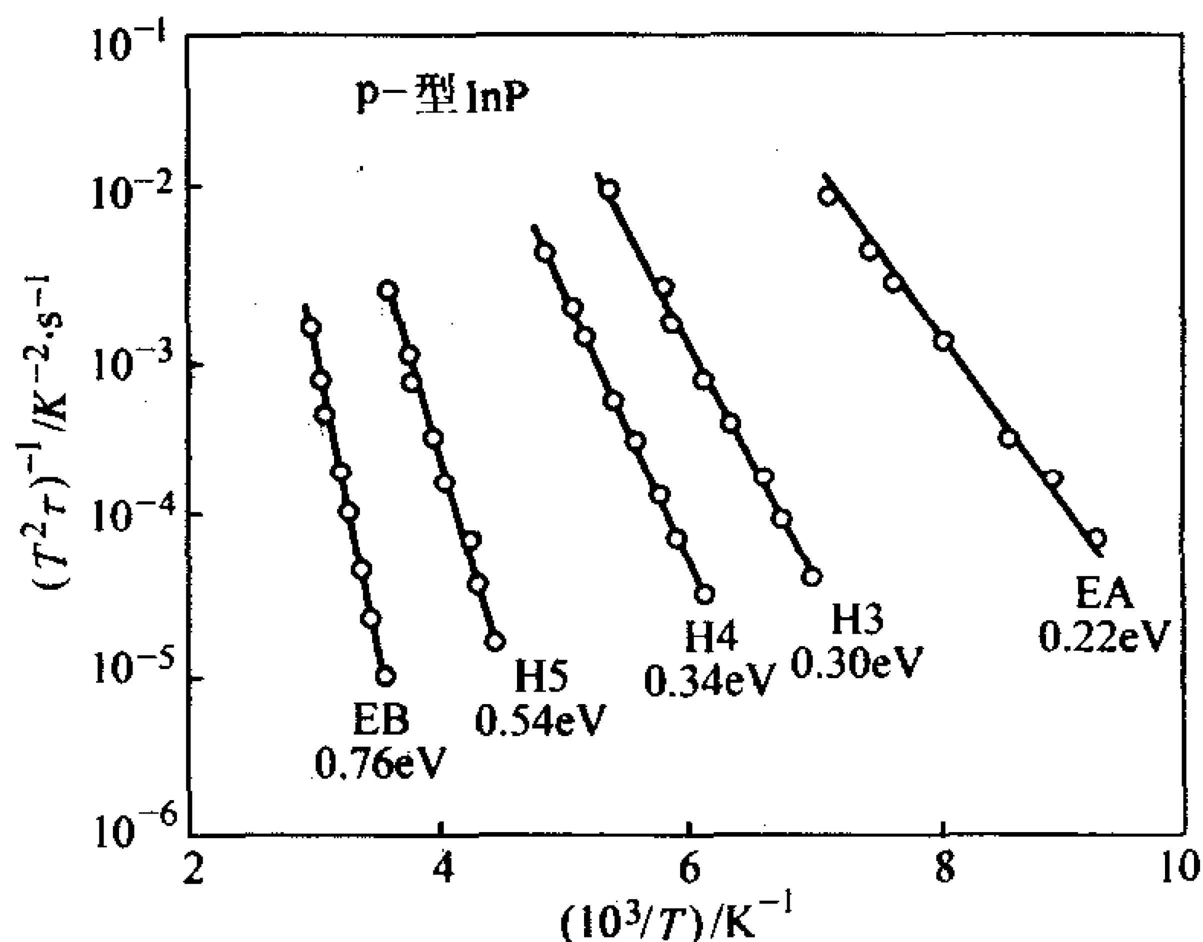


图5.4-36 各缺陷的Arrhenius曲线

2.3 电子回旋共振

在确定半导体材料能带结构时，除了必要的理论计算

表 5.4-8　各缺陷的活化能和俘获界面

DLTS 峰	活化能/eV	俘获截面/10^{-15} cm²
H3	0.30	0.65
H4	0.34	0.50
H5	0.54	7.7
EA	0.22	4.4
EB	0.76	1 400

外，往往需要借助实验的方法。本节介绍一下最初测出载流子有效质量并据此推出半导体能带结构的回旋共振实验。这里只是简单的介绍一下电子回旋共振实验的原理，其具体应用，将不再过多叙述。

要了解能带结构就要求出电子的能量 $E(k)$ 与晶格波矢 k 之间函数关系。若设一维情况下能带极值在 $k=0$ 处，则导带底附近：

$$E(k)-E(0)=\frac{h^2k^2}{2m_n^*} \tag{5.4-27}$$

价带顶附近

$$E(k)-E(0)=-\frac{h^2k^2}{2m_p^*} \tag{5.4-28}$$

式中，h 为普朗克常数，m_n^* 与 m_p^* 分别为电子与空穴的有效能量。由式（5.4-27）与式（5.4-28）可看出，如果能定出有效质量的大小，则能带极值附近的 $E(k)$ 与 k 之间的函数关系便确定了。

将一块半导体样品置于均匀恒定的磁场中，磁感应强度为 $\boldsymbol{B}$，如半导中电子初速度为 $\boldsymbol{v}$，$\boldsymbol{v}$ 与 $\boldsymbol{B}$ 之间的夹角为 θ，则电子受到的磁场力 $\boldsymbol{f}$ 的大小为：

$$f=qvB\sin\theta=qv_{\perp}B \tag{5.4-29}$$

式中 $v_{\perp}=v\sin\theta$，为 $\boldsymbol{v}$ 在垂直于的平面内的投影，力的方向垂直 $\boldsymbol{v}$ 与 $\boldsymbol{B}$ 与所组成的平面，如图 5.4-37 所示。电子沿磁场方向以速度 $v_H=v\cos\theta$ 做匀速 u 运动，在垂直于 $\boldsymbol{B}$ 的平面内做匀速圆周运动，则电子合成的运动轨迹为一螺旋线。设圆周半径为 r，回旋频率为 ω_c，则 $v_{\perp}=r\omega_c$，向心加速度 $a=v_{\perp}^2/r$。如等能面为球面，则可得到：

$$\omega_c=\frac{qB}{m_n^*} \tag{5.4-30}$$

电磁波通过半导体样品，当交变电磁场频率 ω 等于回旋频率 ω_c 时，就可以发生共振吸收。测出此时电磁波的频率 ω 和磁感应强度 $\boldsymbol{B}$，便可以由式（5.4-30）算出有效质量 m_n^*。如果等能面不是球面，而是各向异性的椭球面，也可以推出类似的结果。

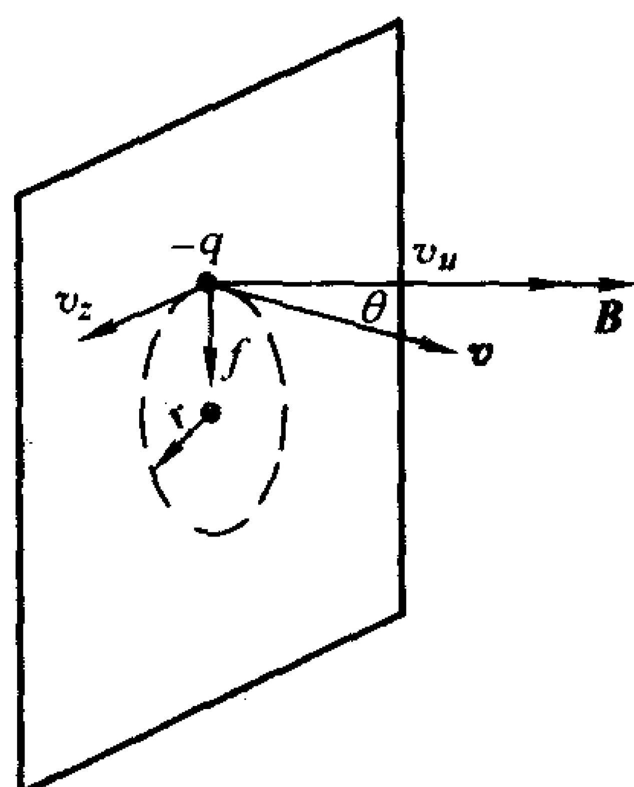


图 5.4-37　电子在恒定磁场中的运动

3　光学特性的测试表征

（1）原理

光致发光（PL）测量是一种高灵敏度非破坏性的光谱检测技术。其基本原理是，由于某种激发过程的存在，使得半导体材料中产生大量的非平衡载流子，导致系统处于非平衡状态，这是产生光子发射的前提条件。受激发的电子从高能级向低能级跃迁，伴随着发射光子，即辐射复合，这就是半导体的发光现象。另一种是非辐射性的复合，如表面复合、俄歇复合以及发射声子的复合等。

半导体中的辐射复合过程主要包括：导带 – 价带复合、自由激子复合、束缚激子复合、本征带 – 浅杂质复合、施主 – 受主对复合和通过深能级的复合。

（2）应用

1）组分测定　目前，Ⅲ-Ⅴ族的三元或四元混晶已被广泛地用来制作发光器件。它们的能带结构随组分变化而变化，因此在一定条件下，由 PL 谱测得的禁带宽度可以确定材料中各组分的百分比。

2）材料均匀性及掺杂水平的研究　由于荧光的强度依赖于激发强度和材料中的辐射复合中心的浓度，因此，当激发强度一定时，测得的材料表面各点的荧光强度与材料中辐射复合中心的浓度成正比，不同荧光峰强度的变化反映了材料内部不同的辐射复合中心浓度的变化，根据样品的某一个特征发光带的强度变化，直接显示样品的不均匀性。另外，通过材料总体发光强度的大小还可判断材料的掺杂水平。

图 5.4-38 为 FeP_2 气氛下退火材料与原生掺 Fe 材料的 PL-mapping 谱。从图 5.4-38 中可以发现 FeP_2 气氛下退火材料的 PL 标准强度变化为 8%，明显小于原生掺 Fe 材料的 PL 标准强度变化 15%，表明 FeP_2 气氛下退火材料中铁杂质分布的均匀性明显好于原生掺 Fe 材料。因为铁原子在 InP 材料中引入的深能级是非辐射复合中心，即意味着在PL-mapping 谱的测量中，材料总体发光强度随着铁原子浓度的增高而降低。因此，由 FeP_2 气氛下退火材料的总体发光强度明显强于原生掺 Fe 材料的总体发光强度，可判断出：FeP_2 气氛下退火材料中的铁原子浓度明显低于原生掺 Fe 材料中的铁原子浓度。

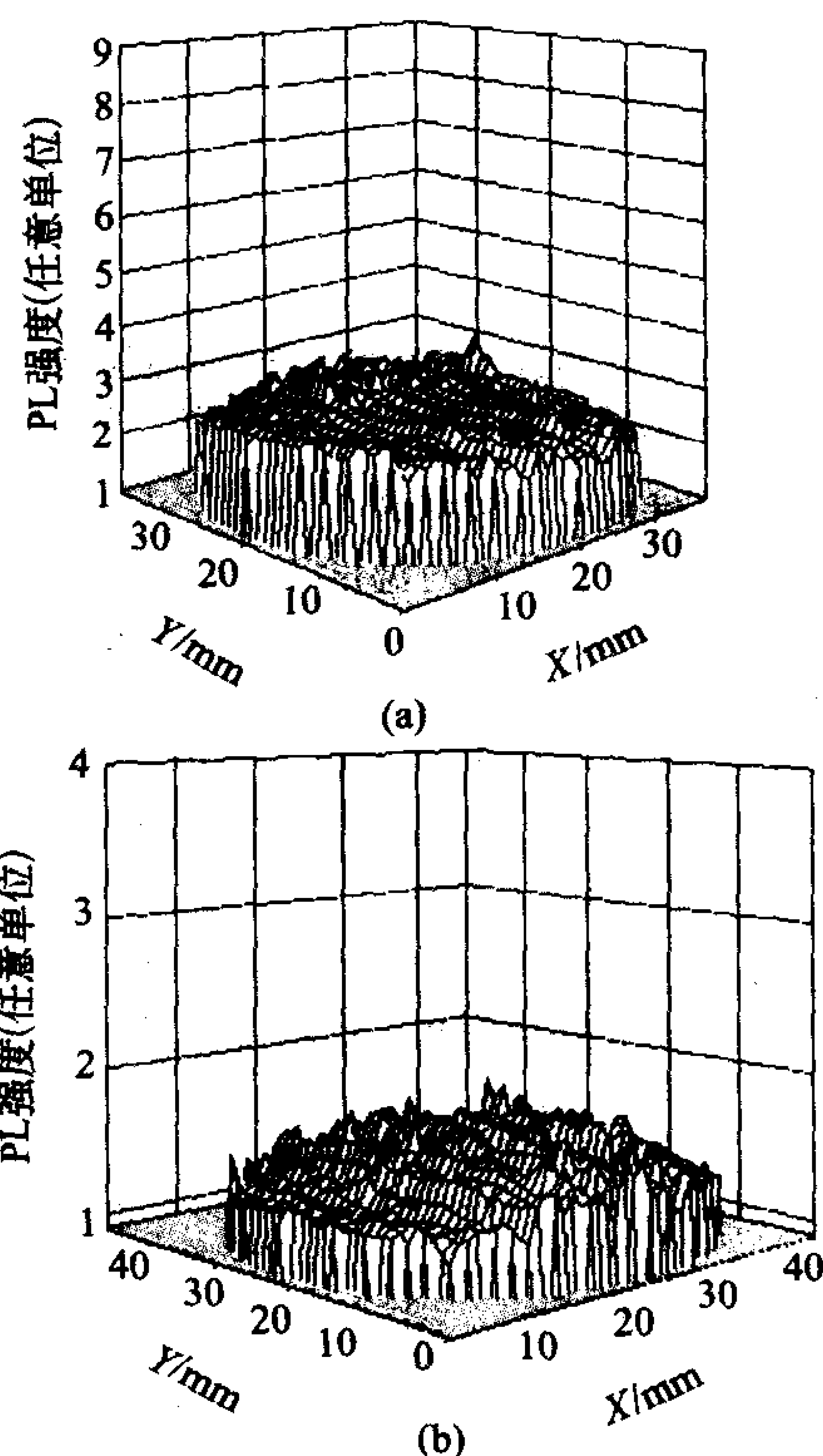


图 5.4-38　FeP_2 气氛下退火材料

（a）与原生掺 Fe 材料；（b）的 PL-mapping

3）杂质识别　结合材料类似于质谱分析（mass spectroscopic analysis 即 MSA）等测量结果，可了解材料中存在哪些杂质及其掺杂水平。在此基础上分析 PL 谱中的施主-受主（D-A）对复合或导带-受主（B-A）杂质之间的复合所产生的特征谱线，使之与材料中某一具体的杂质相对应。这样在生长条件、掺杂水平、测量温度等条件相似的情况下，就可根据特征发光谱线的位置，识别 GaAs 和 InP 中的微量杂质。

PL 谱杂质识别分析的基础为：施主-受主（D-A）对复合或本征带与浅杂质复合直接与施主、受主杂质有关，利用这些复合的发光特点及之间的联系可定性的分析材料中的杂质。

对于 GaAs 和 InP 材料中的浅施主杂质，在一定的浓度范围内，由于它们的电离能特别接近，因此在 PL 谱的分析过程中就认为这两种材料中的浅施主电离能 E_D 是相等的。对于导带-受主杂质（B-A）复合产生的光子能量 $h\nu$ 为：

$$h\nu = E_G - E_A$$

上式中 E_G，E_A 分别为禁带宽度和受主电离能。因此当由 PL 谱峰确定了 B-A 复合产生的光子能量后，受主的激活能就可由上式求出：

$$E_A = E_G - E(BA)$$

另外，B-A 复合与 D-A 复合所分别对应的光子能量差为：

$$E(BA) - E(DA) = E_D$$

由以上的叙述虽然清楚了 B-A 复合与 D-A 复合各自的特征及联系，但对于同一种受主杂质，B-A 复合与 D-A 复合发光常是并存的。区分这两种发光的最灵敏的方法是增大发光强度或升高温度。这时 B-A 峰比 D-A 峰增加得更快。PL 谱中的 D-A 峰会随温度的升高向高能量的 B-A 峰移动，此过程如图 5.4-39 所示。

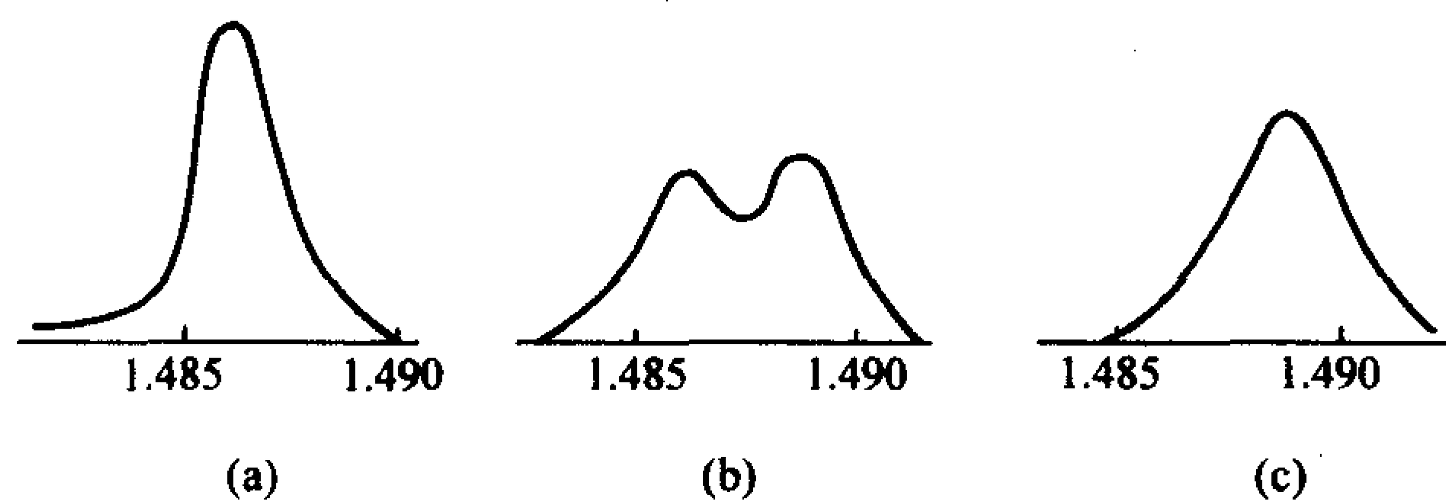


图 5.4-39　由温度升高而引起的典型的 PL 谱曲线的变化行为，$T_c > T_b > T_a = 4$ K

对于 GaAs 材料，D. Bois 等人分析了由气相外延法制备的大量 n 型 GaAs 材料的绝对温度 4.2 K 的 PL 谱，其分析结果列于表 5.4-9。另外，对于 InP 材料，如 Eishi Kubota 等人也分析了对由溶质扩散合成法获得的 p 型 InP 材料的绝对温度 4.2 K 的 PL 谱的分析结果列于表 5.4-10。这样就可根据表 5.4-9 或表 5.4-10 的结果和上述两种材料的 PL 谱对材料中的杂质进行初步的判断。

表 5.4-9　n 型 GaAs 材料 PL 谱峰及与之对应的缺陷的激活能和可能的源杂质

受主	PL 谱峰位置/eV	激活能	可能的源杂质
A_1	1.487 5	27	C
A_2	1.484 0	31	Zn
A_3	1.479 5	35	Si
A_4	1.472 2	42	Ge

表 5.4-10　p 型 InP 材料 PL 谱峰及与之对应的缺陷的激活能和可能的源杂质

受主	PL 谱峰位置/eV	激活能	可能的源杂质
A_1	1.374	47	Zn
A_2	1.378	43	Ca
A_3	1.381	40	Mg

4）分析退火处理工艺过程对材料中缺陷的影响　对于化合物半导体 GaAs 和 InP，为消除材料中的残存热应力，或是为了改变材料的电学性质，通常采用对原生材料进行退火处理。材料在退火过程中，其内部缺陷会因为退火条件不同而产生完全不同的变化。这种变化会非常直观地体现在材料的 PL 谱曲线的变化上。通过比较退火前后样品的 PL 谱曲线的变化，可定性地分析材料中缺陷的变化。图 5.4-40、图 5.4-41 是原生非掺 InP 晶片在不同气氛下退火前后的 PL 谱曲线，测试温度为 10 K。通过对比样品的 PL 谱曲线变化，即可发现经磷气氛下退火处理样品的 PL 谱曲线与原生样品的 PL 谱曲线基本相同。而经 FeP_2 气氛下退火处理样品的 PL 谱曲线与原生样品的 PL 谱曲线相比产生了较大的变化：退火前的 1.35～1.40 eV 之间的特征峰消失了，退火后在 1.3 eV 和 1.42 eV 处分别产生了两个较强的特征峰。说明在经纯磷气氛下退火处理的过程中，InP 材料中的缺陷类型基本没变。另一方面，在 FeP_2 气氛下退火处理的过程中，在原有缺陷消失的同时，又产生了一些新的缺陷。这对进一步弄清材料退火前后其电学性质的改变原因是非常有帮助的。

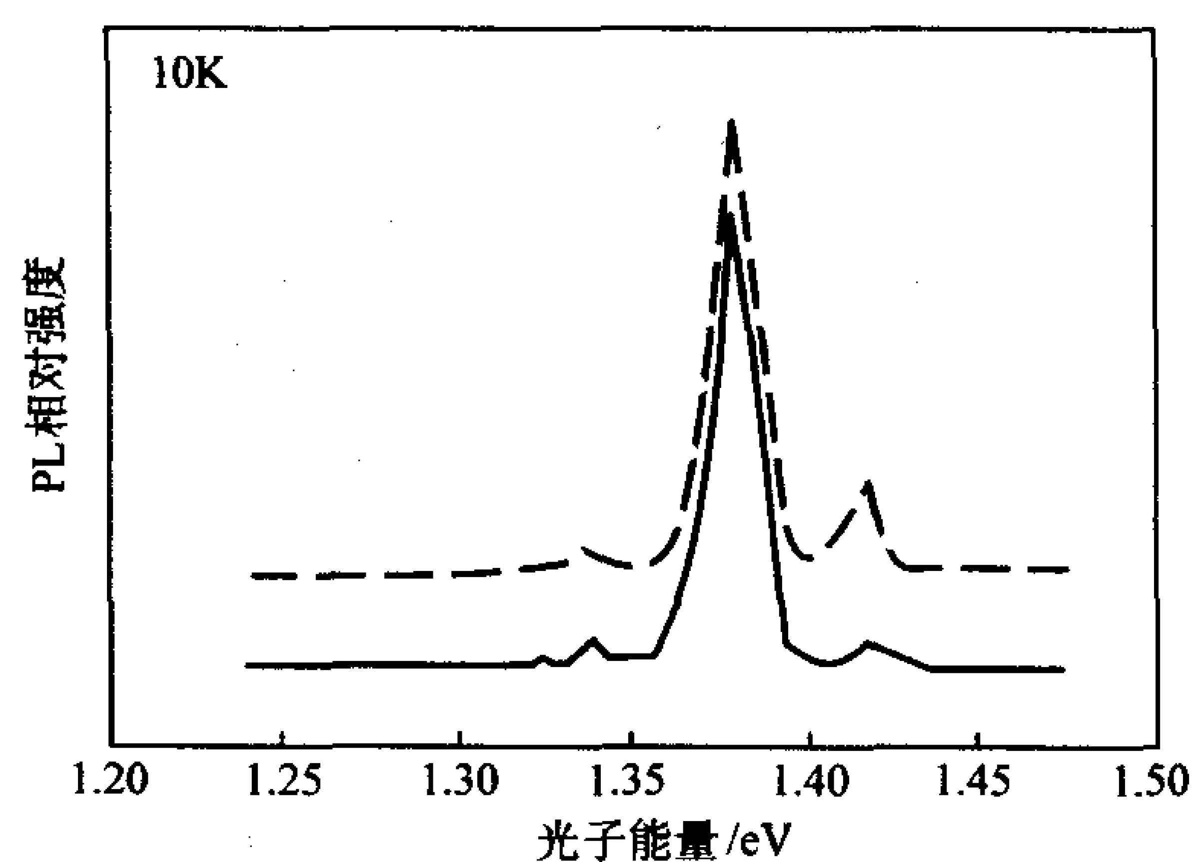


图 5.4-40　原生非掺 InP 晶片的 PL 谱（虚线）和纯磷气氛退火处理形成的半绝缘非掺 InP 晶片的 PL 谱（实线）

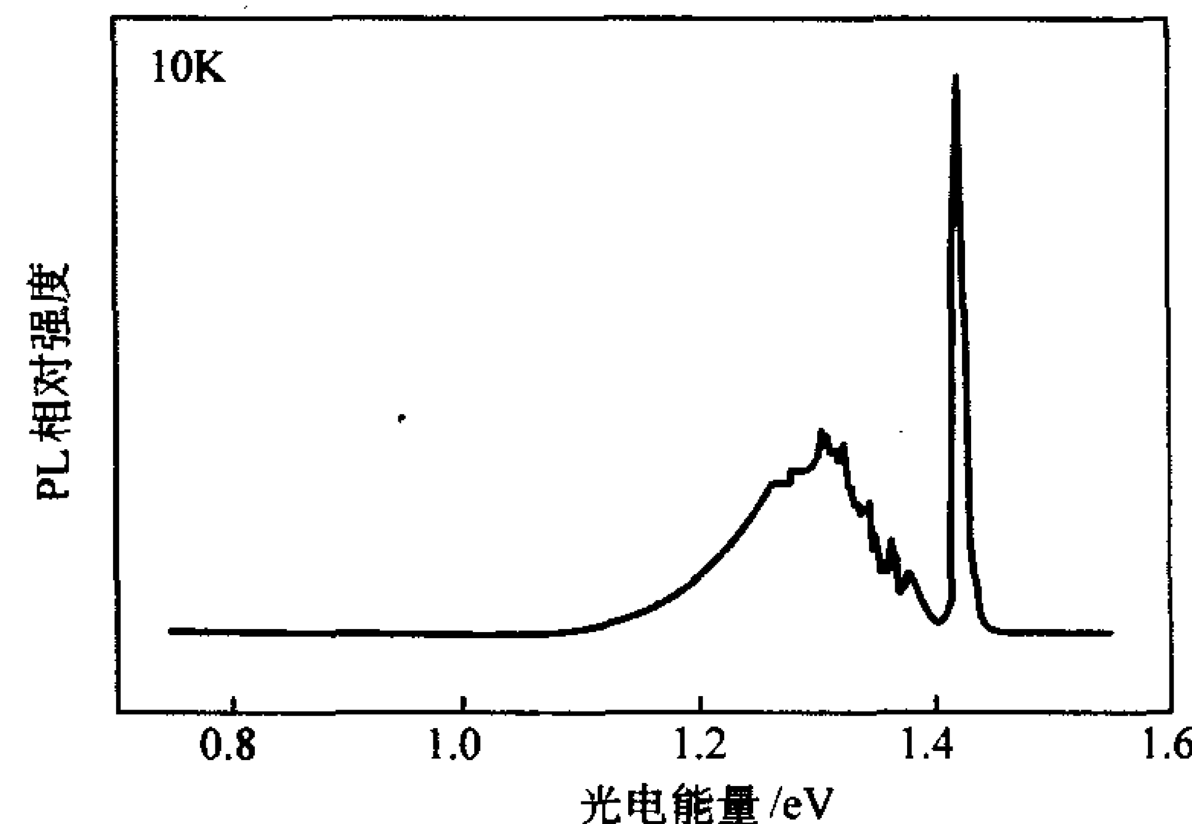


图 5.4-41　FeP_2 气氛退火处理形成的半绝缘非掺 InP 晶片的 PL 谱

编写：董志远（北京有色金属研究总院）
王彤涵（北京有色金属研究总院）
审稿：王晓亮（北京有色金属研究总院）

第 5 章 GaAs 和 InP 的应用

1 微电子应用

随着半导体单晶材料生长、分子束外延（MBE）、金属有机物化学气相淀积（MOCVD）技术等材料生长技术和半导体“能带工程”理论的发展，作为继元素半导体材料 Si 和 Ge 之后出现的化合物半导体材料的典型代表，砷化镓（GaAs）、磷化铟（InP）及相关三元和四元合金半导体材料以其在电子迁移率、饱和电子漂移速度、有半绝缘衬底等方面的优异性能，在微波毫米波功率器件、微波毫米波模拟集成电路、超高速数字集成电路及高频数模混合集成电路等微电子技术领域，显示出强大的生命力和广阔的市场空间。表 5.5-1 为 GaAs、InP 和 Si、Ge 等半导体材料基本性能对比。GaAs 和 InP 微电子器件参照 Si 器件思路，在发展过程中结合自身的特点形成了不同于 Si 器件的新型器件。按器件种类来划分，GaAs 和 InP 基半导体微电子器件可分为三端器件、两端器件和其他器件；其中三端器件又分为两大类：即以金属半导体场效应晶体管（MESFET）、金属绝缘体场效应晶体管（MISFET）和高电子迁移率晶体管（HEMT）为代表的场效应晶体管和以异质结双极晶体管（HBT）为代表的双极晶体管；两端器件又可分为肖特基二极管、PIN 二极管、隧道二极管、谐振隧穿二极管（RTD）、碰撞电离雪崩渡越时间（IMPATT）二极管、耿式（Gunn）二极管；其他器件还有 Hall 效应器件等。图 5.5-2 给出了 GaAs 和 InP 材料相关的主要半导体微电子器件。这些器件由于材料体系和器件结构的不同，在微波功率、噪声、频率和功耗等特性方面呈现出各自不同的特点。

与 Si 微电子器件相比，总体来讲 GaAs 和 InP 器件具有如下优势：

表 5.5-1 GaAs 和 InP 系异质结材料相关的材料参数

室温参数	GaAs	$Al_{0.3}Ga_{0.7}As$	$Ga_{0.51}In_{0.49}P$	InP	$In_{0.53}Ga_{0.47}As$	$In_{0.52}Al_{0.48}As$
带隙宽度/eV	1.42	1.80	1.86/1.89	1.35	0.75	1.46
热导率/W·（cm·K）$^{-1}$	0.46	0.12	0.14	0.68	0.05	—
$\Delta E_{\Gamma-L}$/eV	0.28	0.10	0.15	0.61	0.55	0.54
电子有效质量/m_0	0.067	0.092	0.099	0.078	0.041	0.074
电子饱和速度/cm·s^{-1}	1.0E7	—	4.4E6	1.5E7	7.0E6	6.0E6
电子迁移率（Nd-10^{17}/cm^3）/cm^2·（V·s）$^{-1}$	4 000	1 400	1 000	3 200	7 000	900
空穴迁移率（Na-10^{17}/cm^3）/（cm^2·（V·s）$^{-1}$	250	130	75	150	300	180
击穿电场（$\alpha = 10^4$/cm）/kV·cm^{-1}	330	435	—	480	220	520

1）由于 GaAs 和 InP 材料的饱和电子漂移速度和电子迁移率比 Si 材料高得多，因此 GaAs 和 InP 器件较同类 Si 器件的工作频率要高得多。一般认为，传统的 Si COMS 器件和双极器件主要工作在 C 波段和 S 波段，而 GaAs 和 InP 基 MESFET、HEMT 和 HBT 等器件可以工作在 X 波段、Ku 波段、Ka 波段直到 W 波段以上微波、毫米波波段。

2）GaAs 和 InP 的禁带宽度比 Si 的禁带宽度大，这就意味着其相关器件与 Si 器件相比，可以工作在较高的温度。

3）GaAs 和 InP 系材料有晶格匹配的多种不同禁带宽度的三元和四元混晶材料体系，利用两种晶格匹配或赝配的禁带宽度不同的材料可以形成多种异质结构，从而可以实现多种高速器件，如 AlGaAs/GaAs HEMT、InAlAs/InGaAs HEMT、InGaAs/GaAs PHEMT、AlGaAs/GaAs HBT、InP/InGaAs HBT、AlInAs/InP HBT 等，图 5.5-1 为 GaAs、InP 相关材料体系的晶格和禁带宽度关系示意图；而 Si 在这方面则局限性较大，近年来仅在 GeSi/Si 异质结构和相关的 GeSi/Si HBT 方面取得了突破。

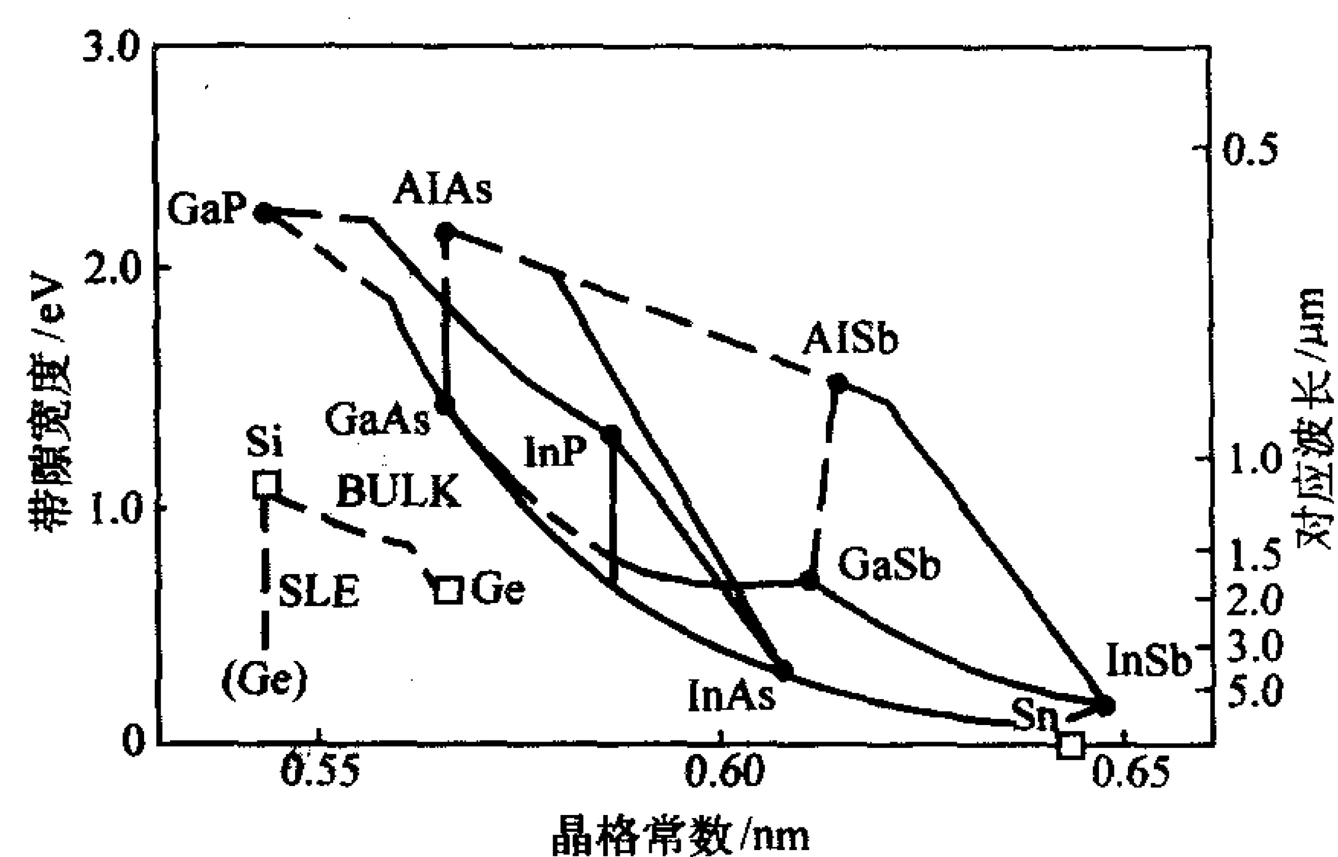


图 5.5-1 GaAs、InP 相关材料体系的晶格和禁带宽度关系示意图

4）GaAs 和 InP 材料体系的能带结构是直接跃迁结构，还可以用来实现发光器件，如发光二极管（LED）和激光器（LD），而且其对应光器件如激光器和光探测器的响应光谱在 850 nm、1 331 nm 和1 550 nm 附近，正好与光通信光纤低损耗波长窗口相兼容，因此可以实现高速的光发射和光接收单片光电集成电路（OEIC）。

5）GaAs 和 InP 材料掺 Fe 或 Cr 等可以实现高阻的半绝缘衬底，电阻率可以达到 10^7 Ω·cm 以上，这样可以减小器件之间的寄生效应；加之前面提到的 GaAs 和 InP 材料的高电子迁移率特点，从而容易实现微波、毫米波单片集成电路（MMIC）。

6）GaAs 和 InP 器件的抗辐照特性总的来说比 Si 器件好，主要是因为以下两点：Ⅲ-V 器件没有像 Si CMOS 器件中对离子辐射敏感的 SiO_2/Si 介质栅－半导体界面系统，另一方面是因为Ⅲ-V材料大多为直接带隙半导体，使得其少子寿命较 Si 等间接带隙半导体材料的少子寿命短，在一定程度上增加了Ⅲ-V器件对倚赖于少子寿命作用的置换损伤的抵抗能力。这使得其在空间应用和军事应用方面具有优势。

GaAs、InP 微电子器件及相关集成电路的应用领域很广，涉及到高端的军事电子应用和民用光纤通信、微波无线通信

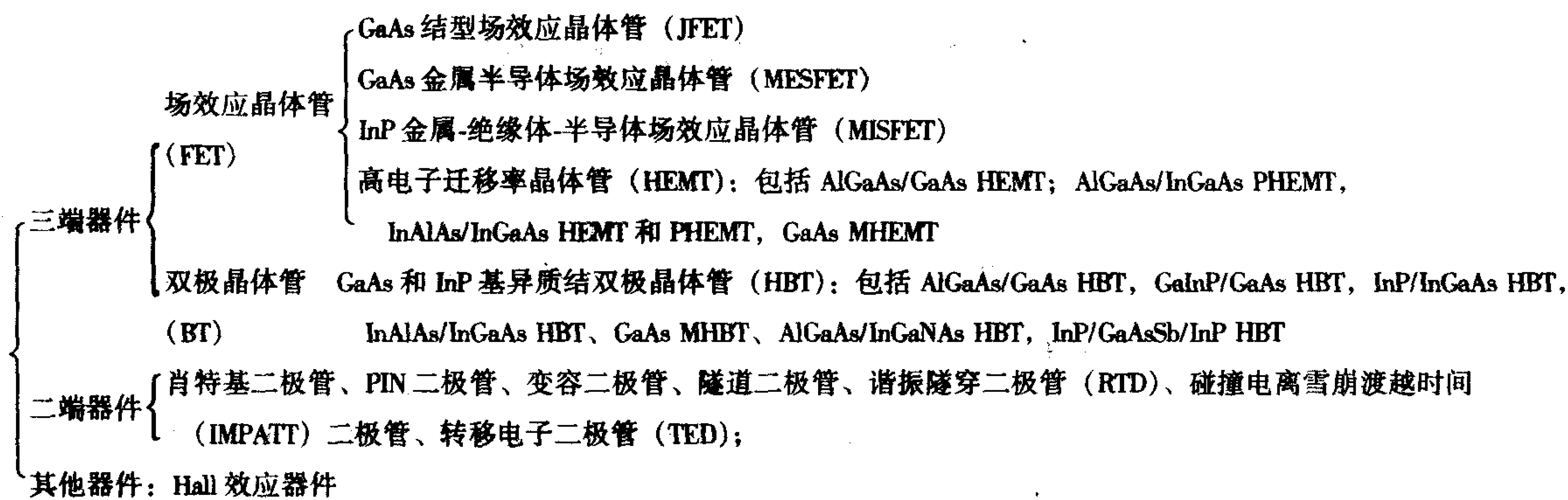


图 5.5-2　GaAs 和 InP 材料相关的主要半导体微电子器件

及消费类汽车电子等商用领域应用。具体分述如下：

1）国防军事电子领域：包括相控阵雷达系统、毫米波精确制导系统、高功率卫星通信系统、毫米波探测系统和电子对抗系统等军用电子系统中微波毫米波发射/接收（T/R）组件、数字射频存贮器、高速数模（DA）、模数（AD）转换集成电路、低相噪频率源等器件和集成电路。

2）光纤通信系统：包括激光器、调制器驱动电路、前置放大器、限幅放大器、多路复用器（MUX）、解复用器（DEMUX）、时钟提取和恢复电路等。

3）宽带卫星无线通信系统：包括卫星通信基站微波信号发射机、手机等中的功率放大器和压控振荡器等。

4）测试仪器：包括高频频率源、高速数字分频器、模－数（A/D）和数－模（D/A）转换器等。

5）汽车电子：主要是防撞雷达系统，工作在 77 GHz 频段，核心部分便是多种 GaAs PHEMT 微波毫米波单片集成电路（MMIC）。此外 GaAs 霍耳器件还可用于汽车点火器系统等。

随着光纤通信和无线通信技术的迅猛发展，近年来国外以 GaAs 和 InP HEMT 和 HBT 技术为代表的Ⅲ-Ⅴ族异质结化合物半导体器件和集成电路的发展如火如荼，日新月异。GaAs 和 InP 基微电子技术的发展一方面是结合微细加工工艺的发展，传统的 MESFET、HEMT 和 HBT 向亚微米和深亚微米尺寸延伸，从而获得更高的频率性能，向几百 GHz 甚至 THz 频段发展；另一方面，随着对材料生长技术和能带理论研究的深入，在传统器件外延材料结构的基础上，探索用新型材料来改进器件外延层结构，以期在功耗、频率和成本方面获得更好的结果，例如 GaAs/InGaNAs HBT、GaAs/GaAsSb HBT 以及以 GaAs 材料为衬底的改性（Metalmorphic）AlInAs/InP HEMT 和 InP/InGaAs HBT 结构等；此外，还探索一些新的器件机理和电路结构，如 RTD 器件及 RTD/HBT 和 RTD/HEMT 逻辑结构等。此外，在技术应用领域方面呈现出向两端拓展，高端继续在政府军方经费的支持下向 THz 发展，低端随着商用光纤通信和卫星通信市场的需求，逐渐由军用向商用发展，形成与传统 Si 双极器件和 CMOS 器件互补和竞争并存的态势。

国内 GaAs 和 InP 微波毫米波器件及相关集成电路技术的研究主要集中在河北半导体研究所、南京电子器件研究所、中科院微电子研究所、中科院半导体研究所、中科院物理研究所、中科院信息与微系统研究所等单位。研究领域涵盖了从分子束外延（MBE）和金属有机物化学气相沉积（MOCVD）材料生长、数字和微波集成电路设计与制造等领域，已有部分产品实现了小批量生产。相关情况见表 5.5-2。

表 5.5-2　GaAs 和 InP 器件和集成电路国内主要研究机构

机构名称	设备情况	涉及工艺技术
河北半导体研究所	4 in0.35 μmGaAs 微波功率器件、微波毫米波单片集成电路、高速数字集成电路工艺线；MOCVD 和 MBE 材料生长	外延或离子注入 GaAs MESFET、GaAs HFET 和 PHEMT、InP HEMT、GaAs MHEMT、GaAs HBT 和 InP HBT
南京电子器件研究所	4 in0.5 μmGaAs 微波功率器件、微波毫米波单片集成电路工艺线；MOCVD 和 MBE 材料生长	外延或离子注入 GaAs MESFET、GaAs HFET 和 PHEMT、InP HEMT
中科院微电子研究所	4 in0.8 μmGaAs 微波毫米波单片集成电路、高速数字集成电路工艺线	GaAs PHEMT、GaAs HBT
中科院半导体研究所	2～3 inMOCVD 和 MBE 材料生长	GaAs PHEMT、GaAs MHEMT、InP HEMT
中科院物理研究所	2～3 inMBE 材料生长	GaAs PHEMT、InP HEMT
中科院信息与微系统研究所	2～4 inGS－MBE 材料生长	GaAs PHEMT、InP HEMT、GaAs HBT、InP HBT

本节主要对其中最重要的几种器件，如金属半导体场效应晶体管（MESFET）、高电子迁移率晶体管（HEMT）、异质结双极晶体管（HBT）、耿式二极管、IMPATT 二极管及 Hall 器件等，从器件工作原理、基本结构、典型参数和发展水平等方面进行介绍。

1.1　金属半导体场效应晶体管

（1）基本工作原理

GaAs 金属半导体场效应晶体管又称肖特基势垒场效应晶体管，是微波电路和高速集成电路应用最常见的有源器件；在 20 世纪 80 年代后期到 90 年代初几乎所有的微波功率放大器和开关集成电路都用 GaAs MESFET 技术来实现；其工作原理是利用栅肖特基势垒耗尽层厚度的改变来调制源漏之间的导电沟道。由于 GaAs 材料较 Si 材料电子迁移率和饱和速度都高得多，因此其开关速度和工作频率较 Si 金属氧化物半导体场效应晶体管（MOSFET）有很大提高。GaAs 材料的电子迁移率大约是空穴迁移率的 20 倍，微波 GaAs MESFET 一般为 n 沟器件，是一种以电子为载流子的多子器件。

在器件应用时，源极一般接地，漏极加正偏压。如果沟道层厚度 a 很小或掺杂浓度 N_D 较低，当栅极为零偏压即 $V_G = 0$ V时，由于肖特基结内建电势 V_{bi} 的作用，导电沟道被肖特基势垒的耗尽层夹断，当栅压正偏超过一定值 V_T 时，随着耗尽层变窄沟道被打开而处于导电状态，这种器件结构称为增强型 MESFET；反之，如果沟道厚度较大或掺杂 N_D 较高时，在 $V_G = 0$ V 时，导电沟道没有被肖特基结内建电势形成的耗尽层所夹断，而当栅压反偏超过一定值 V_P 时，随着耗尽层的展宽源漏之间的导电沟道被夹断，这种器件结构成为耗尽型 MESFET，由于耗尽型器件在制作工艺上较增强型器件容易控制，因而耗尽型 MESFET 应用较普遍。

(2) 基本结构

图 5.5-3 为基本的 GaAs MESFET 结构示意图。通常是在半绝缘 GaAs 衬底材料上通过离子注入技术或外延生长技术形成轻掺杂 n 型 GaAs 沟道层；为降低源漏欧姆接触电阻，还要在表面通过选择注入或外延生长形成一层高掺杂 GaAs。器件制作一般首先在高掺杂 GaAs 表面用 AuGeNi 合金形成源漏欧姆接触，然后再通过凹槽工艺在轻掺杂沟道层表面淀 TiPtAu 形成肖特基栅极。

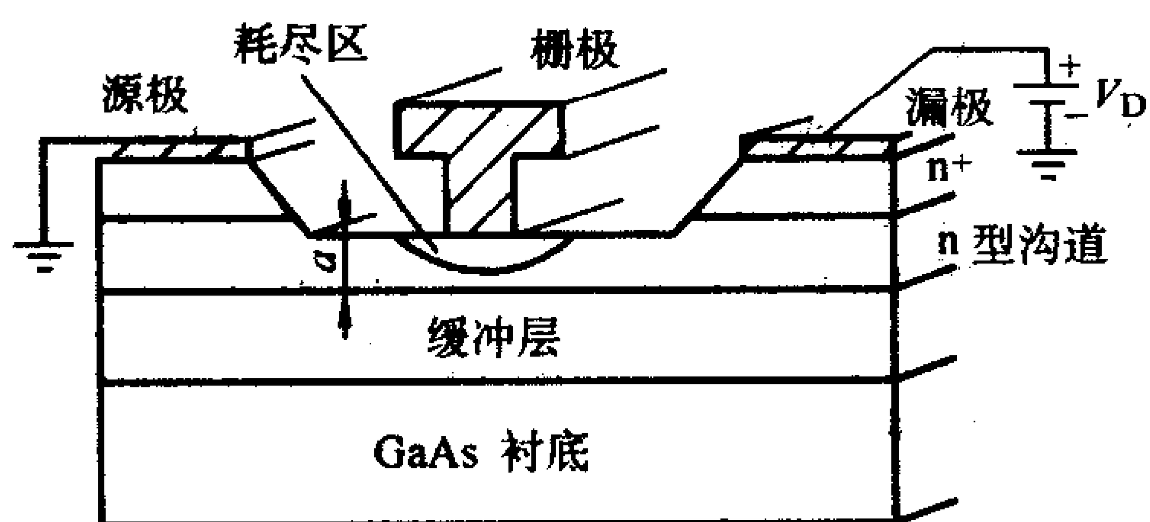


图 5.5-3　基本的 GaAs MESFET 结构示意图

(3) 表征参量

一般地，GaAs MESFET 的表征参量有直流参量和微波参量。直流参量包括跨导、夹断电压、饱和漏电流等。

图 5.5-4 为耗尽型 GaAs MESFET 电流－电压特性曲线。对于耗尽型器件，夹断电压 V_P 表达式为

$$V_P = \left(\frac{qN_d}{2\epsilon_0\epsilon_r}\right)a^2$$

GaAs MESFET 另一重要的直流参数是跨导 g_m，用来表征漏电压一定时，栅偏压对漏极电流的控制能力，定义为

$$g_m = \left.\frac{\partial I_{DS}}{\partial V_{GS}}\right|_{V_{DS}}$$

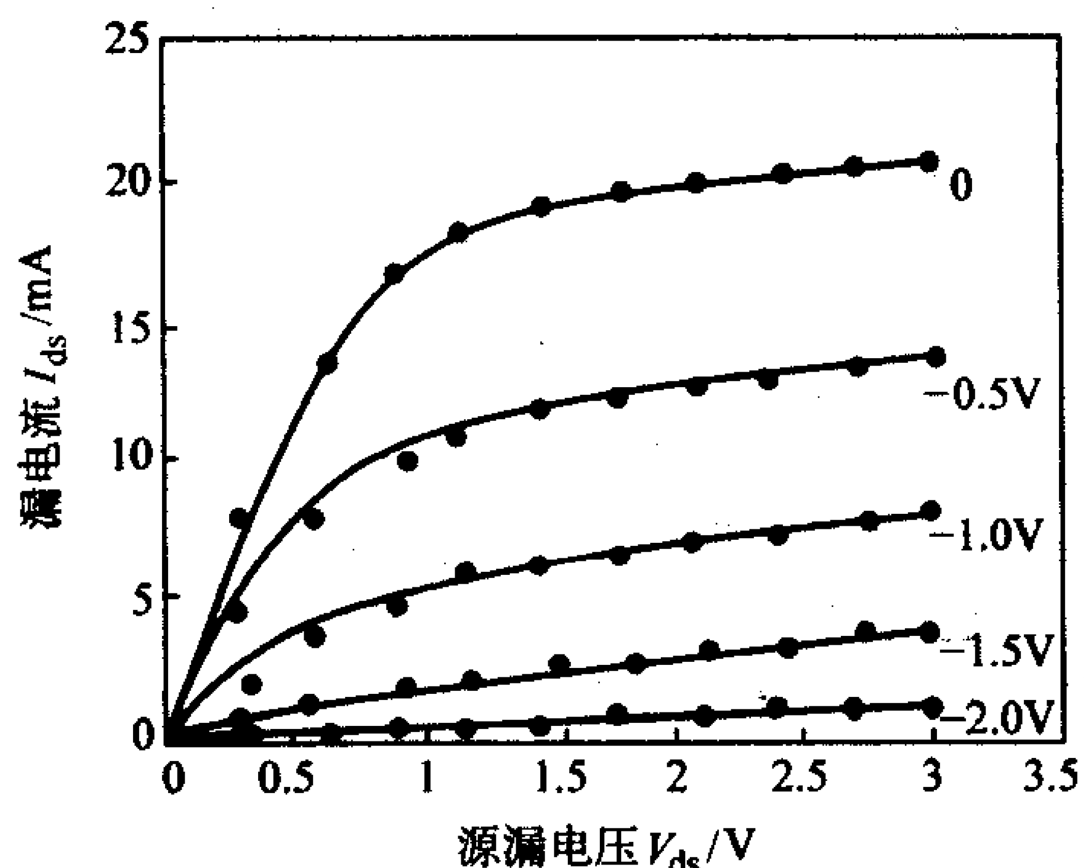


图 5.5-4　耗尽型 GaAs MESFET 电流－电压特性曲线

GaAs MESFET 微波特性通常用截止频率 F_t 和最高振荡频率 F_{max} 来表征。表示为 $F_t = \frac{g_m}{2\pi C_G}$

其中 C_G 为栅电容，包括栅源电容和栅漏电容。可以看出要获得高的截止频率，需要提高器件的跨导，同时减小栅电容。

一般地，F_t 可以通过简单计算载流子在栅极下的渡越时间来估计。

$$f_T = \frac{g_m}{2\pi C_G} = \frac{1}{2\pi\tau} \approx \frac{v_s}{2\pi L_g}$$

式中，τ 为载流子通过栅长距离的渡越时间；v_s 为载流子的饱和速度；L_g 为栅长。这里可知，减小栅长可以提高 F_t，可用多层胶电子束直写曝光技术实现深亚微米细栅工艺，从而提高器件的频率性能。

对于微波功率 GaAs MESFET 器件，输出功率、功率增益、效率等也是其重要参量。

(4) 国内外发展水平

国外 1967 年出现第一只 GaAs FET；1970 年出现了小信号、低噪声 GaAs MESFET，GaAs MESFET 开始在小信号低噪声应用领域崭露头角；1974 年富士通公司报道了 10 GHz、0.7 W 和 8 GHz、1.6 W 功率的 GaAs MESFET，最高振荡频率达到 50 GHz，首次突破 X 波段 W 级，引发了人们对 GaAs MESFET 在微波功率应用的兴趣；此外，由于 GaAs MESFET 较 Si 器件表现出优良的频率性能，使得其在高速大规模数字集成电路方面也得到广泛的关注。到 80 年代末 90 年代初，GaAs MESFET 已涵盖 X/Ku 波段低微波低噪声功率分立器件和相关单片微波集成电路（MMIC）以及 10 Gbit/s 以下中大规模高速数字集成电路等产品，其应用领域包括微波通信、光纤通信和电子对抗等。由于高电子迁移率晶体管技术和异质结双极晶体管技术的发展，尽管采用 0.12 μm 栅长离子注入工艺 GaAs MESFET 已经实现 F_t = 121 GHz，F_{max} = 160 GHz 优良的频率性能，但目前 GaAs MESFET 仍主要限于 X 波段以下微波功率器件及 MMIC 和 10 Gbit/s 以下速率的数字集成电路应用。表 5.5-3 为 Fujitsu（Eudyna）公司 GaAs 功率 MESFET 产品水平。表 5.5-4 为几种国外 GaAs MESFET 光通信用集成电路的产品水平。

表 5.5-3　Fujitsu（Eudyna）公司 GaAs 功率 MESFET 产品水平

产品型号	P_1dB TYP. /dBm	G_1dB TYP. /dB	η_{add} TYP. /%	频率 /GHz
FLC057WG	27.0	9.0	38.0	8.0
FLC107WG	30.0	8.0	36.0	8.0
FLC257MH-6	34.0	9.0	36.0	6.4
FLC257MH-8	34.0	8.0	35.0	8.5
FLX107MH-12	30.0	7.5	33.0	12.5
FLX207MH-12	32.5	7.0	28.0	12.5
FLK017WF	20.5	7.5	26.0	14.5
FLK027WG	24.0	7.0	32.0	14.5
FLK207MH-14	32.5	6.0	27.0	14.5

表 5.5-4　几种国外 GaAs MESFET 光通信用集成电路的产品

产品型号	性能		公司
FMM311DG	激光器驱动电路	传输速率 2.5 Gb/s	Fujitsu
FMM3191DG	调制器驱动电路	传输速率 2.5 Gb/s	Eudyna（Fujitsu）
FMM381CG	4:1 复用电路	传输速率 2.5 Gb/s	Eudyna（Fujitsu）
FMM381CG	1:4 解复用电路	传输速率 2.5 Gb/s	Eudyna（Fujitsu）
FMM362HE	D 触发器	时钟频率 5.9 GHz	Eudyna（Fujitsu）
FMM363HE	或/或非标准门电路	时钟频率 5.9 GHz	Eudyna（Fujitsu）
AMT128503	MSM-TIA 接收前端 OEIC	波长 850 nm，传输速率：1.250 Gb/s	Anadigics

国内 GaAs MESFET 研究主要集中于河北半导体研究所/南京电子器件研究所和一些中国科学院及大学的研究机构，其研究主要集中于微波低噪声和功率分立器件/微波单片集成电路/包括门阵列数字集成电路等。表5.5-5为国内 GaAs MESFET 器件和集成电路产品的研究水平。

表5.5-5 国内 GaAs MESFET 器件和集成电路产品和研究水平

器件结构	工艺	电路类型及结果	报道机构
MESFET	离子注入	900 MHz 功率放大器模块，出功率 > 1 W 功率增益 25 ~ 30 dB	南京电子器件研究所
MESFET	离子注入	多倍频程移相器 5 ~ 20 GHz，45、90、180 峰值相移 ≤5°， 插损 ≤12.8 + / - 0.7 dB，VSWR≤1.7	南京电子器件研究所
MESFET	离子注入	单片射频功率收/发开关， DC - 2.5 GHz，内，插入损耗 0.65，隔离度 ≥16 dB	南京电子器件研究所
GaAs MESFET	离子注入	2.5 Gbit/s 激光器驱动电路 IC、限幅放大器 IC	河北半导体研究所
GaAs MESFET	离子注入	10 000 门门阵列 IC	河北半导体研究所
GaAs MESFET	栅长 0.5 μm	宽带功率放大器 2 ~ 6 GHz，输出功率 1.0 ~ 1.4 W，线性增益 17 ± 0.75 dB	南京电子器件研究所

1.2 高电子迁移率晶体管（HEMT）

高电子迁移率晶体管（HEMT）又称二维电子气(2DEG) 场效应晶体管（TEGFET）或调制掺杂场效应晶体管（MODFET）等。根据所用衬底材料和沟道外延层结构的不同，高电子迁移率晶体管分为很多种类，如 GaAs 基 AlGaAs/GaAs HEMT，GaAs 基 AlGaAs/InGaAs PHEMT，InP 基 InAlAs/InGaAs HEMT 和 PHEMT，InP 基 InAs 沟道 HEMT，InP 基和 GaAs 基增强型 HEMT 及 GaAs 基改性的 InAlAs/InGaAs HEMT (MHEMT) 等。本节首先以 AlGaAs/GaAs HEMT 为例，介绍 HEMT 器件的工作原理、器件结构和表征参量，然后介绍其他几种典型的 HEMT 器件，最后介绍 HEMT 器件和相关集成电路的发展水平。

(1) 器件工作原理

尽管理论上 GaAs 的电子迁移率很高，但是由于普通 GaAs MESFET 的沟道采用轻掺杂的 GaAs 材料，电子在沟道中输运时会受到杂质离子的散射而导致迁移率降低，为解决这一问题，1980 年日本富士通公司在美国 Bell 实验室 R. Dingle 等实验的基础上研制出了高电子迁移率晶体管，实际上是一种异质结构的 MESFET，与普通 GaAs MESFET 相比，其主要区别在于导电沟道引入 AlGaAs/GaAs 异质结，由于异质结界面的导带不连续而在本征 GaAs 一侧形成势阱，使得电子从掺杂的 AlGaAs 宽带隙材料中转移到势阱中，被限制在与界面平行的薄层（约 50 nm (100 Å)）内形成二维电子气（2DEG)，这样沟道内载流子密度和漂移速度大大提高；同时由于 GaAs 是非掺杂的，这样就将载流子提供层与沟道进行了空间分离，避免了载流子输运过程中受到电离杂质的散射，从而大大提高了电子迁移率。图5.5-5为 AlGaAs/GaAs 异质结能带和 2 - DEG 形成示意图。

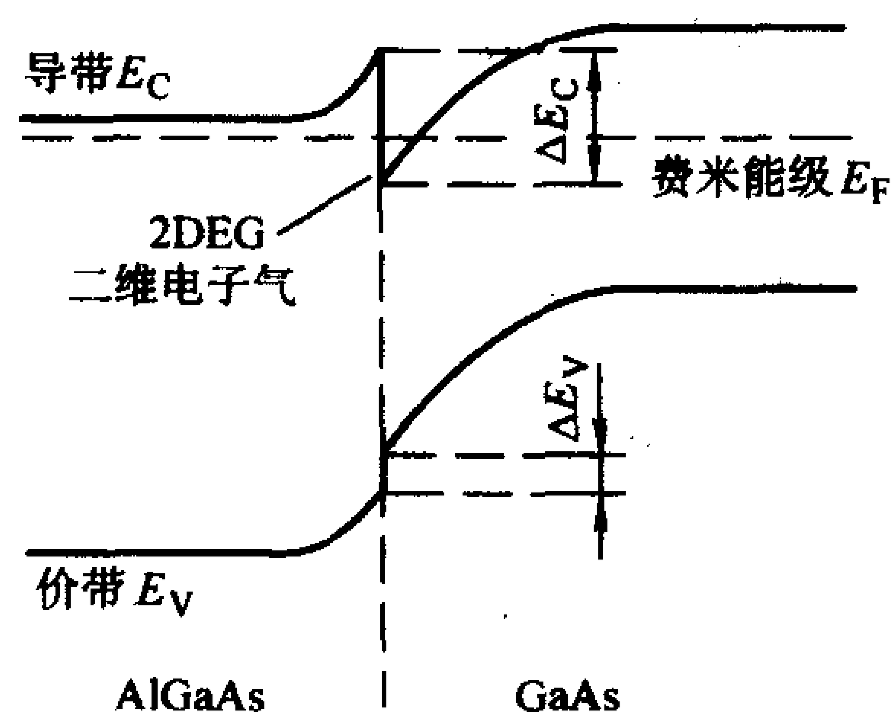


图5.5-5 AlGaAs/GaAs 异质结能带和 2 - DEG 形成示意图

(2) 器件基本结构

图5.5-6为一般 n 沟 AlGaAs/GaAs HEMT 基本结构示意图。AlGaAs/GaAs HEMT 通过调整金属栅在 AlGaAs 表面的 Schottky 势垒，改变势阱的宽度和深度，从而改变 AlGaAs/GaAs 异质结界面的 2 - DEG 浓度以实现对电流的控制。在 n 型 AlGaAs 和本征 GaAs 之间的不掺杂 AlGaAs 薄层，被称为隔离层，其主要作用是降低 n 型 AlGaAs 中的电离杂质中心对 2 - DEG 的库伦散射，进一步提高 2 - DEG 的迁移率。

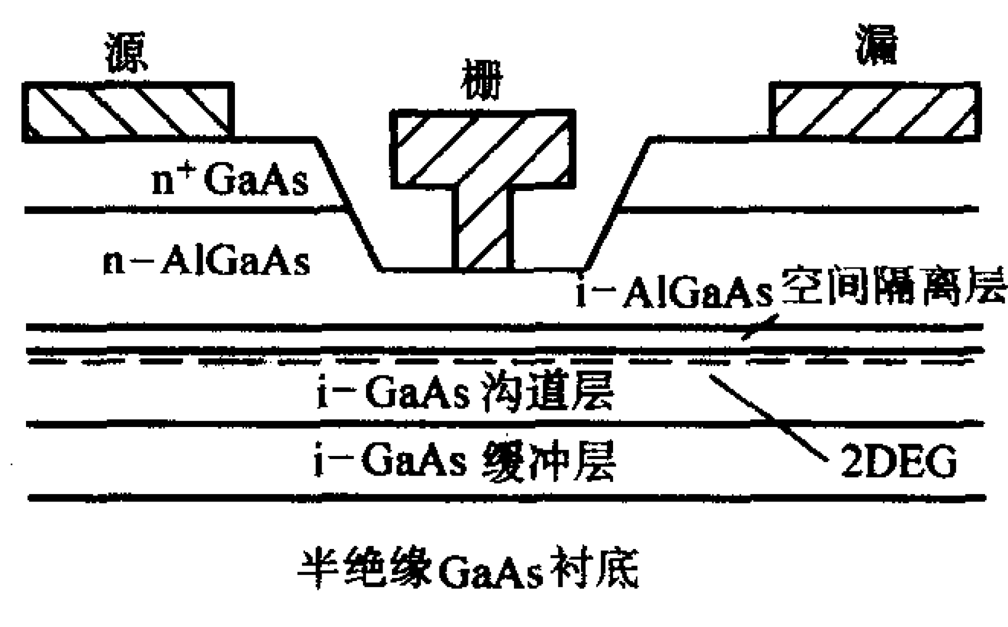


图5.5-6 AlGaAs/GaAs HEMT 基本结构示意图

(3) 器件表征参量

与 GaAs MESFET 类似，AlGaAs/GaAs HEMT 根据零栅压时沟道的导通情况，也分为耗尽型和增强型两种。器件的阈值电压或夹断电压与 AlGaAs 层的厚度和掺杂浓度有关。AlGaAs/GaAs HEMT 的基本表征参量除了夹断电压外，还有跨导 g_m、特征截止频率 F_t 和最高振荡频率 F_{max} 等。

一般地，其阈值电压可以表示为：

$$V_T=\phi_{Bn}-\frac{qN_D}{2\varepsilon_1}d^2-\frac{\Delta E_c}{q}+\frac{\Delta E_{F0}}{q}$$

式中，N_D 是金属肖特基接触的势垒高度，V_G 是栅压，ΔE_c 是 AlGaAs/GaAs 异质结界面导带的能量差；E_F/q 是 2DEG 的费米势，ε_2 是控制层（AlGaAs）的介电常数。

在饱和区，器件跨导为

$$g_m=\frac{Z\varepsilon_1\mu}{(d+\Delta d)\ L}\ (V_G-V_T)\ (\text{长沟道器件})；$$

$$g_m=\frac{Z\varepsilon_1 v_s}{(d+\Delta d)}\ (\text{短沟道器件})$$

与前面介绍的 GaAs MESFET 类似，AlGaAs/GaAs HEMT 的截止频率可以表示为 $F_t=\frac{g_m}{2\pi C_G}$

式中 C_G 为本征栅电容，包括栅源电容和栅漏电容。如考虑有效负载电容 C_L，则截止频率应表示为：

$$F_t = \frac{g_m}{2\pi (C_G + C_L)}$$

微波功率特性包括输出功率 P_0、功率增益 G_a、功率附加效率 η 等参量。

(4) 几种其他类型的 HEMT

1) GaAs 基 PHEMT　由于 n 型 $Al_xGa_{1-x}As$ 中存在 DX 复合中心，导致 $Al_xGa_{1-x}As$/GaAs 界面 2-DEG 浓度随温度而改变，使得器件的阈值电压发生漂移和电流电压特性畸变。这种 DX 复合中心与 Al 组分 x 有关，当 $x<0.2$ 时，基本上不存在 DX 中心，但这会使异质结面导带的不连续 ΔE_c 变小，影响势阱对载流子的限制。为了解决这一矛盾，采用本征的窄带隙 InGaAs 来代替本征 GaAs 作为沟道材料，这样即使 Al 组分含量较低，异质结的导带不连续性也能够满足器件要求。这一本征的 InGaAs 薄层（约 2 nm (20 Å)）由于 InGaAs 和 GaAs 之间的晶格失配引起应变，因此称为赝配的高电子迁移率晶体管（PHEMT）。图 5.5-7 为 GaAs PHEMT 结构示意图。实际上，由于本征 InGaAs 两侧的 AlGaAs 和 GaAs 材料的导带能级较 InGaAs 的导带能级高，从而形成 InGaAs 量子阱，较一般 HEMT 结构由于导带不连续和能带弯曲形成的三角形势阱对载流子的限制能力更强。与一般 AlGaAs/GaAs HEMT 相比，AlGaAs/InGaAs PHEMT 具有更高的电流处理能力和工作频率。

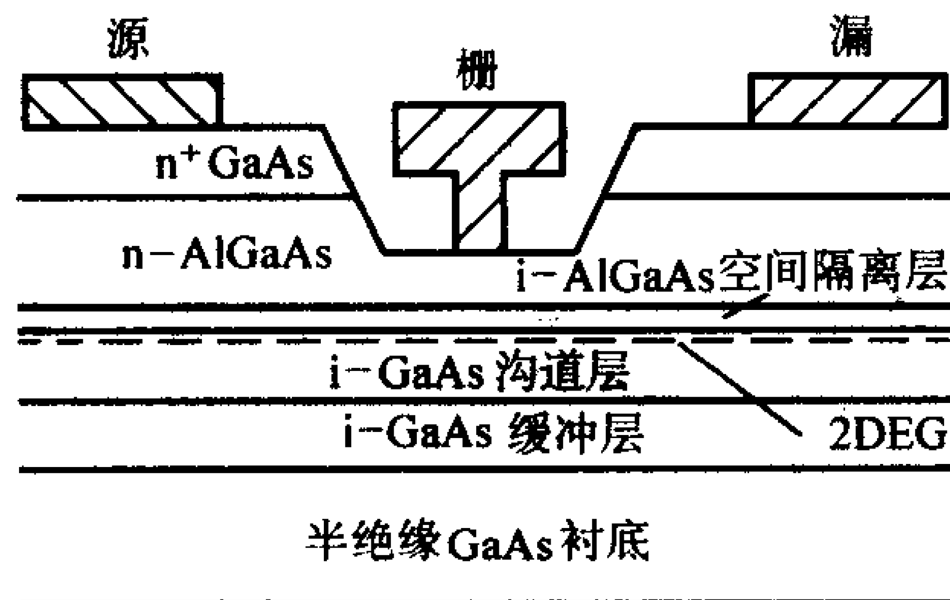


图 5.5-7　GaAs PHEMT 结构示意图

2) InP 基 HEMT 和 PHEMT　与 GaAs 材料体系相比，InP 系材料的性能更优越，这主要体现在以下几点：首先，InP 材料具有更高的击穿电场、热导率和电子饱和速度；其次，InGaAs 具有更高的低场电子迁移率、更高的饱和电子速度和更大的导带 $\Gamma-L$ 能谷差；第三，InAlAs/InGaAs 异质结较 AlGaAs/GaAs 和 AlGaAs/InGaAs 有更大的导带不连续性，具有二维电子气密度大和载流子迁移率高的特点。从而使得 InP 基 HEMT 在大电流、高跨导和高频率方面有较强的优势。InP 基 HEMT 一般采用 N 型 InAlAs 作为电子供给层，本征的 InGaAs 作为沟道层。已报道的 InP 基 HEMT 的跨导可达 1 500～1 700 mS/mm，典型的 0.1 μm 栅长的 InP 低噪声 HEMT 的跨导为 800～1 000 mS/mm，远大于 GaAs PHEMT 的跨导。

InAlAs/InGaAs HEMT 按沟道层 InGaAs 的 In 组分含量可分为晶格匹配结构和晶格赝配结构。前者的 In 组分为 0.53，而后者则高达 0.8 以上。实验表明，高 In 组分的赝配 InAlAs/InGaAs 结构有更大的导带不连续性和更优良的电子输运特性，使得其 2DEG 密度更大、电子迁移率更高。采用高 In 组分调制沟道，改善了载流子的限定状态，可将室温电子迁移率提高到 18 300 cm^2/V·s。表 5.5-6 为 InAlAs/InGaAs HEMT (a)) 和 PHEMT (b)) 外延层结构。

为了进一步提高器件的频率性能、功率性能和可靠性，新的沟道层结构如 InGaAs/InP 复合沟道和 InAs 沟道方面的研究也取得了一些进展。

3) GaAs 基 MHEMT　尽管与 GaAs 基 HEMT 相比，InP 基 HEMT 在跨导、功率和频率等方面显示出较强的优势，但 InP 材料由于缺乏大直径的衬底，目前的主流尺寸为 76.2～101.6 mm (3～4 in)，加之 InP 材料更容易碎，因此其材料成本和加工成本都高于 GaAs 基 HEMT；而 GaAs 衬底目前的主流尺寸为 152.4 mm (6 in)，目前正在探索 203.2 mm (8 in) 技术，且机械强度较好，加工工艺成熟。D.M.Gill 等利用 MBE 技术成功地在 GaAs 衬底上生长了 InAlAs/InGaAs HEMT 结构，为了解决晶格失配问题，在 GaAs 衬底与沟道层之间生长了 0.1 μm AlInAs 和 1 μm $Al_{0.5}Ga_{0.5}As_xSb_{1-x}$ ($x=0\sim0.54$)。表 5.5-7 为 InAlAs/InGaAs MHEMT 的材料结构。用该结构制作的栅长 0.1 μm 的 T 型栅器件非本征跨导大于 1 000 mS/mm，F_t 和 F_{max} 分别达到 150 GHz 和 350 GHz。一般将这种 GaAs 衬底上制作的 InAlAs/InGaAs HEMT 结构称为改性的 HEMT (MHEMT)。MHEMT 技术的实现，突破了由于缺乏大直径 InP 衬底材料带来的 InP 基 HEMT 材料加工成本较高的问题，从而可以制造出成本低的高性能器件。

表 5.5-6　InAlAs/InGaAs HEMT (a) 和 PHEMT (b) 外延层结构

(a)

层名	材料	掺杂浓度/cm^{-3}	厚度/nm
帽层	$In_{0.53}Ga_{0.47}As$	1E19	30
腐蚀停止层	InP	i	6
势垒层	InAlAs	i	10
隔离层	InAlAs	i	3
Si 平面掺杂 5E12 cm^{-2}			
沟道层	$In_{0.53}Ga_{0.47}As$	i	15
缓冲层	InAlAs	i	300
半绝缘 (100) InP 衬底			

(b)

层名	材料	掺杂浓度/cm^{-3}	厚度/nm
帽层	$In_{0.53}Ga_{0.47}As$	1E19	40
腐蚀停止层	InP	i	6
势垒层	InAlAs	i	10
隔离层	InAlAs	i	3
Si 平面掺杂 5E12 cm^{-2}			
沟道层	$In_{0.3}Ga_{0.7}As$	i	12
缓冲层	InAlGaAs	i	300
半绝缘 (100) InP 衬底			

表 5.5-7　InAlAs/InGaAs MHEMT 外延层结构

层名	材料	掺杂浓度/cm^{-3}	厚度/nm
帽层	$In_{0.53}Ga_{0.47}As$	1E19	80
势垒层	$In_{0.52}Al_{0.48}As$	i	15
隔离层	$In_{0.52}Al_{0.48}As$	i	4
Si 平面掺杂 5E12 cm^{-2}			
沟道层	$In_{0.53}Ga_{0.47}As$	i	20
缓冲层	$In_{0.52}Al_{0.48}As$	i	1 500
半绝缘 (100) GaAs 衬底			

4) 增强型 InP 基和 GaAs 基 HEMT　由于工艺限制，一般 InP 基 HEMT 大多是耗尽型的。这给大规模数字集成电路的应用带来一系列问题，首先是基于耗尽型 HEMT 器件的逻辑电路设计往往需要双电源供电，为应用带来了不便，另一方面增加了电路的功耗；其次，难以实现直接耦合逻辑 (DCFL) 单元设计，使得电路结构功耗和复杂性增加。而

InP基增强型HEMT器件的发展，将使得上述问题得到解决。Mahajian等利用0.3 μm Pt/Ti/Pt/Au蘑菇栅技术制作的InP基E－HEMT阈值电压为+0.171 mV，最大跨导为697 mS/mm，截止频率和最大振荡频率分别为116 GHz和229 GHz。Tetsuya Suemitsu等基于两次栅凹槽工艺制作的InAlAs/InGaAs E－HEMT，阈值电压为49 mV，截止频率和最高振荡频率分别为208 GHz和460 GHz。表5.5-8为一典型的InP EHEMT结构。

表5.5-8　InP EHEMT外延层结构

层名	材料	掺杂浓度/cm^{-3}	厚度/nm
帽层	$In_{0.53}Ga_{0.47}As$	1E19	10
腐蚀停止层	AlAs	i	2.5
势垒层	InAlAs	i	12
Si平面掺杂5E12 cm^{-2}			
隔离层	InAlAs	i	5
沟道层	$In_{0.3}Ga_{0.7}As$	i	20
	InAlAs	i	5
	InAlAs	Fe	50
缓冲层	InP		25
半绝缘（100）InP衬底			

（5）HEMT器件及相关集成电路的发展水平

自1980年日本富士通公司首次研制出GaAs HEMT之后，HEMT技术以其在频率、噪声和功率方面的卓越性能，迅速成为微波毫米波单片及混合集成电路、超高速数字集成电路等技术领域的热点之一。MBE和MOCVD等材料生长技术的发展，相继出现了GaAs PHEMT、InP HEMT和GaAs MHEMT等新结构，加之半导体微细加工工艺不断向亚微米和深亚微米发展，器件和电路水平不断刷新，是目前微波毫米波通信系统和40 Gbit/s高速光纤通信系统、汽车雷达系统和电子对抗系统的关键技术之一。

目前国外GaAs PHEMT主流工艺线采用0.13～0.5 μm 152.4 mm（6 in）加工工艺；InP HMET由于衬底原因仍采用76.2～101.6 mm（3～4 in）加工工艺。1999年Motorola公司报道了在304.8 mm（12 in）Si衬底上成功生长GaAs薄膜，从而极大地刺激了化合物半导体技术领域包括MHEMT技术在内的改性衬底器件技术的发展，Huges公司等已开通152.4 mm（6 in）GaAs MHEMT工艺线，以克服InP材料缺乏大直径衬底的弱点。

表5.5-9为Fujitsu公司GaAs HEMT毫米波功放MMIC；表5.5-10为国外几种典型低噪声HEMT集成电路产品的性能；表5.5-11为国外文献报道的HEMT的最新研究水平。

表5.5-9　Fujitsu公司GaAs HEMT毫米波功放MMIC

产品型号	频率范围 f /GHz	输出功率 P_1dB /dBm	功率增益 G_1dB /dB
FMM5804X	17.5～30.0	25.0	18.0
	30.0～31.5	23.0	
FMM5811GJ-1	17.7～23.6	24.5	15.0
FMM5815X	17.5～20.0	31.0	21.0
FMM5815GJ-1	17.7～19.7	31.0	20.0
FMM5805X	17.5～20.0	31.0	21.0
FMM5805GJ-1	17.7～19.7	31.0	20.0
FMM5806X	24.0～27.0	26.0	9.5
FMM5807X	21.0～24.0	29.0	14.0
	24.0～27.0	30.0	
FMM5802X	27.5～31.5	25.5	9.0
FMM5803X	27.5～30.0	30.0	14.0
	30.0～31.5		12.0

表5.5-10　国外几种典型低噪声HEMT集成电路产品的性能

型号	频率 /GHz	增益 /dB	噪声系数 /dB	输出功率 /dBm	公司
FMM5701X	18～24	13.5	1.4	—	Fujitsu
FMM5702X	27～32	13.0	1.6	—	Fujitsu
FMM5704X	36～40	18	2.0	—	Fujitsu
XL1000	20.0～40.0	20.0	2.8	+8.0	Mimix
XL1002	20.0～36.0	23.0	2.6	+4.0	Mimix
HMMC-5023	21.2～26.5	24	2.5	—	Agilent

表5.5-11　国外最新HEMT研究水平

器件类型	工艺	器件和电路指标	研究机构
InAlAs/InGaAs PHEMTs	栅长0.25 μm	F_t = 562 GHz, F_{max} = 330 GHz, g_{max} = 1 230 ms/mm	2002年10月，日本Fujitsu
GaAs基InAlAs/InGaAs MHEMTs	栅长0.25 μm	40 Gbit/s OEIC-3 dB带宽为40 GHz，转换因子210 V/W	2003年9月，美国Raytheon
GaAs基InAlAs/InGaAs MHEMTs	栅长0.1 μm	F_t = 195 GHz	1999年3月，德国HSI
GaAs基InAlAs/InGaAs MHEMTs	栅长0.2 μm	功率放大器MMIC:56～63 GHz，PAE 43%，输出功率:224 mW，功率增益:7.5 dB	2000年9月，美国univ. of Illinois
GaAs基InAlAs/InGaAs MHEMTs	栅长0.8 μm	F_t = 204 GHz	2000年3月，美国univ. of Illinois
InGaAs/InAlAs HEMT	栅长0.1 μm	F_t = 175 GHz, F_{max} = 350 GHz, g_{max} = 1 140 mS/mm，100～Gbit/s MUX DMUX IC	2003年6月，日本NTT
InGaAs/InAlAs HEMT	0.3 μm	F_t = 547 GHz, F_{max} = 400 GHz, g_{max} = 1 500 mS/mm	2004年5月，日本Fujitsu
InAlAs/InGaAs HEMTs	栅长0.25 μm	F_t = 562 GHz, F_{max} = 330 GHz	2002年10月，Fujitsu
InAlAs/InGaAs HEMT	70 nm T-gate	G-band(140～220 GHz)放大器，15 dB(215 GHz)	December 2000，美国TRW
InAlAs/InGaAs/InP增强型HEMT	0.25 μm T－gate	F_t = 116 GHz, F_{max} = 229 GHz, g_{max} = 697 mS/mm	1997年7月，美国univ. of Illinois
InAs沟道HEMTs	栅长70 nm	F_t > 300 GHz(Vds = 0.7 V)	December 2003，美国HUGS

国内GaAs和InP HEMT技术的研究主要集中在河北半导体研究所、南京电子器件研究所、中科院微电子研究所、中科院半导体研究所、中科院物理研究所、中科院信息与微系统研究所等单位。研究领域涵盖了MBE和MOCVD材料生长、数字和微波集成电路设计与制造等领域，已有部分产品实现小批量生产。相关情况见表5.5-12。

表5.5-12 国内HEMT器件和相关集成电路产品和研究水平

器件结构	工艺	电路类型及结果	报道机构
GaAs PHEMT	栅长0.5 μm	1.8～2.8 GHz，NF＜1.5 dB，Ga＞25 dB，VSWR小于12	南京电子器件研究所
InP HEMT	栅长0.8 μm	－3 dB带宽7.2 GHz，输入等效噪声15.8$PA/\sqrt{Hz}$，跨阻增益47.5 dBΩ	河北半导体研究所
GaAs PHEMT	栅长0.5 μm	压控可变衰减器DC－5 GHz，输出驻波比分别为＜＝1.5和2.2 dB，单位衰减相移量≤1.5 du/dB	南京电子器件研究所
GaAs PHEMT	栅长0.25 μm	压控振荡器IC，中心频率30.12 GHz，输出功率12.5 dBm，调谐带宽＞150 MHz	河北半导体研究所
GaAs PHEMT	栅长0.5 μm	2～26 GHz功率放大器，增益6.5±0.5 dB，输入与输出VSWR小于2	南京电子器件研究所

1.3 异质结双极晶体管

异质结晶体管（Heterojunction Bipolar Transistors，HBT）是80年代发展起来的一种新型化合物半导体器件结构，尽管HBT的基本思想早在1951年就由美国科学家Shockley提出并申请了专利，1957年Kroemer进一步在理论上对异质结进行了阐述，但由于材料生长技术的限制，直到1972年才由Dumke等用液相外延（LPE）技术在GaAs上生长宽带隙的AlGaAs，成功得到了第一个晶格匹配的AlGaAs/GaAs异质结构，之后随着20世纪80年代分子束外延（MBE）和金属有机物化学气相淀积（MOCVD）等材料生长技术的出现和发展，包括GaAs基HBT在内的异质结器件技术得到了飞速发展，半导体器件技术由原来的"掺杂工程"进入了"能带工程"时代。HBT与HEMT器件相比，具有如下优势：①前者为纵向结构器件，特征截止频率F_t主要取决于载流子的纵向渡越时间，可很容易地由精确控制材料外延层厚度来确定，采用一般光学光刻设备即可；而后者为横向结构，其F_t主要取决于载流子的横向渡越时间，需要用复杂的电子束直写等深亚微米光刻技术；②前者阈值电压（或开启电压）由材料结构和生长精确控制，一致性好，而后者阈值电压由栅凹槽腐蚀工艺确定，分散性较大；③前者器件面积比后者小得多，因而有较高的集成度。④前者由于避免了表面和背栅效应的影响，因此其与后者相比具有更低的$1/f$噪声。

本节首先以AlGaAs/GaAs HBT为重点，介绍HBT的基本工作原理、器件结构和表征参量，然后再分别介绍其他几种InP/InGaAs HBT，AlInAs/InGaAs HBT，InP / GaAsSb HBT和GaAs/GaInNAs HBT等，最后介绍相关器件和集成电路的发展水平。

（1）器件工作原理

其基本思想是利用宽带隙半导体材料作为发射区，从而与窄带隙的基区材料形成异质结构的发射结，利用发射结两边材料存在能带差，既可以有效地抑制基区空穴向发射区的注入，提高发射极注入效率；又可以通过调制发射区和基区掺杂浓度来提高器件的频率特性。

与Si双极晶体管（BJT）技术、GaAs金属半导体场效应晶体管（MESFET）相比，利用$Al_xGa_{1-x}As$和$In_xGa_{1-x}P$等宽带隙材料作为发射区的GaAs基HBT技术，如$Al_xGa_{1-x}As$/GaAs HBT和$In_xGa_{1-x}P$/GaAs HBT，在频率性能等方面显示出了极大的优势。图5.5-8为突变结$Al_xGa_{1-x}As$/GaAs HBT能带结构示意图。

一般地，发射极电子电流I_{nE}与空穴电流I_{pB}注入比表示为

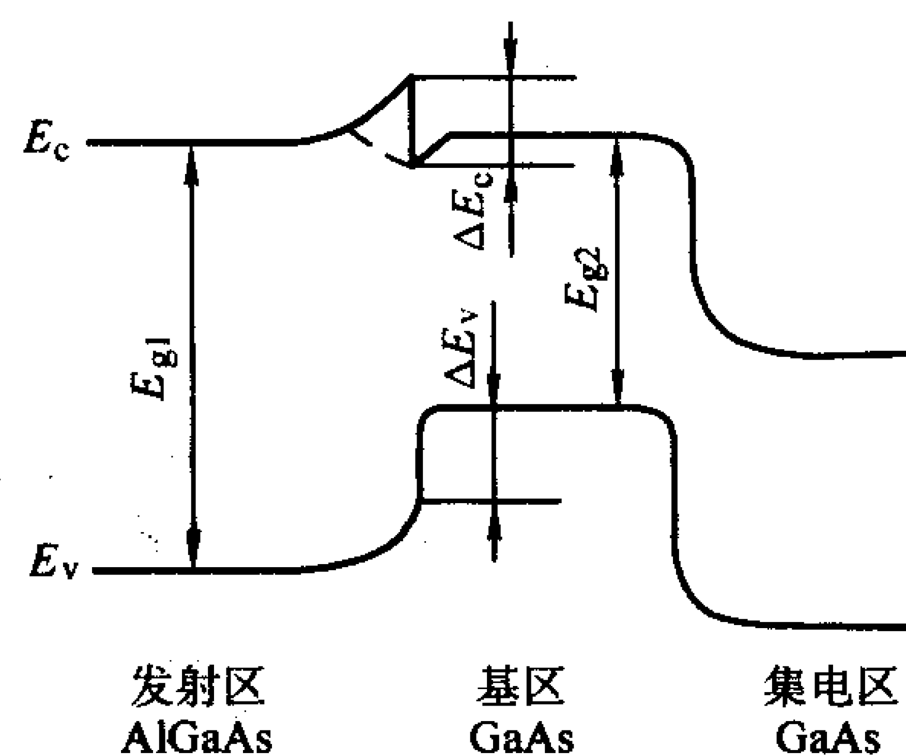


图5.5-8 突变结$Al_xGa_{1-x}As$/GaAs HBT能带结构示意图

$$\frac{I_{nE}}{I_{pB}}=\frac{D_{nE}L_{pB}N_{DE}(m_{pe}m_{nE})^{3/2}}{D_{pB}L_{nE}N_{AB}(m_{pB}m_{nB})^{3/2}}\exp\left(\frac{q(V_p-V_n)}{KT}\right)$$
$$\propto\frac{N_{DE}}{N_{AB}}\exp\left(\frac{q(V_p-V_n)}{KT}\right)$$

其中$\Delta E_g=E_{gE}-E_{gB}$，而D_{nE}、D_{pE}、L_{nE}、L_{pE}、m^*_{nE}、m^*_{pE}及D_{nB}、D_{pB}、L_{nB}、L_{pB}、m^*_{nB}、m^*_{pB}分别为n型发射区和p型基区材料中电子和空穴的扩散系数、扩散长度和有效质量，k为玻尔兹曼常数，T为绝对温度，N_{DE}和N_{AB}分别为发射区和基区的掺杂浓度，V_p和V_n分别为基区空穴进入发射区和发射区电子进入基区需要越过的能带势垒。

在突变结HBT中，由图5.5-8可以看出，$q(V_p-V_n)\approx\Delta E_v$；

$$\beta<\beta_{max}\propto\frac{N_{DE}}{N_{AB}}\exp\left(\frac{\Delta E_v}{KT}\right)$$

而在缓变结HBT中，导带能带不连续$\Delta E_n\to 0$，全部带隙差就表现在价带不连续，此时$q(V_p-V_n)\approx\Delta E_g$，此时HBT直流增益$\beta$就可以表示为

$$\beta<\beta_{max}\propto\frac{N_{DE}}{N_{AB}}\exp\left(\frac{\Delta E_g}{KT}\right)$$

由于上式中指数项$\exp(\Delta E_v/KT)$的存在，直流增益β的大小不再像同质结双极晶体管那样取决于发射区和基区掺杂浓度N_{DE}和N_{AB}，从而可以使基区p型掺杂浓度尽可能高，发射区n型掺杂浓度尽可能低，通常基区掺杂浓度比发射区掺杂浓度高出3～4个量级，以降低薄层基区的串联电阻和发射结电容，可实现在保持器件较高直流增益的同时，提高器件的高频特性。

（2）器件结构

GaAs基HBT一般采用与GaAs晶格匹配的宽带隙AlGaAs或InGaP作为发射区，窄带隙的GaAs作为基区和集电区；图5.5-9为典型的AlGaAs/GaAs HBT和GaInP/GaAs HBT外延层结构和器件横向结构示意图。

层名	材料	掺杂/cm^{-3}	厚度/nm
帽层	n$^+$ InGaAs	4E19	50
	n$^+$ GaAs	7E18	100
发射区	n AlGaAs 或 InGaP	5E17	100
基区	P + GaAs	4E19	500
集电区	n GaAs	2E16	400
下集电区	n$^+$ GaAs	5E18	450
衬底	半绝缘 GaAs		

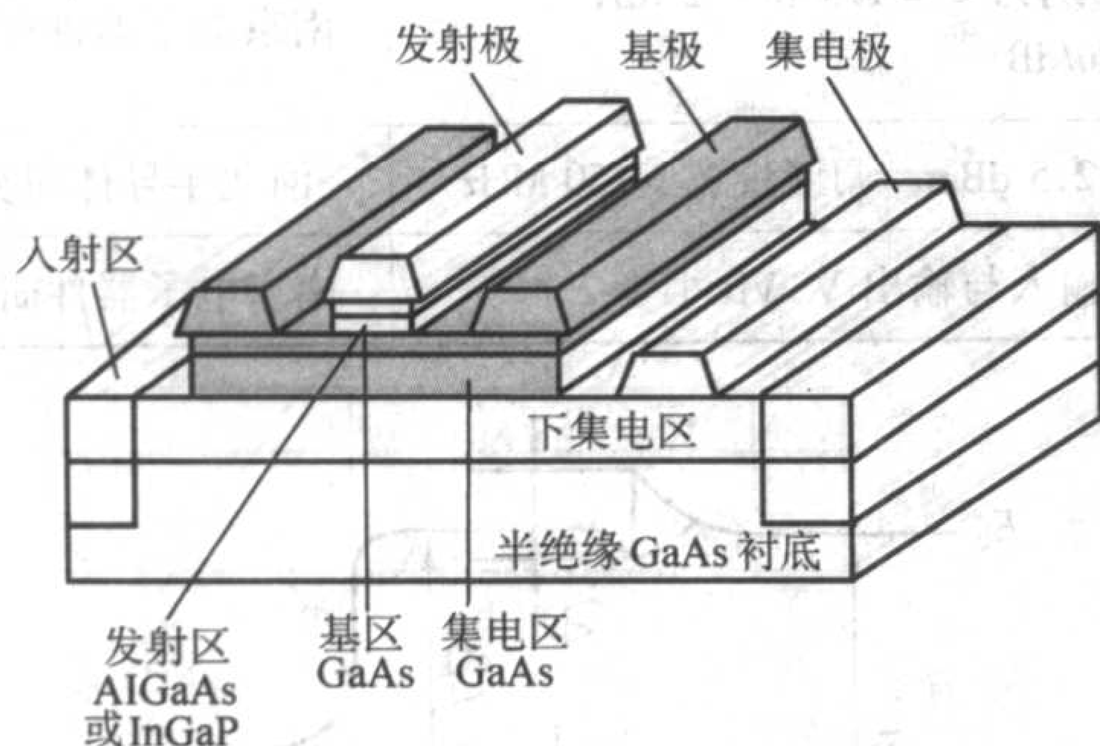


图 5.5-9　AlGaAs/GaAs HBT 和 GaInP/GaAs HBT 外延层结构和器件横向结构示意图

与 AlGaAs/GaAs HBT 相比，$In_xGa_{1-x}P$/GaAs HBT 在能带结构和制作工艺等方面具有较大优势，主要体现在后者避免了 Al 形成的深能级中心导致的可靠性问题，同时由于 GaInP 对 GaAs 可实现良好的选择腐蚀，提高了工艺的一致性。

(3) 表征参量

1) 直流参量　图 5.5-10 为一般 HBT 发射极电流 I_E、基极电流 I_B 和集电极电流 I_C 的构成示意图。HBT 的发射极电流 I_E、基极电流 I_B 和集电极电流 I_C 分别表示为:

$$I_E = I_{nE} + I_{pB} + I_{scr}$$

$$I_B = I_{pB} + I_{rB} + I_{scr} + I_{surf} - I_{gC}$$

$$I_C = I_E - I_B = I_{nE} - I_{rB} - I_{surf} + I_{gC}$$

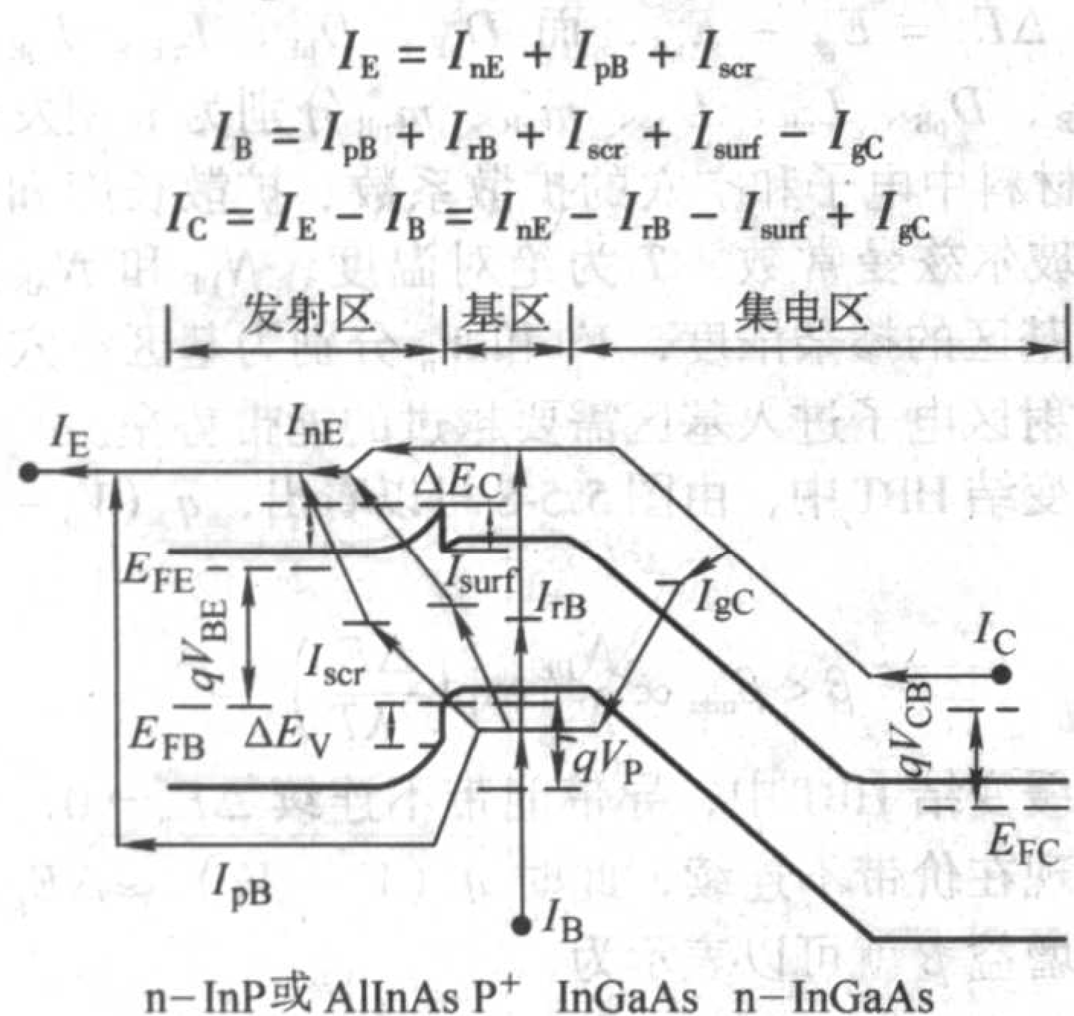


图 5.5-10　为一般 HBT 发射极电流 I_E、基极电流 I_B 和集电极电流 I_C 的构成示意图

发射极电流 I_E 由三部分构成：越过导带势垒发射极注入到基区导带中的电子电流 I_{nE}，基区空穴越过价带势垒进入发射区的空穴电流 I_{pB} 和发射区注入的电子通过 B−E 结空间电荷区复合中心与基区注入空穴复合形成的空间复合电流 I_{scr}。集电极电流 I_C 主要由发射区注入的基区的电子扩散到集电结形成，此外还包括基区的空穴在集电结空间电荷区复合所产生的电流 I_{gC}，因为集电结处于反向偏置，故这部分电流很小。因为集电结（即 BC 结）为同质结，工作在反偏状态，而且基区掺杂比集电区掺杂要高出 3 个量级，因此耗尽区几乎全部落在集电区一侧。这样电子到达集电结后，被加在耗尽区的高电场扫入集电极形成集电极电流。

基极电流 I_B 主要包括如下几部分：基区空穴越过价带势垒进入发射区与发射区内部或发射区表面电子复合形成的空穴流 I_{pB}，基区空穴与发射区注入的电子在准中性基区扩散过程中复合形成的基区体复合电流 I_{rB}，通过 E−B 界面复合中心与发射区注入的电子复合形成的空间电荷区复合电流 I_{scr}，通过发射区周围外基区表面与发射区注入电子复合形成的外基区表面复合电流 I_{surf} 以及基区空穴在集电结空间电荷区复合所产生的电流 I_{gC}。

HBT 的直流参量主要有直流增益、EB 结开启电压、击穿电压等。

2) 共发射极直流增益　一般共发射极直流增益 β 定义如下

$$\beta = \frac{I_C}{I_B} = \frac{I_{nE} - I_{rB} - I_{surf} + I_{gC}}{I_{pB} + I_{rB} + I_{scr} + I_{surf} - I_{gC}}$$

3) E−B 结开启电压　晶体管的开启电压对于电路应用来说是个很重要的参数，因为它决定了器件的工作状态和整个电路的功耗，其一致性是相关集成电路设计与制造的关键。HBT 的开启电压 V_{on} 是由异质结 E−B 结的内建电势 V_{bi} 决定的。

HBT 开启电压 V_{on} 表示为

$$V_{on} \approx \frac{E_{gB} + \Delta E_C}{q}$$

对于缓变结 HBT，导带不连续差 $\Delta E_c \to 0$，于是

$$V_{on} \approx \frac{E_{gB}}{q}$$

由于带隙宽度和导带带隙不连续差取决于异质结系统材料的自身特性，因此 HBT 的开启电压具有很好的一致性和可重复性。

4) 击穿电压 BV_{CBO}　发射极开路时 B−C 结的反向击穿电压定义为发射极开路击穿电压 BV_{CBO}，是 HBT 的重要直流参数之一，决定了 HBT 的输出电压摆幅，对功率 HBT 来说尤为重要。

$$BV_{CEO} = BV_{CBO}\ (1 - \alpha_0)^{1/n}$$

α_0 为共基极电流增益，n 为常数。可以看出 HBT 的击穿电压与集电区材料的带隙宽度、掺杂浓度及厚度有关。集电区材料带隙宽度越宽，掺杂浓度越低，厚度越大，器件的 B−C 结的击穿电压就越高。

表征 HBT 高频特性的两个重要指标电流增益截止频率 F_t 和最高振荡频率 F_{max}。F_t 定义为共发射极电流增益 h_{fe} 下降到 1 时的频率；而 F_{max} 定义为共发射极单向功率增益 U 下降到 1 时的频率。通常 F_t 和 F_{max} 用下面的公式与器件结构参量和物理参量联系起来：

$$\frac{1}{2\pi f_t} = \frac{kT}{qI_C}(C_{be} + C_{bc}) + (R_{ex} + R_c)C_{bc} + \tau_b + \tau_{cd}$$

$$f_{max} = \sqrt{\frac{f_t}{8\pi R_b C_{bc}}}$$

式中，R_{ex}、R_b 和 R_c 分别为发射极、基极和集电极寄生电阻，C_{be} 和 C_{bc} 分别为发射结和集电结结电容，τ_b 和 τ_{cd} 分别为基区和集电结空间电荷区渡越时间，I_c 为集电极电流。可以看到，降低基区和集电区度越时间 τ_b 和 τ_{cd} 可以提高 F_t。

(4) 几种其他结构Ⅲ-Ⅴ材料系 HBT

1) InP/InGaAs HBT 和 InAlAs/InGaAs HBT　由于 InP 基 HBT 材料系统固有的优越性，使得其在许多方面都优于 GaAs 基 HBT：①发射极/基极异质结界面能带不连续 ΔE_g 较大，使得其发射极注入效率高，提高了器件的直流增益；②

基区 InGaAs 材料禁带宽度较窄，导致 EB 结开启电压较低，从而降低了电路功耗；③由于 InP、InGaAs 和 InAlAs 材料 $\Gamma-L$能谷间隔较大，易产生速度过冲，从而减少了集电区渡越时间，改善了器件的高频性能；④InGaAs 基区表面复合速度为 1×10^3 cm/s，比 GaAs 材料表面复合速度约低 3 个数量级，使得表面复合电流较小，加之不存在 DX 复合中心使小尺寸器件电流增益和器件的 $1/f$ 噪声得到改善；⑤由于基区 InGaAs 材料电子有效质量较小，使得基区电子迁移率较高，因此表现出更高的特征频率；⑥InP 材料的热导率为 0.68 W/cm·K，比 GaAs 材料的热导率高 50%，这使得同样功率的器件，InP 衬底器件比 GaAs 衬底器件工作温度低，从而器件工作寿命长；此外在材料上与 1.3 ~ 1.5 μm 波长的光纤通信用激光器和探测器材料体系兼容，适于作为光纤通信系统和微米毫米波系统中超高速光电集成电路。

按集电区材料分（表 5.5-13），InP 基 HBT 分为以窄带隙 InGaAs 材料为集电区的单异质结 HBT（SHBT）和以宽带隙 InP 材料为集电区的双异质结 HBT（DHBT），在开始有关 InP HBT 的研究集中于单异质结 SHBT，由于集电区 InGaAs 的带隙较窄（0.76 eV），器件的击穿电压 BVceo 较低，一般仅有 2.0 ~ 3.0 V；尽管可以增大基区和集电区宽度来使击穿电压得到一定的提高，但这样会大大降低器件的频率特性；为了有效地提高器件的击穿电压，改善器件的功率特性，集电区引入了带隙较宽的 InP 材料（1.35 eV）形成双异质结 DHBT，使器件的击穿电压提高到 10 V 以上。双异质结 DHBT 的问题是，由于集电区采用宽带隙材料，使得在集电结异质结面导带能级会形成一“尖峰”，阻碍了电子从基区向集电区的漂移运动，而形成所谓的电流阻塞效应，对器件的频率性能产生一定的负面影响。为了消除双异质结 DHBT 的电流阻塞效应，一般需要在集电结集电区一侧插入一定厚度组分缓变的 InGaAsP 或者 InGaAs/InAlAs 超晶格缓冲层，从而同时获得较高的击穿电压和良好的频率性能。

表 5.5-13　典型的 InP SHBT（a）和 DHBT（b）外延材料结构

(a)

层名	材料	掺杂/cm^{-3}	厚度/nm
帽层	n$^+$ InGaAs	4E19	50
	n$^+$ InP	7E18	100
发射区	n InP 或 AlInAs	5E17	100
基区	P+ InGaAs	4E19	50
集电区	n InGaAs	2E16	400
下集电区	n$^+$ In GaAs	5E18	450
衬底	半绝缘 GaAs		

(b)

层名	材料	掺杂/cm^{-3}	厚度/nm
帽层	n$^+$ InGaAs	4E19	50
	n$^+$ InP	7E18	100
发射区	n InP 或 AlInAs	5E17	100
基区	P+ InGaAs	4E19	50
缓变层	i InGaAsP	—	300
集电区	n InP	2E16	400
下集电区	n$^+$ In GaAs	5E18	450
衬底	半绝缘 GaAs		

2）GaAs/GaInNAs HBT　在传统 GaAs 基 AlGaAs/GaAs HBT 和 GaInP/GaAs HBT 中，由于基区材料 GaAs 带隙较大（E_g = 1.42 eV）导致发射结（EB）开启电压 V_{on} 较高，使功耗较大，从而大大限制了其在低功耗电路方面的应用。降低 HBT 功耗的关键在于选用带隙较窄的材料作为基区以降低 V_{on}。

近年来，新型四元 GaInNAs 系材料在Ⅲ/V 族材料生长技术和相关异质结电子器件及光电器件领域引起了国内外研究机构的广泛注意。在生长 InGaAs 的过程中掺入少量 N 一方面可以降低晶格常数，从而减小在 GaAs 上生长 InGaAs 层的应变，实现与 GaAs 材料的晶格匹配；另一方面，由于禁带弯曲作用，在 GaAs 中掺入少量 N 时其带隙 E_g 将降低。通过控制生长过程中掺 N 的比例，可以得到晶格匹配或应变的 GaInNAs 材料，其带隙可以实现在 1.42 ~ 0.71 eV 范围内变化；这样用禁带宽度较窄的 GaInNAs 材料取代原来 AlGaAs/GaAs 或 GaInP/GaAs HBT 中的 GaAs 作为基区，就可形成一种新型的基于 GaAs 技术的低功耗的 AlGaAs/GaInNAs 或 GaInP/GaInNAs HBT，图 5.5-11 为 GaInP / GaAs HBT 和 GaInP / GaInNAs HBT 能带结构对比。可以说 GaInP/GaInNAs HBT 的发展，是半导体能带工程和先进材料外延生长技术结合的产物。

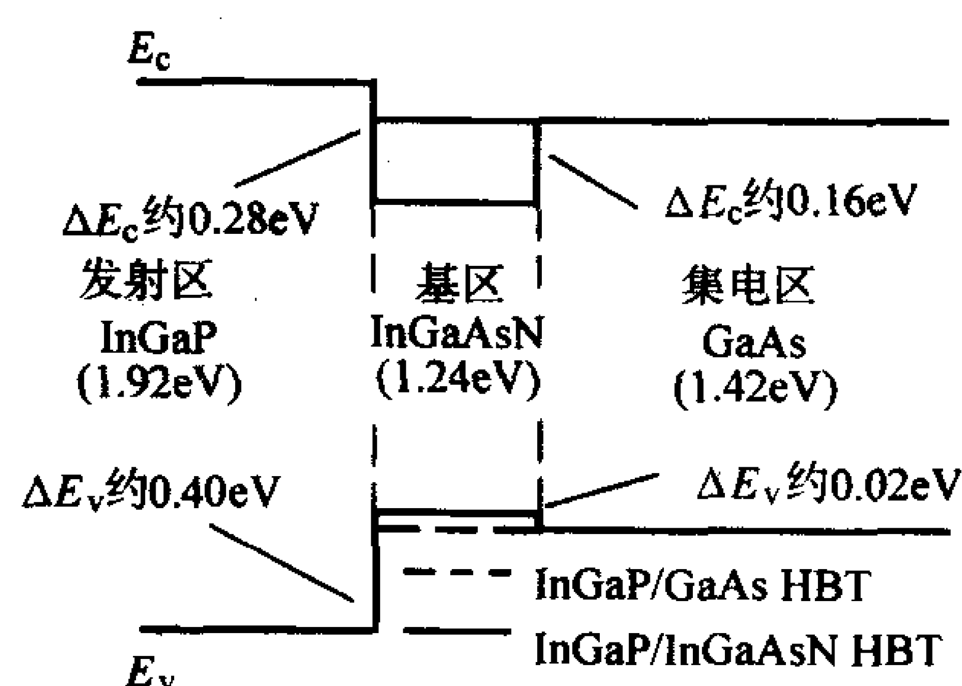


图 5.5-11　GaInP/GaAs HBT 和 GaInP/GaInNAs HBT 能带结构对比

与昂贵的 InP/InGaAs HBT 技术相比，用 GaInNAs 材料作为基区的 HBT 由于采用 GaAs 衬底，在工艺上基本与目前已成熟的 101.6 ~ 152.4 mm（4 ~ 6 in）AlGaAs/GaAs 或 GaInP/GaAs HBT 生产工艺线相兼容，从而大大降低了设备投入和工艺成本，使其极有可能成为与 GaAs 基改性外延材料（Metamorphic）InP/InGaAs 并列的低功耗 HBT 的优选方案之一。全球最大的Ⅲ-V 族化合物半导体 HBT 外延片供应商美国 Kopin 公司 2002 年开始面向下一代移动通信用功率放大器推出 GaInP/GaInNAs/GaAs HBT MOCVD 外延片产品，较一般 AlGaAs/GaAs 或 GaInP/GaAs HBT，其特征截止频率可提高 35%，功率附加效率和线性度也有不同程度的提升。

3）InP/GaAsSb HBT　为了解决 InP（InAlAs）/InGaAs/InP DHBT 集电结异质结面导带能级“尖峰”引起的电流阻塞效应的困扰问题，除了用前面提到的在异质结面插入 InGaAsP 或超晶格缓变层技术来缓解外，C. R. Bolognesi 等提出采用 GaAsSb 来代替 InGaAs 作为 P 型基区材料。室温 $GaAs_{0.51}Sb_{0.49}$ 的带隙宽度为 0.72 eV，其与 InP 形成的异质结界面导带能级和价带能级比 InP 的导带能级和价带能级分别高出0.15 eV 和 0.78 eV，这样就从根本上解决了常规 InP DHBT 存在的电流阻塞效应，同时还可以抑止空穴反向注入发射区而提高发射极注入效率；此外，由于 GaAsSb 的带隙宽度较 InGaAs 的带隙宽度更小，因此 InP/GaAsSb HBT 较 InP/InGaAs HBT 开启电压更低，功耗更小，从而成为第二代 InP HBT，在高频、高速、低压和低功耗电路中应用前景良好。采用厚度为 25 nm的掺 C 基区结构，InP/GaAsSb/InP DHBT 可以实现 F_t、F_{max} 分别高达 270 GHz 和 300 GHz，击穿电压 BV_{CEO} > 6 V，如果基区厚度减薄到 20 nm，F_t、F_{max} 分别可以达到 305 GHz 和

230 GHz，而击穿电压没有降低。图 5.5-12 为平衡态下 InP/GaAsSb/InP DHBT 能带结构示意图。

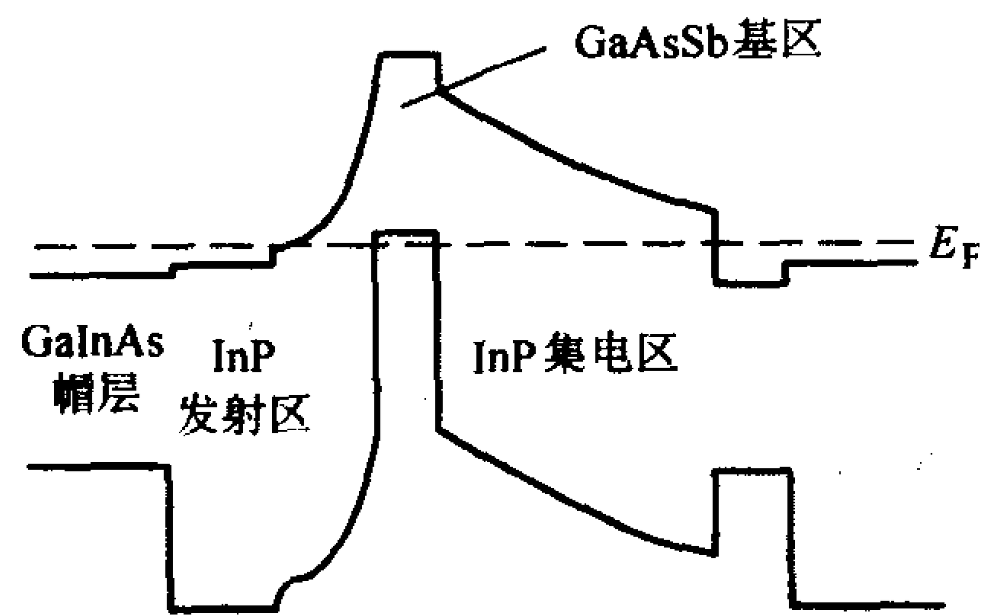


图 5.5-12 平衡态下 InP/GaAsSb/InP DHBT 能带结构示意图

4）GaAs 基 InP（InAlAs）/InGaAs MHBT 与 GaAs HBT 相比，InP HBT 尽管具有高频和低功耗的优势，但一直受到缺乏大直径廉价 InP 衬底材料的困扰。受 InP MHEMT 技术研究的突破所启发，GaAs 基 InP（InAlAs）/InGaAs MHBT 技术也开始受到关注，即在 GaAs 衬底上通过缓冲层材料的设计和生长来克服晶格失配问题，生长出适合器件要求的高质量外延层结构，以突破 InP 衬底材料在尺寸、成本和机械强度问题上对 InP HBT 技术推广的限制；但与 HEMT 不同的是，HBT 有源区外延层厚度较厚，一般在 1 μm 左右，因而对缓冲层材料生长的控制难度更大。UCSB 的 Y.M.Kim 等用不掺杂1.5 μm InP作为缓冲层，用 MBE 系统在 GaAs 衬底上生长了 InP/InGaAs/InP DHBT 结构，表 5.5-14 所示，发射极面积 0.7×8 μm 的器件 F_t 和 F_{max} 分别为 284 GH 和 216 GHz，击穿电压 BV_{CEO} 为 5 V，直流增益为 21。

（5）GaAs 和 InP HBT 发展水平

表 5.5-14 GaAs 衬底改性 InP/InGaAs/InP DHBT 外延层结构示意图

层名	材料	掺杂/cm^{-3}	厚度/nm
帽层	n$^+$ InGaAs	4E19	50
	n$^+$ InP	7E18	100
发射区	n InP 或 AlInAs	5E17	100
基区	P+ InGaAs	4E19	500
缓变层	i InGaAsP	—	300
集电区	n InP	2E16	400
下集电区	n$^+$ In GaAs	5E18	450
衬底	半绝缘 GaAs		

随着材料生长技术和器件工艺水平的改进，特别是光纤通信系统和微波毫米波无线通信系统的迅猛发展对集成电路在速度和功耗等方面的要求进一步提高，GaAs HBT 和 InP HBT 技术在 20 世纪 90 年代中后期趋于成熟，并从实验室和军用高端产品转向商用，开始分别在个人无线通信系统和 40 Gbit/s 光纤通信系统中崭露头角。包括一些原来从事 GaAs MESFET 和 HEMT 的生产公司（如 Vetessi 半导体和 Anadigic 公司等）在内的美国和欧洲化合物半导体公司纷纷转向或加大 GaAsHBT 和 InP HBT 工艺的开发，今天 InP HBT 技术与 InP HEMT 和 GeSi HBT 技术已 40 Gbit/s 以上速率光通信系统集成电路技术的优选方案。与此同时，为了满足更高速率如 80 Gbit/s 和 160 Gbit/s 光纤通信系统和 THz 技术发展的需要，InP HBT 也开始像 Si CMOS 技术一样向亚微米和深亚微米工艺发展，频率得到大幅度提高，并开始逼近 THz。表 5.5-15 为国外Ⅲ-Ⅴ族 HBT 技术的最新发展水平。

表 5.5-15 国外Ⅲ－Ⅴ族 HBT 技术最新发展水平

器件类型	工艺	器件和电路指标	研究机构
AlGaAs/GaAs HBT	L-shaped 自对准基极电极	F_{max} = 253 GHz F_t = 83 GHz	December 1995，日本 Matsusihta
InGaP/GaAs HBT	发射极：0.5 μm×4.5 μm，全自对准工艺	F_t = 156 GH，F_{max} = 255 GHz，1:8 分频器触发频率 39.5 GHz	1998.12，日本 Hitachi
GaInP/GaAs HBTs	自对准工艺	2 GHz 频率，输出功率 14 W，工作电压 26 V，PAE = 71%，增益 14 dB	December 2004，德国 Ferdinand-Braun Institut
GaInP/GaAs HBTs	集电区厚度 3.5 μm，掺杂浓度 4×10^{15}/cm^3，发射极面积 5 000 μm^2	BVcbo 80 V，BVceo 47 V，F_t > 20 GHz，2 GHz 频率下 Pout = 10 W，PAE = 50% ~ 79%，增益 = 8 ~ 13 dB	December 2003，德国 Ferdinand-Braun
InP/InGaAs SHBTs	发射极：0.35 mm×3 μm，全自对准工艺	1:2 和 1:4 静态分频器，触发频率 152 GHz，F_t 和 F_{max} > 300 GHz	2004 年 4 月，美国 Vitessi
InP/InGaAs/InP DHBT	0.25 μm×4 μm，自对准工艺	F_t > 400 GHz，F_{max} > 400 GHz	2004 年 12 月，美国 UCSD
InP/InGaAs SHBTs	发射极面积：0.25 μm×8 μm，自对准工艺	F_t = 550 GHz，F_{max} = 255 GHz，BV_{ceo} > 2 V	2004 年 12 月，美国 univ. of Illinois
InP/InGaAs/InPDHBT	0.4 μm×2 μm	F_t 和 F_{max} > 300 GHz；CML 环振门延迟为 1.95 ps；ECL 静态分频器 IC 工作速率为 152 GHz	2004 年 8 月，美国 Vitesse
InP/InGaAs SHBTs	发射极面积：0.25 μm×8 μm	F_t = 215 GHz，F_{max} = 687 GHz；	2004 年 12 月，韩国 POSTECH
InP/InGaAs/InPDHBT	自对准工艺	F_t = 370 GHz，F_{max} = 459 GHz	2004 年 12 月，美国 univ. of Illinois
InP/GaAsSb/InP DHBT	自对准工艺	F_t = 270 GHz 和 f_{max} > 300 GHz 和 BV_{CEO} > 6 V	December 2000，加拿大 SFU
InGaP/InGaAsN/GaAs DHBT	发射极面积 405 μm^2	F_t = 40 GHz，F_{max} = 30 GHz BV_{CEO} > 5，BV_{cbo} = 22 V，BV_{beo} = 6.8 V 1.9 GHz CDMA 功率放大器 IC，输出功率 21 dBm，增益 18.5 dB，PAE = 53.3%	2002 年 10 月，美国 TriQuint，Kopin
GaAs MDHBT	发射极面积：0.6 μm×8 μm	F_t = 284 GHz，F_{max} = 216 GHz，BV_{CEO} > 5	2004 年 4 月，美国 UCSB

较 HEMT 技术而言，国内在 GaAs 和 InP HBT 方面与国外差距较大，主要研究单位如河北半导体研究所、中科院微电子研究所和南京电子器件研究所等单位仍处于研究阶段，距批量生产尚有较大差距。表 5.5-16 为国内Ⅲ-Ⅴ族 HBT 技术发展情况。

表 5.5-16　国内Ⅲ-Ⅴ族 HBT 技术发展情况

器件结构	工艺	器件及电路性能	报道机构
InGaP/GaAs HBT	自对准工艺	$F_t = 54$ GHz，$F_{max} = 71$ GHz	中科院微电子所
InGaP/GaAs HBT	U 型发射极自对准	$F_t = 108$ GHz，$F_{max} = 140$ GHz，$BV_{CEO} = 25$ V	中科院微电子所
AlGaAs/GaAs HBT	自对准工艺	F_t、$F_{max} = 40$ GHz，触发器和静态分频器 0～8 GHz，上升和下降时间 < 80 ps	河北半导体研究所
AlGaAs/GaAs HBT	自对准	F_t、$F_{max} = 40$ GHz，－3 dB 带宽 2.1 GHz，增益 70 dBOhm；－3 dB 带宽 7 GHz，增益 60 dBOhm，可级联放大器－3 dB 带宽 3 GHz	河北半导体研究所
InP/InGaAs SHBT	自对准	$F_t = 53$ GHz，$F_{max} = 72$ GHz，10 Gbit/s 跨阻放大器；3 Gbit/s 光接收 OEIC	河北半导体研究所
AlGaAs/GaAs HBT	自对准	$\beta \geq 25$，X 波段功率输出大于 5 W，功率密度达到 2.15 W/mm	南京电子器件研究所
AlGaAs/GaAs HBT	微空气桥自对准	$F_t > 30$ GHz，$F_{max} = 50$ GHz	西安电子科技大学

1.4　微波二极管

微波二极管是 GaAs 和 InP 材料在微波毫米波领域微电子器件重要应用方面之一，在 20 世纪 70 年代曾是主要的固态微波有源器件。GaAs 和 InP 基微波二极管包括变容二极管、Pin 二极管、隧道二极管、碰撞电离雪崩渡越时间（IMPATT）二极管、体效应（TED）二极管、共振隧穿二极管（RTD）IMPATT 二极管等。下面仅对 GaAs 和 InP 材料在几类较重要的微波二极管应用方面，如碰撞电离雪崩渡越时间（IMPATT）二极管、体效应（TED）二极管、共振隧穿二极管（RTD）等进行介绍。

（1）碰撞电离雪崩渡越时间（IMPATT）二极管

1）基本原理　碰撞电离雪崩渡越时间（IMPATT）二极管的基本原理是结合势垒区载流子的碰撞电离效应和渡越时间效应，利用雪崩延迟和渡越时间延迟使电流落后于电压并引起负阻效应，从而产生微波振荡。

2）基本结构和表征参量　图 5.5-13 为 IMPATT 二极管的代表 Read 二极管的结构和原理示意图。器件有源区由注入区和漂移区组成，载流子在注入区（雪崩区）内由强电场下的碰撞电离产生，然后注入漂移区。其表征参量有振荡频率和最大输出功率等。

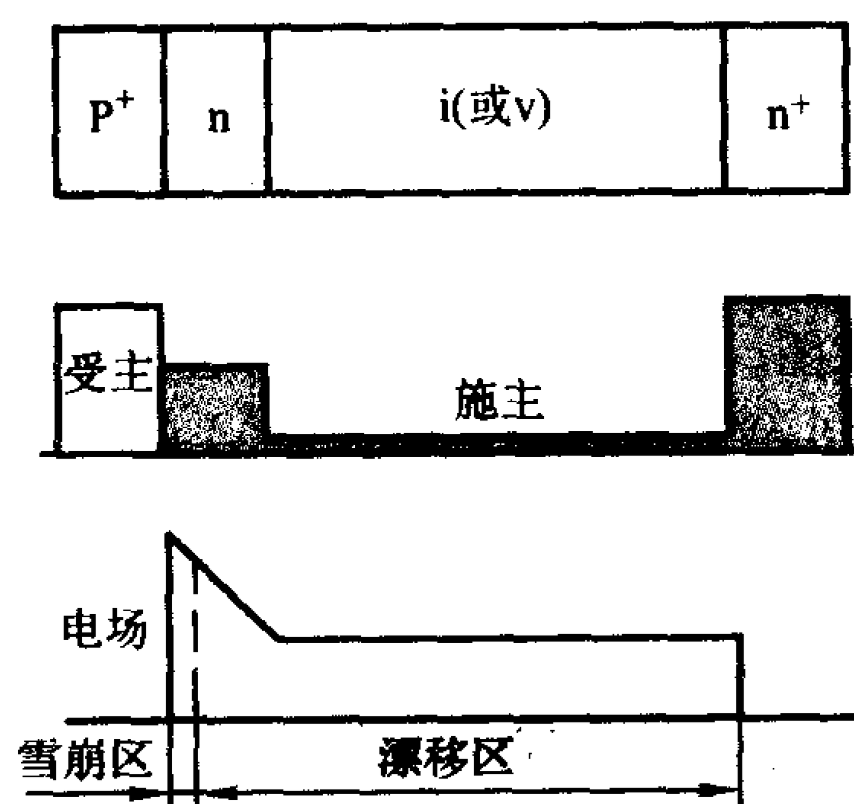


图 5.5-13　Read 二极管的结构和原理示意图

振荡频率：当漂移区的电场强度足够强时，载流子以饱和漂移速度 v_s 渡越漂移区，设漂移区厚度为 W，则载流子渡越时间 $\tau = W/v_s$。IMPATT 二极管的微波振荡频率 f 可以根据 $\tau = 1/2f$ 来估计。

最大输出功率：在低频时，IMPATT 二极管的输出功率 P 主要受散热条件的限制，$Pf =$ 常数，IMPATT 二极管的最大功率随 $1/f$ 下降。

在高频时，IMPATT 二极管的最大输出功率 P_m 主要受电学条件，即雪崩击穿电压 V_m（或临界电场 ε_c）和饱和漂移速度 v_s 的限制。一般地，$P_m = A\varepsilon_c^2\, v_s^2/(4\pi f^2 \chi_c)$，$\chi_c = 2\pi f_c$ 为器件的阻抗。可以看出器件最大功率随 $1/f^2$下降。

除了振荡频率和输出功率外，效率和噪声也是 IMPATT 二极管的重要参数。由于在电场给定时，GaAs 材料电子和空穴电离率基本相同，所以 GaAs IMPATT 二极管的噪声一般较 Si IMPATT 二极管的低。

3）发展水平及应用　IMPATT 二极管是最重要的微波有源器件之一，可以在毫米波时产生很高的连续功率，可广泛用于 30～300 GHz 频段；在微波通信、雷达发射机等微波功率源模块中起重要作用。

值得指出的是，除 IMPATT 二极管之外，按载流子产生和注入的机制不同，还有其他几种渡越时间二极管，如势垒注入渡越时间（BARITT）二极管、隧穿（TUNNETT）渡越时间二极管、量子阱注入渡越（QWITT）二极管、混合隧道雪崩渡越时间（MITATT）二极管等。

（2）转移电子二极管（TED）

1）基本原理　转移电子二极管（TED）又称为体效应器件，其基本工作原理是利用强电场下，电子在半导体导带的两个不等价能谷之间转移，而出现的负微分迁移率效应与外电路配合产生微波振荡和放大；这种转移电子效应在 n 型 GaAs 和 n 型 InP 等双能谷化合物半导体材料中比较典型，如图 5.5-14 所示。

表征空间电荷随时间衰减的介质弛豫时间 $\tau_d = \varepsilon/(n e \mu_d)$，式中 ε 是介电常数，n 是热平衡状态下的电子浓度，μ_d 是在直流偏压点处的微分迁移率；电子渡越时间常数 τ_t 为 $\tau_t = L/v$，式中 L 是器件有源区长度，v 是电子漂移速度。

电子转移器件有不同的工作模式，其中最重要的有三种即积累层模式、偶极畴渡越时间模式和促灭畴模式。其工作状态取决于器件本身的性质和外电路的情况，可实现微波振荡和放大功能。其中偶极畴模式器件又称为 Gunn 振荡二极管。NL 乘积是形成稳定偶极畴振荡或稳定放大的判据。当 $\tau_t > \tau_d$，即 $nL > \varepsilon v / e|\mu_d|$时，形成渡越的稳定偶极畴，畴由

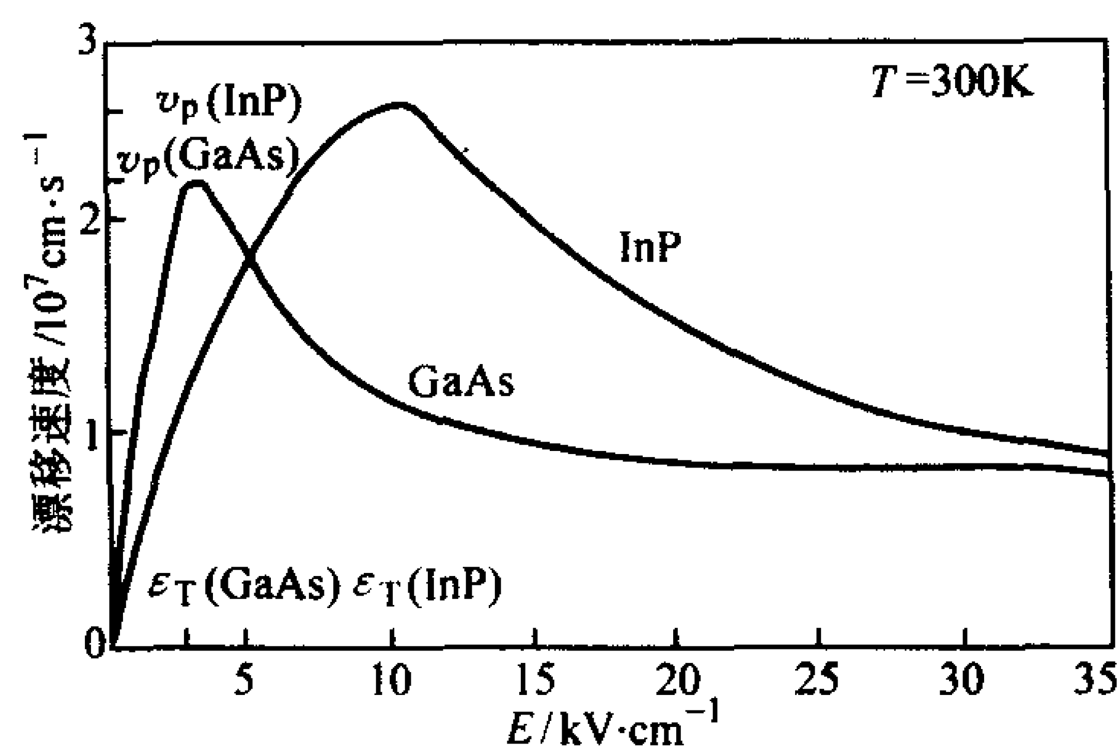


图 5.5-14 GaAs 和 InP 材料的电子漂移速度和电场关系

负极向正极以近于电子饱和漂移速度 v 的速度渡越，周而复始，便形成了微波振荡；当 $\tau_t < \tau_d$，即 $nL < \varepsilon v/e|\mu_d|$ 时，不能形成畴，但存在从负极向正极传输的稳定增长的空间电荷，从而形成微波功率的放大。

畴模振荡的基本关系一般表示为

中心频率：$f_0 \approx vd/L$（Hz）

形成稳定的偶极畴的条件 $nL > 1 \times 10^{12}$（cm^{-2}）

其中 v_d 为畴的稳态漂移速度，室温时对于 GaAs，$v_d \approx 1 \times 10^7$ cm/s；对于 InP，$v_d \approx 1.3 \times 10^7$ cm/s

2）基本结构和表征参量 图 5.5-15 为一简单的 GaAs Gunn 二极管结构示意图，在工作时，外加偏压主要是加在 n 层上，该区是产生微波振荡的工作区。在阴极采用 AlGaAs 缓变 Al 组分结构，在 94 GHz 频率得到了 68 mW 功率输出。H. Eisele 等通过改进器件的散热用 InP Gunn 二极管在 103 GHz，132 GHz，152 GHz 和 162 GHz 振荡频率分别实现 了 200 mW、130 mW、80 mW 和 25 mW 的功率输出，在 102 ~ 132 GHz 频率范围 DC - RF 转换效率增加了 2.3%。

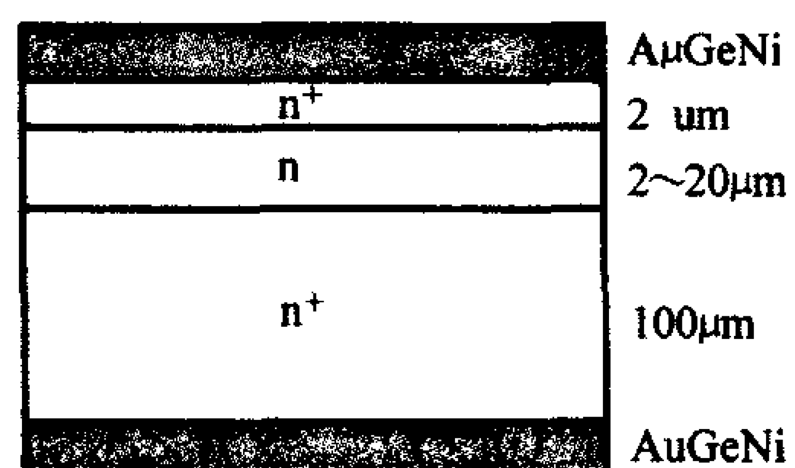


图 5.5-15 简单的 GaAs Gunn 二极管结构示意图

GaAs 和 InP Gunn 二极管是一种重要的固态微波有源功率器件，可广泛地用于宽带微波固态频率源、雷达和通信系统的本振及小功率发射机等低噪声和中低功率微波系统，具有体积小、电压低、频带宽和寿命长等特点，是毫米波固态频率源重要的有源器件之一。与 IMPATT 二极管相比，TED 的输出功率和转换效率较低，但具有噪声小、工作电压低和电路设计较容易等特点。尽管后来出现的 GaAs MESFET 和 HEMT 等微波晶体管基本取代了 30 GHz 以下的 Gunn 二极管的应用，但在部分特别要求的低噪声本振应用方面，GaAs 和 InP Gunn 二极管等电子转移器件在毫米波固态源应用方面仍有很大需求。表 5.5-17 为 MDT 公司生产的 V 波段和 W 波段 GaAs Gunn 二极管的特性参数。

（3）振隧穿二极管（RTD）

1973 年 Tsu 和 Esaki 指出谐振隧穿二极管（RTD）的具有微分负阻效应，之后 Chang 等证实了异质结势垒的电子隧穿效应。随着 MBE、MOCVD 等材料外延生长技术的发展，RTD 等以谐振隧穿效应为基础的量子器件得到了飞速发展。RTD 可以使集成电路的集成度增加，工作速率提高，可以用较少器件实现逻辑功能，成为量子耦合器件及电路发展的一个重要标志。

表 5.5-17 MDT 公司生产的 V 波段和 W 波段 GaAs Gunn 二极管的特性参数

频率 /GHz	功率 /mW	工作电压 /V	工作电流	
			/mA·min	/mA·max
60.5 ~ 85.0	10	4.5	400	900
60.5 ~ 85.0	50	5.0	500	1 100
85.0 ~ 95.0	10	4.5	450	1 100
85.0 ~ 95.0	20	4.5	500	1 000
85.0 ~ 95.0	50	5.0	450	1 200

1）基本工作原理 谐振隧穿二极管（RTD）是一种基于谐振隧穿效应为基础的双势垒 - 量子阱结构二极管。图 5.5-15a）为 GaAs 和 AlGaAs 交替生长形成的双势垒量子阱结构能带图，中间的 GaAs 为阱区，两侧的宽带隙 AlGaAs 为势垒区，在量子阱结构上部和下部为 GaAs 重掺杂欧姆接触层。当 GaAs 势阱宽度足够窄时，势阱中的能级形成量子化的子能级 E_0、E_1、E_2…。当外加电压为零时，费米能级 EF 上的电子能量低于量子化能级 E_0，隧穿电流为零；当外加电压是 E_F 升高到与 E_0 相等时，能量与 E_0 对应的电子从高度为 ΔE 的第一个势垒的左端谐振隧穿至阱中，然后在第二个势垒处发生隧穿，进入未被占据的量子态形成隧道谐振电流。随着外加电压的增高，参与谐振隧穿的电子数目增加，电流上升；当导带的 E_C 达到谐振能级 E_0 时，这时谐振电流达到峰值 I_p；外加电压再增大，E_C 将大于 E_0，此时电子脱离谐振，电流下降到谷值 I_v，出现负微分电阻效应（NDR）。随着外加电压的进一步增加，E_f 附近的电子又与 E_1 能级谐振，电流继续增加。图 5.5-16b)、c）和 d）为谐振隧穿原理示意图和典型的 RTD 电流 - 电压曲线。

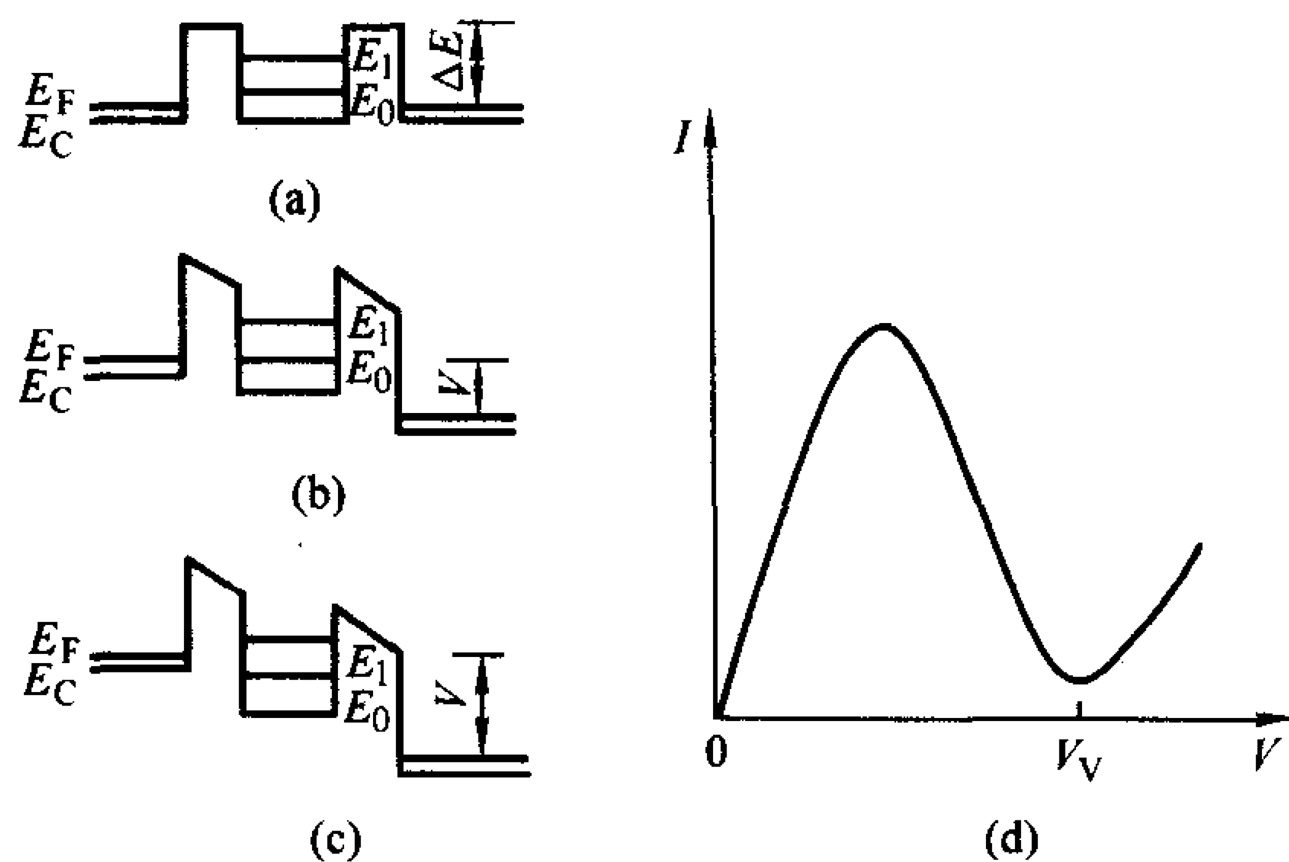


图 5.5-16 谐振隧穿原理示意图和典型的 RTD 电流 - 电压曲线

2）基本结构和特性表征 图 5.5-17 为一典型的台面式 RTD 结构示意图。由两层 1.5 nm（15 Å）的势垒 AlAs 材料（带隙宽度2.16 eV）和一层 5 nm（50 Å）厚的势阱 GaAs 材料（带隙宽度1.42 eV）形成不掺杂的双势垒结构，两侧加以 n 型掺杂 GaAs 作为欧姆接触层。

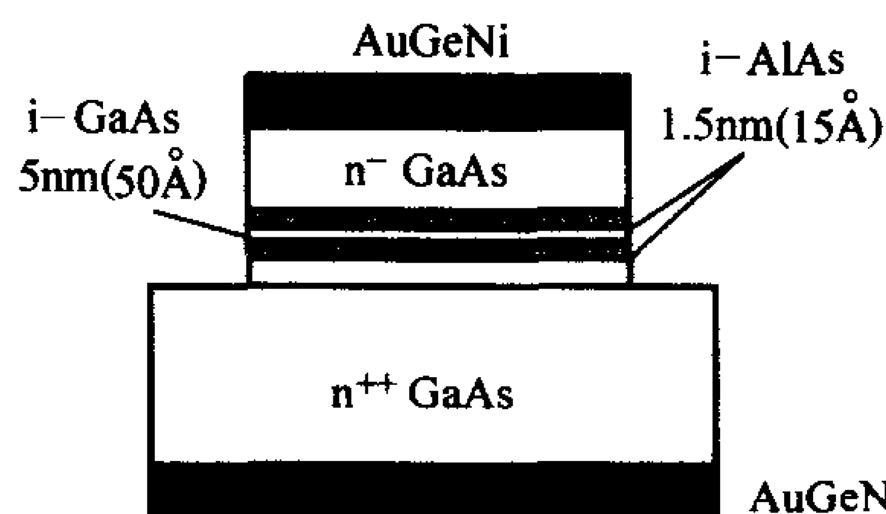


图 5.5-17 典型的台面式 RTD 结构示意图

RTD 器件的表征参数主要有峰谷电流比、峰值电流密度和最高振荡频率等。

3）国内外发展水平　1973 年 Tsu 和 Esaki 指出谐振隧穿二极管（RTD）具有微分负阻效应，1983 年 Sollner 等报道了室温下用 RTD 实现频率高达 2.5 THz 的探测和混频，第一次实现超宽带 RTD；1989 年，Sweeny 和 Xu 等提出了双势阱带间共振隧穿二极管；同年 Sod 等报道了势垒共振隧穿二极管，其峰谷比 PVCR 为 20，峰值电流密度为 600 A/cm^2；1990 年 Yan 等报道了 PVCR 为 5，但电流密度高达 7 600 A/cm^2 的 RTD 结果；1991 年，Own 等报道了基频模式工作的 RTD，其振荡频率为 712 GHz，成为迄今为止可用的速度最快的固态频率源器件。

尽管国外对 RTD 的研究已进行了 30 多年，并衍生出共振隧穿晶体管（RTT）、共振隧穿热电子晶体管（RHET）、能带间共振隧穿二极管（RITD）等，加上 RTD 之前的隧道二极管（TD），但这些基于量子隧穿效应的半导体量子器件至今未能实用化，其主要原因之一是 RTD 等负阻二极管需要与 HBT 和 HEMT 等高频三端器件集成，才能实现稳定的多功能高速逻辑电路。随着 MBE 和 MOCVD 等先进材料生长技术的发展和 HEMT、HBT 等技术的不断进步，面向高速数字逻辑集成电路应用的 RTD/HBT 和 RTD/HEMT 集成电路技术研究得以迅速展开。美国 Rockwell 公司、空军研究所、伊利偌斯大学，日本 NTT 公司，英国剑桥大学等都先后开展了相关研究工作。

国内开展 RTD 相关技术研究的主要有天津大学、河北半导体研究所、中科院物理研究所、中科院半导体所等单位合作开展。已报道了 AlAs/GaAs/AlAs RTD 器件，室温电流峰谷比达 7.6:1，最高振荡频率为 54 GHz。

1.5　其他器件

GaAs 和 InP 材料还可用于制作其他传感器件，如霍耳器件和声表面波器件，本节重点介绍霍耳器件。

霍耳器件是一种基于霍耳效应的磁传感器件，具有体积小，重量轻，寿命长，功耗小，频率高，抗震动等特点，可用来检测磁场及其变化。霍耳器件可用多种半导体材料制作，如 Ge、Si、InSb、GaAs、InAs、InAsP 以及多层半导体异质结构量子阱材料等。

（1）基本原理

霍耳效应：如图 5.5-18 所示，在一块通电的半导体薄片上，加上半导体表面垂直的磁场 B，由于通电半导体片中的载流子在磁场产生的洛仑兹力的作用下，分别向片子横向两侧偏转和积聚，因而形成一个电场，称作霍耳电场。霍耳电场产生的电场力和洛仑兹力相反，它阻碍载流子继续堆积，直到霍耳电场力和洛仑兹力相等，在薄片的横向两侧会出现一个电压 V_H，这种现象就是霍耳效应，V_H 称为霍耳电压。

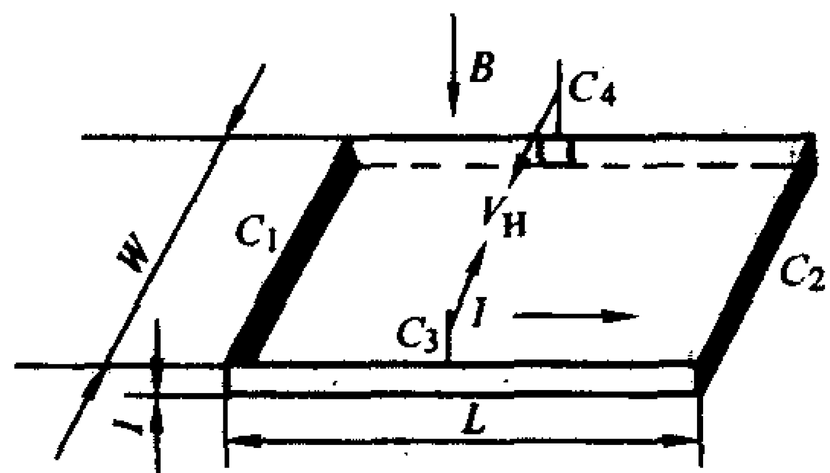


图 5.5-18　霍耳效应和霍耳元件示意图

（2）器件结构和表征参量

在图 5.5-17 中片子上制作四个电极，其中 C_1、C_2 间通以工作电流 I，C_1、C_2 称为电流电极，C_3、C_4 间的霍耳电压 V_H，C_3、C_4 称为敏感电极。将各个电极焊上引线，就形成了一个完整的霍耳器件。图 5.5-19 为 GaAs 霍耳器件的输出特性曲线。

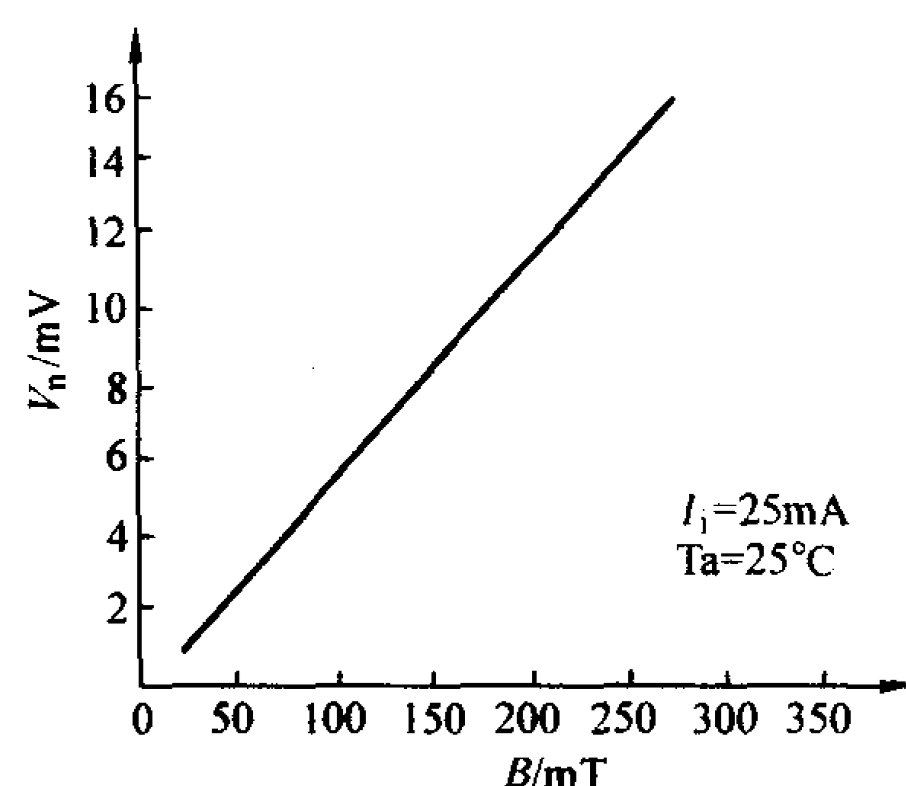


图 5.5-19　GaAs 霍耳器件的输出特性曲线

（3）器件应用

霍耳器件分为霍耳元件和霍耳集成电路两大类，前者是一个简单的霍耳片，使用时常常需要将获得的霍耳电压进行放大。后者将霍耳片和它的信号处理电路集成在同一个芯片上，可分为线性霍耳电路、开关霍耳电路、功率霍耳电路等。霍耳器件大量用于直流无刷电机和测磁仪表，还广泛用于无损检测和汽车点火开关与速度传感器

2　光电子应用

GaAs 和 InP 在光电子领域的应用最主要、最广泛的集中在发光二极管（LED）和激光器（LD）上。大部分作为衬底使用，也可作为器件的组成部分。在 GaAs 衬底上生长 GaAs 外延层，只能作近红外 LED。可用于家电遥控器，移动通信等领域，作为半导体激光器上转换可见光器件的红外激发源，光电耦合器的红外激发源和 OEIC 中发光源。而在 GaAs 衬底上生长 AlGaAs、InGaAsP 等外延层。则可作为高亮度及超高亮度 LED、LD；已进入大量使用。如汽车尾灯、交通信号灯、光通信领域等。未来又可能代替白炽灯。光探测器和光导开关主要应用于军事领域和空间领域，公开报道很少。其他器件如负电子亲和势器件、Si 衬底上生长 GaAs 等应用较少。光伏器件主要是太阳能电池。

2.1　LED（发光二极管）

与 GaAs 有关的 LED 种类有好几种。同质结 LED 制作结构示意图如图 5.5-20：在衬底上生长一层 n 型外延层，然后再生长一层 p 型外延层。这样就形成了一个 p-n 结，两端加上电压注入载流子后就可发光。图 5.5-21 所示为单异质结 LED 结构，图 5.5-22 所示为双异质结 LED，图 5.5-23 所示为限制异质结发光二极管；量子阱或超晶格结构难以用示意图表示，请参考有关书籍。

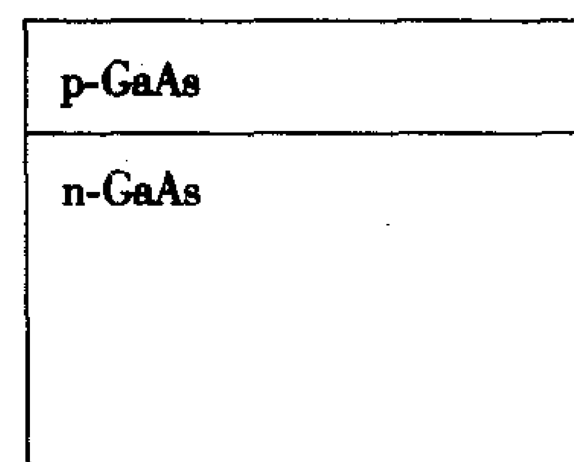


图 5.5-20　简单同质结 LED

LED 的发光原理是：在 p-n 结加上正向电压，注入少数载流子，少数载流子在 p-n 结附近发生辐射复合，出现发光。这就是 LED 的工作机理。考虑到 LED 的发光是少数载流子在 p-n 结附近的复合。因此一些与发光有关的因素应加以考虑。

p-$Al_xGa_{1-x}As$
p-GaAs
n-GaAs

图 5.5-21 单异质结 LED

p^+-GaAs
p^+-$Al_xGa_{1-x}As$
p-GaAs
n^+-$Al_xGa_{1-x}As$
n-GaAs（衬底）

图 5.5-22 双异质结 LED

p^+-GaAs
p-$Al_x3Ga_{1-x}3As$
p-$Al_x2Ga_{1-x}2As$
p-GaAs
n-$Al_x1Ga_{1-x}1As$
n-$Al_xGa_{1-x}As$
n-GaAs（衬底）

图 5.5-23 限制双异质结 LED

对 LED 而言，首先考虑的是发光波长，这一般由发光材料的禁带宽度决定，同时也决定了 LED 的导通电压。其次是发光效率要高，发光材料最好是直接跃迁型。另外还需要考虑的是材料的缺陷和不完整性及无关的杂质要少，因为这些材料的缺陷和不完整性及无关的杂质会在材料中形成复合中心，使电子和空穴通过其复合，如声子复合和俄歇过程等，都会降低发光效率；LED 表面状态引起的非辐射复合对发光影响也很大。

GaAs 是典型的直接跃迁材料，室温禁带宽度为 1.435 eV，其发光相应波长在 900 nm 左右，属于近红外。它是重要的半导体激光器上转换可见光器件的红外激发源，光电耦合器的红外激发源和多种红外发光器件的材料。而更重要的是，它是许多发光器件的基础材料，许多材料外延生长的衬底。

用 GaAs 制作红外发光器件主要利用 Si 在 GaAs 中的两性行为。Si 可以占 Ga 位作为浅施主，也可以占 As 位作为受主。前者在导带下 0.03 eV，而后者在价带上 0.035 eV；在 GaAs 衬底上用液相外延生长掺硅外延层，高温外延 Si 占 Ga 位作为浅施主，形成 n 型层而继续降低温度进行外延，则 Si 占 As 位作为受主形成 p 型层；从而形成 p-n 结。这样制作的 LED 其发光波长在 960 nm，为近红外光。

在 GaAs 衬底上生长Ⅲ元固溶体 $GaAs_{1-x}P_x$，室温下，在 $x<0.45$ 时为直接跃迁型，外量子效率高；在 $x>0.45$ 后为间接跃迁型，外量子效率很低，一般不用。其发光波长与 x 有很大关系。根据实验结果，可由如下关系式描述。

$$1.43+1.23x=1.24/\lambda\times10^3 \qquad (5.5\text{-}1)$$

一般使用 $x=0.38$ 左右。其发光波长为 660 nm，为红色，外量子效率最高 0.15%，一般为 0.1%，其光效最高为 0.071 m/W，一般为 0.041 m/W。这也是最早面市的，1962 年由美国通用电气公司发售的商品 LED。$GaAs_{1-x}P_x$/GaAs-LED 可以用 VPE + 扩散法制备。由于 GaAs 晶格常数为 0.565 35 nm，GaP 晶格常数为0.545 06 nm，$GaAs_{1-x}P_x$ 晶格常数随 x 在上述二者之间变化，如$GaAs_{0.6}P_{0.4}$晶格常数为 0.557 23 nm，与 GaAs 失配率为 1.5%；因此外延时要考虑生长缓存层，虽然通过生长缓存层可以消除部分失配影响，但在与 GaAs 有关的 LED 中，$GaAs_{1-x}P_x$/GaAs-LED外量子效率最低。

在 GaAs 衬底上生长的Ⅲ元固溶体 $Ga_{1-x}Al_xAs$，室温下，在 $x<0.35$ 时为直接跃迁型，禁带宽度为 1.9 eV，外量子效率高；在 $x>0.35$ 后为间接跃迁型，外量子效率很低。其禁带宽度、发光波长、外量子效率与组分 x 的关系与 $GaAs_{1-x}P_x$ 类似。$Ga_{1-x}Al_xAs$/GaAs-LED 主要用 LPE 生长，发光为红光。有单异质结（SH）和双异质结（DH）类型。其外量子效率分别为最高 7%（SH）和 21（DH），光效分别为最高 2.1（SH）和 20（DH）；其商品水平外量子效率分别为 3%（SH）和 15（DH），光效分别为 1.2（SH）和 2.1（DH）。单异质结 $Ga_{1-x}Al_xAs$/GaAs 可采用 P 型掺锌和掺硅两种方法制作。在发光波长 660 nm 附近，其发光效率相差不大。而在发光波长 900 nm 的红外波段，则掺硅单异质结 $Ga_{1-x}Al_xAs$/GaAs-LED 的外量子效率比掺锌 $Ga_{1-x}Al_xAs$/GaAs-LED 的外量子效率高出很多。双异质结 $Ga_{1-x}Al_xAs$/GaAs-LED 可显著提高外量子效率。成为超高亮度 LED 的首选。$Ga_{1-x}Al_xAs$/GaAs-LED 既可以使用 LPE 生长，也可以采用 MOCVD 或 MBE 生长。双异质结 $Ga_{1-x}Al_xAs$/GaAs-LED 大部分采用 MOCVD 或 MBE 生长。

以上不管是 $GaAs_{1-x}P_x$/GaAs-LED 还是 $Ga_{1-x}Al_xAs$/GaAs-LED，发光波长一般在红光区，即 660 nm 左右。而要获得黄色或橙色的 LED，则就要看近几年发展起来的 InGaAlP/GaAs-LED 和 InGaAsP/GaAs-LED。这两种 LED 一般采用 MOCVD 和 MBE 制作。为双异质结结构。InGaAlP/GaAs-LED 橙色 LED 其外量子效率约为 4.2%，发光波长 620 nm；InGaAlP/GaAs-LED 黄色 LED 其外量子效率约为 1.2%，发光波长 590 nm；InGaAsP/GaAs-LED 与 InGaAlP/GaAs-LED 类似。目前这些都实现了商品化。

根据 LED 结构、组分、制备工艺不同，对 GaAs 衬底表面的要求也不同。LPE 对衬底表面要求比较低。一般采用切割片，略加腐蚀即可。而 MOCVD、MBE 则对衬底表面要求较高，采用单面抛光或双面抛光片，一般采用“开盖即用”晶片，对于达不到“开盖即用”的晶片，必须在外延前采用特殊的清洗工艺，对晶片进行清洗。GaAs/GaAs-LED、$Ga_{1-x}Al_xAs$/GaAs-LED、$GaAs_{1-x}P_x$/GaAs-LED 采用（100）面或（100）面向最近或最远的（110）面偏转 1°～4°；InGaAlP/GaAs-LED 和 InGaAsP/GaAs-LED 采用（100）面向最近的（111）A 面偏转 15°。实践中发现，如果在 InGaAlP/GaAs-LED 和 InGaAsP/GaAs-LED 制备中采用（100）面或（100）面向最近或最远的（110）面偏转 1°～4°的晶片，将严重影响发光效率。考虑到位错对发光的有害作用，LED 所用的 GaAs 衬底一般采用 HB 法和 VGF 或 VB 法生长的单晶片。HB 法单晶一般位错密度可小于 10 000/cm²，VGF 和 VB 法单晶位错密度就更低，但由于其单晶成品率比 HB 法单晶低，商品价格比 HB 法单晶高，LED 器件厂商更愿意采用 HB 法生长的单晶。在单晶的尺寸方面，现在大部分还是采用 ϕ50.8 mm（即 2 in）单晶片，尤其是 MOCVD 和 MBE。最多一炉可 45 片，常用的为 15～30 片，国内大部分 MOCVD 设备处在这个范围内。LPE 中也可以使用 ϕ61 mm、ϕ63.5 mm（即 63.5 mm（2.5 in）以及 ϕ75 mm（即 76.2 mm（3 in）单晶片。国内 HB 法单晶最大可切出 ϕ63.5 mm 晶片。目前国内没有大于 ϕ63.5 mm 的晶片。国内 VGF 法处于实验室阶段，VB 法也在试验阶段，无法提供产品。国际上 VGF 法单晶可生长最大

ϕ150 mm 单晶。主要用于微电子领域，而一些 VGF 法生长的尺寸小于 ϕ75 mm 的晶片也大量用于 LD 衬底。

2.2 LD（激光器）

以 GaAs 材料作为衬底及其组分制作 LD 也有很多年历史了。1962 年国际商用公司（IBM）和麻省理工学院联合发表了 GaAs 激光二极管。随着 1968 年 MOCVD 技术和 1969 年半导体微结构材料的出现，半导体激光器迅速发展，如半导体量子阱（QW）激光器、量子级联红外激光器，与 GaAs 材料有关的激光器波长分布范围很广。

简单激光器的制作结构与 LED 类似，有同质结激光器，单异质结激光器，双异质结激光器；在半导体微结构材料出现以后，激光器也出现了量子阱激光器，量子点激光器，半导体量子级联激光器等。以上 LD 一般称之为内腔式 LD，以 GaAs 为衬底和组分的 LD 也可以制作外腔式 LD、分布反馈式 LD 和可调谐 LD。

半导体激光原理如下：在半导体中形成激光，必须满足如下条件：

① 在一定条件下，将电子从能量较低的价带激发到能量较高的导带，产生足够的粒子数反转分布，使受激辐射占优势；

② 存在谐振腔，使激光管的增益等于或大于损耗，外界输入能量（在半导体激光器中常用正向电流注入）至少要达到阈值（阈值电流密度），即满足一定的阈值条件。

对于半导体材料而言，粒子数反转条件可以由以下两式表示：

$$f_c(E) > f_v(E - h\nu) \tag{5.5-2}$$

$$(E_F)_n - (E_P)_p > h\nu \tag{5.5-3}$$

$f_c(E)$ 为在 E 能级上电子占据的几率，f_v（$E - h\nu$）为在 $E - h\nu$ 能级上电子占据的几率；$(E_F)_n$ 为导带费米能级，$(E_P)_p$ 为价带费米能级，ν 为光子频率。式（5.5-1）表明，导带能级上电子占据的几率应该大于价带能级上电子占据的几率。因为在半导体中光子发射的能量基本上等于材料的禁带宽度 E_g；式（5.5-3）就表明，非平衡的电子和空穴的准费米能级之差要大于禁带宽度；也就是说：电子和空穴的准费米能级要分别进入导带和价带。这表示，p-n 结两边的 p 区和 n 区必须高掺杂，以至费米能级能进入价带和导带。在 p-n 结空间电荷区附近粒子数反转分布的区域一般称之为“有源区”。以上是同质结型 GaAs 激光器的描述，对于双异质结半导体激光器，由于势垒对载流子的限制作用，有源区中注入载流子的浓度可以很高，有源区和与有源区形成 p-n 结的区不要求掺杂到很高浓度。

谐振腔对简单的 GaAsLD 而言，主要利用 GaAs 的解理面（110）来实现光的反射，为了提高反射率，也可以在解理面上镀反射膜，以提高反射率。对于异质结和双异质结及微结构 LD 来说，异质结可以形成良好的反射面。

外部激发可以利用电流和其他光源等。

激光器对衬底材料的完整性要求较高，一般采用 VGF 法生长的单晶，位错密度要求 EPD 至少在 1 000/cm^2 以下。外延原材料纯度在 99.999 99% 以上。

以 GaAs 材料作为衬底的 LD 材料很多。第一只半导体 LD 就是 n-GaAs/p-GaAs 同质结 LD。这种激光器的阈值电流密度很大，一般采用脉冲工作方式。

$Al_xGa_{1-x}As$/GaAsLD 是研究得最早、最深入的半导体 LD 材料。1963 年异质结理论的提出使 LD 很快得以实用并由此推动了异质结外延材料及其生长技术和激光器的发展；$Al_xGa_{1-x}As$/GaAs 异质结 LD 材料室温下所能获得的最短发射波长为 670 nm，接近其理论极限，因为当 $x > 0.47$ 时，作为有源层的 $Al_xGa_{1-x}As$/GaAs 就变成间接带隙材料。$Al_xGa_{1-x}As$/GaAs 双异质结 LD 其 J_{th}（阈值电流密度）为 1 000～5 000 A/cm^2，阈值电流为 3～4 mA。$Al_xGa_{1-x}As$/GaAs 量子阱材料是研究得最为广泛最为深入的 GaAs 族微结构材料体系。1978 年报道了第一只注入型 $Al_xGa_{1-x}As$/GaAsLD 量子阱激光器。目前，绝大多数量子阱激光器都采用分别限制组分渐变量子阱结构作为有源区，发射波长 808 nm 的 LD 早已商品化。$Al_xGa_{1-x}As$/GaAs 量子阱激光二极管（QWLD）已达到很高水平，J_{th}（阈值电流密度）低至 65 A/cm^2，最低阈值电流 0.35 A/cm^2；并已研制出连续输出功率 10 000 W 以上和准连续输出功率 MW 以上的叠阵（发射波长 808 nm）。

自组装量子点激光器也有很快的发展。量子点激光器的性能与量子阱激光器或量子线激光器相比，具有更低的阈值电流密度，更高的特征温度和更高的增益等优越特性，零维材料结构及其应用为国际上最前沿的研究领域之一，90 年代初，利用 MBE 和 MOCVD 技术通过 Stranski-Krastanow（S-K）模式生长 In（Ga）As/GaAs 自组装量子点等零维半导体材料，有了突破性的进展，生长出晶格较完整、尺寸较均匀，且密度和发射率较高的 InAs 量子点；并于 1994 年制备了近红外波段 InGaAs/GaAs 量子点激光器。1998 年富士通公司制出 InAs/GaAs 量子点激光器，其室温连续发射波长为 1.09 pm，25℃时的阈值电流密度为 250 A/cm^2。

半导体量子级联激光器突破了由两种载流子“参与工作”的传统半导体激射机理。它只有一种载流子参加“工作”；带间子带的发光能量及激射波长由隧穿初态和终态电子能级的能量差所决定。这就大大拓展了半导体 LD 的发射波长范围，已制出发射波长为 8 800 nm 的 AlGaAs/GaAs 量子级联激光器。

$Al_xGa_{1-x}As$/GaAs 材料也可制作四极子量子级联微腔激光器。其波长在中红外波段。微腔激光器是指：光学微腔是指具有高品质因子而尺寸与谐振光波长相比拟的光学微型谐振器。大家知道，当光腔尺度与光波长可比拟时腔内真空场的光学模式数则大大减小，一个光学模式占有相当于 $(1/(2n))^3$ 大小体积，n 为介质有效折射率。在理想情况下，若用一个边长为半波长，周界为全反射壁的立方微腔有可能将一个单模光场分离出来，这为实现低（无）阈值微腔激光器的研制提供了科学依据。微腔激光器具有尺寸小，动态单纵模，窄光束和便于集成等优点，因而除在传统激光器的各个应用方面外，特别在光信息处理、光互连、光计算和光神经网络等领域有着十分重要的应用前景，并且使在固体微腔中研究量子电动力学现象成为可能。$Al_xGa_{1-x}As$/GaAs 量子级联微腔激光器一般制作成四极子形状，或变形的类椭圆形，也就是在微腔的边缘各处的曲率半径并不完全相同，在微腔中光场以所谓“混沌回音壁模式”（chaotic WGM）存在，从而可以得到定向性非常强的激光输出。量子级联激光材料作为中远红外波段激光器的重要材料，非常适合于制作具有复杂谐振腔结构的微腔激光器。其原因首先是，量子级联激光器的单极性载流子性质能避免一般微腔激光器所不能避免的电子和空穴之间的非辐射复合损耗；还有其单向偏振性质（TM 波）使激光器在垂直方向不产生任何辐射损耗；另外长波长（中远红外波段）辐射性质还可有效减少激光器表面不均匀引起的散射损耗。一种用 $Al_xGa_{1-x}As$/GaAs 材料制作的四极子量子级联微腔激光器结构见表 5.5-18 和表 5.5-19：

InGaAlP 也可制作微腔激光器，国内用 LPMOCVD（低压金属有机物化学气相淀积）技术生长的 InGaAlP 微腔激光器结构为：衬底为 n+ 型 GaAs 基片，为（100）取向朝（111）方向偏离 6°左右。分别采用 InGaAlP 单量子阱和 3 量子阱外延片。量子阱结构为 In0.5（Ga0.3Al0.7）0.5P/In0.5（Ga_{1-x}

Al_x) 0.5P/In0.5 (gA0.3Al0.7) 0.5P，单量子阱和3量子阱中 x 值分别为0和0.4，阱宽和势垒层各为5~8 nm和4~5 nm。量子阱上下两侧分别为In0.5Al0.5P和In0.5 (Ga0.3Al0.7) 0.5P，厚度分别为0.1 μm和0.8 μm。

国内还研究了金属Ti与GaAs界面的性质，这为下一步研制波长为17 μm的量子级联激光器 $Al_xGa_{1-x}As$/GaAs打下了基础。

在大电流注入和高温工作情况下，材料中含Al会使器件性能退化，已采用应变补偿InGaAsP结构制成发射波长为808 nm的大功率LD并也已商品化。

表5.5-18 $Al_xGa_{1-x}As$/GaAs四极子量子级联微腔激光器外延层结构

序号	各层名称	材料组分	厚度/μm	掺杂浓度
1	帽层	GaAs	0.7	$N_{Si}=9\times10^{18}$
2	限制层	Al0.9Ga0.1As	1.0	$N_{Si}=6\times10^{17}$
3	波导层	GaAs	1.55	$N_{Si}=4\times10^{16}$
4	有源层	GaAs/Al0.3Ga0.7As	1.4	
5	波导层	GaAs	1.4	$N_{Si}=4\times10^{16}$
6	限制层	Al0.9Ga0.1As	0.6	$N_{Si}=6\times10^{17}$
7	衬底	GaAs	—	$N_{Si}=3\times10^{18}$

表5.5-19 $Al_xGa_{1-x}As$/GaAs四极子量子级联微腔激光器有源层结构

结构名称	材料组分	厚度/nm	掺杂面密度/cm^{-3}
注入区	GaAs	2.1	
	Al0.3Ga0.7As	2.5	
	GaAs	2.3	N = 3.9 × 1 011
	Al0.3Ga0.7As	2.5	N = 3.9 × 1 011
	GaAs	2.3	N = 3.9 × 1 011
	Al0.3Ga0.7As	2.3	N = 3.9 × 1 011
	GaAs	2.8	
	Al0.3Ga0.7As	2.0	
	GaAs	3.2	
复合区	Al0.3Ga0.7As	3.4	
	GaAs	4.0	
	Al0.3Ga0.7As	1.7	
	GaAs	4.9	
	Al0.3Ga0.7As	2.0	
	GaAs	1.5	
	Al0.3Ga0.7As	5.8	

发射波长为660 nm的AlGaInP/GaAs LD是最先取得突破的可见光LD；1985年就已制出室温下连续工作的该种LD，并已商品化，有代表性的AlGaInP/GaAs红光LD产品的性能为：发射波长630 nm左右，工作寿命大于1 000 h，最大输出功率72 mW。

GaInNAs/GaAs单量子阱激光器可用于光纤通讯的1.3~1.55 μm的通讯窗口。与传统的GaInAsP/InP相比，GaNAs和GaInNAs具有很多优点：首先，由于 N 的掺入，它具有很大的能带弯曲系数，使得发光波段可以满足通讯要求。并且由于材料的 ΔE_c 很大，可以有效地限制载流子，因而提高特征温度。更重要的是，GaInNAs的晶格常数在很大范围内可以进行调整，可以在GaAs衬底上生长，这有利于制备基于GaAs/AlAs材料系的Bragg反射腔结构，从而制备出高质量的VCSEL。

2.3 OEIC

GaAs等半导体材料不仅是现代集成电路的关键材料，也是发展光电集成电路（OEIC）的关键材料。OEIC是IC的延伸和发展，其性能比IC更好，功能更强，其应用也如IC一样渗透到各个领域。OEIC还处于起步阶段，但已研制出多种OEIC；GaAlAs/GaAs LD与MESFET的集成，GaAs基LD与光探测器和MESFET的集成，InP、InGaAs、InGaAsP LD合波器与电吸收调制器的集成等。

目前，用GaAs材料制作的LD，光探测器等有源器件非常成功，但它们成本较高、制备工艺难度较大，对发展OEIC有一定限制。但半导体微结构材料在OEIC的研究中备受关注：利用异质结可获得载流子限制和光限制；利用超晶格、量子阱结构可通过“能带工程”实现材料改性，即使是间接带隙材料也可通过“能带折叠”效应获得直接带隙而便于制作发光器件。原子层外延、选择性局域外延和激光辅助外延等技术可直接生长出所需的立体量子结构，这些都为OEIC的发展打下了坚实的基础。

2.4 光伏器件

光伏器件最主要的是太阳能电池。太阳电池利用了材料所具有的光生伏特（photo voltaic，PV）效应（常简称为光伏效应）而可把太阳光能转换为电能，太阳电池也称为光伏电池或PV电池。光伏效应是1839年贝克雷尔（Becquerel）发现的，1956年首次制出（同质结）GaAs光伏电池（转换效率为4%）。GaAS基太阳电池具有转换效率高，抗辐射性好等特点，是空间飞行器和宇航系统的重要能源。与应用量最大的结晶Si（C-Si）太阳电池相比具有以下优点：①相同阳光照射下，单位面积输出功率大30%；②在相同运行条件下，辐射可靠性高20%；③转换效率随温度变化是C-Si太阳电池的1/2；④在轨道上寿命比C-Si太阳电池长40%~60%。

以GaAs为衬底和其重要组分的太阳电池结构有：单结电池，为提高转换效率的双结电池和多结电池（叠层电池）。在双结和多结电池中，各p-n结之间采用用隧道结联系。

太阳电池的原理是：p-n结在太阳光的照射下，价带电子受激发进入导带，留下空穴，这时可以产生电流。

这是因为GaAs的带隙为1.45 eV，亦为直接跃迁型，是理想的太阳电池材料。在GaAs单晶衬底上生长的单结电池效率早已超过25%（大都采用液相外延工艺生长）。GaAs又可与其他Ⅲ-Ⅴ族元素形成三元或四元固溶体半导体，可连续改变其带隙而易于制备多结、高效电池。如实验室中已制造出面积4 cm²、转换效率达30.28%的InGaP/GaAs叠层电池（最近又报道了转换效率为33.4%的InGaP/GaAs/GaSb叠层电池）。在这种双结电池中，如并入带隙为0.95~1.1 eV的底电池而制成三结电池，则在AM1.5时的理论转换效率可以达到45%以上。目前，国外航天器上已普遍使用GaAs/Ge、GaInP/GaAs/Ge电池。

由于GaAs基电池制备成本较高，考虑到GaAs与Ge晶格常数和线膨胀系数等材料参数相近，Ge的机械强度、热导率更高，这对空间应用相当重要。GaAs/Ge异质结构已经在空间电源应用获得广泛的重视。在Ge衬底上外延生长GaAS太阳电池时，在外延层观察到大量晶体缺陷，在电池中起着复合中心和旁路的作用，而且导致显著的表面粗糙，影响大面积

均匀性性和器件过程。在 GaAs/Ge 界面的互扩散现象，影响更大。这一点对 GaInP2/GaAs/Ge 多结太阳电池的研制尤其重要。Ge 向外扩散到 GaAs 中作为 n 型掺杂剂，严重时甚至破坏 p-n 结。AS 和 GS 向 Ge 衬底的扩散，分别作为 n 型和 p 型掺杂剂，当在 n-Ge 衬底上研制 GaInP/GaAs 双结叠层电池时，需要抑制 Ge 结的形成；当在 pGe 衬底上研制 GaInP/GaAs 三结叠层电池时，则需要获得性能优良的 Ge 结。

在解决了上述问题后，国内已经在 GaAs 衬底上研制出效率达到 23.82% 的 GaInPZ/GaAs 双结叠层电池（AMO，25℃，2 cm×2 cm）。也研究了在 Si 衬底上生长 GaAs 基电池并已生长出转换效率大于 20% 的 GaAs/Si 电池。

2.5　光探测器/光电开关

GaAs 红外探测器主要是量子阱（超晶格）红外探测器材料，在各种量子阱红外探测器中，AlGaAs/GaAs 多量子阱（MQW）器件工艺最为成熟，是大面积红外焦平面阵列（1RFPA）和长波红外成像系统的优选器件之一，已制出工作于 3～5 μm、8～14 μm 的双色 AlGaAs/GaAsMQW 红外探测器。具体情况见表 5.5-20。

表 5.5-20　探测器材料系统和波长及工作模式

材料系统	探测波长/μm	器件工作模式
AlGaAs/GaAs	4.2～19，8，9	PV，PC
InGaP/GaAs	8	PC
AlInP/GaAs	3	PC
InGaAs/GaAs	15	PC

作为组分之一，即在 Si 衬底上以 GaAs 和 CdTe 为缓存层植被出了工作于 3～5 μm 波段的多种 MCT/Si 探测器。

将上述高密度红外探测器面阵与相应的信息处理电路集成在同一焦平面上，可组成红外焦平面阵列（IRFPA）。GaAs 也是其中的组分之一。

用 GaAs 制作光电开关已有多年的历史，过去主要用掺 Cr-GaAs 材料。近几年又提出了采用 Si-Cu 双掺 GaAs 材料，即掺硅、补偿铜 GaAs 材料，用这种材料制作的光导开关，其工作机理如下：浅施主杂质 Si 提供的电子在开关断开时，大部分填充 Cu_B 受主。当光脉冲过来时，电子被激发到导带，开关闭合。由于 Cu_B 受主的俘获截面较小，电流可维持较长一段时间；用另一种能量小的光脉冲照射，价带电子受激发进入 Cu_B 受主能级，而价带空穴与导带电子复合，开关断开。在这过程中，由于 Cu_B 受主的俘获截面小，抗静电能力强。提高了光电开关的安全性（抗静电干扰）。用 SI-GaAs∶Si∶Cu 材料制作的光导开关（光控半导体开关），具有良好的开关特性，它能够在 1 ns 或更短的时间内闭合或断开开关。而且在闭合态不需补充光能即可保持电导率稳定在一定值。它还具有：响应速度快（ps 量级）、触发抖动低（ps 量级）、功率容量大（MW 量级）、同步精度高（ps 量级）、器件体积小、重量轻、近乎完美的光电隔离、不受电磁干扰等特性。因而在高功率通信系统、脉冲功率储能系统、雷达、超快电子学等许多军工领域和现代武器系统中有着广泛的应用前景。国内也刚开始进行这种材料的研制。

2.6　InP 基激光器和探测器

当今石英光纤广泛用于光纤通信线路，其最小的损耗是 1.3 μm 和 1.55 μm 波长范围，因此这是光纤通信的两个主要窗口，前者用于短距离局域通信网，后者用于长距离高速率的光通信系统。以 InP 为衬底可以生长晶格匹配的 InGaAsP 材料，用于制造具有量子阱结构的激光器和光探测器。InP 单晶衬底上生长晶格匹配的 InGaAs 材料，是制造波长 0.9～2.0 μm 红外探测器的重要材料。图 5.5-24～图 5.5-27 和表 5.5-21，表 5.5-22 给出的是商品化 InP 基激光器和探测器的结构示意图和器件的性能指标。

p-InP
InGaAsP
n-InP
n-InP（衬底）

图 5.5-24　法布里－珀罗（FP）激光器结构

p-InP
n-InP
n-InGaAsP
n-InGaAs
n-InP
n-InP（衬底）

图 5.5-25　APD 光二极管探测器结构

p-InP
i-InGaAs
n-InP
n-InP（衬底）

图 5.5-26　PIN 光二极管探测器结构

InAsP
n-InGaAs
InAsP
InAsP 缓变层
n-InP（衬底）

图 5.5-27　红外探测器结构

表 5.5-21　1.55 μm 波长激光器的性能参数

参数		最小值	典型值	最大值	测试条件
阀值电流	I_{th}/mA	—	10	15	CW
光纤输出功率	P_f/mW	0.2	—	0.5	CW，I_{th} + 25 mA，
		0.5	—	1	
		1	1.6	2	
		2	2.5	—	
峰值波长	λ/nm	1 530	1 550	1 570	CW，$P_f = P_f(\min)$
谱宽	$\Delta\lambda$/nm	—	2	5	CW，$P_f = P_f(\min)$
正向电压	V_F/V	—	1.2	1.5	CW，$P_f = P_f(\min)$
上升/下降时间	t_r/t_f/ns	—	—	0.3	$I_{bias} = I_{th}$，10%～90%

表 5.5-22　1.3 μm 波长激光器的性能参数

参数	符号	最小值	典型值	最大值	测试条件
阈值电流	I_{th}/mA	—	10	15	CW
光纤输出功率	P_f/mW	0.2	—	0.5	CW, I_{th} + 25 mA,
		0.5	—	1	
		1	1.6	2	
		2	2.5	—	
峰值波长	λ/nm	1 290	1 310	1 330	CW, $P_f = P_f$(min)
谱宽	Δλ/nm	—	2	5	CW, $P_f = P_f$(min)
正向电压	V_F/V	—	1.2	1.5	CW, $P_f = P_f$(min)
上升/下降时间	t_r/t_f/ns	—	—	0.3	$I_{bias} = I_{th}$, 10 ~ 90%

3　其他应用

GaAs 是一种重要的“双色”（两波段，即 3 ~ 5 μm、8 ~ 12 μm）红外透射材料，也是 8 ~ 12 μm 波段常用的红外窗口材料。在较高温度（> 70℃）下常用 GaAs 代替 Ge 用于窗口和透镜。

GaAs 可制成（半）导电性（电阻率约为 10^{-2} Ω·cm）和高阻（半绝缘性，电阻率约为 10^{7} Ω·cm）两种材料，它们都可用于红外光学元件。（半）导电性材料有很好的抗电磁干扰能力。这两种 GaAs 材料的透射谱及在不同波长、不同温度下的吸收系数分别如图 5.5-28、图 5.5-29、图 5.5-30 和图 5.5-31 所示。

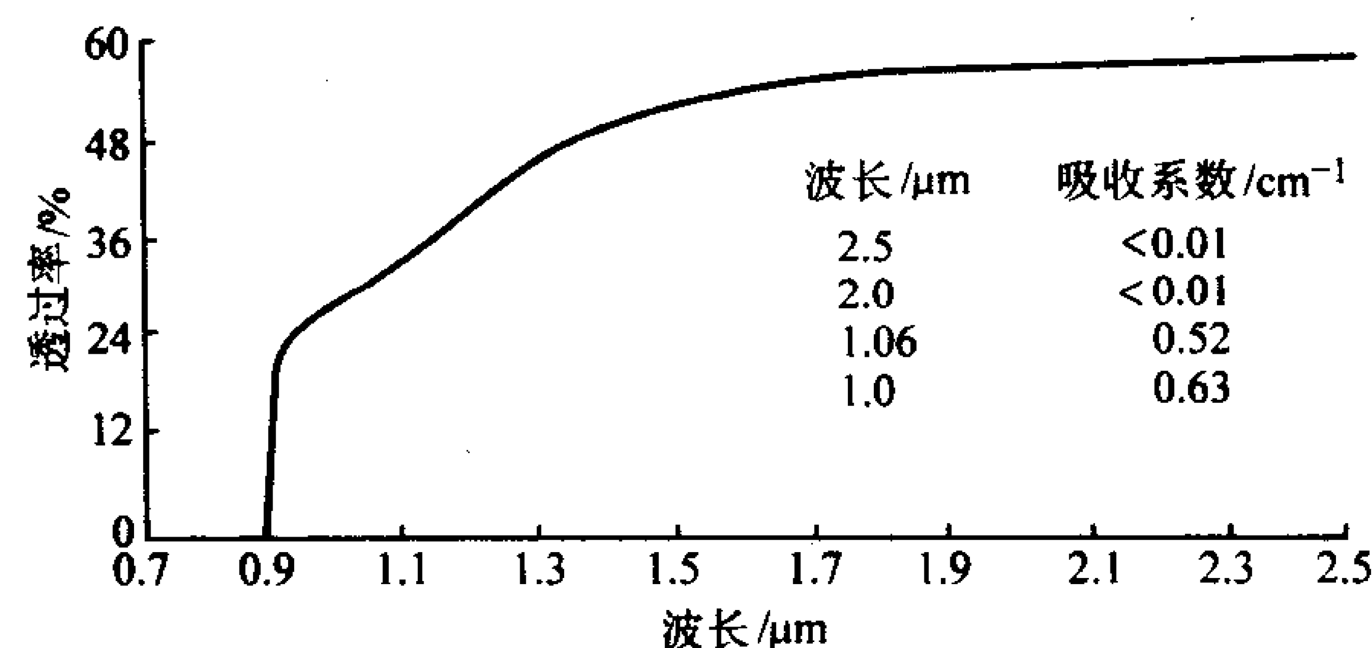


图 5.5-28　无涂层高阻 GaAs 的近红外透射谱（样品厚 1.04 cm）

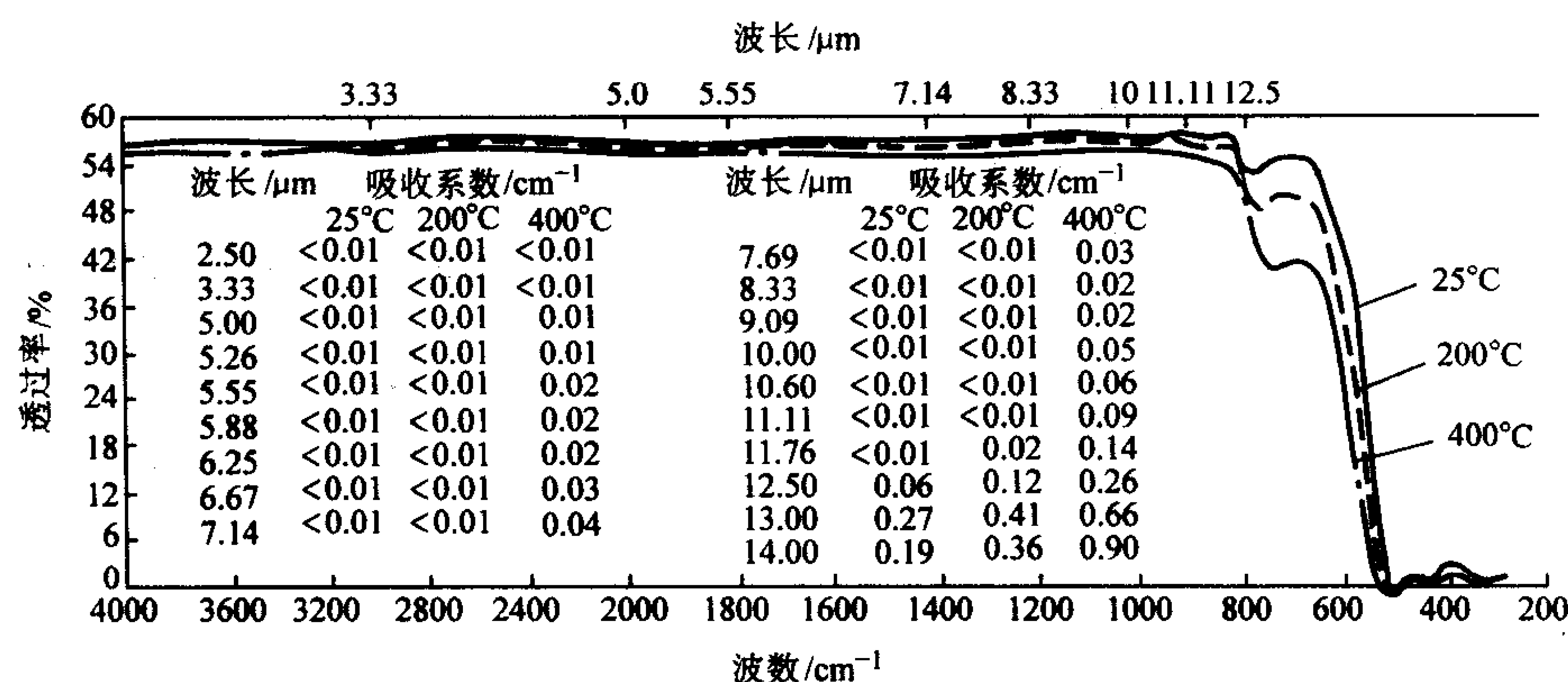


图 5.5-29　无涂层高阻 GaAs 的红外透射谱（样品厚 8.08 mm）

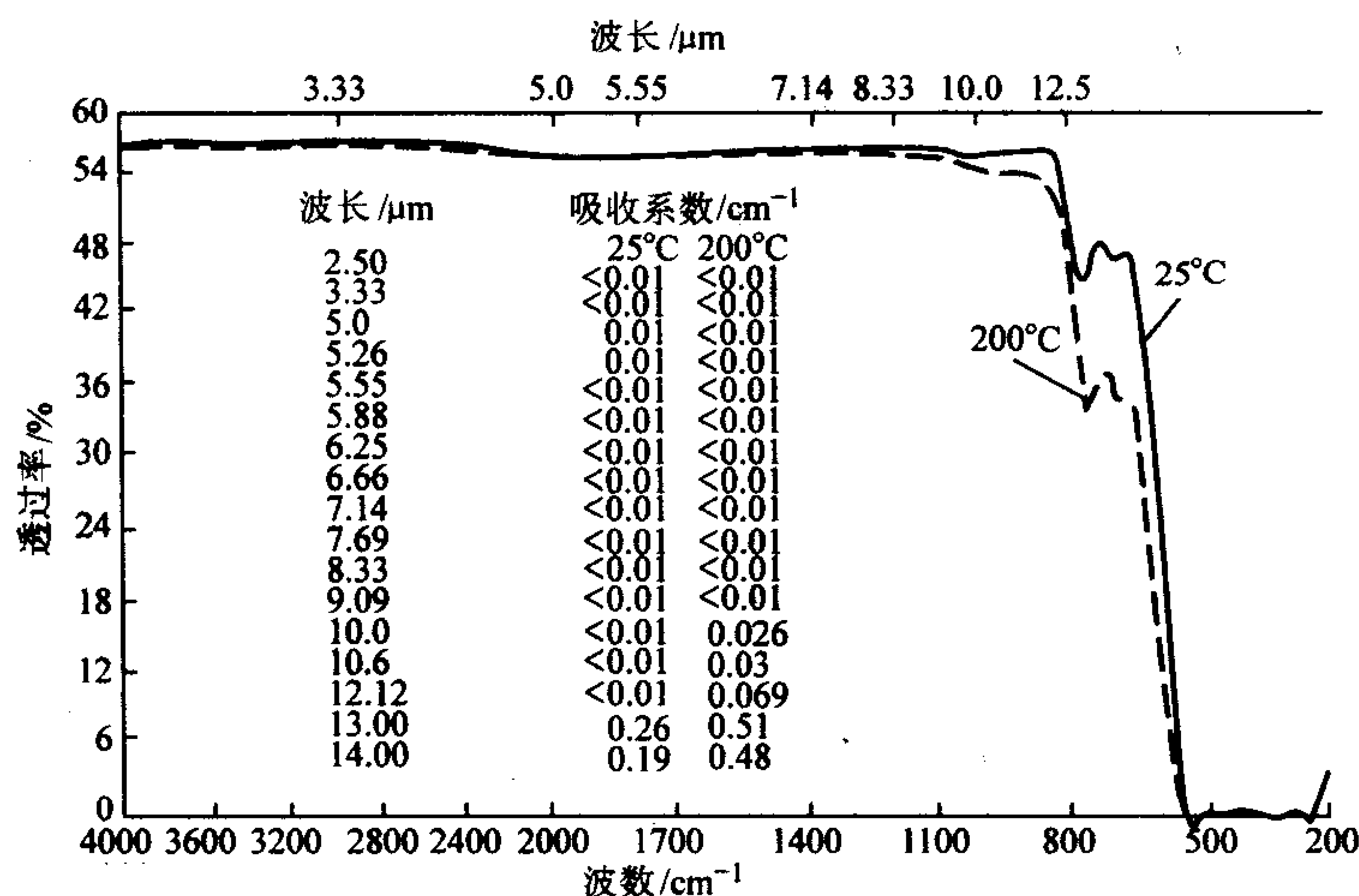


图 5.5-30　无涂层半导电性 GaAs 的红外透射谱（样品厚 7.7 mm）

GaAs 的折射率见表 5.5-23。近来瓦达（WadaH）等人报道了用 HB 法和 VB 法生长的用于红外窗口的 GaAs 多晶材料的性质。发现，HB - GaAs 多晶在 2.5 ~ 12 μm 波段透过率比 VB 多晶高 1% ~ 2%；这是由于 VB GaAs 多晶中晶粒尺寸较小，晶界光散射比 HB 材料强一些。而 VB 材料的折射率则比 HB 材料低约 0.02%（8 ~ 12 μm 波段）；两种材料的力学性质相近。国内采用高压单晶炉内原位合成拉晶工艺用 CrO 双掺杂补偿法制备出吸收系数 < 1.5×10^{-3}/cm（10.6 μm）的 GaAs 红外激光窗口材料，该材料经适当热处理还可提高其机械强度和均匀性，已成功用于大功率（12 kW）CO_2 激光窗口和透镜。

1）GaP　对高速飞行器上工作于 3 ~ 5 μm 波段的光学元件来说，GaP 是很有希望的材料；因为它抗热冲击性能较好、吸收也小；在较高温度下，GaP 在此波段内的光发射也

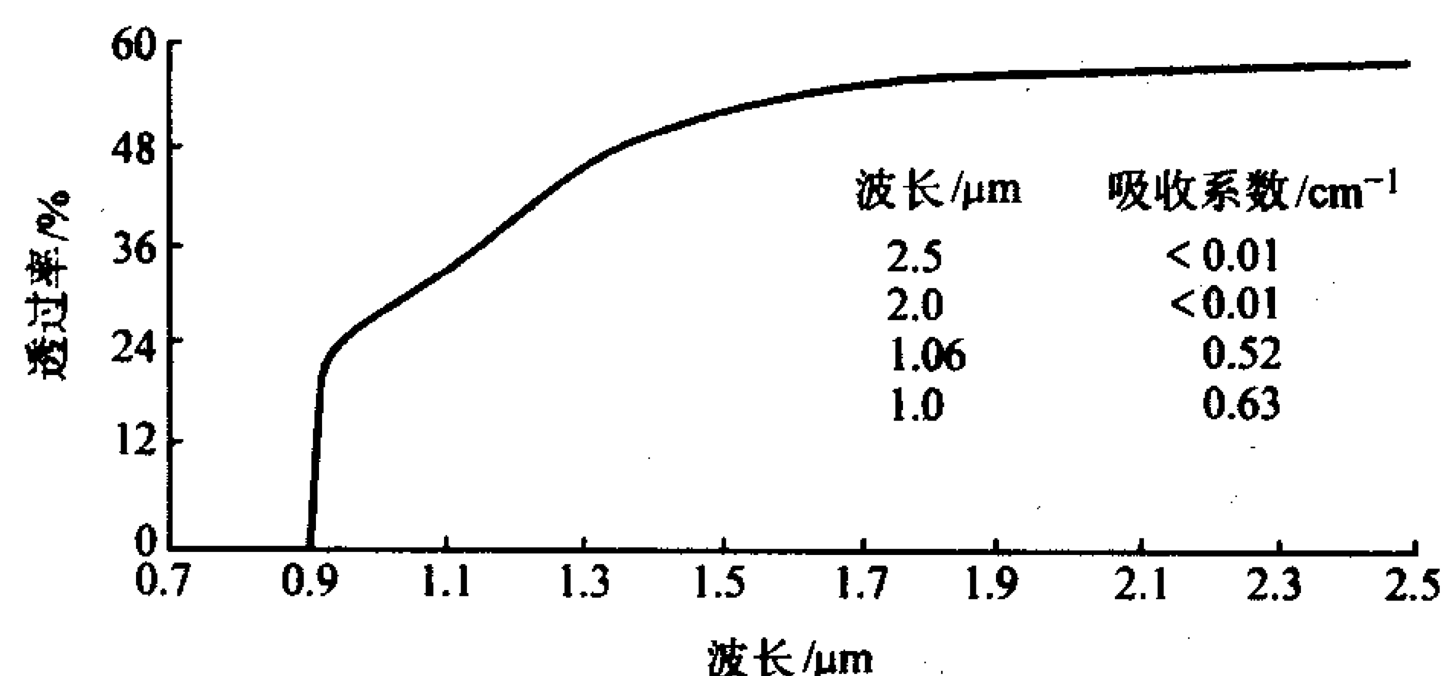


图 5.5-31 无涂层半导电性 GaAs 的近红外透射谱（样品厚 10 mm）

表 5.5-23 GaAs 窗口材料在不同波长下的折射率

波长/μm	折射率
2.5	3.324 0
5.0	3.297 5
6.25	3.292 0
8.33	3.283 0
10.0	3.274 0
10.6	3.270 0
12.12	3.262 0

较小（弱于 Si 和 ZnS）。对于红外窗口和头罩材料来说，如光发射太强，会使红外探测器或传感器“饱和”，甚至“超过”目标信号，增大噪声、降低信噪比)。GaP 也可能用于 8～12μm 波段的飞行器的红外装置中，但它在 9 μm 附近有较大吸收，如图 5.5-32 所示。

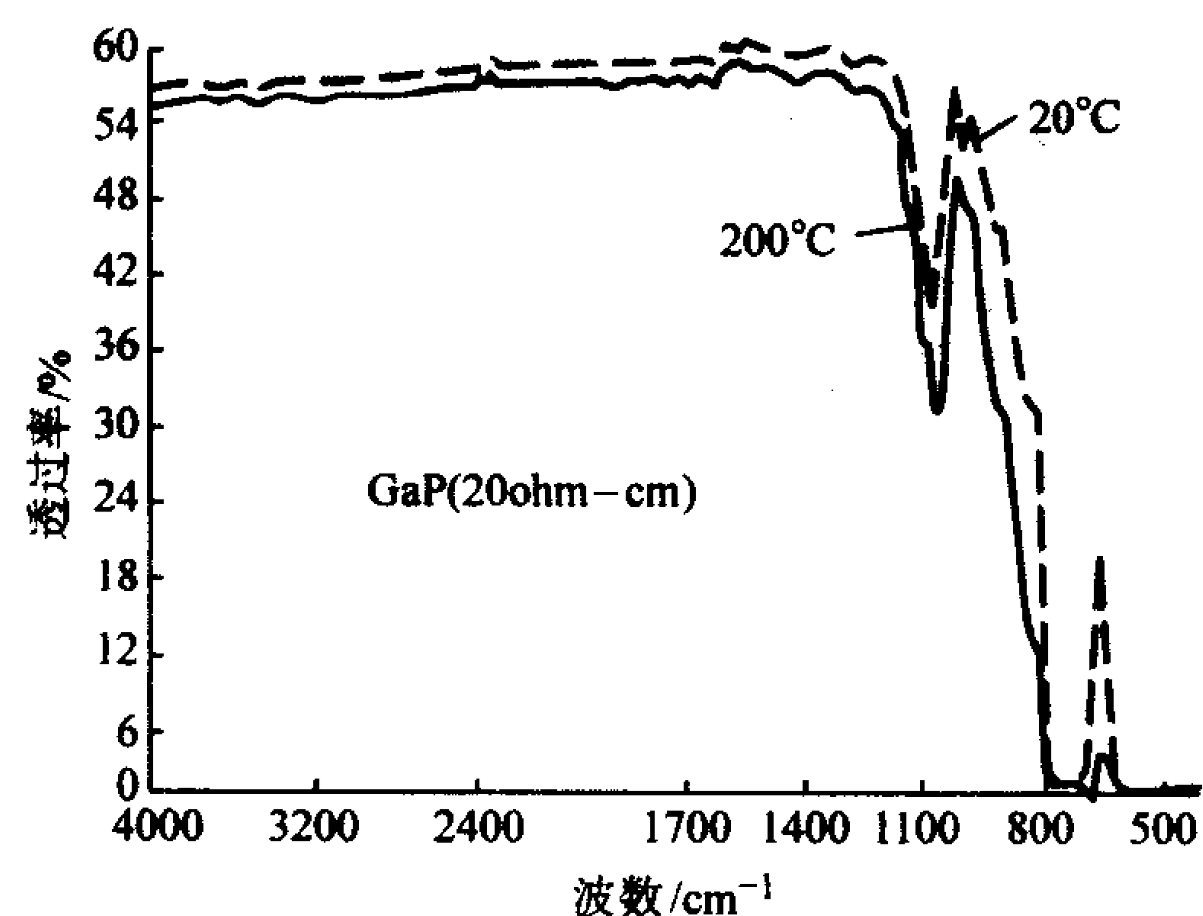


图 5.5-32 GaP 的红外透射谱（样品 4.7 mm，电阻率 20 Ω·cm）

2) ZnS 作为红外光学应用的 ZnS 材料是用热压法、CVD 法制备的。

CVDZnS 经热等静压（HIP，hot isostatic pressing）加工后，可提高其光学性能，尤其可提高透过率（但力学性能有所削弱）。这种经 HIP 加工后的 ZnS 又称之为多光谱 ZnS。图 5.5-33、图 5.5-34 和图 5.5-35 分别示出了三种 ZnS 材料的透射谱。由图可以看到，多光谱 ZnS 的透过率最高，尤其在可见光波段也是透明的。这种差别主要是由于 CVD 加工过程中杂质污染少、所制材料纯度较高、结晶致密性较好。热压 ZnS 要在 770～960℃ 温度下加工，难以避免来自压模的沾污；同时，热压材料中残存大量微气孔而造成散射中心造成光损耗，因而其透过率较低。CVD 材料经 HIP 加工后，少量六角结构 ZnS 转变为立方结构 ZnS，并使 Zn-H 复合体扩散到表面又减少了光损耗，因而使透过率进一步提高。热压材料中晶粒较小，对位错的运动和增殖阻力较大，因而其力学性能比其他两种材料好一些。

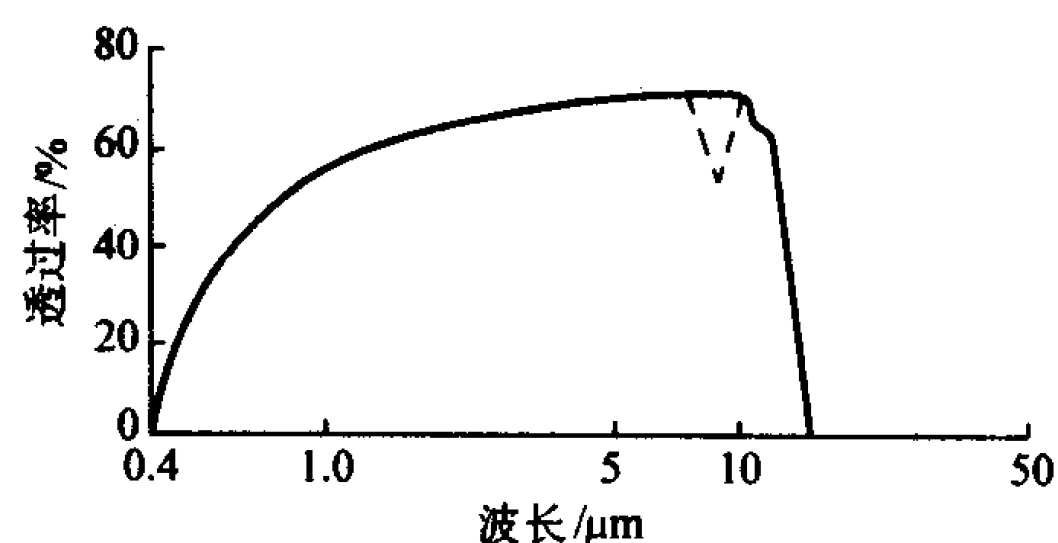


图 5.5-33 热压 ZnS 的透射谱（样品厚 3 mm）

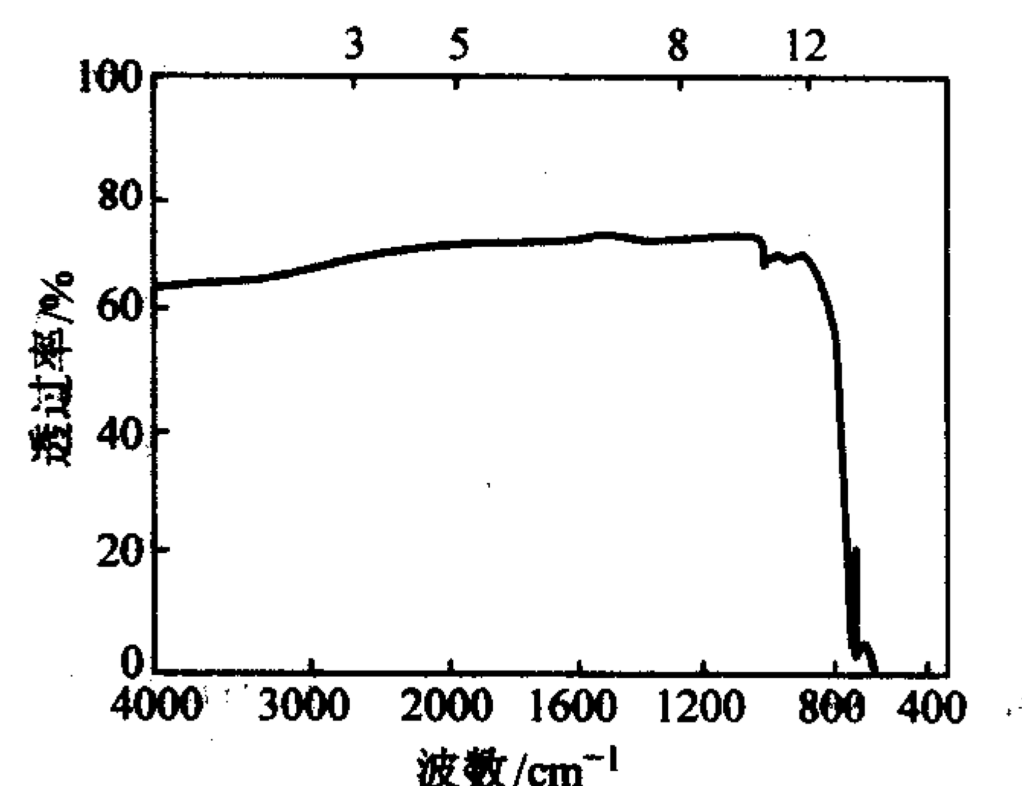


图 5.5-34 CVD ZnS 的透射谱（样品厚 3 mm）

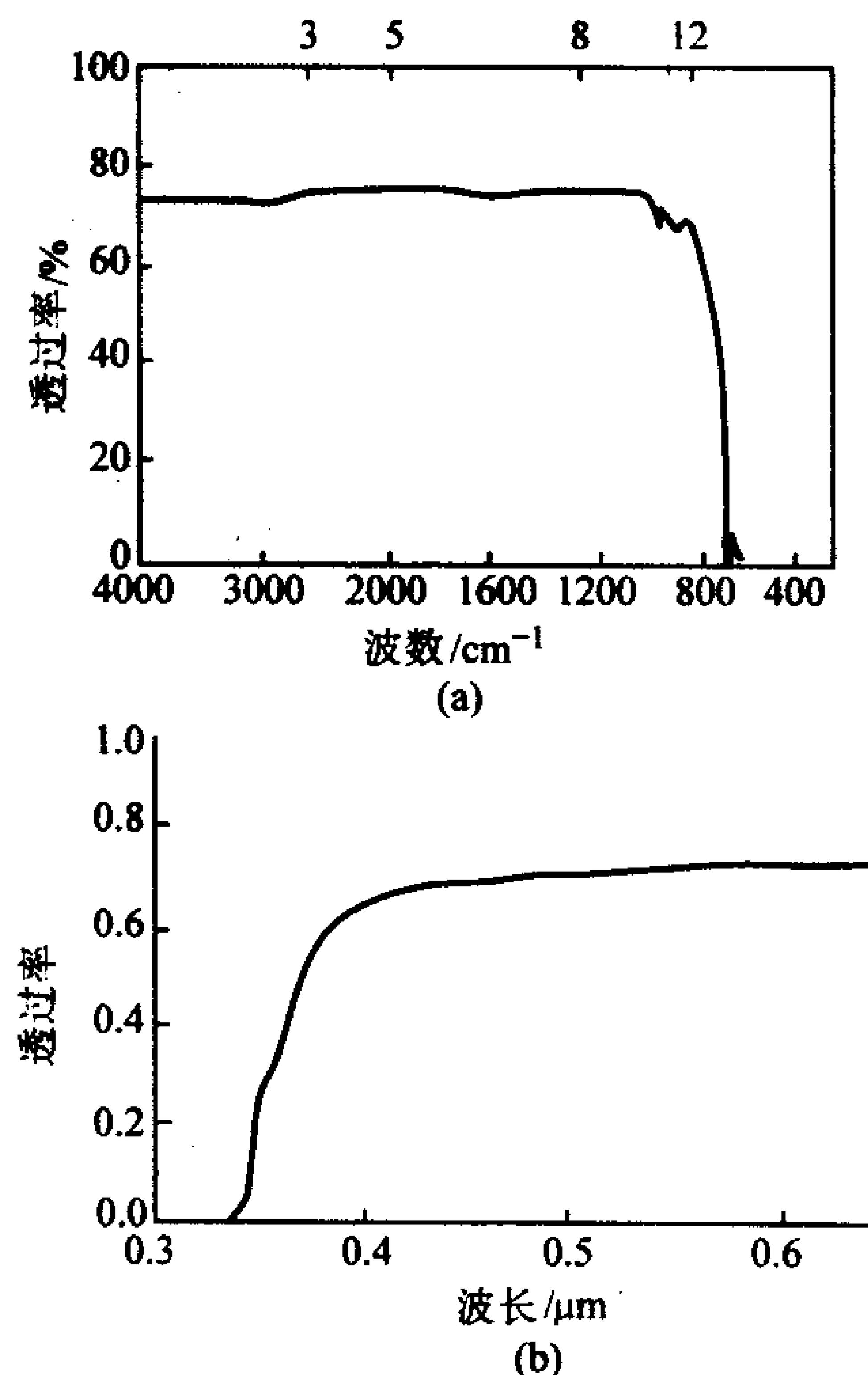


图 5.5-35 多光谱 ZnS 的透射谱

3) ZnSe ZnSe 与 ZnS 类似，根据制备工艺的不同也有热压材料、CVD 材料和多光谱材料三种。热压 ZnSe 和 CVDZnSe 的透射谱分别如图 5.5-36 和图 5.5-37 所示。

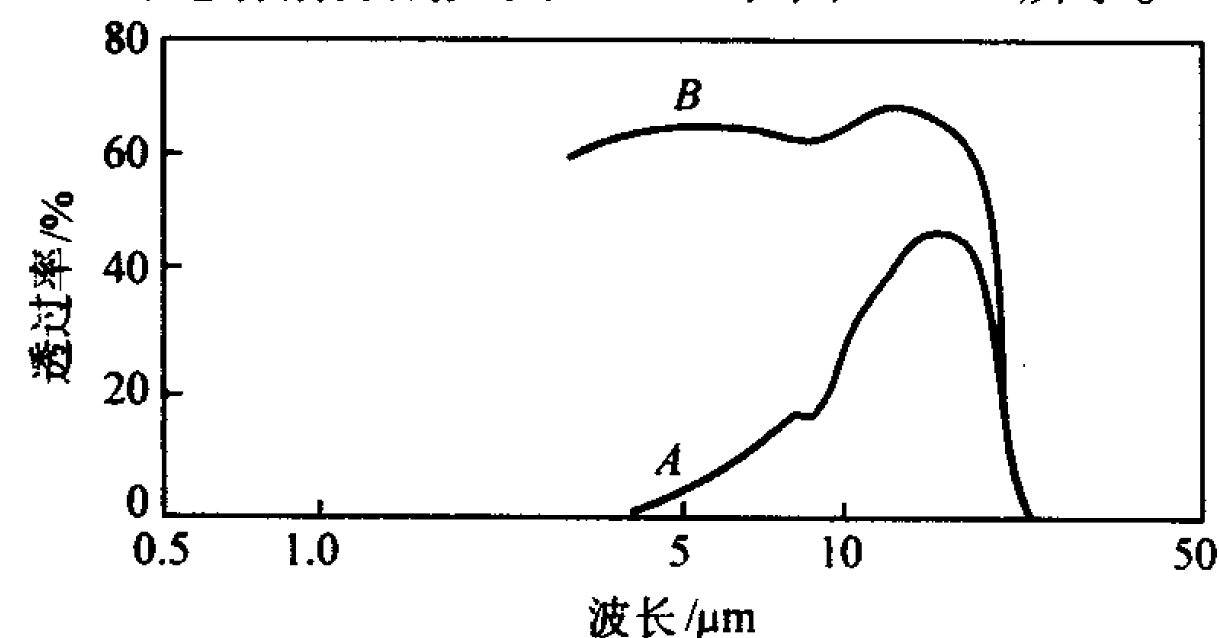


图 5.5-36 热压 ZnSe 的透射谱

样品厚 1.9 mm；A—未经预焙烧；B—经 1 100℃预焙烧

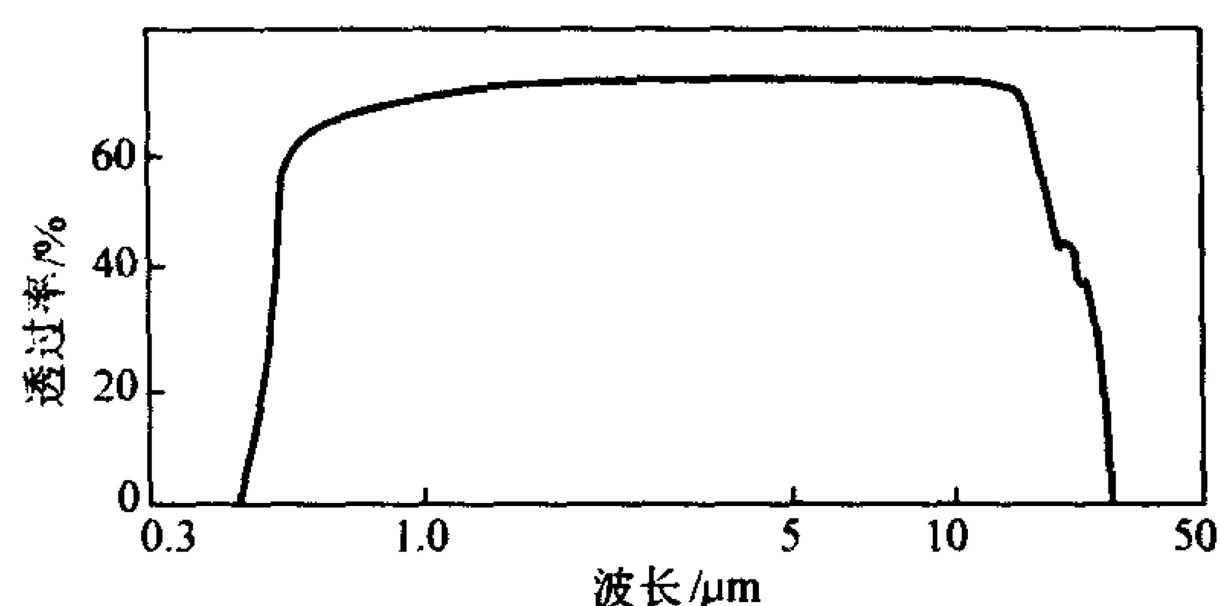


图 5.5-37　CVD ZnSe 的透射谱（样品厚 10 mm）

GaAs 由于其优异的光电特性，在其他方面也有很多应用。利用 GaAs 材料中存在的电致吸收和电致折变效应可以制备小型、高速吸收型集成电光开关和电光调制器。利用量子阱中的量子限制斯塔克效应，可使其光吸收和折射率变化对外加电场的相应灵敏度大大提高。改变材料组分，可使器件特性与专用激光波长达到最佳匹配。进一步降低结构的维度，即制成量子线和量子点材料，还可使材料的电致吸收和电致折变效应进一步增强。一种基于量子阱材料中电荷迁移现象的自电光效应也受到广泛重视，利用这种效应可制成光开关，去掉光照后开关作用的恢复取决于该结构材料的弛豫时间，这种器件由于非线性过程的谐振特性，所需电光相互作用长度很短（约 pm 量级），且便于制成开关阵列。

GaAs 是一类重要的光折变材料。光折变效应是 1966 年发现的：材料受光照而引起折射率变化。在光照下，载流子被激发，通过迁移被重新俘获而造成电荷重新分布建立起内电场，并由于电光效应使材料的折射率受到调制。这些半导体光折变材料主要用于红外波段的相位共轭、光放大、高速信息处理等。

GaAs 中还存在光子牵引效应，光入射到材料中，材料中会产生电场，且电场强度与入射光强度成正比。光子牵引效应可由自由载流子、杂质电离或带间跃迁所引起。光子牵引材料主要用于光子牵引探测器。这种探测器一般为棒状。主要用于探测 CO_2 激光。这种器件结构简单、结实、响应频率较高，可在较强光强下工作。

负电子亲和势（NEA）材料是一种新型的电子发射材料。1965 年，人们将 Cs 吸附在 GaAs 上首次获得了 NEA 材料，NEA 材料作为一种光电阴极材料是光电管、光电倍增管、变像管、像增强器和一些摄像管等光电器件，使不同波长的各种辐射信号转换为电信号的关键部件。用它们制成的光电阴极和二次发射打拿极有许多工业用途。用 GaAs∶Cs-O 制作光电倍增管的光电阴极；GaAs∶Cs-O 是高效率穿透式二次发射（TSE）体，能制成较理想的 TSE 打拿极。GaAs∶Cs-O 还用做冷阴极。NEA 光电阴极与普通光电阴极的主要区别在于有效逃逸深度方面；NEA 阴极要长 1～3 个数量级，这一点对光电发射和二次发射都很重要，逃逸深度越长，灵敏度越高。Ⅲ-Ⅴ族半导体单晶光电阴极具有量子效率高、暗发射小、光电子能量分布集中、扩展长波阈潜力大等特点，因而得到快速发展。GaAS 则可用多个晶面制出阴极。利用场助光电阴极（外电场加速光电子使其克服表面势垒而逸出）可使 InGaAsP、InGaAs 等 NEA 阴极有较高的检测灵敏度。

光波导是一种对光进行传输、互联和控制的器件，可使光和相关光（电）器件获得所需要的功能，是制备光（电）集成回路的关键器件。早期的光波导材料研究主要集中于 LINbO（铌酸及），之后，对 GaAs、InP 等Ⅲ-Ⅴ族化合物及某些Ⅱ-Ⅵ族化合物半导体材料进行了研究。研究中发现，GaAs/Si 异质结材料有很好的波导性能。

此外，GaAs 材料具有压电效应，可制作压力传感器。

利用 GaAs 在接受 α 射线、β 射线、γ 射线和其他射线及空间射线照射后，会在材料中产生电子—空穴对的效应，用 GaAs 材料可以制作辐射探测器。近几年国内也在开展这方面的研究。

轻掺硅 GaAs 单晶（载流子浓度小于等于 10^{16} cm^{-3}）可以制作夜视仪窗口，在军事上有所应用。

编写：李献杰（中国电子科技集团公司第 13 研究所）
武壮文（中国电子科技集团公司第 13 研究所）
审稿：曾庆明（中国电子科技集团公司第 13 研究所）

第6章　其他常见化合物半导体材料

1　GaP

常温下，非掺杂 GaP 单晶为橙红色透明晶体，空气中稳定，750℃以下不氧化，真空中 1 100℃开始离解。

GaP 是间接跃迁半导体材料，间接跃迁半导体的发光几乎都与杂质有关。GaP 的带隙为 2.26 eV（300 K）；虽然其带间复合概率很小，但利用等电子陷阱所形成的束缚激子复合可获得相当高的发光效率。例如，往 GaP 中掺氮（N），N 在晶格中占 P 位；N、P 同属 V 族元素，是等电性的（这种掺杂又叫等电子掺杂），只是 N 原子外层比 P 原子少 8 个电子；这样，GaP 晶格中 P 格点上的 N 原子对电子的亲和力比 P 原子亲和力大而易于俘获电子，再经库仑力的作用俘获空穴形成束缚激子；这就是等价电子所形成的等电子陷阱。它复合时，可产生有效的近带隙复合辐射。由于激子只包含电子、空穴，不易发生导致能量损失的俄歇过程，使等电子陷阱发光得到较高的发光效率。GaP 中掺 N 浓度约为 $10^{17}/cm^3$ 时，N 是绿色发光中心，掺 N 浓度再高，会在晶格中形成 N—N 对，N—N 对所形成的激子复合时发黄光。如在 GaP 中掺入 Zn—O 对，Zn—O 复合体可视为等价分子，亦可成为等电子陷阱，它所形成的束缚激子复合发红光。对于绿色发光还提出了另外的机理：伴有声子发射的自由激子复合发光和自由空穴与被施主俘获的电子复合发光。已在高纯度外延层中观察到纯绿色发光，并制出了纯绿色 LED。目前大量生产的绿色（实际为黄绿色）LED 仍采用掺 N 技术。

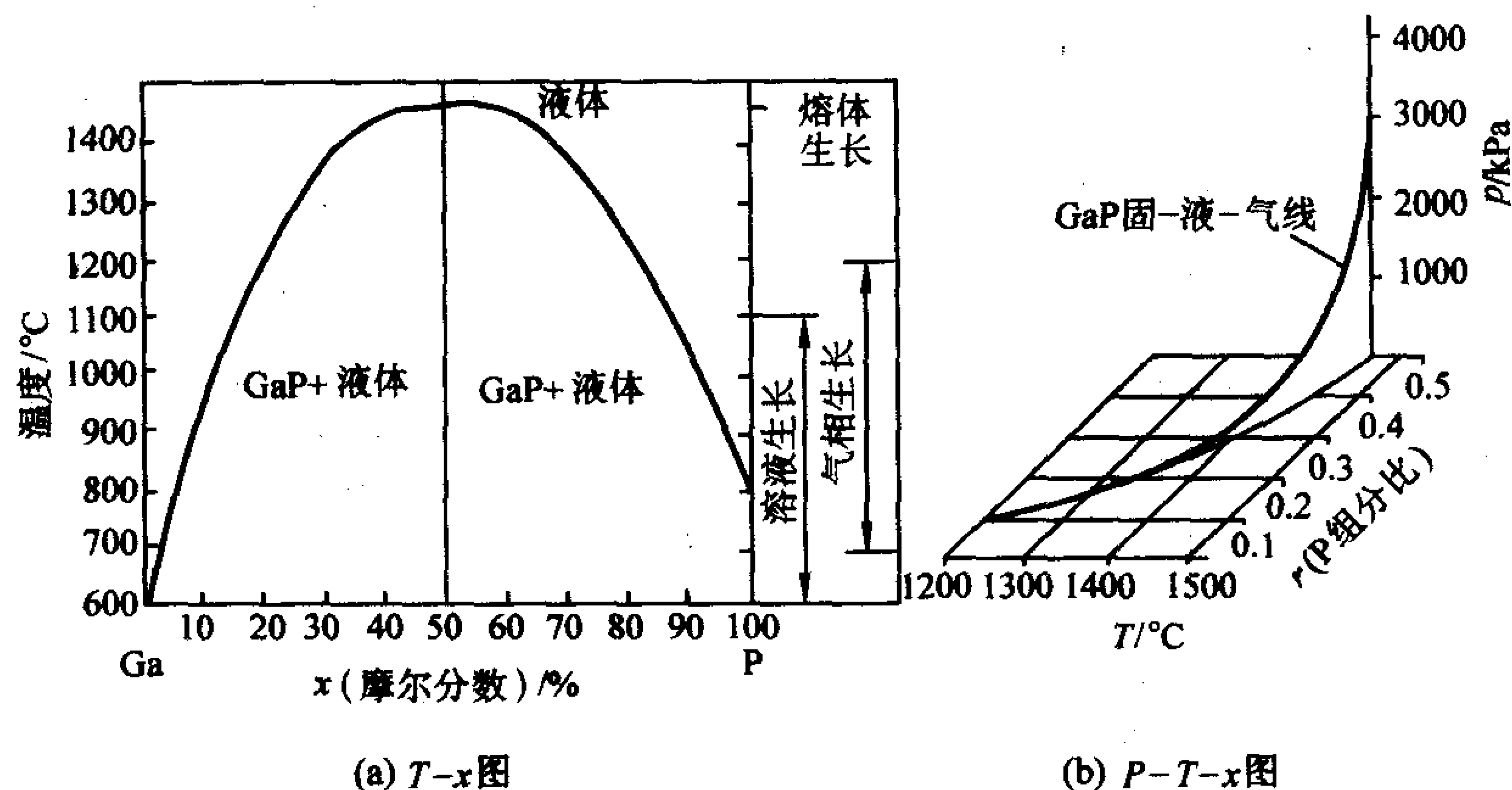
高纯 GaP 样品中，在 500℃以上才发生本征电导，故一般情况下其输运性质取决于杂质和缺陷的性质，通过掺杂补偿可以得到半绝缘 GaP 材料，其电阻率可达 $10^8 \sim 10^{11}\ \Omega\cdot cm$；其若干杂质的电离能列于表 5.6-1。

表 5.6-1　GaP 中若干杂质的电离能

（+价带上，-导带下）

施主杂质	电离能 /meV	受主杂质	电离能 /meV	过渡族金属杂质	电离能 /meV
O	+897	C	+54.3	Ti	-500，+1 000
S	-107	Si	+210	V	-580
Se	-105	Ge	+265	Cr	-1 200，-500
Te	-92.6	Cu	+530，580，650	Mn	+400，-430
Si	-85	Mg	+59.9	Fe	+820，-260
Ge	-204	Zn	+69.7	Co	+410，-330
Sn	-72	Cd	+102.2	Ni	+510，-820

300 K 时，GaP 的二级弹性模量（GPa）为：$C_{11}=140.5$，$C_{12}=62.03$，$C_{44}=70.03$。GaP 的相图（$T-x$ 图及 $P-T-x$ 图）及若干力学、热学、光学性质分别示于图 5.6-1，图 5.6-2 及图 5.6-3，图 5.6-4 和图 5.6-5 中。



(a) $T-x$图　　(b) $P-T-x$图

图 5.6-1　GaP 相图

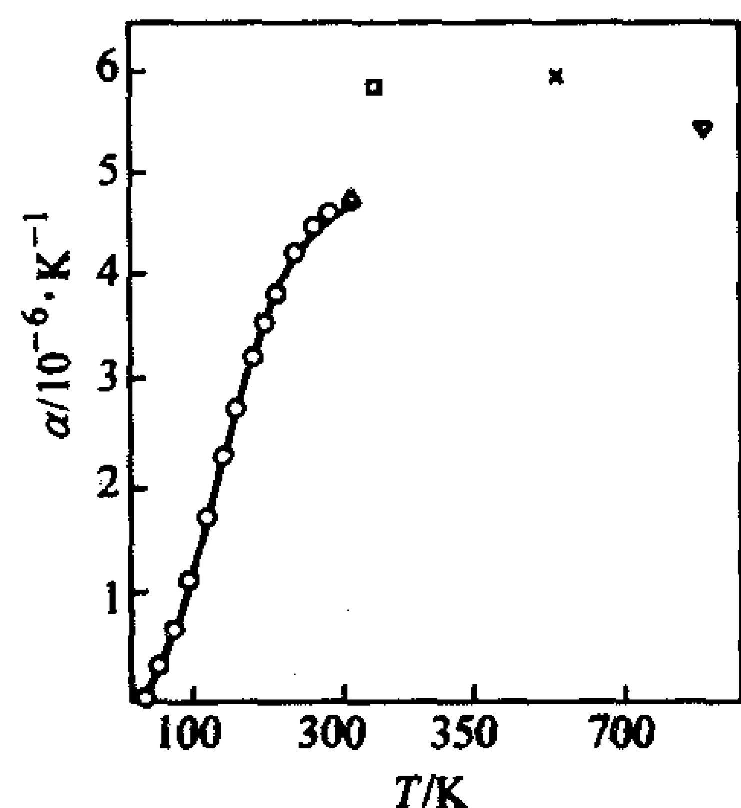


图 5.6-2　GaP 的线胀系数 α 和温度的关系

GaP 单晶是化合物半导体单晶中生产量仅次于 GaAs 单晶的重要光电子材料，主要用于红、（黄）绿色 LED 生产。全世界 GaP 单晶年产量 1980 年增加到 10 t/a，目前，其全世界年产量约 20 t。单晶生产工艺主要是高压 LEC（液封直拉）法，单晶直径以 50 mm 为主，用 VGF（垂直梯度凝固）/VB（垂直布里奇曼）技术已制备出低位错密度单晶（EPD 约 $10^2 \sim 10^3/cm^2$），但未用于工业生产。

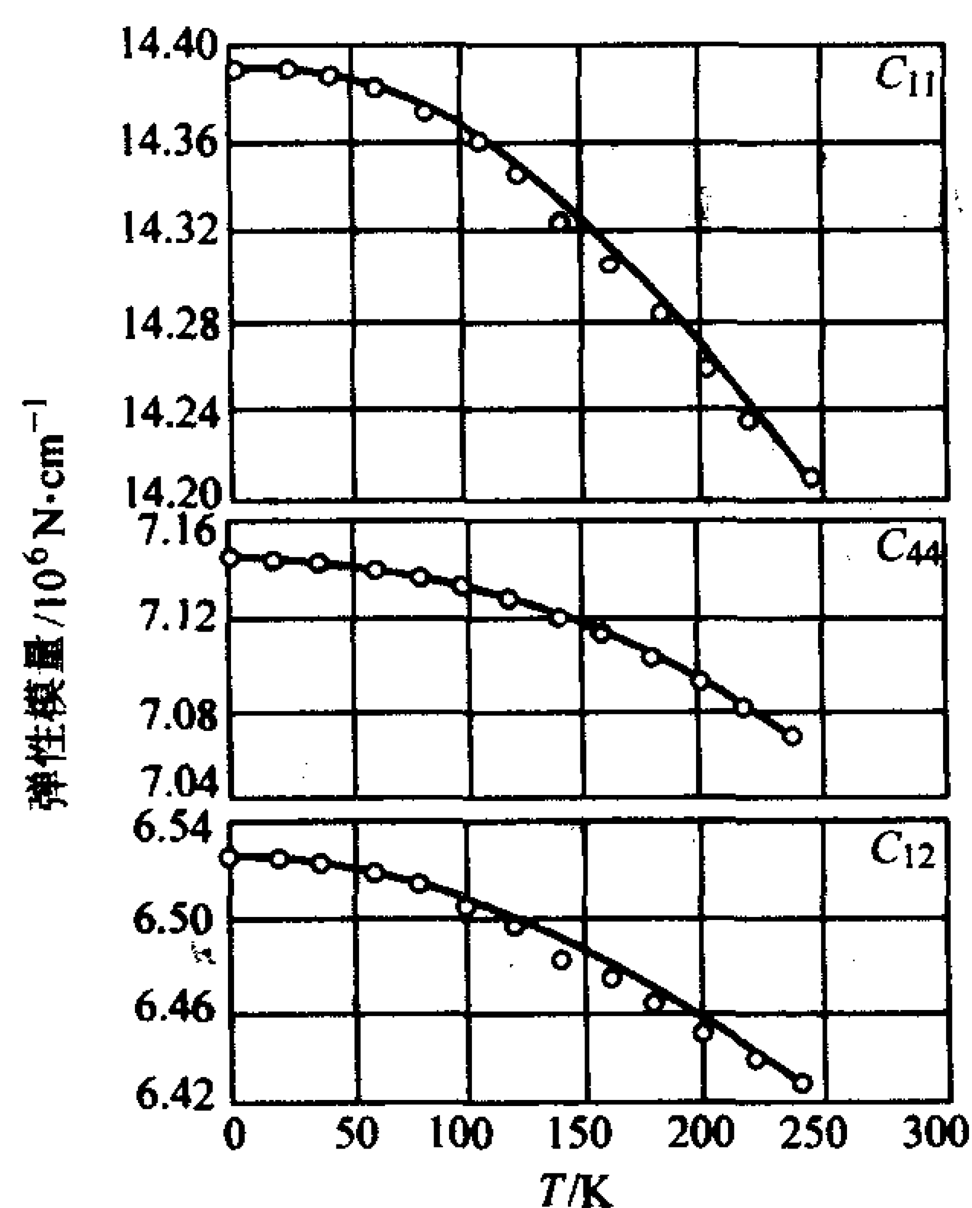


图 5.6-3 GaP 的二阶弹性模量与温度的关系

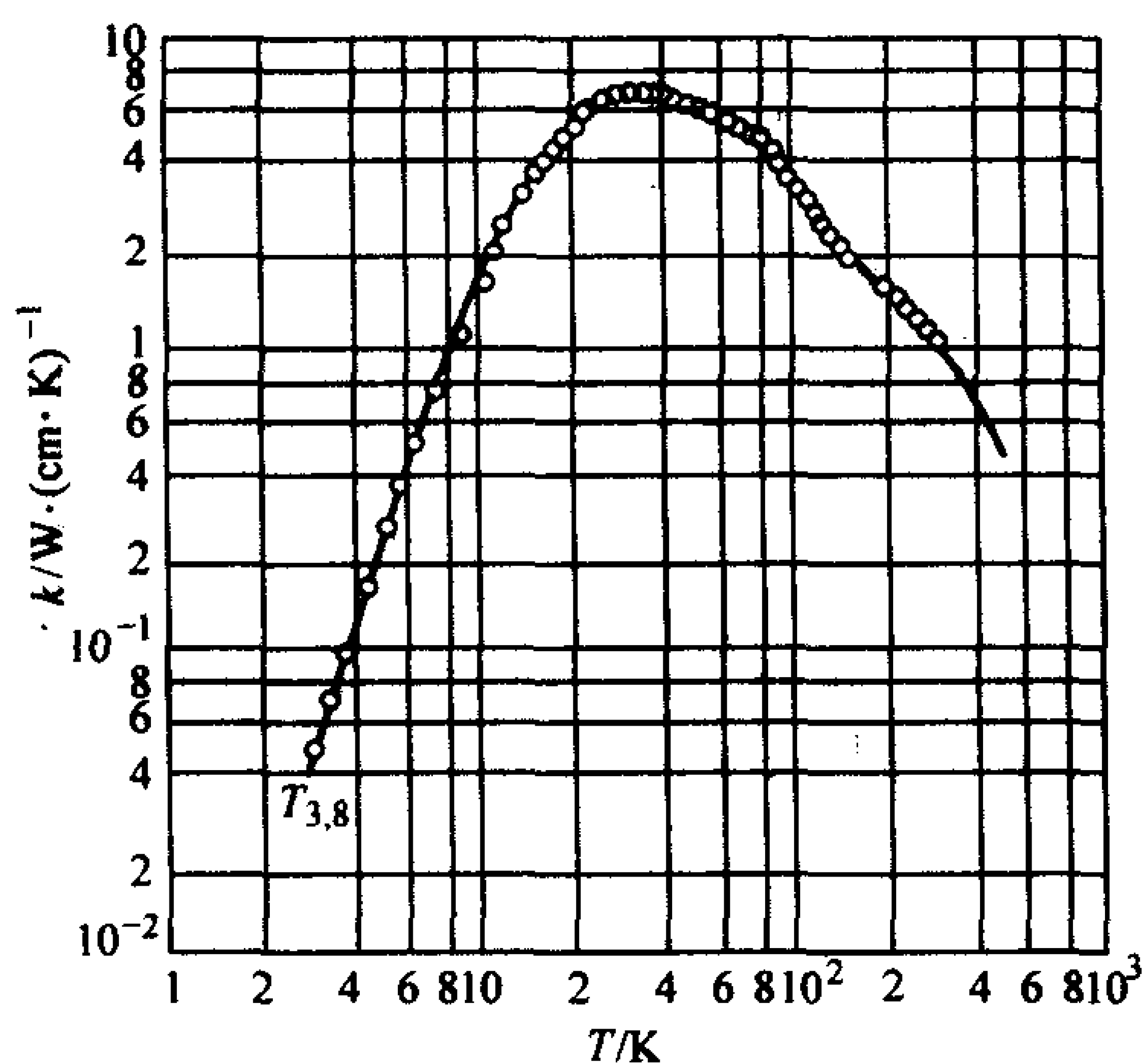


图 5.6-4 p 型 GaP 的热导率 κ 与温度的关系

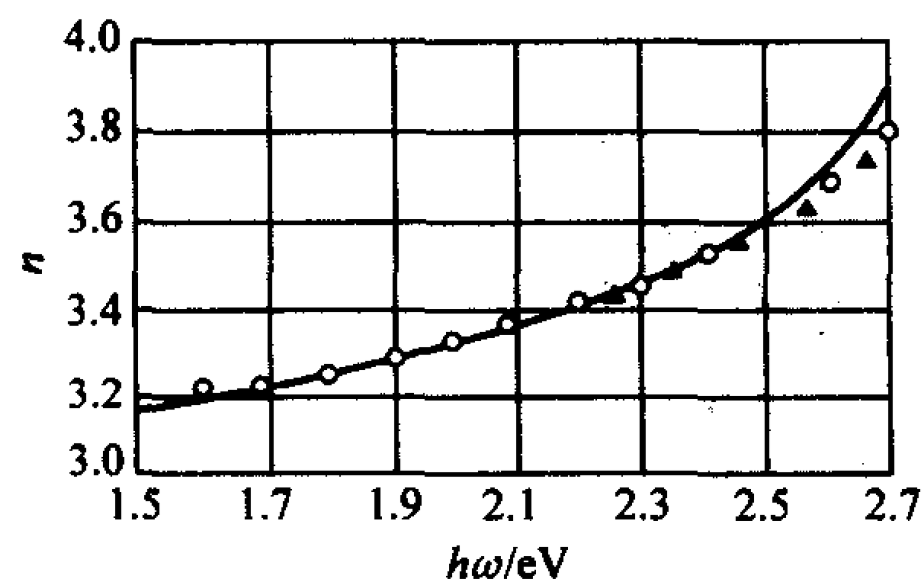


图 5.6-5 GaP 的折射率 n 与光子能量的关系

2 GaSb

与其他Ⅲ－Ⅴ族化合物比较，GaSb 熔点较低，熔点时离解压较小，可在常压下进行单晶生长。在采用 LEC 工艺生长单晶时，一般利用 KCl + NaCl（摩尔比 1:1）作为液封剂。GaSb 为直接带隙，且带隙较小，是重要的红外光电子材料。非掺杂 GaSb 总是 p 型的，这在实用化Ⅲ－Ⅴ族化合物半导体材料中是惟一的例外。其主要受主被认为是本征缺陷——Ga 空位与 Ga 占 Sb 格点的复合体 $V_{Ga}\cdot Ga_{Sb}$（表 5.6-2 及表 5.6-3）。

表 5.6-2 GaSb 光学参数与光子能量的关系（300 K）

光子能量/eV	1.5	2.0	2.5	3.0	3.5
折射率	4.388	5.239	4.312	3.832	3.785
消光系数	0.344	1.379	2.285	2.109	2.545

续表 5.6-2

反射率	0.398	0.487	0.484	0.444	0.485
吸收系数 /10^3·cm^{-1}	52.37	279.43	579.07	641.20	902.86
光子能量/eV	4.0	4.5	5.0	5.5	6.0
折射率	3.450	1.586	1.369	1.212	0.935
消光系数	3.643	3.392	2.751	2.645	2.416
反射率	0.583	0.651	0.585	0.592	0.610
吸收系数 /10^3·cm^{-1}	1 477.21	1 547.17	1 394.02	1 474.51	1 469.28

表 5.6-3 GaSb 的力学性质（300 K）

性质	二级弹性模量/GPa			杨氏模量 /GPa	泊松比	微断裂强度 /GPa
	C_{11}	C_{12}	C_{44}			
GaSb	88.5	40.4	43.2	76.0	0.30	1.51

GaSb 的热学性能如图 5.6-6 和图 5.6-7 所示。

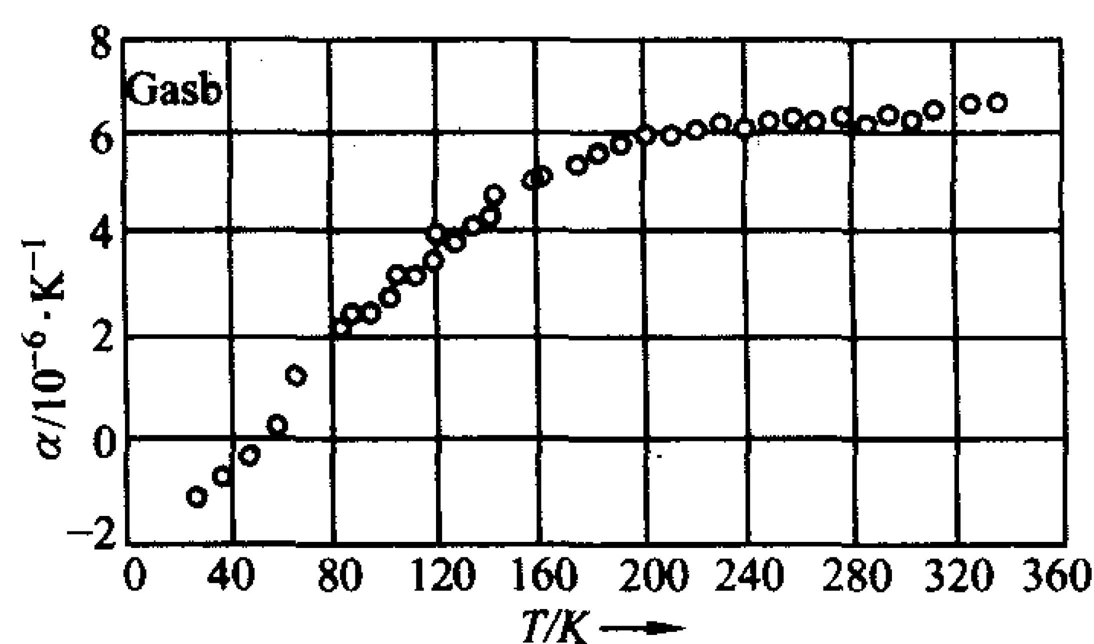


图 5.6-6 GaSb 的线胀系数 α 与温度的关系

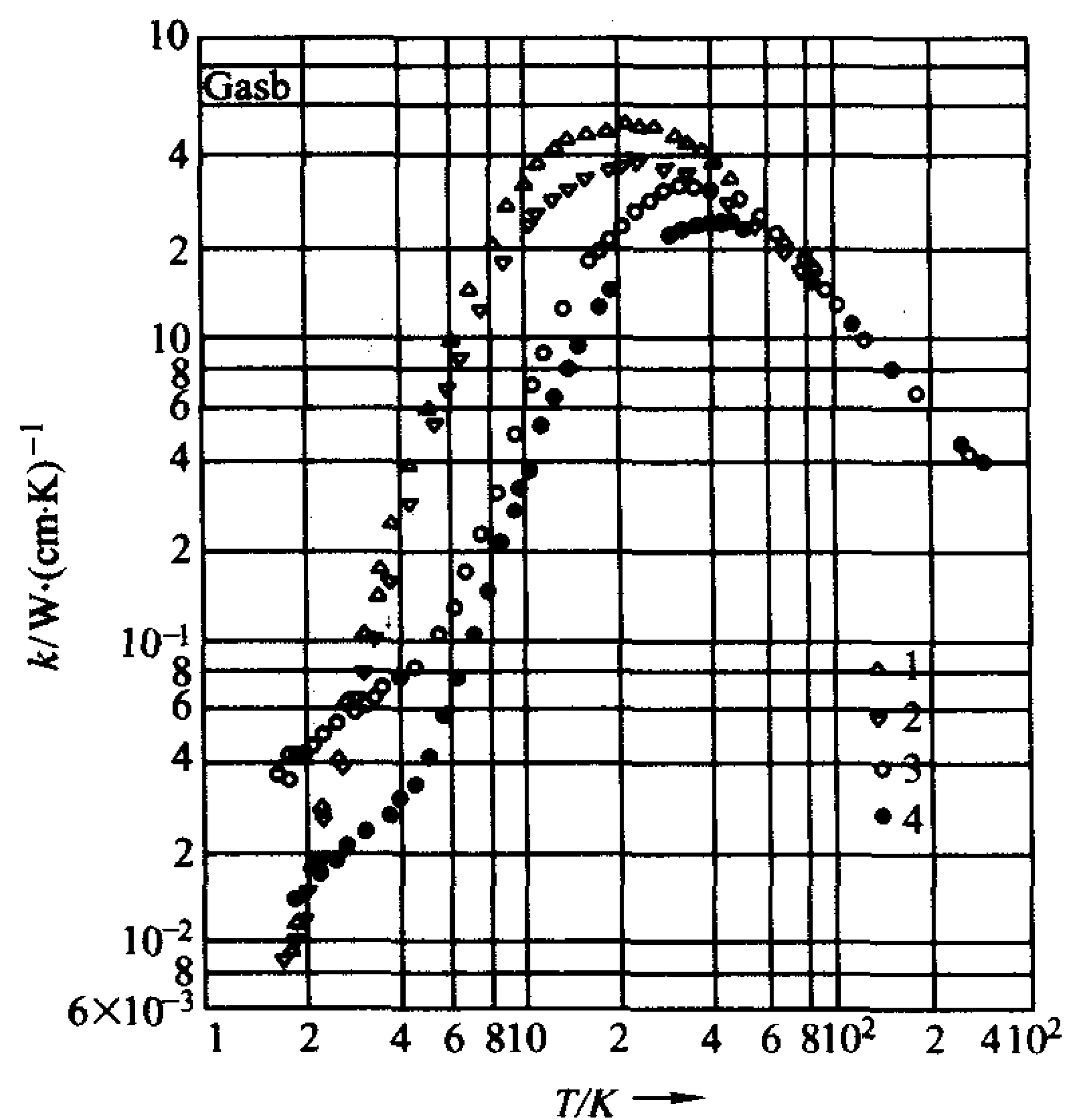


图 5.6-7 p 型 GaSb 的热导率 κ 与温度的关系

3 砷化铟（InAs）和锑化铟（InSb）

InAs 和 InSb 都是Ⅲ－Ⅴ族化合物半导体材料。表 5.6-4 是它们的一些主要物理性质及电学性质的总结。图 5.6-8、图 5.6-9 分别是砷化铟和锑化铟的能带结构图。

InAs 和 InSb 都是窄禁带的直接跃迁型化合物半导体材料。在红外区它们有很强的本征吸收。InAs 和 InSb 单晶分别采用液封直拉法和直拉法生长。锑化物/砷化物是典型的

表 5.6-4　InAs 和 InSb 的一些主要物理性质及电学性质

物理及电学性质	InAs	InSb
晶体结构	闪锌矿型	闪锌矿型
分子量	189.73	286.58
密度/g·cm^{-3}	5.667	5.775 1
晶格常数 a_0/nm	0.605 84	0.647 877
热导率/W/（cm·K）$^{-1}$	0.26	0.18
熔点/℃	943 ± 3	525.2
禁带类型	直接跃迁型	直接跃迁型
禁带宽度（300 K）/eV	0.359	0.180
电子迁移率(300 K)/cm^2·(V·s)$^{-1}$	22 600	100 000
空穴迁移率(300 K)/cm^2·(V·s)$^{-1}$	150 ~ 200	1 700
电子有效质量（300 K）/m_0	0.027	0.013 5
静电介电常数 ε_0（300 K）	14.55	17.72
光学介电常数 ε_∞（300 K）	11.8	15.7
电阻率（300 K）/Ω·cm	0.03	0.06

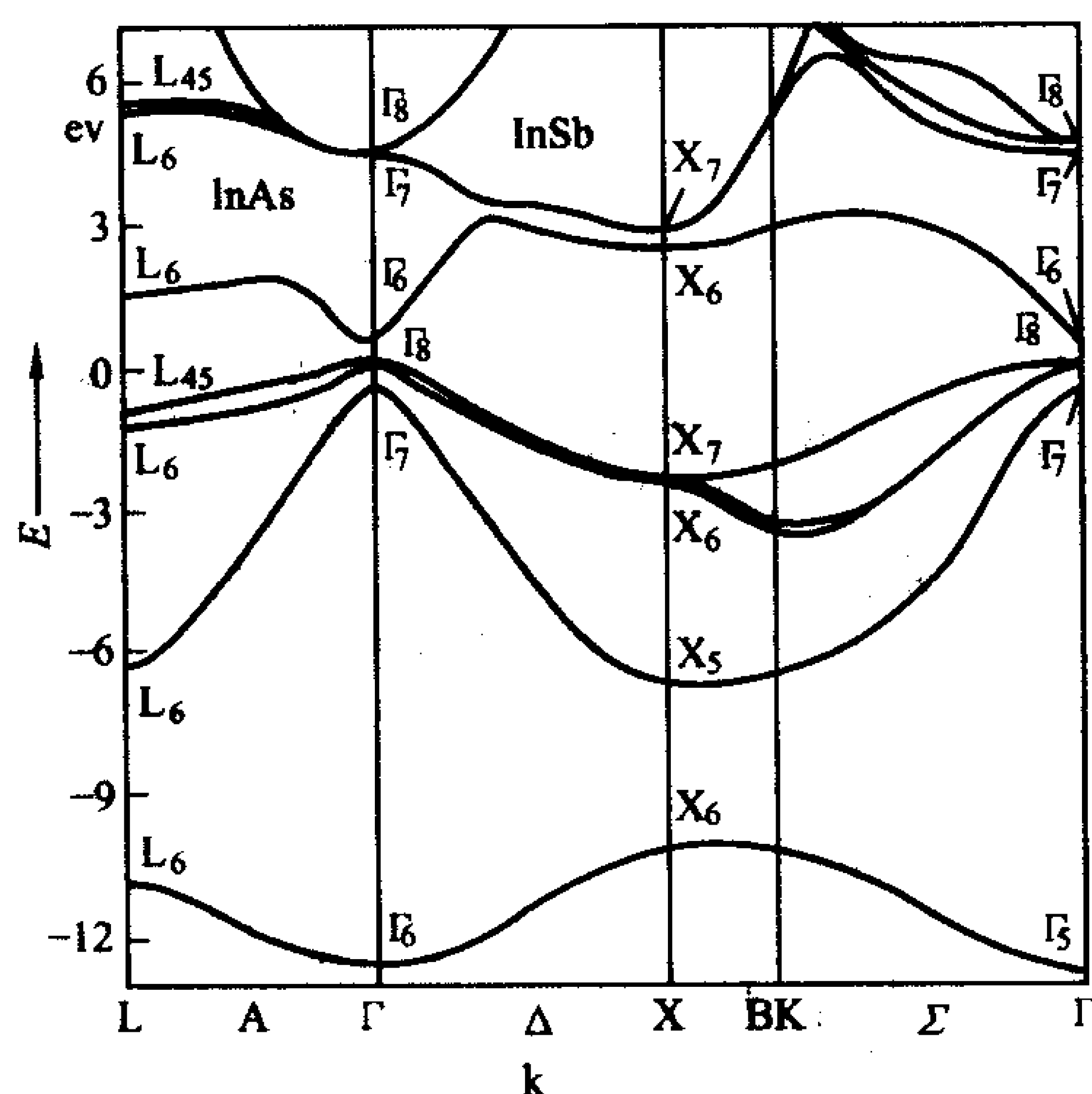


图 5.6-8　砷化铟的能带结构图

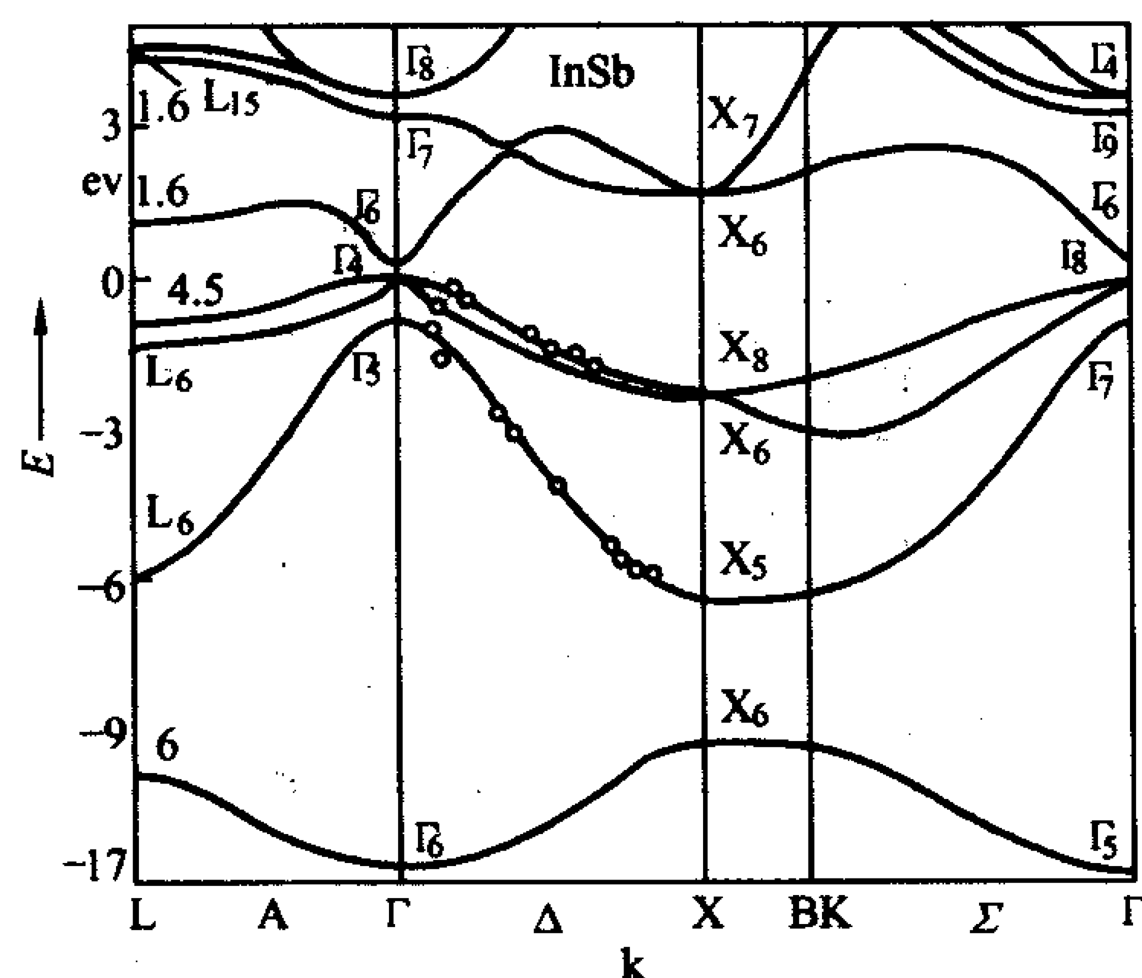


图 5.6-9　锑化铟的能带结构图

Ⅱ类组分异质结，包括 InGaSb/InAs，InAs/GaSb，AlSb/InAs 和 InSb/InAlSb 等体系，具有很多特异的性能。如 InAs/GaSb 体系，由于 InAs 的导带顶低于 GaSb 的价带顶，使得此体系具有半金属特性。在此基础上发展了 InAs/AlSb/GaSb 三组元和多组元结构，实现了带间共振隧穿，已制备出了性能优越的共振隧穿器件。另外，由于 InSb 本身是窄禁带半导体材料，有效质量又很小，可直接用来制作 3 ~ 5 μm 的中红外探测器及其焦平面阵列。利用 InSb/InAlSb 应变超晶格材料研制出 8 ~ 12 μm长波长红外探测器。同样也用 InAs/GaInSb 超晶格材料制成了性能优越的波长为 10.6 μm 的光探测器。由于它们具有很高的电子迁移率和饱和速率，及 $\Gamma-L$ 谷间能隙大等特点，在高电场作用下可以产生大的速度过冲，因此它们是很有应用前景的高速、高频器件材料。

4　硫化铅（PbS）和硒化铅（PbSe）

PbS 和 PbSe 是铅 - Ⅵ族元素形成的化合物半导体材料。表 5.6-5 是它们的一些物理和电学性质。图 5.6-10、图 5.6-11 分别是 PbS 和 PbSe 的能带结构图。它们是具有 NaCl 型结构的直接跃迁型窄禁带半导体材料。根据这些材料及其合金的性质，它们已被成功地用于长波成像，二极管激光器和光电能量的转化等方面。除了 PbS 和 PbSe 外，具有 NaCl 型结构的铅 - Ⅵ族元素形成的化和物半导体材料，还有碲化铅（PbTe）等，与具有闪锌矿型结构的Ⅲ - Ⅴ族和Ⅱ - Ⅵ族化合物半导体材料相比，它们具有很多非常特别的电学及结构性质。例如：

1）Pb- Ⅵ族元素形成的化合物半导体材料具有双价带最大值，另外其导带最小值位于布里渊区的 L 点，而直接跃迁型的Ⅱ - Ⅵ族化合物半导体材料的导带最小值位于布里渊区中心 Γ 点。

2）Pb- Ⅵ族元素形成的化合物半导体材料禁带大小的变化顺序为 E_g（PbS）> E_g（PbTe）> E_g（PbSe），而Ⅱ - Ⅵ族化合物半导体材料的禁带大小随阴离子的原子数增加单调地减小。

3）通过计算可知 Pb - Ⅵ族元素形成的化合物半导体材料价带最大值偏移量的变化顺序为：E_{VBM}（PbS）> E_{VBM}（PbSe）> E_{VBM}（PbTe），而Ⅱ - Ⅵ族化合物半导体材料价带最大值偏移量的变化顺序与之相反。

4）Pb- Ⅵ族元素形成的化合物半导体材料的禁带大小随压力的增加而减小，即其具有负的压力系数。而Ⅲ - Ⅴ族和Ⅱ - Ⅵ族化合物半导体材料的禁带大小随压力的增加而增大，具有正的压力系数。

5）半导体合金材料 $A_{1-x}B_x$ 的禁带值一般表示为：$E_g(x) = (1-x)E_g(A) + xE_g(B) - bx(1-x)$，$b$ 是光学变化系数（optical bowing coefficient），对于所有具有闪锌矿结构的半导体合金材料的光学变化系数 $b > 0$，可是，对于 $PbSe_xTe_{1-x}$ 的光学变化系数却相反，$b < 0$。

6）在富 Te 的 PbS_xTe_{1-x} 合金中存在两个不同长度的 Pb - S键。而对于具有闪锌矿结构的Ⅲ - Ⅴ族和Ⅱ - Ⅵ族化合物半导体合金材料中的阴阳离子对之间只存在单一的键。

表 5.6-5　PbS 和 PbSe 的物理及电学性质

物理及电学性质	PbS	PbSe
晶体结构	NaCl 型	NaCl 型
分子量	239.26	286.16
密度/g·cm^{-3}	7.493，7.597	8.26
晶格常数 a_0/nm	0.593 6	0.611 7
熔点/℃	1 110	1 082
禁带类型	直接跃迁型	直接跃迁型
禁带宽度（300 K）/eV	0.41	0.278

续表 5.6-5

物理及电学性质	PbS	PbSe
电子迁移率 (77 K) /$cm^2·(V·s)^{-1}$	700	26
空穴迁移率 (77 K) /$cm^2·(V·s)^{-1}$		27
电子有效质量 (300 K) /m_0	0.027	0.013 5
介电常数：ε_0，ε_∞ (300 K)	169，72	210，22.9

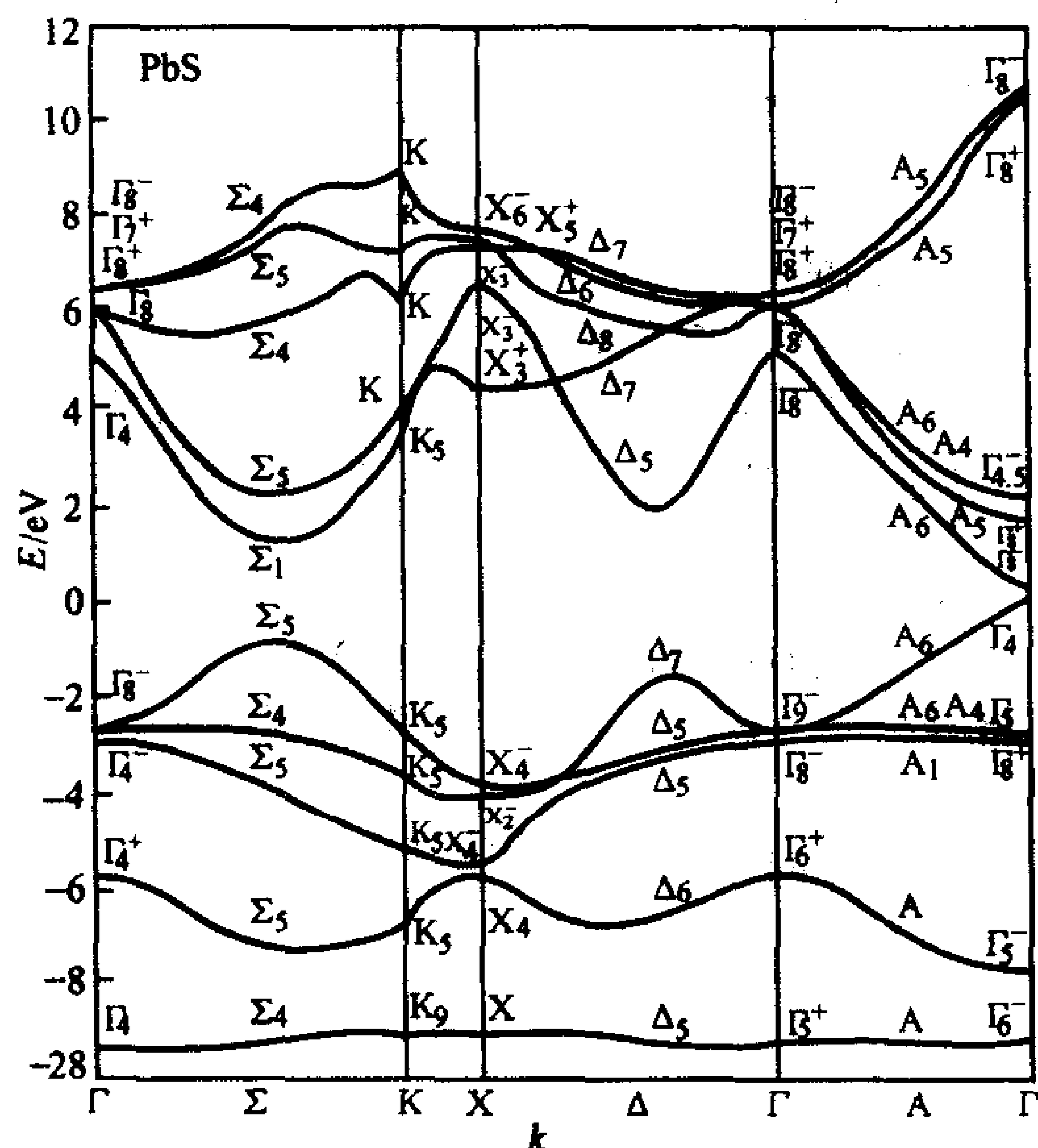


图 5.6-10 PbS 能带结构

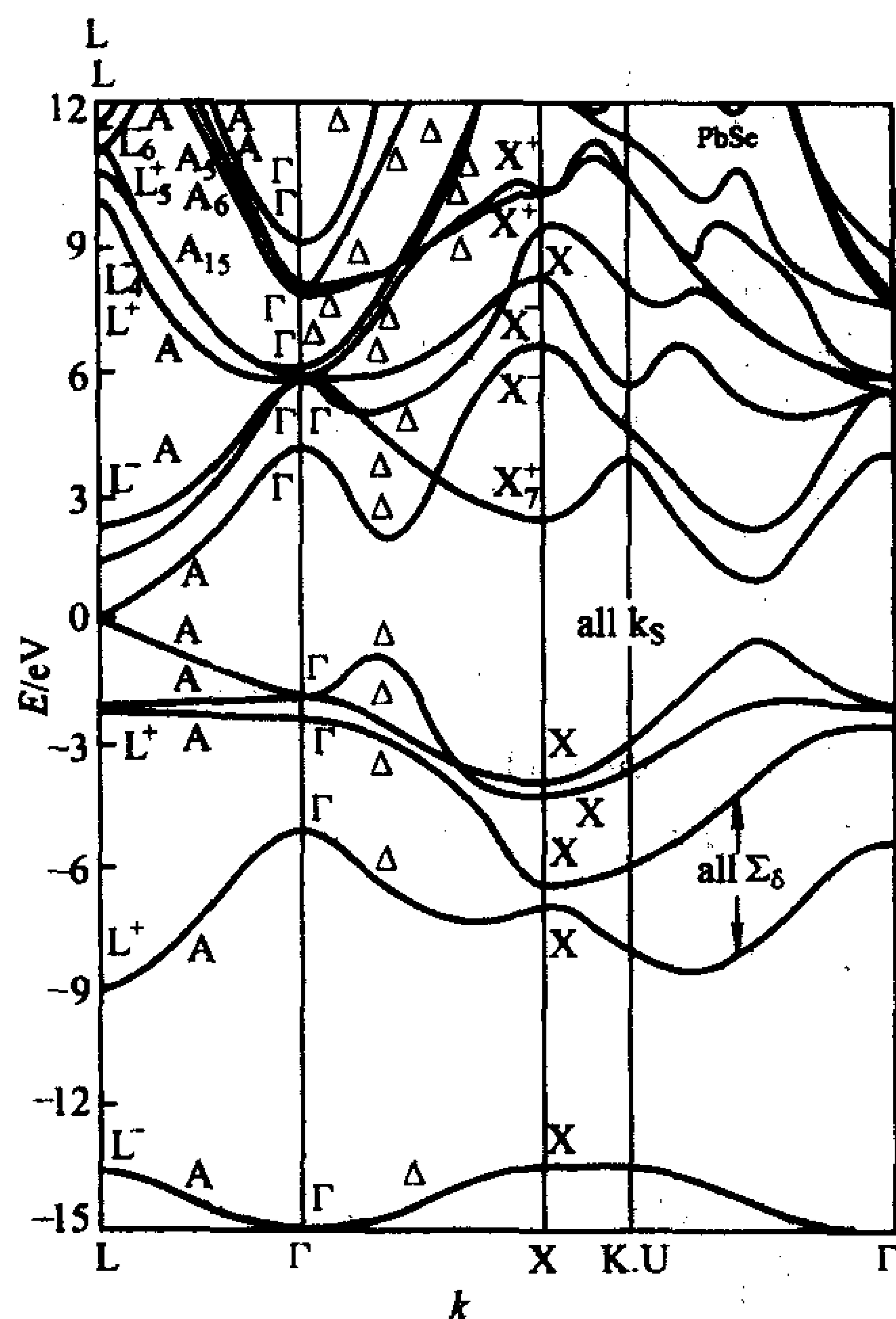


图 5.6-11 PbSe 能带结构

5 Ⅱ-Ⅵ族半导体材料

Ⅱ-Ⅵ族半导体是由元素周期表中ⅡB族元素（Zn，Cd，Hg）与ⅥA族元素（Se，Te）所形成的化合物半导体材料，它们的基本性质列于于表 5.6-6 中。在 Hg 的化合物中，除 α-HgS 外，都是半金属。除 HgS 外，其他化合物室温下的稳定晶体结构是闪锌矿或纤锌矿结构，其主要解面是 {110} 面或{0 1̄0}面。

表 5.6-6 部分Ⅱ-Ⅳ族半导体材料的物理及电学性质

物理及电学性质	ZnS	ZnSe	CdTe
晶体结构	纤锌矿(W) 闪锌矿(S)	纤锌矿(W) 闪锌矿(S)	闪锌矿(S)
密度/$g·cm^{-3}$	4.09 5.26	5.28 5.64	5.86
晶格常数 a_0/nm	a = 0.382 3(W) c = 0.626 0(W) 0 = 0.566 8(S)	a = 0.400 3(W) c = 0.654 0(W) 0.610 2(S)	0.648 1
熔点/K	2 103	1 793	1 365
禁带类型	直接跃迁型	直接跃迁型	直接跃迁型
禁带宽度(300 K)/eV	3.74～3.88(W) 2.72	2.80～2.83(W) 2.31	1.47
电子迁移率(77 K)/$cm^2·(V·s)^{-1}$	165～280(W) 500～625(S)	560(W) 340(S)	500～1 000
空穴迁移率(77 K)/$cm^2·(V·s)^{-1}$	100～800(W) 28～30(S)	110(W) 100～120(S)	70～120
介电常数 ε_0(300 K)	9.6(W) 9.1(S)	—(W) 9.3，10.1(S)	7.3

Ⅱ-Ⅵ族化合物与Ⅲ-Ⅴ族化合物相比，离子键成分更多，大多数化合物熔点也较高，熔点时蒸气压也较高，且两种组成元素均有较高的蒸气压，使这些化合物的单晶生长更为困难。Ⅱ-Ⅵ族化合物半导体的能带均为直接跃迁型，带隙比周期表中同一行的Ⅲ-Ⅴ族化合物的带隙大，如 ZnSe 的带隙（2.7 eV）大于 GaAs 的带隙（1.43 eV）。与Ⅲ-Ⅴ族化合物类似，随着平均原子序数 Z 的增加，其带隙 E_g 逐渐变小，如图 5.6-12 所示。

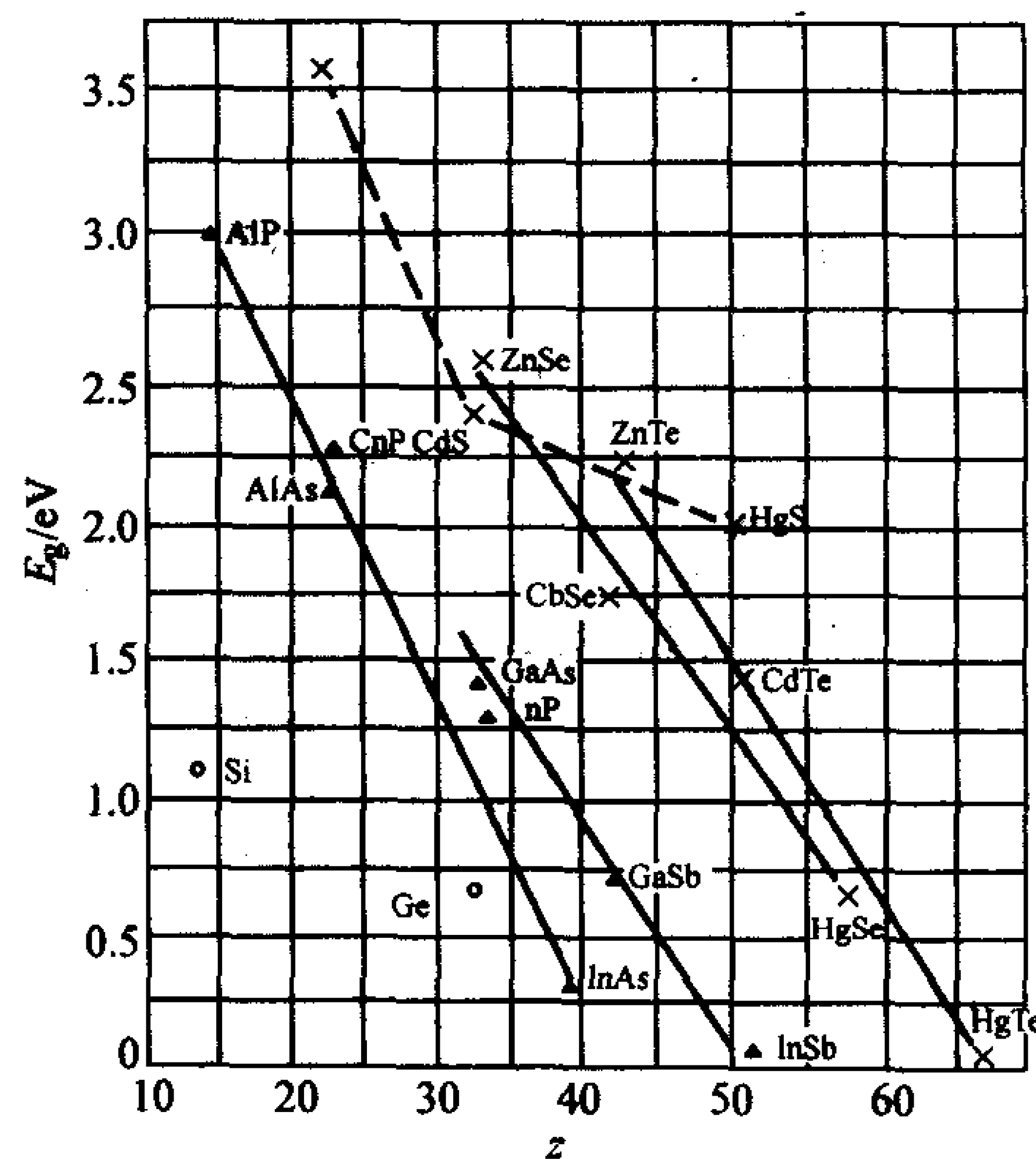


图 5.6-12 部分半导体材料带隙 E_g 和其平均原子序数 Z 的关系

较大带隙Ⅱ-Ⅵ族化合物的带隙与温度的关系可表示为：

$$\frac{dE_g}{dT} = -2sk_B$$

式中，s 为一无量纲常数，k_B 为玻尔兹曼常数，有关材料的 s 值列于表 5.6-7。

表 5.6-7　大带隙Ⅱ-Ⅵ族化合物的 s 值

材料	晶体结构	s 值	材料	晶体结构	s 值
ZnS	S（闪锌矿） W（纤锌矿）	2.82 4.30	CdS	S W	— 1.54
ZnSe	S W	3.12 —	CdSe	S W	2.83 2.94
ZnTe	S W	2.29 —	CdTe	S	1.68

室温下，由于大部分材料带隙较大，其本征载流子浓度 n_i、p_i 都很低，其电导主要是由缺陷引起的，即有 $n \gg n_i \gg p$ 或 $p \gg p_i \gg n$。本征缺陷与偏离化学配比有关，过剩Ⅱ族原子和过剩Ⅵ族原子分别起施主和受主作用。

几种Ⅱ-Ⅵ族化合物的相图如图 5.6-13 所示。

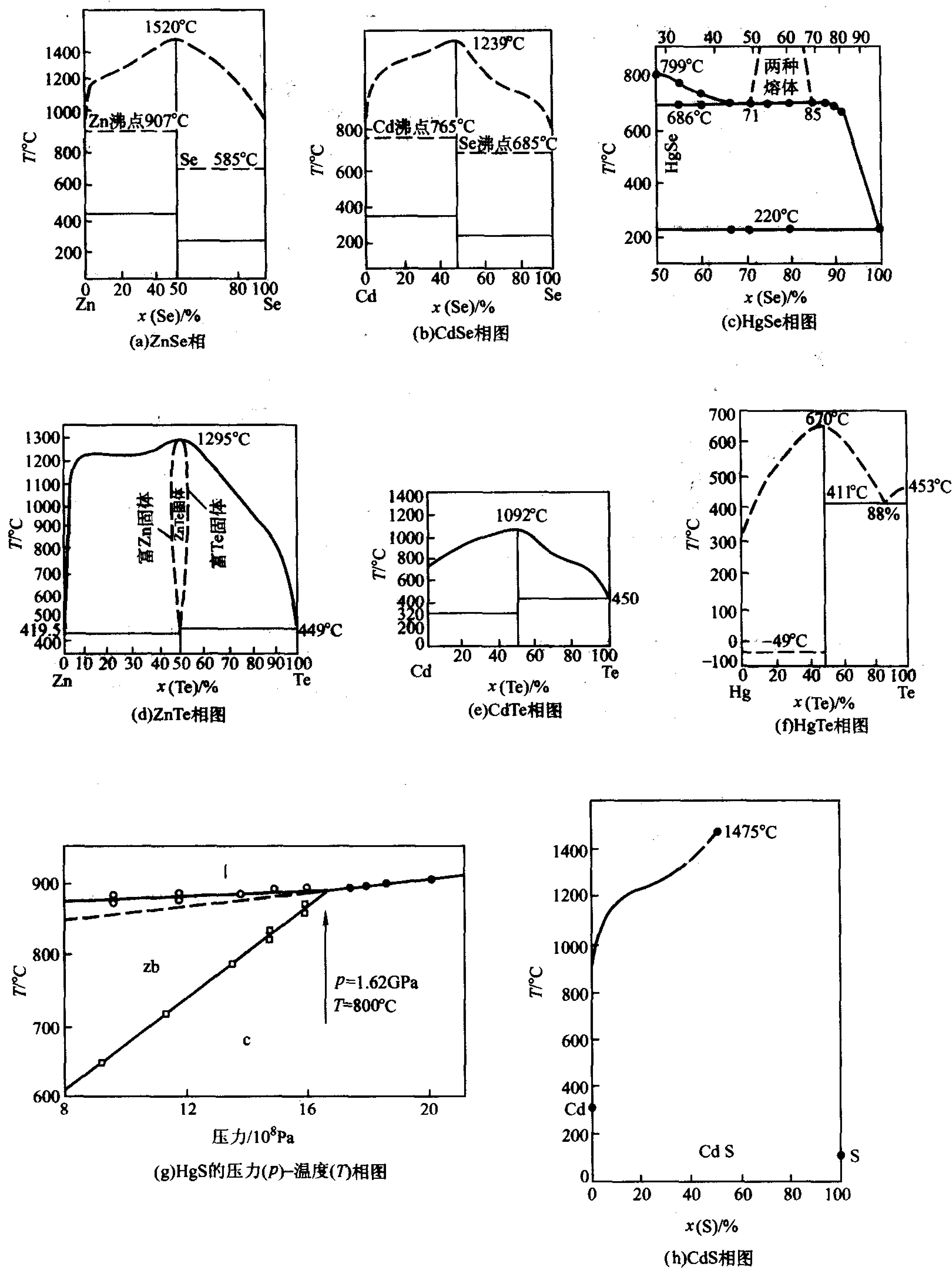


图 5.6-13　几种Ⅱ-Ⅵ族化合物的相图

6 其他材料（InGaAs、AlGaAs、InAlAs、InGaP 等）

Ⅲ-Ⅴ族化合物半导体材料之间形成的三元或四元半导体合金材料越来越受到人们的重视。因为随着分子束外延等先进的材料生长技术的发展，使其能带结构可根据实际需要而人为地进行“任意”裁剪，因此这些合金材料与二元的化合物半导体材料相比更适合于制备光电器件或激光器。图 5.6-14 表示出了各种二元化合物半导体材料及其合金的禁带大小与其晶格常数之间的关系。由图 5.6-14 很容易发现合金材料与二元化合物半导体之间的晶格匹配情况及它们的禁带宽度。

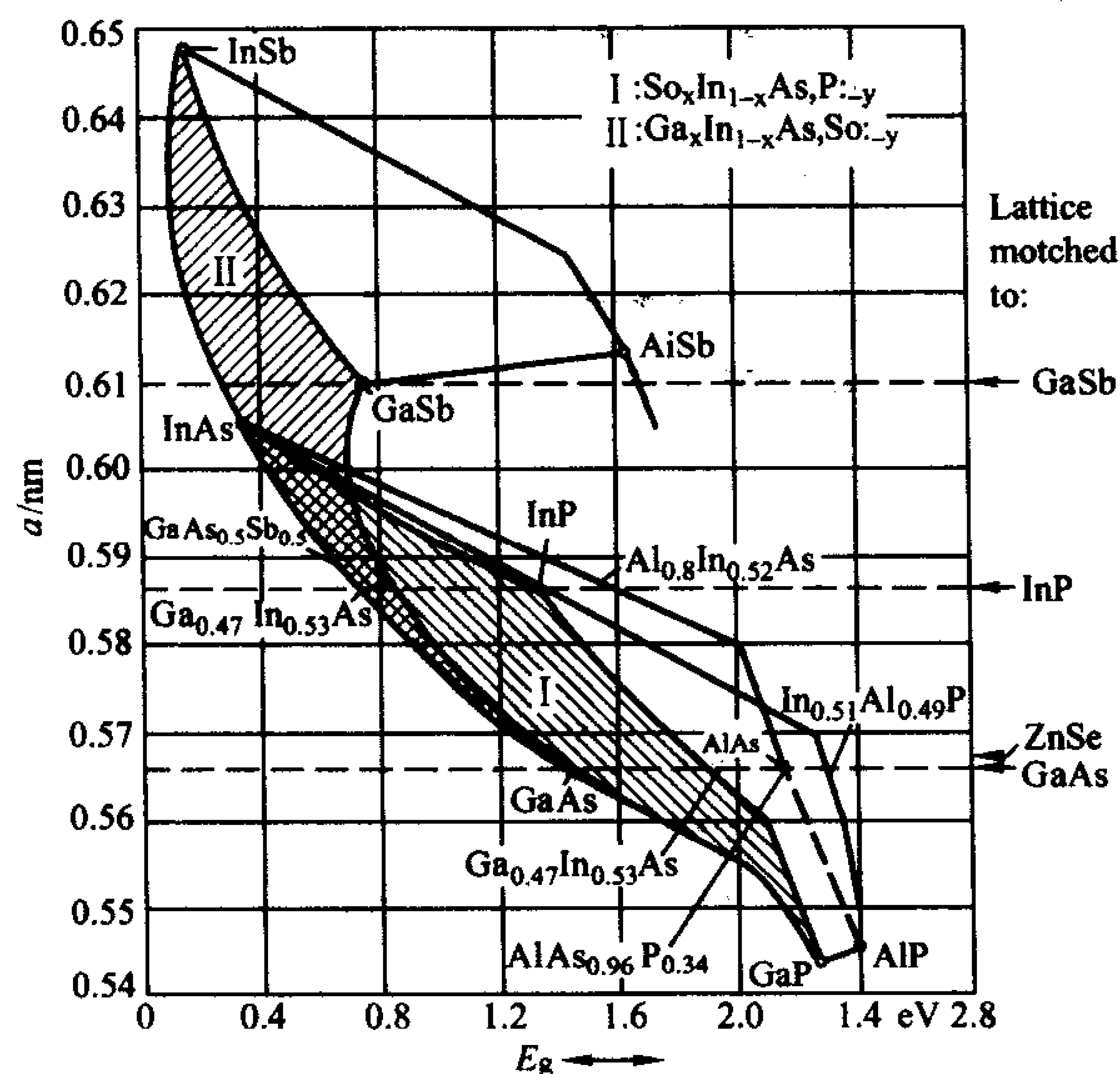


图 5.6-14 表示出了各种二元化合物半导体材料及其三元和四元合金的禁带宽度与其晶格常数的关系

下面介绍几种较典型的$Ⅲ_x$-$Ⅲ_{1-x}$-Ⅴ族类型的三元半导体合金材料：

(1) AlGaAs（$Al_xGa_{1-x}As$）

电学性质：存在一个组分转变点 x_c，当 x 小于 x_c 时，属于直接跃迁型半导体材料，与 GaAs 相同；当 x 大于 x_c 时，属于间接跃迁型半导体材料，与 AlAs 相同。

晶格特性：由图 5.6-14 可知，GaAs 和 AlAs 的晶格常数非常接近，因此可用分子束外延技术（MBE）、液相外延技术（LPE）或气相外延技术（VPE）在 GaAs 衬底上生长出晶格匹配的 AlGaAs 层。

晶格常数 a/nm	$(5.6533+0.0078x)\times0.1$
密度/g·cm^{-3}	$5.36-1.6x$
熔点 T_m/K	固相线的变化规律 $1511-58x+560x^2$ 液相线的变化规律 $1511+1082x-580x^2$

(2) AlInAs（$Al_xIn_{1-x}As$）

能带结构随着组分的变化由直接跃迁型（与 InAs 相同）向间接跃迁型（与 AlAs 相同）转变，组分转变点为 x_c。

禁带宽度 E_g（eV）随组分的变化规律：

$E_g(\Gamma)$ $0.37+1.91x+0.74x^2$ $0.0\leqslant x\leqslant0.48$ 300 K

$E_g(X)$ $1.8+0.4x$

其组成为 $In_{0.48}Al_{0.52}As$ 时，与 InP 材料晶格匹配。由图 5.6-14 可知其禁带宽度为 1.450 eV（300 K）。

(3) GaInP

$Ga_xIn_{1-x}P$ 的能带结构在 x 小于 0.7 eV 时属于直接跃迁型，当 x 大于 0.7 eV 时属于间接跃迁型。当 x 约为 0.55 时，其晶格与 GaAs 晶格匹配，如图 5.6-14 所示。

文献所报道的其禁带宽度 E_g（eV）随组分的变化规律如下：

$x=0.56$ $E_g=1.903$

$0.5\leqslant x\leqslant0.53$ $E_g=1.295+1.151x$

$0.49\leqslant x\leqslant0.55$ $E_g=1.469+0.511x+0.6043x^2$

$x=0.515$ $E_g=1.902$

(4) GaInAs

InAs 与 GaAs 都是直接跃迁型半导体材料。由它们组成的三元系统 $Ga_xIn_{1-x}As$ 是四元系统 $Ga_xIn_{1-x}As_yP_{1-y}$ 的一个特例，即 $y=1$。$In_xGa_{1-x}As$ 是制备微波和光电器件的重要材料。$Ga_{0.47}In_{0.53}As$ 与 InP 材料具有完全相同的晶格常数（见图 5.6-14）。

$Ga_xIn_{1-x}As$ 的能带宽度 E_g（eV）随成分的变化规律为：

E_g（eV） $0.324+0.7x+0.4x^2$ 300 K

$0.422+0.7x+0.4x^2$ 2 K

编写：张峰翊（北京有色金属研究总院）
董志远（北京有色金属研究总院）
审稿：邓志杰（北京有色金属研究总院）

参 考 文 献

1 师昌绪，李恒德，周廉主编．材料科学与工程手册，半导体材料篇．北京：化学工业出版社，2004

2 邓志杰，郑安生．半导体材料．北京：化学工业出版社，2004

3 杨树人，王宗昌，王兢．半导体材料．长春：吉林大学出版社，1997

4 Mueller G. Melt Growth of Semicon. In Fornari R and Paorici C ed. Theoretical and Thechnol. Aspects of crystal growth. Mater. Sci. Forum，1998. Switzerland：Trans Tech Pub. Lted，1998

5 Capper P. Bulk growth technol. In Capper P. ed. Narrow－gap Ⅱ-Ⅵ Comp. for optoelectro. Electpmagnetic Appl. Lodon：Chapman&hall，1997

6 Bliss D F. InP Bulk Crystal growth and Character. in Wada O and Hasegawa H. ed. InP based Mater. Devices：Phys. Technol. New York：John Wiley &Sons. Inc，1999

7 师昌绪主编．材料科学与技术百科全书：下卷．北京：中国大百科全书出版社，1995

8 Jackson K A 主编．半导体工艺（材料科学与技术丛书，第16卷）．屠海令等译校．北京：科学出版社，1999

9 沈学础．半导体光谱和光学性质．北京：科学出版社，2002

10 R戴特，格雷.AL主编．电感耦合等离子体质谱分析的应用．李金英等译．北京：原子能出版社，1998

11 蔡绍勤，李昌世，王新等．高纯金属和半导体材料分析．北京：冶金工业出版社，1995

12 李效白．砷化镓微波功率场效应晶体管及其集成电路．北京：科学出版社，1998

13 谢孟贤．刘诺．化合物半导体材料与器件．成都：电子科技大学出版社，2000

14 谢永桂．超高速化合物半导体器件．北京：宇航出版社，1998

15 曾树荣．半导体器件物理基础．北京：北京大学出版社，2002

16 顾卫东，李献杰．新型GaInNAs系低功耗HBT研究进展．半导体技术，2002，27（9）：4～8

17 郑厚植．人工物性剪裁——半导体超晶格物理、材料及新器件结构的探索．长沙：湖南科学技术出版社，1997

中 国 材 料 工 程 大 典
CHINA MATERIALS ENGINEERING CANON
第11卷 信息功能材料工程(上)

第6篇

宽带隙半导体及其应用

主 编 郑有炓

编 写 郑有炓 谢自力 修向前 陈敦军
江若琏 顾书林 韩 平 胡立群
施 毅 张 荣 郑泽伟 陈光华
沈 波 陈 鹏 周玉刚 胡小波
徐现刚 孔月婵 叶建东 刘 斌

审 稿 中国材料工程大典编委会

中国机械工程学会
中国材料研究学会
中国材料工程大典编委会

第1章 概 述

1 宽带隙半导体材料的类型

众所周知，半导体材料的带隙宽度（Bandgap）是半导体材料自身固有的基本属性，不同的半导体材料具有不同的带隙宽度。半导体材料的带隙宽度决定了其制成器件的工作温度区域和工作光学窗口，像 Ge、Si、GaAs、InP 这些对信息技术发展起了关键推动作用的半导体材料的带隙宽度都小于 2 eV，相应的工作温区不超过 250℃，工作光学窗口在近红外以内。随着信息技术的迅猛发展，发展高功率、高频、高温电子器件以及短波长光电器件已经成为迫切需求。因此，研究发展带隙宽度比 Ge、Si、GaAs、InP 更宽，又有独特技术应用价值的宽带隙半导体材料，以突破现有半导体器件的工作高温限制和短波限制，日益受到人们的高度重视。研究开发宽带隙半导体材料与器件已经成为本世纪半导体科学技术研发的重要内容，世界各国都把发展宽带隙半导体技术（Widegap Technology 或 WiTech）列入重点研究计划，并受到产业界、商业界的积极支持。正像在 20 世纪里第一、第二代半导体材料的应用引起电子学、光电子学的革命，有力地推动信息技术的变革一样，宽带隙半导体技术有望在 21 世纪的半导体科学技术中扮演重要角色，为半导体科学技术和信息技术带来新的变革，推向新的水平。

什么是宽带隙半导体？宽带隙半导体的带隙宽度范围如何界定？从学术角度很难对其带隙宽度范围给予界定，通常是相对于目前主流半导体材料以及半导体技术应用发展前景来界定宽带隙半导体材料的带隙界限。早先人们把带隙宽度大于 2.2 eV 的半导体材料称作"宽带隙半导体"，近来人们又把宽带隙半导体定义为超过 2.5 eV 的半导体材料。

带隙宽度大于 2.2 eV 或 2.5 eV 的半导体材料很多，但从开拓新一代半导体技术应用来看，目前最受人们重视的宽带隙半导体主要有以下四种类型：

1）Ⅲ族氮化物　包括 GaN（3.4 eV），InN（1.9 eV；最近报道 0.7 eV），AlN（6.2 eV）以及它们的三元合金 AlGaN，InGaN，和四元合金 InGaAlN 化合物，都是直接带隙半导体材料。

2）Ⅳ－Ⅳ族化合物　Ⅳ－Ⅳ族宽带隙化合物半导体包括 SiC（2.4～3.1 eV）和金刚石薄膜（Diamond）（5.5 eV），都是间接带隙半导体材料。

3）ZnO 基氧化物　ZnO 基氧化物（3.3～4.0 eV）主要是 ZnO 及其三元合金 ZnMgO，ZnCdO。属直接带隙半导体材料。

4）Ⅱ－Ⅵ族化合物　当前主要的Ⅱ－Ⅵ族化合物是 Zn 基化合物，如 ZnSe（2.67 eV）、ZnTe、ZnS（3.66 eV）及其三元、四元合金化合物 ZnCdSe，ZnSSe，ZnMgSSe。属直接带隙半导体材料。

2 宽带隙半导体材料的发展概况

20 世纪后期 GaN 基Ⅲ族氮化物半导体研究的突破，为宽带隙半导体的发展带来生机。近年来无论在宽带隙半导体材料或器件的研究开发上都取得了重要进展，并不断有所突破。但各种材料发展也不平衡，Ⅲ族氮化物和碳化硅进展较大，氧化锌紧紧跟上，金刚石薄膜较慢。

Ⅲ族氮化物包括 InN、GaN、AlN 及其三元、四元合金化合物，都是直接带隙材料，其禁带宽度从 InN 的 1.9 eV（目前报道为 0.7 eV）到 AlN 的 6.2 eV，是发展从可见到紫外波段光子电器件的优选材料，同时基于它优越的电子特性，又可用于发展高温、高频、大功率电子器件，成为当代最引人注目的宽带隙半导体材料。GaN 则是Ⅲ族氮化物中领头率先发展的材料。GaN 的研究历史可以追溯到 20 世纪 30 年代，从人工合成 GaN 晶体开始，一直到 60 年代所得到的都是小针尖状的 GaN 晶体，没有实用价值。60 年代末，人们转向异质衬底外延生长 GaN 薄膜材料的研究，经历 10 年左右的时间，取得了进展。用氢化物气相淀积技术（HVPE）在蓝宝石衬底上淀积了较大面积的 GaN 薄膜，用掺 Zn 的 GaN 做成 MIS 结构的发光二极管器件（LED），首次实现了蓝光发射。但 GaN 材料质量较差和 p 型掺杂困难制约了 GaN 以及Ⅲ族氮化物器件的应用。从 70 年代末期开始，又经历 10 年左右时间，材料科学家们致力于研究提高 GaN 材料质量和解决 GaN 的 p 型掺杂困难。在这个阶段，GaN 材料 MOCVD 制备技术取得了重要突破，包括异质外延的缓冲层技术、双流 MOCVD 技术和 p 型掺杂技术，可以在蓝宝石上 MOCVD 生长出高质量的六方结构 GaN 薄膜材料，基本上解决了长期制约Ⅲ族氮化物器件发展的材料质量和 p 型掺杂两大难题，从而为发展高性能Ⅲ族氮化物器件奠定了基础。1994 年，高亮度蓝光 LED 问世，随即在国际上掀起了Ⅲ族氮化物材料和器件的研发新高潮。随着材料技术的进步，各种高性能的光电器件、电子器件相继问世，例如，Ⅲ族氮化物半导体激光器问世，研制出 GaN 光电导型紫外探测器，研制成功 AlGaN/GaN HFET 电子器件等等。90 年代后期，蓝、绿光 LED 进入市场，蓝、绿光激光器也于 21 世纪初开始进入市场。目前Ⅲ族氮化物微波功率器件也发展到相当高水平，预计也将很快进入市场。

SiC 是最早受到人们重视的一种宽带隙半导体材料。早在 20 世纪 20～30 年代，人们就开始研究 SiC 作为晶体检波器的应用，之后数十年里虽然对 SiC 材料和器件开展了很多研究，但由于 SiC 所具有的高度化学与物理稳定性，给 SiC 单晶生长和器件工艺带来很多技术困难，进展很慢。直到 90 年代前后，SiC 单晶生长和器件研制才取得重要进展。但由于材料间接带隙属性，限制其在光电子领域的发展，很快被后起的直接带隙 GaN 材料所替代，目前 SiC 主要用于发展电子器件。SiC 的晶体生长技术近年来已经取得了很大进步，晶体中含有的微管道（Micropipes）密度的 R&D 水平已从 1993 年的 200 MP/cm^2 降低到 1 MP/cm^2，商品水平也达 50～10 MP/cm^2。SiC 的导电性已能得到控制，利用掺 Al 和掺 N 能够获得 p 型和 n 型 SiC 材料，基本上能满足目前制备 SiC 器件同质外延衬底以及作为 GaN 异质外延衬底的要求。但单晶的晶体质量还有待提高，例如商业用的 SiC 单晶位错密度约 10^3～$10^5/cm^2$，导致器件漏电流增大、击穿电压降低，存在微管道限制了器件的有源区工作面积。今后必须制备低位错密度、高纯度、大直径的 SiC 单晶（从 16.2 mm（3 in）扩大到 101.6 mm（4 in）），降低微管道密度（从 50 MP/cm^2 降低到小于0.5 MP/cm^2），提高电子迁移率从几十提高到大于100 $cm^2/V·s$，以满足发展高功率高频 SiC 电子器件以生长高质量 GaN 和 SiC 外延材料的衬底要求。

多晶 ZnO 的研究也已有长久历史，从最早作为面霜，后来用做压电材料，磷光体，传感器，透明导电薄膜以及近期纳米 ZnO 作为防晒霜，已经研究得很多，开拓了许多重应用领域。但是，晶态 ZnO 作为一种新型宽带隙半导体的研究是紧接近几年 GaN 材料获得重大突破之后才受到人们高度重

视，已成为当今国际研究热点。ZnO是直接带隙材料，室温带隙宽度为3.4 eV，物理性质与GaN相似，是一种很理想的短波长光电子材料，可用于发展短波光电子器件。1997年已经观测到ZnO纳米晶的光致受激发射。与GaN相比，ZnO材料生长相对来讲较容易，费用也较便宜。目前ZnO的研究已经取得很大进展，但尚处于材料研究阶段。当前的研究致力于解决生长具有“器件质量”的ZnO单晶薄膜及其异质结构材料、杂质缺陷控制和p型掺杂等关键材料技术，研究探索发展ZnO基光电子器件。

金刚石作为超硬材料早已为人门所重视并广为应用。从理论上讲，金刚石具有极其优越的电子特性，可作为发展半导体电子器件的优选材料。但因为天然的金刚石或者人造金刚石尺寸很小、价格很贵、加工很难，因而金刚石半导体的研究长期停滞不前。20世纪后半叶，基于化学气相淀积(CVD)薄膜技术的进展，人们开始致力研究发展金刚石半导体薄膜材料。采用各种CVD技术异质外生长金刚石薄膜材料，主要是在Si衬底上异质外延，由于两者间巨大的晶格失配，所获得的金刚石薄膜为多晶结构，晶粒间界严重影响材料与器件的性能。目前用CVD制取的非故意掺杂金刚石薄膜材料表面常呈p型电导层，这被认为是金刚石薄膜材料表面悬挂氢（H-teminated）引起的，利用这个p型沟导层有望用于研制MISFET器件。另外，金刚石薄膜材料掺杂特性与其他宽带隙半导体相反，p型掺杂容易，n型掺杂困难。这种掺杂的不对称性也制约了金刚石薄膜材料器件的应用。目前金刚石薄膜电子器件研究也已取得了较大进展，掺硼的金刚石薄膜的空穴迁移率已达1 840 $cm^2/V \cdot s$ (290 K)，研制出0.7 μm栅长的MIS-FET，f_t 达11 GHz。此外，金刚石薄膜的超硬特性可用于MEMs器件。

宽带隙Ⅱ－Ⅵ族化合物半导体早就被认为可用于发展蓝、绿光发光器件和短波探测器件。20世纪80年代，在国际上曾掀起ZnSe基蓝光LED和LD的研究热潮，并于90年代初取得了突破性进展，首次实现半导体蓝绿光激射：1991年采用等离子体氮源p型掺杂，实现了77 K下蓝绿光脉冲激射。1992年实现了室温连续激射。但由于激光器工作期间晶体缺陷在晶体结构中的迅速繁殖，导致器件工作寿命非常短。之后，人们用ZnSe代替GaAs作为外延衬底，降低了位错密度，改善了外延层晶体质量，工作寿命提高到1 000 h。但由于同期GaN基激光器研究的迅速发展，人们对发展蓝、绿光激光器的兴趣便转移到GaN材料。目前主要是在探测器应用方面，特别是 $Cd_{1-x}Zn_xTe$ ($x = 0.08 \sim 0.3$) 辐照探测器。

表6.1-1 几种典型的宽带隙半导体材料的基本参数

性能	Si	GaAs	βSiC	4H SiC	GaN	AlN	金刚石
晶格常数 /nm	0.543	0.565	0.435 96	0.307 $3a_0$ 1.005 $3c_0$	0.451	0.311a_0 0.497 $9c_0$	0.356 7
线胀系数 $/10^{-6} \cdot K^{-1}$	2.6	5.9	4.7	4.2 a_0 4.68c_0	5.6	4.5a_0	0.08
密度 $/g \cdot cm^{-3}$	2.328		3.210	3.211	6.095	3.255	3.515
熔点/℃	1 420		2 830	2 830			4 000
带隙/eV	1.1	1.43	2.2	3.26	3.45	6.2	5.45

续表6.1-1

性能	Si	GaAs	γSiC	4H SiC	GaN	AlN	金刚石
饱和电子速度 $/10^7 \cdot s^{-1}$	1.0	1.0	2.2	2.0	2.2	?	2.7
载流子迁移率 $/cm^2 \cdot (V \cdot s)^{-1}$							
电子	1 500	8 500	1 000	1 140	1 250	?	2 200
空穴	600	400	50	50	850	?	1 600
击穿电压 $/10^5 V \cdot cm^{-1}$	3	6	20	30	> 10	?	100
介电常数	11.9	12.5	9.7	9.6/10	9	8.5	5.5
电阻率/Ω·cm	1 000	10^8	150	$> 10^{12}$	$> 10^{10}$	$> 10^{13}$	$> 10^{13}$
热导率 $/W \cdot (cm \cdot K)^{-1}$	1.5	0.46	4.9	4.9	1.3	3.0	22
吸收边 /μm	1.4	0.85	0.50	0.37	0.36	0.12	0.22
折射率	3.5	3.4	2.7	2.7		3.32	2.42
硬度 $/kg \cdot mm^{-2}$	1 000	600	3 980	2 130c_0		1 200	10 000
Johnson 质量因数 $/10^{23} W\Omega s^2$	9.0	62.5	2 533	4 410	15 670	?	73 856
Keyes 质量因数 $/10^2 W \cdot (cm^1 \cdot s \cdot K)^{-1}$	13.8	6.3	90.3	229	118	?	444
Baliga’s 质量因数	1.0	15.7	4.4		24.6	?	101
温度介量因数	220	394	650	815	1 060	3 000	2 727

可探测x射线和γ射线，探测光子能量从10 keV到1 MeV，可用于医学疹断、工业制造无损检测、天文以及核工业和科学研究等领域。

3 宽带隙半导体材料的特点

表6.1-1列出几种典型的宽带隙半导体材料的基本参数，表中还列出传统半导体材料Si和GaAs以进行对比。从表中可以看出，与Si、GaAs材料相比，宽带隙半导体材料具有以下几个方面的特点。

3.1 压电性与极化效应

除金刚石外，Ⅲ族氮化物、ZnO基化合物、Ⅱ－Ⅵ族Zn化合物等宽带隙半导体有两种形式的晶体结构，即六角“纤锌矿”结构和立方“闪锌矿”结构，纤锌矿结构是热力学稳态结构，是宽带隙半导体的主要晶体结构。由于这类晶体结构缺少反演对称性，都将显示出压电效应。另方面，这类化合物两类原子的大小及负电性差别较大，因而这类晶体也具有较强的离子性，将呈现出极化特性。所以，这种不具有中心对称晶体结构的宽带隙半导体存在很强的压电性及极化特性，而且极化特性又随着材料带宽加大而增强。例如GaN的纤锌矿结构，它是由Ga、N两种原子各自组成的六方排列的双原子层沿[0001]方向堆积而成，具有严格的结晶学极性，同样，ZnO的结构是由系列Zn、O密集平面沿C族堆积而成。如图6.1-1所示。因此，Ⅲ族氮化物是一种具有铁电性、压电性的半导体，具有很强的极化效应。当沿[0001]轴方向存在应变时，将出现压电极化，其压电系数

比Ⅲ－Ⅴ族材料和Ⅱ－Ⅵ族材料大1个数量级以上，AlN的压电系数（e33，e31）还比ZnO和BeO大，其压电极化场可高达 2×10^6 V/cm。即使不存在应变，由于Ⅲ族氮化物沿［0001］方向为六角密集的Ga面－N面构成的双层结构，也会产生“自发极化”。其自发极化系数也很大，AlN只比典型的钙钛矿结构铁电体小3～5倍，自发极化场也可高达 3×10^6 V/cm。因此，对于宽带隙半导体，可利用极强的极化电场对能带的调制，获得许多重要的技术应用。例如，由于极化效应，AlGaN/GaN异质结构中极化电场感生二维电子气密度高达 $10^{13}/cm^2$，可用于发展微波功率器件。

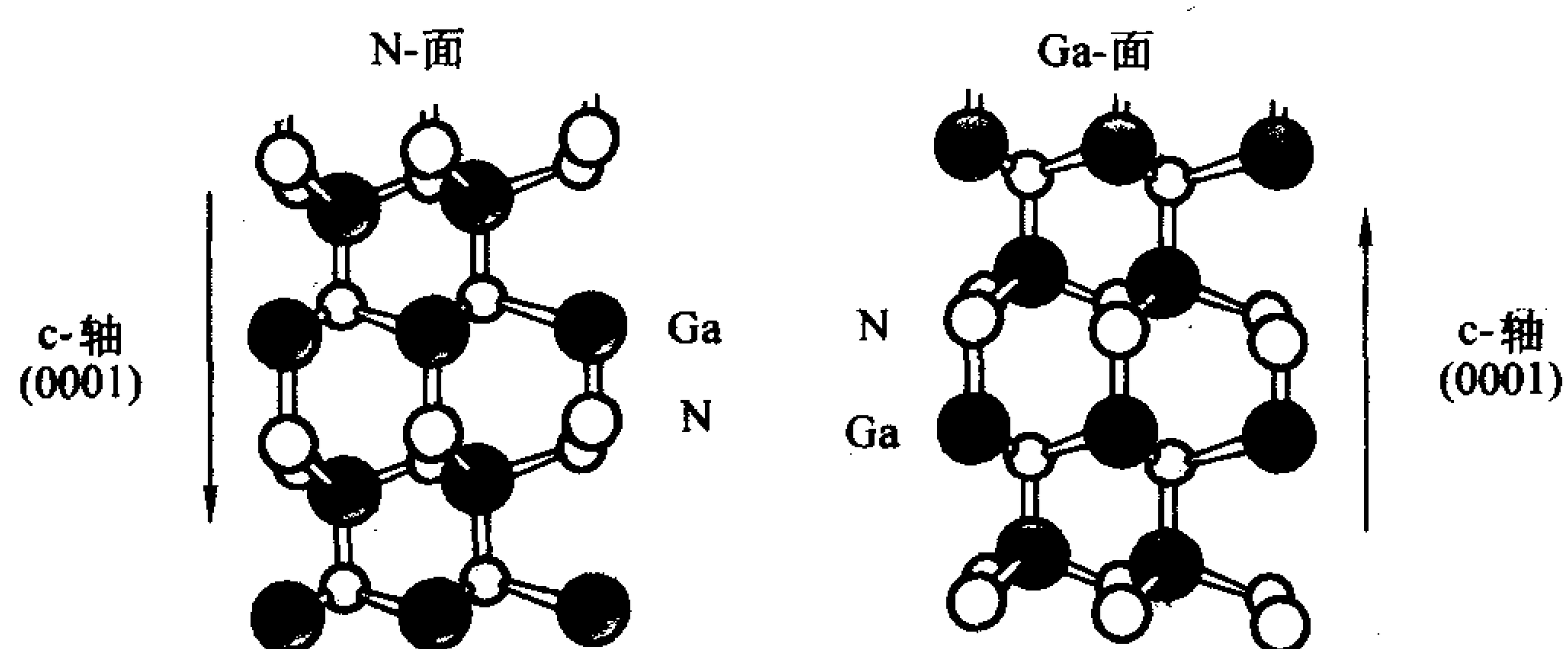


图 6.1-1 GaN 晶体结构

3.2 高热导率

宽带隙半导体材料（ZnSe除外）的热导率一般都高于传统半导体材料。例如，传统的半导体材料GaAs的热导率W/cm·K为0.46，Si为1.5，而宽带隙半导体的6H-SiC为4.9，金刚石则高达20，比Si大13倍，比GaAs大43倍，GaN也比GaAs大3倍。高热导率的材料适合于高温和高功率器件应用。

3.3 小介电常数

宽带隙半导体材料相对介电常数小于传统半导体材料。传统半导体材料的相对介电常数一般都大于11，而宽带隙半导体材料都小于10，例如GaN为8.9，金刚石则只有5.5，为已知半导体材料中介电常数最小的材料。因而，宽带隙半导体有利于发展超高频、超高速电子器件。

3.4 极高临界击穿电场

宽带隙半导体材料具有极高的临界击穿电场，一般都高于 10^{-6} V/cm，SiC临界击穿电场（4×10^6 V/cm）比Si大10倍，金刚石半导体临界击穿电场高达 10^7 V/cm，比传统的GaAs材料高出2个数量级。GaN的临界击穿电场也比GaAs高10倍。显然，高临界击穿电场材料适合于高功率器件应用。

3.5 耐高温、抗辐照

宽带隙半导体材料的化学键合能大，熔点很高。GaN的熔点约为2 500℃，金刚石半导体为4 000℃，都比Si（1 420℃）和GaAs（1 238℃）高得多。因此宽带隙半导体材料高温性能稳定、可靠，并具有很强的抗辐照能力，可用于发展高温、抗辐照器件。例如，ZnO具有比Si，GaAs，GaN更优越的抗辐射性能，可用于开发具有极强抗辐射能力的太空紫外探测器。

3.6 大激子束缚能

宽带隙半导体体材料的激子束缚能一般都很大，例如，ZnO（60 meV）；ZnS（39 meV）；ZnSe（20 meV）；GaN（21 meV），其中ZnO激子束缚能高达60 meV，是所有已知半导体中激子束缚能最大的材料。宽带隙半导体低维量子阱结构，其激子束缚能更大，ZnSe基量子阱激子束缚能最大可达到80 meV。因此，宽带隙半导体材料将具有稳定的室温激子效应，可以开发激子基光电器件，被称为激子基光电子材料。

3.7 巨大能带偏移（Band offset）

宽带隙半导体之间特别是Ⅲ族氮化物半导体的带隙宽度悬殊很大，如InN为1.9 eV（最近认为0.7 eV），GaN为3.4 eV，AlN为6.2 eV。因而，Ⅲ族氮化物的异质结构界面存在巨大的能带不连续性，即能带偏移（Band offset）。图6.1-2为Ⅲ族氮化物异质结构能带排列图，可以看到，GaN/AlN界面导带能带偏移高达1.78 eV，GaN/InN界面能带偏移也达1.36 eV，如果按最近报道的InN带隙宽度为0.7 eV，则导带能带偏移可超过2 eV。半导体异质结构界面能带偏移将导致界面形成载流子势阱，宽带隙半导体界面存在巨大能带偏移将导致界面形成很深的势阱，在界面积聚二维电子（空穴）气。

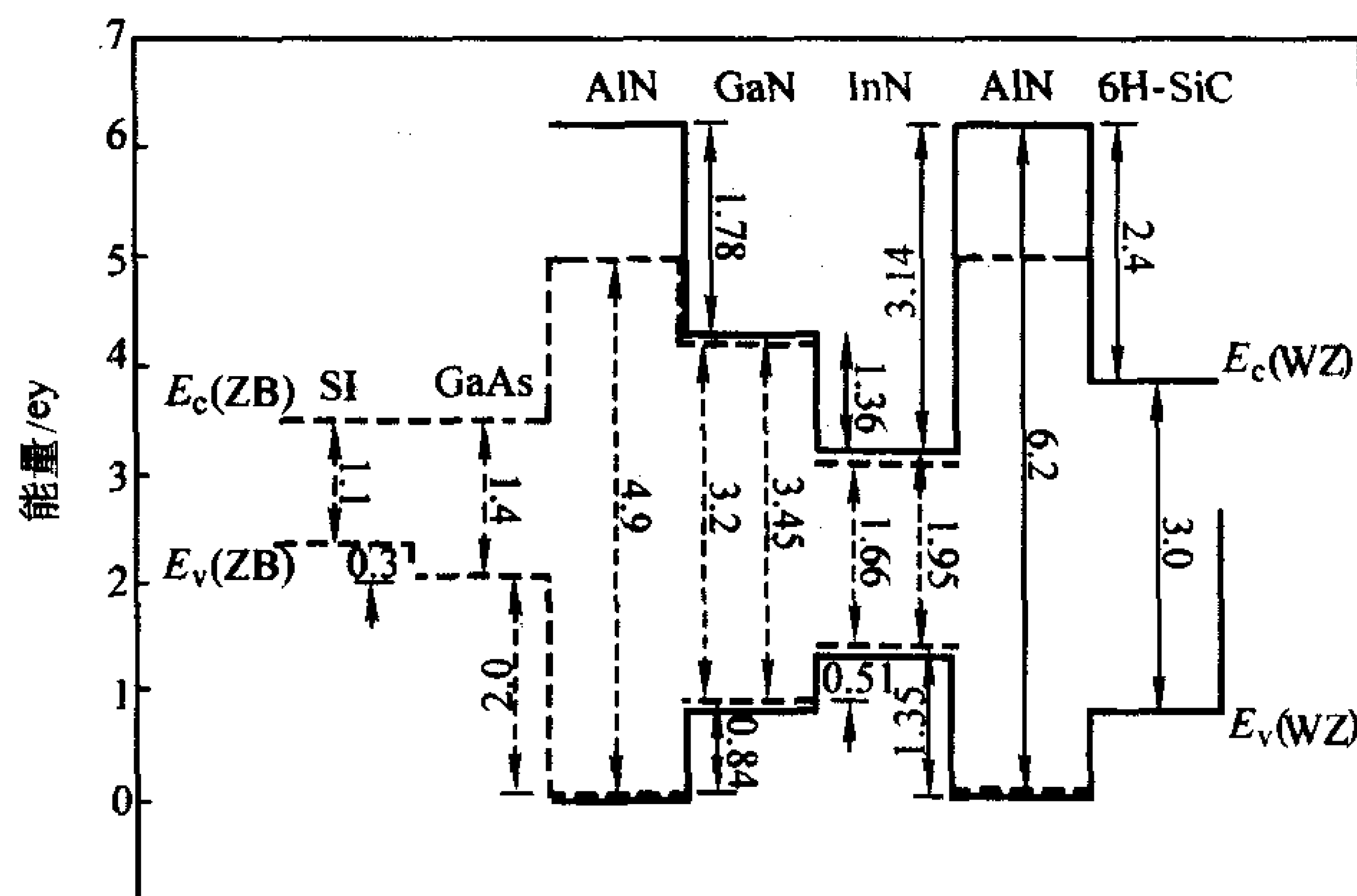


图 6.1-2 Ⅲ族氮化物异质结构能带排列图

4 宽带隙半导体材料的技术应用

目前宽带隙半导体的主要技术应用领域有以下几个方面。

4.1 短波长发光器件

众所周知，半导体材料中电子－空穴的辐射复合发光的长波阈值（λ_c）取决于半导体材料带隙宽度 E_g，

$$\lambda_c = hc/E_g \tag{6.1-1}$$

式中，h 为普朗克常数；c 为在真空中的光速。如果带隙宽度 E_g 单位取电子伏特（eV），则长波阈值 λ_c（μm）为

$$\lambda_c = 1.24/E_g \tag{6.2-2}$$

图6.1-3给出波长与光能量关系的电磁光谱图。

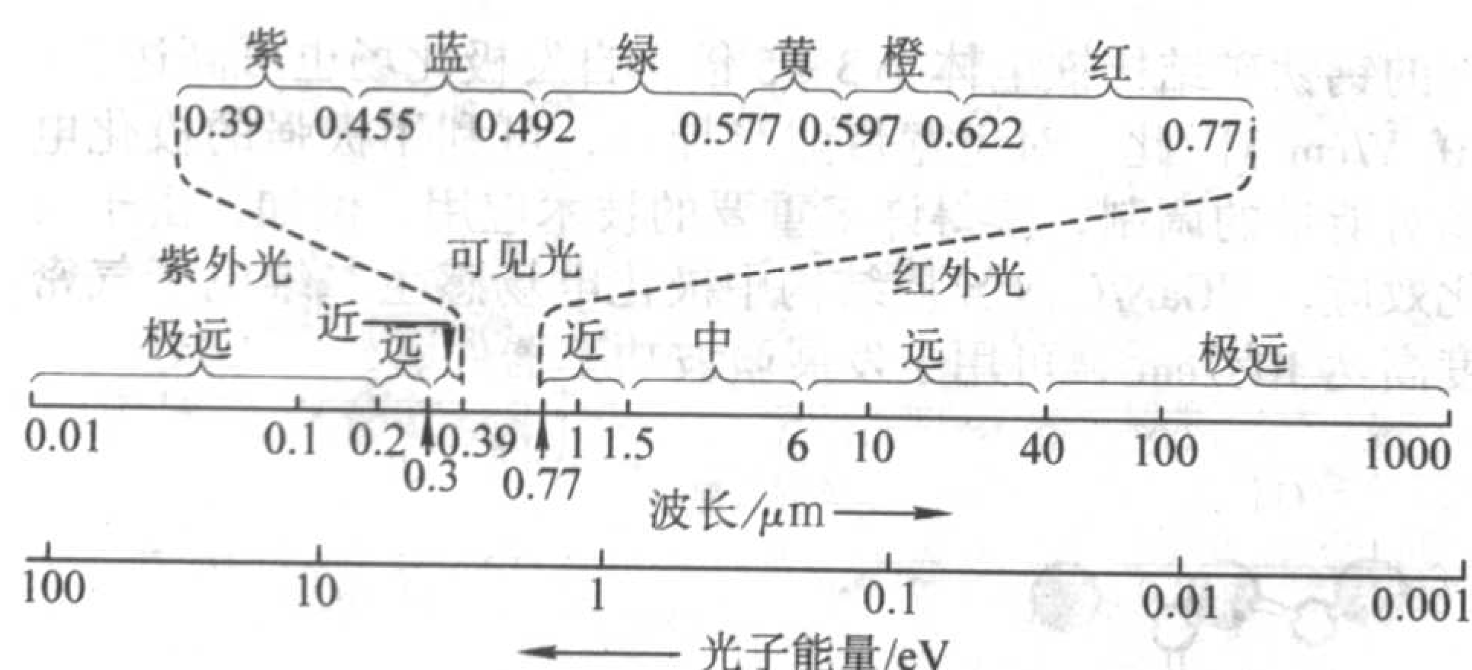


图 6.1-3 波长与光能量关系的电磁光谱图

本书所讨论的几种宽带隙半导体材料，除了 SiC 和金刚石半导体外，都是直接带隙半导体，带隙宽度从 InN 的 1.9 eV到 AlN 的 6.2 eV，其光学窗口从 0.65 μm 到 0.2 μm，覆盖了近红外，可见到远紫外的宽广波段。如果以 InN 目前的带隙新数据 0.7 eV 来计算，其长波端从 0.65 μm 红移至 1.77 μm，则覆盖了红外、近红外，可见到远紫外的更宽广波段。因此，从整体上来说，现代的宽带隙半导体是发展红外，近红外、可见到远紫外这样宽广波段光电器件的重要材料，特别是开拓从可见到紫外、远紫外的新一代光电器件包括发光二极管（LED）和激光器（LD），探测器以及太阳能电池等器件。

4.1.1 短波长发光二极管（LED）

1994 年 Nakamura 等人研制成功高亮度 InGaN/GaN 双异质结蓝光（440 nm）LED。图 6.1-4 是其器件的结构图。蓝光 LED 的出现是对 LED 显示技术的重大突破。在这之前，虽然 LED 显示技术已经成为 IT 的一个重要产业，广泛用于各种信息的显示，但由于缺少蓝光 LED，一直无法实现彩色显示。蓝光 LED 的问世，开拓了 LED 全色平板显示技术，广泛应用于交通信号灯，大屏幕显示，景观照明，汽车尾灯以及各种专用照明领域。目前，Ⅲ族氮化物 LED 又朝更短波长方向发展，如紫外 LED，深紫外 LED，以开拓新的技术应用领域。特别是开拓半导体白光照明技术，有望导致 21 世纪照明技术的革命。当前是利用Ⅲ族氮化物蓝光或紫光 LED 发射的蓝光或紫外线光去激发稀土荧光物质发出白光，它具有高效率、高亮度、长寿命、低功耗的特点，可作为新一代光源，代替传统的日光灯、白炽灯。采用这种高效率的半导体固态照明光源，还可节约能源，减少环境污染，因此是一种高效、节能、环保的照明光源，被认为是 21 世纪的新光源。Ⅲ族氮化物 LED 白光技术已成为当前研究发展的热门技术，已经开始进入一些特种照明的市场领域，并将向普通照明市场迈进。

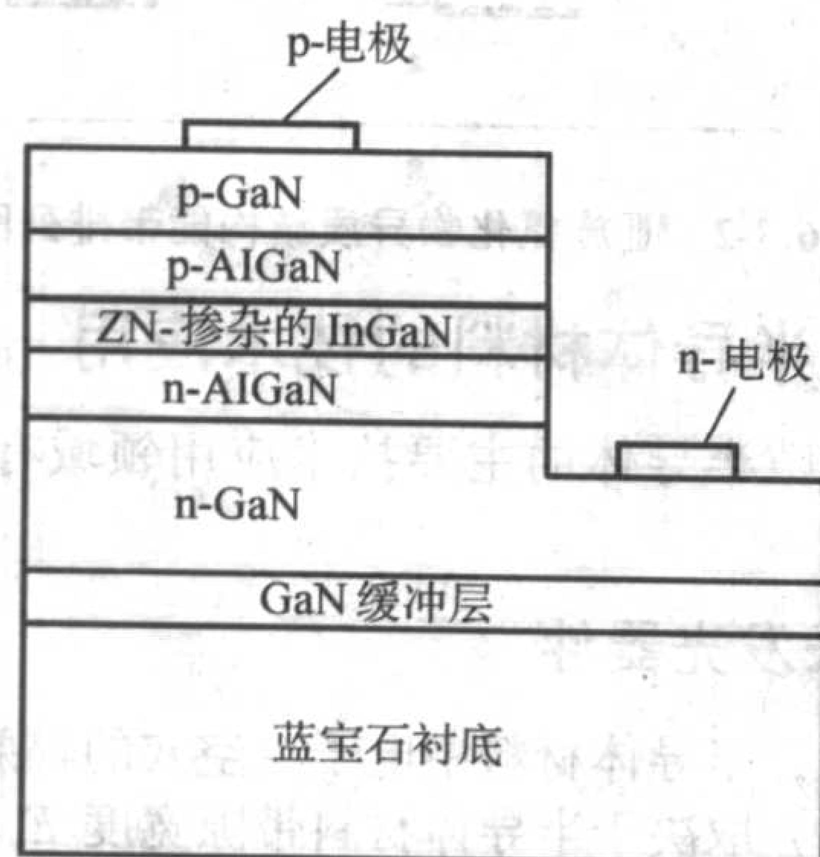


图 6.1-4 InGaNAlGaN 双异质结蓝光 LED 结构图

4.1.2 短波长激光器

1962 年半导体激光器的诞生，开辟了现代光通信、光存储和各种先进的光电信息处理技术如 DVD、传真机、复印机及光学读写机器等等，半导体激光器成为现代光电信息技术的关键核心器件。但是，光存储密度和各种先进的光电信息处理技术的分辨率直接取决于所用的半导体激光器的波长，例如，光盘的存储密度与所用激光波长的平方成反比，缩短激光器的波长便可提高光盘的存储密度和容量。同样，采用短波长激光器也将能有效地提高 DVD、传真机，复印机的分辨率。因此，研究发展短波长激光器具有十分重要的意义。

目前宽带隙半导体材料中除了 SiC 和金刚石间接带隙半导体外，Ⅲ族氮化物、ZnO 基化合物、Ⅱ－Ⅵ族 Zn 化合物都是直接能隙半导体，都可用于发展短波长半导体激光器。第一只半导体蓝光激光器是靠Ⅱ－Ⅵ族 Zn 化合物材料实现的，但由于其工作寿命很短，不能满足实用要求，很快就被后起的Ⅲ族氮化物激光器取代。1996 年，第一只Ⅲ族氮化物蓝光激光器问世，图 6.1-5 是蓝宝石衬底上 InGaN 多量子阱激光二极管的结构图。目前，蓝、绿光波段的Ⅲ族氮化物激光器已开始进入市场，与此同时，又开始朝紫外波段发展，作为新一代紫外光源。例如，用 405 nm 蓝光激光器代替 650 nm激光器的蓝光 DVD 存储量可达 25 G，相当于可保存 8 个小时的高清晰度数字电视节目，而 650 nm 激光器的红光 DVD 存储量只有 4.7 G。

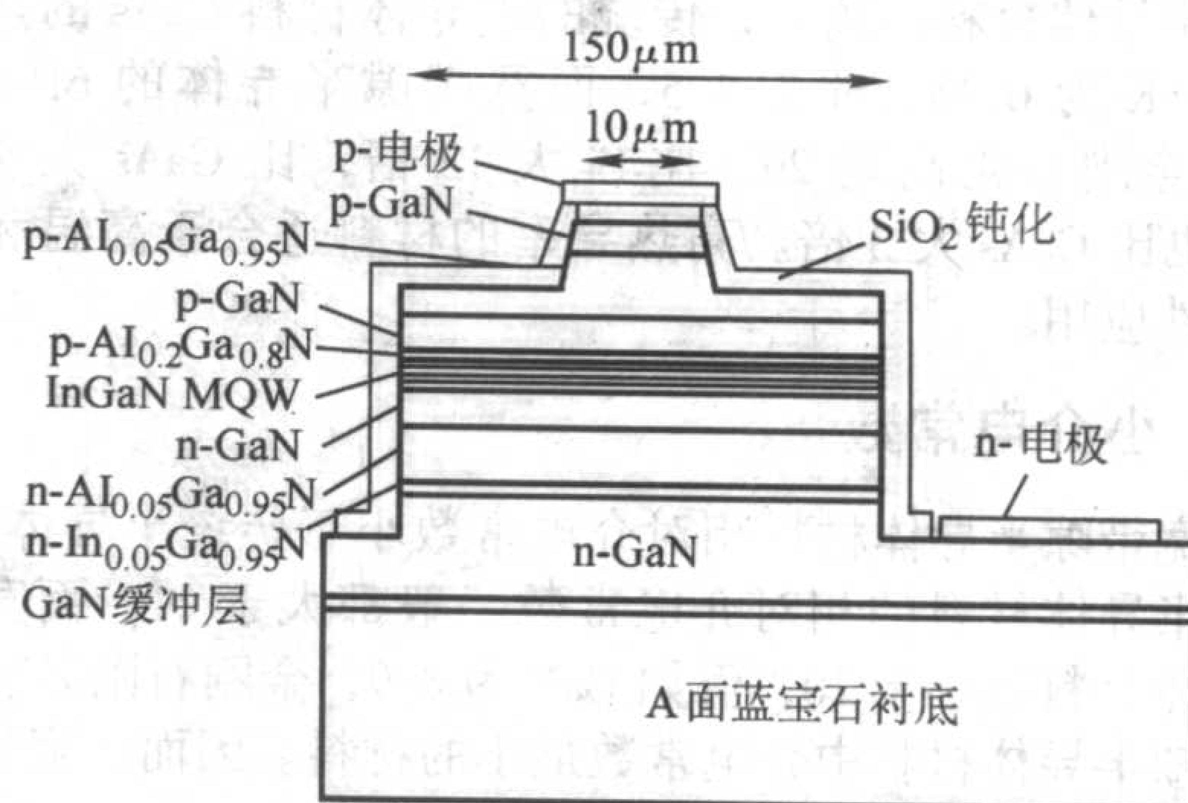


图 6.1-5 蓝宝石衬底上 InGaN 多量子阱激光二极管的结构

除了Ⅲ族氮化物材料外，人们还寄希望于具有很大激子束缚能的 ZnO 基化合物半导体材料，基于其高效率的激子相关辐射过程，可望发展高热稳定性、低阈值的激子基 ZnO 短波长激光器，预计其工作温度可高达 550 K。

4.2 高温、高功率、高频电子器件

发展高频、高功率、高温微电子器件一直是半导体器件研究开发的重要目标。经过长期的努力，已取得了长足进步，经历从第一代 Si 基微电子器件发展到第二代 GaAs 基（包括 InP 基）RF 半导体器件，对信息技术的发展已经起到了巨大的推动作用。近年来，随着信息技术、特别是现代国防电子装备和移动通信这些高技术领域的迅猛发展以及器件使用环境的日益苛刻，对微电子器件的高频、高功率、高温、抗辐射、抗腐蚀等性能的要求不断提高，许多电子设备都要求能在较高的环境温度下工作。为此，必须依靠发展宽带隙半导体材料，Ⅲ族氮化物、SiC 和金刚石半导体薄膜三种材料是被看好的优选材料。

4.2.1 Ⅲ族氮化物电子器件

Ⅲ族氮化物异质结构具有与传统半导体不同的两个最重要的特点：①Ⅲ族氮化物材料能隙相差悬殊，导致异质结构界面巨大的能带偏移，形成很深的界面量子阱。②六方结构Ⅲ族氮化物缺少反演对称性，呈现很强的极化效应（包括自发极化，压电极化），压电系数比Ⅲ－Ⅴ族、Ⅱ－Ⅵ族材料大 1 个数量级以上，自发极化系数也很大，AlN 只比典型的钙钛矿结构铁电体小 3～5 倍。因此，异质结构中存在高达 10^6 V/cm 的极化电场，即使未掺杂就会在异质结构界面深阱

中感生高浓度的二维电子气（达 $10^{13}/cm^2$），比 AlGaAs/GaAs 体系高出4~5倍。同时，Ⅲ族氮化物材料还具有优越的电子性能，如高电子饱和漂移速度（比 GaAs 高1.5倍），高击穿场强（比 GaAs 高10倍）和高热导率（比 GaAs 高4倍），使 GaN 基 HEMT 器件功率密度高出 GaAs 器件10倍，理论值可达20 W/mm。因此，Ⅲ族氮化物异质结构是发展高频、高温、高功率电子器件的最优选材料。研究发展高性能、高可靠的Ⅲ族氮化物电子器件，已成为当前国际研发热点。图6.1-6是 AlGaN/GaN 异质结场效应晶体管（HFET）的器件结构图。近几年这方面的研究已达到很高的水平，AlGaN/GaN 微波功率 HEMT 器件2 GHz 时输出功率达200 W，30 GHz时为3.2 W；功率密度已超过理论值，达到32 W/mm；小信号的 f_t 达到120 GHz、f_{max} 为150 GHz。但还停留在实验室研制阶段，而且还存在许多诸如表面态引起的 RF 功率输出的“电流崩塌”现象、与栅漏电流相关的器件预击穿现象等问题有待于解决。

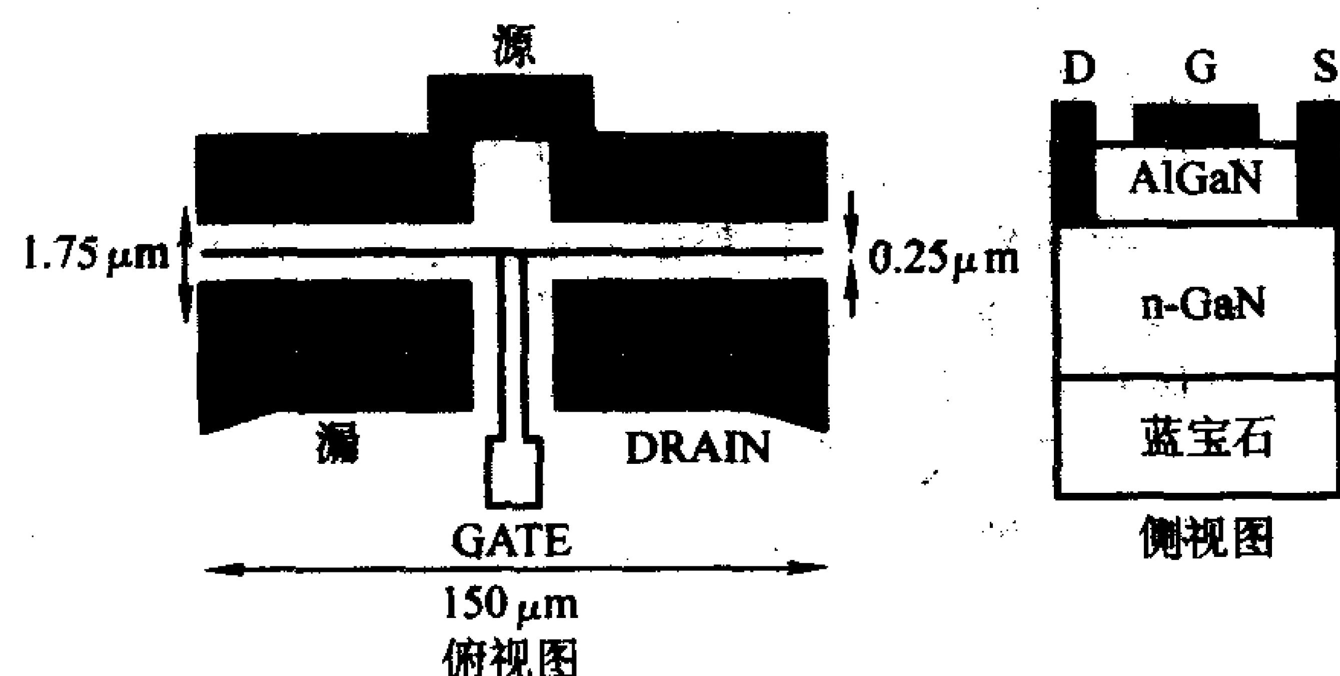


图6.1-6 AlGaN/GaN 异质结场效应晶体管的器件结构图

4.2.2 SiC 电子器件

SiC 属间接带隙半导体材料，在光电器件应用中受到限制，但它却具有优越的电子特性：SiC 具有宽带隙（2.4~3.1 eV）、高击穿电场（4×10^6 V/cm）（比 Si 大10倍）、高电子饱和漂移速度（2.5×10^7 cm/s）和高热导率（5.0 W/cm·℃）的特性（比 Si 大5倍），极适合发展高温、高频、高功率电子器件，但由于 SiC 材料电子迁移率比较低，主要用于发展低频高温、高功率电子器件。而且 SiC 又是宽带隙半导体中唯一可利用其自身氧化物（SiO_2）制造器件的材料，可望实现增强型、耗尽型 MIS 器件。SiC 的宽带隙使其 pn 结漏电流比 Si 小几个数量级。因此，“SiC 硅电子学”成为当前的研究热点，已开发出各种高性能的 SiC 电子器件。目前，SiC 功率器件性能可以替换1 GHz 以下的 Si 器件，10 GHz 下的 GaAs 器件。

4.2.3 金刚石半导体电子器件

从理论上讲，间接带隙金刚石半导体材料具有比其他类型宽带隙半导体更为优越的电子特性：很宽的带隙（≈5.5 eV）、非常高的热导率（达20 W/cm·K）、极高的临界击穿电场（10^7 V/cm）、非常高的电子饱和漂移速度和载流子迁移率、很小的介电常数（为已知半导体中最小值）和化学惰性以及高度抗辐射性能，应该是发展高温、高功率、高频电子器件的最理想材料。但是，天然金刚石或者人造金刚石尺寸很小、价格很贵、加工很难，不能用于制作器件。用化学气相淀积在 Si 或蓝宝石衬底上制备的金刚石薄膜材料常为多晶结构，掺杂问题也没能很好解决。因此，金刚石半导体电子器件远景看好，虽然目前也已取得了较大进展，但尚处于研究发展初期阶段。

4.3 探测器

基于宽带隙半导体的固有性质，宽带隙半导体探测器具有响应度高、耐高温和抗辐照的特点，可用于可见、紫外、X射线、α粒子和γ粒子的探测，作为新一代探测技术在现代工业社会、生物医疗、高技术和国防科技上有着极其重要应用前景。

4.3.1 紫外（UV）探测器

紫外探测，在引擎、环境、火焰监测，生物技术和天际通信等领域有着重要的应用价值。Ⅲ族氮化物、ZnO 基化合物、Ⅱ-Ⅵ族化合物等直接带隙半导体以及间接带隙的 SiC 和金刚石半导体，基于这些材料各自的特点，都可用于发展各种类型的 UV 探测器件。这方面研究进展很快，目前器件性能已达到很高水平，例如，$Al_{0.28}Ga_{0.72}N$ p-i-n 结 UV 探测器在365 nm 的响应度达到200 mA/W。SiC pn 结 UV 探测器峰值波长270 nm 时的探测响应度在150~175 mA/W，量子效率达到70%~85%。ZnMgBeSe p-i-n 探测器在峰值波长为430 nm时的响应度为220 mA/W。

4.3.2 太阳盲紫外光探测器

太阳是一个极强的紫外辐射源，它覆盖了从近紫外到远紫外的紫外辐射。由于地球大气臭氧层对230~280 nm 波段有强的吸收作用，因而这个窗口成为地表空间的“太阳辐射盲区”，它为地球表层空间紫外探测提供一个不受太阳辐射影响的背景。研究开发太阳盲区的紫外探测在航天技术，国防预警与跟踪技术等方面有着极其重要应用价值，已成为当前的研究热点。过去沿用到现在的紫外探测主要是利用紫外光电倍增管或硅光电二极管，前者必需用高压源，后者需要用滤波器。不仅体积大、而且效率低，不能满足现代高科技发展的要求。Ⅲ族氮化物和 ZnO 宽带隙半导体为发展新一代太阳盲区的紫外探测开辟了新途径。Ⅲ族氮化物 $Al_xGa_{1-x}N$ 三元合金的带隙从3.4 eV 到6.2 eV，对应的光学窗口为200~365 nm，覆盖了太阳盲区的紫外波段，通过对 $Al_xGa_{1-x}N$/GaN 异质结构能带剪裁，解决高 Al 组分材料的生长技术，可用来发展高速、低噪声、高灵敏度半导体太阳盲紫外探测器。

4.3.3 粒子探测器

基于 SiC、ZnO、金刚石半导体以及Ⅱ-Ⅵ族化合物的抗辐射特性，这些材料制成的高能粒子探测器，可用于探测中子、X射线、α粒子和γ粒子。SiC 肖特基粒子探测器对热中子流在 10^4 ~ $10^{11}/cm^{-2}\cdot S^{-1}$ 有很好的线性响应。$Cd_{1-x}Zn_xTe$（$x=0.08\sim0.3$）辐照探测器可探测 X 射线和γ射线，探测光子能量从10 kV 到1 MeV，可用于医学诊断、工业制造无损检测、天文以及核工业和科学研究等领域。它是目前唯一能在室温工作的辐照探测器，其工作温区从-30℃到+80℃，非常适用于工业制造环境。用 CdZnTe 探测器诊断人体心脏造影图，可清晰看到冠状动脉。

4.4 正在探索中的新技术应用领域

4.4.1 自旋电子器件（spintronics）

自旋电子器件以电子（或空穴）的自旋作为信息载体，通过对自旋的注入、输运、探测操作实现信息加工和传输功能，应用于飞速发展的信息科学技术，深受科技界和产业界的高度重视，已成为当前的研究热点。虽然过去对铁磁性半导体和铁磁金属材料电子自旋态的研究已经很多，但一直未能付诸实际应用。因为作为自旋电子器件必需具备三个条件：产生自旋极化电流，电子自旋必需相干注入到半导体，电子的自旋在器件传输期间必需保持。铁磁半导体和铁磁金属两者都有可能作为提供很大自旋极化电流的来源，Ⅲ-Ⅴ族砷化物半导体自旋注入效率很高（可达90%），但这些材料的居里点温度很低，（不超过40 K）。而铁磁金属材料居里点温度虽然很高，但自旋注入效率很低。近年研究发现，磁性半导体的居里点温度与材料的禁带宽度密切相关，禁带宽度越宽，居里点温度就越高。掺入 Mn 的 GaN、ZnO 等的磁

性宽带隙半导体的居里点温度均高于室温，而且这些宽带隙材料对可见光透明，有助于发展可见波段的自旋磁光器件。因此，Ⅲ族氮化物和ZnO宽带隙半导体是发展自旋电子学器件的优选材料，深受人们的关注，近年来这方面的研究已有较大进展。

4.4.2 光伏太阳能转换

传统的Si，GaAs太阳能电池，由于材料能隙较窄，其光学窗口只能对应于太阳光谱的一部分，Si又是间接带隙，量子效率更低，因此它们的光电转换效率较低。Ⅲ族氮化物是宽直接带隙材料，从AlN的6.2 eV到InN的1.9 eV，最近发现InN的带隙为0.7 eV。这样，Ⅲ族氮化物的光学窗口是从远紫外至近红外波长范围（1.8 μm～200 nm）。例如，组分连续变化的$In_xGa_{1-x}N$合金（3.4～0.7 eV），与太阳光谱分布（4.0～0.4 eV）能够较好地互相匹配，为探索全太阳光谱的新一代、高转换效率太阳电池开辟了新途径。理论预测，$In_xGa_{1-x}N$多结太阳能电池的极限转换效率可高达72%。而且$In_xGa_{1-x}N$还具有抗辐照能力，可提高太阳能电池的可靠性。因此，开发Ⅲ族氮化物太阳能电池在国际上受到高度重视，期望能对现有太阳能电池转换效率的突破。

5 宽带隙半导体材料面临的几个科学技术问题

从总体上来说，宽带隙半导体材料要达到第一代，第二代半导体技术的水平，还必须解决包括体材料、外延生长、掺杂和器件工艺的一系列基本科学技术问题。目前面临的主要问题有下面几个。

5.1 缺乏实用性的体单晶材料

目前，除了SiC半导体外，其他宽带隙半导体都没有实用性的体单晶材料。由于宽带隙半导体材料熔点很高，并具有很高的平衡蒸汽压，给晶体生长带来很大困难，一般获得的晶体尺寸都很小，没有实用性。例如，GaN晶体熔点很高（2 800 K），平衡蒸汽压很大（4.5 GPa），因此生长GaN体单晶难度很大。虽然人们采用了高温高压合成等多种制备技术，但很难获得大直径GaN体单晶，还不能实际用于GaN同质外延的衬底。ZnO熔点也很高（1 975℃），而且高温下挥发性很强，传统的熔融体生长晶体技术不适用，必须借助于其他方法，最近用升华技术已生长出质量较好的ZnO单晶，然而生长过程非常慢，成本很昂贵。天然的金刚石或者人造金刚石尺寸很小、价格很贵、加工很难，不能用于制作器件。ZnS单晶生长也很困难，因为ZnSe熔点很高（1 520℃），不仅对晶体生长设备要求很高，而且在高温下晶体生长过程中热应变会感生缺陷，同时，高温下元素的高蒸汽压，高挥发性Zn-Se键的离子性，低层错能，高温时容易发生双晶和发生相变。

SiC的晶体生长技术近年来已经取得了很大进步，晶体中含有的微管道（Micropipes）密度的R&D水平已从1993年的200 MP/cm^{2}降到1 MP/cm^2，商品水平也达到50～10 MP/cm^2。SiC的导电性已能得到控制，利用掺Al和掺N能够获得p型和n型SiC材料，基本上能满足目前制备SiC器件同质外延衬底以及作为GaN异质外延衬底的要求，但价格也很昂贵。因此，今后在不断提高晶体质量的同时，必需设法降低晶体材料价格，以便普及推广应用。

5.2 高缺陷密度

如上所述，除了4H，6H-SiC外，目前宽带隙半导体还没有实用性的同质外延体单晶衬底，只能用异质材料作为外延衬底来生长各种宽带隙半导体薄膜材料。例如GaN材料采用蓝宝石、SiC、Si作为外延衬底，ZnO用蓝宝石和Si作为外延衬底，金刚石用Si作为外延衬底，ZnSe用GaAs作为外延衬底等等。它们之间存在较大的晶格失配，如GaN与蓝宝石之间的晶格失配高达约15%，GaN与SiC之间的晶格失配也达约3.5%。众所周知，晶格失配会在异质外延薄膜材料中产生位错、晶界。因此，目前宽带隙半导体异质外延薄膜材料的缺陷密度很高，通常高达$10^7/cm^2$甚至达到$10^{10}/cm^2$，缺陷会在材料的能隙中引入深能级中心，载流子将通过深能级中心复合，严重影响器件的性能，如LED器件的发光效率。近年来通过改进异质外延技术，异质外延薄膜位错密度有所降低，例如GaN的横向外延技术，可使GaN薄膜材料的缺陷密度降至$10^5/cm^2$。宽带隙半导体外延材料高缺陷密度严重制约了宽带隙半导体器件的发展，因此弄清这类大失配异质外延薄膜材料缺陷的产生机制及其动力学行为，发展能有效降低缺陷密度的异质外延生长技术对发展宽带隙半导体技术具有十分重大的意义。如果宽带隙半导体体单晶技术能取得重大突破，就能制备出低位错密度的同质外延材料，这对发展宽带隙半导体技术无疑将起着巨大的推动作用。

5.3 化学比的偏离与掺杂的不对称性

目前宽带隙化合物半导体材料制备上存在着的两个共性的难点：其一是外延生长的薄膜材料很难获得正化学比。薄膜材料中化学比的偏离将产生晶格缺陷，例如由M与X两种原子组成的MX化合物，化合物MX中化学比的偏离，M或X的缺位产生的缺陷，将直接影响晶体材料的一系列性质。例如，金属离子M过剩，薄膜材料成为$M_{1+\delta}X$结构，其中δ为分数，若δ为10^{-3}，就相当于在导带底产生一个浓度高达10^{19}施主/立方厘米的施主能级。所以，非故意掺杂的宽带隙半导体材料如Ⅲ族氮化物、碳化硅、氧化锌材料常呈n型电导（金刚石材料则为p型电导）。因此，制备宽带隙半导体材料时不仅要排除外来杂质原子，而且必须设法控制其化学比。其二是宽带隙半导体材料p型掺杂难于n型掺杂（金刚石材料相反，n型掺杂难于p型掺杂）。而且宽带隙半导体材料中掺入杂质的激活能较高，就必须掺入大量杂质，方能得到可观的载流子浓度，但又降低了载流子迁移率。对于带隙较宽的宽带隙半导体材料这个问题更为突出，高Al组分$Al_xGa_{1-x}N$材料中施主、受主杂质激活能随Al组分增加而增大，Al的含量每增加1%，受主杂质Mg的激活就能增大3 meV。因此，高Al组分$Al_xGa_{1-x}N$材料很难得到高电导率的n型和p型材料，非故意掺杂的AlN一般都呈现半绝缘性质。

化学比偏离与掺杂的不对称性，这两个难点长期阻碍了各种宽带隙半导体器件材料和器件的发展。

编写：郑有炓 （南京大学）

第2章　Ⅲ族氮化物半导体材料

Ⅲ族氮化物包括InN、GaN、AlN及InGaN、AlGaN三元合金化合物和AlInGaN四元合金化合物，都是直接带隙材料，其禁带宽度从InN的1.9 eV（目前报道为0.7 eV）到GaN的3.4 eV再到AlN的6.2 eV。它覆盖了红、黄、绿、蓝、紫和紫外光谱范围，是发展可见、紫外波段光电器件的优选材料，同时基于它优越的电子特性，又可用于发展高温、高频、大功率电子器件，成为当代最引人注目的宽带隙半导体材料，其中GaN则是Ⅲ族氮化物中领头率先发展的材料。

1　Ⅲ族氮化物半导体材料的晶体结构

Ⅲ族氮化物半导体材料通常是指GaN、AlN、InN等材料，它们在蓝光和紫外光电子学技术领域占有重要地位，也是制造高温、大功率半导体器件的理想材料。

1.1　Ⅲ族氮化物半导体材料的晶体结构

Ⅲ族氮化物在结构上具有多型性（图6.2-1）。在通常条件下，Ⅲ族氮化物，包括GaN、AlN和InN，都具有两种结构：稳定的六方相（纤锌矿结构，空间群C_{6v}^4－$P6_3mc$，图6.2-2）和亚稳的立方闪锌矿结构（图6.2-3）。目前大多数研究工作都集中在纤锌矿结构上，原因是闪锌矿结构AlN和InN都较难生长，尤其是纤锌矿结构的InN常以多晶型出现。而闪锌矿GaN（β-GaN）是一种亚稳相，可以稳定存在于薄膜层中。BN在通常条件下，存在两种构型：六方BN（h－BN，空间群$P6_3/mmc$）和立方BN（c－BN）。一般的，纤锌矿结构薄膜生长在六方结构衬底上而闪锌矿结构薄膜生长在立方衬底上。

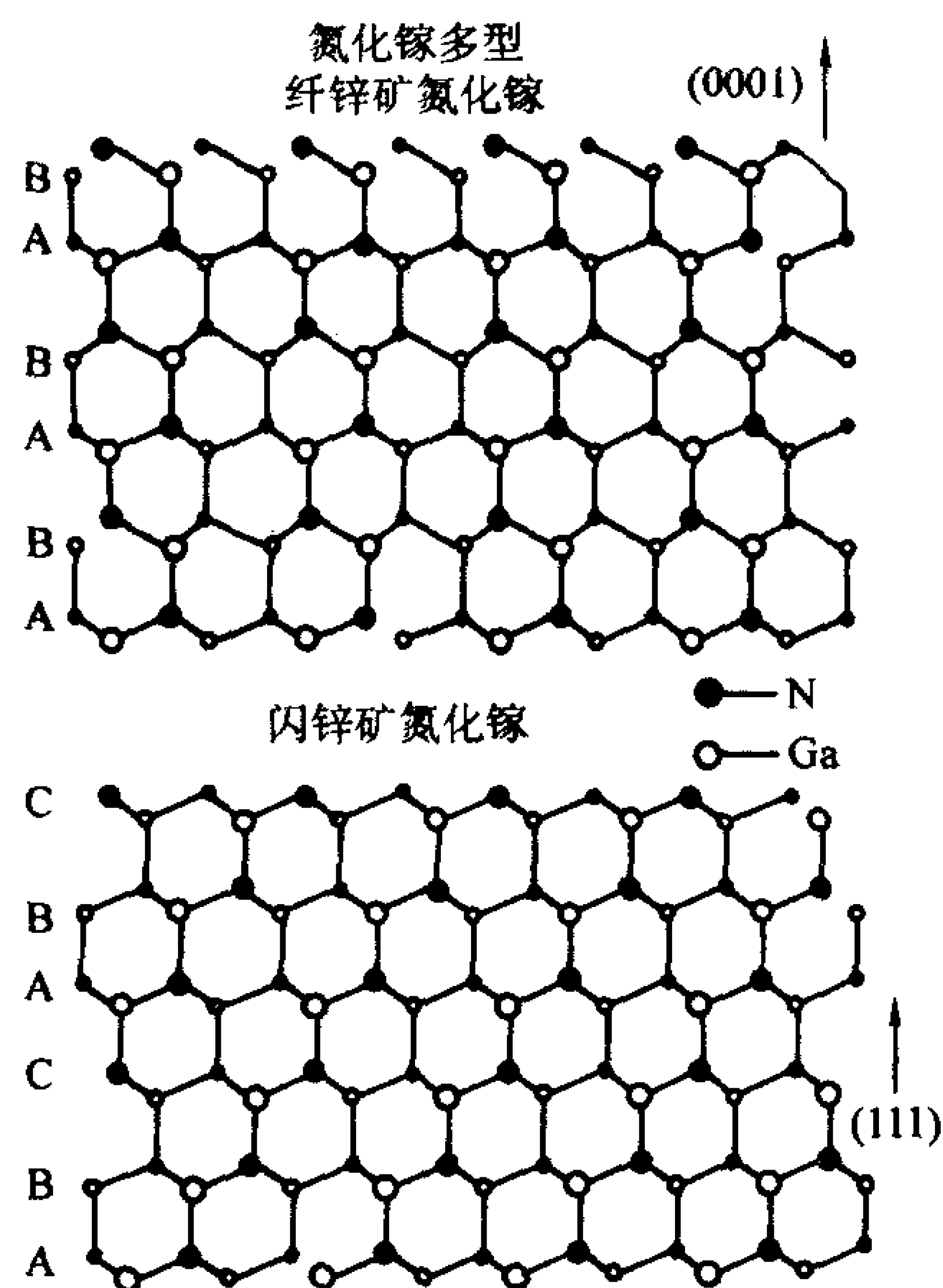


图6.2-1　GaN多型性结构示意图

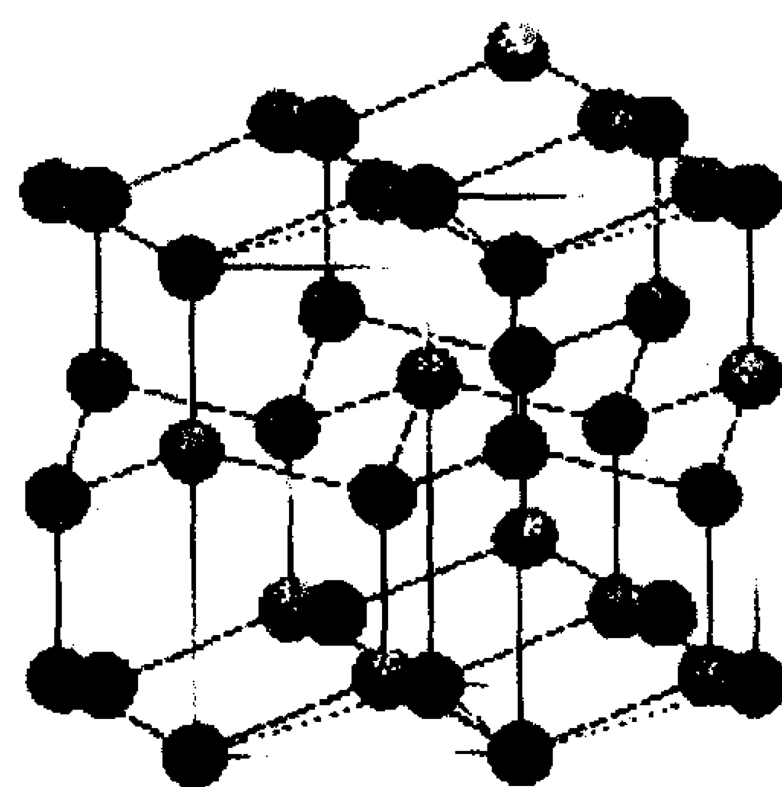


图6.2-2　纤锌矿晶格

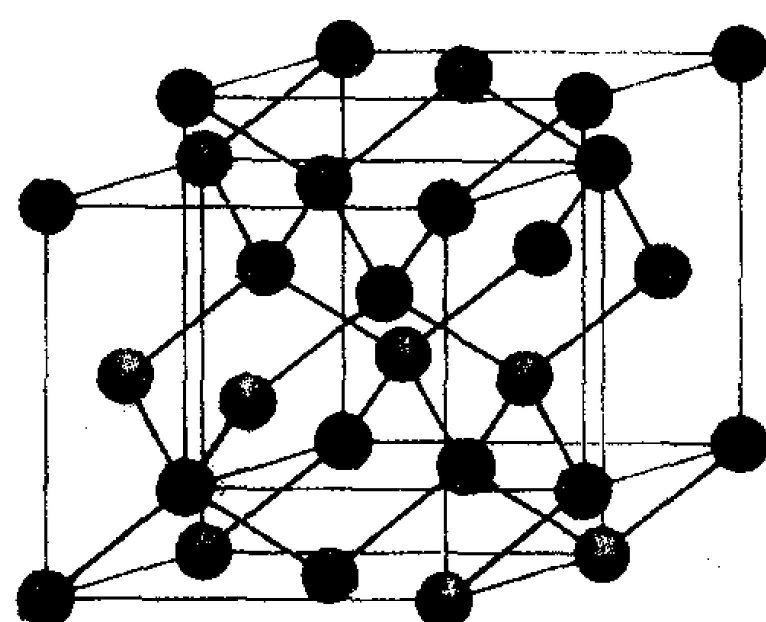


图6.2-3　闪锌矿晶格

1.1.1　闪锌矿结构

图6.2-4是四面体相中围绕一个原子的近邻四面体的两种可能的取向。①基本三角形相互旋转60°（闪锌矿晶格，图6.2-4a）；②所有三角形取向相互平行（纤锌矿晶格，6.2-4b））。

闪锌矿结构又称立方结构，与金刚石结构类似，它是由两个面心立方晶格测空间对角线彼此位移四分之一空间对角线长度套构而成，只不过两个面心立方晶格是分别由两类不同原子组成（图6.2-4a）。原子间靠共价键结合，同时有一定的离子键成分，因而称这类化合物半导体为为极化半导体。例如，重要的Ⅲ－Ⅴ族半导体GaAs（砷化镓），相邻GaAs所共有的价电子实际上并不是对等地分配在砷和镓的附近。由于砷具有较强的电负性，成键的电子更集中地分布在砷原子附近，因而在共价化合物中，电负性强的原子平均来说带有负电，电负性弱的原子平均来说带有正电，正负电荷之间的库仑作用对结合能有一定的贡献。在共价结合占优势的情况下，这种化合物倾向于构成闪锌矿结构。

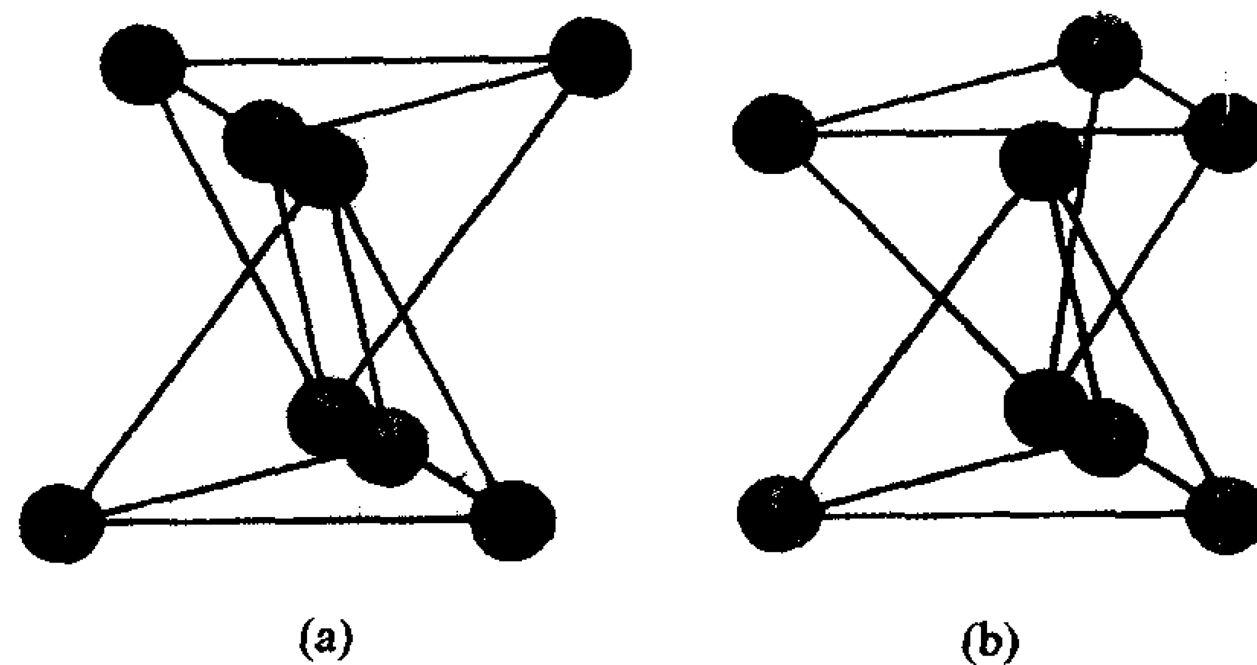


图6.2-4　围绕一个原子的近邻四面体的两种可能取向

从闪锌矿结构的［111］方向看，晶格是由不同原子层间隔排列而成，由于Ⅲ－Ⅴ族化合物半导体具有离子性，因而这种双原子层是一种电偶极层，通常规定由一个Ⅲ族原子（Al、Ga、In）到一个相邻的Ⅴ族原子（N）的方向为正方向，即［111］方向，并规定Ⅲ族原子层为（111）面，Ⅴ族原子层为$(\bar{1}\bar{1}\bar{1})$面。因而Ⅲ－Ⅴ族化合物的（111）面和$(\bar{1}\bar{1}\bar{1})$面的物理化学性质有所不同。

1.1.2　纤锌矿结构

纤锌矿结构（wurtzite）具有六方对称性，因而又称六方结构。纤锌矿 GaN 的晶格结构，它是由两类原子各自组成的六方排列的双原子层沿［0001］方向堆积而成（图 6.2-4b）。如前所述，这种共价性化合物晶体中，其结合的性质也具有离子性，但这两种元素的电负性差别较大，如果离子性结合占优势，就倾向于构成纤锌矿结构，显而易见，具有这种结构的半导体也是极化半导体。规定沿 c 轴从Ⅲ族 Ga 原子到最近邻的Ⅴ族 N 原子的方向为正方向，即［0001］方向，反之为［000$\bar{1}$］方向。对应的（0001）面和（000$\bar{1}$）面分别为 Ga 面极化和 N 面极化，如图 6.2-5 所示，这两面的物理性质和化学性质也有所不同。在六方结构 GaN 的异质外延生长过程中，薄膜的极性并不能直接得到，而必须由实验来决定。实验表明，用金属有机物化学气相沉积（MOCVD）方法得到的 GaN 通常呈 Ga 面极化，而用分子束外延（MBE）的方法得到的 GaN 为 N 面极化。如果先于衬底上生长一层 AlN 缓冲层，再进行分子束外延生长得到的 GaN 极性反向，即从 N 面极化变为 Ga 面极化。

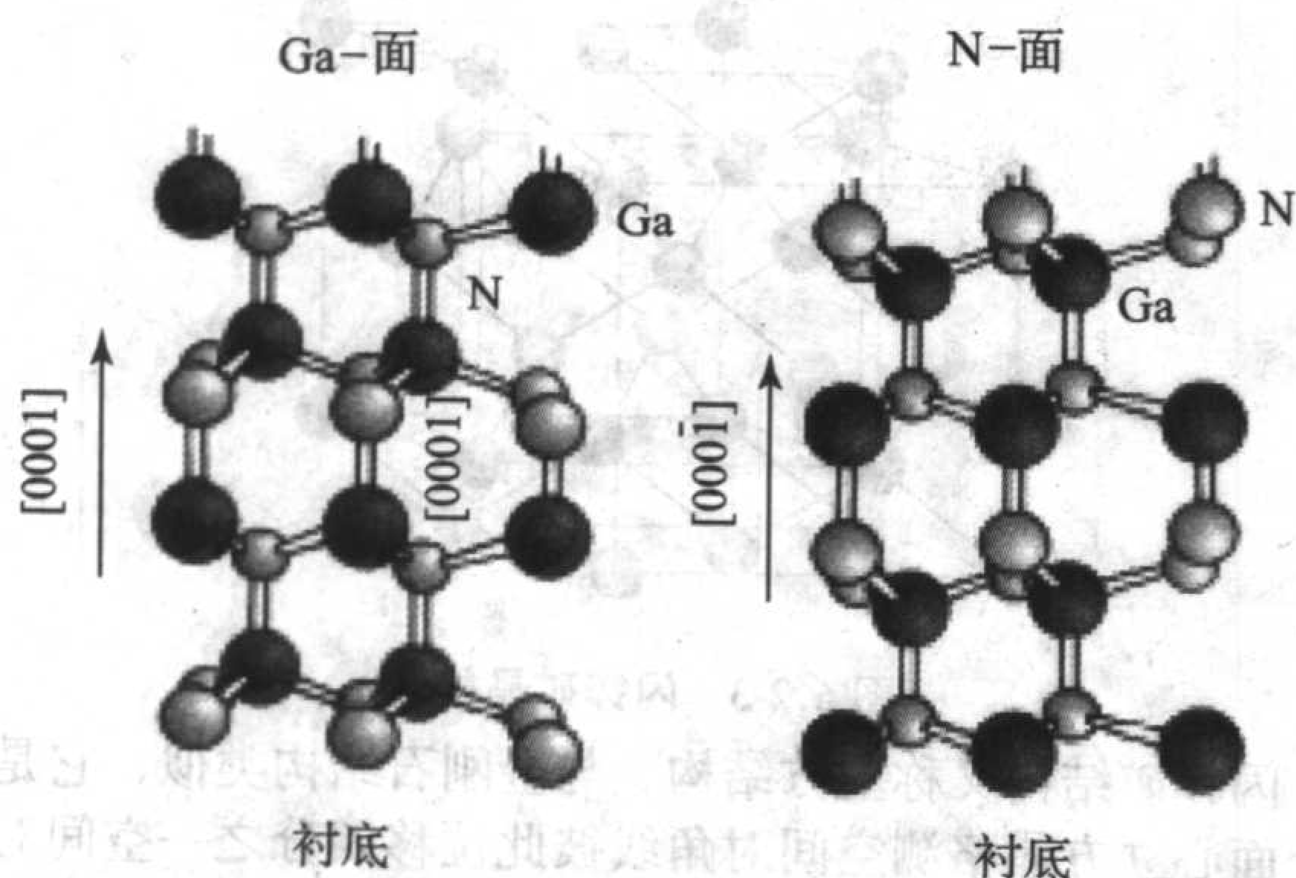


图 6.2-5　纤锌矿 GaN 的晶格结构（Ga 面和 N 面极化）

Ⅲ族氮化物的两种结构由于原子层的堆积次序不同，因而电学性质和光学性质也有差别。闪锌矿和纤锌矿都是四面体键合的，唯一的区别是近邻四面体的取向不同（如图 6.2-4）。从金刚石晶格来看，闪锌矿格子的不同在于，相互贯穿的面心被不同的原子占据。表 6.2-1 是纤锌矿结构的 AlN、GaN 和 InN 在 300 K 时的带隙宽度和晶格常数。

表 6.2-1　纤锌矿结构 AlN、GaN 和 InN 在 300 K 时的带隙宽度和晶格常数

参数	AlN	GaN	InN
带隙宽度/eV	6.2	3.39	1.89
晶格常数 a/nm	0.311 2	0.318 9	0.354 8
晶格常数 c/nm	0.498 2	0.518 5	0.576 0

1.2　不同氮化物的晶体结构和基本物理性质

1.2.1　氮化硼（BN）

氮化硼存在两种构型，立方相 BN（c-BN，F-43m，闪锌矿，图 6.2-6a）和六方 BN（h-BN，$P6_3/mmc$，图 6.2-6b）。其中，在通常条件下 c-BN 是稳定的，而 h-BN 为亚稳相，但是 BN 相图仍然存在争议。其他的相在低于 10 GPa 的压力条件下是不稳定的。h-BN 是从六角 BN 环开始构建的，这些环相互垂直的堆积起来以便 B 和 N 原子能够沿着三倍轴轮流堆积（图 6.2-6b）。有序 h-BN 晶体结构是按照 AA′，AA′顺序堆积的典型代表。温度从 4～1 433 K 变化，BN 相没有发生任何变化。

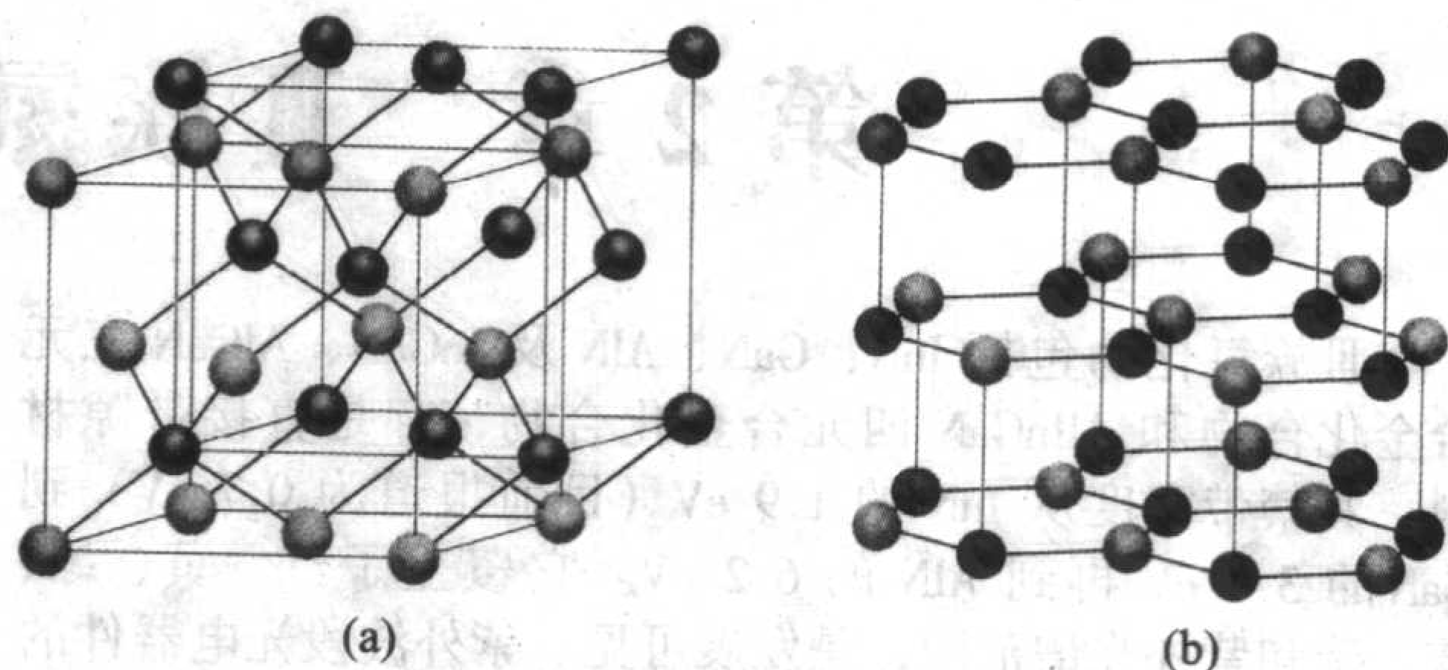


图 6.2-6　BN 晶格：闪锌矿（a）和纤锌矿（b）

在一定的压力条件下，六方 BN 可以转变成闪锌矿结构，温度在 2 500～4 000 K；在更低的温度下，是纤锌矿结构。六方到纤锌矿 BN 结构的变化在下列条件下发生：10.4 GPa（298 K），9.8 GPa（597 K），8.5 GPa（873 K）。压力低于 106 GPa 时，X 射线衍射实验没有发现其他结构的转变，尽管理论上认为在非常高的压力下存在从纤锌矿到岩盐（rocksalt）结构（如图 6.2-7）的转变。

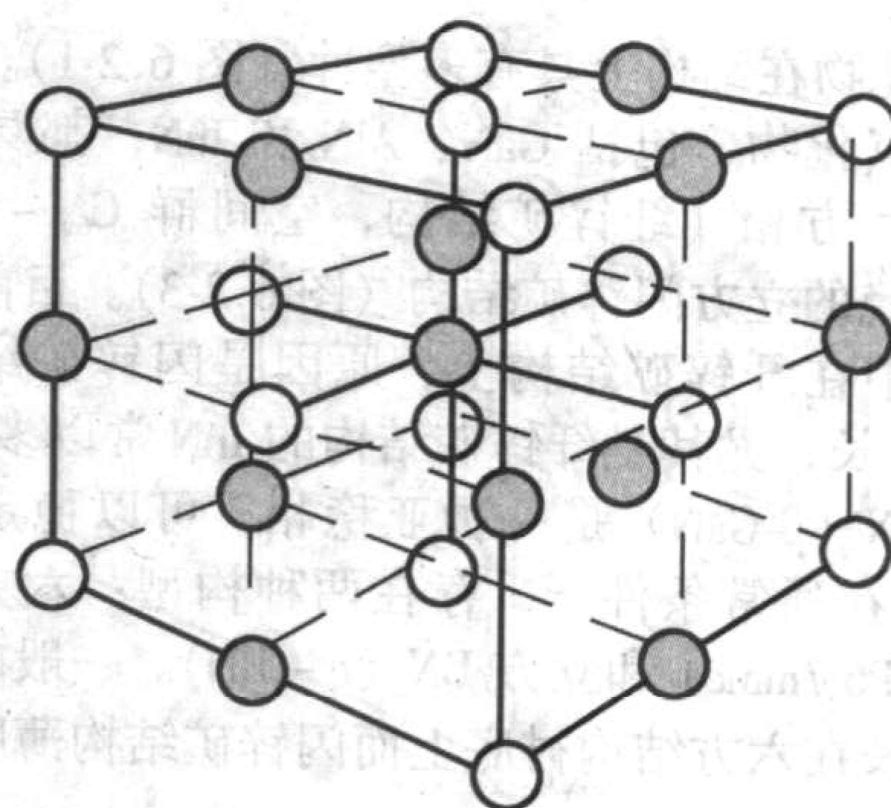


图 6.2-7　岩盐型结构示意图

氮化硼晶体结构的基本参数

立方氮化硼（c-BN）的晶格常数是 $a=0.361\,60$ nm，晶格常数随温度的变化如图 6.2-8 所示。六方氮化硼（h-BN）的晶格常数为 $a=0.250\,72$ nm，$c=0.687$ nm，晶格常数随温度的变化见公式（6.2-1），曲线变化如图 6.2-9～图 6.2-14 所示。

$$c = 6.651\,6\ \text{Å} + 2.74\times10^{-4}\,T\ \text{Å}\,℃^{-1}\,52P \quad (6.2\text{-}1)$$

$$a = 2.504\,24\ \text{Å} - 7.42\times10^{-6}\,T\text{Å}\,℃^{-1} + 4.79\times10^{-9}\,T^2\,\text{Å}\,℃^{-1} \quad (6.2\text{-}2)$$

立方相和六方相 BN 的晶格参数见表 6.2-2。

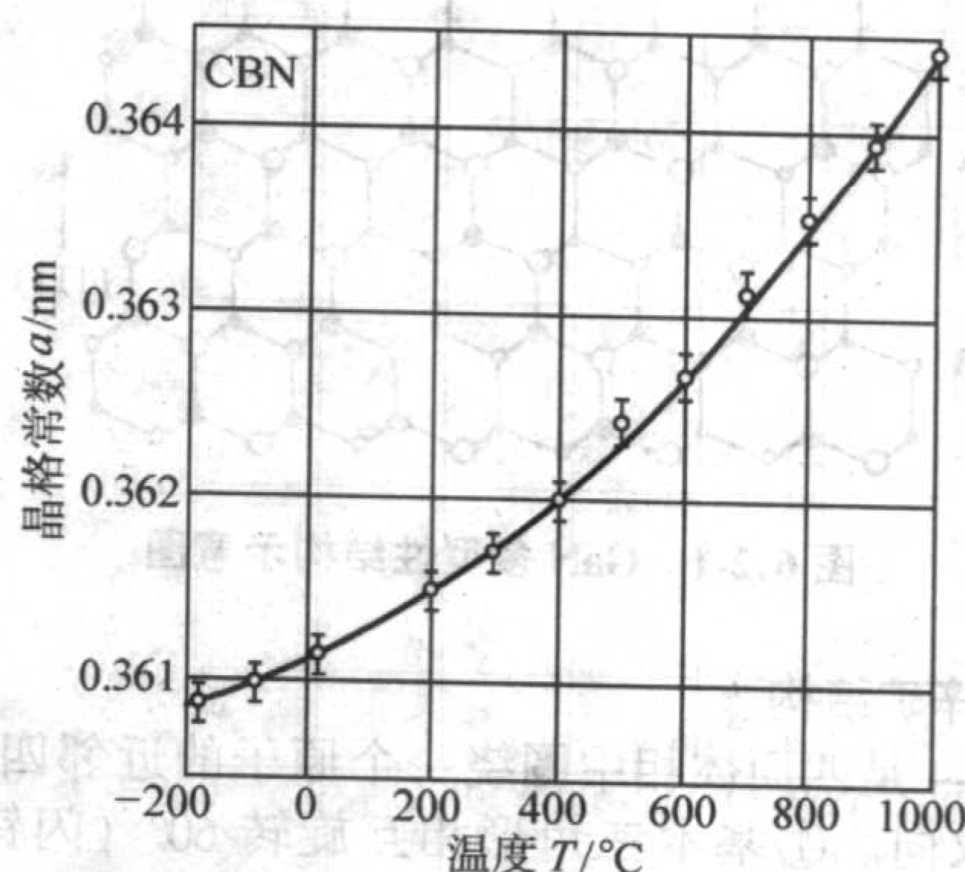


图 6.2-8　立方相 BN 晶格常数随温度的变化曲线

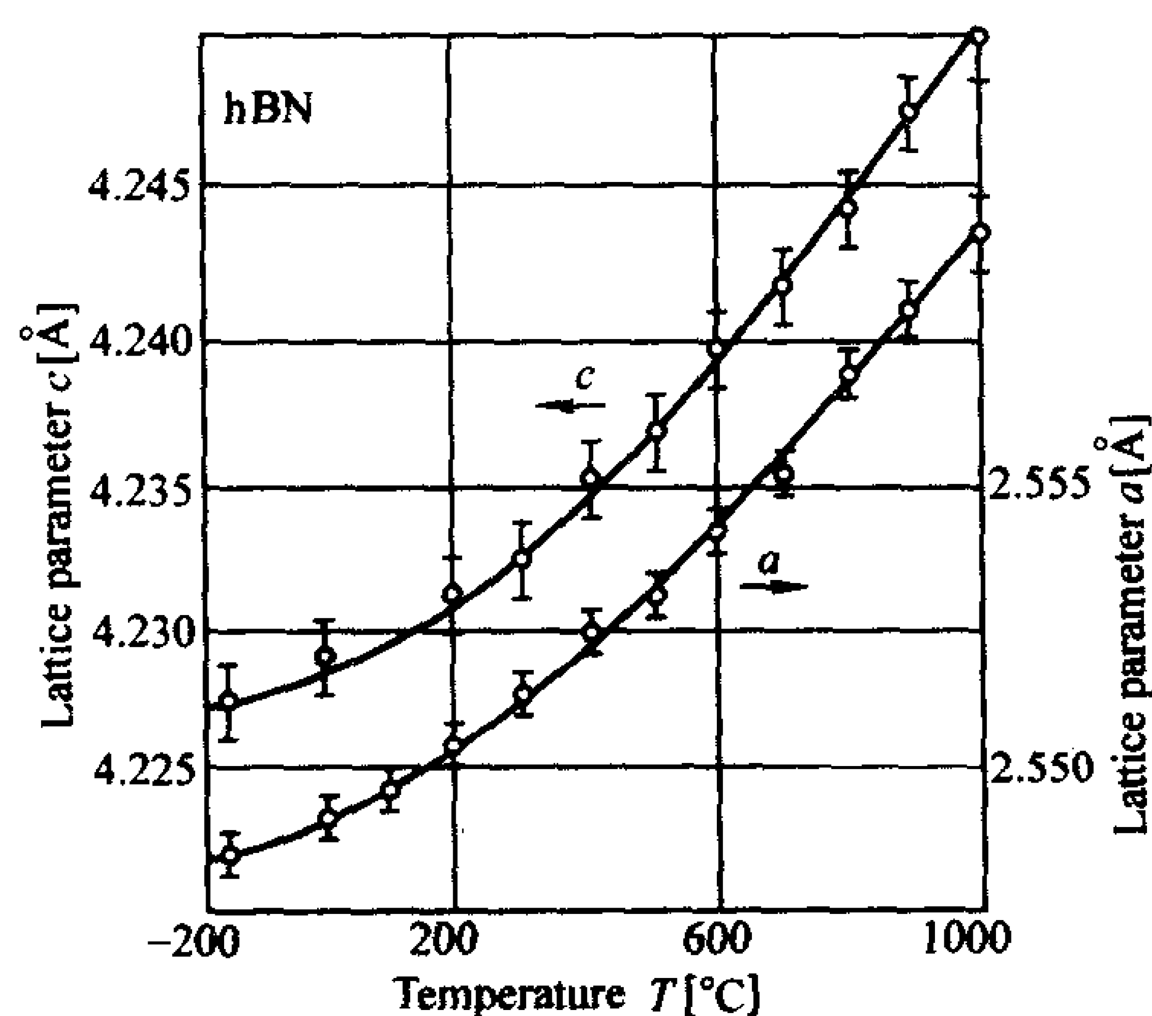


图 6.2-9 六方相 BN 晶格常数随温度变化曲线

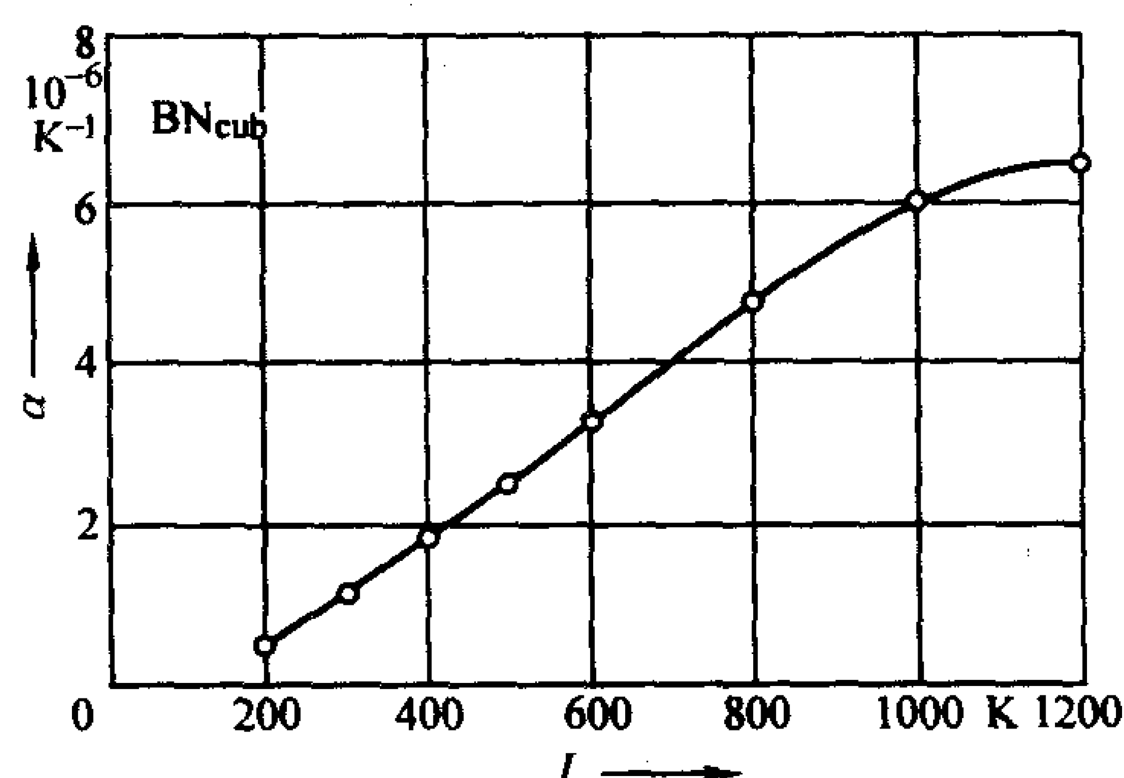


图 6.2-10 立方 BN 线性热膨胀系数随温度的变化曲线

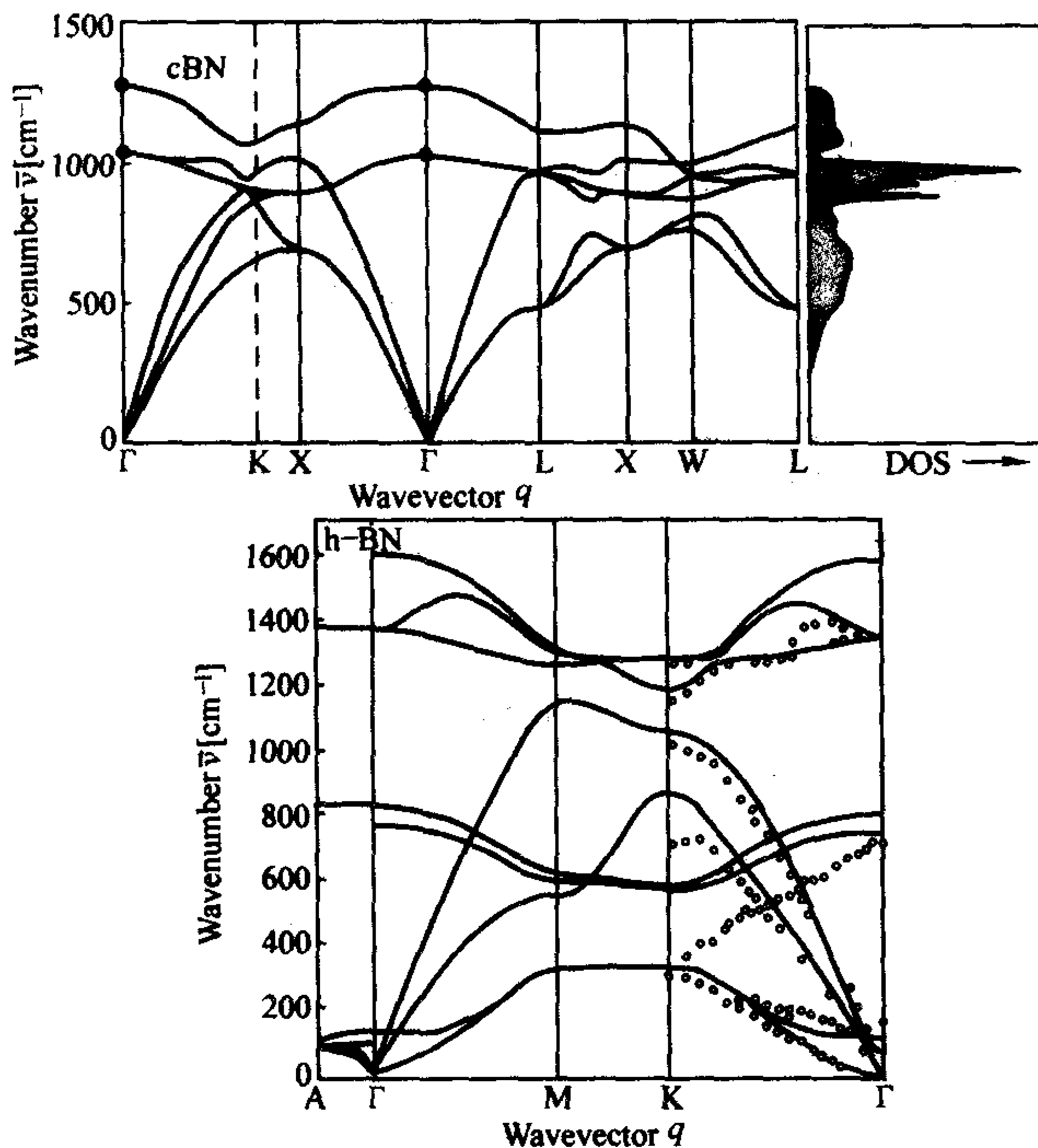


图 6.2-11 立方相（上）和六方相（下）
BN 的声子散射关系图上图右是立方相 BN 的态密度示意图

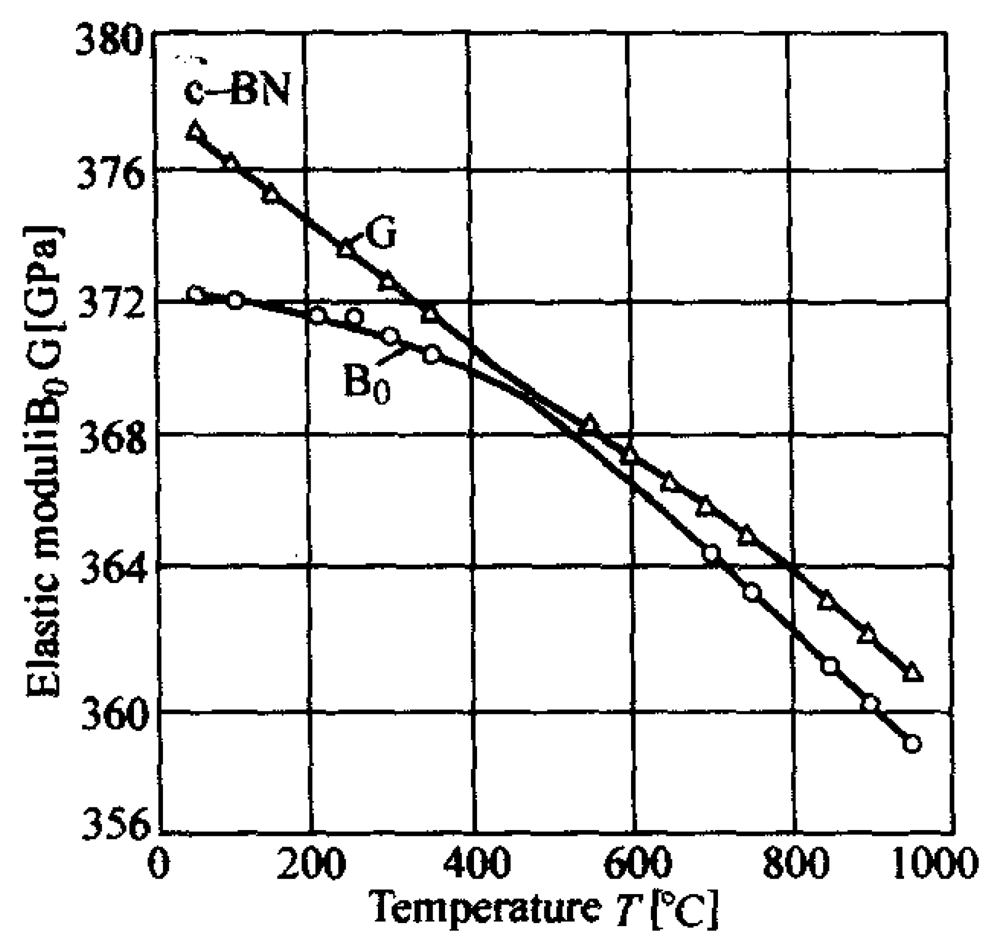


图 6.2-12 立方相 BN 的体积模量 B0 随温度变化关系图

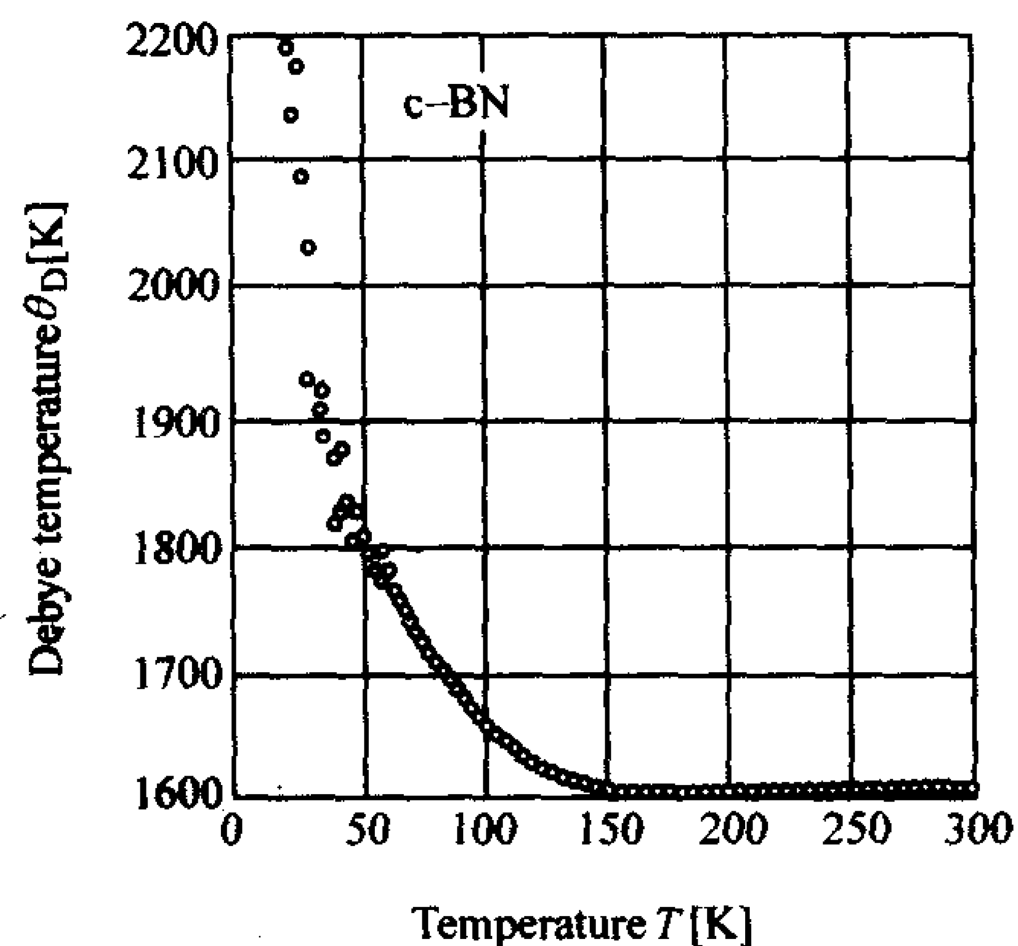


图 6.2-13 立方相 BN 德拜温度随温度的变化曲线

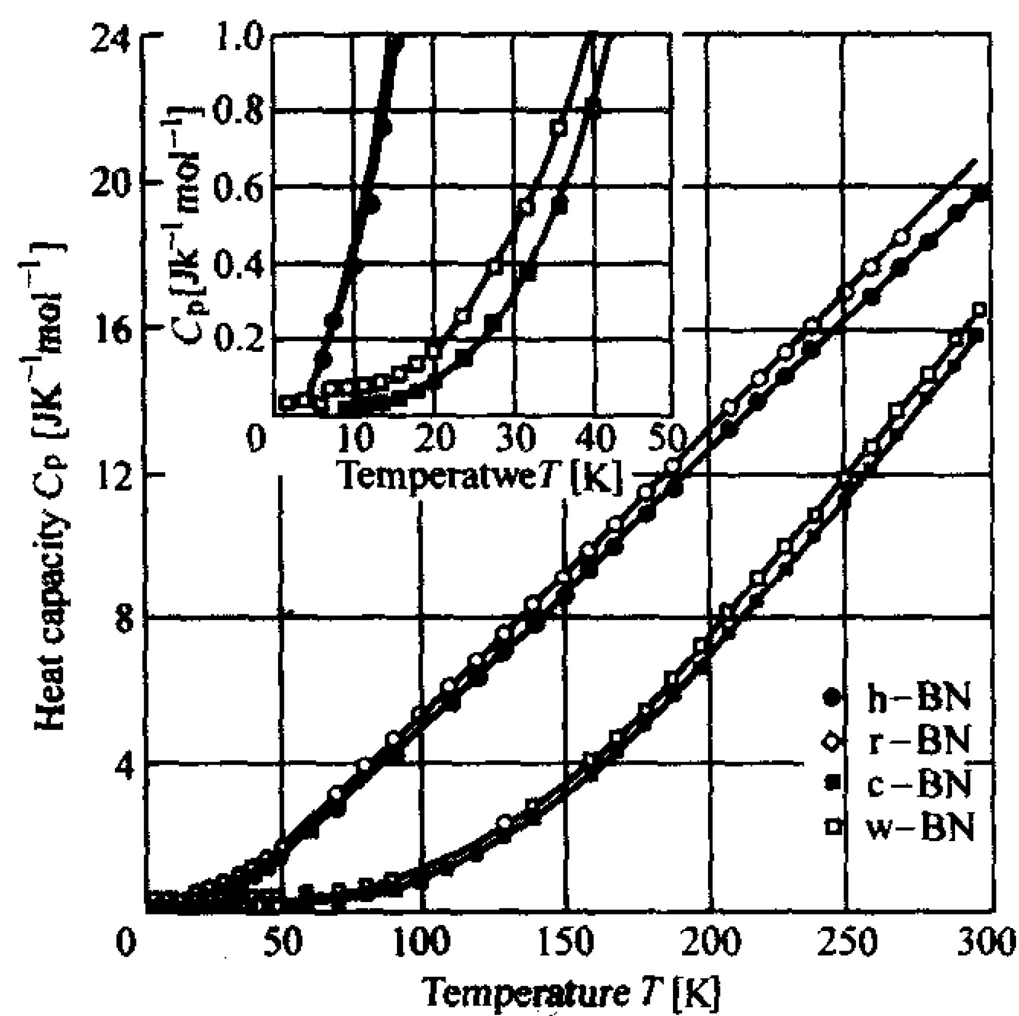


图 6.2-14 多型 BN 的比热容随温度的变化曲线图

1.2.2 氮化铝（AlN）

在通常压力下，氮化铝是六方结构，空间群 $P6_3mc$（图 6.2-15）。在 21 GPa 压力下，通过震动压缩下观察到一个相转变（类似于 NaCl）。从视觉观察，压力增加时，在 15 GPa 附近发生了一个相变。从 X 射线衍射，这个相变似乎是转变到岩盐结构的开始，直到 20 GPa 附近，闪锌矿和纤锌矿结构共存。岩盐相从 20 GPa 出现开始，一直持续到至少 132 GPa；纤锌矿和岩盐相在 20～31.4 GPa之间共存。随着降低压力，两种相共存直到 0 压力。

表 6.2-2　立方相和六方相 BN 的晶格参数

	立方相 BN	六方相 BN
晶格常数 /nm	a 0.361 60（3）	a 0.250 72（1） nm c 0.687（1） nm
线胀系数 $/10^{-6}\cdot K^{-1}$	α 1.15×（300 K） （图 6.2-10）	α_{vol} 40.6（4） $\times 10^{-6}\cdot K^{-1}$
弹性常数 /GPa	c11 820 c12 190 c44 480	c11 750 c12 150 c33 18.7～67.28（d－3.33） c44 2.52（154）
声子波数 $/cm^{-1}$	V_{LO}　1 305（1） V_{TO}　1 054.7（6）／ 波数	$E \parallel c$ V_{TO1} 783 V_{LO1} 828 V_{TO2} 1 510 VLO_2 1 595 $E_{\perp c}$ V_{TO1} 767 V_{LO1} 778 V_{TO2} 1 367 V_{LO2} 1 610
熔点	T_m＞2 973℃	T_m 3 200～3 400 K（N_2 气氛，1～50 MPa） T_{dec} 2 600（100） K
密度 $/g\cdot cm^{-3}$	d 3.486 3	d 2.279
声子散射关系	如图 6.2-11 所示	如图 6.2-11 所示
体积模量 /GPa	B 372.3（3.7） B_0 的温度依赖关系如图 6.2-12 所示	
剪切弹性系数 /GPa	G 377.8 G 温度依赖关系如图 6.2-12 所示	
弹性模量 /GPa	E　846.9	E　18.6　t-BN
泊松比 ν	0.121	0.306　t-BN
德拜温度 /K	θ_D　1 730（70）　T 为 1 000℃ 温度依赖关系如图 6.2-13 所示	θ_D　598（7）
比热容	温度变化关系如图 6.2-14 所示	
可压缩性		$\Delta a/a\Delta p$ 1.4×10^{-12} m^2/N $p=0\sim6.3$ GPa $\Delta c/c\Delta p$ 18×10^{-12} m^2/N

氮化铝晶格参数如见表 6.2-3。

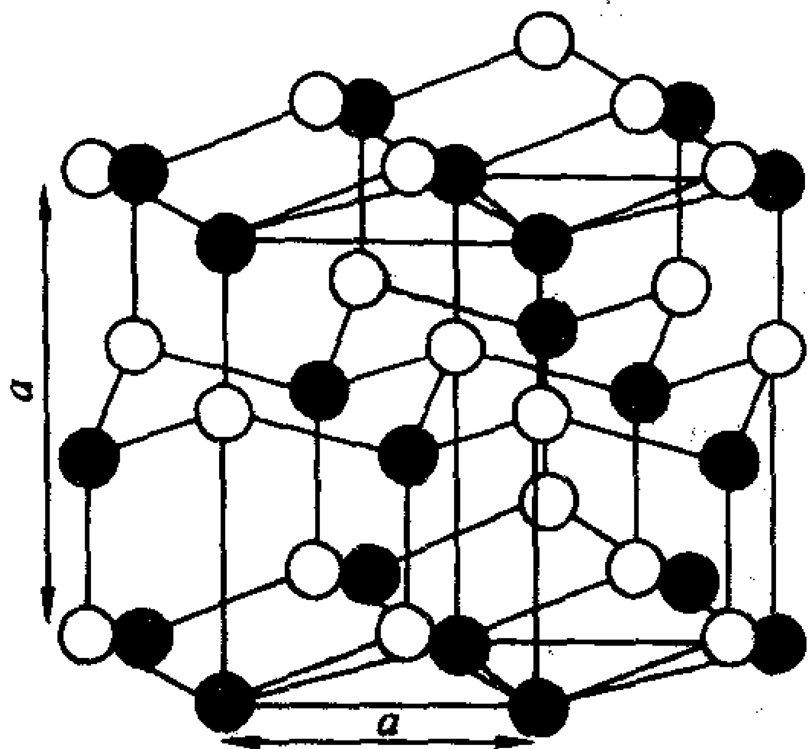


图 6.2-15　六方 AlN 晶体结构

表 6.2-3　六方 AlN 晶格参数

性能	六方 AlN
晶格常数 /nm	a　0.311 11　T＝300 K［83］ c　0.497 88　c/a 1.600
温度依赖晶格常数 /nm	$a=0.310\ 71+0.121\ 1\times10^{-5}T+0.236\times10^{-9}T^2$［83］ $c=0.497\ 39+0.145\ 5\times10^{-5}+0.465\times10^{-9}T^2$ $c/a=1.600\ 9-0.162\times10^{-5}+0.34\times10^{-9}T^2$　T＝293～1 373 K
线胀系数	$\alpha_\perp$　$4.35\times10^{-6}\cdot K^{-1}$　T＝300 K［83］ $\alpha_\parallel$　$3.48\times10^{-6}\cdot K^{-1}$　温度依赖关系见图 6.2-16 $\alpha_\perp/\alpha_\parallel$　1.25

续表 6.2-3

性能	六方 AlN
密度/$g \cdot cm^{-3}$	D 3.255
熔点/K	T_m 3 025
声子分散关系和声子态密度	TO_1，TO'_1，LO_1 是红外活性（对称性为 E_1（Γ_5），A_1（Γ_1）），E_2（T_6）是拉曼活性的，B_1 模式是非活性的。如图 6.2-17 所示
光学声子波数/cm^{-1}	(ν/c) $(E_2^{(1)})$ 248.6 cm^{-1} (300 K) [92] $(\nu/c)_{TO}$ (A_1) 611.0 (ν/c) $(E_2^{(2)})$ 657.4 $(\nu/c)_{TO}$ (E_1) 670.8 $(\nu/c)_{LO}$ (A_1) 890.0 $(\nu/c)_{LO}$ (E_1) 912.0
声学速率/$m \cdot s^{-1}$	ν_L 10 127 ν_T 6 333
二级弹性模量/GPa	$c11$ 411 $c12$ 149 $c1$ 399 $c33$ 389 $c44$ 125
体积模量/GPa	B 201.7
弹性模量/GPa	E 294.5
德拜温度/K	θ_D 950 K 如图 6.2-18 所示

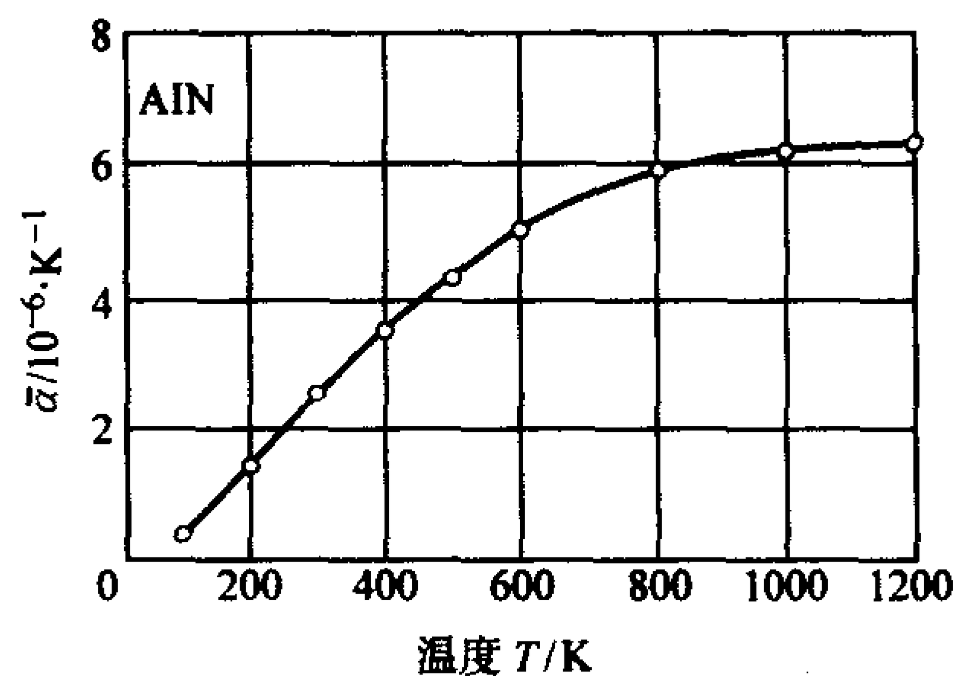


图 6.2-16 利用 X 射线技术测量的 AlN 平均线胀系数（$\alpha_{\parallel}+\alpha_{\perp}$）/3 与温度的关系

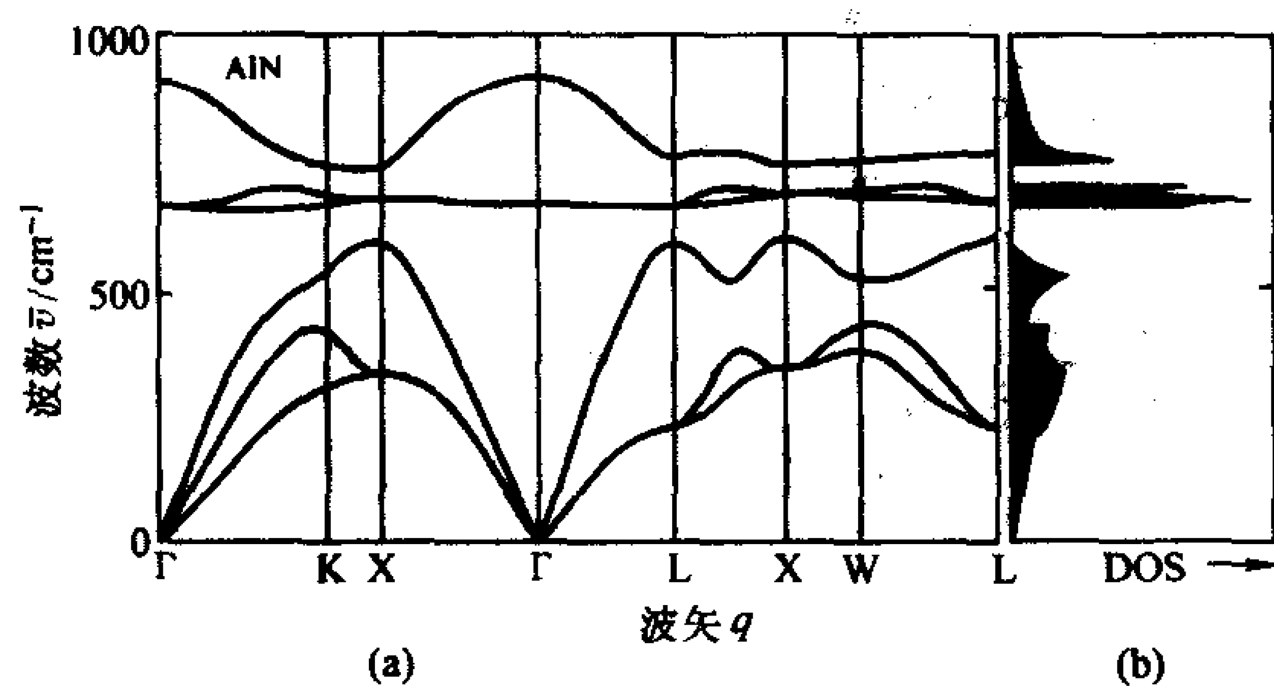


图 6.2-17 通过刚性离子模型计算的六方 AlN 的声子色散关系（a）和态密度（b）

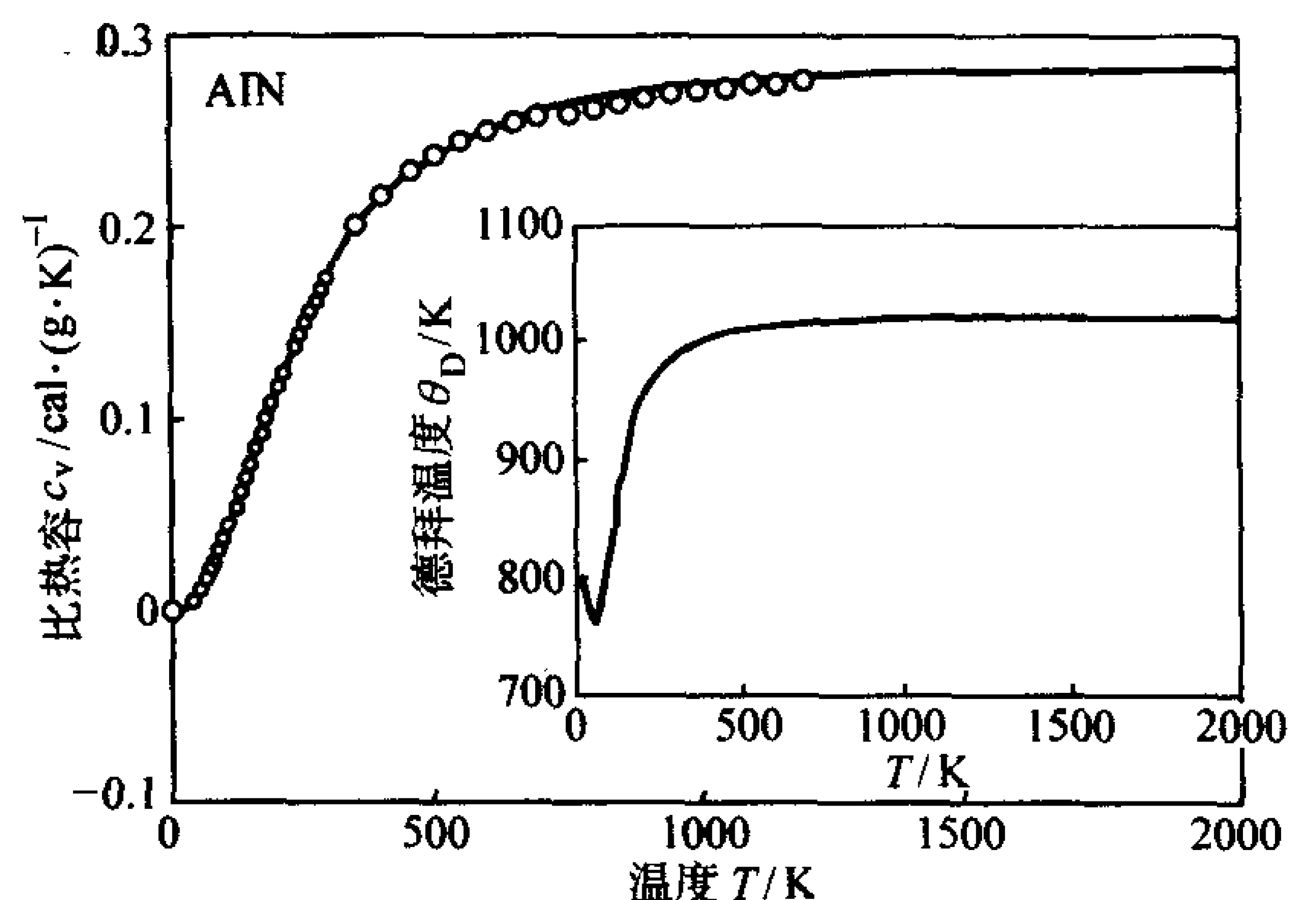


图 6.2-18 六方 AlN 比热容温度依赖关系

1 cal = 4.184 J

1.2.3 氮化镓（GaN）

GaN 的禁带宽度为 3.39 eV，击穿电压和饱和电子漂移速率分别为 2.0×10^6 V/cm 和 2.5×10^7 cm/s，室温下不溶于水、酸和碱，热稳定性好。在通常环境压力下，GaN 以纤锌矿结构（α-GaN）稳定存在，空间群 P63mc，$a=0.318\ 9$ nm，$c=0.518\ 5$ nm，如图 6.2-19（b）。每个元胞中有 4 个原子，体积大约是 GaAs 的一半。纤锌矿 GaN 晶格常数随温度的变化如公式（6.2-2）和图 6.2-20 所示。

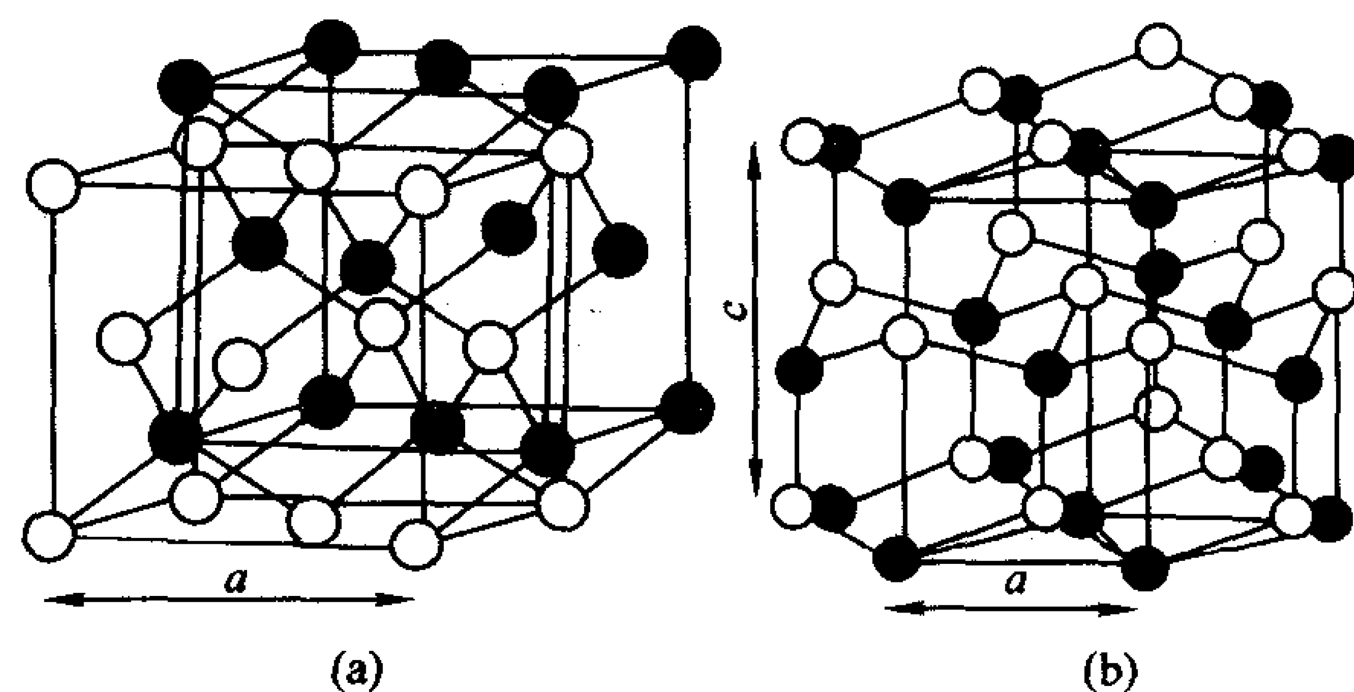


图 6.2-19 GaN 的闪锌矿（a）和纤锌矿结构（b）

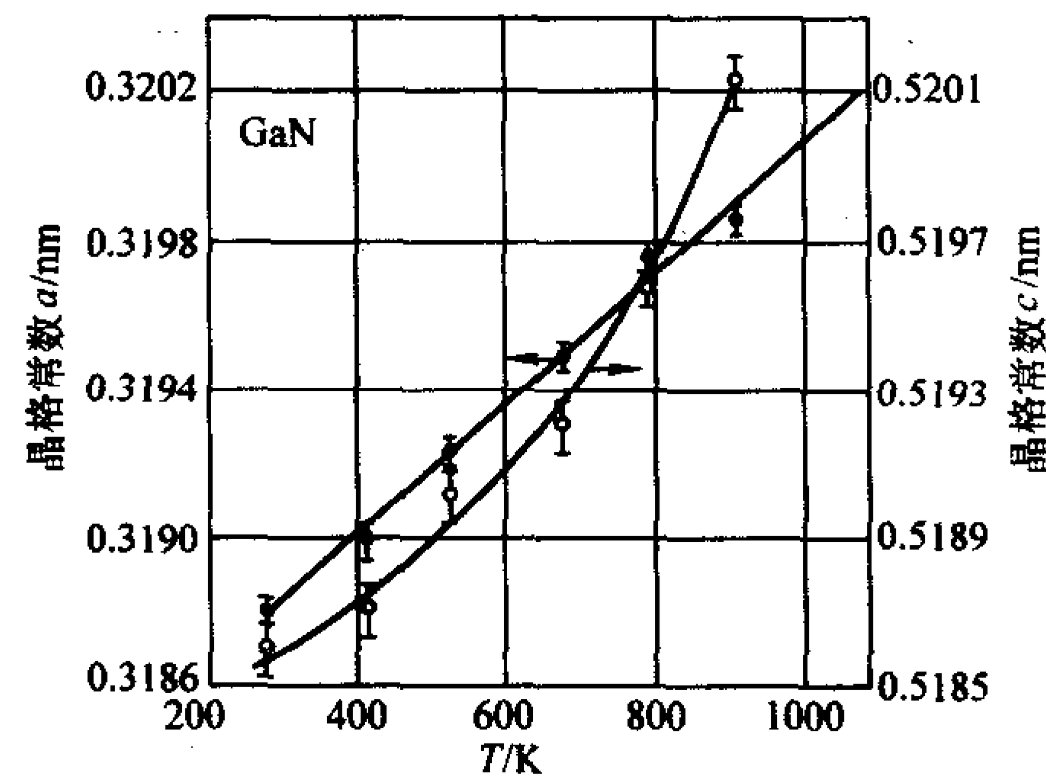


图 6.2-20 六方 GaN 晶格常数随温度的变化

$$a = 0.318\ 40 + 0.739\times10^{-5}T + 0.592\times10^{-9}T^2 \quad (6.2\text{-}3)$$

$$c = 0.518\ 12 + 0.145\ 5\times10^{-5}T + 0.462\times10^{-9}T^2 \quad (6.2\text{-}4)$$

$$c/a = 0.162\ 74 + 0.005\ 1\times10^{-5} - 0.15\times10^{-9}T^2 \quad (6.2\text{-}5)$$

$$T = 293 \sim 1\ 173\ K \quad (6.2\text{-}6)$$

闪锌矿结构的 GaN（β-GaN）在能量上和 α-GaN 非常接近，通过在立方衬底上外延生长可以稳定存在。在一定压力条件下，GaN 经历了从纤锌矿到岩盐结构相的转变。岩盐相 GaN 直到 70 GPa 的压力下一直是稳定的，至少到 91 GPa 的压力仍然存在。表 6.2-4 是纤锌矿和闪锌矿 GaN 特性比较。

表 6.2-4　纤锌矿和闪锌矿 GaN 的晶格参数

参数	六方 GaN	立方 GaN
带隙能量/eV	E_g（300 K）=3.39 E_g（6 K~6 K）=3.5	E_g（300 K）=3.30+-0.02 E_g（300 K）=3.45 E_g（300 K）=3.2
晶格常数 /nm	a　0.319 0（1） c　0.518 9（1）	a　0.453 1（5）（300 K）
线胀系数 $/10^{-6}\cdot K^{-1}$	$\alpha_{\parallel}$　5.59×（T=300~900 K） $\alpha_{\parallel}>\alpha_{\perp}$（<340 K） $\alpha_{\perp}$，3.17×（T=300~700 K） $\alpha_{\parallel}<\alpha_{\perp}$（>340 K）如图 6.2-21 所示	
熔点 /K	T_m　2 791 >2 000	
密度$/g\cdot cm^{-3}$	d 6.07	
声子色散曲线	如图 6.2-22 所示	如图 6.2-23 所示
声子波数 $/cm^{-1}$	ν_{low}（E_2）　145（300 K） ν_{TO}（A_1）　533 ν_{TO}（E_1）　560 ν_{high}（E_2）　567 ν_{LO}（A_1）　735 ν_{LO}（E_1）　742	ν_{TO}　554（80 K） ν_{LO}　740
声学速率 $/m\cdot s^{-1}$	v_{11}　7 744 v_{12}　4 702 v_{13}　4 336 v_{33}　7 914 v_{44}　4 240 v_{66}　4 351	
二级弹性模量 /GPa	c_{11}　377（300 K） c_{12}　160 c_{13}　114 c_{33}　209 c_{44}　81.4	c_{11}　264 c_{12}　153 c_{44}　68
体积模量/GPa	B　195 RT	
弹性模量/GPa	E　324	
德拜温度/K	θ_D　600	θ_D　608

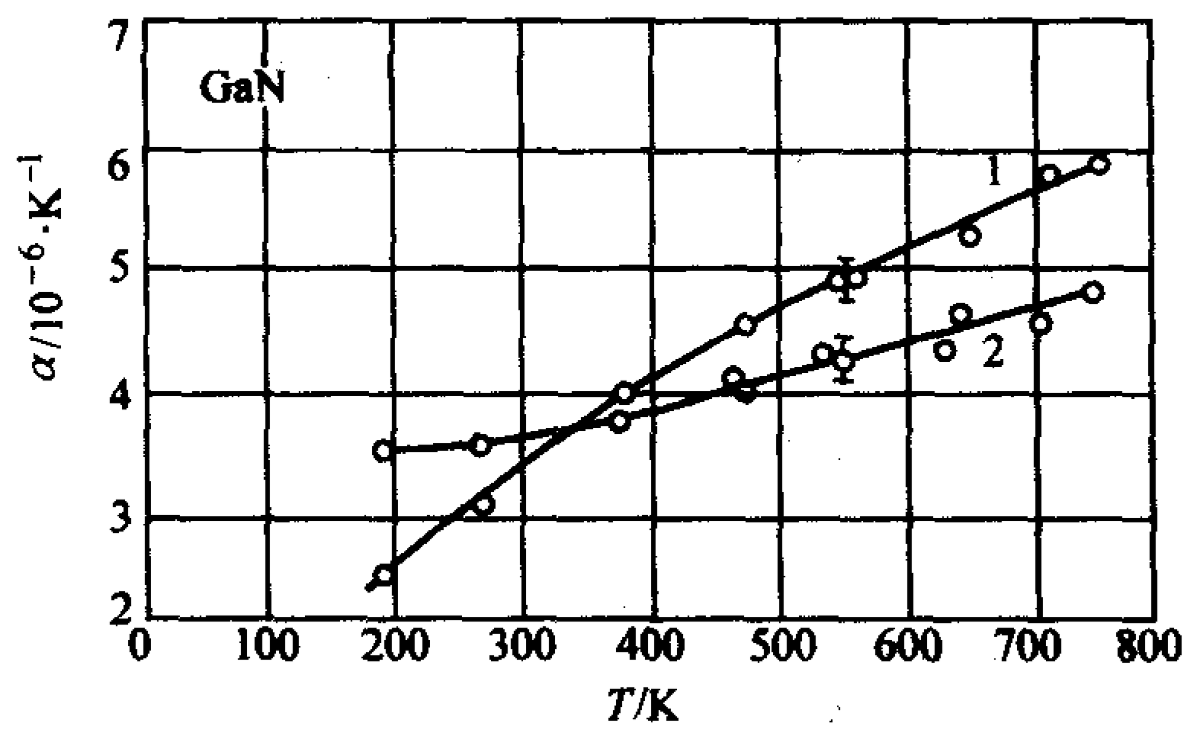


图 6.2-21　GaN 线胀系数随温度的变化
1-$\alpha_{\perp}$；2-$\alpha_{\parallel}$

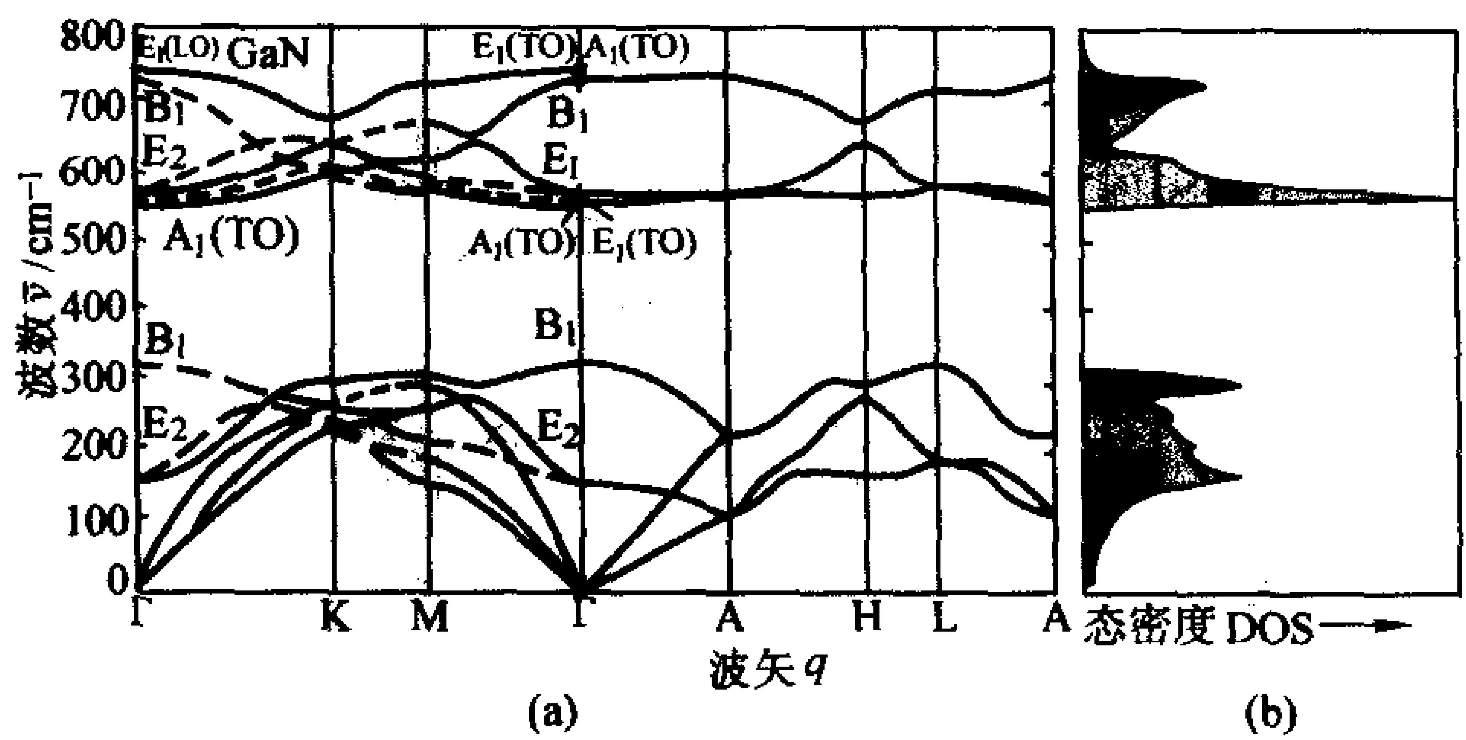


图 6.2-22　六方 GaN 的声子分散关系（a）和态密度（b）
（通过势能模型计算）

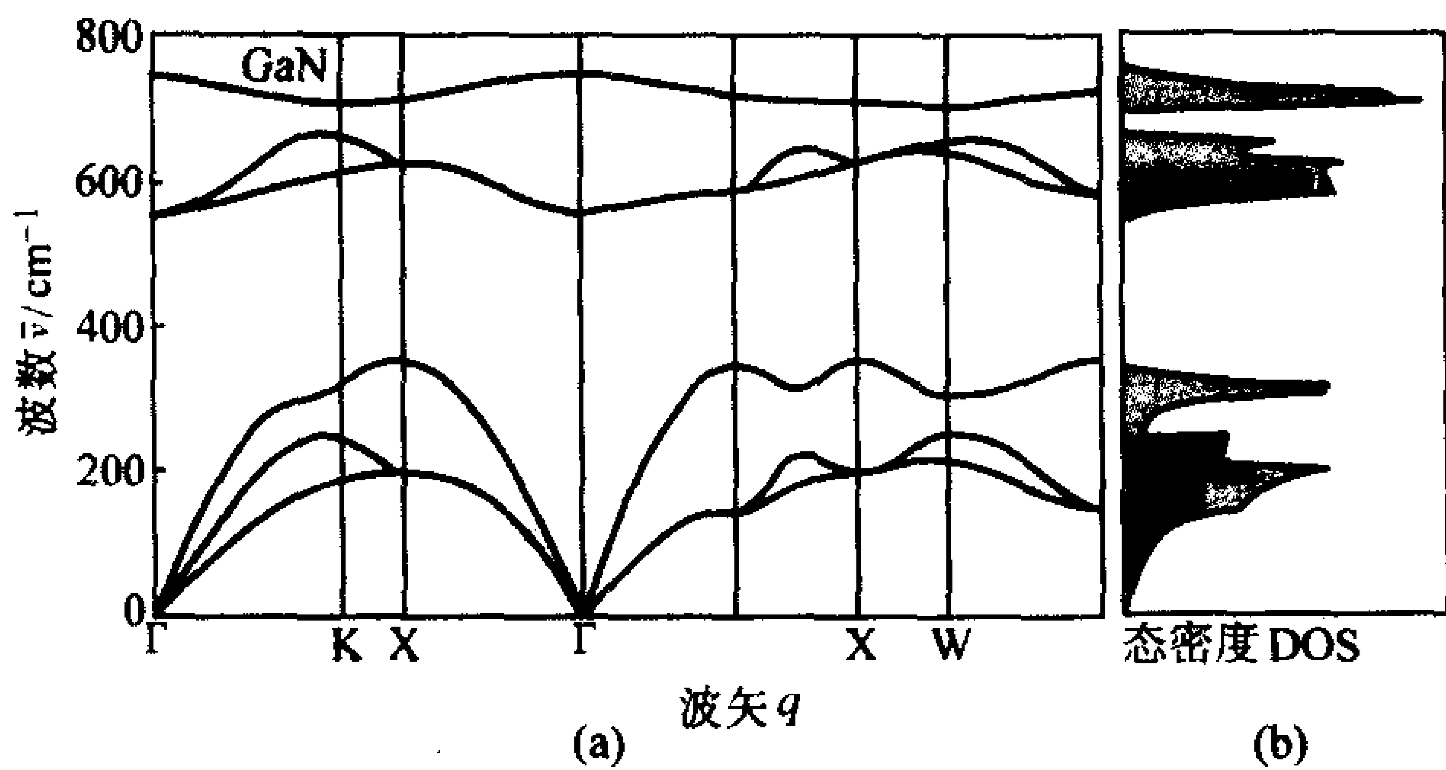


图 6.2-23 立方 GaN 声子色散关系（a）和态密度（b））
（从头计算法计算得到）

1.2.4 氮化铟（InN）

正常条件下，InN 以纤锌矿六方结构存在，空间群 P63mc，如图 6.2-24 所示。在压力条件下，有人观察到向岩盐相结构的转变。六方 InN 晶格常数随温度变化的关系如式 (6.2-7) 所示。

$$a(T) = 0.353\,41(3) + 0.127(7) \times 10^{-5}\,T \text{ nm} \quad 100\text{ K} < T < 673\text{ K} \tag{6.2-7}$$

$$c(T) = 0.570\,16(7) + 0.146(18) \times 10^{-5}\,T \text{ nm} \tag{6.2-8}$$

六方 InN 的晶格参数如表 6.2-5 所示，其线胀系数随温度的变化如图 6.2-25。

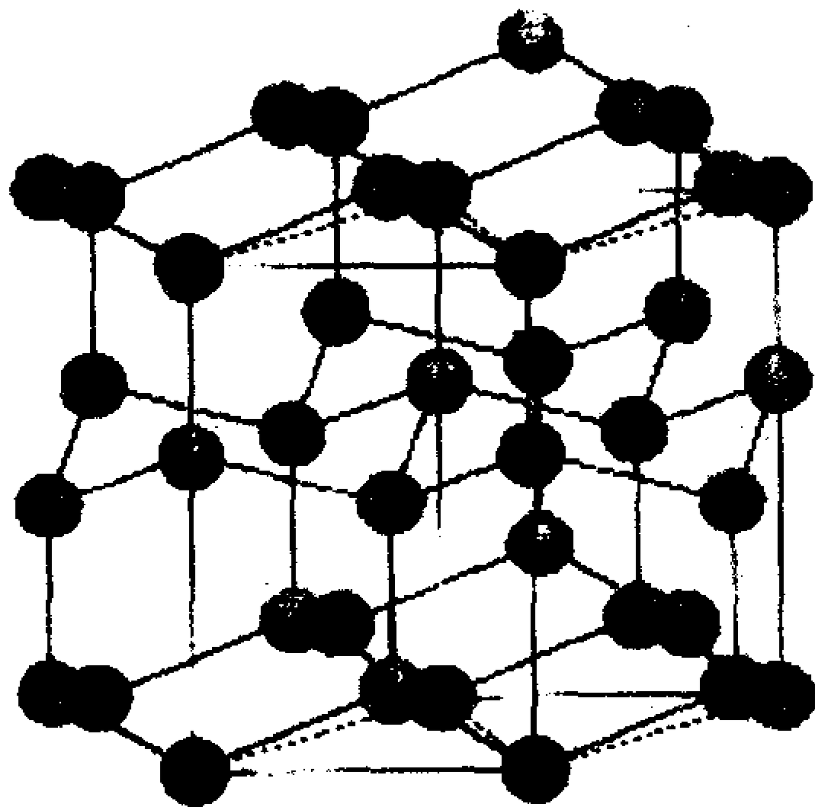


图 6.2-24 六方 InN 晶体结构

表 6.2-5 六方 InN 的晶格参数

参数	六方 InN
晶格常数/nm	a 0.354 46 c 0.570 34
线膨胀系数 /$10^{-6}\cdot K^{-1}$	α_a 3.6 (2) (100 K < T < 673 K) α_c 2.6 (3)
密度/g·cm^{-3}	D 6.78 (5)
熔点/K	T_m 1 900 (6.06 GPa (60 kbar) N_2)
声子波数 /cm^{-1}	ν_{TO} (Γ) 478 (300 K) ν_{LO} (Γ) 694 ν_{TO} (A_1) 400 ν_{TO} (E_1) 484 ν_{LO} (E_1) 570 ν_{TO} ($E_2^{(1)}$) 190 ν_{TO} ($E_2^{(2)}$) 590
二级弹性模量 /GPa	c_{11} 190 (7) c_{12} 104 (3) c_{13} 121 (7) c_{33} 182 (6) c_{44} 9.9 (11)

续表 6.2-5

参数	六方 InN
体积模量/GPa	B 147
德拜温度/K	θ_D 660
定压比热容 /J·(mol·k)$^{-1}$	c_p 30.0 + 12.130 × 10^{-3} T

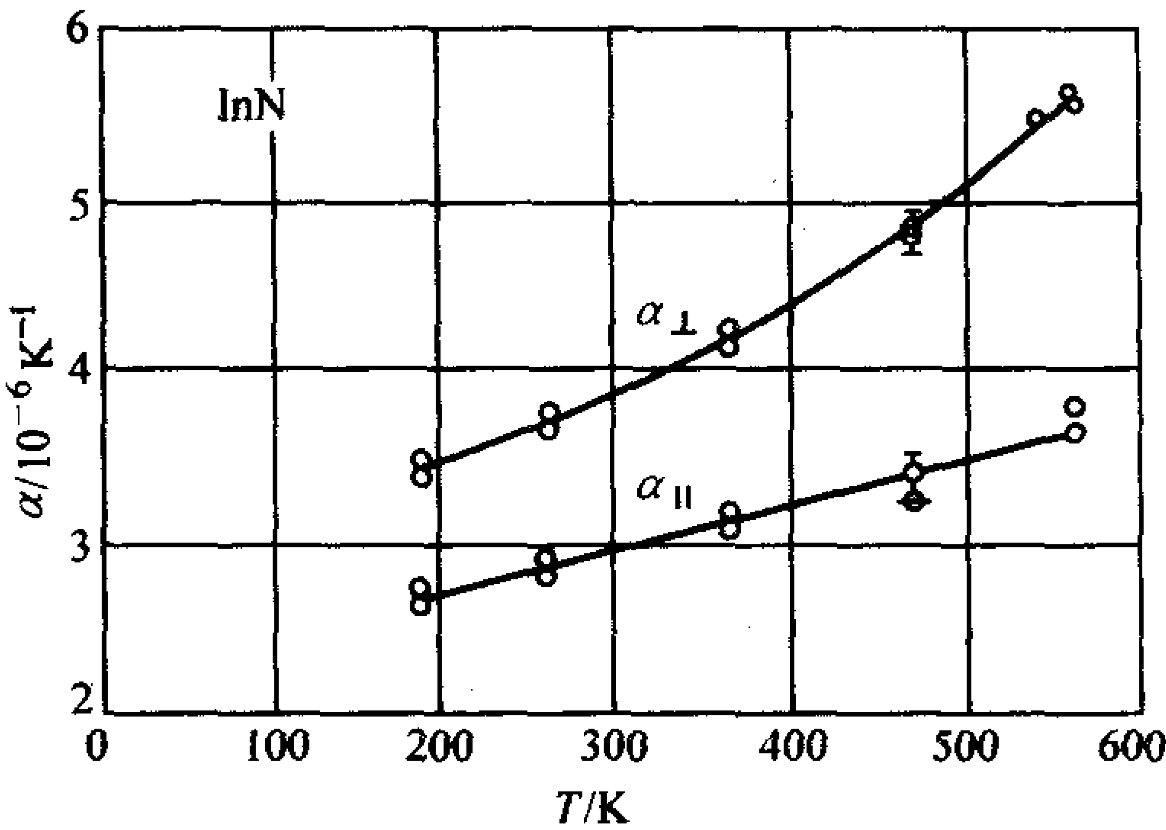


图 6.2-25 六方 InN 线胀系数随温度的变化

2 宽带隙化合物半导体材料的制备技术

宽带隙半导体材料是指在室温条件下带隙大于 1.7 eV 的半导体材料，它们包括氮化镓及相关的Ⅲ族氮化物半导体材料（GaN，AlGaN，InGaN 等），碳化硅（SiC），金刚石和宽禁带Ⅱ－Ⅵ族半导体（ZnSe，ZnS，CdS 等）等。以氮化镓为代表的Ⅲ族氮化物半导体材料已经成为世界范围的研究热点。但是，采用异质外延法生长的 GaN 基Ⅲ族氮化物半导体材料，由于与衬底材料晶格失配和热失配而存在高密度的位错缺陷和产生龟裂；外延生长所用的源材料之间存在严重的气相预反应以及 MO 源对氧和水分等杂质十分敏感，因而外延质量和成品率强烈依赖于设备性能和工艺条件。无论是设备还是工艺，都还存在很大的发展空间和机遇。

晶体生长的方法一般可分为三大类。即熔体生长法、气相法，液相法（包括从溶液中生长和从熔体中生长）和固相法。熔体生长法可生长纯度高、体积大、完整性好的单晶体材料，而且生长速度快，是制取大直径半导体单晶材料最主要的生长方法；气相法和液相法可在低于材料的熔点温度下生长晶体材料，因此它们特别适合于制取高熔点，蒸汽压大，用熔体法不易生长的晶体和薄膜材料；固相法除了可以在具有固相转移的材料中进行外，它还可以制取特殊组成和结构的材料。最常用的半导体材料生长方法有：从熔体中生长，如现代微电子技术中应用最广泛的材料 Ge、Si 和 GaAs 单晶材料的生长，它所使用的设备是晶体生长单晶炉。气相法是半导体薄膜材料生长最常见的方法之一，从最早的 Ge 和 Si 的气相外延，到目前正在蓬勃发展的金属有机气相外延，它已经成为现代微电子器件和集成电路必不可少的工艺之一。

由于Ⅲ族氮化物半导体材料的熔点高和饱和蒸气压也高，很难采用通常的体单晶生长方法制备晶体。早在 1938 年，Juza 和 Hahn 就利用氨气通过热的镓金属生长出了微针类状的 GaN，一直到 1969 年才由 Maruska 和 Tietjne 利用化学气相沉积（CVD）技术在蓝宝石衬底上生长出了较大面积的 GaN 薄膜材料。科学家们采用外延方法生长出具有实用化的 GaN 是在 80 年代中期。近年来，随着外延技术的进步，研究人员成功地生长出了具有平整表面的Ⅲ族氮化物外延层。

目前，GaN薄膜的制备方法已从早期传统的气相外延发展为金属有机物化学气相沉积以及分子束外延等多种工艺。在各种生长方法中，都以前体源种类与纯度、衬底与缓冲层选择、生长温度与压力、Ⅲ/Ⅴ流量比等作为控制GaN薄膜质量的关键因素，各种生长方法也都不同程度地存在着诸如生长温度高、生长效率低、缺陷密度大等缺点。金属有机物化学气相沉积法（MOCVD）是目前公认的最佳的GaN基Ⅲ族氮化物半导体薄膜材料生长工艺；分子束外延法中用等离子激发增强、电子回旋共振、超声喷射等工艺活化氮前体源的方法也代表了Ⅲ族氮化物半导体薄膜材料外延工艺的发展方向。

本节介绍了在宽带隙半导体材料生长技术中应用比较广泛的生长工艺和设备，它们包括：分子束外延生长技术（MBE），金属有机物化学气相外延技术（MOCVD）和氢化物输运气相外延技术（HVPE）。

2.1　分子束外延

2.1.1　基本原理和发展

分子束外延（MBE，Molecular Beam Epitaxy）生长工艺是现代电子器件微结构材料最重要的生长技术之一。它是利用材料蒸发源的定向分子束流生长晶体薄膜的一种方法。在超高真空条件下，晶体组成元素的一个或多个热原子束或热分子束，在保持适当温度的衬底表面发生反应的外延生长过程。在超高真空系统（$\leqslant 133.322\times10^{-10}$ Pa（10^{-10} torr））中相对地放置衬底和几个分子束源炉（喷射炉），并将欲组成化合物（如GaN）的各种元素（如Ga，Al，N等）和掺杂剂元素（如Si，Be等）分别放入不同的喷射炉内加热和不同源炉裂解、离化，使它们的分子（或原子）以一定的热运动速度和一定比例的束流强度喷射到加热的衬底表面上，与表面产生相互作用（包括在表面的迁移，分解，吸附和脱附等作用），并进行单晶薄膜的外延生长。各喷射炉前的档板用来改变外延膜的组分和掺杂类型。根据设定的程序，开关档板，改变源炉的温度，控制生长时间就可以生长出不同厚度，不同组分比例的三元、四元固熔体及异质结等各种超薄层微结构化合物薄膜材料。MBE基本过程如图6.2-26所示。

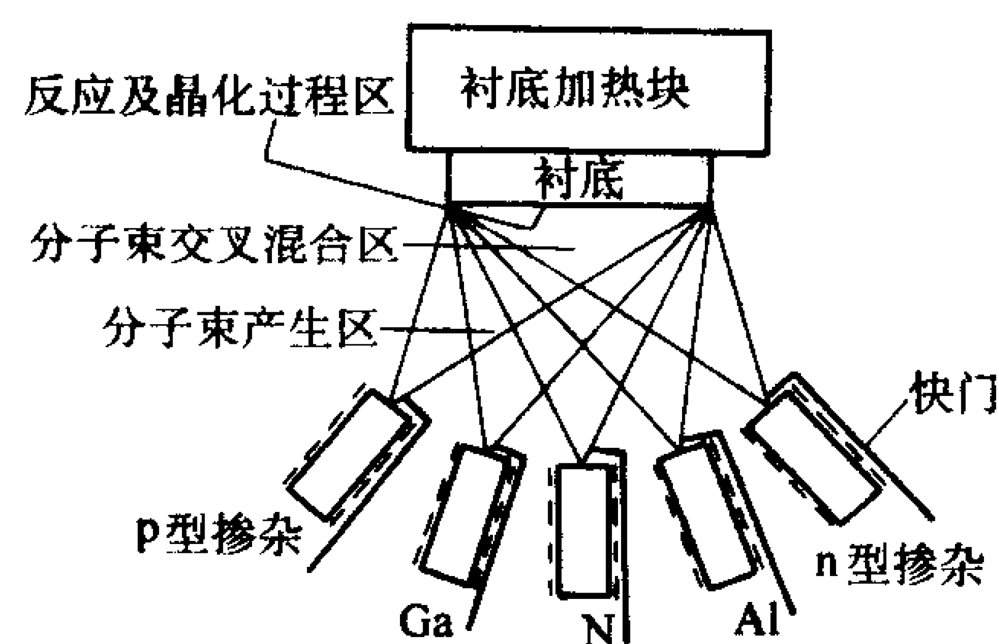


图6.2-26　MBE基本过程

表6.2-6　MBE及氮化物半导体材料发表时间

发表年份	发明内容
1938	第一次合成GaN
1968	第一台MBE和MOCVD
1969	宝石衬底上GaN
1971	第一只GaN MIS LED问世
1971	第一个用MOCVD生长GaN
1975	第一个用MBE生长GaN
1979	固态源MBE
1984	气态源MBE
1985	大面积GaN生长
1986	两步法MOCVD GaN生长技术发明
1989	第一个RE-MBE生长GaN
1989	第一个p型GaN，n约为$2\times10^{16}/cm^3$
1990	双束流MOCVD技术生长高质量GaN
1992	第一个AlN缓冲层p型GaN，n约为$8\times10^{18}/cm^3$
1994	ECR氮源炉MBE生长GaN
1994	高亮度蓝光GaN LED生长

MBE能够非常精确地控制化学组分和掺杂浓度分布。厚度只有原子层量级的单晶多层结构可以用MBE制作。因此，MBE法可以制造半导体异质结构，半导体量子阱，超晶格结构等薄层超薄层结构材料，其薄膜层厚度可以从几分之一微米到单原子层。MBE技术特别适合生长高电子迁移率晶体管（HEMT）和赝配结构高电子迁移率晶体管（PHEMT）等微波毫米波器件领域的薄层超薄层半导体材料。早在1956年和1958年，K.G.Gunther就介绍了Ⅲ－Ⅴ族材料的多束生长。他采用三温区工艺生长了理想化学配比的二元和三元Ⅲ－Ⅴ族化合物薄膜。20世纪60年代后期开始用于外延生长GaAs薄膜材料。到1977年以后，MBE开始用于制备其他技术所不能生长的新结构材料，使半导体器件研制也进入到一个新的异质结器件时代。标志着MBE技术进入到了一个新时期。

分子束外延是一种多用途和可控制的薄膜生长技术。70年代中期，贝尔实验室的Arther和Cho改进和发展了这种真空蒸发工艺。由于MBE系统对生长材料参数的精确可控和强大的原位监测能力使得它在异质结材料生长方面得到广泛的使用。该技术结合适当的技术，可以制备出具有二维和三维图形结构的薄膜。此外，还可以在生长过程中原位研究外延层表面的生长过程和进行表面分析研究。早期的MBE系统主要依靠固态源生长Ⅱ－Ⅵ族，Ⅳ－Ⅵ族和Ⅲ－Ⅴ族结构材料。气态源MBE系统的出现则极大地丰富和发展了MBE技术。第一个用MBE设备生长氮化物材料的是Yoshida等，他们发现在MBE系统中利用高温裂解设备可以采用NH_3作为氮源生长Ⅲ族氮化物。另一种生长氮化物的MBE系统采用等离子体源来离化N_2或NH_3作为MBE的氮源生长Ⅲ族氮化物。还有使用微波耦合能量的电子回旋加速源炉（ECR）来裂解N_2或NH_3作为MBE的氮源生长Ⅲ族氮化物。MBE作为在现代GaN，SiC等宽禁带半导体材料生长方面更是起着重要的作用。MBE及氮化物半导体材料的发展过程见表6.2-6。

2.1.2　MBE技术的优缺点和基本设备结构

MBE工艺具有以下一些优点：

1）由于利用元素源炉，使反应原子或分子束具有相对简单的路径。

2）生长速率低（0.01～1 μm/h），能生长1 nm（10Å）左右的超晶格材料。

3）由于生长温度低（500～600℃），减少了体扩散对组分和掺杂浓度分布的影响。

4）均匀性、重复性以及可控性好。在外延生长过程中，由于衬底可以连续旋转，因此，生长的薄膜厚度、掺杂浓度

和组分均匀性好，偏离可低至 ±0.05%。

5）可以突然开始和终止外延生长，因此可以得到超突变的界面和陡变的掺杂分布。

6）由于 MBE 是在非平衡态下生长，生长过程主要受到动力学因素控制，大多数生长衬底晶向可以得到光滑的表面。

7）因为衬底和分子束源分开。所以能在外延生长过程中进行原位分析以确定生长开始前表面清洁和表面结构，在整个生长过程中可以观察，测量和监控生长面，并且可以进行生长后样品的原位分析。

它的缺点也是显而易见的。设备复杂，价格昂贵，运行维护费用高等。但 MBE 是研究高质量外延材料，异质结材料，光电器件材料的先进手段；是研究晶体生长动力学，表面，界面，晶体形成等科学理论问题的有力工具；也是现代微电子器件和光电器件研制和生产的有力工具。

目前，典型的 MBE 生长设备如图 6.2-27 所示。它一般分为三个真空室，即进样室，预处理室和外延生长室。进样室用于进取样品，预处理室用于对衬底进行除气处理。外延生长室用于进行外延生长。每个工作真空室都有各自的无油真空抽气机组。室与室之间通过插板阀隔离。这样，即使某一个室和大气相通，其他室仍然可保持真空状态。

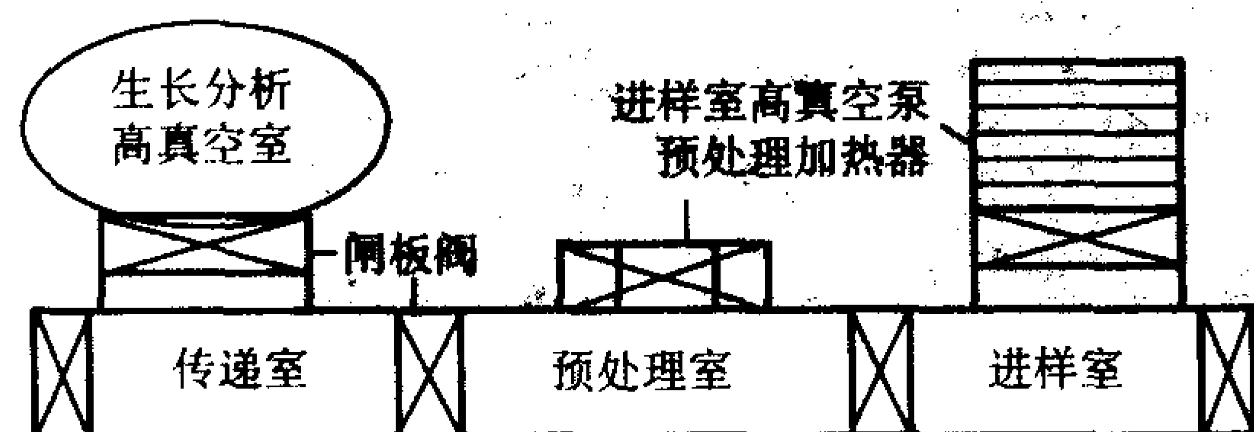


图 6.2-27　典型的 MBE 生长真空系统

现代典型的 MBE 装置的生长室基本结构如图 6.2-28 所示。生长室内可装上电离计，高能电子衍射仪和四极质谱仪等测量仪器仪表组成样品和生长室监控系统。多级样品传递装置和阀门保证在进样时系统能够保持超高真空。液氮冷却套包围整个生长区，减少了外延时生长室内剩余水蒸气和含碳气体。采用离子泵，冷凝泵等维持系统超高真空。在生长室中，设计衬底支架和装生长源带坩埚的喷射炉或气体等离子体源炉等，衬底支架通过操作机构可以放入和取走衬底样品。在生长过程中支架上的衬底可以旋转和倾斜一定角度。喷射炉内的坩埚中装有纯度达到 99.999 99% 的高纯度的元素源材料，各源喷射炉或气体等离子体源炉等的温度可以调节，以获得所需的蒸发或裂解温度，获得一定的反应源喷射速率，以使生长时各组分元素按一定比例喷射出去。如果温度低，喷射出的分子就少，生长速率则缓慢，反之则加快。MBE 装置实际上就是超高真空的蒸发装置，它的本底真空度可以达到 133.322×10^{11}（10^{-11} Torr）。在超高真空中，源炉坩埚或气体等离子体源炉等内蒸发或喷射出的源分子或离子是直接喷射向衬底样品，而不与其他分子或原子碰撞，这就是分子束外延名称的由来。

在生长室内的每一个源炉前都装有快门，在衬底样品前也装有快门。早期英国 VG Semicon 公司的源炉结构如图 6.2-29 所示。在生长时通过生长快门的开和关的控制可以控制生长元素材料，也可以对生长材料的组分加以控制，使不同掺杂层和不同组分层的突变生长控制可以实现。陡峭的生长界面和单分子层的生长是分子束外延的突出优点。同时，在生长室内还可以装上用于表面分析的其他部件，包括用来监测表面结构，表面清洁度和平整度的反射式高能电子衍射仪（RHEED），用来监测生长室内背景气体的四极质谱仪，以及用来确定表面原子层的化学组分的俄歇电子能谱和用来分析生长材料表面和体内成分分析的二次离子质谱等仪器对样品

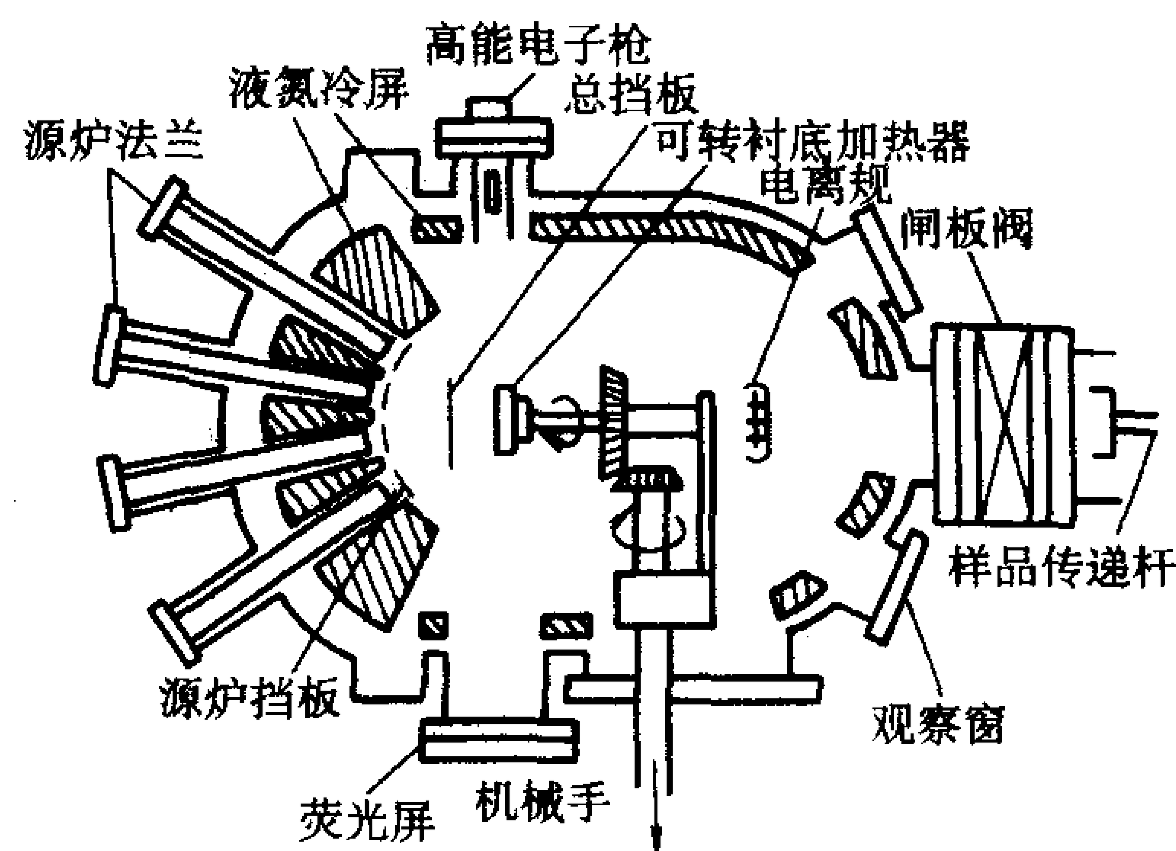


图 6.2-28　MBE 装置基本结构

进行原位测量。RHEED 系统是采用 10 keV 的电子枪，使反射电子束聚焦于 MBE 级专用荧光屏。荧光屏上的 X 射线衍射光由光电倍增管和光纤接收并传送到 X－Y 记录仪上，由 X－Y 记录仪记录下来。图 6.2-30 是用气态源 MBE 在宝石衬底上生长 GaN 的 RHEED 振荡曲线。生长时的衬底温度是 680℃。该曲线结构和原理分析分布一致。振荡周期反映了 GaN 薄膜单层生长的周期特性，振荡曲线的减弱反映了生长表面岛状生长引起的表面逐渐变得粗糙。图 6.2-31 是生长 AlN 时富 N（左）和富 Al 时（右）RHEED 的衍射图。

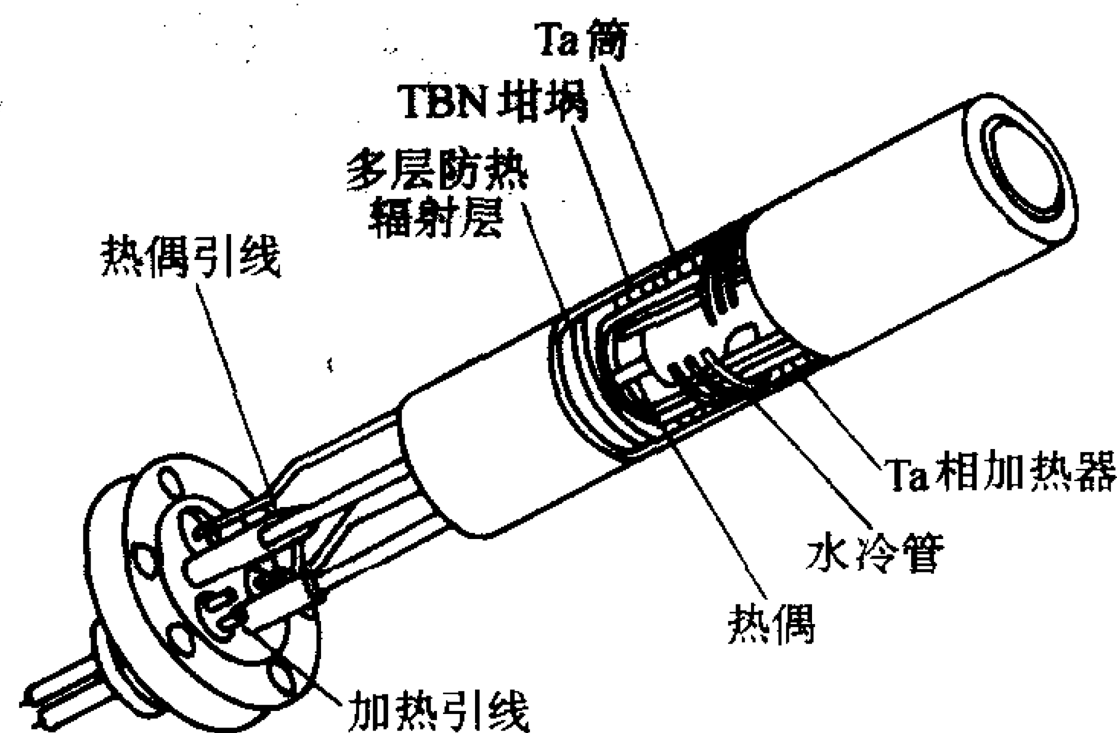


图 6.2-29　早期英国 VG Semicon 公司的源炉结构

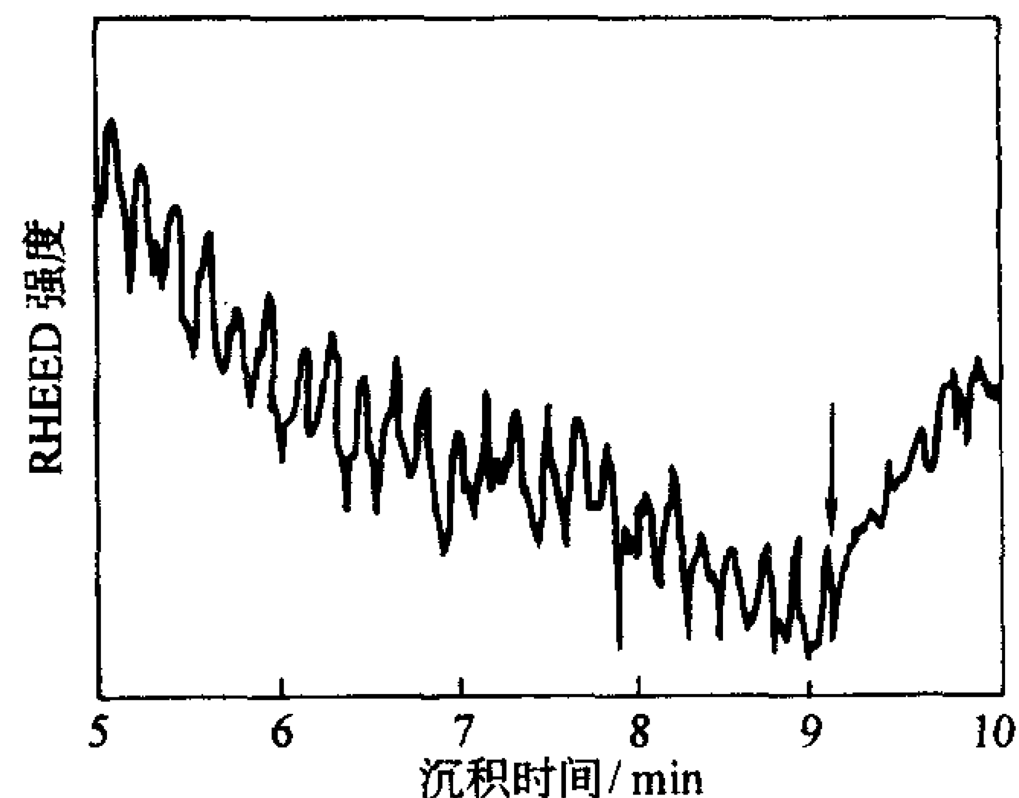


图 6.2-30　用气态源 MBE 在宝石衬底上生长 GaN 的 RHEED 振荡曲线

正是这些重要技术的发展，极大丰富和发展了材料生长的实时监控技术，使半导体材料物理和界面物理得到了充分的发展。

2.1.3　基本生长原理

MBE 的生长过程是一个非平衡过程，处于高温坩埚或气态源炉内的Ⅲ族元素和Ⅴ族元素的分子或离子束向样品喷射过去，在没有Ⅲ族元素束的情况下，Ⅴ族元素分子或离子不会黏附到衬底表面上，当有Ⅲ族元素束时，Ⅴ族元素分子或离子就会黏附到衬底表面上，当所有的Ⅴ族元素表面晶格位置被占领以后，Ⅴ族元素原子就会脱附，因此保证了外延晶体的配比，在脱附时间内，Ⅴ族元素分子或离子仍然被束

缚和吸附到衬底表面，并且在表面迁徙寻找合适的晶格位置，再发生吸附，稳定和脱附，于是外延材料就一层又一层地生长。如果表面不平整，就意味着表面有许多小平面可提供晶格位置给Ⅲ族元素占据，在许多小平面上MBE生长可以使生长表面变得平整或者产生其他情况。其基本原理模型见Joyce和Foxon以MBE生长GaAs材料为例的图6.2-32。在一般情况下，Ⅴ族元素的原子或分子束流大于Ⅲ族元素原子或分子束流，这样可以生长出符合化学计量比的外延层。

2.1.4 Ⅲ族氮化物MBE

MBE要用于Ⅲ族氮化物半导体材料的生长首要解决的问题就是氮源的问题，因为Ⅲ族氮化物半导体材料生长中的氮源 N_2 和 NH_3 的分子键较强，一般的MBE源炉很难打开它们。在Yoshida等首先解决了MBE氮源问题之后，许多的研究者做了大量的工作。图6.2-33是装有微波偶合能量的电子回旋加速源炉（ECR）氮源炉的MBE系统。用ECR来裂解 N_2 或 NH_3 作为MBE的氮源用来生长Ⅲ族氮化物半导体材料。图6.2-34是一种典型的热裂解氮源炉，该源炉是高温裂解设备，利用高温能量使得 N_2 和 NH_3 的分子分解，得到N的原子或离子，再输运到衬底表面和Ⅲ族元素反应生成氮化物。采用MBE生长Ⅲ族氮化物材料及其异质结构材料有以下几点优点，其一是低温生长（一般在700℃左右），这样就避免了扩散问题；其次是生长后不要对材料进行热退火处理；第三是MBE配备的在线分析可以对生长过程和样品进行及时分析，有利于对生长机制的深入研究。

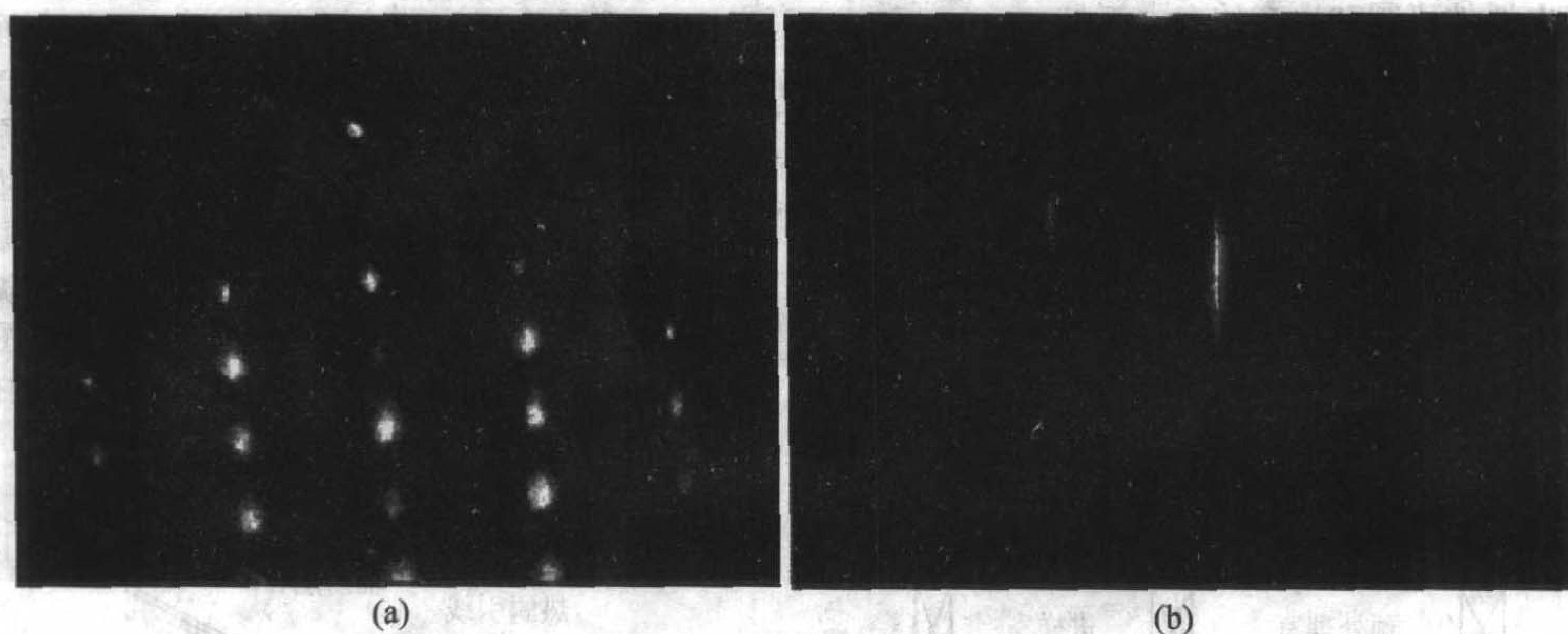


图6.2-31 生长AlN时富N（a））和富Al（b））的RHEED衍射图

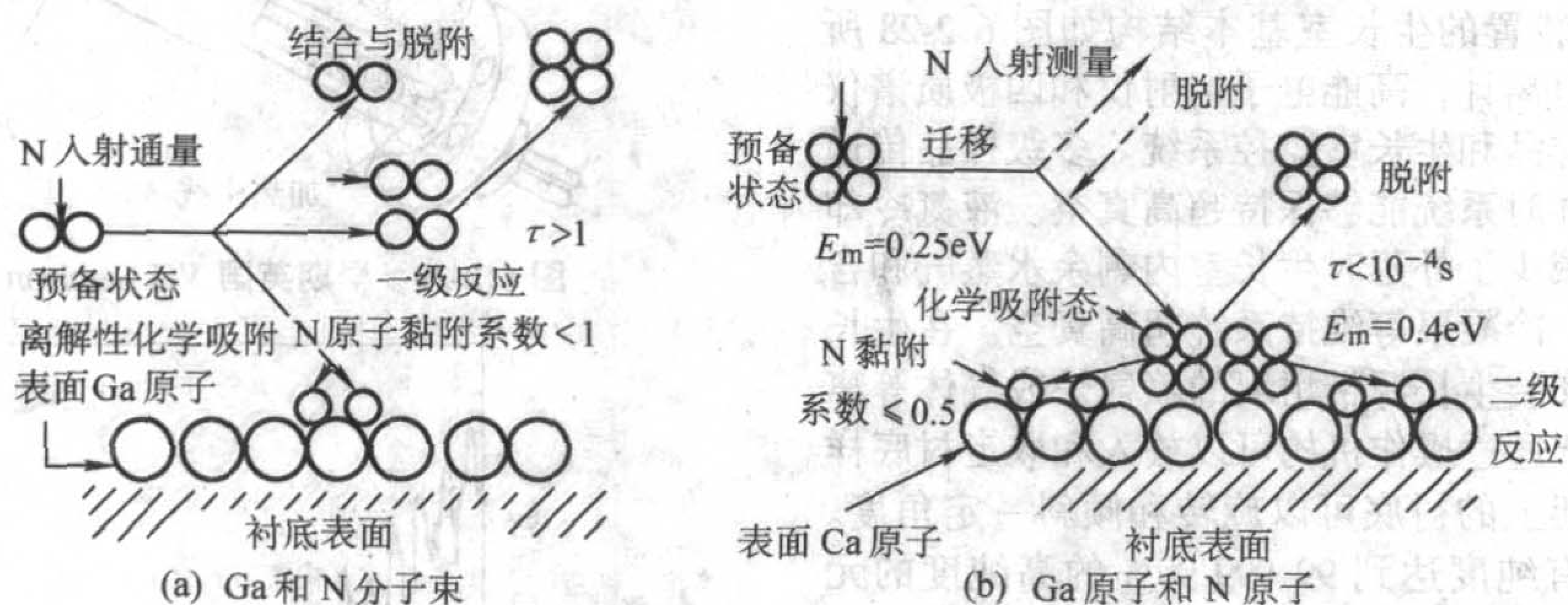


图6.2-32 在（100）GaN衬底上生长GaN材料的MBE基本原理模型

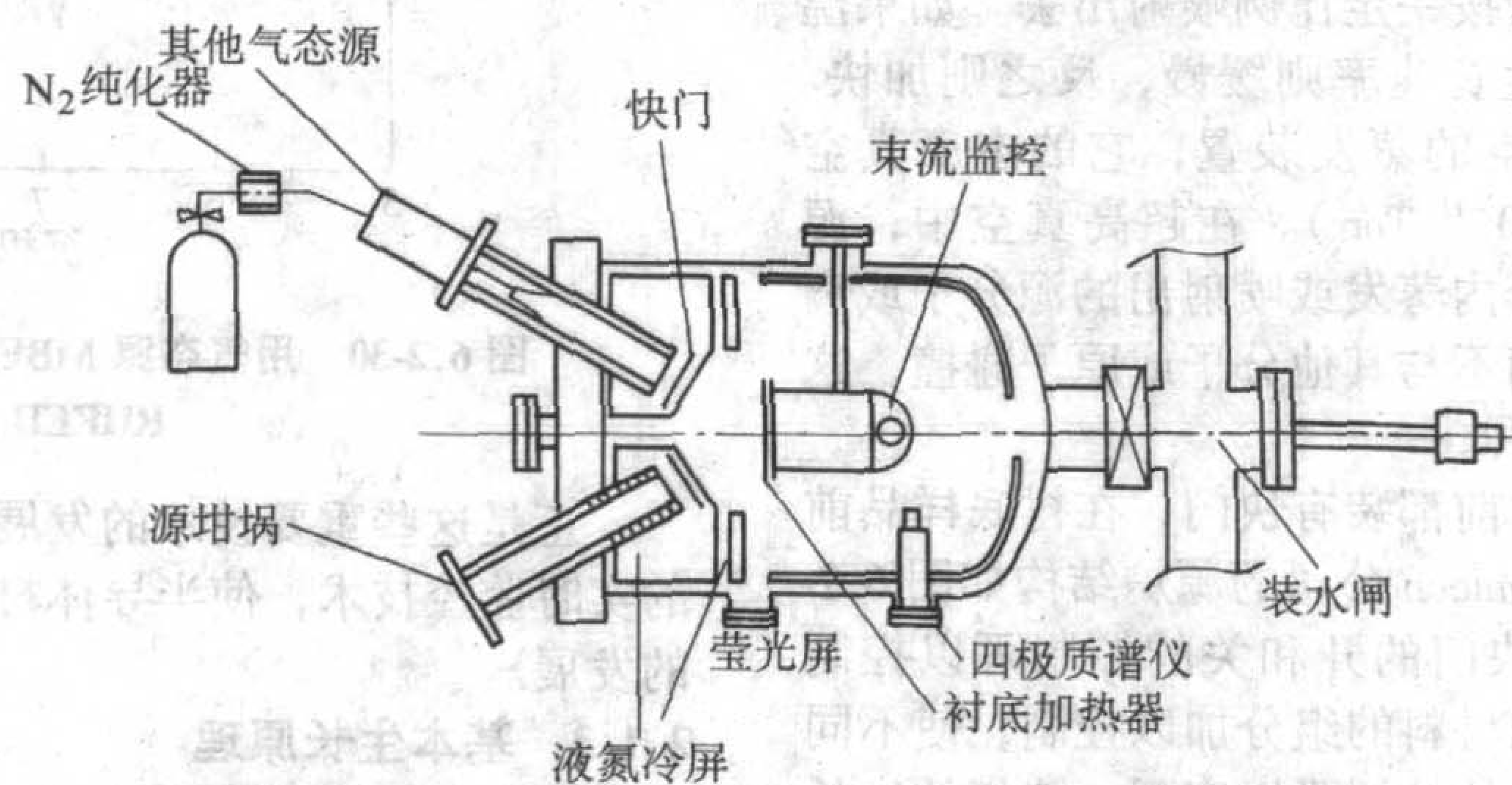


图6.2-33 装有ECR氮源炉用于氮化物材料生长的MBE系统

K.H.Pool等用PL-MBE技术在GaAs衬底上生长的表面平整的立方GaN薄膜，其界面见图6.2-35的TEM照片。S.-Kubo等在RF-MBE设备生长的高质量的GaN薄膜，他们先在衬底上用MOCVD技术生长一层缓冲层，然后在用RF-MBE技术得到了高质量的GaN薄膜，结果见SEM截面图6.2-36。H.Asaki等在 SiO_2 衬底上用气态源MBE生长GaN具有很强的PL峰，其PL谱如图6.2-37所示。在室温下PL峰的半峰宽为3.426 eV，在77 K温度时PL峰的半峰宽为3.463 eV。

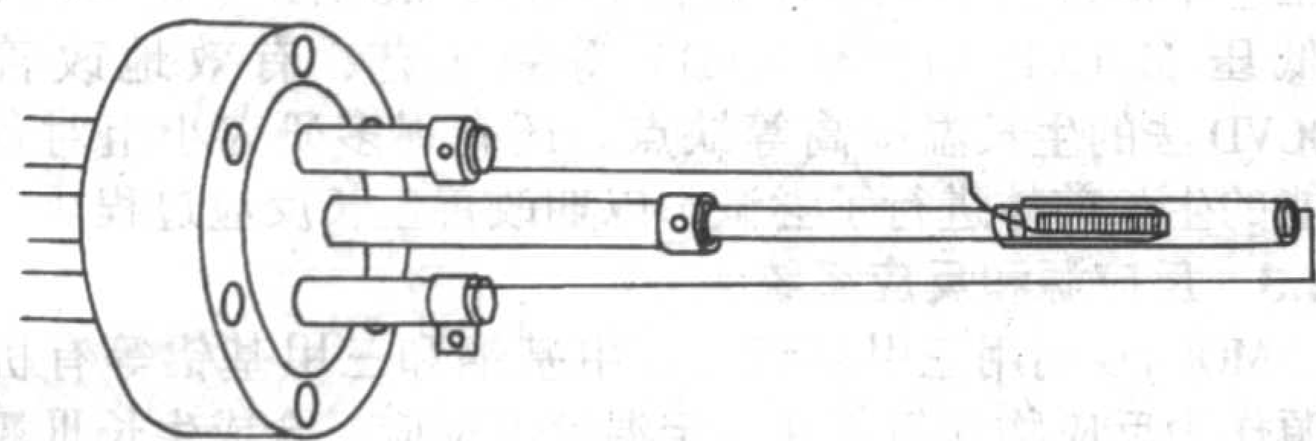


图 6.2-34　典型的热裂解氮源炉

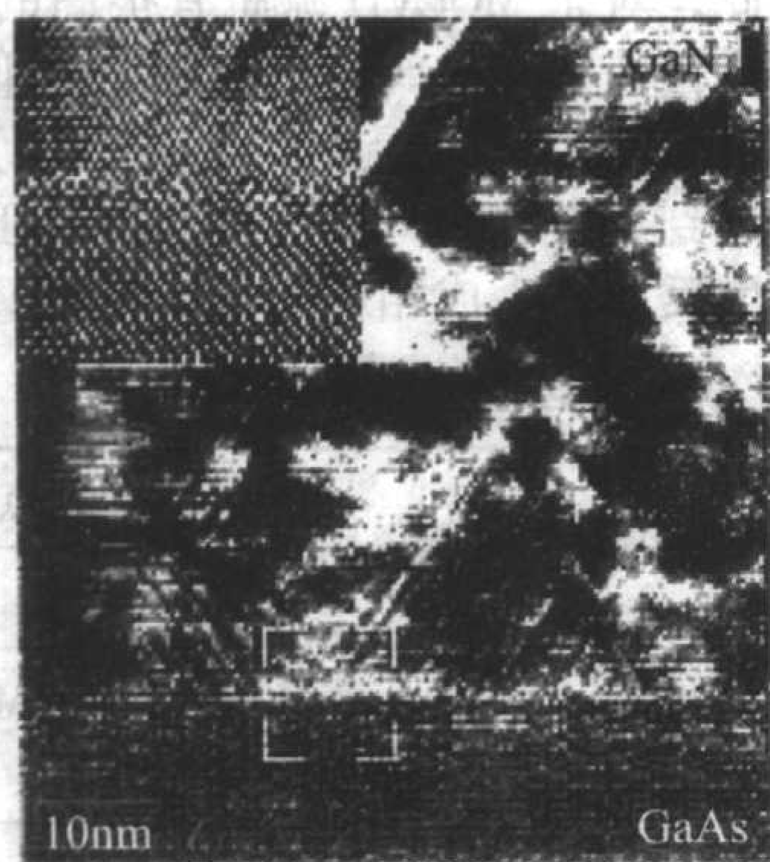


图 6.2-35　PL-MBE 在 GaAs 衬底上生长的表面平整的立方 GaN 薄膜的 TEM 照片

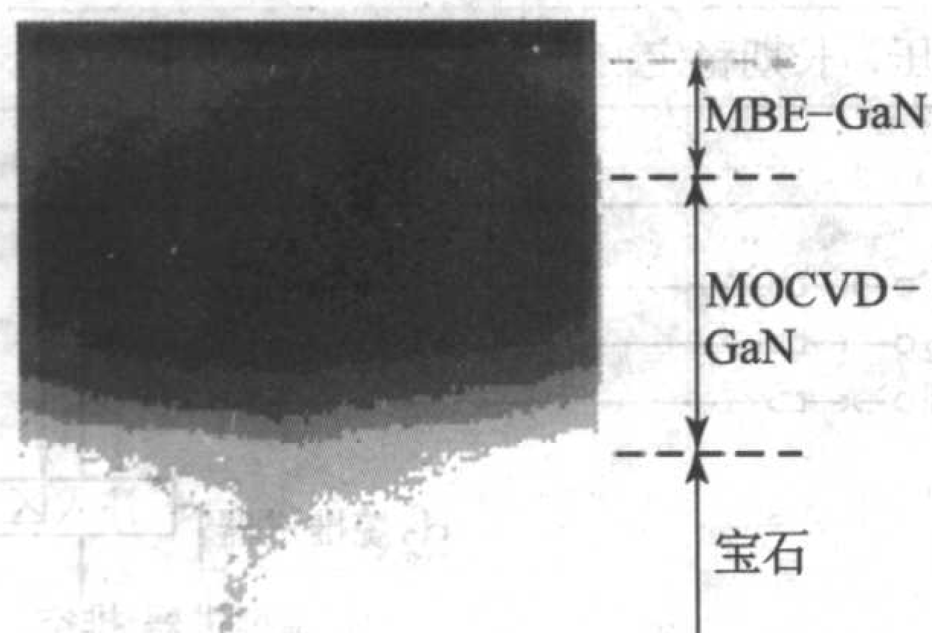


图 6.2-36　RF-MBE 生长的高质量 GaN 薄膜

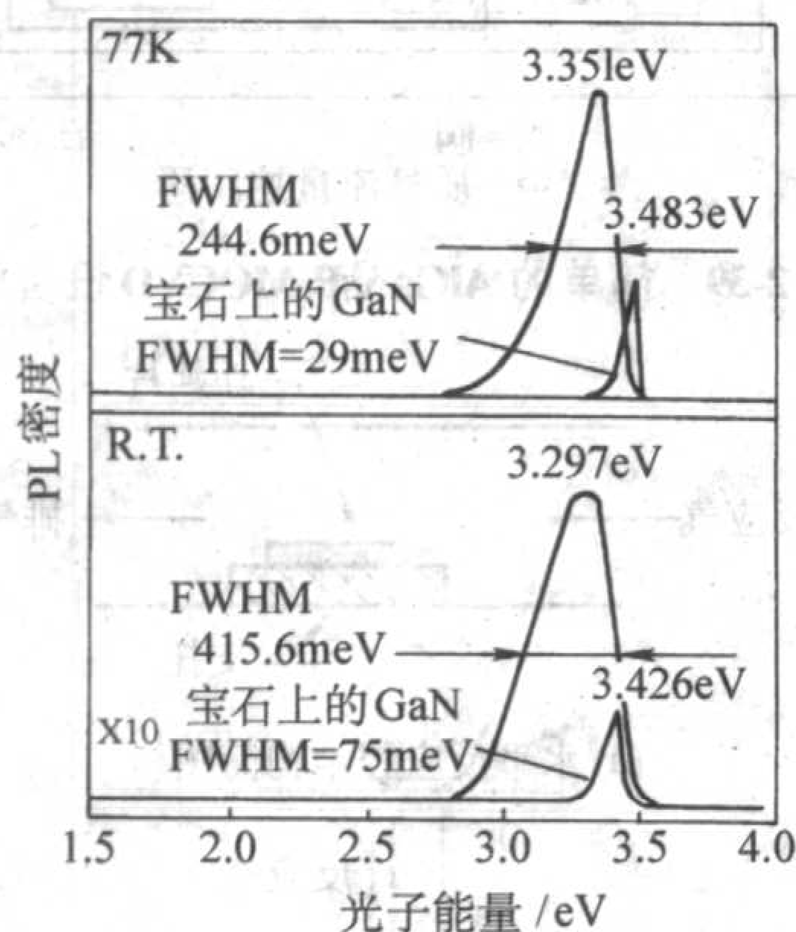


图 6.2-37　用气态源 MBE 生长 GaN 材料的 PL 谱

2.1.5　发展前景

MBE 作为超薄单晶薄膜生长技术，在原子尺度晶体生长研究方面，不仅在表面化学和电子输运的物理基础研究方面作出了重要贡献，而且在各种新型材料生长和新一代微电子和光电子器件研究中发挥了重要的作用；MBE 生长技术还会继续发展和完善，并且不断接合着现代科学技术的发展而发展，在现代材料生长，现代表面物理研究等研究领域发挥着重要的作用。现代 MBE 设备的发展已经朝作多元化和大规模生产方向发展。特别是 MBE 技术实用化技术的发展，促使了 MBE 技术在成熟器件规模性生产方面的发展，使得 MBE 技术更具有发展前景。

2.2　金属有机化学气相外延

2.2.1　基本反应原理和发展

宽禁带半导体材料最主要的生长方法之一就是 MOCVD，即Metal Organic Chemical Vapor Deposition 的简称；也称为 MOVPE（Metal Organic Vapor Phase Epitaxy）或 OMVPE（Organo Metallic Vapor Phase Epitaxy）。MOCVD 是一种以热分解反应为基础，它是以其前驱物的化学本质来区分。它将稀释于载气中的金属有机化合物源气体导入反应器中，在被加热的衬底上进行分解、氧化或还原等反应，生长薄膜材料或外延薄层材料的技术。MOCVD 生长技术最早是由 H.M.Manasevit 提出，它以挥发性的金属有机源和非金属氢化物作为源材料，采用和气相外延相类似的生长装置，进行化合物半导体的外延生长。Maruska 和 Tietjen 第一个用 VPE 方法生长出 GaN 单晶，这种 VPE 就是现代 MOCVD 的雏形。Nakamura 等设计的一种气压 MOCVD 反应器是最成功生长 Ⅲ 族氮化物半导体材料的设备。其基本反应可以分为金属烷基物与非金属氢化物反应及金属烷基物与非金属烷基物反应两类。典型的反应方程见式（6.2-9）和式（6.2-10）。基本反应原理如图 6.2-38 所示。载气 H_2 或 N_2 以及由载气携带的反应源 NH_3，TMGa，TMIn，TMAl 等通过气路系统进入到反应腔内，在加热的衬底上反应生成相应的化合物材料。



$$RnM + XHn \longrightarrow MX + nRH \tag{6.2-9}$$



$$RnM + R'nX \longrightarrow MX + n\ (R - R') \tag{6.2-10}$$

在过去三十几年中，随着现代科学技术的发展，MOCVD 生长技术也在飞速地发展，在现代半导体器件、金属、金属氧化物、金属氮化物等薄膜材料的制备和研究方面得到广泛应用。并且在 LED 产业化过程中得到迅速的发展。

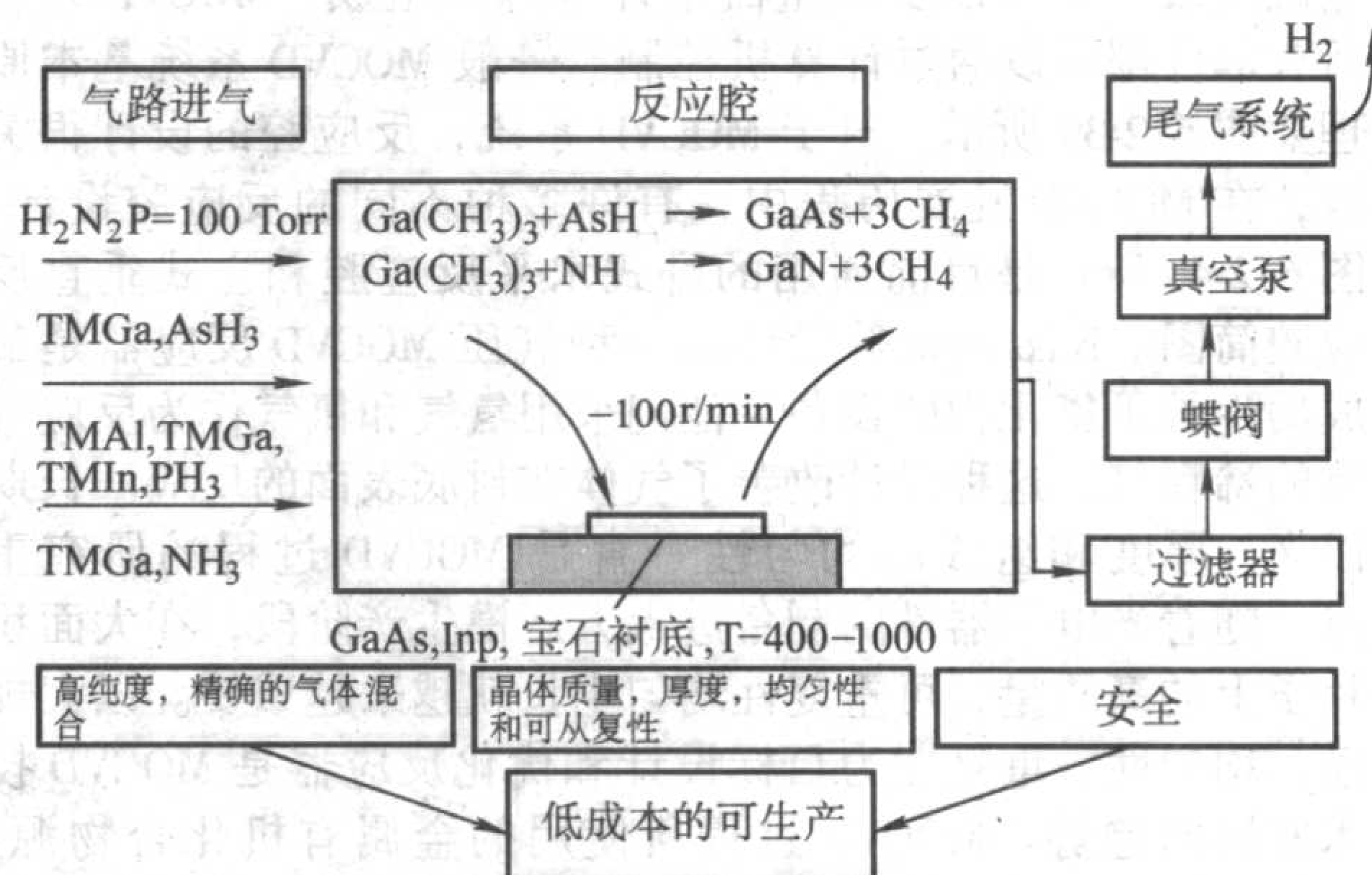


图 6.2-38　MOCVD 基本反应原理

2.2.2　主要优缺点

MOCVD 生长技术的主要优点是：

1）可进行多片生长，适合大面积批量生产，具有大规模商品生产的能力；

2）生长材料的层缺陷少，多组分生长可控制性好；

3）多层外延掺杂分布陡，薄层，超薄层厚度容易控制；

4）各种气体可以按照要求迅速地更换和调节，可精确控制各种外延生长参数；

5）可制成各种类型的材料；

6）和 MBE 比，设备简单，便宜。

MOCVD 生长技术的主要缺点是工艺所用源材料多数易燃，易爆，提纯困难，实验室安全防护要求较高。但是，

MOCVD技术是化合物半导体材料研究和生产的重要手段，作为微电子工业半导体结构材料批量化生产型设备，其高质量、稳定性、重复性及规模化是其他的半导体材料生长设备无法替代的。MOCVD的生长速率中等，且薄膜厚度的控制相对比较精确，最适合于大批量生产LED和LD，使用最为广泛，生长的材料和器件质量最高。迄今为止，MOCVD是包含Ⅲ-Ⅴ、Ⅱ-Ⅵ族化合物半导体和Ⅲ族氮化物半导体的高质量器件多层结构生长的最灵活、费用最低、效率最高的技术。质量最高的GaN薄膜材料是用金属有机物化学气相沉积（MOCVD）法制成的，此方法已经用来制备商用高亮度蓝光二极管。MOCVD工艺制备的GaN膜质量取决于所用前驱物源材料和衬底材料，同时生长压力、生长温度、载气和反应器形状也同样影响薄膜材料质量。自1986年Amano等人首次用此法制成高质量的GaN外延层以来，MOCVD生长工艺不断改进，出现了双流束常压MOCVD（AP MOCVD）和低压MOCVD（LP MOCVD）等新工艺，有效地改善了MOCVD法的生长温度高等缺点。还有很多研究小组对各种可能的生长前体进行了尝试，以期改善生长反应过程。

2.2.3 反应源和反应系统

MOCVD利用三甲基镓，三甲基铟和三甲基铝等有机金属源作为反应物和氨气在一定温度下反应，合成生长Ⅲ氮化物半导体材料。用于生长Ⅲ族氮化物半导体材料的主要Ⅲ族金属源特点见表6.2-7。由于这些源纯度高，并且容易在空气中反应，因此，对于MOCVD源瓶有很高的要求。通过多路气体管路，流量计和气体阀门的控制，将Ⅲ-Ⅴ、Ⅱ-Ⅵ族化合物或合金所需的Ⅲ族，Ⅴ族或Ⅱ族，Ⅵ族等多种源被氢气或氮气输运到反应腔内，在一定温度和压力条件下，这些源在衬底发生反应，生成相应的晶体材料。

表6.2-7 Ⅲ族氮化物半导体材料的主要Ⅲ族金属源特点

反应物	简称	分子式	优点	缺点
三甲基镓	TMGa	(CH3) 3Ga	液体，高饱和蒸汽压	
三乙基镓	TEGa	(C2H5) 3Ga	液体、低碳杂质，易被氢分解，用于低压MOCVD系统	蒸汽压低，比TMGa不稳定，有强的寄生反应
三甲基铟	TMIn	(CH3) 3In	固体，有较好的蒸汽压对于MOCVD系统	蒸汽压低
三乙基铟	TEIn	(C2H5) 3In		非常不稳定
三甲基铝	TMAl	(CH3) 3Al	液体，好的蒸汽压，长期稳定	含有氧杂质
三乙基铝	TEAl	(C2H5) 3Al	液体，碳含量低	没有长期稳定性

一般MOCVD系统由加热源，反应器以及气路系统和其他安全系统以及尾气系统等几部分组成。加热源有光加热，高频加热和电阻加热等，其加热功率由反应器大小，生长材料不同以及气流模型不同决定；反应器的设计也需根据生长材料，气流以及设备应用方向决定；气路系统由不锈钢管，电磁阀或气动阀以及质量流量计等部分组成。MOCVD系统所有部件都可以通过计算机控制。一般MOCVD系统基本原理如图6.2-39所示。对于MOCVD系统，反应腔的设计很关键，在MOCVD发展历程中，有许多种不同的反应腔设计，图6.2-40所示是目前通用的卧式水平反应腔和立式垂直反应腔简图。Nakamura等设计的一种气压MOCVD反应器是最成功生长Ⅲ氮化物的设备。他们采用氢气和氮气作为反应气体的稀释气，这种设计改善了气体在衬底表面的反应。长期以来，厚度和组成的均匀性一直是MOCVD过程的研究重点。随着光电子器件的制备进入大规模生产阶段，在大面积片子上的高质量、可重复性均匀生长就越来越重要。以大规模、均匀性、重复性为目标设计和优化反应器是MOCVD技术发展的趋势。MOCVD过程所使用的金属有机化合物源、高纯气体价格都非常昂贵。因此，必须设计新型或改进优化现有类型反应器，使其满足在保证可重复性均匀高质量生长前提下，尽量提高源的利用率、减少高纯气体的用量，以降低生产成本，提高经济效益。随着生产规模的提高，这一点将变得越来越重要。

2.2.4 MOCVDⅢ族氮化物半导体材料生长

MOCVD技术是最先成功制备GaN及其异质结构的工艺技术，备受人们的重视。此方法已经用来制备商用高亮度蓝光二极管。MOCVD技术制备GaN及其异质结构的材料质量取决于所用源和衬底，同时生长压力，温度，载气以及反应器结构等都会影响所生长的材料质量。自1986年Amano等人首次用此法制成了高质量的GaN外延层以来，生长工艺不断改进，出现了双流束常压MOCVD（AP MOCVD）和低压MOCVD

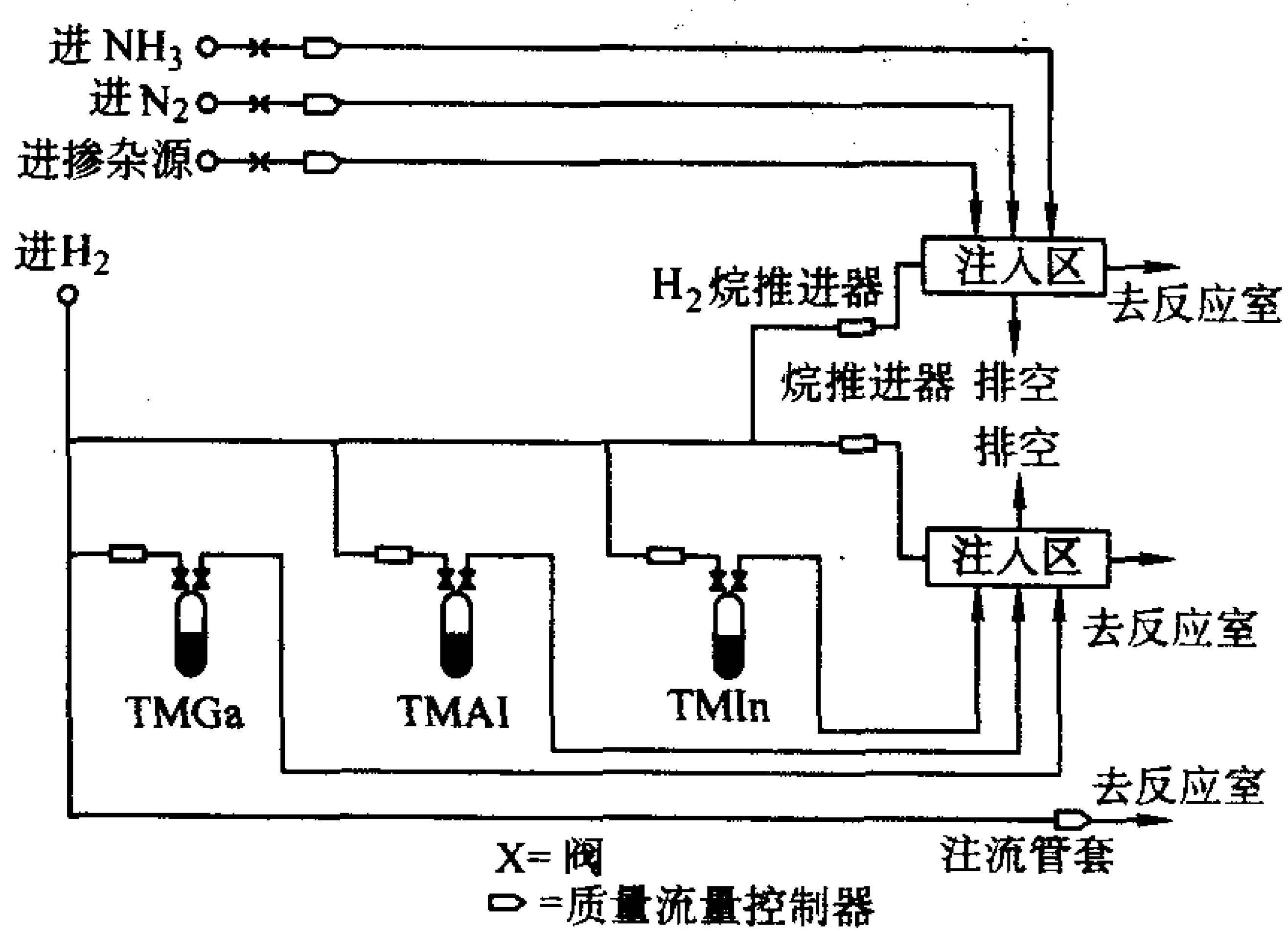
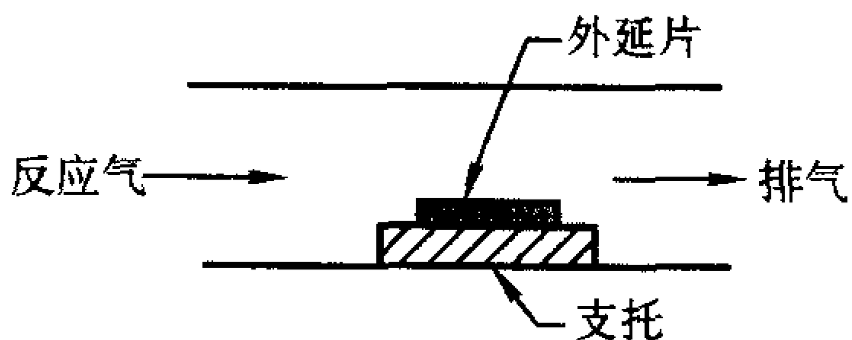
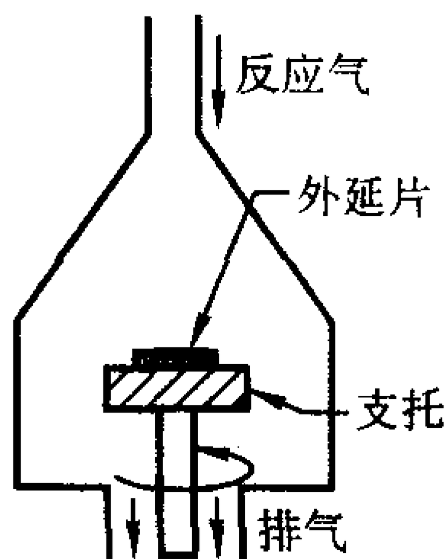


图6.2-39 简单的AlGaAsP MOCVD设备原理图



(a) 水平反应腔结构简图



(b) 垂直反应腔结构简图

图6.2-40 水平反应腔和垂直反应腔MOCVD简图

(LP MOCVD) 等新工艺，有效地改善了此法的生长温度高等缺点。还有很多研究小组对各种可能的生长前体进行了尝试，以期改善生长反应过程。F.R.S.Ohalid 等用 MOCVD 技术生长 GaN 和 AlGaN 并研究了它们的形貌，图 6.2-41 是他们研制的 GaN 材料的形貌和位错的 AFM 照片，由图可以看出，其中左图显示的 GaN 的表面形貌较好，而其中右图显示的位错具有六方特性。

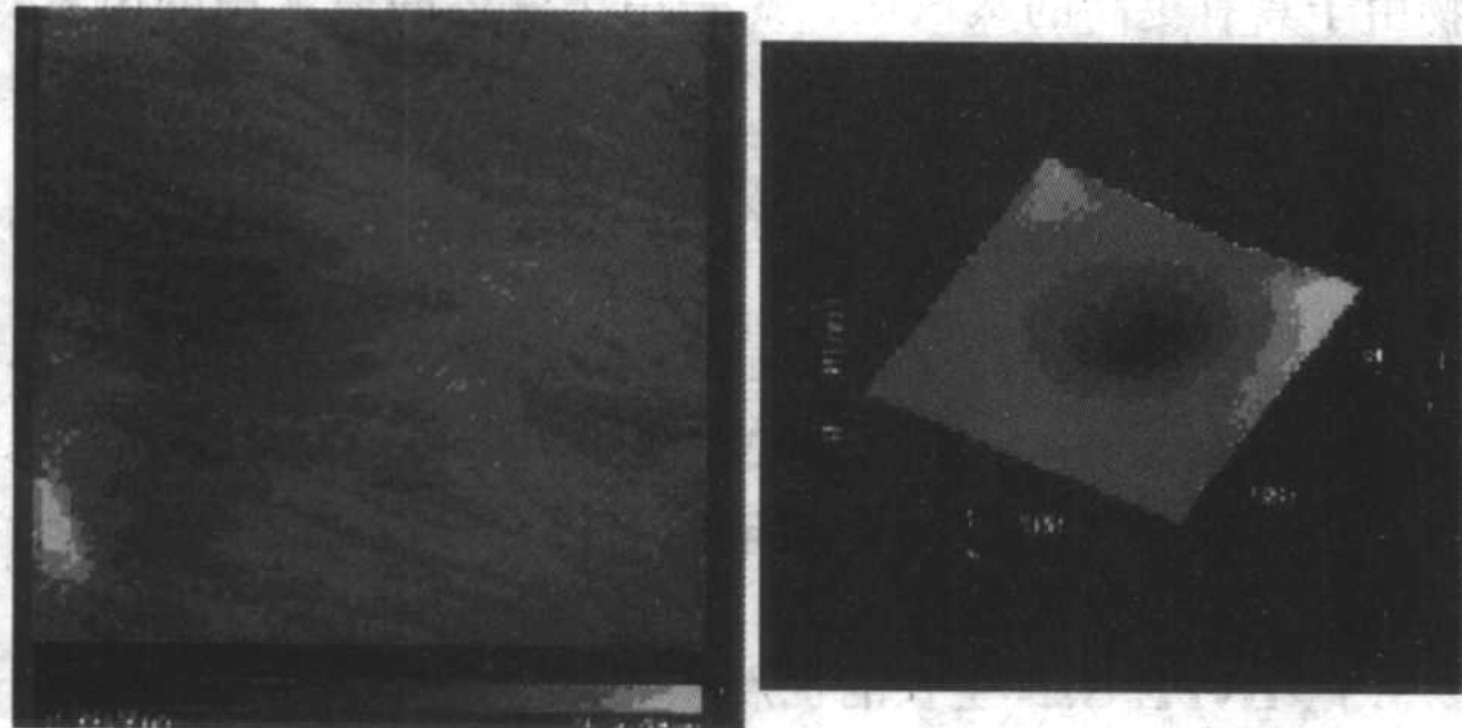


图 6.2-41 MOCVD 技术生长的 GaN 形貌和位错的 AFM 照片

图 6.2-42 是 J.Baia 等在（11－20）宝石衬底上选择面积生长的 GaN 界面衍射和截面 TEM 照片。从图 6.2-42a）中可以看出，因 GaN 在｛11－20｝晶面平行于蓝宝石的｛0001｝面，因此生长的 GaN 的（1－100）晶向平行于蓝宝石衬底的（0001）晶向。而图 b）中是 GaN 在［1－100］轴向和［0001］轴向的衍射图，这表明了不同衬底晶向与在此衬底上生长的 GaN 的晶向也不同。这和 MBE 技术生长的结果不同。

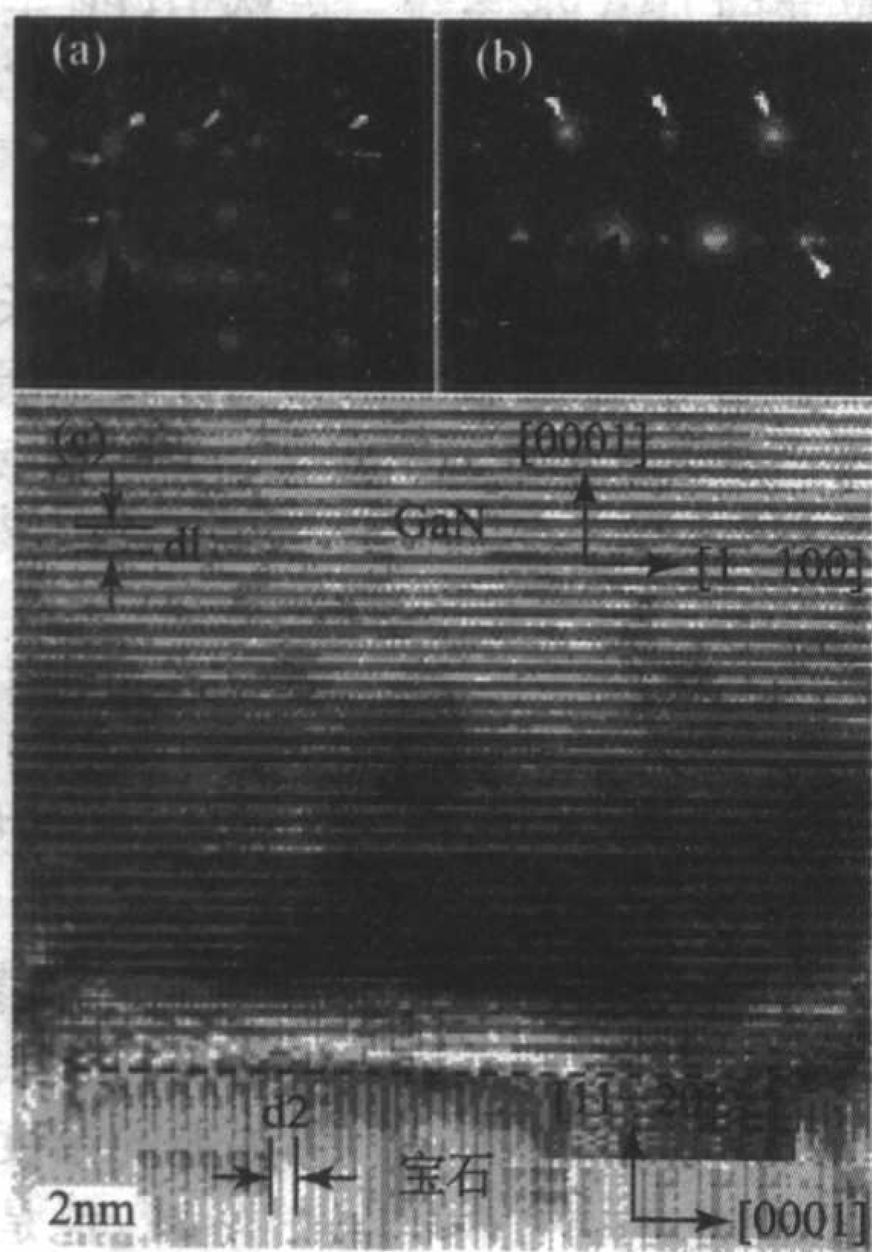


图 6.2-42 在（11－20）宝石衬底上选择面积生长的 GaN 界面衍射和截面 TEM 照片

a）近（1120）面；b）在 GaN（1－110）轴向；c）（11－20）轴向的截面 TEM 照片

MOCVD 也是生长 InN 材料的重要方法之一。在Ⅲ－Ⅴ族氮化物中，InN 最近正受到人们越来越多的关注。与其他Ⅲ－Ⅴ氮化物如氮化镓（GaN）、氮化铝（AlN）相比，InN 具有最小的有效质量，在理论上具有最高的载流子迁移率，所以它在高速微电子器件方面有着广阔的应用前景；同时在Ⅲ－Ⅴ族氮化物中，它还具有最小的直接带隙，更令人感兴趣的是，最近有报道说 InN 的禁带宽度应该在0.75 eV左右，而不是原先大家所接受的 1.9 eV，这样就使得Ⅲ－Ⅴ族氮化物的发光波长可以从 AlN 的紫外区(6.2 eV)延伸到 InN 的红外区（0.75 eV），成为制备发光器件的合适材料。但与其他氮化物相比，对 InN 的研究还处于起始阶段；同时由于 InN 的分解温度低，而且缺少与之相匹配的异质衬底材料，这使得 InN 单晶外延薄膜的制备变得非常困难。利用 LA-MOCVD 技术 A.G.Bhuivan 等成功地在 350℃的低温生长了 InN 材料，图 6.2-43 是该材料的 XRD 谱，从谱图可以看出，在这么低的温度下运用该技术可以生长出 InN 单晶材料。

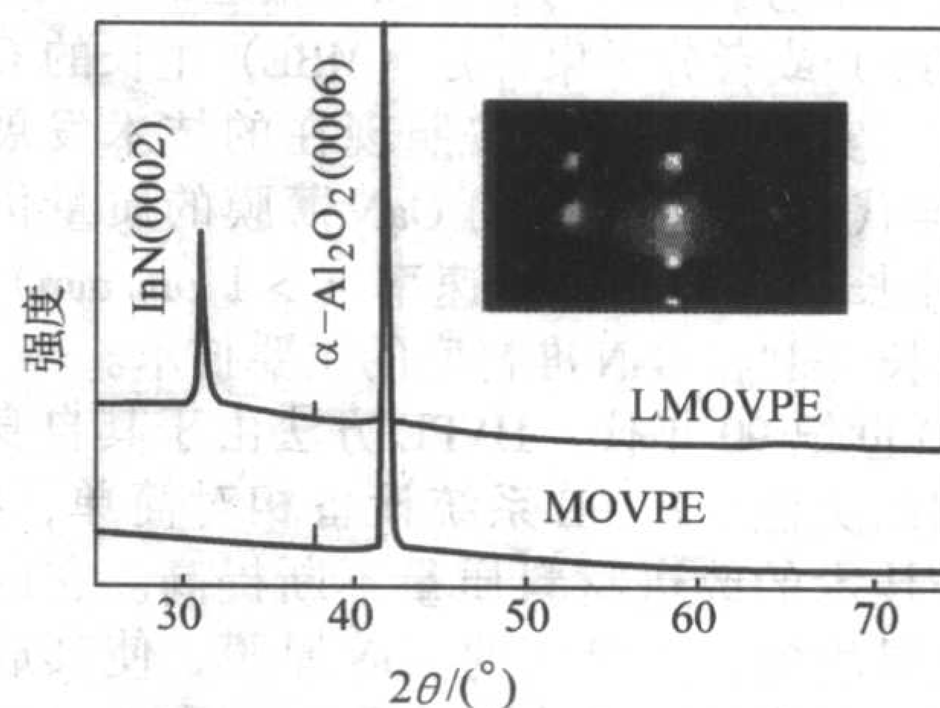


图 6.2-43 用 LA-MOCVD 技术在 350℃的低温生长 InN 材料的 XRD 谱

2.2.5 发展前景展望

MOCVD 设备和技术作为超薄单晶薄膜生长技术，在原子尺度晶体生长研究，在各种新型材料生长和新一代微电子和光电子器件研究中发挥了重要的作用；MOCVD 设备和生长技术还会继续发展和完善，并且不断接合现代科学技术的发展而发展，在现代材料生长，现代表面物理研究等研究领域发挥着重要的作用。现代 MOCVD 设备的发展已经朝制作多元化和大规规模生产方向发展。特别是 MOCVD 技术实用化技术的发展，促使 MOCVD 技术在成熟器件规模性生产方面的发展更具有发展前景。

GaN 基宽禁带半导体薄膜材料是一种新型的极有前途的半导体材料，已成为蓝光发光二极管的主流材料，国际上的产业化已成规模，已有商业化生产。用于生长宽禁带半导体薄膜材料的 MOCVD 设备是半导体材料生长的重要手段之一，并且现代 MOCVD 设备配制都非常好，已经在半导体材料规模化生产领域取得一定地位。大规模生产型 MOCVD 设备已经商品化。但仍存在许多问题急待人们去解决，如在生长工艺方面，目前基础性研究工作主要集中在通过改进生长工艺，降低生长温度、提高生长效率、寻找适当前体或利用缓冲层达到完善晶体结构、改进光电性能、实现 p 型掺杂的优化等方面。对超高亮度发光二极管的产业化，还存在一个与 MOCVD 生长过程有关的外延结构的优化，均匀性的改善以及缺陷控制的问题。由于制造 GaN 基 LED 材料的 MOCVD 中使用 NH_3 作为氮源，而在生长温度下，NH_3 的分解效率很低，加之 NH_3 的高黏滞系数。在生长设备方面，使得多片生产型的 MOCVD 设备的均匀性问题比 AlGaInP 基的材料突出得多；对蓝绿光 LED 材料性能及一致性的要求是由用途决定的，例如对室外全色 LED 显示板，为获得高质量画面，所要求的波长均匀性更是苛刻，蓝光为 5 nm，而绿光为 2 nm。这一指标对现有的 MOCVD 技术是很大的挑战。

2.3 氢化物输运气相外延

2.3.1 氢化物气相外延的发展

历史上，在诸如砷化物和磷化物等半导体材料的研究发展中，HVPE 方法曾经发挥过重要作用。利用 HVPE 可以生长各种厚度的高质量半导体材料，从而使得对这些材料的基本性质进行研究有了可靠的基础，还可以批量生产 LEDs 等商业化器件。由于 HVPE 生长方法非常经济，从而使得这些器件的价格非常低廉。虽然 HVPE 生长砷化物和磷化物已经

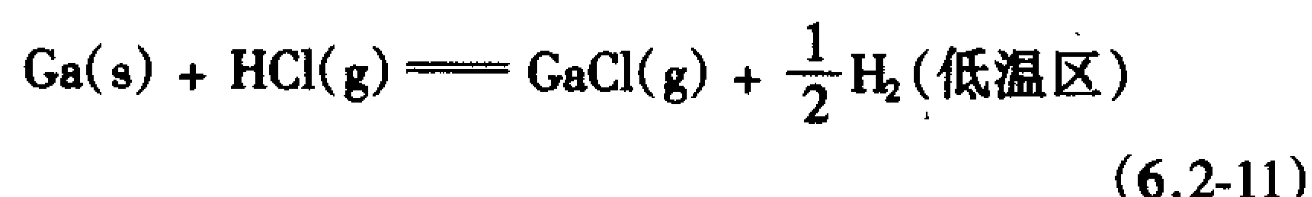
得到了广泛的研究和充分的发展，但在生长氮化物方面却知之甚少，原因是没有合适的衬底以及生长化学的不同，从而导致氮化物的 HVPE 生长更加复杂。尽管如此，HVPE 仍然是第一个，并且直到 1980 年代初期也是最普通的生长 GaN 外延膜的方法。但由于在降低本征载流子浓度以及在 p 型掺杂方面遇到严重困难，这种技术在 1980 年代之后被几乎完全放弃了。不管如何，仍然有报道认为，HVPE 生长的 GaN 薄膜，其光学和电学性质仍然可以和报道的金属有机物气相外延（OMVPE）或者分子束外延（MBE）生长的 GaN 的最好结果相比拟。实际上，即使按照现在的技术发展标准，在 20 世纪 70 年代，HVPE 生长的 GaN 薄膜的质量仍然是非凡的。HVPE 生长系统的高生长速率（$>1\ \mu m/min$）使它成为可以用来生长 GaP 和 GaN 准衬底的主要技术。

到了 20 世纪 90 年代，HVPE 方法由于其自身的特点再次引起人们的关注。HVPE 系统设备相对简单，维护便利，且随着生长技术的改进材料质量不断提高。它的生长速率快，易于获得均匀、大尺寸的 GaN 厚膜，使其成为解决自支撑 GaN 衬底问题的极有希望的手段。同时，HVPE 生长环境中卤化物的存在能显著影响 GaN 生长反应的平衡状态，有利于提高横向外延速度。采用 HVPE 方法进行 GaN 横向外延，紧接着利用 HVPE 的高生长速率原位生长 GaN 厚膜，再辅以各种衬底分离技术（如腐蚀、激光剥离技术或者机械抛光技术等），便可获得低位错密度的片状 GaN 衬底材料。因此，HVPE 生长手段成为 GaN 基光电子器件获得大规模应用的重要手段。

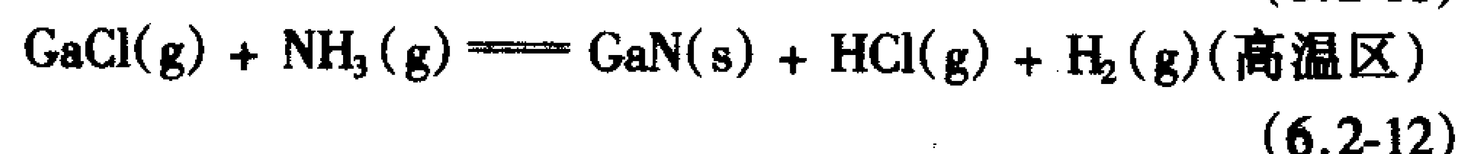
2.3.2　氢化物气相外延生长 GaN 的化学反应

氮化物 HVPE 是一种化学气相沉积方法，其反应通常是在一常压热石英反应器内进行。生成氮化物的反应实际上是利用金属氯化物的歧化反应，即 Ga 的氯化物以多种不同的化合价构成不同的化合物（如 GaCl，$GaCl_3$ 等），提高温度有利于提高低价化合物的稳定性（在这里 GaCl 在高温下是稳定的，低于一定的温度即分解成 $GaCl_3$）。上述特性使我们可以调整反应室的温度，实现 GaCl 的生成、转移和 GaN 的沉积。所以，通常的 HVPE 氮化物生长系统，需要有目的的将反应室划分为高温区和低温区，同时调整许多参数以实现元素的可控生成和沉积。

因此，HVPE 方法的新颖之处在于参与反应的初级粒子（GaCl）是在反应室内合成的，即用液体金属 Ga 与 HCl 气体在 800～900℃下反应生成气态的 GaCl。GaCl 被载气携带进入衬底上方并与 NH_3 混合，在衬底上反应淀积形成 GaN。衬底温度一般保持在 900～1100℃。N_2 或 H_2 作为载气。其主要化学反应为：



$$\mathrm{Ga(s) + HCl(g) = GaCl(g) + \frac{1}{2}H_2}\text{（低温区）} \tag{6.2-11}$$



$$\mathrm{GaCl(g) + NH_3(g) = GaN(s) + HCl(g) + H_2(g)}\text{（高温区）} \tag{6.2-12}$$

在这里，Ⅲ族元素是作为氯化物（通常是单氯化物）被输运到衬底，氢化物气相外延通常也被称为氯化物（输运）气相外延。由于金属氯化物室温下气压相对较低，氯化物分子很容易在未加热的衬底上凝聚，这是氢化物气相外延通常采用热壁反应室并且原位合成氯化物的主要原因。

采用原位合成氯化物和热壁反应室，避免了氯化物在反应室外合成时必须采用的复杂的气体传输系统和必需的输入其他加热系统。另外，如果金属氯化物被预先合成出来，那么金属氯化物的吸水性和腐蚀性会使得它们的保存和运输非常困难。然而，使用高腐蚀性 HCl 气体，也会引起一些困难。比如，如果没有仔细的避免空气泄漏进入气路或者反应器，那么 HCl 会很快的破坏反应器。基于此，有些研究组报道了采用预先合成的 $GaCl_3$ 来代替原位 HCl 来合成 GaCl。使用这种前驱物，研究者能够生长单晶 GaN 并改进金属氯化物源的纯度。这种方法可能最终证明用于非简并薄膜生长是可行的。

在原位合成 GaCl 的例子中，Ga 金属的纯度可以达到 99.999 999%，采用设计正确的气体输运系统，HCl 的纯度也可以达到 99.999 9%。和金属溴化物、碘化物相比，氯化物由于具有更高的蒸汽压，氯是用于输运的最常用的卤素。从纯度和可操作性考虑，HCl 通常比氯气更常用。也有报道采用溴化物甚至碘化物来进行金属的输运。和氯化物相比，这些金属具有更低的分解温度，因此常被用来研究低温下的生长。

在氢化物气相外延系统里，化学反应过程中会产生大量的 NH_4Cl，$GaCl_3$ 和 $GaCl_3\cdot NH_3$，这些产物会凝聚甚至阻塞排气管道，除非它们被加热到足够高的温度（>150℃）或者反应在低气压条件下进行。

2.3.3　HVPE GaN 生长的优点和缺点

尽管 HVPE GaN 的生长化学给 HVPE 系统设计带来了很多的困难，它也同样提供了独特的优势。比如，和 OMVPE 不同，HVPE 生长过程在本质上是无碳生长，这在某些方面使得生长高纯度 GaN 薄膜更容易。另外，强腐蚀性的氯气或者氯化氢的存在，能够帮助除去生长表面过量的金属成分，从而抑制富镓材料或者相分离 Ga 滴的形成。这种自稳定的效应以及吸附 GaCl 的高原子迁移率，可以用来解释 HVPE 所具有的比其他外延方法高得多的生长速率。可以在富镓条件下生长的自稳定性，从经验上发现生长的 GaN 薄膜比其他外延方法（如 MBE）制备的材料具有更高的质量。在 HVPE 生长化学计量比的 GaN 薄膜时，所需要的 NH_3 流量远低于同样尺寸的 OMVPE 系统，虽然 HVPE 生长速率要高出一个数量级。这不仅显著地降低了 VPE 氮化物生长中主要的不纯物（NH_3 被认为是主要的杂质来源），而且流量的降低也减少了成本。

额外 HCl 被有意识的引入 Ga 源下方的生长区，可以有效的提高 Cl/Ga 比。这对于改善薄膜的性质扮演着非常重要的角色。这可能是由于 HCl 的引入，提高了横向生长率，从而引起更大的晶粒尺寸，以及可能增强了不纯物的分解。

2.3.4　氢化物气相外延生长系统

需要指出的是，理解 HVPE 生长 GaN 过程中的化学本质对于系统的设计是非常重要的，HVPE GaN 的生长与其他Ⅲ－Ⅴ族半导体材料本质上是完全不同的。例如，在 HVPE GaAs 的合成中，砷化合物的热分解形成了 As_4 和 As_2 分子，仍然保持了挥发性和化学活性，因此可以继续参与薄膜的生长。而在 GaN 的 HVPE 生长过程中，NH_3 的分解形成了 N_2 分子，N_2 分子非常稳定，在我们感兴趣的温度范围内是完全惰性的。实际上，HVPE GaN 生长的可行性是基于 NH_3 相对缓慢的分解，这可能有利于活性氮有效地输运到生长面上。因此，化学计量的、均匀的大面积薄膜生长需要将 NH_3 有效地均一地输运到生长面以防止黑的富镓薄膜的生成。

HVPE GaN 生长的另一个困难是，对于 GaN 和其他气相附加产物的形成，强烈的倾向于指向无法预料的气相反应，微粒和管壁沉积问题（管壁沉积会导致反应器在冷却的时候破裂）。还有，由于很容易形成 GaN，水平反应器设计存在着很严重的气相损耗效应，尽管最近有报道指出，水平轴气流设计改善了薄膜的均一性。另外，NCl_3 是一个高爆炸性的化合物，目前没有卤化物气相外延生长氮化物的报道。因此，通常的 HVPE 都是指氢化物气相外延。

HVPE 系统主要有两种设计结构：卧式和立式。两种结构的 HVPE 系统在生长机理上并无本质的不同。图 6.2-44 为

卧式（水平式）HVPE 生长系统示意图，该种生长系统被普遍用于Ⅲ－Ⅴ族和Ⅱ－Ⅵ族材料的生长，目前大部分有关 HVPE-GaN 的报道都是基于这种 RCA 实验室发展的卧式 HVPE 生长系统。图 6.2-45 为立式（竖直式）HVPE 生长系统示意图，这种系统结构通过增加衬底的旋转功能改善了 GaN 薄膜的均匀性。在这种结构中，衬底支托在等温线上被提升和降低进入一个逆流管里，在这里氨气和载气混合流过。衬底也可以在氨气气氛下被缓慢的降低和冷却，可以减少薄膜的分解反应。

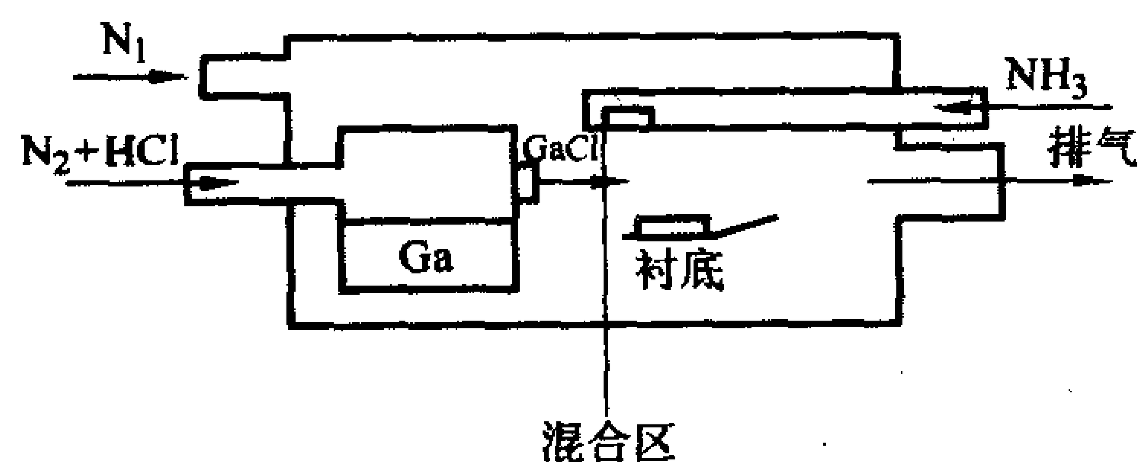


图 6.2-44 GaN 的卧式 HVPE 生长系统示意图

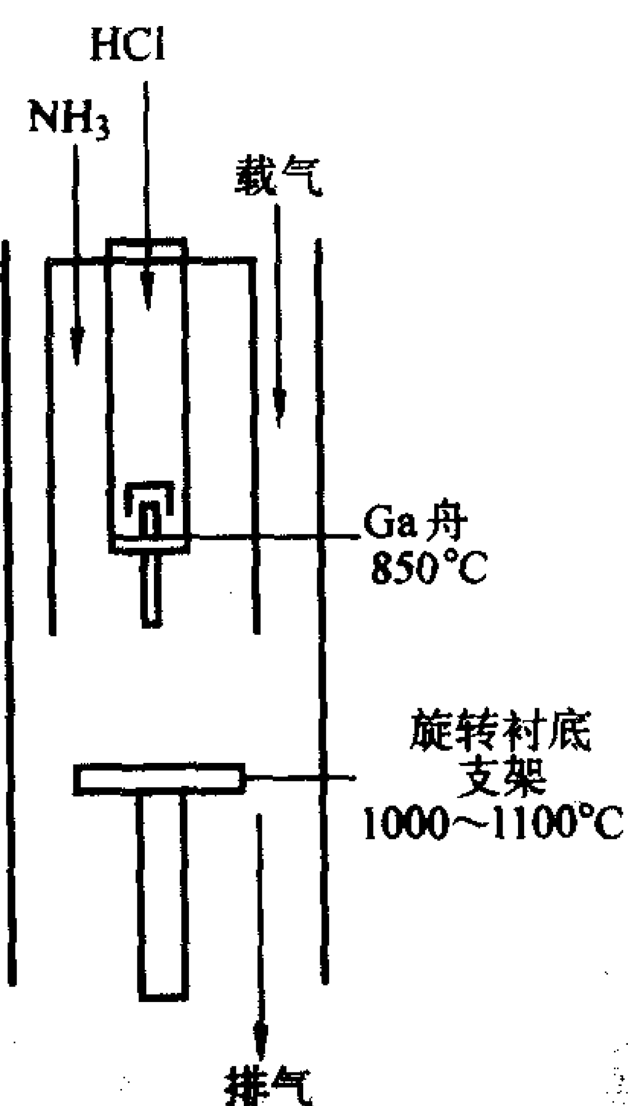


图 6.2-45 GaN 的立式 HVPE 生长系统示意图

正如上面提及的 GaN 的氢化物气相外延实际上是歧化反应，需要将 HVPE 生长系统设计成双温区：高温区和低温区。两种结构的生长系统在这方面是完全相同的。低温区用来进行 GaCl 的生成，高温区用于 GaN 的沉积反应。

氮化物的氢化物气相外延生长和掺杂。

和其他 MOCVD，MBE 生长技术相比，氢化物气相外延在大面积低缺陷 GaN 薄膜的生长中具有潜在的优势。在 HVPE GaN 薄膜中经常可以观察到数个微米大的梯式平台结构（terrace）和几百个微米大的蜂房结构（cell），这些都表明了 HVPE GaN 的生长具有很高的横向/垂直生长速率比。

实验表明，薄膜的异质成核对于高质量材料的生长非常关键。氢化物气相外延 GaN 生长中，没有任何预处理直接在蓝宝石衬底表面生长得到的 GaN 表面会从高度透明到棕色变化。而沉积低温缓冲层然后进行高温生长会形成多晶 GaN。为了改善 GaN/蓝宝石（0001）上的异质成核密度和质量，采用两种不同的预处理步骤：GaCl 预处理衬底表面和 ZnO 缓冲层技术。

和其他外延生长技术相比，高质量 HVPE GaN 生长的困难之一，是在衬底上得到高质量的成核。除了上面提到的一些预处理方法，各种各样的衬底也被采用来改善初始成核质量，如蓝宝石，$MgAlO_4$（尖晶石，spinel），SiC，Si，YAG，GGG，GaAs 和 ZnO（溅射沉积）等。蓝宝石由于相对低价，高质量，大面积和化学相容性，被广泛应用。不同晶向的 GaN 衬底也被尝试采用。

2.3.5 HVPE GaN 的掺杂

一般的，HVPE GaN 具有很高的本征浅施主水平（通常在 10^{18}～$10^{20}/cm^3$）。因此，需要做大量的掺杂研究来找到一种合适的受主掺杂剂来补偿这些施主，以及努力获得 p 型材料和 p-n 结。但是，HVPE 过程是一个热壁过程，很容易受到石英反应器和一些气相掺杂剂之间的化学反应的影响。某种氧化物掺杂剂在热力学上可能比 SiO_2 更稳定。在这里，可能的相互反应可能引起石英反应器成分的降低，被氧化的掺杂剂在管壁沉积，Si 的污染被过滤进入生长过程等。这是实际存在的困难，比如 GaN 中常用的受主 Mg 和 Ca，都容易形成稳定的氧化物，因此倾向于和石英反应器反应。

Mg 掺杂的 HVPE GaN 已经被报道了，尽管并没有得到 p 型电导率。利用 HVPE 方法进行 Mg 掺杂的 p 或者 n 型结构，最近也有报道。在 GaN 中离子注入受主的发光研究表明，Zn 可能是获得浅受主掺杂剂的第三个选择。因此，大多数受主掺杂研究集中在引入 Zn 受主。1984 年，Saparin 等人报道，Zn 掺杂的 HVPE GaN 经过电子束辐照后蓝光发射可以被充分增强。根据随后的 Mg 掺杂 OMVPE GaN 生长研究所认为的，在这里电子束引起了 Zn-H 的分解。GaN 中 Zn 受主大的离子化能，H 联合体和典型的高本征施主水平使得 Zn 掺杂 GaN 中获得 p 型导电率变得非常困难。

2.3.6 氢化物气相外延生长Ⅲ族氮化物

氢化物气相外延系统除了可以用来生长 GaN 以外，还可以进行其他氮化物的生长（如 InN 和 InGaN，AlN 和 AlGaN 等）以及氮化物的掺杂生长。

1）立方 GaN　立方 GaN 的生长具有很大的吸引力，因为立方 GaN 在掺杂和解理方面具有独特的优势。但是立方 GaN 和六方 GaN 相比，热力学是亚稳的，而且只在薄膜中观察到，它的获得只能通过在立方衬底上生长而被稳定。立方 GaN 已经采用几种制备技术获得，但是质量很差，因为没有晶格匹配的合适的衬底。到目前为止，已经有几个研究组报道了，利用氢化物气相外延技术生长质量较高的立方 GaN 厚膜。最常用的衬底是 GaAs（100），因为它可以通过在 GaAs 衬底上先沉积一层同质外延的 GaAs 缓冲层来修饰表面抛光损伤，并且形成一层缓冲氮化层以阻止氨气的进一步侵入。在这里，研究人员认为，需要控制较低的生长率（$<4\ \mu m/h$）来阻止六方 GaN 在薄膜的形成。进一步的工作正在进行以获得器件质量的 GaN 材料。

2）AlN 和 AlGaN　利用氢化物气相外延方法生长 AlN 基氮化物以及 Mg 掺杂薄膜，比较复杂。因为 AlCl 和热的石英反应器之间有很强烈的相互反应，这可能会导致过量的杂质被引入薄膜中，并可能降低石英反应器的品质。目前只有少量的关于用氢化物气相外延生长 AlN，AlGaN 的报道。

3）InN 和 InGaN　由于相对低的短波长发射，在紫外和 GaN 基的 LEDs 中，GaN 的带隙明显降低了亮度。因此，用氢化物气相外延生长 InN 和 InGaN 复合物来将带隙扩展到光谱的可见光区域。InN 的热力学不稳定性给 In 基材料的生长在温度方面强加了严重的限制。比如，InGaN 必须在温度低于 800℃的时候生长，而 InN 的生长只能在温度低于 500℃的时候进行。由此引起的一个问题是，由于氨气在这样的温度下具有非常低的裂解效率，使得生长化学计量材料非常的困难。另一个很重要的难题是很明显不可能使用 InCl 来生长 In 基复合物。目前已经成功的尝试采用 $InCl_3$ 来生长 In 基氮化物，$InCl_3$ 在低温下是稳定存在的。据推测，在降低的温度下，一种气相附加产物 $InCl_3 \cdot NH_3$ 的形成对于随后 InN 的沉积起着非常关键的作用。即使如此，热力学不稳定性和很差的氨气裂解效率，使得避免 In 引入最后的薄膜中变得非常困难。很明显需要大量的工作来进行研究以解决这些问题。

4）钪（Sc），钇（Y）和稀土氮化物的生长　氢化物气

相外延系统相对比较简单，容易操作和适应，这使得它成为一个强有力的生长技术用于大量各种各样不同复合物的薄膜生长。这允许研究者评价复合物材料的特性，确定它们在器件应用方面的适宜性。GaN是一个突出的例子。其他的例子比如稀土氮化物，RCA实验室在1970年进行了相关的生长试验。研究人员发现，这些稀土复合物以NaCl结构晶化，特别是ScN表现出很好的稳定性和相当大的光学带隙（约2.2 eV）。可能由于石英反应器交换反应的结果，材料具有大的本征施主水平（$10^{21}/cm^3$），联系到它们高的电子迁移率，高掺杂材料如果能实现的话，这些半导体材料可能很容易找到应用。

5）氢化物气相外延生长GaN衬底　氢化物气相外延在GaN生长方面的最重要的用途是制备高质量的GaN衬底。由于自然界缺乏GaN衬底，在异质衬底上外延GaN薄膜中存在着大量的缺陷，比如位错，会严重影响到GaN基器件的光学和电学性质。而在很厚的GaN薄膜中（如300 μm），位错密度可以降低到约为$10^6/cm^2$。因此如果将GaN薄膜持续生长到很厚的厚度，就可能大大的降低薄膜中的位错密度。而HVPE的高生长率提高了制备GaN准衬底的关键技术。结合GaN厚膜/蓝宝石衬底分离技术，将衬底去除，就可以得到GaN衬底。在GaN衬底上同质外延GaN就可以得到很高的晶体质量。相关的衬底剥离技术包括机械抛光、激光剥离和化学腐蚀等。目前，有关这方面的研究已经取得显著进展。

2.3.7 氢化物气相外延和横向外延（Epitaxial Lateral Overgrowth）

GaN材料是采用异质外延生长的，这势必引起外延层中的高密度位错，典型的可达$10^{10}/cm^2$。人们为降低位错密度尝试了多种方法，有些已经取得了初步的效果，图形GaN衬底上的横向外延技术就是其中较成功的一种，它是目前制备长寿命三族氮化物激光二极管的关键技术。

GaN横向外延技术是指在已经获得的GaN平面材料上淀积掩蔽材料（通常为SiO_2）并刻出特定的图形窗口，再在其上进行GaN的二次外延。由于表面能量选择的缘故，只有GaN窗口部分能得到GaN外延生长，而SiO_2掩盖部分难以成核。当GaN窗口中外延出的GaN超过SiO_2层厚度时会发生与竖直方向生长同时进行的横向生长。当横向生长达到一定程度后便能得到全覆盖的GaN外延层。这种生长因为符合“准自由”生长条件，且生长方向垂直于原GaN层中位错的攀移方向，因而有很高的质量。实验结果表明，生长于SiO_2条上的GaN的位错密度比生长于蓝宝石窗口的小几个数量级。日本日亚公司采用横向外延技术极大地改善了LD的寿命，连续运行时间超过1万小时。图6.2-48是GaN横向外延的刻蚀窗口一例，图6.2-46和图6.2-47是GaN横向外延的形貌图。

前已述及，HVPE系统的最大特点是生长速率快（30～100 μm/h），适于长GaN厚膜。但当在蓝宝石衬底上的生长厚度大于20 μm时，GaN外延层中就会出现裂缝。使用ELO技术可以有效地缓解这种现象，从而为人们获得低位错密度、大尺寸的高质量GaN厚膜带来希望。为了进一步改善ELO外延层的质量，许多新方法业已被尝试。例如，两步ELO（2S-ELO）就是其中之一，它主要考虑到横向的生长依赖于诸如温度、载气流量以及V/Ⅲ比等生长参数，先以较低的V/Ⅲ比生长（为了产生光滑的垂直{11－20}界面），然后继续增加V/Ⅲ比以增加横向的生长。然而，即使采用上述方法能够产生一个光滑的界面形貌，但在对接处仍然有线缺陷存在。为了避免这种缺陷，又有人提出了诸如双层ELO（Double Layer ELO）等技术。在这种双层ELO中，在第一次ELO之后衬底被旋转了60°（或90°），从而允许条纹沿另一等价的＜1－100＞方向生长。另外，“悬挂”（Pendeo Epitaxy）外延也是非常引人注目的技术。它是美国北卡罗莱纳州立大学Davis小组于1998年提出的一种无掩模横向外延技术。这种技术通常以SiC或SiC/Si异质材料为衬底，首先生长AlN缓冲层，再采用反应离子刻蚀方法刻出图形，刻去一部分AlN层，露出SiC衬底，然后进行GaN的外延生长，外延方法一般为MOCVD。在GaN外延的初始阶段，由于GaN材料在SiC衬底上不能直接成核，而在AlN表面比较容易满足成核条件，从而发生GaN的选择外延。GaN在向上生长的同时，还发生横向外延，并且随着纵向厚度的增加，横向外延的生长前沿也会增大。因为在相邻AlN膜之间的SiC衬底上没有GaN生长，所以从AlN部分上的GaN向两边横向外延的GaN晶体是悬空的，好像悬挂在AlN部分上的GaN晶体两边，所以形象地称之为“悬挂”外延。这种外延技术排除了掩模对横向外延GaN材料的影响，特别是杂质和界面应力的影响，理论上具有更高的质量。还有其他众多的研究在此难以尽述。

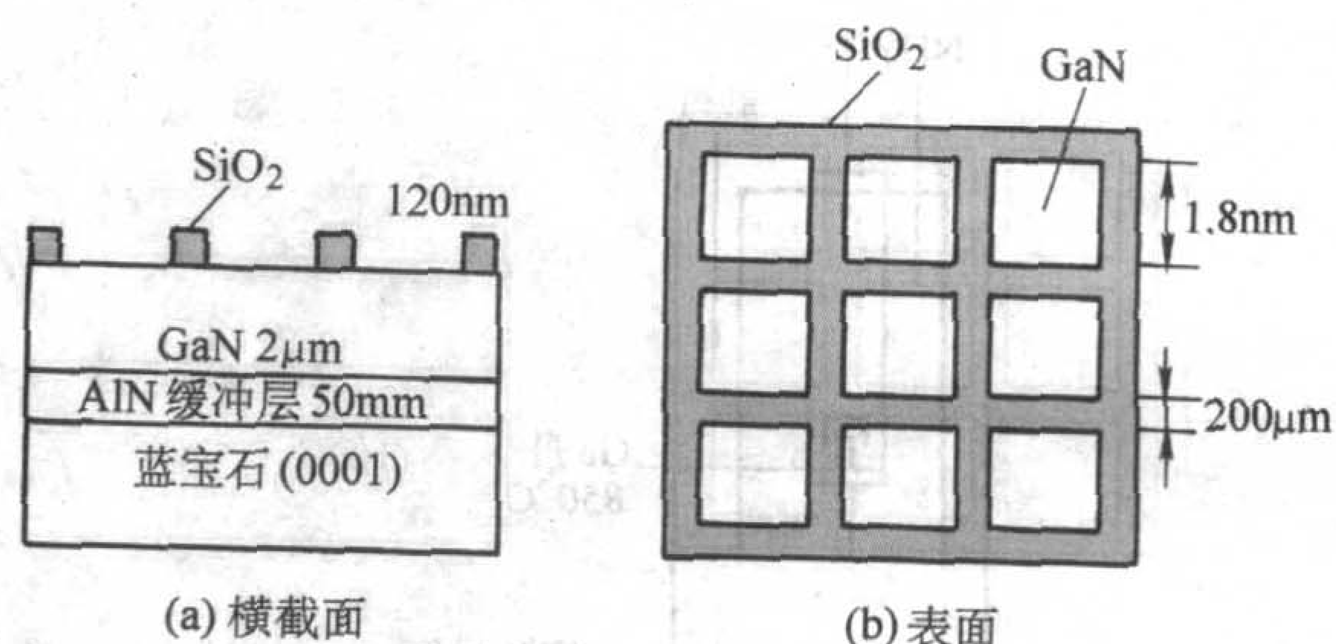


图6.2-46　SiO_2覆盖的GaN/蓝宝石衬底示意图



图6.2-47　在六角形窗口上生长的GaN锥阵的SEM形貌

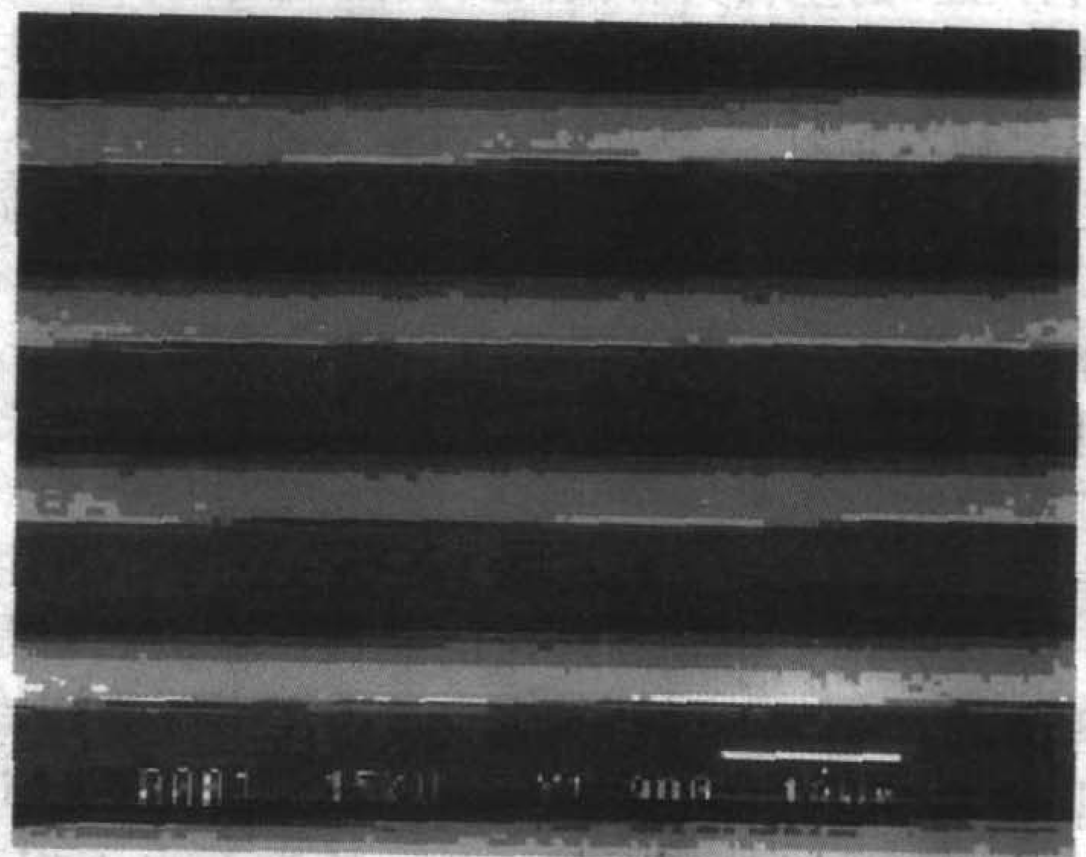


图6.2-48　沿＜11－20＞方向横向外延的GaN样品的SEM形貌

3 Ⅲ－Ⅴ－N化合物半导体

作为宽带隙半导体材料，Ⅲ－N化合物因在光电子器件方面具有重大应用价值而得到迅速发展。同时，Ⅲ－N化合物也可以通过掺As或P形成Ⅲ－Ⅴ－N三元合金，如此像GaAsN、InAsN、AlAsN、GaNP、InPN、AlPN，或者四元合金像GaInAsN、GaAlAsN等。由于立方结构的Ⅲ—Ⅴ族化合物的晶格常数小于0.5 nm（5 Å）而传统六方结构的Ⅲ－N化合物的晶格常数大于0.545 nm（5.45 Å），因此，理论上可以得到和Si晶格常数0.540 31 nm（5.430 1 Å）相匹配的Ⅲ－Ⅴ－N化合物，能在Si上外延直接带隙材料，使光电集成器件变为可能。此外，Ⅲ－Ⅴ－N三元合金覆盖了从红外到紫外整个可见光波段，且Ⅲ－Ⅴ－N化合物具有比其他三元化合物半导体材料更大的带隙能量弯曲系数，通过少量掺杂就能有效地调节合金的带隙，因而在发光器件方面具有非常好的应用前景。

表6.2-8 300 K时GaAs、GaP和GaN二元相的基本物理参数

物理参数		GaN	GaP	GaAs
晶体结构		纤锌矿	闪锌矿	闪锌矿
对称群		C_{6v}^4,$P6_3mc$	$T_d^2-F\bar{4}3m$	$T_d^2-F\bar{4}3m$
1 cm^3 中的原子数/10^{22}		8.9	4.94	4.42
德拜温度/K		600	445	360
密度/$g.cm^{-3}$		6.15	4.14	5.32
晶格常数 a/nm		0.318 9	0.545 0	0.565 3
晶格常数 c/nm		0.518 5		
带隙 E_g/eV		3.39	2.26	1.519
电子有效质量/m_0		0.20	m_l1.12/m_t0.22	0.063
重空穴有效质量/m_0		1.4	0.79	0.51
轻空穴有效质量/m_0		0.3	0.14	0.082
静态介电常数		8.9	11.1	12.9
高频介电常数		5.35	9.11	10.89
电子亲和势/eV		4.1	3.8	4.07
光学光子能量/meV		91.2	51	35
弹性常数/GPa	C_{11}	390	1 405	1 221
	C_{12}	145	620.3	566
	C_{13}	106		
	C_{33}	398		
	C_{44}	105	703.3	600

但是，由于GaN、GaP以及GaAs彼此之间晶格常数相差较大，导致它们彼此之间存在很大的溶隙，很容易产生相分离，因而难以得到大组分范围的三元或四元合金。目前有关Ⅲ－Ⅴ－N化合物薄膜材料的生长主要采用了MBE方法和MOCVD方法。采用MBE方法能得到合金的组分比范围非常窄，一般在0～0.03之间，而MOCVD技术更适合于生长Ⅲ－Ⅴ－N化合物薄膜材料，能够得到更宽范围的合金组分。譬如，对$GaN_{1-x}P_x$三元合金而言，采用MBE方法，当生长温度低于600℃时，薄膜结构为富GaN的GaNP和富GaP的GaPN的两相区；当温度高于730℃时，薄膜结构与并入合金中的P组分有关；当$x \geq 0.015$时，薄膜结构为富GaN的GaNP和富GaP的GaPN的两相区；当$x \leq 0.015$时，薄膜结构为富GaN的GaNP单晶薄膜材料。所以，采用MBE方法很难得到高组分的$GaN_{1-x}P_x$三元合金材料。2001年，Kikawa等人采用激光辅助的MOCVD技术生长$GaN_{1-x}P_x$三元合金，发现材料最佳生长窗口为900～950℃，并可生长出P组分为10%左右的单晶薄膜材料，当温度低于750℃时，会相分离成富GaN的GaNP和富GaP的GaPN的两相区；温度高于950℃，$GaN_{1-x}P_x$难以成核于衬底形成高质量的薄膜。这一章我们将主要以$GaAs_{1-x}N_x$和$GaN_{1-x}P_x$两种具有代表性的三元合金为例来说明Ⅲ－Ⅴ－N化合物的一些主要性质。

3.1 GaN、GaP和GaAs的基本物理参数

表6.2-8给出了300 K时GaAs、GaP和GaN二元相的基本物理参数。

3.2 Ⅲ－Ⅴ－N化合物半导体的能带弯曲

三元合金的带隙一般可以按照下面的公式进行计算：

$$E_g(AB_{1-x}C_x) = (1-x)E_g(AB) + xE_g(AC) - bx(1-x) \quad (6.2\text{-}13)$$

式中，b为隙弯曲系数。所谓的带隙弯曲系数表示与二元相AB和AC带隙的线性插值的偏离。对Ⅲ－Ⅴ合金，带隙弯曲系数基本为正值，即合金的带隙要小于线性插值的结果。

有关$GaAs_{1-x}N_x$三元合金带隙弯曲系数的研究很多。早期的理论预测为25 eV；当N组分不超过1.5%时，PL谱测试结果为18 eV；另外一些结果显示其带隙弯曲系数为22 eV。而最近Bi等人的实验工作表明这种合金的能带弯曲系数是强烈地依赖于其成分。当合金中N组分从稀释掺杂变化到15%的高浓度时，其带隙弯曲系数从20 eV下降到5 eV。并且他们为这种合金给出了一个组分与其带隙弯曲系数的非线性关系式：$20.4x^2-100x^3$ eV。Uesugi等人认为这种差异是由于不同的研究者所使用的样品的应变条件不一样所导致的。

有关$GaN_{1-x}P_x$三元合金带隙弯曲系数的研究相对较少，Iwata等人报道了P组分低于1.5%的$GaN_{1-x}P_x$三元合金的带隙弯曲系数为9.31 eV。而文献认为$GaN_{1-x}P_x$三元合金带隙弯曲系数也是强烈地依赖于其成分，其随着组分x的增加而急剧减小。

3.3 Ⅲ－Ⅴ－N化合物半导体的微结构性质

1）$GaAs_{1-x}N_x$合金　图6.2-49显示了采用MOCVD技术在560℃生长的$GaAs_{0.984}N_{0.016}$合金的TEM图像。在图中，图像越暗，表示N组分越高，在$GaAs_{0.984}N_{0.016}$合金层可以看出存在两个N组分明显不同的区域；另外，可以看到GaAs缓冲层与$GaAs_{0.984}N_{0.016}$合金层之间的界面很陡峭，只有1～2个分子层厚，并且在界面没有出现晶格失配位错。图6.2-50给出了不同N组分的$GaAs_{1-x}N_x$合金的（004）衍射面的高分辨XRD摇摆曲线。可以观测到窄的峰形和清晰的条纹。TEM和XRD的结果都说明了可以得到晶体质量非常好、界面非常陡峭的GaAsN合金。

图6.2-51是一张典型的$GaAs_{1-x}N_x$合金的背向散射Raman谱。该谱中除了来自GaAs的一次和二次（TO)$_1$与(LO)$_1$声子振动模式外，在470/cm附近出现了一个类GaN的LO_2声子振动模式和在255/cm出现了一个类GaAs的LO_c振动模式，这两个模式被认为是来自$GaAs_{1-x}N_x$合金的Raman散射。图6.2-52和图6.2-53分别给出了LO_1和LO_2模式频率随合金组分的变化情况。随着合金组分x的增加，LO_1和LO_2模式分别产生红移和蓝移，这是来源于合金化和应变的影响。

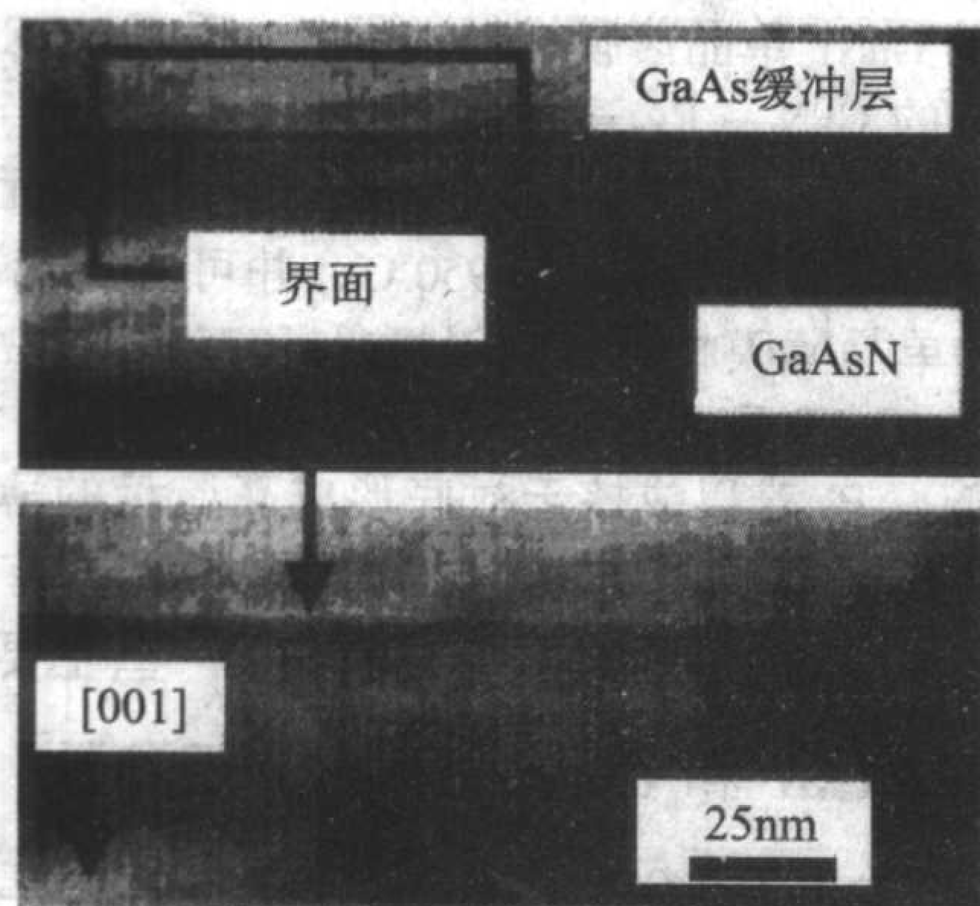


图 6.2-49 GaAs0.984N0.016 合金的 TEM 图像

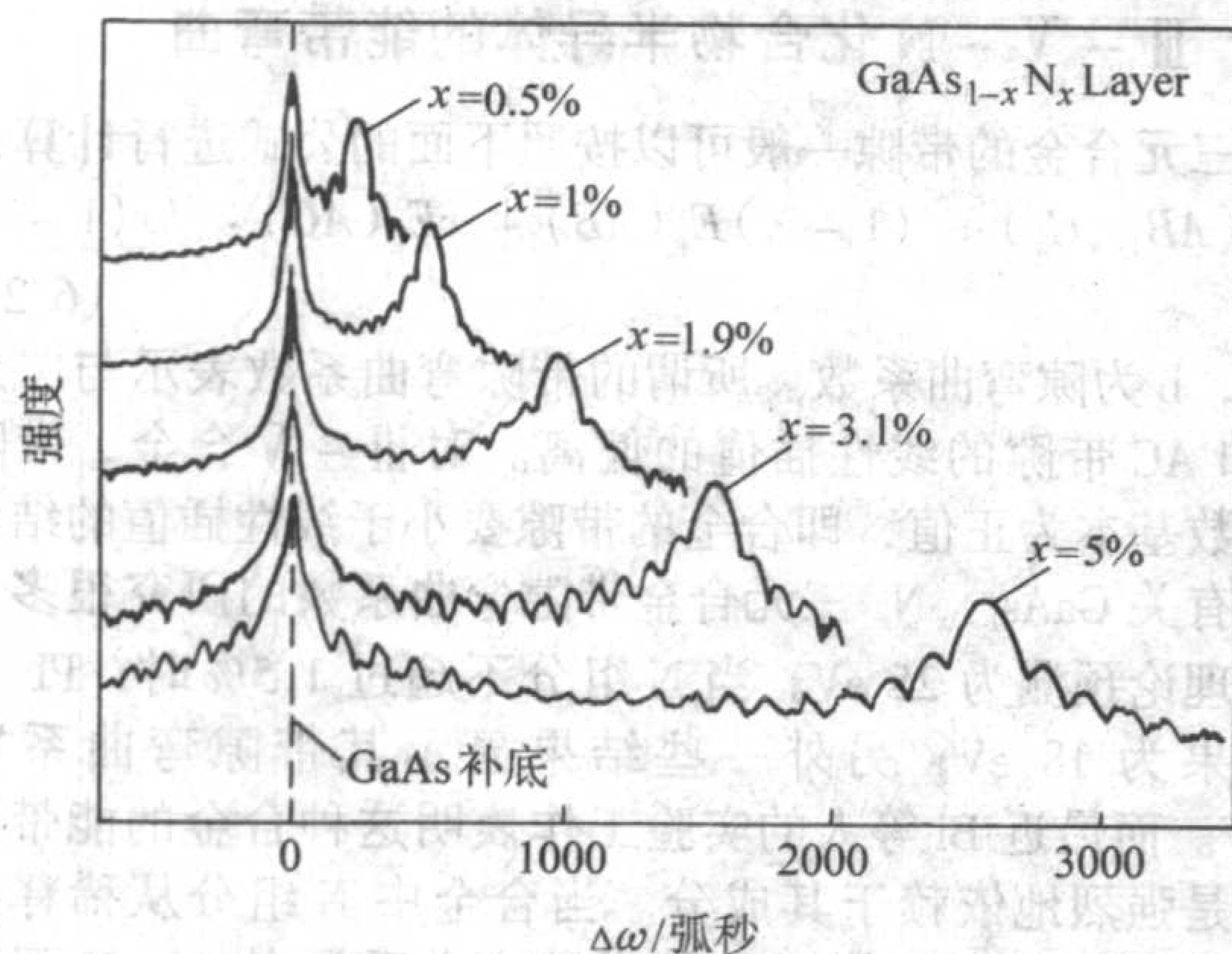


图 6.2-50 不同 N 组分的 $GaAs_{1-x}N_x$ 合金的（004）衍射面的高分辨 XRD 摇摆曲线

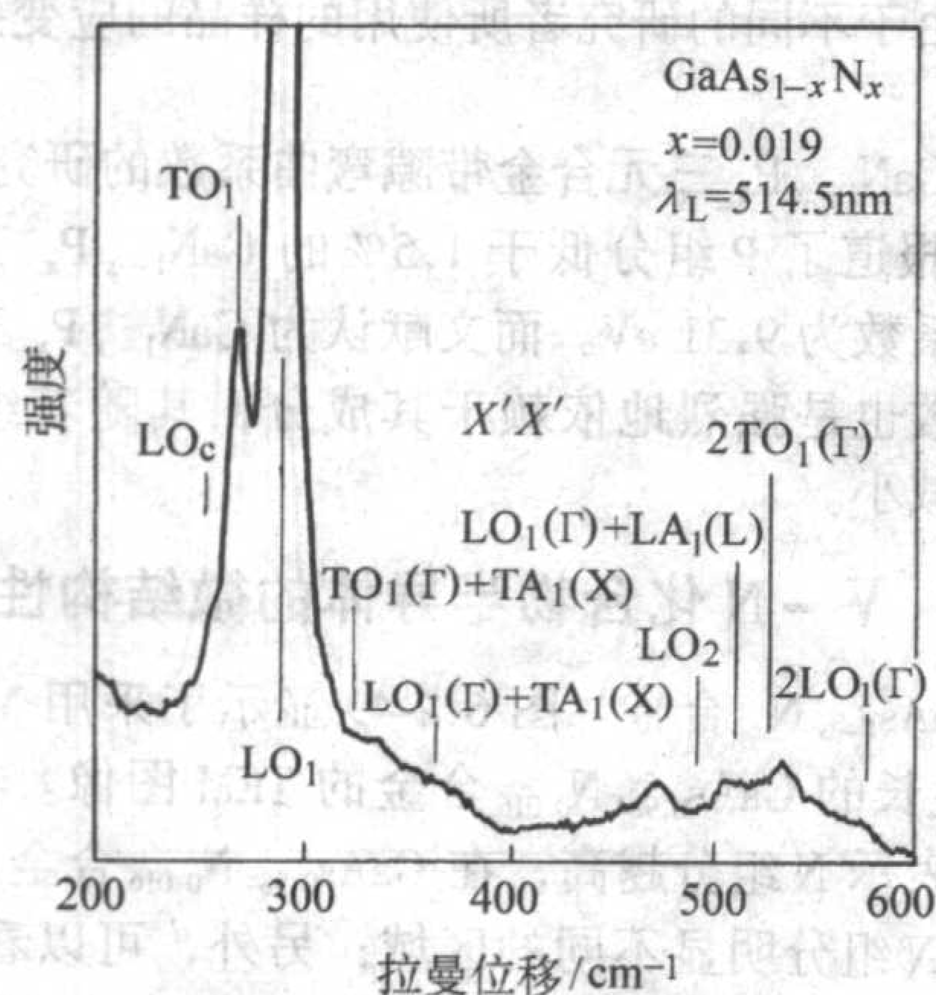


图 6.2-51 $GaAs_{1-x}N_x$ 合金的背向散射 Raman 谱

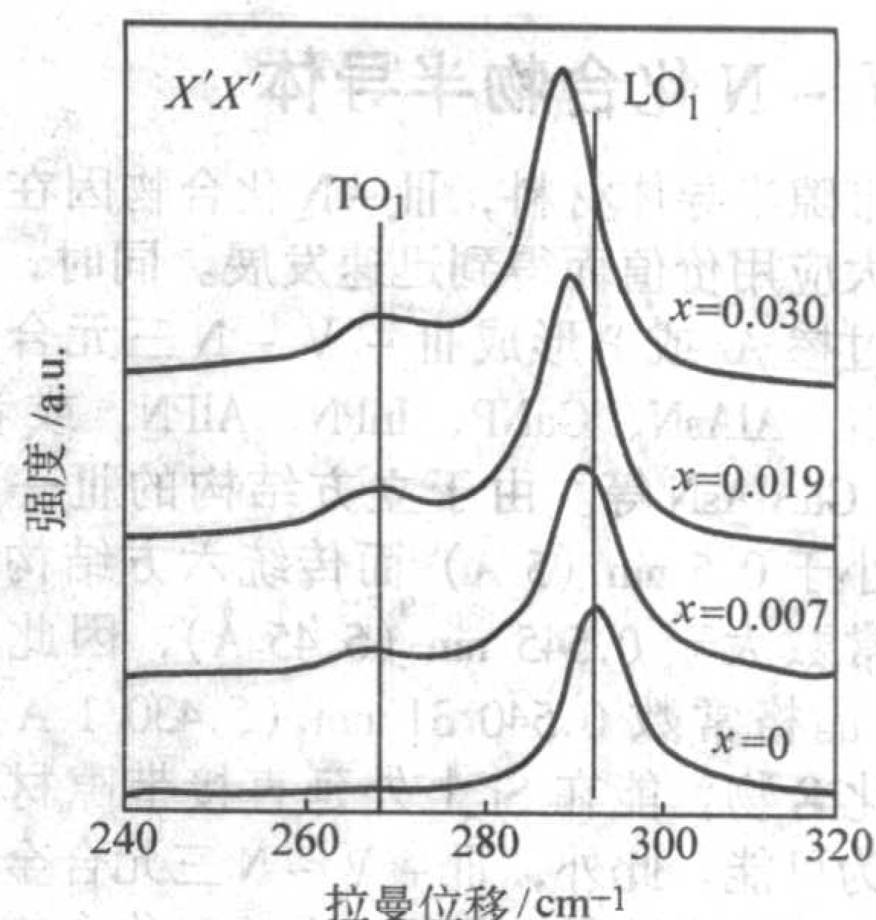


图 6.2-52 LO_1 模式频率随合金组分的变化

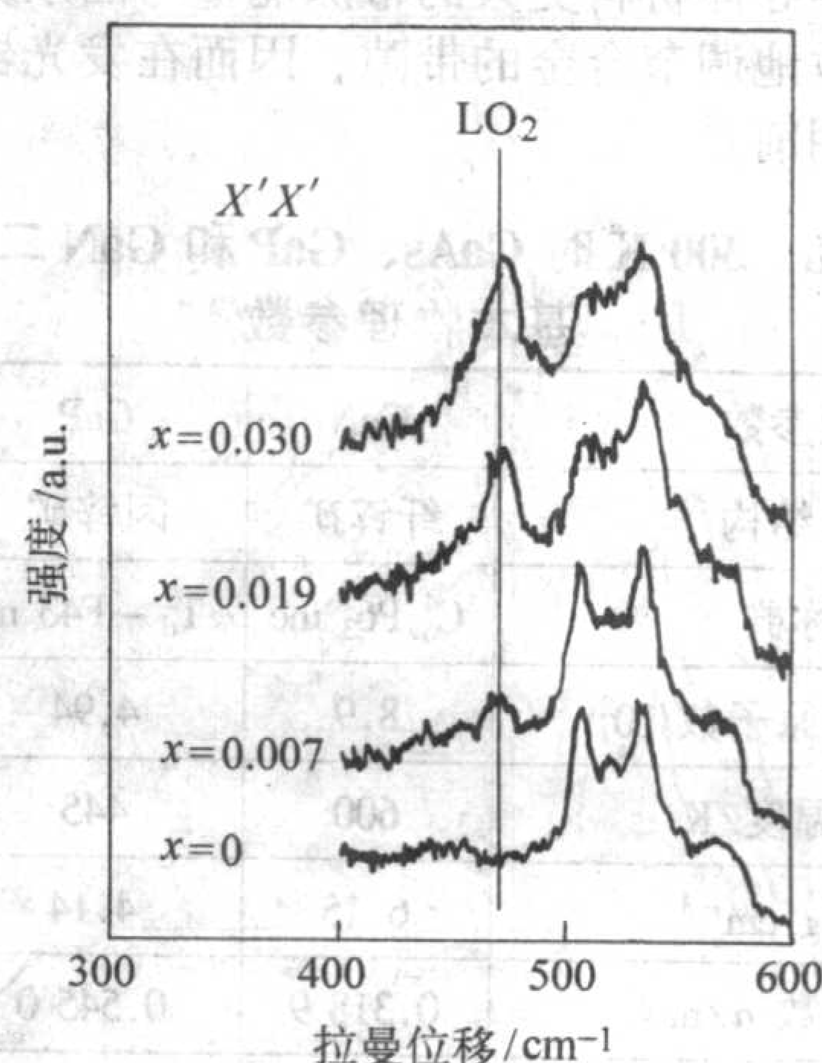
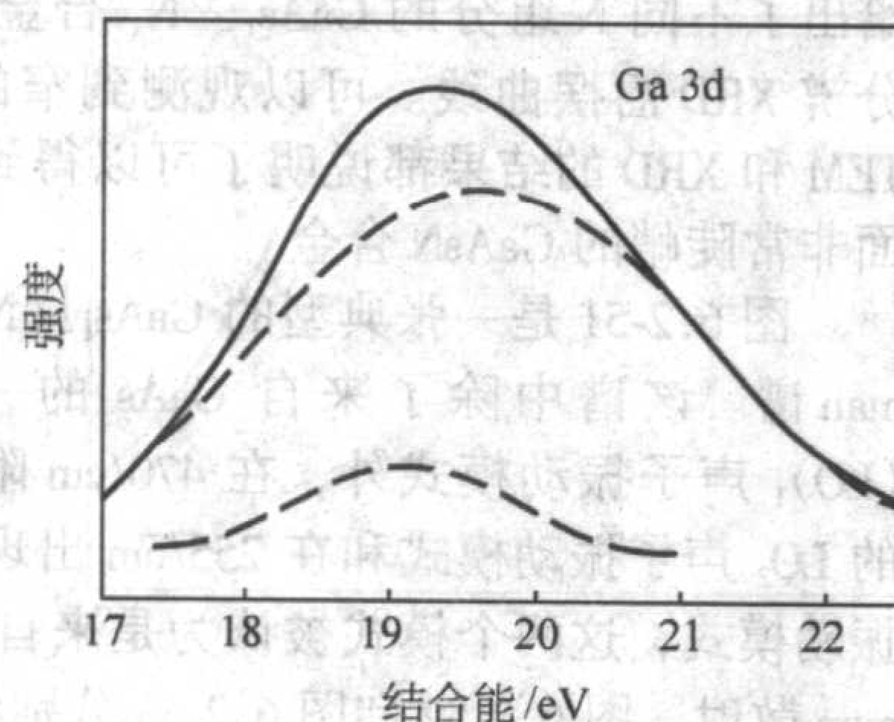


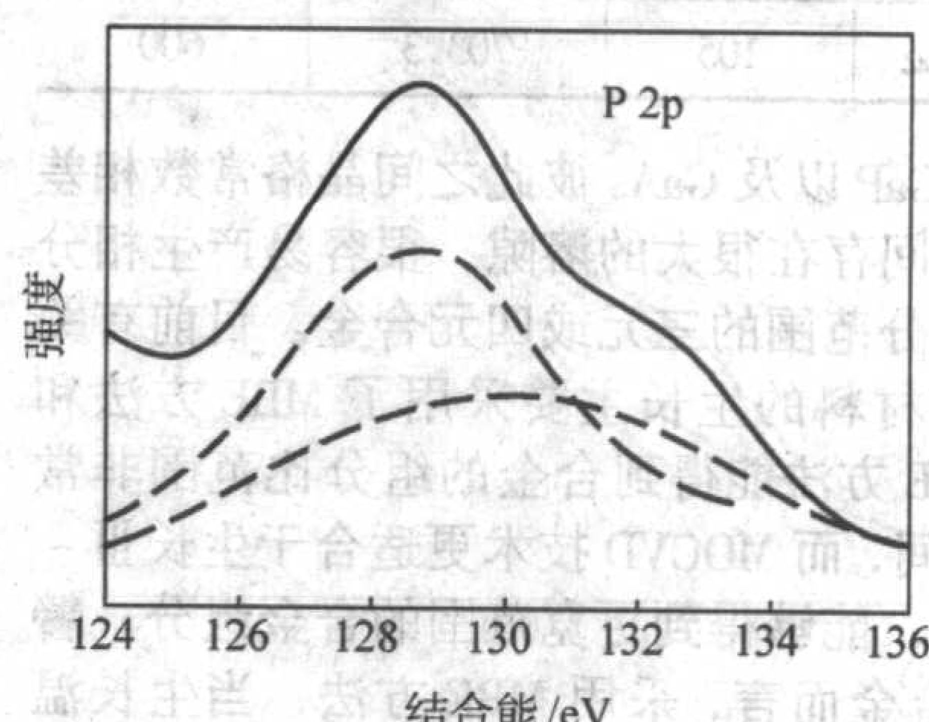
图 6.2-53 LO_2 模式频率随合金组分的变化

2）$GaN_{1-x}P_x$ 合金　图6.2-54 给出了 $GaN_{1-x}P_x$ 样品在距表面 200 nm 深处 Ga 和 P 的 X 射线光电子能谱（XPS）的芯能级峰。图 3.3a 为 Ga 3d 的 XPS 谱，Ga 3d 由两个谱峰组成，分别位于 19.1 eV 和 19.63 eV，与 GaP 和 GaN 化合物中 Ga 3d 的芯能级峰 19.1 eV 和 19.54 eV 相对应。说明样品中存在 Ga-P 键和 Ga-N 键。图 3.3b 为 P 2p 的 XPS 谱，P 2p 也由两个谱峰组成，分别位于 128.7 eV 和 130 eV，与 GaP 和 P 元素中 P 2p 的芯能级峰 128.9 eV 和 129.7 eV 相对应。说明 P 原子在 $GaN_{1-x}P_x$ 薄膜中部分以间隙态或 P 族团存在，另一部分 P 原子则作为等电子掺杂取代了 N 位。

图 6.2-55 显示了具有不同 P 组分比的 $GaN_{1-x}P_x$ 薄膜样品的拉曼谱。图中标明的高频 E_2（high）、低频 E_2（low）以及 A_1（LO）纵向光学声子的拉曼散射峰为具有纤锌矿晶体结构的半导体材料的典型振动模式。在 $GaN_{1-x}P_x$ 薄膜样品的



(a) Ga 3d 的XPS谱



(b) P 2p的XPS谱

图 6.2-54 $GaN_{1-x}P_x$ 样品的 X 射线光电子能谱（XPS）芯能级峰

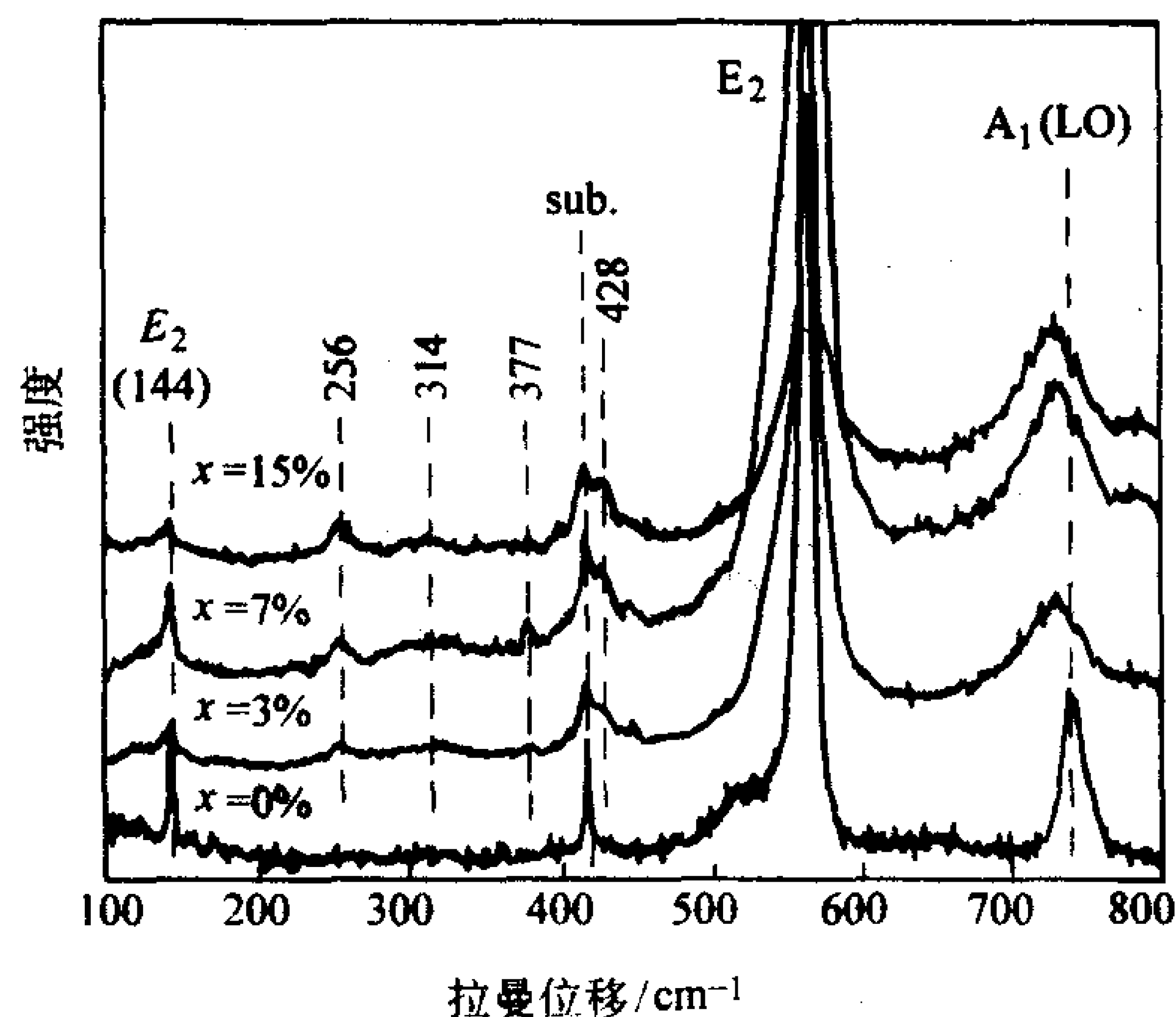


图 6.2-55 不同 P 掺杂 $GaN_{1-x}P_x$ 样品的低频波段的拉曼谱

拉曼谱中出现了三个新的谱峰和一个拓宽的结构，谱峰位置分别在 256/cm、377/cm、428/cm 处，拓宽的结构的中心在 314/cm处。其中波数在 377/cm 和 428/cm 的两个散射峰处于声学模和光学模的禁带内，为 Ga-P 键振动引入的局部振动模式；波数在 256 的散射峰为 P 原子引入的准局域模式；波数为 314/cm 的拓宽结构来自无序激活散射。同时，从图中还可以看出，随着 P 组分比的增加，A_1（LO）模式的频率不断地向低频方向移动，这种红移现象也是源于合金化和应变的影响。

3.4 Ⅲ－Ⅴ－N 化合物半导体的光学性质

1）$GaAs_{1-x}N_x$ 合金　图 6.2-56 显示不同 N 组分的 $GaAs_{1-x}N_x$ 合金的透射谱。随着 N 组分的增加，吸收边强烈地红移。

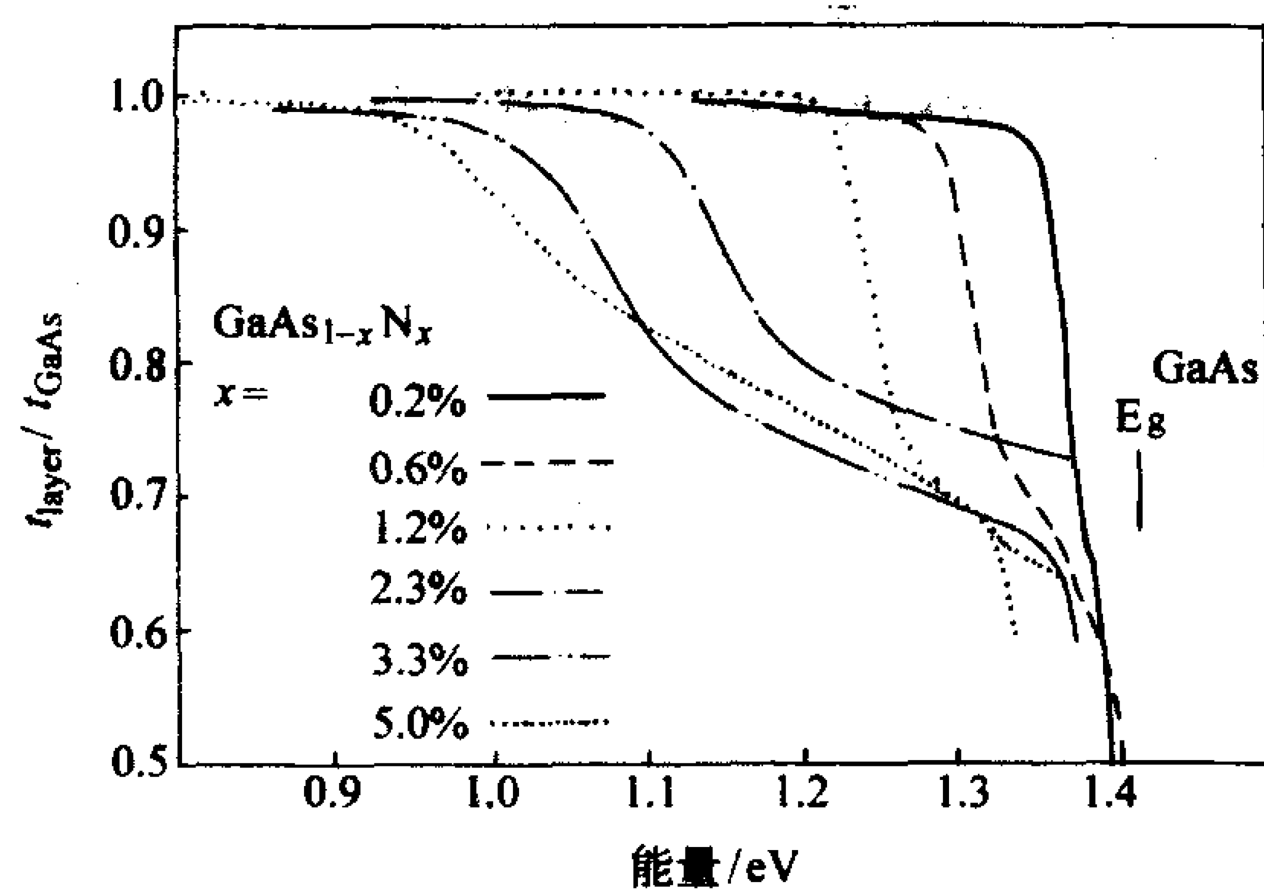


图 6.2-56 不同 N 组分的 $GaAs_{1-x}N_x$ 合金的透射谱

图 6.2-57 显示了 $GaAs_{0.984}N_{0.016}$ 合金的室温 PL 谱。相对于 GaAs 的 PL 发射峰，来自 $GaAs_{1-x}N_x$ 合金的 PL 发射产生了一定的红移。图中在 1.011 eV 和 1.183 eV 处出现了 PL 发射峰，说明在 $GaAs_{0.984}N_{0.016}$ 合金样品中存在两个不同的 N 组分区域，正好与 $GaAs_{0.984}N_{0.016}$ 合金的 TEM 结果相对应。

2）$GaN_{1-x}P_x$ 合金　$GaN_{1-x}P_x$ 合金的光致发光（PL）谱峰目前只能在低温下观测到，随着温度的增加，其发光强度呈指数级下降，因此目前在室温下还无法观测到 $GaN_{1-x}P_x$ 合金的 PL 发射，这主要是由于 GaN 和 GaP 晶格常数相差太大，导致目前所能生长的 $GaN_{1-x}P_x$ 三元合金的晶体质量有限。图 6.2-58 是在 10 K 下测试的 $GaN_{1-x}P_x$ 合金的 PL 谱。在没有相分离的情况下，与 GaN 的发射峰相比，来自 GaNP 合金的 PL 发射峰产生了 50 meV 的红移。在发生相分离的情况下，只能观测到来自富 GaP 的 GaPN 区的发射峰。

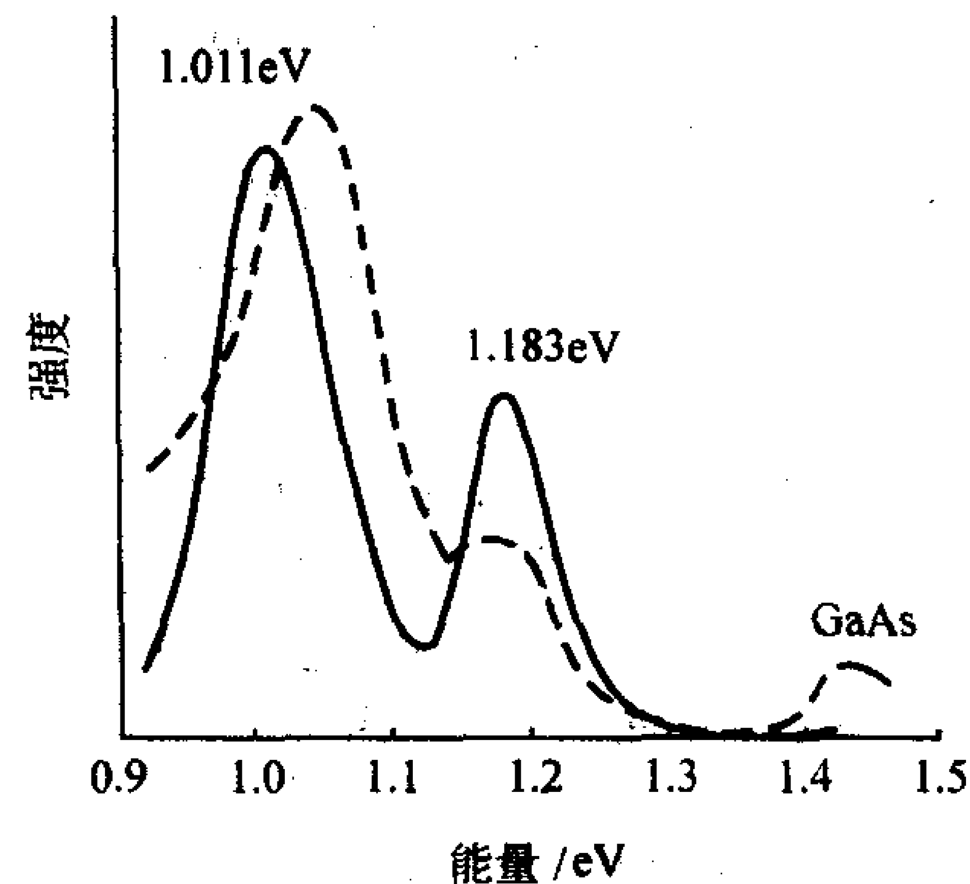


图 6.2-57 显示了 $GaAs_{0.984}N_{0.016}$ 合金的室温 PL 谱

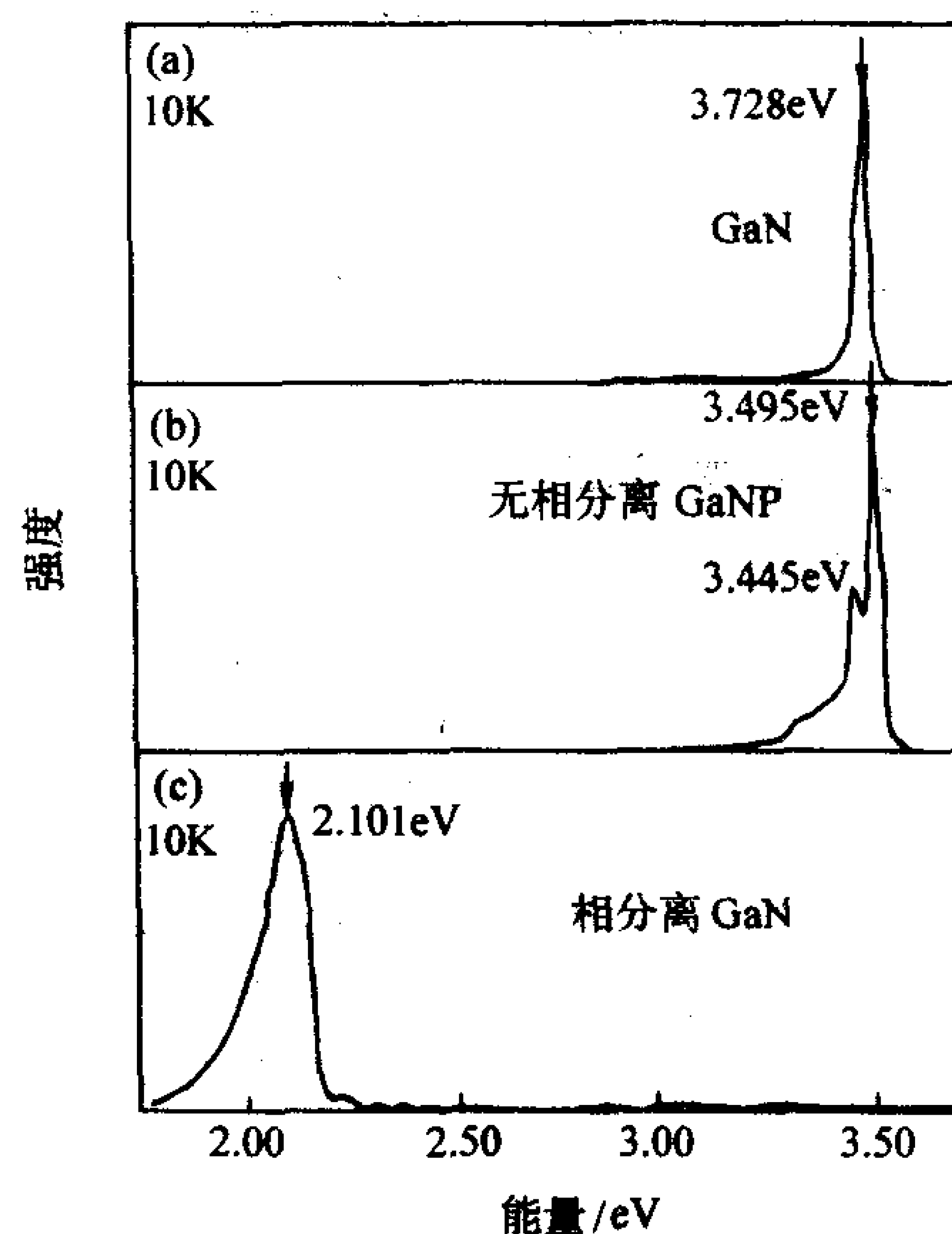


图 6.2-58 10 K 下 $GaN_{1-x}P_x$ 合金的 PL 谱

4 氮化铟半导体材料

Ⅲ族氮化物半导体材料 GaN，AlN 和 InN 等是性能优越的新型半导体材料。在光电子器件方面已有重要的应用，在光电集成，超高速微电子器件和超高频微波器件及电路上也有着十分广阔的应用前景。由于材料生长的困难，Ⅲ族氮化物材料在相当长的时间内未能得到足够的重视，直到 1991 年前后，因 GaN 系列的高亮度 LED 研制成功，才使沉寂多年的Ⅲ族氮化物半导体材料生长和器件应用研究又掀起了新的热潮。经过这么多年的研究和发展，GaN 和 AlN 的生长技术研究，特性研究以及器件应用研究都已取得长足的发展。但是因为 InN 具有低的离解温度（≥600℃分解）要求低温生长，而作为氮源的 NH_3 的分解温度较高，要求1 000℃左右，这是 InN 生长的一对矛盾。其次，对于 InN 材料生长又缺少与之匹配的衬底材料。这就使得高质量的 InN 材料的生长特别困难。因此 InN 材料的研究几乎没有取得什么进展。我们对 InN 材料的性质知之甚少。

最近几年，由于科学技术的进步和发展，InN 材料的生长技术也越来越成熟。生长的 InN 材料中的杂质也越来越少。特别是 2002 年对 InN 材料本征能隙认识的新的突破，对于纯度更纯的 InN 材料，其能隙是 0.6～0.7 eV 而不是人们一直认为的是 1.9 eV。这使得 InN 材料在微电子和光电子领域中的应用将有更好的表现。同时在国际上也因此掀起了一股 InN 材料的研究热潮。

理论研究表明，InN 材料在Ⅲ族氮化物半导体材料中具

有最高的饱和电子漂移速度和电子渡越速度，以及具有最小的有效电子质量这决定其具有最高的电子迁移率。因此，InN材料是理想的高速，高频晶体管材料。由于InN材料是直接带隙材料，其带隙值的最新研究结果表明为0.6～0.7 eV，这使得$In_{1-x}Ga_xN$三元合金材料的能隙范围能够随合金中In组分x的变化从InN能隙的0.7 eV到GaN能隙的3.4 eV自由调节。它提供了对应于太阳能光谱几乎完美的对应匹配能隙。这为设计新型高效太阳能电池提供了极大的可能。理论上，基于InN材料的太阳能电池的光电转换效率有可能接近太阳能电池的理论极限光电转换效率72%。因为本征带隙的减小，使得InN的发光波长达到了1.55 μm，这样人们就可以用Ⅲ族氮化物半导体材料通过生长组分连续调整变化覆盖从紫外光到红外光范围，并一直延伸到长波长通讯波段，使得光通讯器件制备可选用的材料得到更大的丰富。同时InN以其独特的优良特性有可能为光通讯器件的发展带来新的突破。

本节介绍了InN材料的基本特性。探讨了InN材料的生长技术，表征，性质研究和应用方向的最新进展。最后给出了InN材料今后发展急需解决的问题以及未来的发展应用前景。

4.1　InN材料的重要性质

Ⅲ族氮化物半导体材料包括InN，GaN，AlN，InGaN，AlGaN，InAlN和AlInGaN等多元合金材料，其带隙覆盖了从红外光，红，橙，黄，绿，青，蓝，紫和紫外光的整个光谱范围。图6.5-59是InGaN材料的能隙变化所对应的太阳能光谱范围。从图6.2-59中可以看出，InGaN的带隙可以随合金中In组分x的变化从InN能隙的0.7 eV到GaN能隙的3.4 eV自由调节，覆盖了整个从红外光到紫外光的太阳能谱。

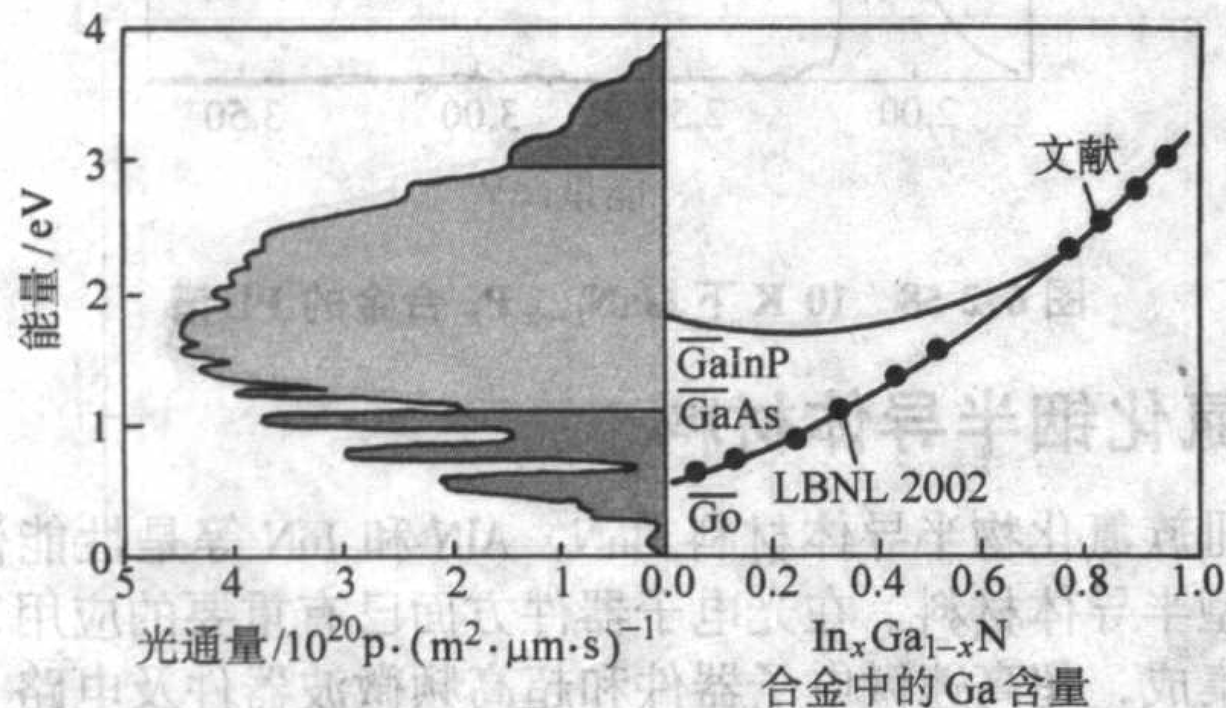


图6.2-59　InGaN能隙和太阳光谱

在通常情况下，InN以六方对称性的铅锌矿结构存在。但在一定的条件下也能够以立方对称的闪锌矿结构存在。这两种结构的主要区别在于原子层的堆积次序不同。图6.2-60显示了InN这两种结构的原子排列。因结构不同，其电学性质也有明显的差别。表6.2-9给出了两种结构的InN，GaN和AlN在室温时的带隙宽度和晶格常数。图6.2-61给出了Ⅲ族氮化物半导体材料带隙宽度和晶格常数的关系。从图中可以看出，通过调整合金材料的组分可以连续地调节材料的带隙。

InN材料除了具有上述特点，同时也具有比较好的电学特性。理论计算表明，在室温300 K，InN和GaN最高的电子迁移率分别为4 400 $cm^2/(V·s)^{-1}$和1 000 $cm^2/(V·s)^{-1}$；而在液氮温度77 K分别为30 000 $cm^2/(V·s)^{-1}$和6 000 $cm^2/(V·s)^{-1}$。图6.2-62是InN，GaN，AlN以及GaAs材料场漂移特性的蒙特卡罗模拟，可以看到InN材料具有相当高的饱和电子漂移速度，在室温下均远高于GaN和GaAs（InN：4.2×10^7 cm/s；GaN：2.9×10^7 cm/s；GaAs：1.6×10^7 cm/s）。InN薄膜在较宽的温度范围（150～500 K）内和不同的载流子浓度（高至$10^{19}/cm^3$）都表现出优于GaN和GaAs

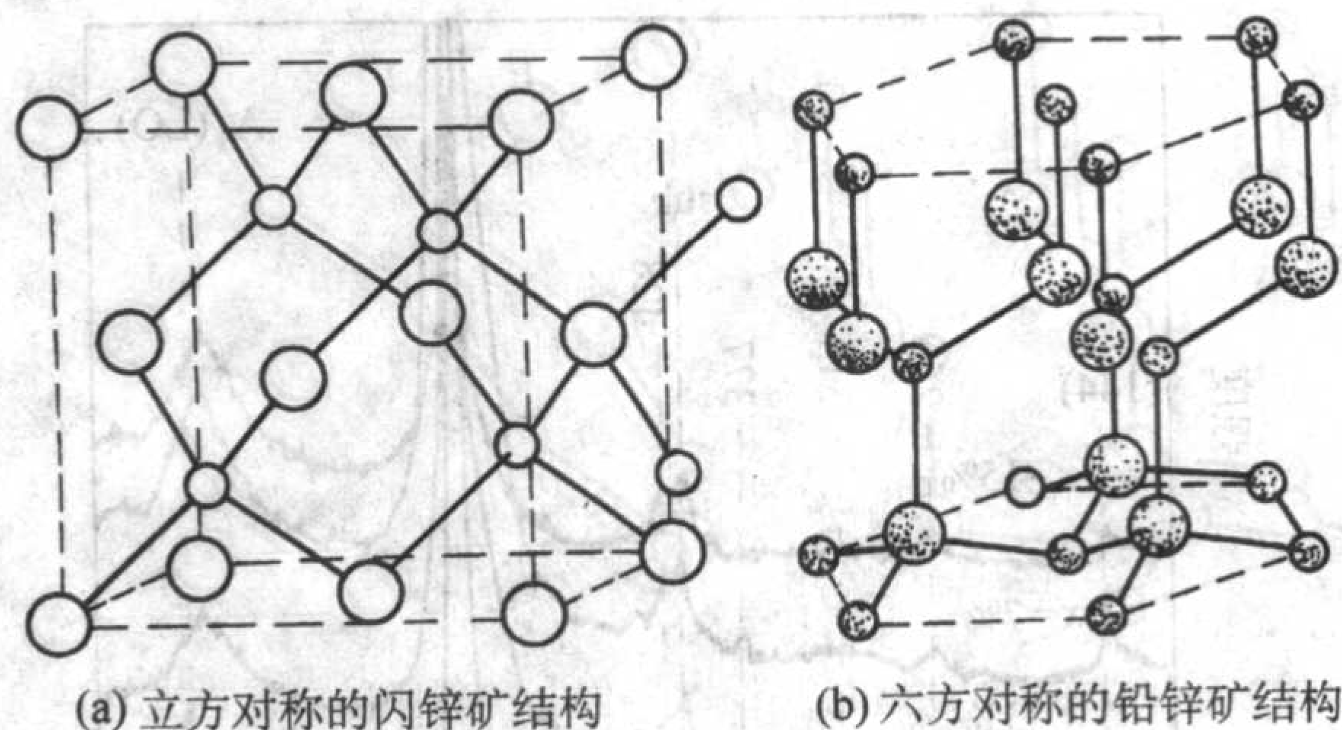


图6.2-60　InN材料的原子排列

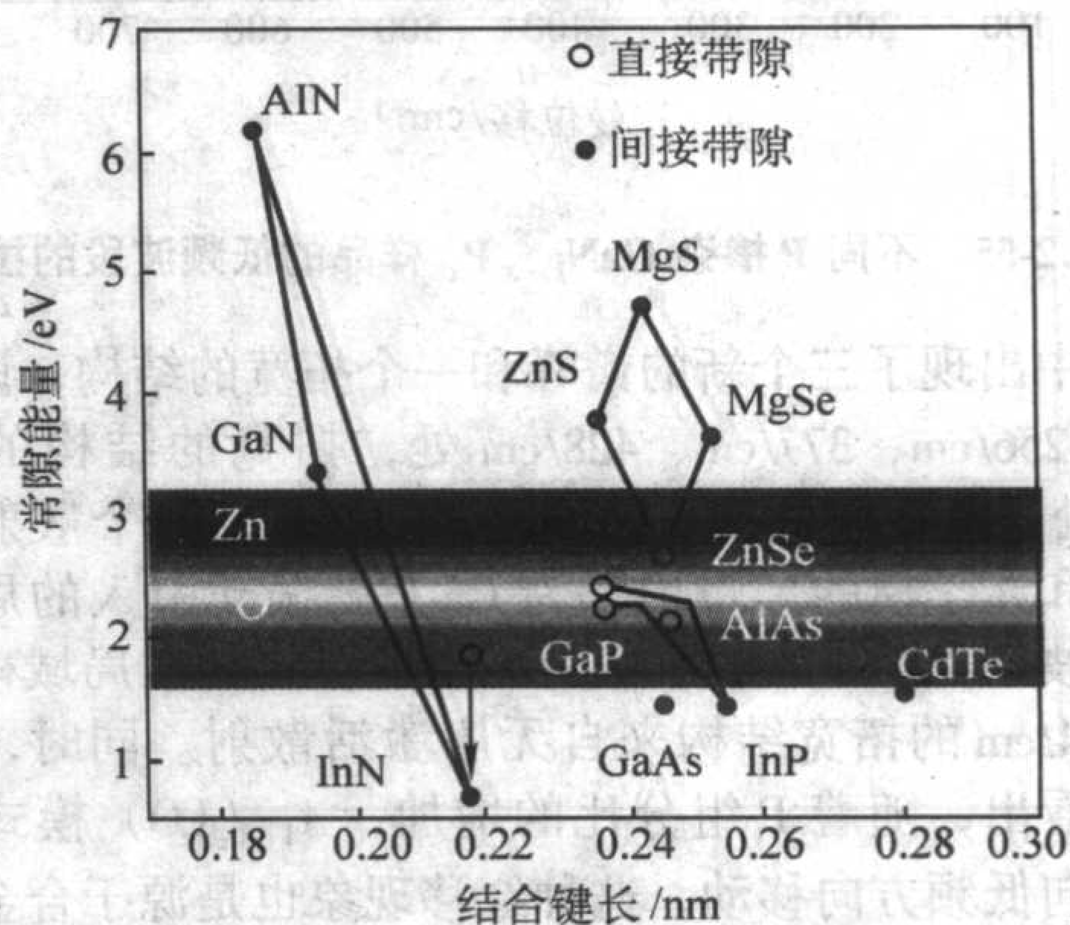


图6.2-61　Ⅲ－Ⅴ族氮化物材料能隙和晶格常数

的电子传输性质，同时InN电子输运对温度和载流子浓度不敏感，这一特点表明InN比GaAs能广阔应用于高频电子器件。理论研究预言，InN基高速场效应管当栅长为0.1 μm时，截至频率将超过1 THz。

表6.2-9　两种结构InN，GaN和AlN的带隙宽度和晶格常数（300 K）

材料结构		带隙（室温）/eV	晶格常数/nm	熔点/K	线胀系数/$10^{-6}·K^{-1}$
GaN	六方	3.39	$a=0.318\,9$ $c=0.518\,5$	2 800	5.59
	立方	3.25	$a=0.452\,0$		3.17
AlN	六方	6.20	$a=0.311\,2$ $c=0.498\,2$	3 500	4.2
	立方	5.11	$a=0.438$		5.3
InN	六方	0.7～0.8	$a=0.354\,8$ $c=0.576\,0$	2 200	
	立方	0.6～0.7	$a=0.498\,0$		

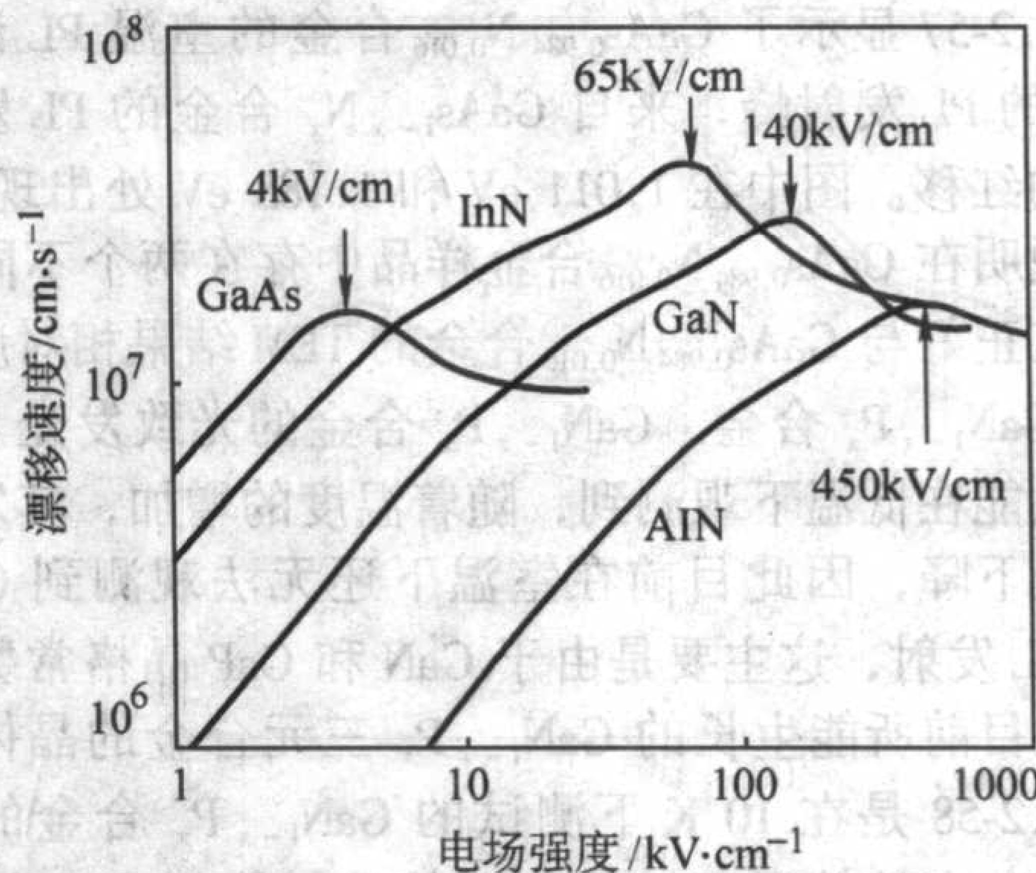


图6.2-62　InN，GaN，AlN以及GaAs材料场漂移特性的蒙特卡罗模拟

表 6.2-10 是最新的 InN 电学特性表。从表中可以看出，InN 材料的室温电子迁移率目前已经达到 1 430 $cm^2/V·s$，这在半导体材料种属于较高的值。在蓝宝石衬底上生长的非故意参杂 InN 样品的 n 型本底杂质也可达到 $1×10^{18}/cm^3$。InN 具有Ⅲ族氮化物半导体材料中最高的饱和电子速度$4.3×10^7$ cm/s和最高的电子渡越速度，可高达 $1.0×10^8$ cm/s，以及具有最小的有效电子质量。

表 6.2-10　InN，GaN 等的电学特性（300 K）

材料	有效电子质量	电子渡越速度 /$cm·s^{-1}$	饱和电子速度 /$cm·s^{-1}$	电子迁移率 /$cm^2·(V·s)^{-1}$	本底杂质 /cm^{-3}
InN	0.11 m_e	$1.0*10^8$	$4.3*10^7$	1 430	$≥1*10^{18}$
GaN	0.20 m_e	$3.5*10^7$	$2.5*10^7$	900	$≦4*10^{16}$
Si	0.19 m_e	$1.5*10^7$	$1*10^7$	1 400	$≤1*10^{13}$
GaAs	0.065 m_e	$4.5*10^7$	$2.0*10^7$	8 500	$≤1*10^{14}$

4.2　InN 材料的研究历史和进展

InN 材料最早于 1938 年由 Juza 和 Hahn 两位通过分解 $InF_6(NH_4)_3$ 得到，为六角纤锌矿结构。研究发现，InN 材料由于分解压很高不可能直接通过 In 金属和 N_2 分子化合得到，只能通过 In 金属及化合物同分解的氨气 NH_3 化合得到或通过含 In 和 N 的复合物直接分解得到。之后，又有许多研究者进行了 InN 材料的合成生长研究。研究认为，直接用金属镓和非活性的氮气反应，即使在高温下也难于合成 InN 材料。Hovel 和 Cuomo 于 1972 年用金属铟和氨气或热分解的氮合成反应得到 InN 的微小晶粒，该晶粒具有比较好的电学性质。用反应离子溅射在蓝宝石衬底或硅衬底上，用 25～600℃温度合成生长的 InN 薄膜材料呈暗红色，具有 $(3～5)×10^{-3}$ Ω·cm 的电阻率和 (250±50) $cm^2/V·s$ 的霍耳迁移率，n 型载流子浓度为 $(5～8)×10^{18}/cm^3$。1974 年，Trainor 和 Rose 利用热蒸发在蓝宝石衬底上得到 InN 薄膜材料，并对其电学和光学性质进行了初步研究，发现 InN 为直接带隙半导体材料，带隙宽度为 1.7 eV。通过热处理研究发现，在生长合成时高的氮原子压力是得到化学配比 InN 材料的基础。同一时期，也有两个小组报道室温下 InN 的带隙宽度在 2.0 eV 附近。1977 年，L.A.Marasina 和 I.G.Pichugin 等利用 $InCl_3$ 和 NH_3 作为反应源，通过化学淀积方法（CVD）在石英和蓝宝石衬底上外延生长出 InN 外延材料，该材料具有马赛克样表面，材料是 n 型的，具有 $2×10^{20}～8×10^{21}/cm^3$ 的浓度和 30～50 $cm^2/V·s$ 的迁移率。他们发现，衬底温度决定了最重要的优化生长条件，在 600℃以上的衬底温度 InN 会很快分解，在 670℃衬底温度条件下，几乎不发生 InN 的淀积。

到 20 世纪 80 年代，利用磁控溅射技术在 InN 材料制备方面取得了很大的进展，同时 InN 材料的生长机理研究也取得一定的成果。Tansley 和 Foley 等人的工作尤为突出。1984 年，他们利用射频磁控溅射得到目前 InN 材料室温最高迁移率为2 700 $cm^2/V·s$，和最低本底载流子浓度为 $5×10^{16}/cm^3$。Tansley 组报道的带隙宽度为 1.89 eV，这一结果长时间被广泛接受。但现今已经有许多的研究小组对带隙宽度的报道提出了质疑。随着半导体外延技术的发展，众多的研究小组开始利用 MOCVD 和 MBE 技术，在宝石衬底上制备单晶 InN 材料。1989 年，Matsuoka 小组和 Wakahara 等人利用 MOVCD 技术，以三甲基铟（TMI）分别用氨气 NH_3 和微波激活分解 N_2 作为反应源在蓝宝石衬底上制备出 InN 薄膜。这些研究包括在 1990 年采用 MOCVD 和 MBE 技术在不同衬底和不同生长工艺条件下对 InN 材料合成生长进行的研究。1991 年，Hoke 等人报道了射频 MBE 制备 InN 的方法。2002 年，Davydov、Y.Saito、H.Lu 等小组通过研究都发现 InN 的带隙宽度不在 1.89 eV，PL 和透射谱证据显示 InN 的带隙宽度应该小于 1 eV，而在 0.7 eV 附近。当时 Yamamoto 等人利用 MOCVD 技术，通过增强氨气分解生长出载流子浓度为 $5.8×10^{18}/cm^3$、室温迁移率达730 $cm^2/V·s$的 InN 薄膜；康奈尔大学 H.Lu 小组采用 MBE 技术，制备的 InN 材料室温迁移率为 2 050 $cm^2/V·s$，其载流子浓度为 $3.49×10^{17}/cm^3$。最近，中国台湾成功大学利用 MOCVD 技术得到了霍尔迁移率高达 1 200 $cm^2/V·s$的高质量 InN 材料。同样，研究者在尝试基于 InN 材料异质结构的制备和电子器件的制作，H.Lu 小组已经得到 InN 材料中二维电子气积累的初步证据。对 InN 材料带隙的研究也有许多不同的结果。

4.3　InN 材料的生长

4.3.1　金属有机物气相外延（MOCVD）

在Ⅲ族氮化物中，InN 薄膜的生长是最困难的，由于 InN 生长过程中 N 的饱和蒸汽压比 AlN 或 GaN 高几个数量级，如图 6.2-63 所示；而且 InN 的分解温度相对较低，因此 InN 的制备必须用较低的生长温度。MOCVD 制备 InN 常用的反应源为三甲基铟（TMIn）和氨气（NH_3），用氮气作为载气。尽管高温可以增强 NH_3 的分解提供更多的 N，但是过高的温度会使 InN 热分解，因此使 InN 生长限制在相当低的温度（约 500℃）。另一方面，生长温度低于 400℃，由于 NH_3 分解率很低，有效 N 源不足会明显造成金属 In 的聚集，同时衬底温度低对表面原子的迁移提高晶体质量是有害的。综上两点，适合 InN 生长的温度区间是很窄的。Koukitu 等人通过对Ⅲ族氮化物 MOCVD 生长的热动力学研究指出，采用高的 V/Ⅲ 比和惰性氮气作为载气，这样即使 NH_3 的分解效率相当低也能够满足 InN 生长的需要。实验结果表明，通过提高温度，增加Ⅴ/Ⅲ比和增加反应压力来增强 NH_3 分解，优化 InN 的生长条件。但是，在生长环境下，NH_3 分解的过程和分解的作用至今还不清楚。Matsuoaka 等人报道，当Ⅴ/Ⅲ比小于 $1.6×10^4$，薄膜表面会观察到金属 In 滴。当Ⅴ/Ⅲ比大于 $8×10^4$ 时，外延层表面就会长成镜面。图 6.2-64 显示了 InN（002）谱峰密度比和金属 In（1－101）以及 TMI 流速的关系。图中同时给出了Ⅴ/Ⅲ比和生长速率的关系。在低于 600℃以下，当Ⅴ/Ⅲ比降低后，外延片表面就会出现金属 In 滴。当Ⅴ/Ⅲ比增加到 $1.5×10^5$ 时。XRD 谱峰中的 In 峰就消失。大的Ⅴ/Ⅲ比可以提供足够的参与反应的 N 离子，因为在低温下 NH_3 的分解率很低。但生长温度升高到 650℃以上，生长机制将会有改变，高的Ⅴ/Ⅲ比将不利于 InN 的生长。随着温度的升高，在增强 NH_3 分解的同时提高了产物 H_2 的分压，将阻止 InN 的生长。Koukitu 认为，生长环境中增加氢，降低 InN，源于生长反应驱动力和生长速率的减少。而在低温情况下（＜600℃），反应驱动力与氢分压无关，当温度升高时，反应驱动力将随氢分压的增加大幅减少，甚至变为负，产生负反应，这就是腐蚀效应。因此在 InN 生长过程中，需要惰性载气带走多于的氢，降低氢的分压。Koukitu 从热力学角度出发，建议使用肼（N_2H_4）作为反应源可以大幅提高 InN 的生长速率，得到无 In 聚集的 InN 薄膜。比较发现，用 N_2H_4 作为 InN 生长的 N 源比用 NH_3 作为 N 源生长环境中的氢要少得多。因此可以使 MOCVD 生长 InN 时的温度范围扩展到 400～600℃。在高温时生长 InN 需要较低的Ⅴ/Ⅲ比，而在低温下生长 InN 需要较高的Ⅴ/Ⅲ比。用惰性气体或 N_2 气作为载气可以减少Ⅴ/Ⅲ比，从而能使 InN 合成更有效。

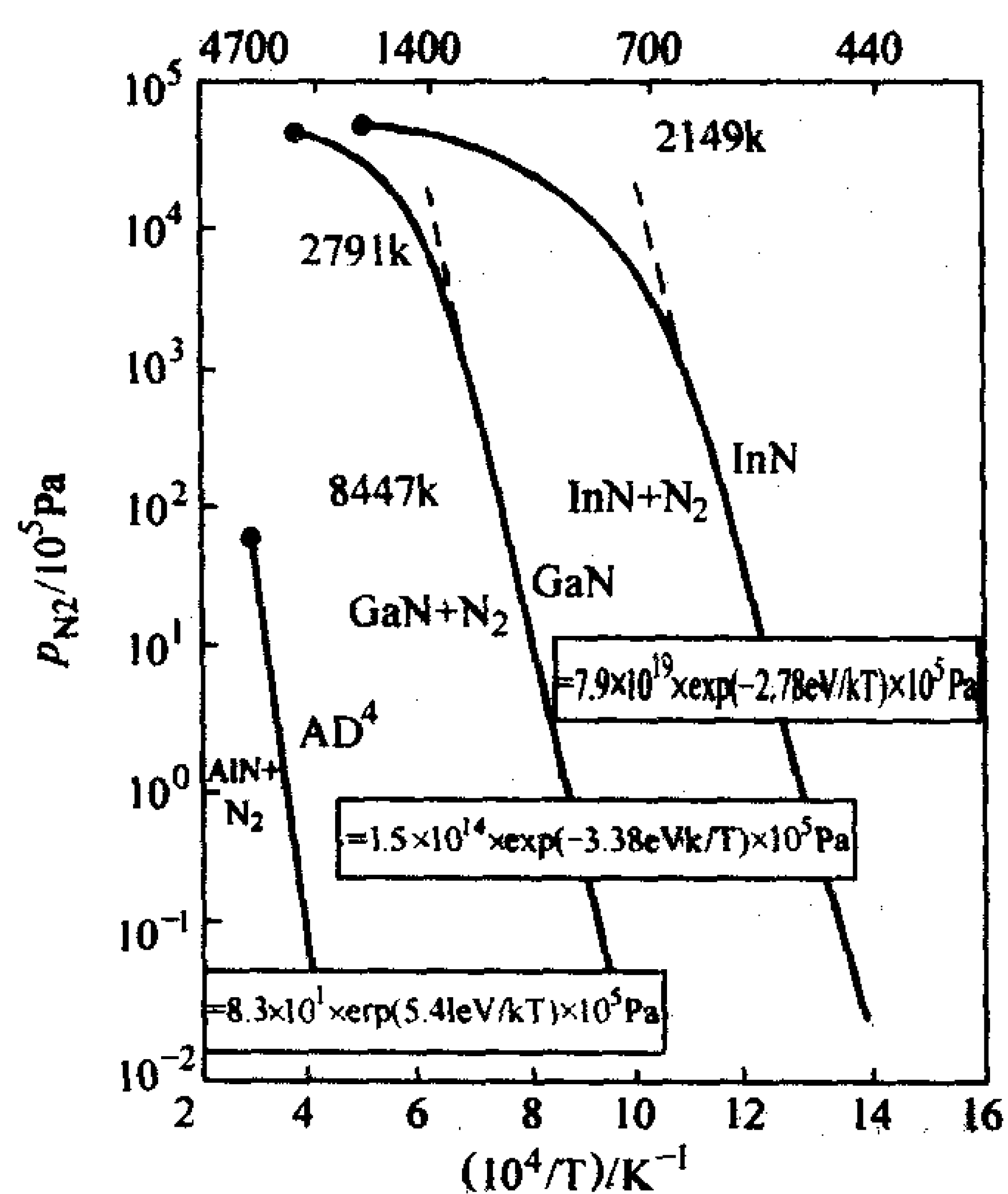


图 6.2-63 Ⅲ族氮化物半导体材料的熔点和饱和蒸汽压

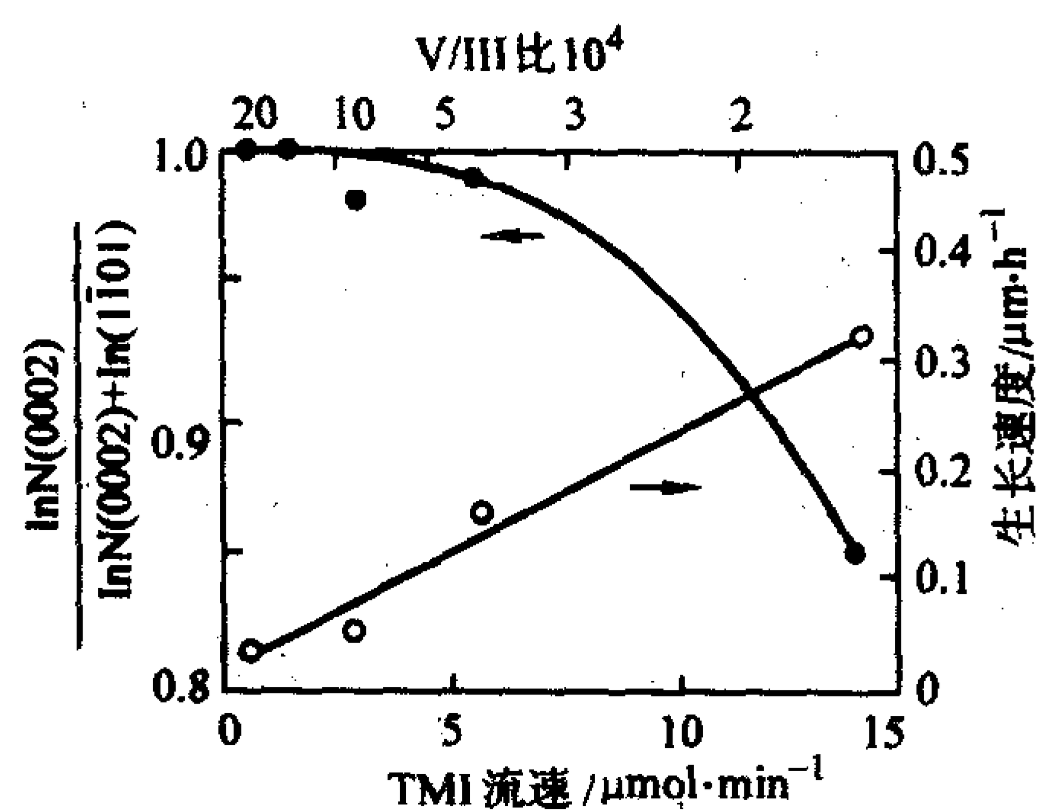


图 6.2-64 InN (002) 谱峰密度比和金属 In (1-101) 以及 TMI 流速的关系

利用 MOCVD 技术，InN 薄膜的生长温度是一个至关重要的条件参数。它对薄膜的晶体质量、表面形貌和电学性质具有极大的影响。一般认为，单晶 InN 薄膜的生长温度至少为 400℃，最高上限约为 700℃，优化生长温度区间在 550～650℃之间。过低的生长温度导致三维柱状生长模式；随温度的升高，二维生长模式增强，改善了晶体质量和表面形貌；但过高的生长温度会使表面腐蚀，实验上能观察到薄膜表面的腐蚀坑。在 650℃生长时，由 XRC 可以看到曲线的半宽峰（FWHM）退化。Adachi 等人通过实验发现，在 400～630℃，生长速率主要依赖于 NH_3 的分解效率；当温度在 630～650℃时，InN 生长速率随 TMIn 量的增加成比例增加，在 650℃，当 NH_3 的分解较高时，InN 的最高生长速率可以达到 0.8 μm/h；当温度高于 650℃时，由于 InN 分解，生长速率下降，表面明显有 In 聚集。Keller 等人报道发现生长速率降低的温度点为 620℃。这种差异是由于生长系统的差异造成的，因素包括水平或垂直反应腔、生长压力、气流速度、衬底支托结构等。研究表明，InN 生长温度升高，可以降低非故意掺杂 InN 薄膜的背景载流子浓度，提高霍尔迁移率。Yamamoto 等人研究表明，当温度低于 650℃时，随着生长温度的升高，生长的 InN 材料载流子浓度降低，霍尔迁移率在增加。同时，600℃时生长的 InN 材料，当 V/Ⅲ 比增加时背景载流子浓度随即降低。图 6.2-65 显示了在不同温度生长 InN 材料时载流子浓度和 V/Ⅲ 比的关系。这证明，增加生长温度和增加 V/Ⅲ 比使得生长环境中活性 N 的增加，从而会使生长的 InN 材料中的 N 空位减少。N 空位被视为导致 InN 薄膜高背景载流子浓度的主要原因，通过提高生长温度增强 NH_3 的分解，提供更多有效的活性 N，减少晶格中的 N 空位，来降低背景载流子浓度。但是，在 650℃生长时，材料的背景载流子浓度与 V/Ⅲ 比无关，此时热分解起到更大的作用。实验和理论分析都表明，MOCVD 生长 InN 材料最合适的温度是 550～650℃。

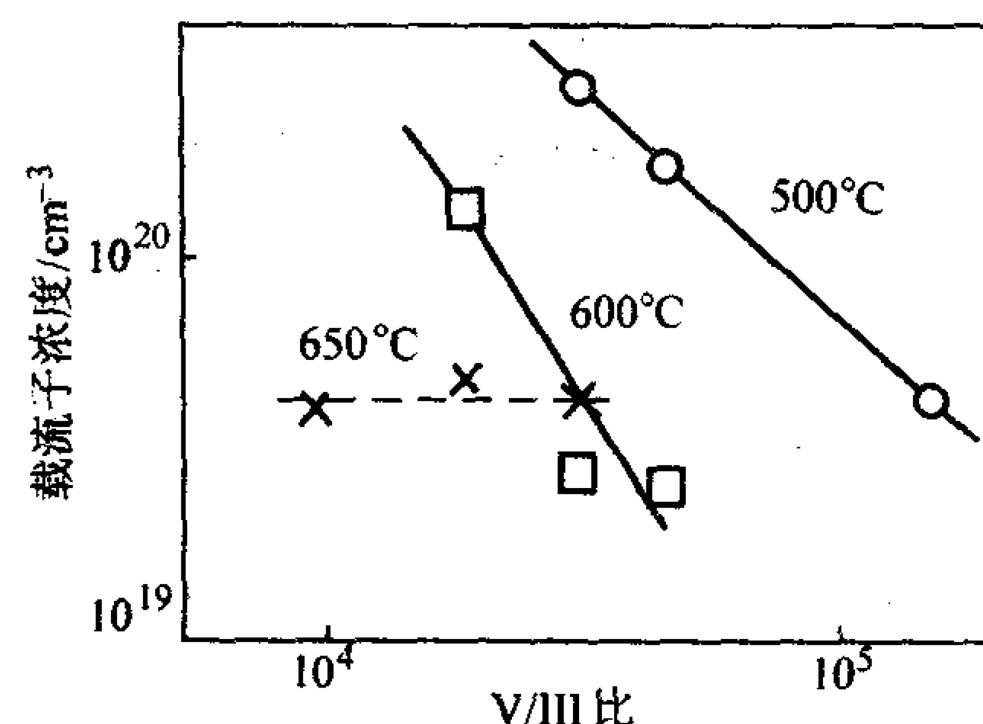


图 6.2-65 不同温度生长 InN 材料的载流子浓度和 V/Ⅲ 比的关系

生长压力是 MOCVD 材料生长的另一个重要参数。关于 InN 薄膜 MOCVD 生长压力对其材料质量和性质影响的详细研究至今报道不多。但是在典型的常压（101.325 kPa (760Torr)）或低压（10.133 kPa (76Torr)）下，InN 生长都有相关报道。一般认为生长压力对 InN 薄膜的电学性质有显著影响。实验发现低温（约 450℃）和低压生长的 InN 材料比常压生长的 InN 材料具有更好的结晶质量。但常压生长具有更优的电学性能，原因在于提高生长压力是一种增强 NH_3 分解效率的途径，减小反应气流速有利于压制 InN 表面 N 的蒸发，同时高的压力有利于提供更多的活性 N 参与沉积反应，减少了氮空位可以得到更好的电学性能。Yamamoto 等报道在（101.325 kPa（760 Tor））时成功载流子浓度为 $5.8\times10^{18}/cm^3$、室温迁移率达到 730 $cm^2/V\cdot s$ 的 InN 薄膜，而在低压生长情况下，最好的报道分别为 4×10^{19} cm^3 和 $300/cm^2/V\cdot s$。

利用 MOCVD 技术生长Ⅲ族氮化物，合理的反应室设计是得到高质量的 InN 外延膜的一个重要因素。Yamamoto 等研究了两种不同的水平反应腔。反应腔的不同在于衬底和石英天花板之间的反应气流的不同，从而引起反应物流速不一样。研究发现，高速流的反应腔在 InN 生长时能形成大的晶粒，当在 600℃生长 InN 材料时二维生长增强了。这将导致 XRC 的 FWHM 变小。他们研究了衬底和石英天花板的间距(33 mm 和 14 mm)对 InN 生长的影响，发现较小的间距(14 mm)可以有效的降低生长所需的 V/Ⅲ 比，增强二维生长，提高了晶体质量。Yang 等研究了反应气速率对 InN 薄膜生长的影响，提高反应气流速，可以使其有效地达到衬底产生反应，从而将生长速率提高至 2 μm/h。

许多研究者用调制源气体流的方法生长 InN 薄膜也得到了比较好的结果。该技术利用间断源流的方法使高温生长 InN 材料时的晶粒生长和 In 的形成得到抑制。

等离子体辅助 MOCVD 也可以用来合成生长 InN 材料，用等离子体来离化氮气，这样可以使 InN 材料的合成生长时温度对氮源的影响减少。用该方法合成生长高质量的 InN 材料还没有报道，也很少有文献报道该方法对合成生长 InN 材料的电学参数的影响。与一般 MOCVD 和 MBE 生长 InN 材料相比，用等离子体辅助 MOCVD 来合成生长 InN 材料的文献不多。

激光辅助 MOCVD 是一种较有潜力的生长 InN 材料的方法。在 MOCVD 系统中用准分子 ArF 激光器通过光分解裂解 NH_3 和有机源 TMI 得到活性的 N 和激活的 In，因此可以在低温环境下合成生长 InN 材料。

4.3.2 MBE（分子束外延）

（1）源和生长动力学

利用 MBE 技术进行Ⅲ族氮化物生长，一般使用固态金属源 Ga、Al、In 做Ⅲ族源，N_2 或 NH_3 做Ⅴ族反应源，这一类型称为气源分子束外延。还有一种使用金属有机物做Ⅲ族源称为金属有机物分子束外延。这两种类型的 MBE 对于Ⅲ族氮化物生长的关键都在于 N 源的活化。N_2 分子的分解能量高达 9.5 eV，因此必须采用射频（rf）或电子回旋共振（ECR）技术得到活性的氮原子参与生长反应。在 MBE 外延过程中，存在两个问题。其一，离子会损伤外延层表面；其二，等离子体会带来 O 和 C 杂质。对于射频等离子体发生器，小的孔径和高的孔径密度可以产生更多有效的活性 N 和减少有害的 N 离子。随着激发功率的增加，ECR 等离子体中 N 离子增加。当 N 离子的能量高于 60 eV 时，将会给外延薄膜表面带来缺陷。

Koukiku 和 Scki 通过热动力学分析了Ⅲ族氮化物的 MBE 生长过程。他们由反应源的Ⅴ/Ⅲ比、分压和生长温度计算出平衡蒸汽压、生长速率等。

发生在衬底上的反应式是：



$$\mathrm{In}(g) + N(g) = \mathrm{In}N(s) \qquad (6.2\text{-}14)$$

平衡方程为：

$$K1 = 1/(P_{\mathrm{In}} \cdot P_{\mathrm{N}}) \qquad (6.2\text{-}15)$$

守恒条件为：

$$P_{\mathrm{In}}^0 - P_{\mathrm{In}} = P_{\mathrm{N}}^0 - P_{\mathrm{N}} \qquad (6.2\text{-}16)$$

$$\Delta G^0\ (\mathrm{kcal/mol}) = (-1.764\times10^2) + 3.067\times10^2/T + (-1.451\times10^{-3})\ T\ln(T) + 7.909\times10^{-2}T + 3.883\times10^{-11}T^2 \qquad (6.2\text{-}17)$$

P_{In}^0 和 P_{N}^0 分别为反应源分压，P_{In} 和 P_{N} 为平衡蒸汽分压，方程（6.2-16）是在 In 和 N 原子比发生在 1∶1 情况下的。衬底表面的平衡分压可以通过求解上述表达式得到。平衡常数可以由参考文献查到。通过化学反应方程（6.2-17）可以得到反应（6.2-14）的自由能 ΔG^0。在 InN 生长过程中，500～900℃范围内。他们提出了三种沉积模式：腐蚀、形成 In 液滴，生长，并总结认为在Ⅴ/Ⅲ比大于 1 的情况下，适合 InN 生长的温度为 600～700℃。他们也以同样的方法计算了用 NH_3 做Ⅴ族反应源的情况。

（2）生长模式和影响生长的基本参数

作为 InN 薄膜大晶格失配异质外延来看，生长模式尤为重要。Ng 等人研究了利用等离子体辅助 MBE 在 GaN（0001）面外延 InN 薄膜生长模式和生长条件的关系。尽管 InN 与衬底的晶格失配达到 10%，他们仍观察到二维和三维生长模式同时存在，并且受生长条件的影响：低生长温度、高 N 流量容易导致三维生长；高生长温度、高 In 流量导致二维生长。Norenberg 小组分析了利用离化 NH_3 作为Ⅴ族反应源，在 GaN/Al_2O_3（0001）和 Si（111）上生长 InN。他们同样观察到在 GaN 上 InN 的二维生长。

生长温度是重要的条件参数。绝大多数实验表明优化的 MBE 生长温度范围从 450～550℃。通常采用两步生长法，即首先生长低温 InN 缓冲层后再进行高温生长。生长缓冲层的温度一般低于 350℃。同时缓冲层退火温度也放在生长温度区域。由于 InN 的分解和 In 的蒸发导致 InN 的生长速率非常低甚至为零。低温下生长的 InN 晶体质量相当差，高温退火能够大幅提高晶体质量，改善材料的电学性质。Saito 指出，rf-MBE 生长的 InN 材料质量在 InN 分解的极限以内随温度提高而改善。同时和其他Ⅲ族氮化物比较起来，InN 外延的晶向关系和极性强烈依赖于生长温度。Xu 等研究发现 N 极性有利于 InN 稳定的生长，他们在 N 极性的 GaN 上成功地获得生长速率为 1.3 μm/h 的单晶 InN。

4.3.3 其他生长技术

MOMBE 综合了 MOCVD 和 MBE 两者的优点，是生长高质量 InN 薄膜的首选技术。现今利用该技术得到的 InN 薄膜，最好电学性质报道为载流子浓度为 $8.8\times10^{18}/\mathrm{cm}^3$、室温迁移率达 500 $\mathrm{cm}^2/\mathrm{V\cdot s}$。溅射技术在 InN 早期的研究中充当主要的角色。但是溅射得到的 InN 薄膜晶体质量很差，背景载流子浓度很高。Tansley 和 Foley 于 1984 年报道，得到了室温迁移率为 2 700 $\mathrm{cm}^2/\mathrm{V\cdot s}$，其本底载流子浓度为 $5\times10^{16}/\mathrm{cm}^3$ 的 InN 薄膜，现在在同样的设备上已不能重复。HVPE 技术由于其高的生长速率也有研究者应用于 InN 的生长，Marasina 和 Igarashi 等是这方面的前驱。

生长 InN 材料的其他方法还包括：反应热蒸发、电子束等离子体技术、热溶剂法等。

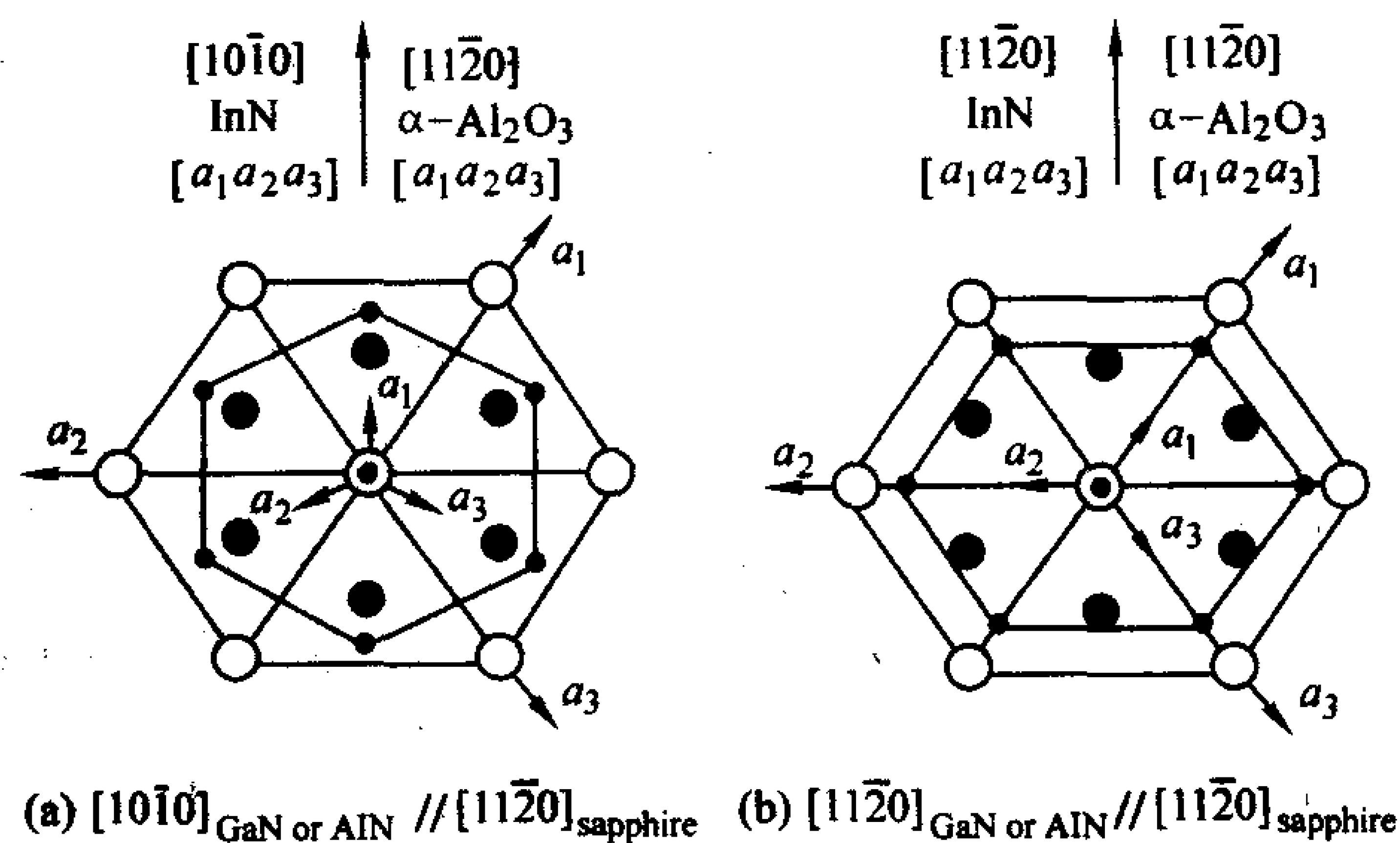
4.4 InN 的衬底和缓冲层

4.4.1 衬底

（1）蓝宝石

蓝宝石是 InN 外延最广泛使用的衬底。InN 与蓝宝石的晶格失配达到了 25%。这么大的晶格失配和热失配给 InN 外延薄膜带来了非常高的晶格缺陷密度。研究者发现，对蓝宝石衬底的预处理，包括氮化宝石衬底，生长缓冲层，中间层等，可以大幅提高 InN 薄膜的晶体质量。研究者认为，通过氮化宝石衬底表面提高 InN 薄膜质量是由于形成了 AlN 层，AlN 和 InN 的晶体结构同为纤锌矿结构，而 InN 与 AlN 的晶格失配为 13%。

在蓝宝石衬底上外延的 InN 薄膜一般为六角纤锌矿结构，亦有少数报道为立方闪锌矿结构。Chen 等报道了生长温度在 375℃与 450℃之间观察到六角相和立方相同时存在。生长在蓝宝石衬底上的 InN 在 a 轴方向上的外延关系现在结论还不一。当 InN 生长在氮化的宝石表面或 GaN、AlN 缓冲层上，其外延关系为 $[10\bar{1}0]_{\mathrm{InN}}$ // $[10\bar{1}0]_{\mathrm{AlN}}$ // $[11\bar{2}0]_{\mathrm{sapphire}}$，这表明 InN 和 AlN 晶格绕 c 轴相对于蓝宝石衬底晶格旋转了 30°。这是由于沿 $[10\bar{1}0]_{\mathrm{GaN\ or\ AlN}}$ // $[11\bar{2}0]_{\mathrm{sapphire}}$ 外延方向的晶格失配小于沿 $[11\bar{2}0]_{\mathrm{GaN\ or\ AlN}}$ // $[11\bar{2}0]_{\mathrm{sapphire}}$ 方向的失配。显而易见，GaN 和 AlN 更容易在沿 $[10\bar{1}0]_{\mathrm{GaN\ or\ AlN}}$ // $[11\bar{2}0]_{\mathrm{sapphire}}$ 方向生长，从而导致 InN 也在此方向生长。但是，InN 是直接生长在蓝宝石衬底上时，由于这两个方向的失配相当，所以两个方向的外延生长都可能出现。图 6.2-66 为 InN 在蓝宝石衬底沿两个外延方向生长的原子排列示意图。



(a) $[10\bar{1}0]_{\mathrm{GaN\ or\ AlN}}$ // $[11\bar{2}0]_{\mathrm{sapphire}}$ (b) $[11\bar{2}0]_{\mathrm{GaN\ or\ AlN}}$ // $[11\bar{2}0]_{\mathrm{sapphire}}$

图 6.2-66 生长于蓝宝石上的 InN 薄膜原子及其原子排列图

（2）硅

Si 是适合于 InN 外延生长的衬底，与蓝宝石衬底比较，

InN (0001) /Si (111) 的晶格失配仅为8%。因此，在早期InN的研究中，Si衬底是非常常见的外延衬底，但遗憾的是InN薄膜质量很差。Yamamoto于1994年首次尝试在Si衬底上外延InN。利用MOCVD技术在Si衬底上外延InN不成功，导致的原因是在生长过程中衬底表面形成了 SiN_x 非晶层。后期，有人采用了GaAs中间层来隔离非晶 SiN_x 和InN薄膜，在Si衬底成功地生长出了InN。最近，Yodo利用MBE，宣称在Si (111) 和Si (001) 衬底上成功地生长出了InN薄膜，并观察到很强的带边发光。

(3) GaAs和GaP

InN和GaAs的晶格失配为11.5%，比蓝宝石小。1989年，Sato报道了利用蒸发技术得到了GaAs上的InN薄膜。1993年，Abernathy等研究了利用MBE技术生长的多晶InN薄膜。Guo等人于1995年报道合成生长出了单晶InN，他们采用微波辅助MOCVD技术，先用N等离子体对GaAs表面进行处理，随后进行外延生长，得到InN单晶薄膜。1995年至1999年，Yamamoto研究组利用MOCVD技术在这一方面进行了一系列的工作，发现了GaAs衬底的氮化过程对InN生长的影响起关键作用，成功地制备了生长于GaAs (111) B衬底上的单晶InN。

从晶格失配和热失配观点来看，GaP是适合高质量InN薄膜外延生长的，GaP (111) 和六角InN的晶格失配仅为8%。因此，在InN外延生长上GaP被给予更多的重视和希望，一些出色的工作也相继报道。Guo等人同样研究了在GaP (111) 衬底上生长单晶InN。Bhuiyan利用MOCVD技术直接在GaP (111) B衬底上生长出InN薄膜。最近，他们报道了通过两步生长法在GaP (111) 生长出了高质量的InN薄膜。

(4) GaN和AlN

H.Lu小组用MBE技术制备的室温迁移率为2 050 $cm^2/V\cdot s$、载流子浓度为 $3.49\times10^{17}/cm^3$ 的InN薄膜是在HVPE生长的GaN体材料上外延的；他们同时报道了AlN作为缓冲层可以提高InN的晶体质量和电学性质。另一方面，MOCVD生长的迁移率最高的InN薄膜是Yamaguchi报道的，他们采用了GaN做衬底。Xu等人研究了GaN极性对InN生长的影响，他认为N极性的GaN有利于InN的生长，并得到了霍尔迁移率达800 $cm^2/V\cdot s$、载流子浓度为 $2.1\times10^{19}/cm^3$。研究表明，尽管InN与GaN晶格失配达到10%，但是InN能够在GaN上实现二维生长，同时GaN的极性对InN的生长和金属In的分凝具有重要影响。

4.4.2 缓冲层

缓冲层技术两步生长现在已经成为异质外延薄膜的标准方法。这一方法有利于减轻衬底与外延层的晶格热失配。一般来讲，第一步用于生长低温缓冲层，第二步进行高温外延薄膜生长。缓冲层提供了高密度的成核位为高温横向外延提供条件。由于晶格失配，低温缓冲层生长受自由能驱使表现为三维柱状生长，升温退火对缓冲层晶化过程和随后的外延起着至关重要的作用。这一点在研究GaN生长过程中得到证实，但是InN的生长过程研究很少。利用MBE技术研究InN生长取得了可喜的成绩。Mamutin小组和Saito小组都发现，通过两步法生长低温InN缓冲层，再升至高温生长InN层，可以大幅提高InN的质量。Saito小组还采用缓冲层结合中间层，使InN的迁移率达到830 $cm^2/V\cdot s$，载流子浓度 $1\times10^{19}/cm^3$。Lu等人通过优化AlN缓冲层的厚度，提高了MBE生长的InN迁移率、降低了载流子浓度。最近，Higashiwaki报道了采用LT-GaN和LT-InN双缓冲层技术优于LT-InN单缓冲层技术，采用单-LT-InN缓冲层技术的迁移率为545 $cm^2/V\cdot s$，而采用双缓冲层技术迁移率高达1 420 $cm^2/V\cdot s$。

利用MOCVD技术采用LT-InN缓冲层技术生长InN薄膜的报道较少。Pan等人研究InN薄膜MOCVD生长发现，标准两步法并不有效，原因就在于InN热稳定性差。Guo等人报道，单晶InN在550℃氮气气氛下，由于InN的分解和N的脱附，表面会发生改变。因此，必须采用新的生长工艺来缓解高温下的N脱附，才能保证高质量InN薄膜的生长。

4.5 InN的晶体结构和化学性质

4.5.1 晶体结构

Juza和Hahn首次报道单晶InN为六角纤锌矿结构，晶格常数 $a=0.353$ nm，$c=0.569$ nm。Tansley和Foley磁控溅射制备的InN薄膜晶格常数 $a=0.354\ 8$ nm，$c=0.576\ 0$ nm。最近Davydov小组报道的单晶h-InN薄膜 $a=0.353\ 65$ nm，$c=0.570\ 39$ nm。除Tansley和Foley报道的结果外，其余报道都很接近，a 在0.350 1～0.353 6 nm之间，c 在0.569～0.570 5 nm之间，这些晶格常数的变化与材料的质量有关。Strite等通过XRD分析得到立方闪锌矿InN的晶格常数 $a=0.498$ nm，与理论计算值很接近。

4.5.2 缺陷

Lee等人研究了采用磁控溅射技术在蓝宝石衬底上外延InN薄膜的应变。他们认为当薄膜厚于170 mm时，外延层将处于全应变状态；当薄膜厚于17 nm时，外延层厚于45 nm时，应力将完全弛豫。Yamaguchi认为，MOCVD生长InN薄膜由于具有较好晶体质量，只有当厚度大于120 nm时，残余的应力才被完全弛豫。Look小组用TEM测量了MBE生长的InN/AlN/sapphire薄膜中的位错，发现了大约为 $3\times10^{10}/cm^2$ 的刃位错，$2\times10^{10}/cm^2$ 的螺位错以及混合位错，而InN材料中的位错密度是AlN缓冲层中的4倍，这是由于 AlN/Al_2O_3 的晶格失配小于InN/AlN的晶格失配。同时不连续的界面也会产生位错。立方相衬底上外延InN的情况下，由于界面同时存在立方相和六角相，位错密度会相当高，同时两种晶畴的存在，还会观察到畴间的层错。

4.5.3 极性

Ⅲ族氮化物生长具有极性，即Ⅲ族原子或N族原子都有可能成为第一层原子，Ⅲ族原子作为终止面为 (0001) (+c) 或 (111) A极性，N原子作为终止面为 (000-1) (-c) 或 (111) B极性。研究表明，不同的极性会导致不同的生长过程和表面形貌，同时极性还会影响材料的电学和光学性质。GaN极性的研究较为深入，结果表明，极性是影响GaN材料质量的一个重要因素。一般认为，N极性的GaN表面粗糙，包括金字塔状晶粒，而Ga极性可以得到原子级台阶的表面。衬底表面、衬底的预处理（氮化）、缓冲层和生长条件（V/Ⅲ比）是决定Ⅲ族氮化物极性的主要因素。Saito等利用离子散射谱研究了InN单晶的极性，结果表明，用rf-MBE设备在蓝宝石衬底上生长的InN材料的极性对生长温度非常敏感。低温生长得到的InN材料主要是N极性的，而高温生长的InN材料得到的主要是In极性的。如果采用两部生长法生长InN材料，则得到的InN材料具有In极性和N极性的混合极性。Xu等用同样方法研究了InN材料的极性，他们发现，在氮化的蓝宝石衬底上或具有N极性的GaN模板上生长得到的InN薄膜材料具有N极性。

4.5.4 化学性质和腐蚀

研究表明，InN材料在高于500℃的温度下会快速分解。Trainor和Rose在 N_2 气氛和500℃温度条件下对热蒸发法生长的InN材料进行了热处理研究；结果发现，所有样品在几分钟内都分解了，样品上都只剩下In。如果样品在原子N环境下热处理，InN材料样品就不会被分解。Guo等在研究InN材料的热稳定性时发现，当InN材料在高于550℃的温度热处理时，样品表面就会发生变化，这变化是由于样品中N的分解和解析。

In具有强烈的化学吸附原子氧的特点。与 In_2O_3 相比，

InN具有比较低的形成能，他们分别为924.7 kJ (221 kcal/mol)和142.3 J (34 kcal) /mol。InN材料的氧化和这有很大的关系。Foley和Lyngdal研究了InN材料的表面氧化过程，InN材料的面氧化和材料经历的处理方法有关。首先是O和N的结合形成In-NO复合体，经过溅射腐蚀或研磨清洗，In-NO复合体会被进一步氧化就会得到In-NO_2复合体。最后的氧化状态和样品的准备相关。Westra等对反应溅射法生长InN材料的氧杂质沾污影响的研究，发现用磁控溅射法生长的InN材料中尽管这些氧杂质沾污在晶体结构中没有显示In_2O_3或In-NO，但样品中氧杂质含量至少在11%。他们分析认为，氧在InN材料中形成无定型的In-NO复合体。这些氧或In-NO复合体中心会形成散射中心，从而导致材料迁移率降低，作为杂质源增加了本底的电子浓度。

随着材料研究的发展，InN器件工艺的研究也被提上议事日程。已经有许多研究工作者对InN材料的湿法和干法腐蚀进行了研究。由于Ⅲ族氮化物化学性质稳定，湿法腐蚀对他们比较困难；干法腐蚀的速率较慢，同时还会引起损伤。Guo等对InN材料进行湿法腐蚀研究表明，酸对InN材料不起腐蚀作用。碱性腐蚀剂如KOH，NaOH等可以控制腐蚀的速率，并可以得到光亮的腐蚀表面。Mileham等发现，几乎所有的酸对InN材料都不起反应，而KOH基的溶液会在GaAs衬底上生长的InN材料界面间起剥离作用。Pearton等的实验结果是，在室温下王水（$HCl/HNO_3=1:1$）对InN材料具有缓慢的腐蚀速率，速率为1.9 nm/min。最近，Ohkubo和Takai用磷酸的水溶液和乙烯乙二醇对InN材料进行了湿法腐蚀研究。实验表明，腐蚀速率随溶液浓度的增加而增加，对InN材料的腐蚀速率最高可以达到几十纳米每分钟。对InN材料的干法腐蚀也有许多文献报道。

4.6 InN的电学性质

4.6.1 本底缺陷

生长InN的薄膜总是表现n型，并且背景载流子浓度非常高，而p型InN几乎没有报道。产生高背景载流子浓度的原因，研究者在理论上和实验中都给出了一些解释，主要是由于晶体缺陷，如N空位、N反位，或者非故意的掺杂，如O_N、Si_{In}和H间隙位。一般认为是，N空位是InN产生高背景载流子浓度的原因。但Foley和Tansley提出了不同的观点，他们认为主要是晶体反位缺陷N_{In}导致的。Jenkins认为除了N空位，还存在O替代N位，对背景载流子浓度产生了贡献。有观点认为，N空位不仅捐献一个自由电子，而是捐献三个自由电子贡献给导带。随后Foley和Tansley也认为是由于N空位而不是N_{In}所致。从离子作用半径来看，In离子半径相对于Al和Ga都大，很难占据N原子位并形成反位缺陷。由于N空位失掉了5个电子，在其周围的4个In原子必须各捐献出1个价电子形成轨道价，而另2个电子则进入导带，这就是N空位在InN材料中表现为施主的原因。现阶段，有许多实验上的证据证明这一假设，例如MOCVD生长的InN薄膜，提高V/Ⅲ比，可以降低背景载流子浓度，增高霍尔迁移率，同样采用其他增强NH_3分解的技术也可以达到这一效果。在理论研究方面，Stampfl却持有不同的观点，通过第一原理计算，他认为既不是N空位也不是反位NIn所致InN材料具有高的背景载流子浓度，而是氧或硅杂质起主要的作用，因为这些杂质在生长过程很容易进入InN材料中。最近，Look等人认为氢才是引起InN总是n型的主要原因。尽管这一点在理论上和实验上的结论都还没有统一，但主要有两种观点：第一，材料本身的缺陷引起，如氮空位；第二，杂质引起，主要是氧。

4.6.2 非故意杂质InN材料的载流子浓度和霍尔迁移率

InN的生长技术主要有MBE、MOCVD、HVPE、溅射，其他还包括热蒸发和激光脉冲淀积。在20世纪80年代，研究者主要利用溅射制备InN薄膜，薄膜质量不高，一般为多晶，报道的背景载流子浓度在$10^{18}\sim10^{21}/cm^3$之间，霍尔迁移率从50~250 $cm^2/V\cdot s$不等。但是Tansley和Foley报道的结果尤其引人注目。他们制备得到了室温迁移率为2 700 $cm^2/V\cdot s$，背景载流子浓度为$5\times10^{17}/cm^3$的InN薄膜，并且在150 K霍尔迁移率为5 000 $cm^2/V\cdot s$，背景载流子浓度为$3\times10^{17}/cm^3$，这是InN薄膜有关电学性质至今得到的最佳结果。遗憾的是，具有这样优良电学性质的InN仍为多晶薄膜，同时这一结果也不能在其他实验室重复。

1997年，Sato小组基于MOCVD开发了等离子体辅助技术，并运用于InN薄膜生长，在蓝宝石衬底上制备得到了载流子浓度为$4\times10^{19}/cm^3$上的InN薄膜。另一方面，Yamamoto小组在InN薄膜上取得了巨大的进展。他们利用通用MOCVD技术，在蓝宝石衬底上外延得到室温迁移率为300 $cm^2/V\cdot s$，背景载流子浓度为$5\times10^{19}/cm^3$的InN薄膜。随后，该小组通过优化生长条件，包括生长温度、压力、V/Ⅲ比、气流速度等，成功制备了迁移率为730 $cm^2/V\cdot s$，载流子浓度在$10^{18}/cm^3$的InN薄膜。这曾是MOCVD生长的InN薄膜最好结果，直到最近中国台湾成功大学利用MOCVD技术得到了霍尔迁移率高达1 200 $cm^2/V\cdot s$的高质量InN材料。在MBE制备InN方面取得了更为突出的成绩，Lu小组首先得到了室温迁移率为542 $cm^2/V\cdot s$，背景载流子浓度为$3\times10^{18}/cm^3$的InN薄膜。同时他们发现，随外延薄膜厚度的增加，迁移率会急速增长，这一点同样也在MOCVD制备的InN薄膜中观察到。最近，Lu小组InN工作取得了巨大的突破。他们在HVPE外延的GaN体材料上生长InN薄膜，室温迁移率为2 050 $cm^2/V\cdot s$，载流子浓度在$10^{17}/cm^3$量级。MBE制备的InN与MOCVD比较，电学性质更为优良，原因主要有活性N可以通过等离子体技术获得，与生长温度无关；MBE在超高真空环境下进行，避免杂质的引入。图6.2-67是A.Yamamoto等最新研究得到的MOCVD生长的InN薄膜中载流子浓度，霍耳迁移率与生长温度的关系。

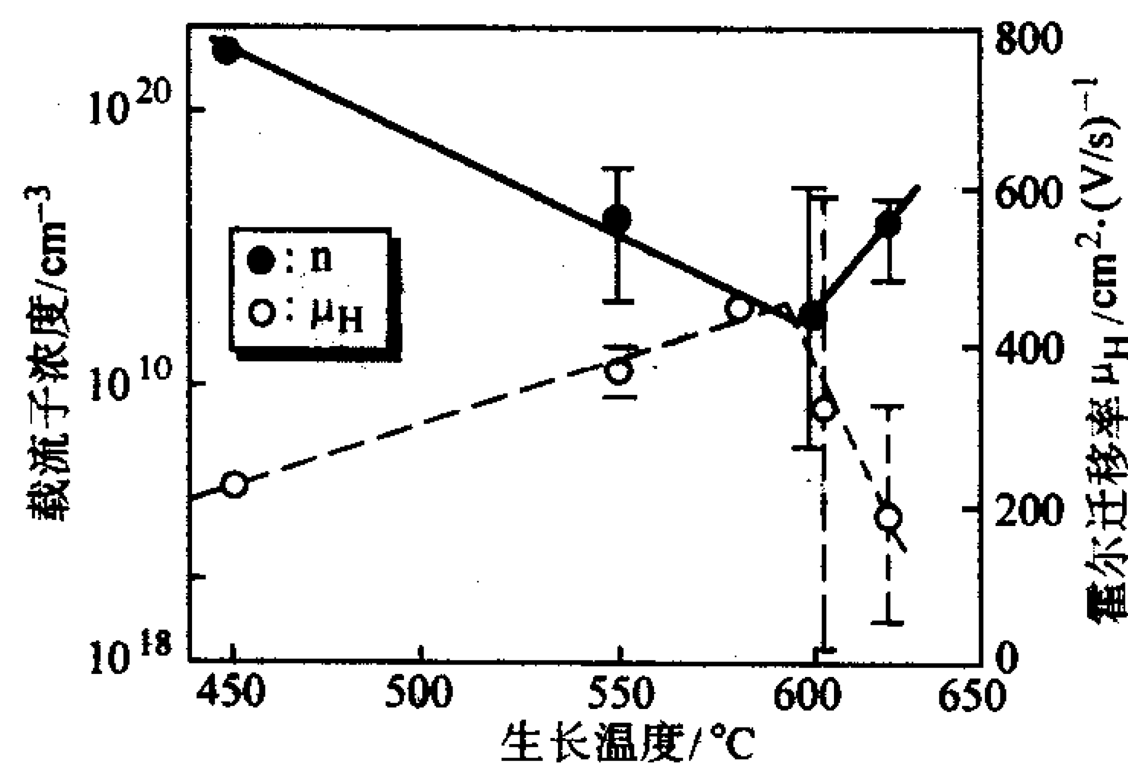


图6.2-67 MOCVD生长的InN薄膜中载流子浓度，霍耳迁移率与生长温度的关系

4.6.3 InN材料掺杂

由于非故意掺杂的InN材料背景载流子浓度非常高，因此InN的掺杂问题现在还没有引起研究者的关注。Jenkins和Dow从理论上研究了InN的n型、p型掺杂。如果，InN总表现为n型是由于N空位造成的，那么p型InN必须消除这些N空位，否则只能用大量的p型受主来补偿它们。相反，In空位可能使InN表现p型。对于n型掺杂，用O以及其他VI族元素占据N空位是很好的选择，而VI族元素占据In位则不适合。Mamutin小组和Lu小组都尝试了InN的Mg掺杂，但都未取得成功。Mg掺杂可以大幅补偿本底载流子，但还不足以完全补偿这么高的本底。同时，随Mg掺杂浓度的提高（$>10^{21}/cm^3$），InN薄膜的晶体质量下降和表面形貌恶化，

带来更多的缺陷，相反提高了电子浓度，这就是自补偿效应。

4.7　InN 的光学性质

4.7.1　光学带边

作为 InN 材料最重要的物理性质——光学带边，最近成为了研究和争论的焦点。尽管 InN 被认为是直接带隙半导体，带隙能量为 1.89 eV，但是一直未观察到 InN 的荧光（PL）谱，InN 光学带边大多是靠光学透射谱和吸收谱确定的。Osamura 等人利用电子束等离子体技术制备了全组分的 InGaN 合金，并通过光学吸收谱测量确定，室温下 InN 的带隙为1.95 eV，而在 77 K 为 2.11 eV。与此同时，其他一些研究小组又相继报道了 InN 的带隙能量在 2 eV 左右。随后，Tansley 和 Foley 利用溅射技术，制备了高质量的 InN 薄膜，同样将 InN 的光学带边确定为 1.89 eV。从此，1.89 eV 这一结论就被广泛的接受下来。

2001 年，Inushima 首先认为 MBE 生长 InN 薄膜光学带边应该在荧光谱 1.1 eV 左右。2002 年，Davydov 研究小组发表了 MBE 生长的 InN 薄膜有关 PL 谱，PLE 谱和第一原理计算的结果，他们明确指出 InN 的带隙能量为 0.9 eV。他们进一步研究了采用不同的外延技术制备 InN 薄膜，最终确定 InN 的带隙能量大约为 0.7 eV。这一结论也得到富 In 的 InGaN 合金光学性质研究的支持。同时，Wu 等人在 MBE 制备 InN 薄膜方面的工作亦与其相印证。Matsuoka 也利用 MOCVD 制备了 InN 薄膜，并在室温下观察到很强的 PL 发光，峰位在 0.76 eV。

2 eV 或 0.7 eV，哪个才是 InN 的真实光学带边。从宽能隙角度来看，0.7 eV 对应的发射带边可能是源于深能级。而从窄带隙观点出发，造成 InN 带隙宽化的原因可能有：其一，形成了 InN-O 合金；其二，由于早期制备的 InN 薄膜质量差，多为多晶薄膜，背景载流子浓度很高，使 InN 能带简并。Moltan 认为，O 元素的作用是使 InN 带隙宽化的一个重要原因，因为多晶的 InN 薄膜在其晶粒边界处吸附着高密度的 O 原子。Davydov 也报道了带隙在 1.8～2.1 eV的 InN 薄膜通过元素含量分析存在高达 20% 的 O，而对应0.7 eV的 InN 薄膜 O 元素含量却低得多。至今，InN 的 PL 发光机理还不是很清楚，红外发光源于深能级发射的可能性还不能完全排除。因此，现在迫切需要的是制备高质量的单晶 InN 薄膜，再着手对 InN 材料本征性质的研究。同样，早期关于 InN 带隙为 1.9 eV 的结论也需要重新验证。

4.7.2　光学带边的变化

一般来讲，大多数半导体材料的光学带边能量随着温度的升高而减少。由于现研究阶段，InN 材料报道了两个不同的带隙能量，因此带隙随温度变化趋势的研究也分为两类。Guo 和 Yoshida 详细研究了 InN 材料带隙随温度的变化情况，值得指出的是，他们测量的室温下 InN 的带隙能量为 1.97 eV。测量数据表明，InN 从室温低至 150 K 时，带隙能量随温度线性变化，在这一温度区间温度常数（dEg/dT）为 -1.84×10^{-4} eV/K。但当温度低于 150 K，带隙能量将不随温度线性变化。而对于 InN 室温带隙为 0.7 eV 的情况，关于带隙能量随温度变化的研究却较少。Wu 小组研究了 MBE 生长的窄带隙 InN 材料随温度光学带边的变化。他们发现了对直接带隙半导体材料来讲反常的斯塔克效应，即随着温度的升高，光学带边向高能量端移动，并且这种移动远小于由于高载流子浓度引起的 Burstein-Moss 效应产生的移动。他们进一步指出，由于室温下 InN 的 PL 谱峰值强度小于低温 11 K 下的 20 倍，而且峰的展宽很大，从 11 K 下 35 meV 到室温下 70 meV，因此这种峰的展宽能够掩盖掉峰位移动这一重要信息。Davydov 小组没有详细的研究 InN 带隙能量随温度的变化情况，但是从其 77 K 和室温 300 K 的 PL 谱来看，峰位向低能量端移动了 23 meV，间接指出没有观察到这种反常的斯塔克效应。

InN 作为一种简并的半导体材料，带边将随着载流子浓度升高向高能量方向移动。首先，由 Trainor 和 Rose 两人发现了 InN 材料的带边能量会随载流子浓度变化这一现象。随后，Tansley 和 Foley 对溅射技术制备的高质量 InN 薄膜带边能量随载流子浓度的变化进行了系统的研究，得出其依赖关系：

$$Eg = 1.89 + 2.1\times10^{-8}n^{1/3}(\mathrm{eV}) \qquad (6.2\text{-}18)$$

其中，Eg 为 InN 带隙能量（eV），n 为载流子浓度（cm^{-3}），公式适用于载流子浓度范围从 1×10^{16} 至 $5\times20/\mathrm{cm}^3$。Davydov 小组同样研究了 InN 材料带边能量随载流子浓度的变化情况，不同的是他们的 InN 材料通过 PL 测量验证为窄带隙。他们的结论为：

$$Eg = 0.65 + 0.0166\ (m_0/m^*)\ (n\times10^{-19})^{2/3}\ (\mathrm{eV}) \qquad (6.2\text{-}19)$$

4.7.3　拉曼散射和红外吸收

表 6.2-11　六角相 InN 拉曼散射数据

E_2 (low)	B_1 (low)	LOPC (low)	E_1 (TO)	A_1 (TO)	E_2 (high)	B_1 (high)	E_1 (lo)	A_1 (Lo)
实验								
					495			596
					491			590
			475	446	488			574
					491			590
87	200		476	480	488	540	570	580
87		450	476	447	488		593	586
87			476	447	488		593	586
82					488			588
88				440	490			590
87		441			491			588
		440			488			587
88		450			490			590
88		440			489			589
88					491			589
理论								
104	270		472	440	483	530		
93	202		470	443	492	568	605	589

拉曼散射和红外吸收作为Ⅲ族氮化物半导体材料的重要研究手段，能够得到材料关于晶体结构、应变、自由载流子浓度、晶体质量等多方面的重要信息。InN 的稳定结构为六角纤锌矿，空间点群属于 C_{6v}^4，理论分析 InN 零级光学振动模式为 $A_1+2B_1+E_1+2E_2$。其中，A_1 和 E_1 同时具有拉曼和红外活性，而两个 E_2 模式只具有拉曼活性，B_1 模式则被禁止。A_1 和 E_1 具有极性，晶体中静电场将其分裂成横波（LO）和纵波（TO），因此又存在 A_1（LO，TO）和 E_1（LO，TO）四种模式。早在 1975 年，Osamura 就对多晶 InN 薄膜进行了红外反射测量，他们报道了纵波光学支的声子频率为 478/cm^1，而横波光学支的频率是 694/cm^1。Kown 同样观察到

MOCVD 制备 InN 薄膜的两个声子模式：A_1（LO）和 E_2。Chen 等并认为，这两种振动模式峰的半峰宽反映了 InN 材料的晶体质量。有许多小组都详细研究了六角 InN 的拉曼散射，其结果列于表 6.2-11，由于材料的质量有差异，因此模式的峰位置报道也不尽相同。同时，Dyck 和 Kaczmarczyk 理论计算的结果也列于表 6.2-11 以进行比较。Inushima 等利用紫外辅助 ALE 技术制备了单晶 InN 薄膜，通过拉曼测量确定了 InN 薄膜的所有振动模式，包括 B_1 模式。Davydov 小组同样也详细研究了 InN 的拉曼振动模式，但其五个振动模式都是源于生长在宝石（11－20）面上的 InN 薄膜。同时，亦有小组研究了 Mg 掺杂的 InN 薄膜拉曼散射和红外反射情况。他们发现，随着载流子浓度的降低，低频耦合等离子横波模式对应的拉曼峰位向低频移动，并认为是横波声子和自由激子互作用的结果，红外反射谱同样证实了这一观点。Kurimoto 小组最近发现，由拉曼散射谱 E_2 模式可以反映 InN 薄膜的晶体质量，他认为 E_2 模式对 InN 薄膜 c 面上的应变非常敏感，它可以系统的反映生长过程中 InN 薄膜与宝石由于线胀系数不同而产生的热失配情况。高频 E_2 模式频率（cm^{-1}）和应变（ϵ,%）的关系式为 $\nu = 50\epsilon + 481.5$。Mamutin 等人通过改变拉曼散射激光的激发功率来研究拉曼散射现象随 InN 薄膜深度的变化，当激发功率较低时，发现一些多余的散射带，他们认为这是 InN 薄膜接近表面处高缺陷密度诱导引起的。

关于立方相 InN 薄膜的拉曼研究较少。立方相 InN 空间点群属于 T_d^2，理论分析立方相 InN 只有一个拉曼活性 F_2，并被晶体场劈裂为 TO 和 LO 两种模式。现今，关于立方相 InN 声子振动模式频率位置的报道较少。Tabata 等通过对 PA-MBE 制备立方相 InN 薄膜的拉曼研究确定了这两种振动模式的频率分别为：TO 在 457/cm^1，LO 在 588/cm^1，并与他们的理论计算值很接近。

4.8 InN 基器件的研究进展

InN 材料研究的深入，InN 薄膜的晶体质量已经接近器件应用的要求。InN 材料由于其优良的电学性质，十分适合制作高性能的高电子迁移器件（HEMT）。利用 InN 材料作为沟道的 HEMT 结构需要宽带隙的材料作为垒层来局域电子，形成二维电子气。充当垒层的候选材料有 GaN、AlN 或合金包括 InGaN、InAlN。由于 InN 的晶格常数与 GaN、AlN 比较相差很大，因此会诱导很强的压电极化场，这一点有利于二维电子气的形成。应变的合金 InGaN 或 InAlN 同样是很好的选择。在相同 In 组分下，InAlN 合金能够提供的势垒更高，以提高器件的反相击穿电压，同时 InAlN 层可以更高的局域沟道中高密度的电子。导带能量不连续性差异愈大，愈能够更好的局域电子，得到更高的二维电子气密度。因此，为实现 InN 基 HEMT 结构，寻求优良的势垒层材料尤为重要。

Kubota 等人首次利用磁控溅射技术制备了 InN/GaN 多层结构。但由于 InN 和 GaN 层外延温度差异很大，InN/GaN 界面互扩散严重，很难观察导沟道中电子聚集现象。随后，研究者尝试在 GaN 外延工艺上兼容 InN 生长。InN 和 GaN 薄层在 600℃下切换反应气，得到表面平整的 3 nm GaN/（0.5～2）nm InN/2 um SI GaN 双异质结构。由于生长厚 GaN 层上的 InN 已经部分驰豫，因此在界面存在高缺陷密度，其二，GaN 的覆盖层和 InN 层互扩散严重。Hall 测量表明该结构具有很高的二维电子密度。当 InN 层厚度为 0.5 nm 时，二维电子密度为 $2.6\times10^{-13}/cm^3$，厚度为 10 nm 时，密度为 $3.3\times10^{-13}/cm^3$。但是其相应的电子迁移率并不高，分别为 180 $cm^2/V\cdot s$ 和 220 $cm^2/V\cdot s$。这是因为如此高密度的电子聚集在 InN 薄层沟道中，势垒层无法限制使电子溢出到 GaN 层中，该电子迁移率反映的是 GaN 中电子迁移的情况。由此说明，要实现 InN 基二维电子气结构，首要是解决 InN 及垒层材料外延过程中应变和互扩散造成的界面简并，其次是降低 InN 沟道层中二维电子的密度。

Schaff 等人在 InN 材料 MBE 生长方面出色的工作，已经将 InN 的背景载流子浓度降低到 $10^{18}/cm^3$ 以下，并发现了 InN 材料中二维电子气积累的初步证据。他们尝试生长 In 组分高达 90% 的 InAlN/InN 异质结构，尽管由于生长过程中 In 的表面分凝，X 射线衍射表明的实际组分并没有这么高。作为 InAlN 的替代者，他们直接采用 AlN 作为垒层。如图 6.2-68 所示 AlN 层完全驰豫，去除了压电极化的影响，自发极化会诱导电子在 InN/AlN 界面层聚集形成二维电子气。同时该小组还发现了 InN 基场效应管结构中微弱的漏电流现象。这些研究结果给 InN 基异质结构和器件的实现带来了曙光，但是进一步提高 InN 材料的质量，优化 InN 及垒层材料生长技术仍面临相当的挑战。

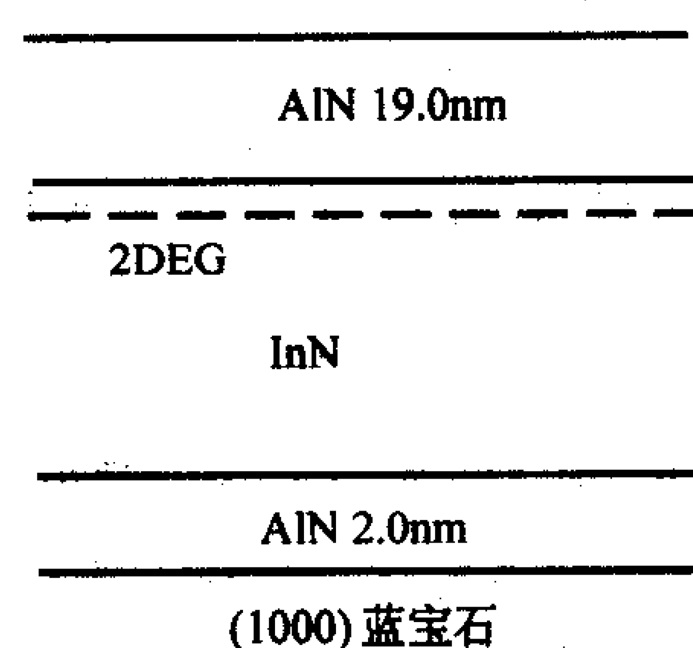


图 6.2-68 AlN/InN 异质结构

现在，报道的 InN 带隙能量是 0.7 eV，其波长将覆盖光纤通讯领域。因此，InN 及其 InGaN 合金的另一个重要应用就是制备适合于通讯领域的激光器和光电二极管，但是难题在于 p 型 InN 的制备。因此，这一领域的前景和挑战都是诱人的。

4.9 总结

最初的 InN 材料是通过含金属 In 的化合物与 NH_3 反应或通过含金属 In 与 N 的化合物热分解反应得到 InN 粉末或小的晶粒，到 1970 年和 1980 年，普遍采用溅射法作为生长 InN 材料的手段。用溅射法生长 InN 材料可以得到单晶的 InN 材料，但材料质量非常差。在 MBE 和 MOCVD 技术用于生长 InN 材料前几乎没有更高质量的 InN 材料被生长出来。

用 MBE 和 MOCVD 技术生长 InN 材料的最主要的难点就是 InN 材料具有低的分解温度，而 N 的平衡蒸汽压较高，以及没有合适的衬底材料。因为 InN 材料具有低的分解温度，因此生长 InN 材料需要在低温下生长，但低温下 N_2 离解很困难。但为获得高质量的 InN 材料又必须在高温下生长。为克服这对矛盾许多科学工作者做了大量的努力。并且比较成功的获得了较好结果。同时，对衬底材料的研究也有很多。目前，用于 InN 材料生长使用最普遍的衬底材料是蓝宝石。

在 1999 年之前，InN 材料的电学参数一直不理想。低于 $10^{20}/cm^3$ 电子浓度的材料基本没有。电子迁移率都低于 300 $cm^2/V\cdot s$。1999 年，Meijo 大学的研究小组获得了迁移率达 700 $cm^2/V\cdot s$ 的 InN 材料，但材料的本征浓度依然较高。2000 年，Cornell 大学的研究小组用 MBE 技术获得了本征浓度低于 $10^{18}/cm^3$ 的 InN 材料。目前，由于生长技术改进和设备技术的进步，用 MOCVD 和 MBE 法生长获得的 InN 材料质量有显著的提高。前者生长的 InN 材料的电子浓度和电子迁

移率可以分别达到 $5.8\times10^{18}/cm^3$ 和 1 200 $cm^2/V\cdot s$。而用 MBE 法生长获得的 InN 材料的电子浓度和电子迁移率可以分别达到 $3.49\times10^{17}/cm^3$ 和 2 050 $cm^2/V\cdot s$。用 MBE 技术生长 InN 材料的质量明显比用 MOCVD 技术生长的 InN 材料要好。

在 2001 年之前，没有报道 InN 材料有 PL 发光现象。绝大多数 InN 材料带隙为1.9 eV都是由光吸收法测得。最近，由于材料质量提高，人们发现 InN 材料的带隙远远低于 1.9 eV。现在，报道的 InN 材料的带隙在 0.65～0.9 eV 之间。质量差的 InN 材料带隙大是因为氧等杂质造成的。也有人仍然认为 InN 材料的带隙是 1.89 eV，最近发现 InN 材料的窄带隙是因为缺陷能级的发射造成的。但大多数研究者都相信 InN 材料的带隙是是 0.7 eV。

对于 InN 基异质结构和器件的研究还在起步阶段。但 InN 材料研究的进展表明，InN 材料的质量已经在朝制作器件应用方向迈进。

InN 材料在Ⅲ族材料系统中是研究最少的一种，至今相关的一些性质需要进一步的证实。值得欣喜的是，近年来，InN 由于其优良的电学性能，以及至今让人们争议的光学带边问题，促使研究者进行系统的研究，许多出色的工作也相继报道。InN 基器件的研究正处在初始阶段，如果 InN 及其合金 InGaN、InAlN 材料的质量能够进一步提高，我们相信基于 InN 材料的 HEMT 电子器件，适用于通讯领域的光子器件，太阳能电池器件有着光明的未来。

5 Ⅲ族氮化物半导体材料的杂质与缺陷

未掺杂的 GaN 等Ⅲ族氮化物材料一般总是呈 n 型导电。早期研制的 GaN 等Ⅲ族氮化物样品材料晶体质量较差，材料在室温下导带电子的浓度约为 $10^{18}\sim10^{20}/cm^3$。随着材料生长设备和生长技术的进步和发展，用分子束外延（MBE）或金属有机物气相外延（MOCVD）方法可以生长得到晶体质量较好的外延材料，未掺杂材料的室温下导带电子浓度可以降到 $10^{16}\sim10^{17}/cm^3$ 量级。这些值都比探测到的 GaN 等Ⅲ族氮化物材料中杂质浓度高得多。这说明 GaN 等Ⅲ族氮化物材料本征 n 型导电特性是由材料中的本征缺陷导致的。一般认为，在生长材料的高温过程中产生的大量氮空位 V_N 等本征缺陷，使得未掺杂的 GaN 等Ⅲ族氮化物材料呈现 n 型导电特性。

尽管很早人们就开始研究 GaN 等Ⅲ族氮化物材料中的缺陷和杂质特性，但从理论的角度来看，直到 1994 年，研究者们对于这些缺陷的形成能，几何形貌以及电学结构还没有一个完备的知识。

1938 年 Juza 和 Hahn 利用氨气与热的镓金属反应生长出了微针类状的 GaN。1969 年 Maruska 和 Tietjne 利用化学气相沉积（CVD）技术在蓝宝石衬底上合成生长出了大面积的 GaN 薄膜。1972 年 Pankove 等人利用 Zn 掺杂 GaN，研制出了第一只蓝光发光二极管（LED），这种二极管具有 Min（M：金属，i：绝缘体，n：n 型 GaN）结构，随着发光区域掺杂浓度的改变而发出绿、黄和红等不同颜色的光。Maruska 等人于 1973 年利用 Mg 掺杂研制了可以发出紫光的 Min 结构。但这类结构的 LED 发光量子效率很差，原因是一直没有找到行之有效的方法实现 p 型 GaN，因而就不能长出高质量的 pn 结。很长时间以来，人们一直难以得到 p 型 GaN，掺杂受主（如 Zn，Mg 等）的 GaN 都是高阻的。直到 Amano 等人于 1989 年利用低能电子束照射（LEEBI）的方法处理 MOCVD 生长的高阻 GaN:Mg 后得到了 p 型 GaN 之后，1992 年，Nakamura 等人对 MOCVD 生长的 GaN:Mg 在氮气氛和 800℃左右温度条件下进行高温热退火，同样得到 p 型 GaN，该 p 型 GaN 室温空穴浓度约为 $10^{17}\sim10^{18}/cm^3$，迁移率约为 10 $cm^2/V\cdot s$。研究认为，低能电子束照射和高温 N_2 气氛下热退火的作用都是除去钝化 GaN 中受主中心 Mg 的氢，使 Mg*Hx 复合体分解从而激活 Mg。由于 p 型 GaN 的获得，和 GaN 材料 pn 结的诞生使得发光效率大大提高。几乎在成功地获得 p 型 GaN 的同时，人们获得了 GaN 材料 pn 结蓝色发光二极管（LED）。1993 年又研制出了高亮度的 AlGaN/GaNInGaN 双异质结蓝光 LED。1995 年，高亮度的 GaN 基蓝光和激光 LEDs 方面取得重大进展，这一成功使得对 GaN 和 GaN 基化合物的研究成了宽禁带半导体激光器件研究的国际新热点。

近年来，随着材料生长技术的进步，科研人员已经成功地生长出了具有平整表面的Ⅲ族氮化物材料。并且，这些材料在应用领域也取得了很大的成功，相继研制出的高亮度蓝光二极管、蓝光激光器等商品都推向了市场。但是，由于Ⅲ族氮化物仍没有匹配的单晶衬底，如晶格常数和线胀系数匹配的衬底材料，而是采用大失配的其他材料，外延层中缺陷密度仍然较高。因此，对此材料的研究实质上就成为如何减少材料中缺陷的研究。在 GaN 等Ⅲ族氮化物材料中的缺陷密度比其他半导体材料中的缺陷密度仍然高出几个量级。但令人奇怪的是，在这么高的缺陷密度下竟然产生高效率的蓝色发光。因而对 GaN 等Ⅲ族氮化物材料中缺陷的研究和对发光的作用需要进行深入的研究。

晶体中的缺陷包括点缺陷，线缺陷和面缺陷，有本征的也有非本征的。GaN 等Ⅲ族氮化物材料中的缺陷性质和其他半导体材料如 GaAs 等半导体不同。本节概述 GaN 等Ⅲ族氮化物材料中各种缺陷的性质及其对材料电学，光学性质的影响，分析产生缺陷的机理和杂质补偿的原因，并且讨论了目前研究中急待解决的问题。

5.1 本征缺陷

在 GaN 等Ⅲ族氮化物材料中的点缺陷包括：①空位缺陷，即氮空位 V_N 和 V_{Ga} 镓空位；②反位缺陷，既 Ga 取代 N 形成的 GaN；③间隙原子，即 Ga 位于间隙位置形成的 GaI 和 N 位于间隙位置形成的 N_I。这些点缺陷作为一般缺陷在半导体材料中普遍存在，它们对于Ⅲ族氮化物半导体材料的电学和光学性质起着重要的作用。各种缺陷对材料性能的影响取决于缺陷态的能级位置以及缺陷在材料中的浓度。

一般外延生长得到的 GaN 等Ⅲ族氮化物材料具有两种结构：纤锌矿结构（α）和闪锌矿结构（β）。在高压下还可以得到岩盐相的结构。每一个取代缺陷（包括空位，反位缺陷）都有一个类 s 轨道 A_1 和三个 p 轨道 T_2（p_x，p_y，p_z）。A_1 能级是二度简并的（考虑自旋简并）。在闪锌矿结构（β）中由于每个格点的四个最临近位置是等价的，所以 T_2 能级是六度简并的；而纤锌矿结构（α）中，沿 c 轴方向和垂直 c 轴方向并不等价，这使得 T_2 劈裂为一个二度简并的类 p_z 的 A_1 能级和一个四度简并的类 p_x 和类 p_y 的 E_2 能级。因此纤锌矿结构（α）中各种缺陷性质可以认为是闪锌矿结构（β）再迭加一个六角对称的微扰。

刚长成的 GaN 都是 n 型的，很难反型为 p 型。在将近 30 年的时间内，人们一直认为氮空位是施主的主要来源，David W. Jenkins 和 John D. Down 用一种经验的紧束缚模型，采用最近邻近似计算了 InN、GaN、AlN 及其合金中各种缺陷能级位置，如图 6.2-69 所示。对于阳离子空位 V_{In}、V_{Ga} 和 V_{Al}，它们的 T_2 能级都在价带边以上较近的地方。V_{In} 和 V_{Ga} 的 A_1 能级都在价带中，而 V_{Al} 的 A_1 能级则在价带边和 T_2 能级之间。在电中性情况下，阳离子空位的 A_1 能级都被两个电子占据，T_2 能级则被三个电子占据，因此阳离子空位可以作为三重受主能级。对 A_{lN}，N 空位 V_N 的类 s 能级 A_1 和类 p 能级 T_2 都在导带边以下，而对于 I_{nN} 和 G_{aN}，尽管 V_N 的 A_1 能级也在导带边之下，但是 T_2 能级却在导带边之上。V_N 的

A_1 上有两个电子占据，另外一个电子占据 T_2 的一个态。在 I_{nN} 和 G_{aN} 中，占据 N 空位 T_2 能级的这个电子将会和导带共振，电子自动电离，电离后形成的正电中心 V_N^+ 与电子通过长程库仑作用形成类氢浅施主能级。

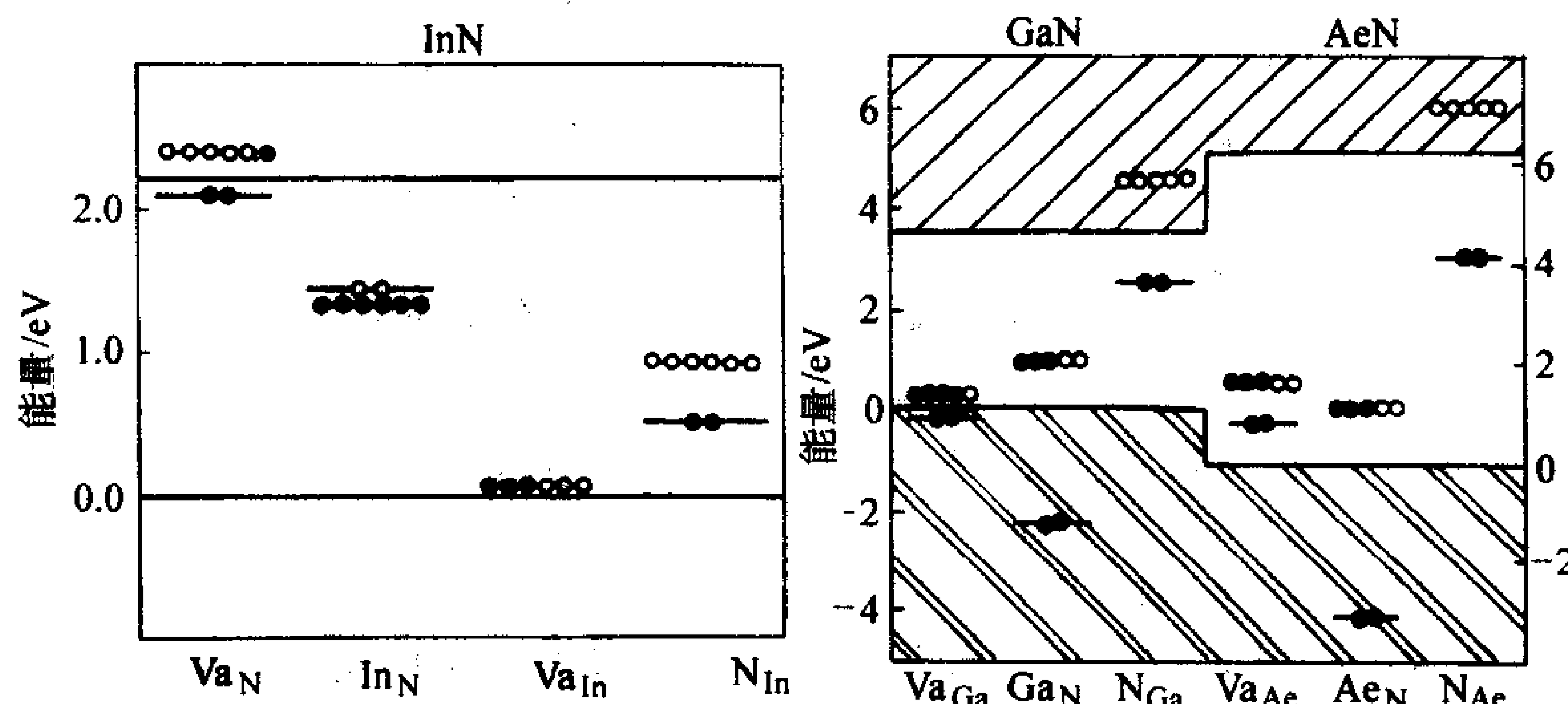


图 6.2-69 计算得到 InN、GaN、AlN 中几种本征点缺陷的能级位置
（图中同时给出了中性缺陷的占据情况，实心圆代表电子，空心圆代表空穴）

David W. Jenkins 和 John D. Down 用紧束缚模型的计算方法似乎可以证实这一推测。但这种计算方法过于粗糙，同时也没有给出原子尺度上的缺陷形貌（包括弛豫和重构等等）和缺陷形成能。缺陷形成能是和载流子浓度紧密相关的，在特定的浓度下，有些缺陷可以产生，有些缺陷则不能产生。图 6.2-70 是所有 3 种天然缺陷的形成能随费米能级的位置不同而变化的曲线，计算时是假设富氮的情况（由于一般 GaN 膜都是在富氮环境中生长的，因此这一假设是合理的）。缺陷形成能的斜率表明了电荷态，如果斜率有了变化，则说明由一个电荷态跃迁到了另一个电荷态。由图 6.2-70，最具有特征的是，在 p 型 GaN 中，氮空位有着最低的形成能，而在 n 型情况下，镓空位的形成能是最低的。注意这些低的能量来源于这些空位带有的电荷，因此大大地降低了他们的形成能。同氮空位和镓空位相比，无论在 n 型或 p 型的情况下，反位缺陷都具有比较大的形成能，因而不易产生。对于刚刚生长的 GaN，Ga 空位的中性电荷态是三价占位，它的能级在禁带中接近价带顶，可以被三个电子填充，因而是一种三价的受主。

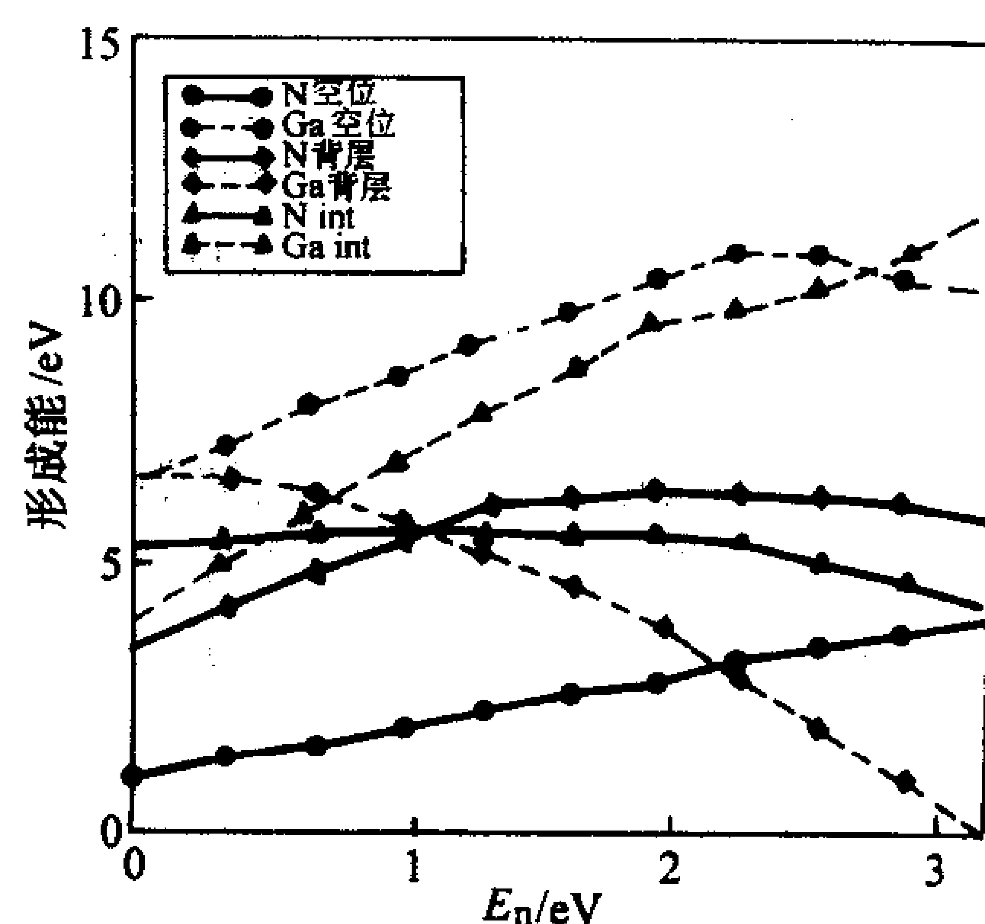
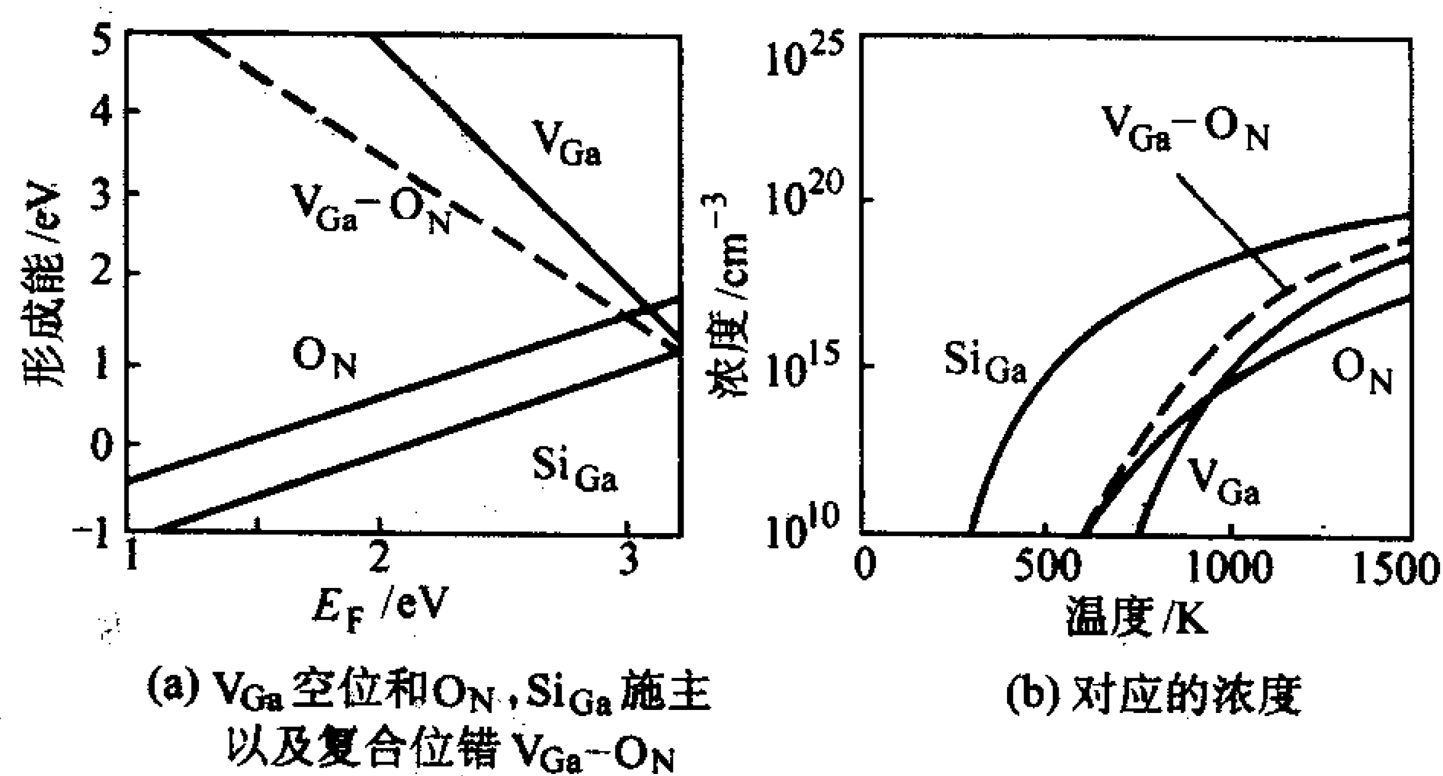


图 6.2-70 富氮情况下天然 GaN 中的形成能随费米能级的变化
（图中 $E_f=0$ 对应着价带的顶）

J. Neugebauer 和 C. G. Vand Walle 用局域密度泛函理论对 GaN 中各种本征缺陷进行了第一性原理总能计算。计算得到的 GaN 中几种主要本征点缺陷的能级位置图如图 6.2-71 所示。和 David W. Jenkins 方法相比，该算法得到的 V_N 类 s 的 A_1 能级在价带边以下，而 David W. Jenkins 方法得到的该能级位于禁带中。由于 Ga 和 N 的共价半径相差很大（$r_{Ga}=0.126$ nm，$r_N=0.070$ nm）。对于 N 空位，Ga 悬挂键严重交迭。Ga－Ga 之间强烈的相互作用使得不能只考虑近邻原子的相互作用，因而 N 空位的类 s 和类 p 能级实际分裂的距离应远大于紧束缚近似的结果，因此 J. Neugebauer 和 C. G. Vand Walle 的结果更为可信。



(a) V_{Ga} 空位和 O_N，Si_{Ga} 施主以及复合位错 $V_{Ga}-O_N$　(b) 对应的浓度

图 6.2-71 J. Neugebauer 和 C. G. Vand Walle 计算得到的 GaN 中几种主要本征点缺陷的能级位置图

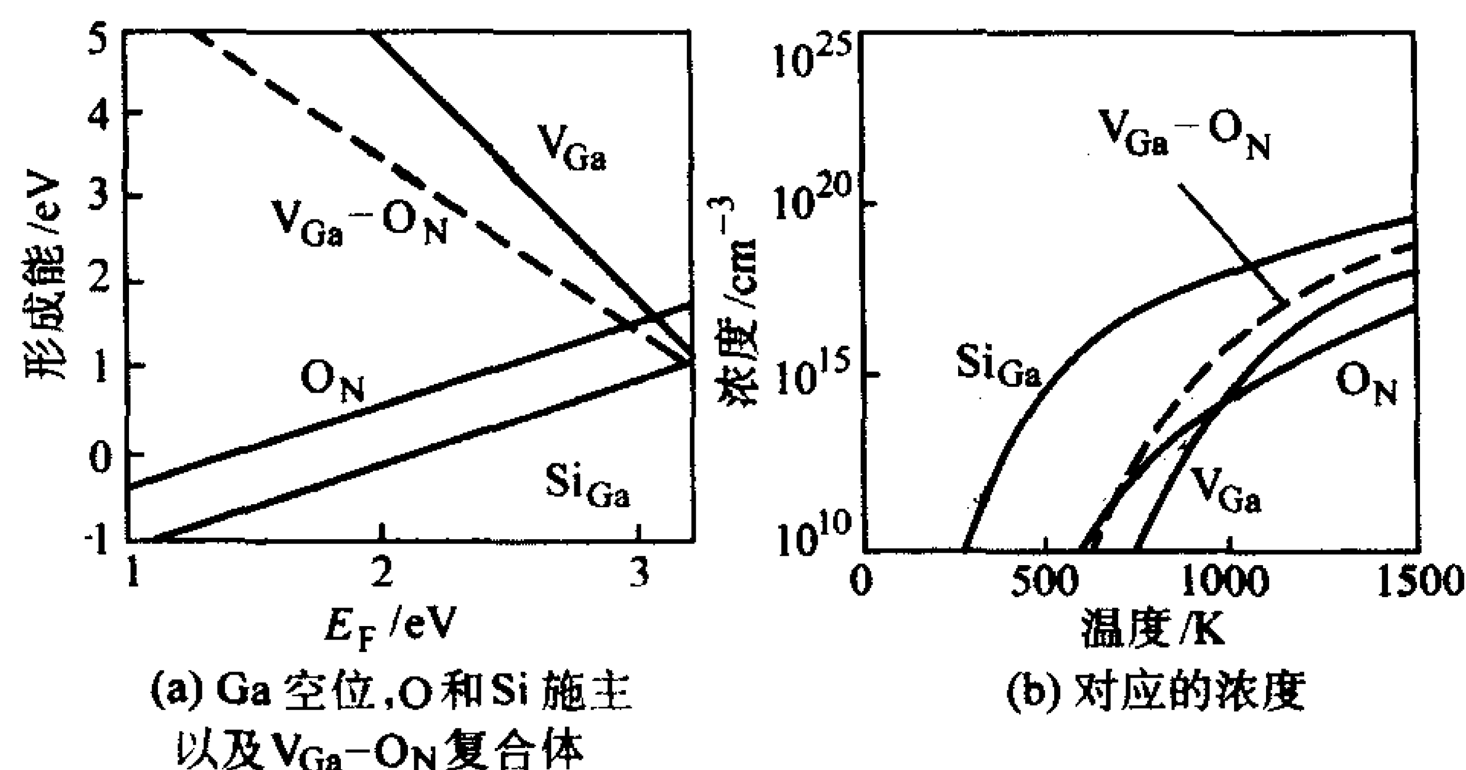
几种理论计算方法都给出了 GaN 中 V_N 的 T_2 能级位于导带边以上，而且有一个电子占据该能级。通过和导带共振这个电子会自动进入导带，因而 V_N 在 GaN 中可以充当单施主。所以 V_N 可能是使 GaN 天然呈 n 型导电的原因之一。Boguslawski 等认为，G_{al} 可能是导致 GaN 天然呈 n 型导电的一个原因，因为 G_{al} 的 E_2 能级（类 p_x 和类 p_y）位于导带边以上，上面有一个电子占据，并且在一定条件下 G_{al} 可以稳定地存在。但是 Neugebauer 和 Van de Walle 认为，G_{al} 和反位缺陷一样，都会因在固体中产生很大的应力而不稳定。GaN 中的其他各种本征缺陷都只能形成深能级，因而不可能导致 GaN 天然呈 n 型导电。在生长过程中导致的非特意掺杂有碳，氧和硅等杂质。镓位的碳和硅（C_{Ga} 和 Si_{Ga}）或氮位的氧（ON）都属于施主。GaN 中，Si_{Ga} 和 ON 都是极可能的简单施主。从实验的角度，Si 是一种常见的非特意性杂质。不仅因为 Si 易污染生长原料，而且从反应室的石英玻璃壁中也易在高温生长过程中释放出 Si。

压力拉曼（Raman）实验显示，在高的静态压力下，GaN 中的 O 和 Si 施主表现出很大的差异。在 0～25 GPa 范围，Si 一直表现出类氢施主的稳定性，而在 $p>22$ GPa 时，

O以一种深能隙态被强烈地局域化——在其他Ⅲ V族半导体中，O也具有类似的DX型施主的性质（DX通常是一种U型的深能级）。在常见的三元化合物 $Al_xG_{al-x}N$ 中，对于 x 的一个很大的取值范围，Si也表现出是一种很稳定的类氢施主。而O仅仅是在 x 值很小时表现为浅施主。当 $x>0.40$ 时，O将在 $Al_xGa_{1-x}N$ 中变为强局域化的深能隙态。在一个大气压下，O在GaN中的掺杂可以导致非常高的n型电导。在各种不同的生长技术下生长的GaN薄膜都避免不了O的参与——因而它应该是GaN或GaN基n型电导的主要来源之一。

未掺杂的GaN是天然呈n型导电的，而 $Al_xGa_{1-x}N$ 当 $x<0.5$ 时呈n型，当 $x>0.5$ 时是半绝缘的。Jenkins等人预言，在 $Al_xGa_{1-x}N$ 材料中，VN的 T_2 能级在GaN中位于导带边之上，而在AlN中则位于禁带中。因此对于 $Al_xGa_{1-x}N$，当 x 从0向1变化时，VN的 T_2 能级会从导带边之上移动到导带边之下；大约在 $x=x_c\approx0.5\pm0.1$ 时，T_2 正好与导带重合。这样在 $x<x_c$ 时，$Al_xGa_{1-x}N$ 材料中 V_N 是浅施主，T_2 能级上的电子会自动电离从而使材料呈n型；当 $x>x_c$ 时，V_N 对电子和空穴都是深陷阱，$Al_xGa_{1-x}N$ 也就呈半绝缘性。

缺陷态的能级位置仅仅表明了它们是否有可能使得GaN基材料天然成为n型导电，以及是否可能成为补偿能级。真正的作用还要看它们在材料中的浓度，而这取决于缺陷的形成能。Neugebauer和Van de Walle在富氮极限下计算了各种本征点缺陷的形成能与 E_F 的关系，如图6.2-72所示。从图中可以看出空位是NGa中主要的本征点缺陷：在 $E_F<E_C-1.0$ eV，时N空位（单施主）是主要的；而在 $E_F>E_C-1.0$ eV时，Ga空位（三重受主）是主要的。中性VN的形成能是4.2 eV。



(a) Ga空位，O和Si施主以及 $V_{Ga}-O_N$ 复合体　(b) 对应的浓度

图6.2-72 本征缺陷形成能和费米能级图

根据GaN基Ⅲ族氮化物半导体材料中各种本征点缺陷的能级位置知道，GaN基Ⅲ族氮化物半导体材料的天然n型导电性可能是由 V_N 和 G_{al} 造成的。对于本征的GaN基Ⅲ族氮化物半导体材料，费米能级基本上在禁带中央。此时 V_N 的形成能较低（各种本征点缺陷中最低的），而 G_{al} 的形成能较高。在略显 n 型的GaN中，费米能级位于本征费米能级之上，此时 G_{al} 的形成能较高；而尽管 V_N 的形成能略有增加，但高温热平衡时仍足以使GaN中含有大量的 V_N。因此GaN基Ⅲ族氮化物半导体材料的天然 n 型导电性是由其基本点缺陷 V_N 所导致的。V_N 作为单施主向导带提供电子，而 G_{al} 则作为三重受主部分补偿 V_N。

尽管缺乏足够的证据来判断哪一个结果更准确，但两者都可以得到相同的结论：GaN基Ⅲ族氮化物半导体材料的天然n型导电性主要是由其本征点缺陷氮空位导致的。高温下生长的未掺杂GaN基材料中含有大量的氮空位，它们部分地（大部分或极少部分）被镓空位所补偿，最终使得导带有显著浓度的电子，样品因此呈现n型导电性。另外，样品中电子浓度和生长条件是相关的。样品生长温度越高，电子浓度也越高；在富镓条件下生长比在富氮条件生长会导致更高的导带电子浓度。

5.2 非本征缺陷和掺杂

对GaN进行掺杂（人为故意地掺杂或通过其他各种途径引入杂质）可以在GaN中形成非本征点缺陷。外来原子可能取代Ga或N而形成替位原子缺陷，也可能占据间隙位置形成间隙原子缺陷。间隙原子缺陷往往导致深能级缺陷态，而替位原子则既可能导致深能级缺陷也可能导致浅能级缺陷。

从各种元素的价电子数目分析知道，Ⅲ族（或Ⅰ族）元素取代Ga，可充当受主；Ⅵ元素取代N可充当施主；Ⅳ元素，如取代N可充当受主，如取代Ga则充当施主。考虑到Ga、N和Ⅳ元素的四面体原子半径，可以预测Si、Ge将取代Ga成为施主，而C则取代N成为受主。

对GaN基Ⅲ族氮化物半导体材料进行掺杂，可以在生长GaN等材料时，在反应室中除了通入N源和Ga源外还同时引入掺杂源，从而原位地进行掺杂；也可以在生长之后采用离子注入，扩散等方法进行掺杂。对于原位p型掺杂样品有时需要通过一定的后处理才能激活杂质中心。而采用离子注入方法进行掺杂时，一般也需要在离子注入后对样品进行快速热退火以激活掺杂元素。

在几乎大多数半导体材料中，对于n型掺杂使用最多的掺杂物有Si，Si取代Ga成为施主。Si能级在稀释限制电离能的条件下是27 eV。原位掺杂源主要有硅烷（SiH_4），也有用乙硅烷（Si_2H_6）的。当掺杂物浓度不是很高时，晶体质量基本上与掺杂浓度没有关系；但当掺杂浓度过高，晶体表面就会变得粗糙起来，还可能会产生V型的缺陷。通过控制硅源流量，掺Si的n型GaN中室温导带电子浓度在 $1\times10^{17}/cm^3$ 到 $4\times10^{19}/cm^3$ 范围可调，室温电子迁移率一般在几百 $cm^2/V\cdot s$，迁移率随掺杂浓度的提高而下降。图6.2-73是MOCVD系统中生长GaN基Ⅲ族氮化物半导体材料时掺杂浓度和 SiH_4 流量的关系。离子注入Si，并在1 050～1 100℃高温快速退火10 s钟后，电子浓度迅速增加，注入的Si激活率可达93%。在Ⅲ族氮化物中施主Si的电离能（即导带底到施主能级SiGa的距离）一般在几十meV范围。用Ge掺杂也可以获得n型半导体材料，在保证晶体质量的前提下，电子浓度最高可以到 1×10^{19} cm^3。与用Si掺杂相比，Ge的掺杂效率约低一个量级。

另外，O也是一种可能的n型掺杂物。O被认为是取代N位成为浅施主使含O的样品呈n型导电。O_N 被认为是位于导带底下面约42 meV的浅施主。但O中心的激活率很低。

人们一直努力研究GaN基Ⅲ族氮化物半导体材料的p型掺杂技术。由于多种原因，p型GaN掺杂水平一直不高，严重阻碍了GaN基器件的发展。Be、Mg、Zn、C等多种p型化杂质都曾被研究过。直到1989年，p型掺杂GaN才被研制出来。目前主要是采用Mg作为掺杂物。它不仅用做p型GaN掺杂，还可以作为辐射复合中心，产生蓝光发射。MOCVD和MBE是当前国际上生长掺Mg GaN的两种重要方法。但是，在MOCVD生长中，由于H对Mg的钝化，直接生长的掺Mg GaN往往都是高阻的，即使掺入Mg的浓度高达

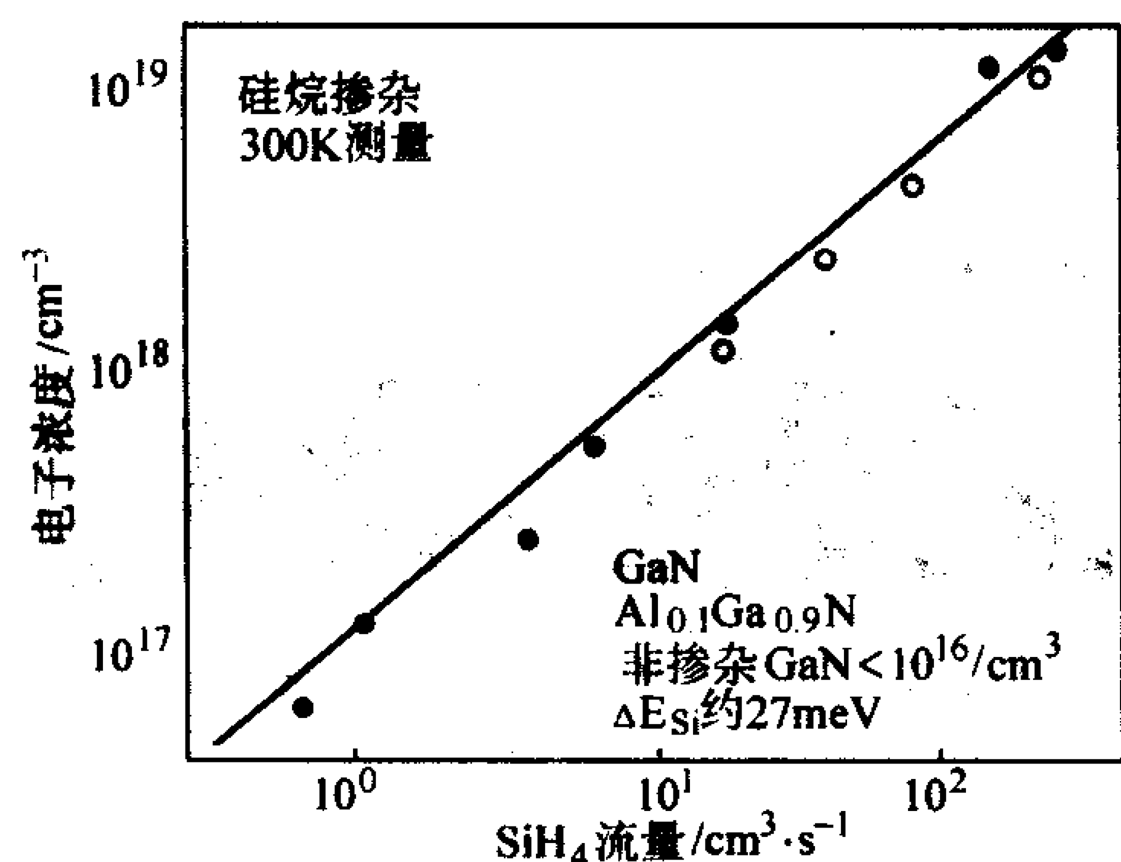


图 6.2-73 MOCVD 系统中生长 GaN 等材料时掺杂浓度和 SiH_4 流量的关系

10^{19} ~ 10^{20}/cm^3，电阻率仍然高达108 Ω·cm，而且光致发光性质也不好，必须经过再处理才能将 Mg 激活。在氮气气氛中快速热退火是近年来广泛采用的激活方法。MOCVD 或 MBE 生长 GaN 基Ⅲ族氮化物半导体材料时，原位掺杂 Mg 一般得到高阻的 GaN：Mg，用 LEEBI 或热退火对高阻样品进行后处理就可以得到高度 p 型导电性，室温下空穴浓度为 10^{16} ~ 10^{19}/cm^3，空穴迁移率为 1 ~ 10 cm^2/V·s。用 MOCVD 方法生长 p 型掺杂 GaN，采用 Mg 作为掺杂物，不同生长条件对掺杂浓度的影响很大。图 6.2-74 是在两种不同 Mg 源流量下对生长 p 型掺杂 GaN Mg 掺杂浓度的影响。从图中可以看出，CCp2Mg 更适合作为Ⅲ族氮化物半导体材料的 p 型掺杂剂。

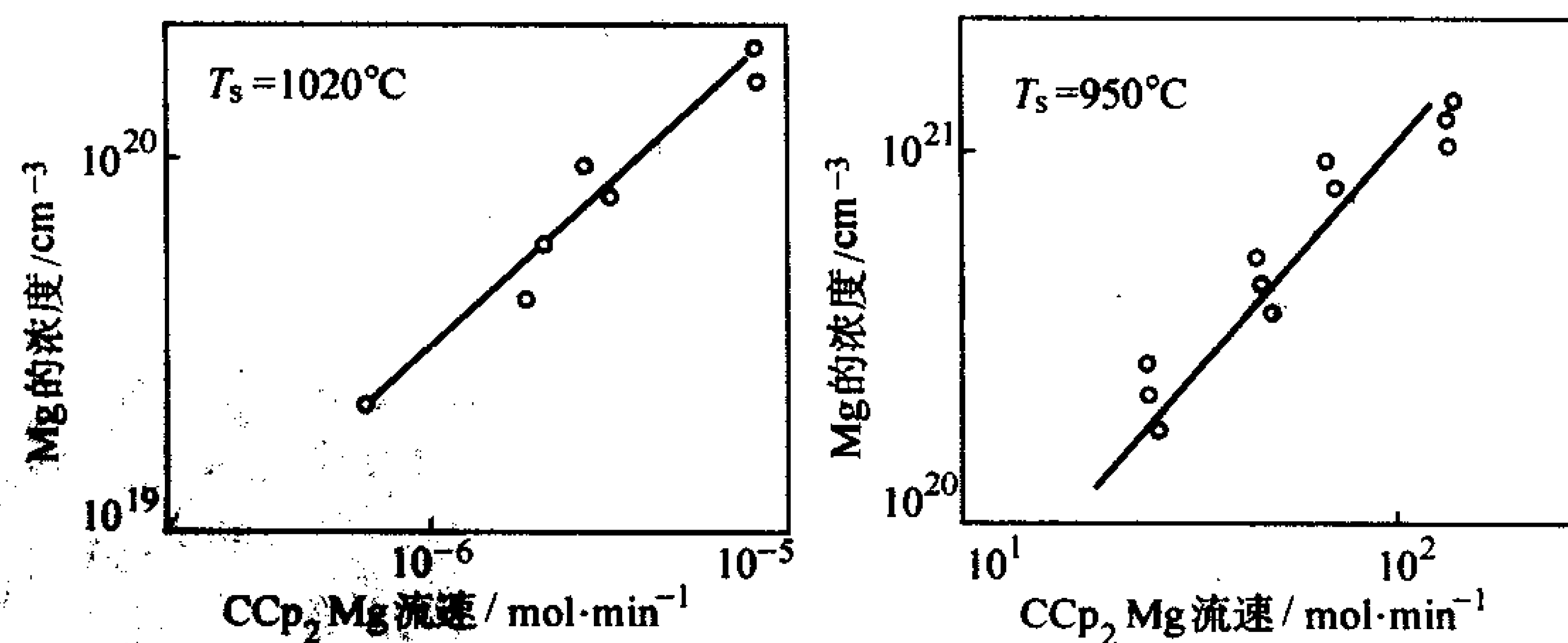


图 6.2-74 两种不同生长温度对生长 p 型掺杂 GaN Mg 掺杂浓度的影响

人们也曾使用其他元素对 GaN 进行掺杂，如 Zn，Cd，Hg，Be，Ga 等，但发现这些杂质可以有效地补偿 GaN 中的本底电子而获得高阻材料，但都不能得到 p 型导电的 GaN。

由于缺陷适当地带电后可以显著地降低其形成能，因此宽禁带半导体中往往存在较强的补偿效应。在 n 型半导体中，对于禁带下半部分的缺陷能级，电子转移到这些能级上（从而缺陷带负电）可以大大降低缺陷的形成能，热平衡时缺陷浓度就会较高。这样，这些能级便可以补偿受主能级，降低 n 型掺杂的效率。同样地，在 p 型半导体中，位于禁带上半部分的缺陷能级也会补偿受主能级（从而缺陷带正电），降低 p 掺杂的效率。因此，原则上说，补偿效应在宽禁带半导体材料中是普遍存在的。如果宽禁带半导体材料的某些本征缺陷能级比较靠近导带底或价带顶，那么它们就有可能会成为相应的补偿能级，从而产生所谓的‘自补偿’效应，对宽禁带半导体材料在热平衡下进行 n 型或 p 型掺杂，将会自发形成大量相应的本征缺陷，这些本征缺陷可以补偿所掺杂的施主或受主杂质，从而降低掺杂的效率。

5.3 GaN 中的氢和氢复合体

用金属有机物化学气相淀积（MOCVD）方法生长的原位掺杂受主的 GaN 一般都是高阻，p 型掺杂效率远远低于理论预测的结果。这说明 GaN 在 p 型掺杂时除了存在 GaI 和 V_N 的自补偿效应外，还有别的补偿机制。许多理论和实验的分析都证明了氢对 GaN 的 p 型掺杂起了很大作用。氢杂质对 GaN 的性质影响很大，同时在半导体材料中常常表现出非常复杂的行为。MOCVD 或氢化气相外延（HVPE）等常用的Ⅲ族氮化物半导体材料生长技术在生长材料时常常带有大量的氢。在 p 型材料中，H 是一种施主并且与受主形成复合体，为了激活受主，在材料生长完成后常常进行退火处理，以去掉材料中的 H。同时 H 也能够同材料中的其他杂质和缺陷相互反应。目前的研究仍然在 H 与天然点缺陷的相互反应上。H 原子半径很小，在固体中可以占据间隙或键中心的位置，并且很容易在固体中运动。它能终止悬挂键，对浅缺陷或深缺陷都能补偿或钝化，还会导致扩展缺陷。由于形成能很大 GaN 中的间隙位 H 不大可能产生。因此主要研究还是 H 与空位的相互反应。H 是两性元素，与空位的相互反应经常被描述为可依次和所有的悬键相结合。

Van de Walle 等从理论上研究了 H 在 GaN 中的迁移，能量和电子结构，以及在掺杂 GaN 时所起的作用。结果表明，H^+ 趋于占据 N 的反键位置 AB_N 即 N-Ga 键的反向延长线靠 N 的一侧，N-H 键长为 0.102 ~ 0.104 nm；而中性 H 和 H^- 趋向于占据 Ga 的反键位置 AB_{Ga}，几乎与 Ga 的四面体间隙位置 T_d^{Ga} 重合。中性 H 原子在不同位置的能量基本上差不多。这种描述不适用于氮空位的情形。V_N 在 GaN 中被 Ga 原子包围，从 V_N 的中心到达 Ga 原子有 1.95 的距离，而 Ga-H 键长为 1.60，这样就不允许有一个以上的 H 填充入 VN，Ga 的相邻 VN 中的悬挂键因此强烈地氢化，所以一个 H 原子只能座落在 VN 的中央，它不与任何相邻的 Ga 键连，而只与 Ga 原子之间保留一个非常浅的势阱。而对于镓空位 V_{Ga}，可以容纳 1 ~ 4 个 H^+，H。$V_{Ga}-Hn$（$n=1\sim4$）复合体的能级随着 n 的取值增加而从禁带向价带中移动。

一种复合体的能量性质可由它的形成能，束缚能以及离化能来描述。在 p 型 GaN 中，$V_{Ga}-H_2$ 是一种氢化复合体，尽管它的形成能很低，但仍然是不易生成的。当费米能级低于价带顶以上 0.6 eV 时，就变为负值——这是因为在 p 型 GaN 中，H 和 V_N 都是正电荷态，它们相互排斥。图 6.2-75 是 GaN 中氢化的氮空位的形成能随费米能级位置（能量相对于价带顶）的变化。在 n 型 GaN 中，$V_{Ga}-H_n$（$n=1\sim4$）是主要的 H 复合体。图 6.2-76 是这些 H 复合体的形成能随费米能级位置而变化的曲线。同其他复合体相比，$V_{Ga}-H_4$ 在 n 型 GaN 中有着大得多的形成能，因而也就很难产生。

Nakamura 等人在分析热退火对 p-GaN:Mg 材料的作用时认为，H 可能起到很大的作用，在 MOCVD 方法生长得到的掺 Mg 的 GaN 样品中形成了中性的 Mg-H 复合体，H 将其核外电子交给 Mg，从而受主中心被钝化，样品呈现高阻；LEEBI 和热退火的作用则使 Mg-H 复合体分解，受主中心 Mg 被激活，通过热激发向价带提供空穴使得样品呈现 p 型导电。MBE 在较底温度且无 H 的条件下生长原位掺 Mg 的 GaN 样品，未经过后处理得到 p 型导电的 GaN。这说明了 H 可能对 GaN 中受主有补偿或钝化作用。

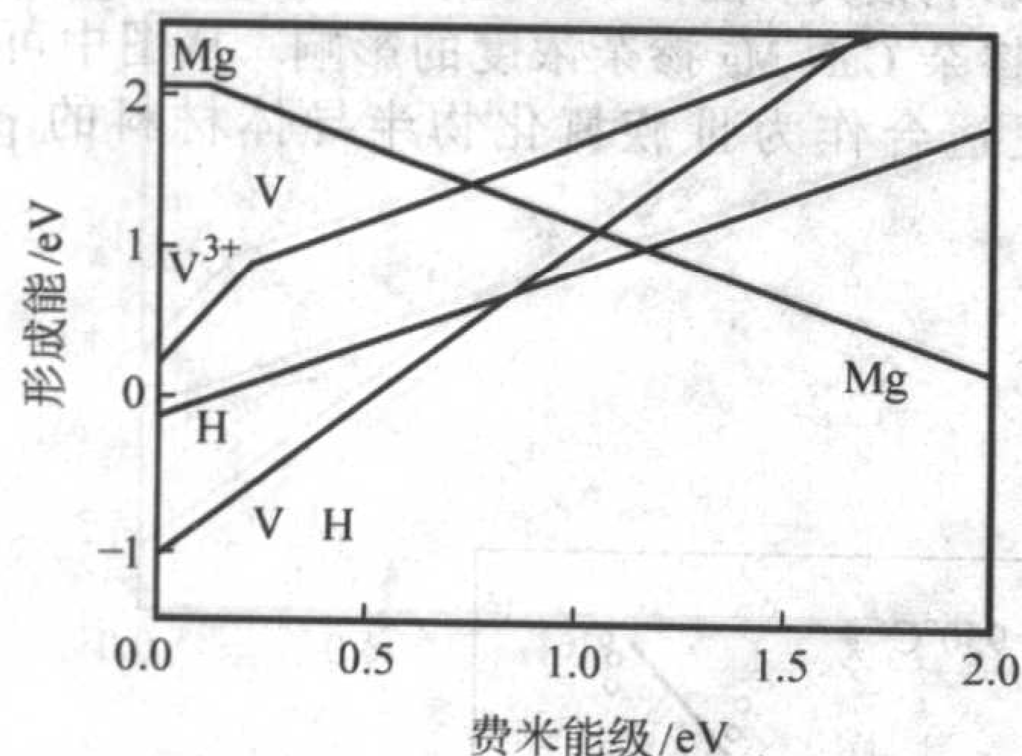


图 6.2-75 GaN 中氢化的氮空位的形成能随费米能级位置（能量相对于价带顶）的变化

（为了完整地说明问题，也将 H^+ 和 Mg 受主的形成能包含图中）

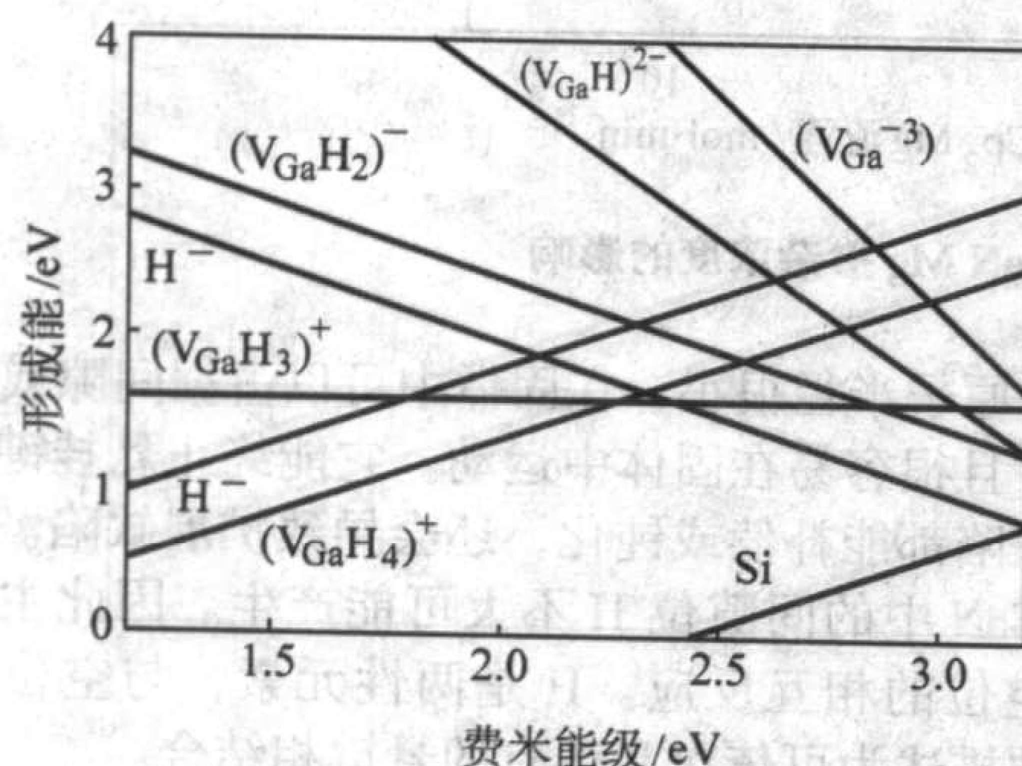


图 6.2-76 GaN 中氢化的镓空位的形成能随费米能级位置（能量相对于价带顶）的变化

（为了完整地说明问题，也将 H^+，H 和 Si 施主的形成能包含在其中）

5.4 其他缺陷

在Ⅲ族氮化物半导体材料中还包括线缺陷和面缺陷。位错是晶体中经常出现的线缺陷，层错则是面缺陷。对于这些缺陷的研究主要是在对缺陷结构及其对材料发光特性研究上。

线缺陷是由缺陷的布拉格矢量 b 和线方向 ξ 来定义的。布拉格矢量 b 描述了晶体中的位错晶格位移，一般情况矢量 b 对应于一个单位晶格矢量。线位错也分为螺位错和混合位错。研究表明，复杂的混合位错与低的总体缺陷相关。研究发现，在生长界面附近堆剁层错很明显，位错线垂直界面延伸，缺陷密度为（2～10）$\times 10^{10}$ cm^2，刃位错是主要的，也有螺旋位错和混合位错。同时也发现，在 GaN 中线状位错主要是刃位错，位错密度为 10^9/cm^2。在位错中既有刃位错也有螺旋位错，所有位错线都平行于 GaN 的 *c* 轴。图 6.2-77 是 1.2 mm 厚 GaN 薄膜的截面亮场 TEM 横截照片。照片显示在外延材料中的刃位错，螺旋位错和混合位错都是存在的。在图像极限下，所有的线状位错都是刃位错，位错线都平行于 GaN 的 *c* 轴。当 Mg 掺杂后位错密度会增加 1～2 倍达到 4×10^9/cm^2。

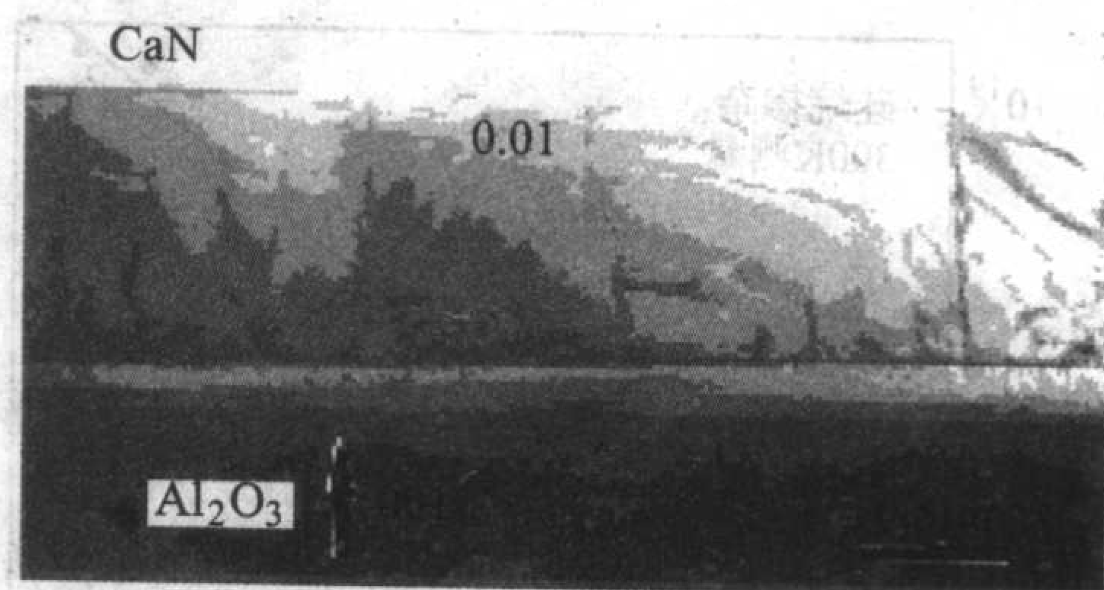


图 6.2-77 1.2 mm 厚 GaN 薄膜的截面亮场 TEM 横截沿 100 方向照片

Ponce 等发现，GaN 外延膜中高密度位错属于与取向分布很小的柱状晶粒相关的小晶角界，晶粒内部没有其他扩展缺陷；同时阴极射线荧光在平行膜面上是不均匀的，和复合缺陷结构有很强的相关性；带边紫外发射来自柱状晶粒内部，而黄光带边则发自晶粒间界。从衬底界面到离开衬底 100nm 处位错密度下降了两个数量级。同时由于缺乏表面形态一致的衬底导致 GaN 膜中存在高密度的缺陷。线胀系数不匹配也是导致位错增大的原因之一。图 6.2-78 是外延层和衬底中缺陷的截面亮场 TEM 照片。

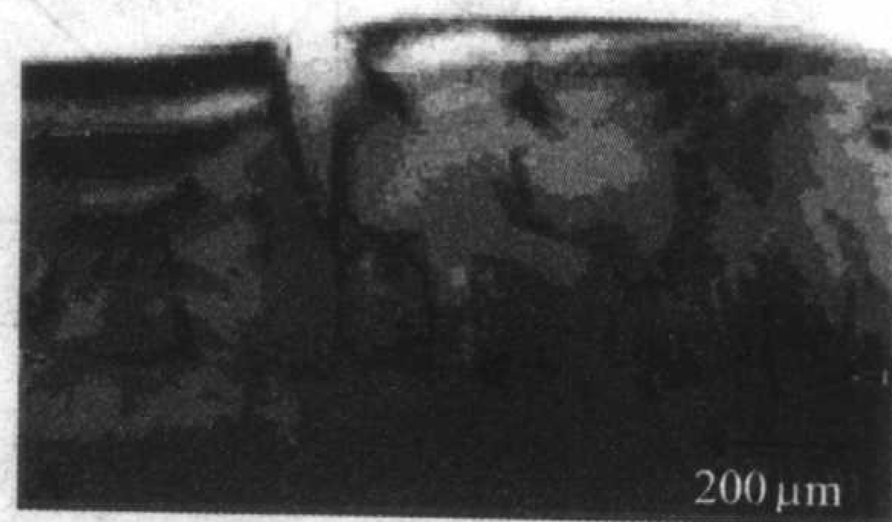


图 6.2-78 外延层和衬底中缺陷的截面亮场 TEM 照片

Brandt 等报道了未掺杂的 GaN 和 p 型 GaN：Mg 在 600℃ 氢化后，2.2 eV 附近的光荧光峰完全被抑制，但在 3.2 eV 处却出现了新的荧光峰。这很可能就是因为氢终止了位错线上悬挂键并形成氢复合体而导致的。通常 Mg 掺杂的 GaN 具有 320 nm，380 nm 和 420 nm 的谱峰，380 nm 谱是 Mg 受主的贡献。

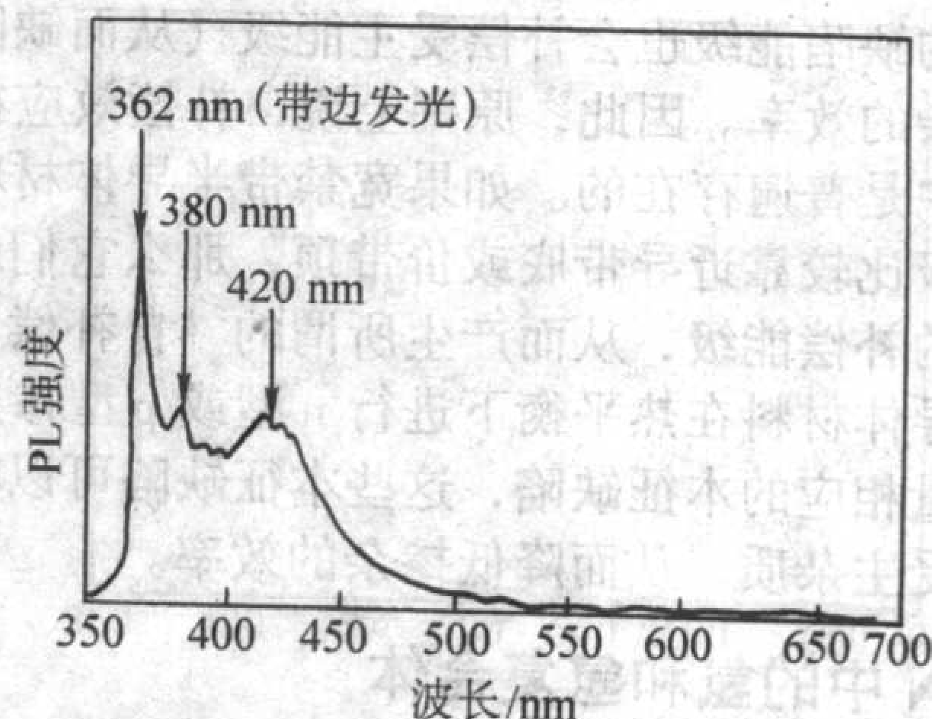


图 6.2-79 具有掺杂浓度为 8.3×10^{17}/cm^3 和迁移率为 15 cm^2/V·s 的掺 mg GaN 的室温 PL 谱

在其他Ⅲ Ⅴ族半导体材料中，位错会引入无辐射中心。这些无辐射中心会有力地和辐射复合途径竞争，从而降低 LED 和 LD 的效率；而且，它们会在器件工作时通过位错或堆垛层错与发光层中点缺陷的相互作用发生迁移，从而缩短过剩载流子的寿命，限制器件的可用工作寿命。因此，在传统的Ⅲ Ⅴ族半导体 LED 和 LD 材料中位错密度必须控制在 10^4/cm^2 以下，否则发光效率将极低。但对于Ⅲ族氮化物半导体材料，尽管位错密度高达（2～10）$\times10^{10}$/cm^2，但它们的外量子效率却较高。

这种差别可能是与材料的热稳定性相关联。无辐射中心一般都是深能级的，无辐射的结果是在晶格局部产生较高的晶格热。对于传统的Ⅲ V族半导体材料，这将促使产生更多的缺陷。这种结果将导致器件性能的迅速变坏，寿命降低。但对于GaN基器件，由于材料具有很高的热稳定性和热传导能力，局部较高的晶格热并不会导致大量点缺陷的产生，因而即使存在较高密度的缺陷，器件的工作寿命仍然相当可观。另外，在GaN基蓝光发射来自与发光中心（Mg，Zn）相关联的复合过程，这种复合可能对于位错不敏感，也就是说位错在GaN基蓝光发射器件中可能并不作为有效的无辐射中心。但为了提高器件性能，获得GaN基的激光器仍然必须降低材料中的缺陷，例如寻找与氮化物晶格匹配的以及其线胀系数与之相差小的衬底材料或在生长层中采取适当的措施等。

5.5 展望

虽然GaN基Ⅲ族半导体材料中的缺陷和杂质对于它的电学输运特性和发光性能有着至关重要的影响，但是直到90年代中期之前，人们对于这些缺陷的形成能、几何形貌和电学结构还没有从总体上去研究和认识。只有当GaN作为蓝光发光材料（尤其是蓝色激光）在应用方面取得突破性进展的情况下，才激发起研究者们从新的高度去重新认识和把握GaN中的缺陷与杂质（包括一些复合体）的性质，因为这些研究与应用前景是息息相关的。

GaN材料天然呈n型导电是由于高温生长时产生的大量N空位而导致的。GaN中既可以n型掺杂也可以p型掺杂，但当掺杂时都会因自发产生大量相应的本征缺陷而导致自补偿效应，特别是在p型掺杂时。n型掺杂时，V_{Ga}^{3-}会补偿部分所掺的施主杂质，从而会降低施主杂质的效率；p型掺杂时，V_N^+ 可能还有 Ga_i^{3+}，也会补偿一部分所掺的受主杂质，从而降低受主杂质的效率。氢可以通过和GaN中的受主形成中性的受主－H复合体而钝化GaN中的受主中心，由此导致了MOCVD生长的p型掺杂的GaN高补偿；必须通过适当的后处理除去氢才能激活受主中心，从而获得p导电的GaN。为获得较高的掺杂效率，可以有三种方法：尽可能降低生长温度；在高温下生长掺杂的GaN时同时引入合适的钝化剂（对受主可选择H），再在较低温度下设法除去钝化剂；或采用非热平衡进行掺杂，如离子注入等。GaN中往往含有较高密度的复合位错，线位错既有刃位错也有螺旋位错和混合型位错。位错会降低GaN带边发射的效率，并和黄光荧光带紧密相关，但它对GaN基LED中的蓝光复合基本没有影响。

由于 k_BT 即使在1 000℃的高温时也只有0.11 eV，因而（$E_{form}-S_{form}$）只要有0.25 eV的误差，便可使计算得到的缺陷浓度相差一个数量级（费米能级 E_F 的误差与（$E_{form}-S_{form}$）大致相当。目前理论计算的误差在0.2 eV以上，缺陷多重带电时形成能的误差则更大。为了准确地定量了解特定温度下各种缺陷的浓度，从而更好地判断它们对GaN导电的贡献，也必须提高计算缺陷形成能的精度。

总体上来说，GaN基Ⅲ族半导体材料中象镓空位等这样一类缺陷的存在是生长动力学所决定的，因而是不可避免的。但某些非特意性掺杂，如 Si_{Ga}，O_N 或H复合体，则可以通过改善原料纯度或生长工艺和生长环境而减低。比如Look等人报道了他们采用 N_2+NH_3 混合气体的方法代替纯的 NH_3，大大减少了GaN中的H复合体，从而得到刚生成的弱n型或半绝缘GaN薄膜，这种薄膜通过简单热退火的方法很容易转型为p型。其次，H复合体和 O_N 是产生黄色荧光的主要来源，对蓝光起淬灭作用，消除了H复合体和 O_N，有利于产生蓝色激光。

编写：谢自力（南京大学）
修向前（南京大学）
刘　斌（南京大学）

第3章　Ⅲ族氮化物半导体的基本物理性质

1　Ⅲ族氮化物半导体的电子能带结构

1.1　Ⅲ族氮化物半导体电子能带结构的计算

在20世纪80年代末至90年代初，氮化物的能带计算得到了快速的发展。同时，能带理论也获到了相当的进展。时至今日，密度泛函理论（DFT）已发展成为研究固体能带结构的标准方法。在讨论将密度泛函理论应用到氮化物的能带计算之前，先对密度泛函理论和一些相关的能带计算方法进行一些简要的介绍。

1.1.1　密度泛函理论

密度泛函理论的基本想法是原子、分子和固体的基态物理性质可以用粒子密度函数来描述，它是建立在P. Hohenberg和W. Kohn的关于非均匀电子气理论基础上的，可以归结为两个基本点：①不计自旋的全同费密子系统的基态能量是粒子数密度函数 $\rho(r)$ 的唯一泛函。即多粒子系统的所有基态性质，能量、波函数以及所有算符的期待值等，都是密度函数的唯一泛函；②在粒子数不变条件下能量泛函 $E(\rho)$ 对正确的粒子数密度函数 $\rho(r)$ 取极小值，并等于基态能量。

根据Hohenberg-Kohn定理，基态能量和基态粒子数密度函数可由能量泛函对密度函数的变分得到，即

$$\frac{\partial T[\rho(r)]}{\partial\rho(r)} + V_{ext}(r) + e^2\int dr' \frac{\rho(r')}{|r-r'|} + \frac{\partial E_{xc}[\rho(r)]}{\partial\rho(r)} = \mu \tag{6.3-1}$$

式中左边第一项为电子动能项，第二项为外场势，第三项为电子间库仑作用势，第四项为交换和关联势，μ 为拉格朗日乘子。

如果将系统电子密度函数表达为 N 个单粒子波函数 $\psi_i(r)$ 的形式：

$$\rho(r) = \sum_{i=1}^{N}|\psi_i(r)|^2 \tag{6.3-2}$$

代入式（6.3-1），拉格朗日乘子用 ε_i 代替，就有：

$$\left[-\frac{h^2}{2m}\nabla^2 + V_{eff}(r)\right]\psi_i(r) = \varepsilon_i\psi_i(r) \tag{6.3-3}$$

$$V_{eff}(r) = V_{ext}(r) + e^2\int dr' \frac{\rho(r')}{|r-r'|} + V_{xc}[\rho(r)] \tag{6.3-4}$$

$$V_{xc}[\rho(r)] = \frac{\partial E_{xc}[\rho(r)]}{\partial\rho(r)} \tag{6.3-5}$$

式（6.3-3）称为Kohn-Sham方程。Kohn-Sham方程的核心是用无相互作用粒子模型代替有相互作用粒子哈密顿量中的相应项，而将有相互作用粒子的全部复杂性归入交换关联泛函 $E_{xc}[\rho(r)]$ 中。虽然Kohn-Sham方程已将多电子系统基态特性在形式上转化成有效的单电子问题，但交换关联势能仍未知。因此，只有找出交换关联势能的准确表达形式才有实际意义。

1.1.2　交换关联泛函局域密度近似和准粒子

交换关联泛函局域密度近似（LDA）方法的基本思想是通过均匀电子气密度函数得到非均匀电子气的交换关联泛函，即 V_{xc} 仅为 $\rho(r)$ 的函数。在LDA下，人们早已得到各种近似的 V_{xc} 表达形式，并利用各种形式的LDA给出的 V_{xc}，结合一些能带计算方法，都得到了与实验符合很好的一些基态物理性质。对大部分半导体也能给出与实验符合相当好的价带结构，但给出的导带底的能量与实验值相差很大。通常算出的禁带宽度比实验值小1/3～1/2，甚至为负值。在DFT框架下，即使不采用LDA近似而用更精确的方法，计算得到的禁带宽度还是比实验值小。所以，一般认为在DFT框架下不能给出正确的电子激发态。

Hybertsen和Louie抛开DFT，采用Landau在费米液体研究中提出的准粒子概念来理解半导体中的能隙，其能隙就相当于一个相互作用的电子气中准粒子的元激发所需要克服的能量。根据这一理论，准粒子的能量和波函数可写成与DFT相似的单粒子方程

$$[T + V_{ext} + V_H]\psi_{nk}(r) + \int dr' \sum(r,r',E_{nk})\psi_{nk}(r') = E_{nk}\psi_{nk}(r) \tag{6.3-6}$$

式中，T 为动能，V_{ext} 为外势，V_H 为电子间库仑作用势，$\sum$ 为电子自能算符，它是由电子间的交换和关联所引起的。对式（6.3-6）中电子自能部分，可采用单粒子格林函数 G 和动力学屏蔽库仑相互作用 W 来表示，即所谓的 GW 近似

$$\sum(r,r',E) = \frac{i}{2\pi}\int d\lambda\omega\exp(-i\omega\nu_0^+)\, G(r,r',E-\omega)W(r,r',\omega) \tag{6.3-7}$$

其中 0^+ 是一正的无穷小量，单粒子格林函数为

$$G(r,r',E-\omega) = \sum_{n,k}\frac{\psi_{nk}(r)\psi_{nk}^*(r')}{E-E_{nk}+i0^+\,\mathrm{sgn}(E_{nk}-\mu)} \tag{6.3-8}$$

这里 μ 是化学势。动力学屏蔽库仑相互作用 W 为

$$W_{kk'}(q,\omega) = \frac{4\pi}{\Omega}\varepsilon_{kk'}^{-1}(q,\omega)\frac{1}{|q+k|}\,\frac{1}{|q+k'|} \tag{6.3-9}$$

这里 ω 是频率，ε 是介电函数。原则上，方程（6.3-6）需自洽求解，所幸DFT-LDA的波函数与准粒子 GW 近似的波函数十分接近，因此可以直接用LDA中的波函数代替式（6.3-6）中的波函数而不必自洽迭代求解。采用准粒子 GW 近似方法所得到的单电子方程的能级 E_{nk}，不仅价带与实验结果符合得很好，而且导带与实验结果也符合得很好。

1.1.3　赝势方法

在式（6.3-4）中对 V_{ext} 处理目前有两种自洽计算方法。一种是取原子核产生的势，而粒子数密度函数 $\rho(r)$ 对所有电子求和，这种方法称为全电子计算。另一种是将 V_{ext} 取为原子核和内层电子联合产生的离子赝势，而粒子数密度函数 $\rho(r)$ 仅对价电子求和，这种方法称为赝势计算。由于在能带理论研究中，计算位于深能级的被填满的芯态代价是非常昂贵的，不仅能带数量大大增加，而且因一个没有被屏蔽的全电子的晶体势和芯态的波函数具有很强的坐标空间定域性而使它们在动量空间收敛很慢。另外，固体的电子结构性质主要是由费米能级附近的电子态决定的。因此，对半导体电子结构的计算常采用赝势计算的方法。目前，赝势方法已被人们公认为计算半导体电子结构的最可靠方法。它的计算与实验结果往往符合得很好。引入赝势的方法不是唯一的，关键在于所引入的赝势要适合用于自洽计算。模型赝势和模守恒赝势就是能用于自洽计算的两种常用的原子赝势。前者是半经验的，而后者是据第一性原理从头计算的，不依赖于任何附加的经验参数。这里只对模守恒赝势作简要的介绍。

模守恒赝势是由Hamann等人提出来的。这种方法产生的赝势所对应的波函数不仅与真实势所对应的波函数具有同

样的能量本征值，而且在 R_c 以外，与真实波函数形状和幅度都相同。此外，赝波函数在 R_c 以内变化缓慢，没有大的动量。这种赝波函数能产生正确的电荷密度，适合于自洽计算。模守恒赝势产生步骤如下：

1）首先用全电子自洽计算原子势 $V(r)$ 和波函数 $U_l(r)$ 以及对应的本征能量 ε_l。

2）从全电子势 $V(r)$ 构造一过渡的原子赝势 $V_{1l}(r)$。$V_{1l}(r)$ 在 $r>R_c$ 时，与 $V(r)$ 一致；在 $r<R_c$ 时，变化平坦。因此，对应的过渡赝波函数 $w_{1l}(r)$ 在 $r<R_c$ 时也比较平坦，没有节点，没有大的动量。调整 $V_{1l}(r)$ 中的参数，使赝势的能量本征值与全电子势的一致，并使过渡赝波函数 $w_{1l}(r)$ 在 $r>R_c$ 以外与真实的波函数 $U_l(r)$ 一致。

3）对过渡赝波函数 $w_{1l}(r)$ 在 $r<R_c$ 时再加上一个短程的模守恒修正项以产生模守恒的赝波函数 $w_{2l}(r)$。

4）由 $w_{2l}(r)$ 可唯一地反演出原子赝势 $V_{2l}(r)$，在 $V_{2l}(r)$ 中再扣除价电子的贡献，即可得到离子赝势。

1.2　Ⅲ族氮化物的电子能带结构

1.2.1　Ⅲ族氮化物的电子能带图

由于Ⅲ族氮化物具有闪锌矿和纤锌矿两种结构，闪锌矿结构为面心立方晶格套构而成，其倒格子是体心立方，于是可以得到第一布里渊区为截角八面体，如图 6.3-1 所示。纤锌矿结构晶体为六方结构，其第一布里渊区仍为六方结构，如图 6.3-2 所示。这两种结构的倒格子不同导致它们的能带结构也有所不同。

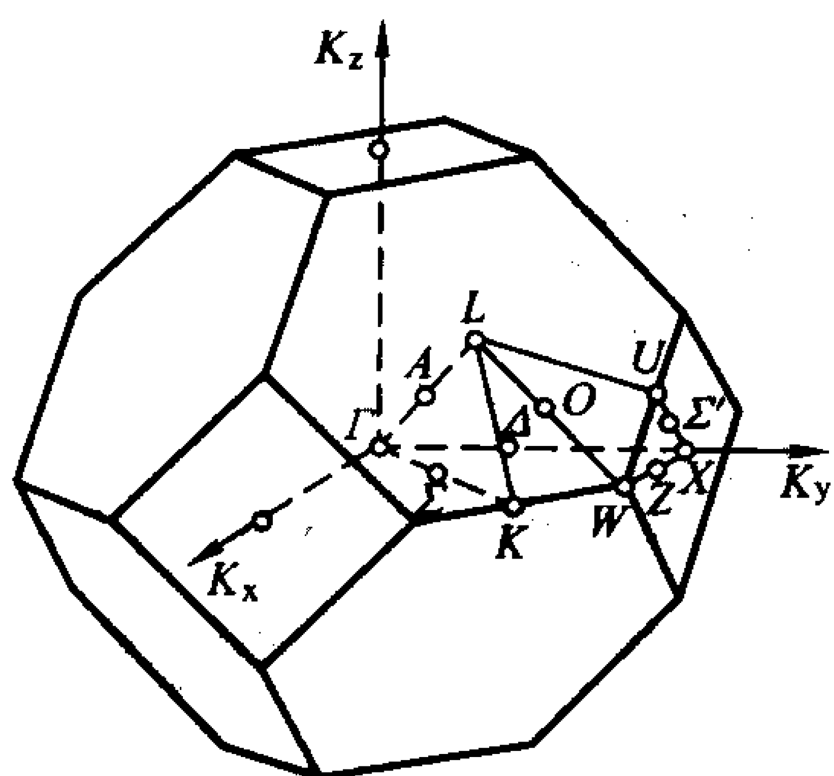


图 6.3-1　闪锌矿结构的第一布里渊区

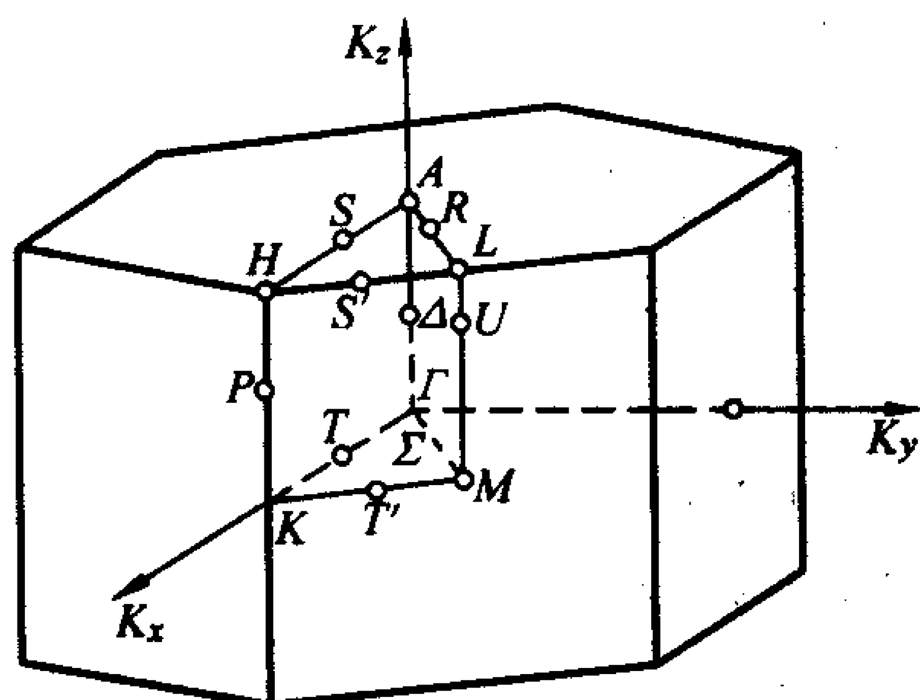


图 6.3-2　纤锌矿结构的第一布里渊区

图 6.3-3 和图 6.3-4 分别给出了遮 LDA 框架下计算得到的具有纤锌矿和闪锌矿两种结构的Ⅲ族氮化物的能带结构图。当然采用不同的计算方法，得到的能带结构参数会有差异，表 6.3-1 列出了采用不同计算方法所得到的一些主要的能带结构参数。

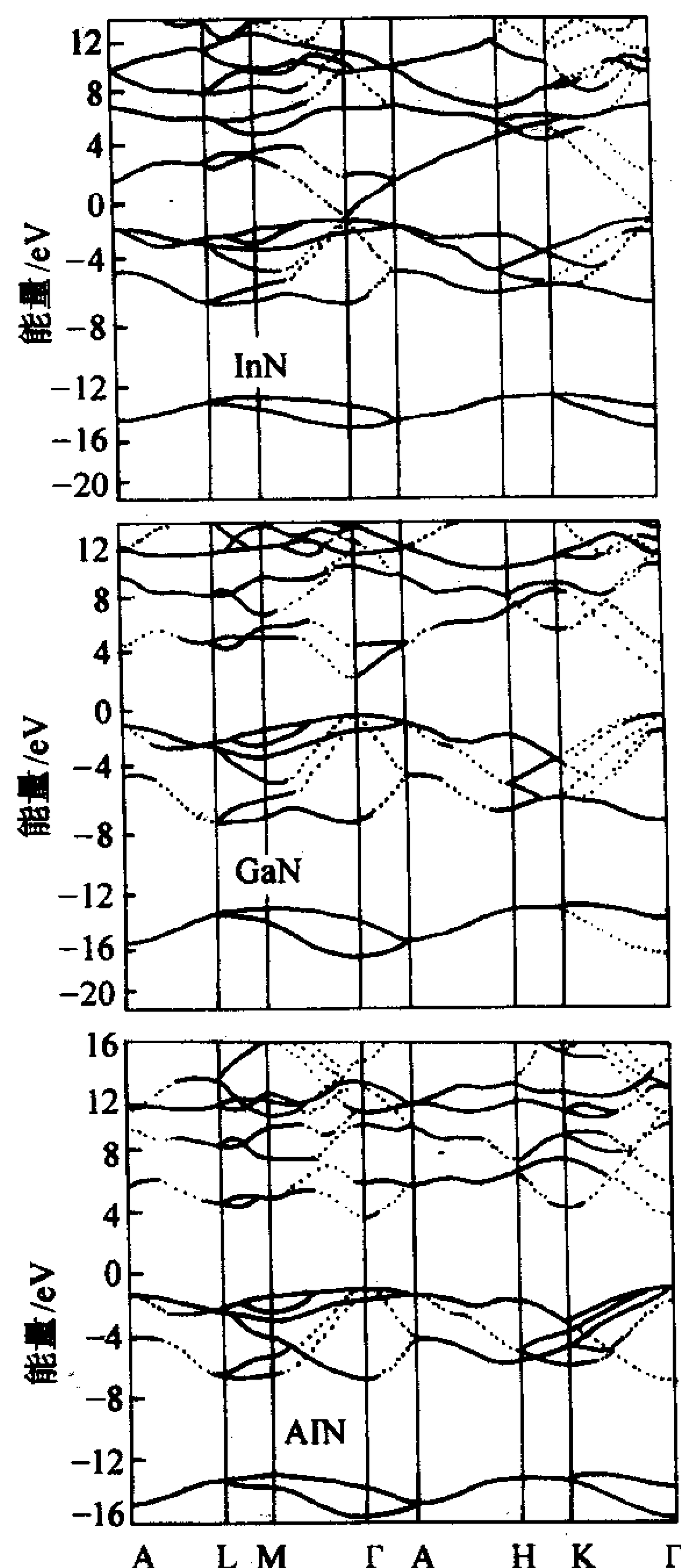


图 6.3-3　纤锌矿Ⅲ族氮化物的能带图

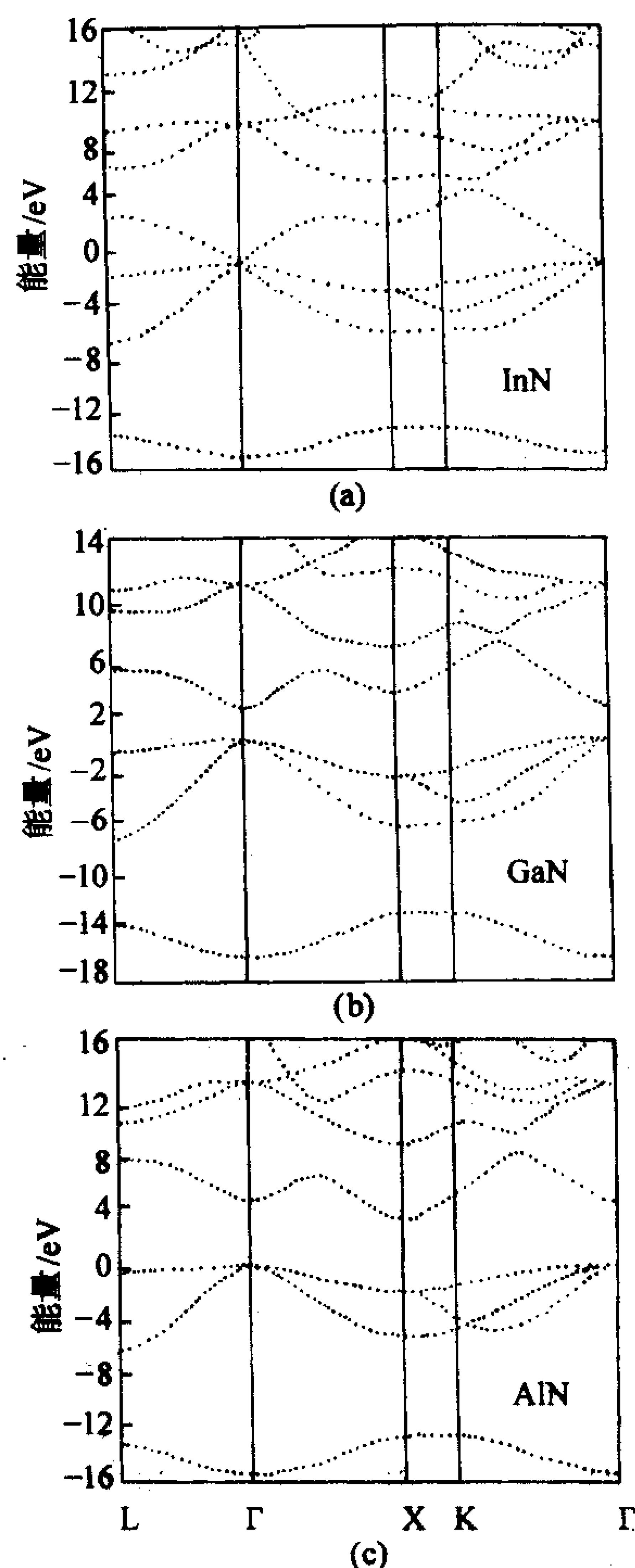


图 6.3-4　闪锌矿Ⅲ族氮化物的能带图

表 6.3-1　采用不同计算方法所得到的Ⅲ族氮化物的一些主要的能带结构参数

结构参数	LDA	SX 近似	GW 近似	实验值
纤锌矿 AlN				
N_{2s}带宽	2.7	2.7	2.8	3
N_{2p}带宽	6.0	6.0	6.9	6
价带宽	15.0	15.2	17.4	16
在 Γ 点带隙	4.3	6.3	5.8	6.3
闪锌矿 AlN				
N_{2s}带宽	2.8	2.6	2.7	
N_{2p}带宽	4.9	5.0	5.6	
价带宽	14.8	14.9	17.0	
在 Γ 点带隙	4.1	6.5	6.0	
$X_1^c-\Gamma_{15}^v$	3.2	5.7	4.9	
纤锌矿 GaN				
N_{2s}带宽	3.3	3.5	3.2	3
N_{2p}带宽	7.1	7.1	8.0	7.0
价带宽	15.6	15.8	18.2	16.0
在 Γ 点带隙	1.9	3.8	3.5	3.5
闪锌矿 GaN				
N_{2s}带宽	3.5	3.7	3.2	
N_{2p}带宽	6.2	6.3	6.9	6.1
价带宽	15.5	15.7	17.8	12.5
在 Γ 点带隙	1.9	3.6	3.1	3.4
$X_1^c-\Gamma_{15}^v$	6.4	8.7	8.4	
纤锌矿 InN				
N_{2s}带宽	2.6	2.7		
N_{2p}带宽	5.8	5.9		
价带宽	14.4	14.4		
在 Γ 点带隙	-0.3	1.4		
闪锌矿 InN				
N_{2s}带宽	2.8	2.9		
N_{2p}带宽	5.1	5.3		
价带宽	14.2	14.5		
在 Γ 点带隙	-0.4	1.3		
$X_1^c-\Gamma_{15}^v$	2.8	4.6		

1.2.2　Ⅲ族氮化物的基本能带结构和主要的带结构参数

(1) 闪锌矿 GaN 的基本能带结构

图 6.3-5 为闪锌矿结构 GaN 沿 <100> 和 <111> 方向上的能带结构图。可以看到，其价带在布里渊区中心是简并的，具有一个重空穴带和轻空穴带，还有一个由自旋－轨道耦合而分裂出来的第三个能带，称为自旋轨道分裂能带。自旋－轨道裂距 E_{so} 约 0.02 eV，Γ 谷对应于导带能量最小值，它与价带顶的能量差即禁带宽度为 3.2 eV，除此之外，在 <100> 和 <111> 方向布里渊区边界 L 和 X 处还各有一个极小值，它们与价带顶的能量差分别为 4.6 eV 和 4.8～5.1 eV，室温下闪锌矿结构 GaN 的禁带宽度为 3.2 eV。

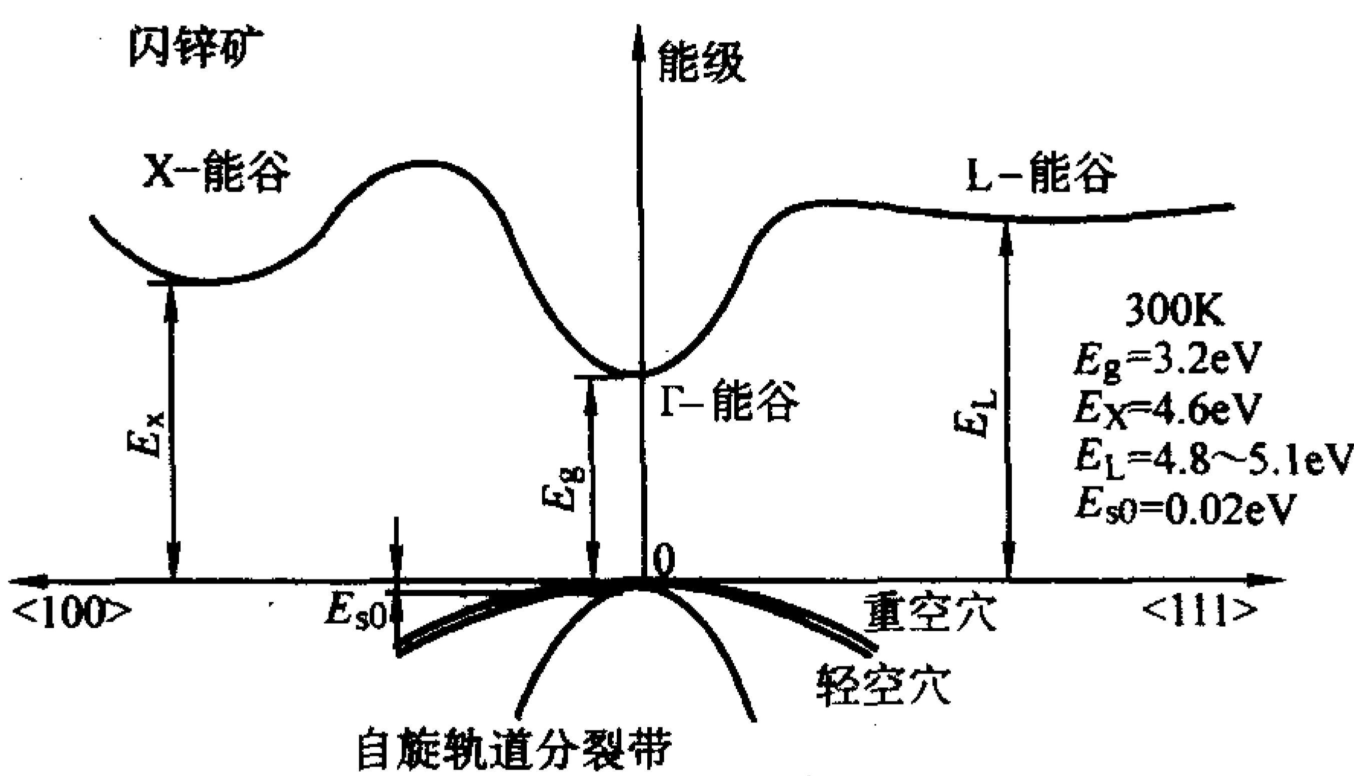


图 6.3-5　闪锌矿 GaN 的能带结构图

(2) 纤锌矿 GaN 的基本能带结构

图 6.3-6 为纤锌矿结构 GaN 沿 k_z 和 k_x 方向的能带结构图。在这种结构中，即使不考虑自旋－轨道耦合作用，在 $k=0$ 点，价带能带也将分裂成一双重简并能带和一单重简并的能带，裂距 E_{cr} 为 0.04 eV，这是由于纤锌矿结构的六方对称性导致的，因而称作晶体场劈裂。当考虑自旋－轨道耦合作用以后，能带近一步分裂，裂距 E_{so} 为 0.008 eV，远远小于由晶体场导致的能量分裂。GaN 具体带结构参数见表 6.3-2。

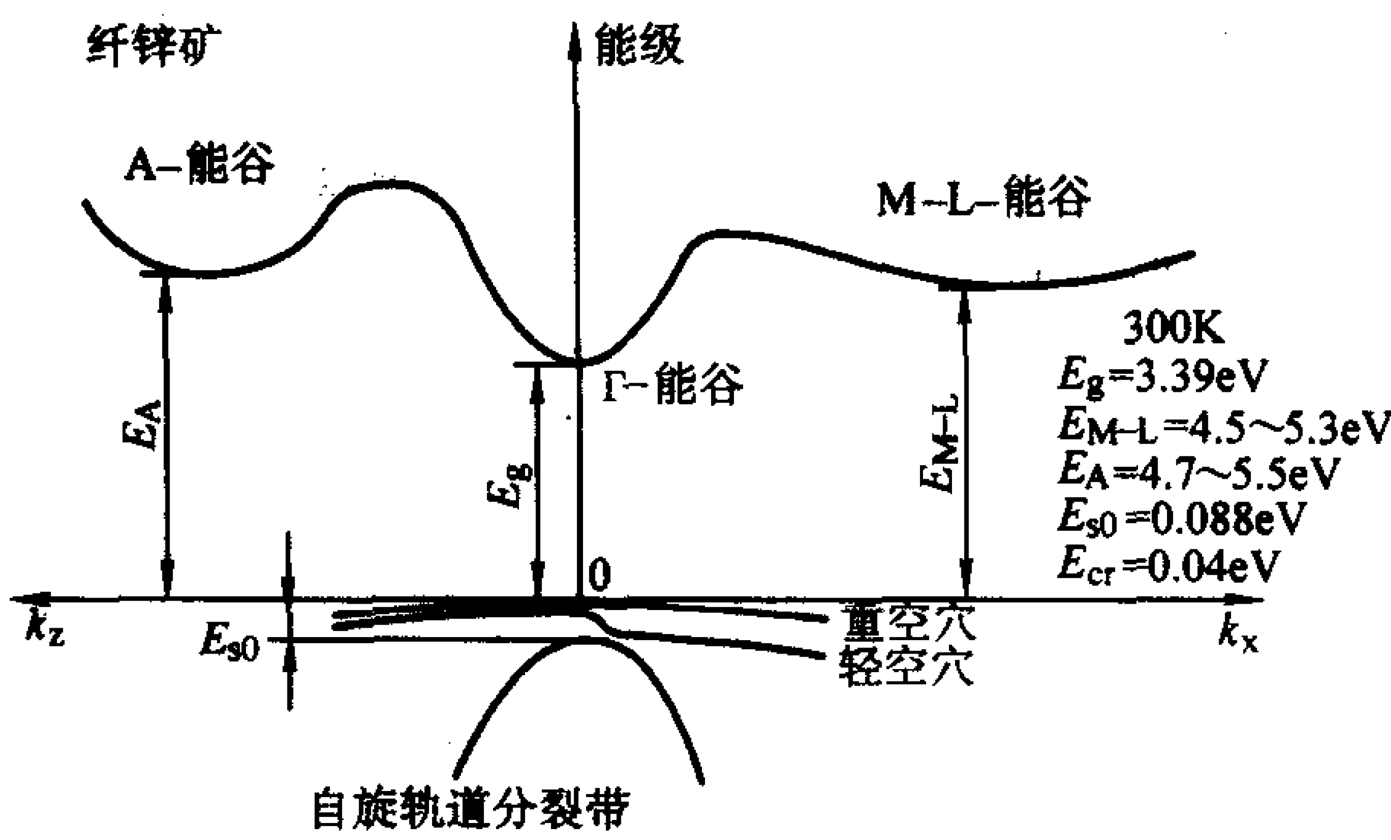


图 6.3-6　纤锌矿 GaN 的能带结构图

表 6.3-2　闪锌矿和纤锌矿 GaN 的带结构参数（300 K）

结构参数	纤锌矿 GaN	闪锌矿 GaN
带隙/eV	3.39	3.2
导带		
Γ 谷和 M－L 谷的能量间距/eV	1.1～1.9	
M－L 谷的简并度	6	
Γ 谷和 A 谷的能量间距/eV	1.3～2.1	
A 谷的简并度	1	
Γ 谷和 X 谷的能量间距/eV		1.4
Γ 谷和 L 谷的能量间距/eV		1.6～1.9
导带有效态密度/cm^{-3}	2.3×10^{18}	1.2×10^{18}
价带		
自旋－轨道劈裂能 E_{so}/eV	0.008	0.02
晶体－场劈裂能 E_{cr}/eV	0.04	
价带有效态密度/cm^{-3}	4.6×10^{19}	4.1×10^{19}
有效质量		
电子有效质量/m_0	0.20	0.13
重空穴有效质量/m_0	$m_{hh}=1.4$	$m_{hh}=1.3$

续表 6.3-2

结构参数	纤锌矿 GaN	闪锌矿 GaN
	$m_{hhz}=1.1$	$m_{[100]}=0.8$
	$m_{hh\perp}=1.6$	$m_{[111]}=1.7$
轻空穴有效质量/m_0	$m_{lh}=0.3$	$m_{lh}=0.19$
	$m_{lhz}=1.1$	$m_{[100]}=0.21$
	$m_{lh\perp}=0.15$	$m_{[111]}=0.18$
施主电离能（E_t-E_c）/eV		
Si 占据 Ga 位	0.012～0.02	
C 占据 Ga 位	0.012～0.02	
N 空位	0.03；0.1	
Mg 占据 N 位	0.26；0.6	
受主电离能（E_v-E_t）/eV		
Ga 空位	0.14	
Mg 占据 Ga 位	0.14～0.21	
Si 占据 N 位	0.19	
Zn 占据 Ga 位	0.21～0.34	
Hg 占据 Ga 位	0.41	
Cd 占据 Ga 位	0.55	
Bi 占据 Ga 位	0.7	
Li 占据 Ga 位	0.75	
C 占据 N 位	0.89	
Ga 占据 N 位	0.59～1.09	

(3) 纤锌矿 AlN 和 InN 的基本能带结构

纤锌矿结构 AlN 和 InN 的能带结构特征与纤锌矿结构 GaN 类似，分别如图 6.3-7 和图 6.3-8 所示，具体带结构参数见表 6.3-3。

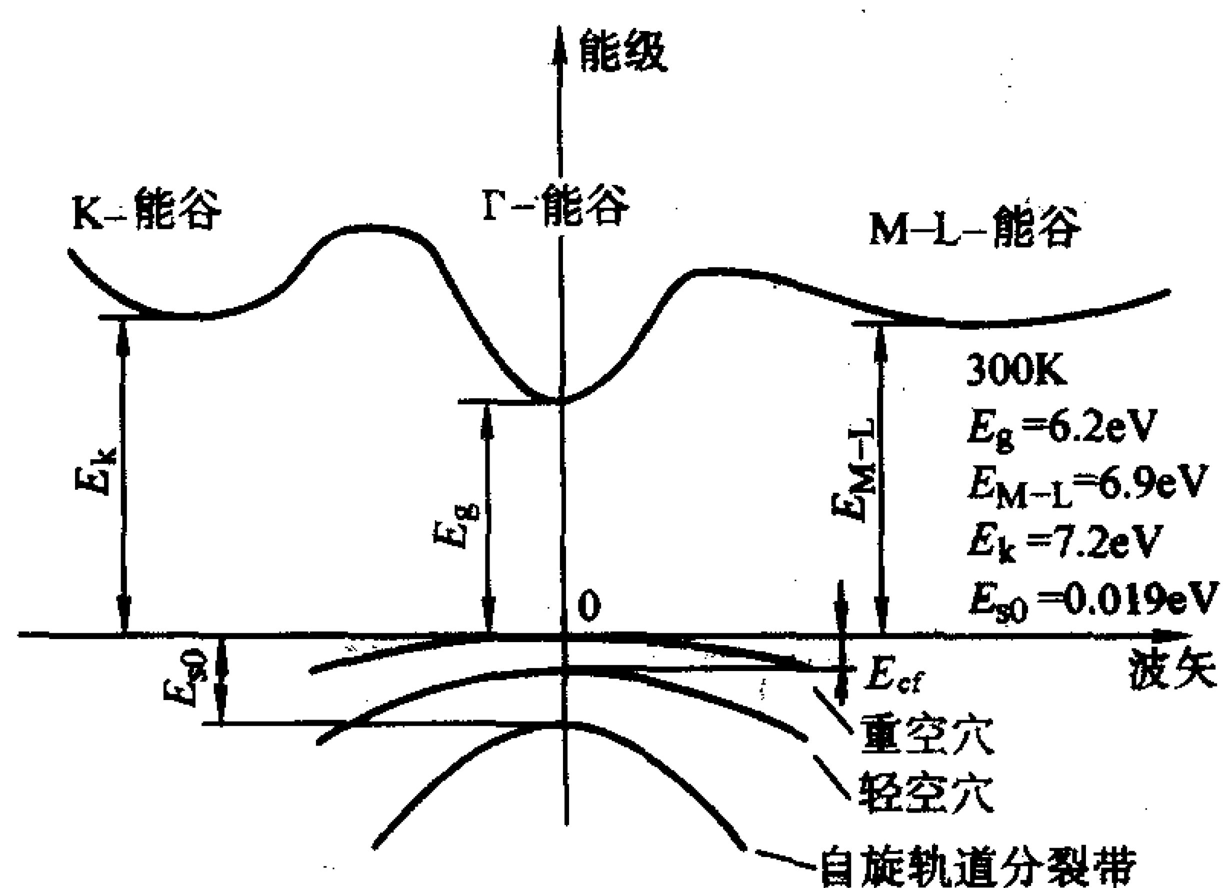


图 6.3-7 纤锌矿 AlN 的能带结构

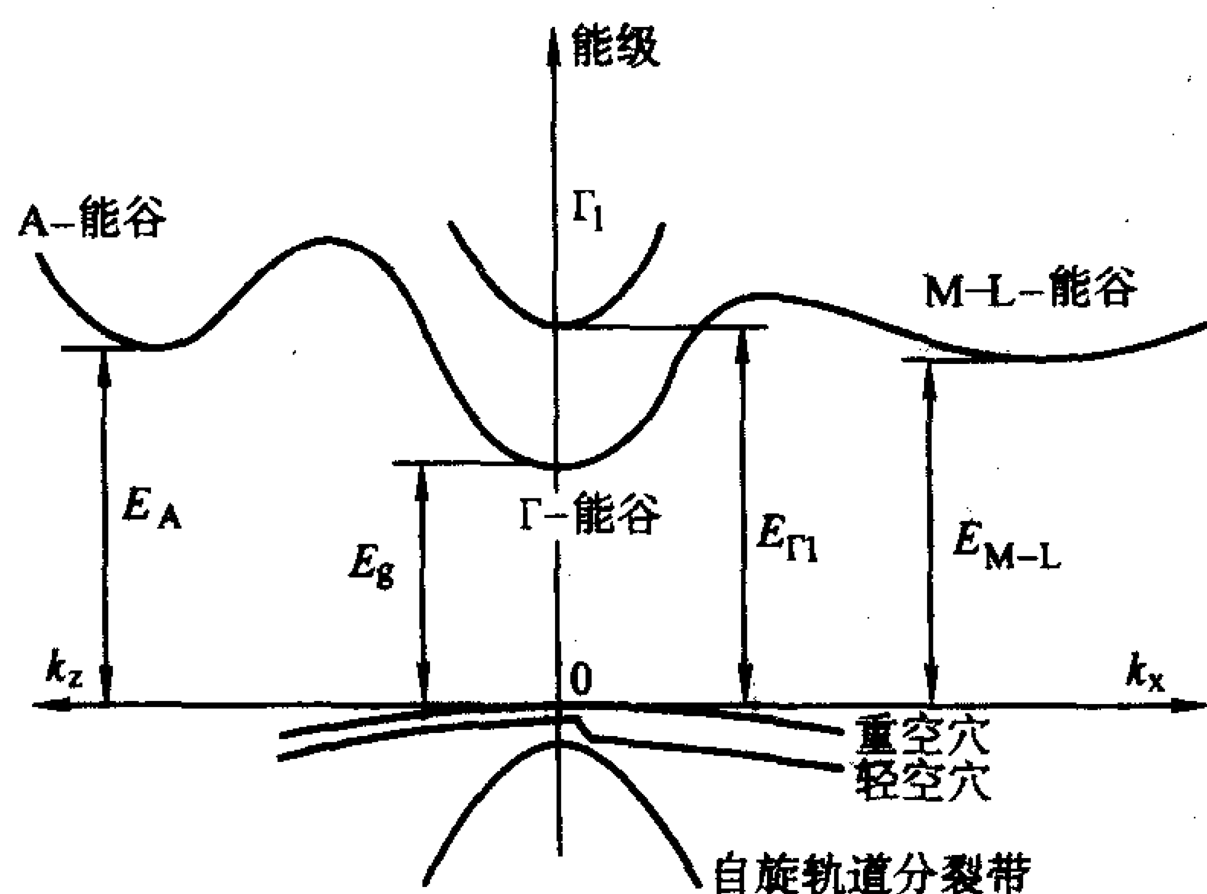


图 6.3-8 纤锌矿 InN 的能带结构

表 6.3-3 纤锌矿结构 AlN 和 InN 的带结构参数（300 K）

结构参数	AlN	InN
带隙/eV	6.2	1.9～2.05 (0.7)①
导带		
Γ谷和 M–L 谷的能量间距/eV	约 0.7	2.9～3.9
M–L 谷的简并度	6	6
Γ谷和 K 谷的能量间距/eV	约 1.0	
K 谷的简并度	2	
Γ谷和 A 谷的能量间距/eV		0.7～2.7
A 谷的简并度		1
Γ谷和 Γ1 谷的能量间距/eV		1.1～2.6
Γ1 谷的简并度		1
Γ谷和 X 谷的能量间距/eV		1.4
Γ谷和 L 谷的能量间距/eV		1.6～1.9
导带有效态密度/cm^{-3}	9×10^{17}	9×10^{17}
价带		
自旋–轨道劈裂能 E_{so}/eV	0.019	0.003
晶体–场劈裂能 E_{cr}/eV		0.017
价带有效态密度/cm^{-3}	5.3×10^{19}	5.3×10^{19}
有效质量		
电子有效质量/m_0	0.4	0.11
重空穴有效质量/m_0		$m_{hh}=1.63$
k_z 方向	$m_{hz}=3.53$	
k_x 方向	$m_{hx}=10.42$	
轻空穴有效质量/m_0		$m_{lh}=0.27$
k_z 方向	$m_{lz}=3.53$	
k_x 方向	$m_{lx}=0.24$	
施主电离能（E_t-E_c）/eV		
N 空位	0.17；0.5；0.8～1.0	
C 占据 Al 位	0.2	
N 占据 Al 位	1.4～1.85	
Al 占据 N 位	3.4～4.5	
受主电离能（E_v-E_t）/eV		
Al 空位	0.5	
C 占据 N 位	0.4	
Zn 占据 Al 位	0.2	
Mg 占据 Al 位	0.1	

① 最近 InN 带隙已被公认为 0.7 eV。

2 Ⅲ族氮化物半导体的自发极化与压电极化

极化包括自发极化和压电极化，是Ⅲ族氮化物半导体的一个重要性质，它对其中的电荷密度和电场分布具有很大的影响，在Ⅲ族氮化物异质结构中，极化导致的电场大大增强异质界面处的量子限制效应，从而强烈提高二维电子气的浓度。典型的 AlGaN/GaN 异质结构，即使是未掺杂情况下，也能获得浓度高达 $2\times10^{13}/cm^2$ 的二维电子气（2DEG），远高于

传统的 AlGaAs/GaAs 异质结构中的二维电子气浓度，这主要是因为该异质结构中 AlGaN 应变势垒层的压电极化强度非常大，为 AlGaAs 中的5倍之多。除了压电极化，六方结构Ⅲ族氮化物中还存在很强的自发极化，进一步增强异质结构中的极化效应，提高二维电子气的浓度。

2.1 自发极化

自发极化只出现在六方结构Ⅲ族氮化物中，六方结构为非中心对称结构，其平衡晶格结构可由三个独立晶格参数确定，分别是垂直于［0001］方向的晶格常数 a_0，平行于［0001］方向的晶格常数 c_0 和一个无量纲量 u。无量纲量 u 定义为平行于 c 轴的键长与晶格常数 c_0 的比值。

自发极化是由六方结构的Ⅲ族氮化物的实际晶格参数与理想六方结构的晶格参数之差引起的，它仅与该晶格结构有关，因此是一个常量。理想六角结构的晶格常数 c 与 a 之比为 $c/a=(8/3)^{1/2}=1.633$，而六方Ⅲ族氮化物的 c/a 值都小于理想值，如表6.3-4所示。随 u 增大，c/a 减小，其与理想结构的差别变大，因而自发极化大小从 GaN，InN 到 AlN 依次增强，其中 AlN 的自发极化大小已经非常可观，仅比典型的铁电体小3～5倍。规定极化强度的正方向为沿 c 轴从Ⅲ族原子（Al、Ga、In）指向最近邻Ⅴ族原子（N）的方向，即平行于［0001］方向。实验表明，Ⅲ族氮化物自发极化方向均为负，即反平行于［0001］方向。

表6.3-4 六方结构 AlN、GaN 和 InN 的晶格常数，自发极化，压电系数和弹性常数

参数	AlN	GaN	InN
a_0/nm	0.311 2	0.318 9	0.354
c_0/nm	0.489 2	0.518 5	0.570 5
c_0/a_0	1.601	1.626	1.612
u	0.380	0.376	0.377
P_{SP}/C·m^{-2}	−0.081	−0.029	−0.032
e_{33}/C·m^{-2}	1.46	0.73	0.97
e_{31}/C·m^{-2}	−0.60	−0.49	−0.57
C_{13}	108	103	92
C_{33}	373	405	224

2.2 压电极化

压电极化，顾名思义，是由作用于Ⅲ族氮化物半导体材料上的应力导致在材料内部产生极化场，从而强烈影响其电荷分布和电场分布。这里以六方结构为例，介绍Ⅲ族氮化物半导体中的压电极化。事实上，由于自发极化只存在于六方结构中并对二维电子气浓度有重要贡献，因此目前有关Ⅲ族氮化物异质结构的研究大多集中在沿［0001］方向生长六方结构上。

一般来说，作用于Ⅲ族氮化物半导体上的应力主要来自于异质结构界面处两种材料的晶格常数不匹配。压电张量有3个独立分量，其中 e_{33}，e_{31} 用来描述沿 c 轴和平面内的压电极化强度 P_{PE}，它们之间的关系为：

$$P_{PE}=e_{33}\epsilon_z+e_{31}(\epsilon_x+\epsilon_y) \tag{6.3-10}$$

式中，e_{33} 和 e_{31} 为压电系数；$\epsilon_z=(c-c_0)/c_0$ 为沿 c 轴的应变；$\epsilon_x=\epsilon_y=(a-a_0)/a_0$ 为平面内双轴应变，a，c 和 a_0，c_0 分别是应变晶格常数与本征晶格常数，它们之间的关系为：

$$\frac{c-c_0}{c_0}=-2\frac{C_{13}}{C_{33}}\frac{a-a_0}{a_0} \tag{6.3-11}$$

式中，C_{13} 和 C_{33} 为弹性常数。利用式（6.3-10）和式（6.3-11），考虑到弛豫度的影响，沿 c 轴方向上的压电极化大小可表示为

$$P_{PE}=2(1-R)\frac{a-a_0}{a_0}\left(e_{31}-e_{33}\frac{C_{13}}{C_{33}}\right) \tag{6.3-12}$$

式中，R 为应变层的弛豫度。当晶格全应变时 $R=0$，完全弛豫时 $R=1$。由于对于任意 Al 组分，$(e_{31}-e_{33}C_{13}/C_{33})<0$ 都成立，因而压电极化对于张应变（$a>a_0$）为负，平行于自发极化方向；对于压应变（$a<a_0$）则为正，与自发极化方向相反。表6.3-4给出了六方结构Ⅲ族氮化物的晶格常数，自发极化强度，压电系数和弹性常数。根据表中参数计算可知，在相同应变情况下，Ⅲ族氮化物中的压电极化强度也是从 GaN，InN 到 AlN 依次增强。图6.3-9给出 GaN、AlN、InN 的晶格常数、自发极化和压电极化，其中假定三者有相同的应变，应变度为 $f=2\%$。

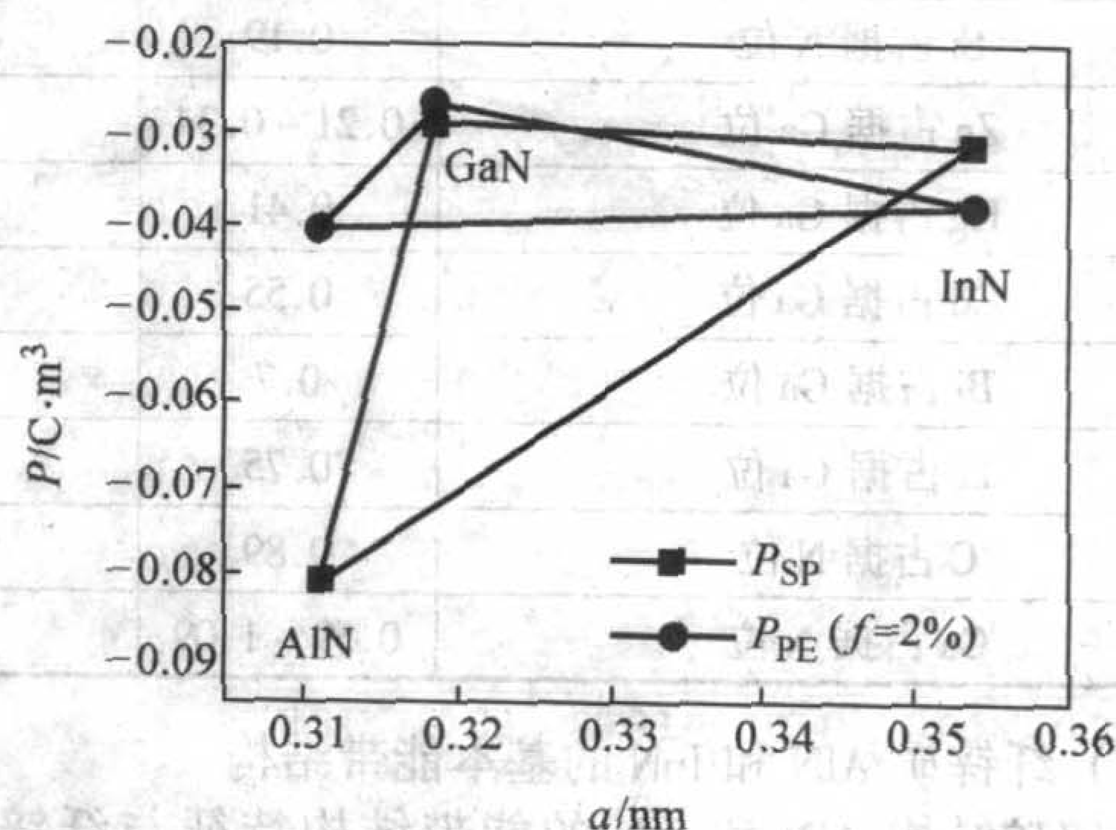


图6.3-9 Ⅲ族氮化物 GaN、AlN、InN 的晶格常数，自发极化和压电极化

2.3 Ⅲ族氮化物异质结构中的自发极化与压电极化

有关异质结构的基本概念，将在本章第4节中讨论。本节只针对其中的自发极化与压电极化进行分析。

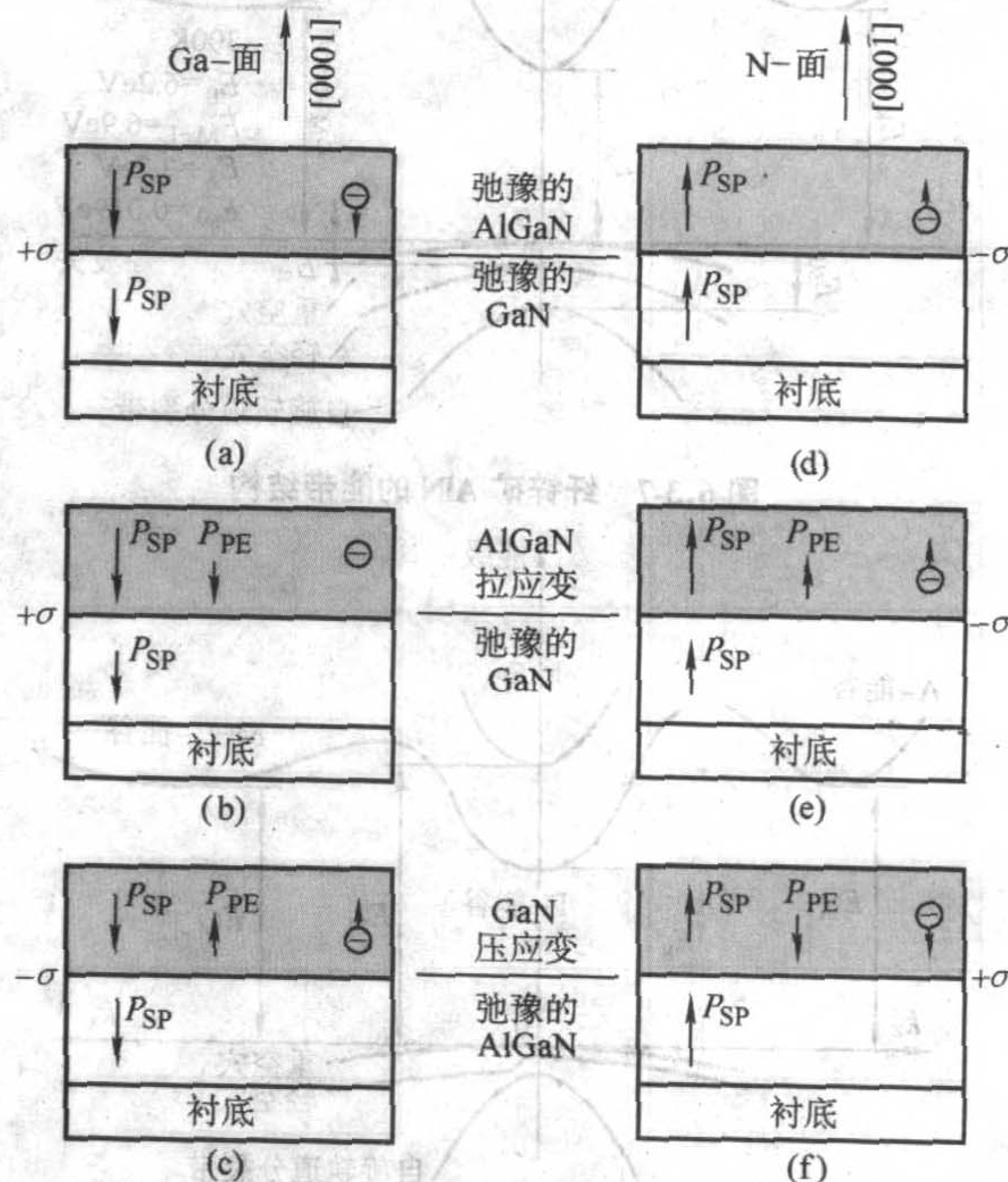


图6.3-10 Ga面和N面极化 AlGaN/GaN 异质结构中自发极化和压电极化的方向以及界面处的极化电荷

Ⅲ族氮化物异质结构中自发极化方向始终为负，反平行于［0001］方向，而压电极化方向在张应变时为负，在压应变时为正，当应变完全弛豫时，压电极化强度为零。图 6.3-10 给出了 GaN 或 AlGaN 层分别处于完全弛豫，张应变和压应变情况下，AlGaN/GaN 异质结构中的自发极化和压电极化的方向，分 Ga 面极化和 N 面极化两种情况。由表 6.3-4 可知，AlN 的晶格常数 $a=0.3112$ nm，小于 GaN 的晶格常数 $a=0.3189$ nm，因而在弛豫 GaN 层上准晶生长 AlGaN，则 AlGaN 层处于张应变，其压电极化方向与自发极化方向相同，如图中 b)；反过来，如果在弛豫的 AlGaN 上生长 GaN，则 GaN 处于压应变，压电极化方向与自发极化方向相反（图中 c)）。如果在生长过程中，由于晶格失配太大或厚度超过临界厚度，将会使应变 AlGaN 层发生弛豫，完全弛豫的 AlGaN 层中压电极化强度为零，但仍存在较强的自发极化，如图中 a）所示。自发极化大小和 AlGaN 层中 Al 组分 x 近似成线性关系，即：

$$P_{SP}(x)=(-0.052x-0.029)\quad \mathrm{C/m^2} \qquad (6.3\text{-}13)$$

又有研究发现，Ⅲ族氮化物的三元化合物中的自发极化强度随组分 x 的变化并非完全线性，而是具有二次项和更高次项，但通常情况下，高于二次项可以忽略，因为它带来的最大误差不超过 10%。

下面以 AlGaN/GaN 异质结构为例，讨论压电极化强度与各种因素的关系，假定 GaN 层为完全弛豫。

由式（6.3-12）可以看出，压电极化强度与以下几个参数有关，弛豫度、晶格失配度、弹性常数和压电常数。显而易见，在其他条件不变的情况下，压电极化与弛豫度的关系为线性关系，即随应变层弛豫度的增加，压电极化强度线性减小。弛豫度与晶格失配度和临界厚度有关，这里不进行重点讨论。晶格失配度、弹性常数和压电常数都与 AlGaN 应变势垒层中的 Al 组分有关。弛豫的 AlGaN 的晶格常数为 AlN 和 GaN 晶格常数的线性组合：

$$a_0(x)=(-0.077x+3.189)10^{-10}\ \mathrm{m} \qquad (6.3\text{-}14)$$

则沿［0001］方向准晶生长的 AlGaN/GaN 异质界面处的晶格失配度为：

$$f=\frac{a_{sub}-a_0}{a_0}=\frac{a(\mathrm{GaN})-a_0(x)}{a_0(x)} \qquad (6.3\text{-}15)$$

AlGaN 的弹性常数 C_{13}、C_{33} 和压电常数 e_{31}、e_{33} 也可以写成 AlN 和 GaN 二者的线性组合：

$$C_{13}(x)=(5x+103)\quad \mathrm{GPa} \qquad (6.3\text{-}16a)$$

$$C_{33}(x)=(-32x+405)\quad \mathrm{GPa} \qquad (6.3\text{-}16b)$$

$$e_{31}(x)=(-0.11x+0.49)\quad \mathrm{C/m^2} \qquad (6.3\text{-}17a)$$

$$e_{33}(x)=(0.73x+0.73)\quad \mathrm{C/m^2} \qquad (6.3\text{-}17b)$$

于是，AlGaN 应变势垒层中的压电极化强度可写成：

$$P_{PE}(x)=2(1-R)\frac{a_{GaN}-a_0(x)}{a_0(x)}\left[e_{31}(x)-e_{33}(x)\frac{C_{13}(x)}{C_{33}(x)}\right] \qquad (6.3\text{-}18)$$

图 6.3-11 给出了 AlN、GaN、InN 及它们的三元合金中的压电极化随组分的关系，其中假定以 GaN 为基，势垒层为全应变，即弛豫度 $R=0$。可以看出，对于 GaN 层上的 AlGaN 和 InGaN 合金势垒层，压电极化大小随组分增加以略高于线性的方式增大，所不同的是极化方向相反，因为生长在 GaN 上的 AlGaN 处于张应变，而 InGaN 层则处于压应变。不考虑实验条件的限制，在 GaN 上生长 InAlN，当 In 组分较小时，InAlN 处于张应变，随 In 组分的增大，InAlN 中应力逐渐减少变为零，随后又将处于压应变且应力不断增大。以上计算采用 AlN、GaN 和 InN 的参数的线性组合，然而，如果考虑压电常数的非线性效应，计算结果会有些差异，但通常不超过 2%，因此可以忽略。

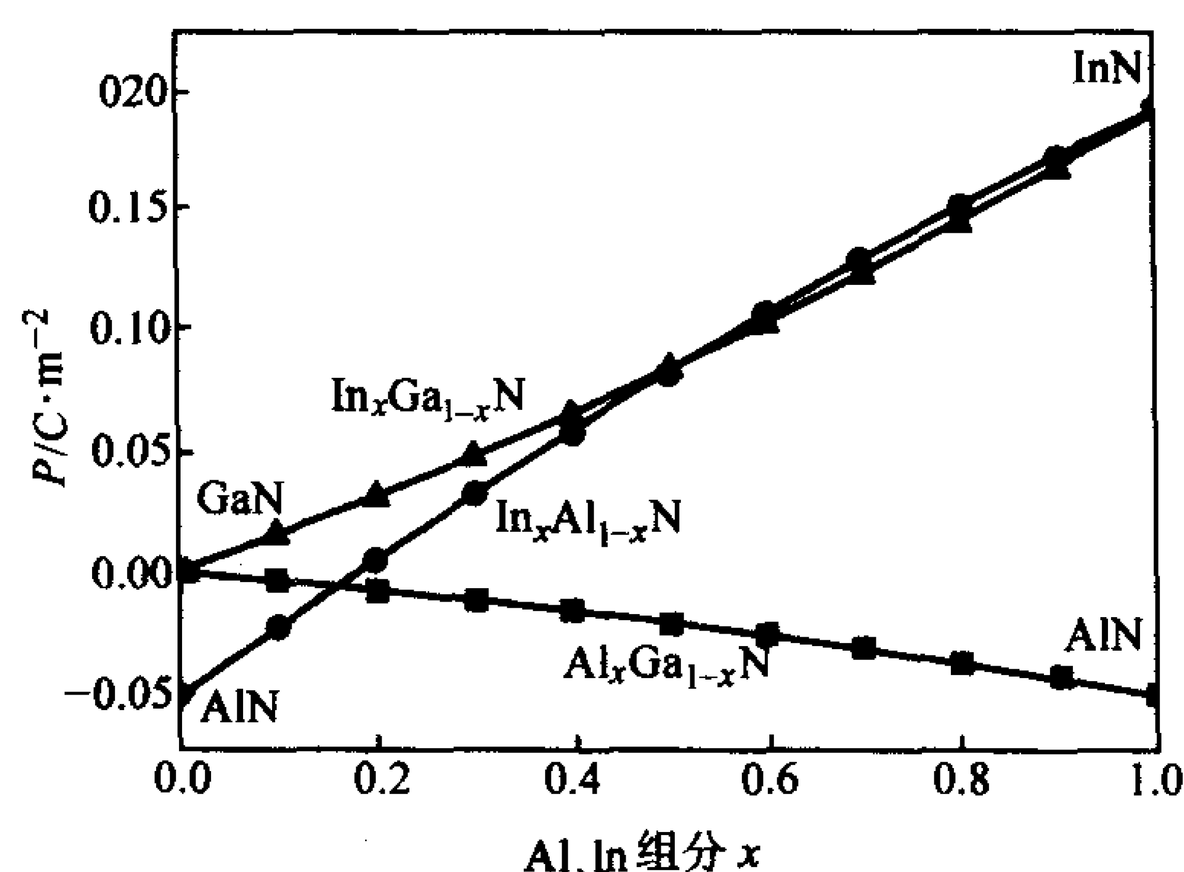


图 6.3-11　压电极化与三元合金势垒层中组分的关系（GaN 基）

3　Ⅲ族氮化物半导体的光学性质

半导体的光学性质包含本征效应和非本征效应。本征光学跃迁是指带间跃迁，包括激子效应，以及与声子和载流子相关的处于光谱红外波段的吸收过程。非本征性质与掺杂或缺陷有关，通常会在带隙中产生特定的的电子态，并影响光的吸收、发射过程和其他材料参数。本节我们主要讨论以 GaN 为代表的Ⅲ族氮化物的本征光学性质以及与杂质和缺陷相关的光学效应。

3.1　基本光学函数

设一束沿 x 方向传播的电磁波

$$E(x,t)=E_0w^{i\omega(\frac{x}{v}-1)} \qquad (6.3\text{-}19)$$

式中，E 为横向电场，ω 为角频率，v 为相速度。定义复折射率

$$N=n+ik \qquad (6.3\text{-}20)$$

相速度

$$v=c/N \qquad (6.3\text{-}21)$$

n 为折射率，k 为消光系数，c 为真空光速，代入式（6.3-19），得到

$$E(x,t)=E_0\mathrm{e}^{-\frac{\omega kx}{c}}\mathrm{e}^{i\omega(\frac{nx}{c}-1)} \qquad (6.3\text{-}22)$$

考虑光强 I 正比于 $|E|^2$，得到

$$I(x)=I_0\mathrm{e}^{-\alpha x} \qquad (6.3\text{-}23)$$

式中，

$$\alpha=\frac{2\omega k}{c}=\frac{4\pi k}{\lambda} \qquad (6.3\text{-}24)$$

λ 为真空中的电磁波长，α 为吸收系数

$$\frac{\mathrm{d}I}{\mathrm{d}x}=-\alpha I \qquad (6.3\text{-}25)$$

由上式可知，吸收系数的物理意义为单位光强、单位体积在单位时间内固体吸收的光能量。复介电常数的定义为

$$\varepsilon=\varepsilon_1+i\varepsilon_2=N^2 \qquad (6.3\text{-}26)$$

$$\varepsilon_1=n^2-k^2 \qquad (6.3\text{-}27)$$

$$\varepsilon_2=2nk \qquad (6.3\text{-}28)$$

定义垂直界面的反射率

$$R=\frac{(n-1)^2+k^2}{(n+1)^2+k^2} \qquad (6.3\text{-}29)$$

n 和 k 之间满足克拉默斯－克勒尼希（Kramers-Kronig）关系

$$n(\omega)-1=\frac{c}{\pi}\int_0^{\infty}\frac{\alpha(s)}{s^2-\omega^2}\mathrm{d}s \qquad (6.3\text{-}30)$$

表 6.3-5 列出了室温下 GaN、AlN 和 InN 的介电常数、折射率等光学函数的数据。

表 6.3-5　GaN、AlN 和 InN 的基本光学参数（300 K）

光学参数	GaN（闪锌矿）	GaN（纤锌矿）	InN	AlN
静态介电常数	9.7	8.9	15.3	9.14
		$E \parallel c$　10.4	13.1	8.5
		$E \perp c$　9.5	14.4	
高频介电常数	5.3	5.35	8.4	4.84
		$E \parallel c = 5.8$	9.3	4.6
		$E \perp c$　5.35	5.8	
折射率		2.29		
红外折射率	约=2.3	约=2.3	约=2.9	2.1~2.2单晶 1.9~2.1多晶 1.8~1.9非晶
辐射复合系数 /$10^{-10}cm^3 \cdot s^{-1}$	110	110	2	0.4
光学声子能 /meV	87.3	91.2	73	99
声子频率 /cm^{-1}	LO(Γ)748 TO(Γ)562 LO(X)639 TO(X)558 LA(X)286 TA(X)207 LO(L)675 TO(L)554 LA(L)296 TA(L)144	A_1-LO 710~735 A_1-TO 533~534 E_1-LO 741~742 E_1-TO 556~559 E(低)143~146 E(高)560~579	E(低)87 E(高)488 A_1-LO 588 A_1-TO 451 E_1-LO 592 E_1-TO 476	$n_{TO}(E_1)$657~673 $n_{TO}(A_1)$607~614 或 659~667 $n_{LO}(E_1)$859~924 $n_{LO}(A_1)$888~910 $n^{(1)}(E_2)$241~252 $n^{(2)}(E_2)$655~660

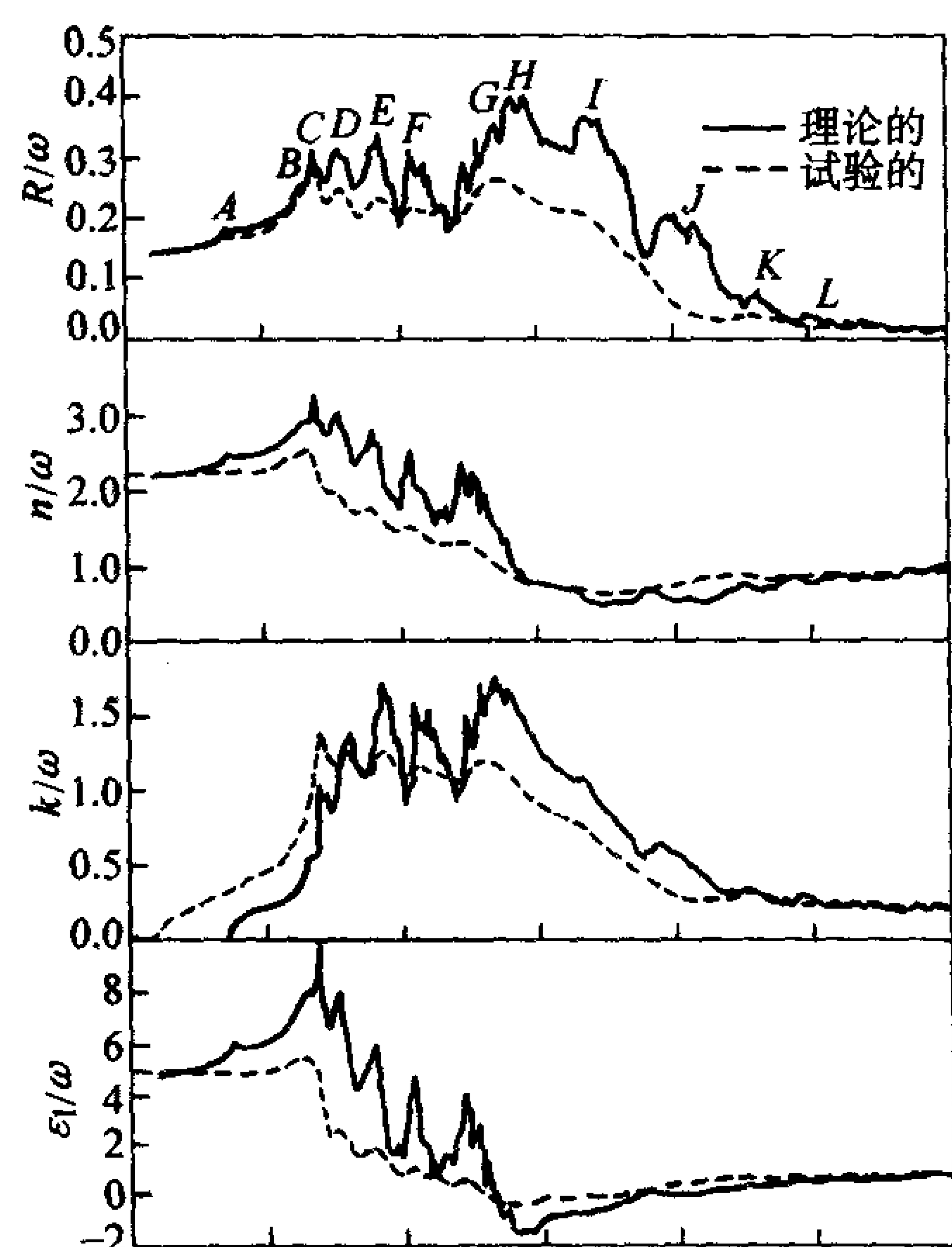


图 6.3-12　具有纤锌矿结构的 GaN 在 3.5 eV 到 30 eV 之间的反射谱

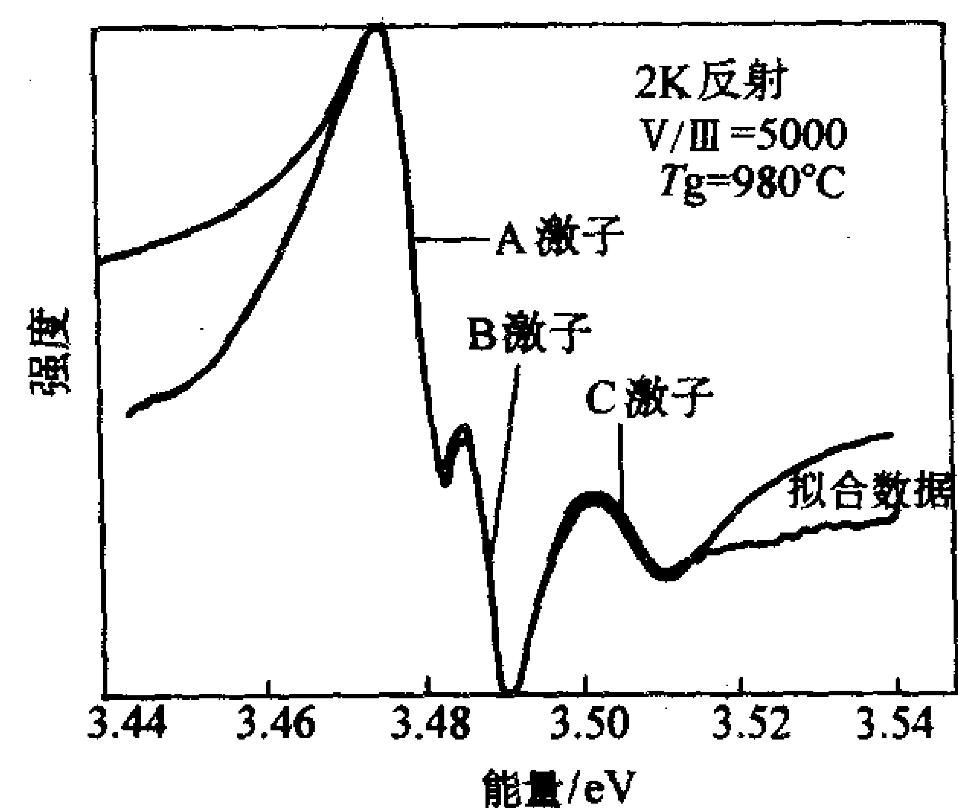


图 6.3-13　α 极化情况下 GaN 的反射谱

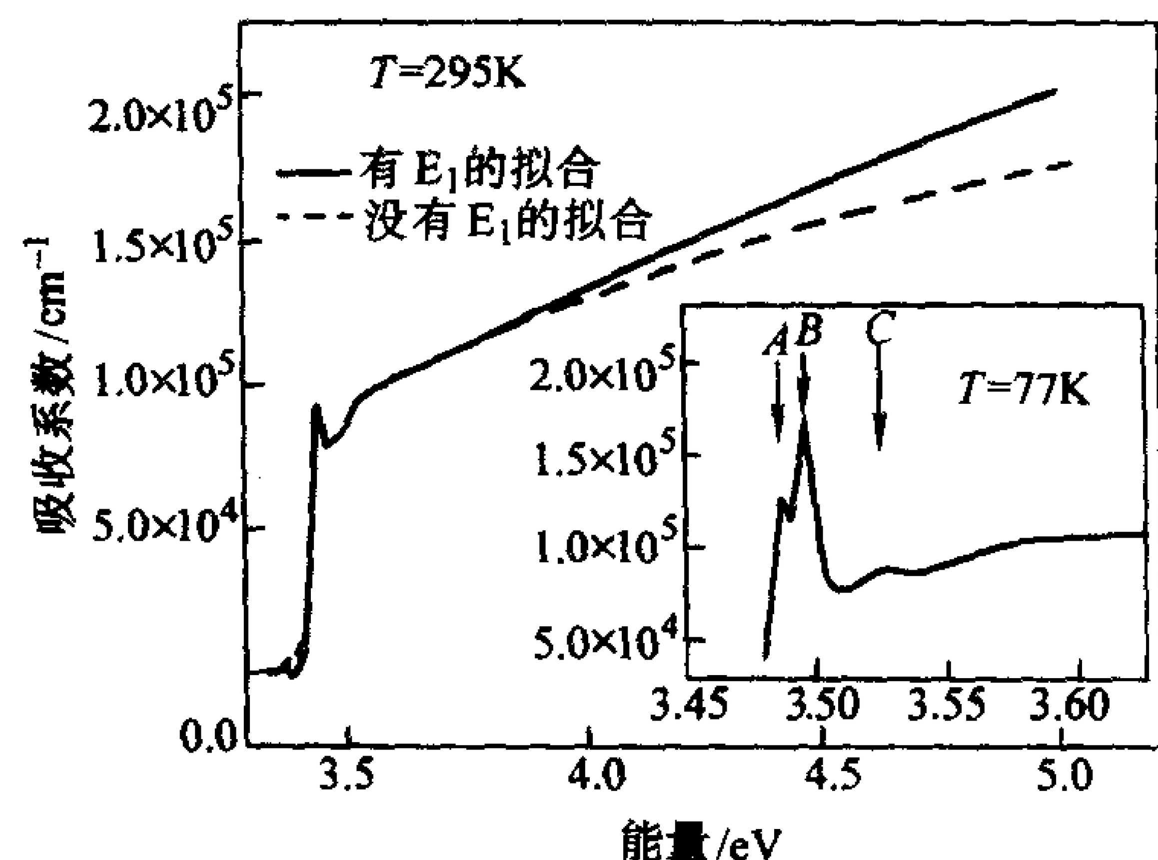


图 6.3-14　GaN 的吸收谱

3.2　高于带隙能的光学性质

GaN、AlN 和 InN 都具有一个最小的直接带隙，因此存在一个尖锐的带间吸收边，对应此吸收边处有一个大的吸收系数（约 10^5/cm，见图 6.3-14），大于带边的吸收甚至更强，因此，直接的带间吸收测量不太实际。在高电子能区域测量光学性质的一种通用方法是测量具有一个大的波段范围的反射谱，这种测量可以做到十分精确。这样，通过光谱和其他光学量的相关性，就可以获得一些光学量，如通过 Kramers-Kronig 关系可计算得到介电函数或者是折射率的实部和虚部等。图 6.3-12 给出了具有纤锌矿结构的 GaN 在3.5~30 eV 之间的反射谱，同时，根据反射谱采用 Kramers-Kronig 关系得到了折射率 n（ω）、消光系数 R（ω）以及复介电常数的实部 ε_1（ω）与虚部 ε_2（ω）的图谱。图中理论反射谱是根据能带结构计算得到的。对于几个较强的特征峰，理论计算和实验测得的反射谱符合得很好。表 6.3-6 总结了纤锌矿 GaN 高于带隙能的几个主要光学跃迁特征峰。

表 6.3-6　纤锌矿 GaN 大于带隙能的几个主要光学跃迁特征峰

反射峰	理论值	实验值	对应的跃迁
A	3.8		$\Gamma_6 - \Gamma_1$
B	6.5		$\Gamma_5 - \Gamma_3$
C	6.9	6.9	$U_4 - U_3$
D	7.7	8.0	$M_4 - M_3$
E	9.2	9.3	$T_2 - T_2$

3.3　靠近带边的光学性质（激子效应）

在靠近带边区，自旋轨道耦合、包括激子效应在内的电子-空穴相互作用都将会对吸收边产生影响。因此，在靠近带边区的本征吸收谱将由三个对称的价带 Γ_9、Γ_7 和 Γ_7 到最低的导带 Γ_7 之间的跃迁决定，其相应的激子态通常被命名为 A、

续表 6.3-6

反射峰	理论值	实验值	对应的跃迁
F	10.4 ~ 11.5	10.4 ~ 11.5	$A_{5,6}-A_{1,3}$；$L_{1,3}-L_{4,3}$
G	12.2 ~ 13.3	12.2 ~ 13.4	多种跃迁
H	14.0 ~ 14.5	13.9	多种跃迁
I	17.0	16.8	多种跃迁
J	20.0	19.0	多种跃迁
K	23.0	23.0	多种跃迁

B和C激子。在单光子跃迁时，这三个激子态将遵循下面的选择规则：在σ极化（光场矢量$E\perp c$轴，光传播矢量$k\perp c$轴）情况下，三个激子态都是允许的，只是C激子态很弱；在π极化($E\parallel c, k\perp c$)情况下，C激子态是强烈允许的，B激子态很弱，而A激子态是禁止的；在α极化（$E\perp c$，$k\parallel c$）情况下，三个激子态都能清楚地观测到。图 6.3-13 给出了α极化情况下 GaN 的反射谱。对无应变 GaN，在 2 K 时 A、B 和 C 激子的能量分别为 3.478eV、3.484 eV 和 3.503 eV。同样，图 6.3-14 给出了 GaN 的吸收谱，在低温下也能清楚地观测到 A、B 和 C 三个激子，在室温下 A、B 激子由于声子的宽化影响而重叠变为一个峰。光致发光谱(PL)是研究激子结构的另外一种非常有效的技术，图 6.3-15 给出了 GaN 在激子能量范围内的 PL 谱，除清楚地观测到 A、B和C三个激子峰外，还观测到了A激子的激发态（$n=2$）。

另外，具有一定浓度的电子会对激子产生屏蔽效应，可以对吸收边产生调制和展宽。图 6.3-16、图 6.3-17 和图 6.3-18 给出了电子浓度对吸收系数的影响。由图 6.3-16 可以看出，电子浓度高的吸收边略向高能区移动，高电子浓度下吸收边会向高能区域移动是因为电子填充到导带的缘故。

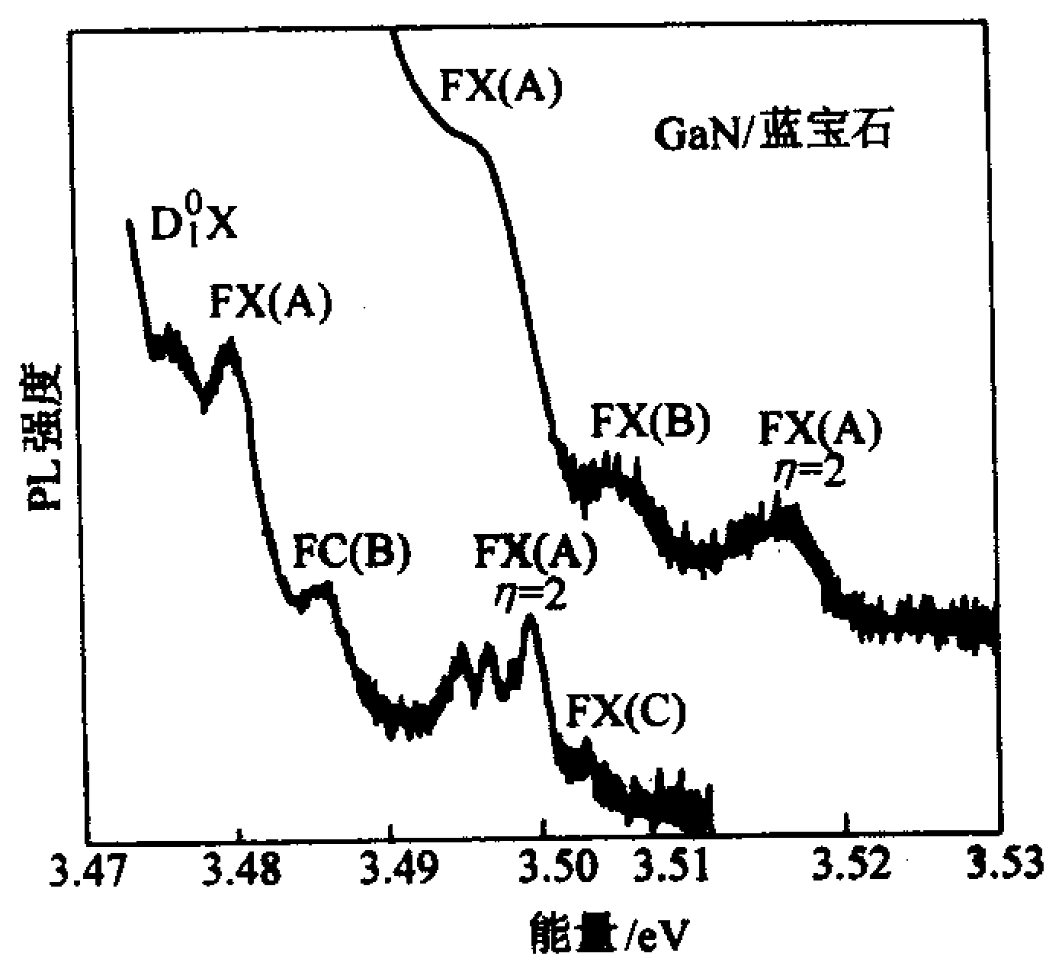


图 6.3-15　GaN 在激子能量范围内的 PL 谱

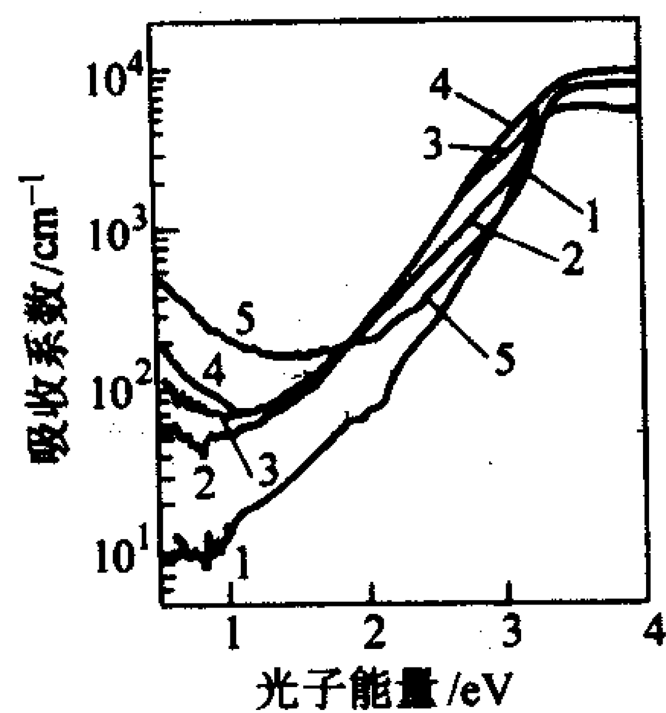


图 6.3-16　不同电子浓度的纤锌矿 GaN 的吸收系数与光子能量的关系

（$T=300$ K，电子浓度 n_0：1—$2\times10^{16}/\text{cm}^3$，2—$2.8\times10^{17}/\text{cm}^3$，3—$5\times10^{17}/\text{cm}^3$，4—$2.3\times10^{18}/\text{cm}^3$，5—$2\times10^{19}/\text{cm}^3$）

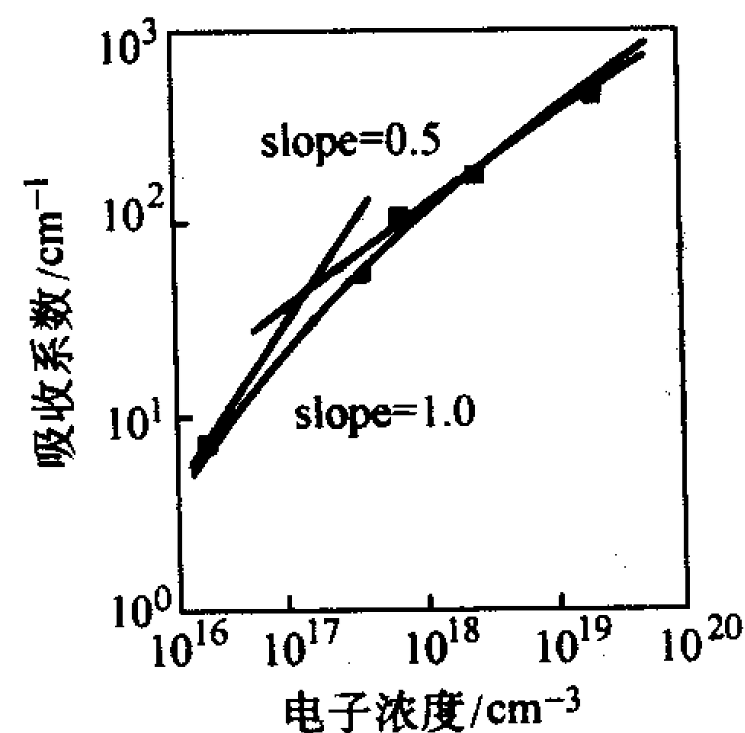


图 6.3-17　纤锌矿 GaN 在不同电子浓度下的吸收系数

［$E_{ph}=0.6$ eV（自由载流子吸收），$T=300$ K］

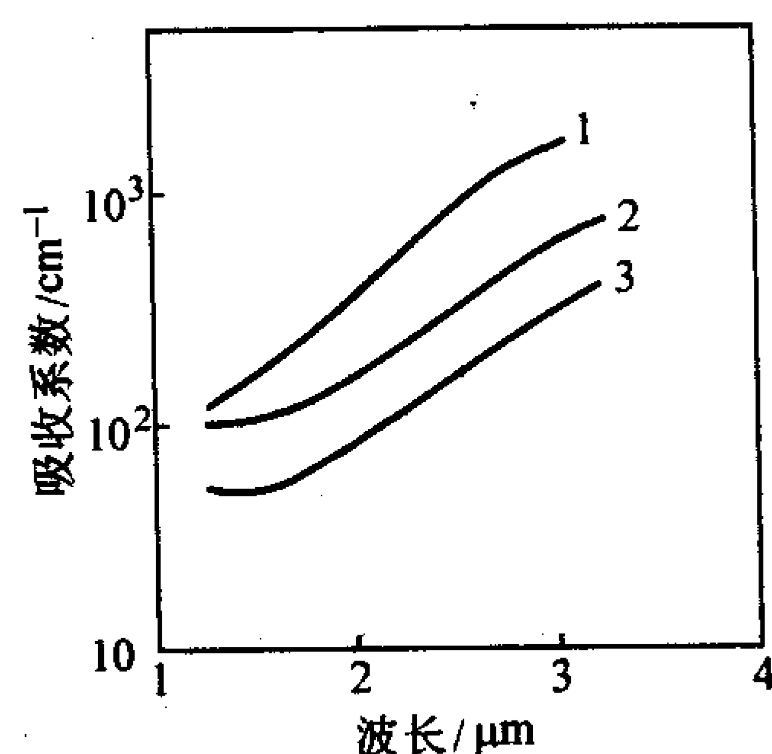


图 6.3-18　不同电子浓度的纤锌矿 GaN 在相应波长下的吸收系数

（n_0：1—$6.3\times10^{19}/\text{cm}^3$；2—$2.9\times10^{19}/\text{cm}^3$；3—$1.8\times10^{19}/\text{cm}^3$）

图 6.3-19 ~ 图 6.3-22 给出了 AlN 和 InN 以及立方结构 GaN 的近带边的一些光学性质：

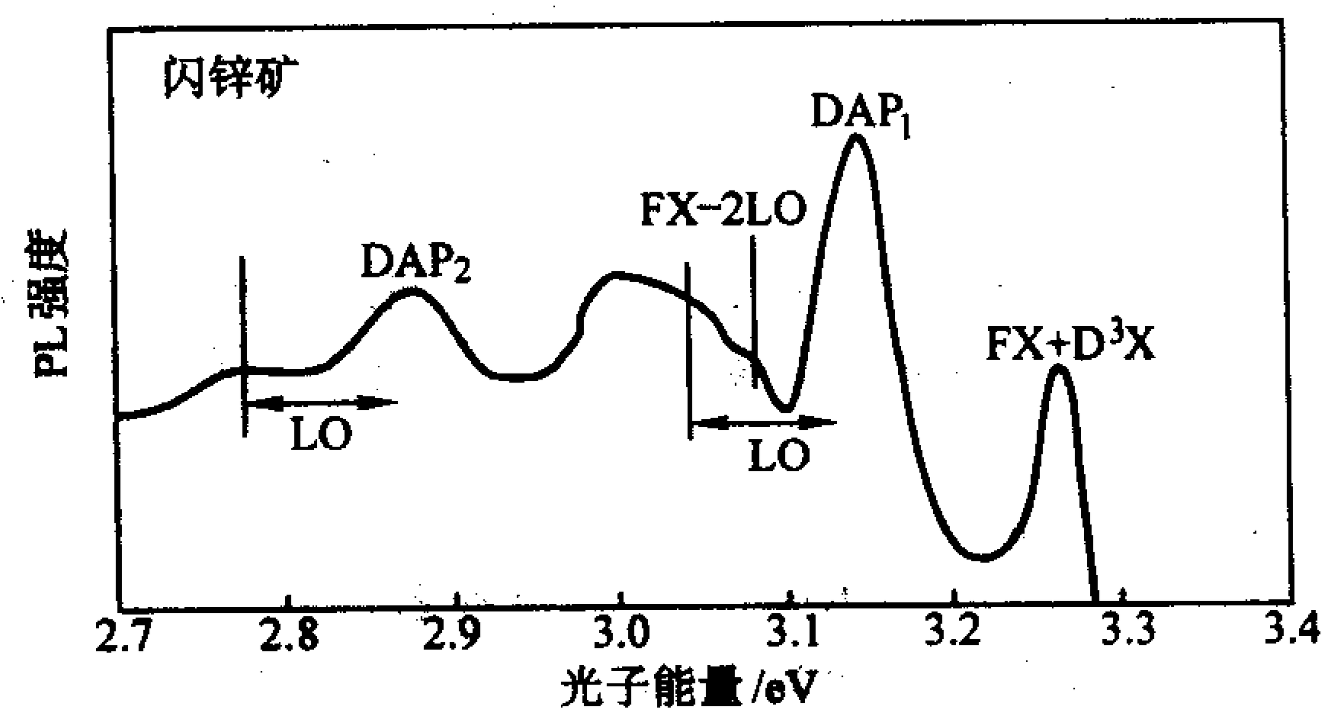


图 6.3-19　生长在 GaAs 衬底上的立方 GaN 的 PL 谱（$T=1.8$ K）

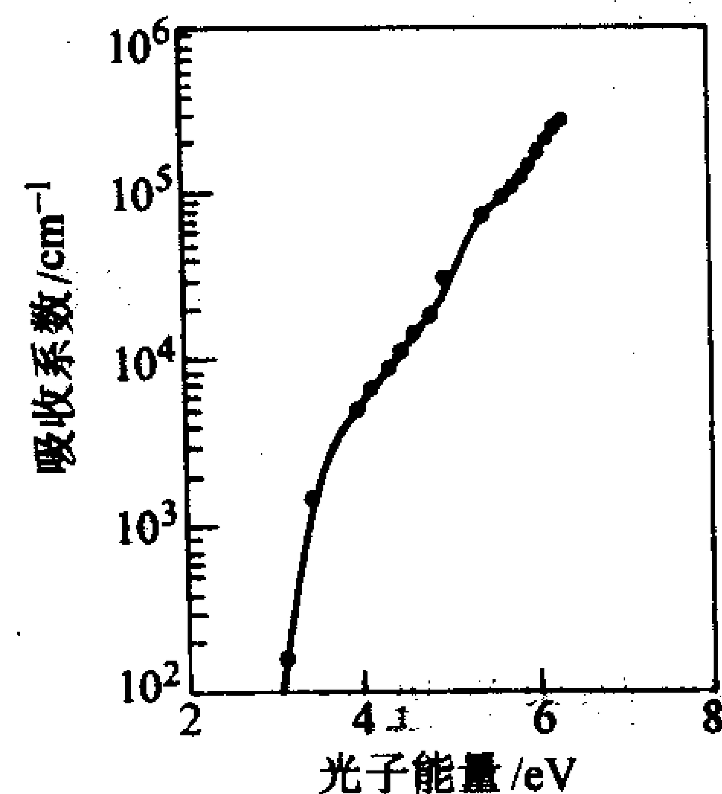


图 6.3-20　纤锌矿 AlN 吸收系数与光子能量的关系（300 K）

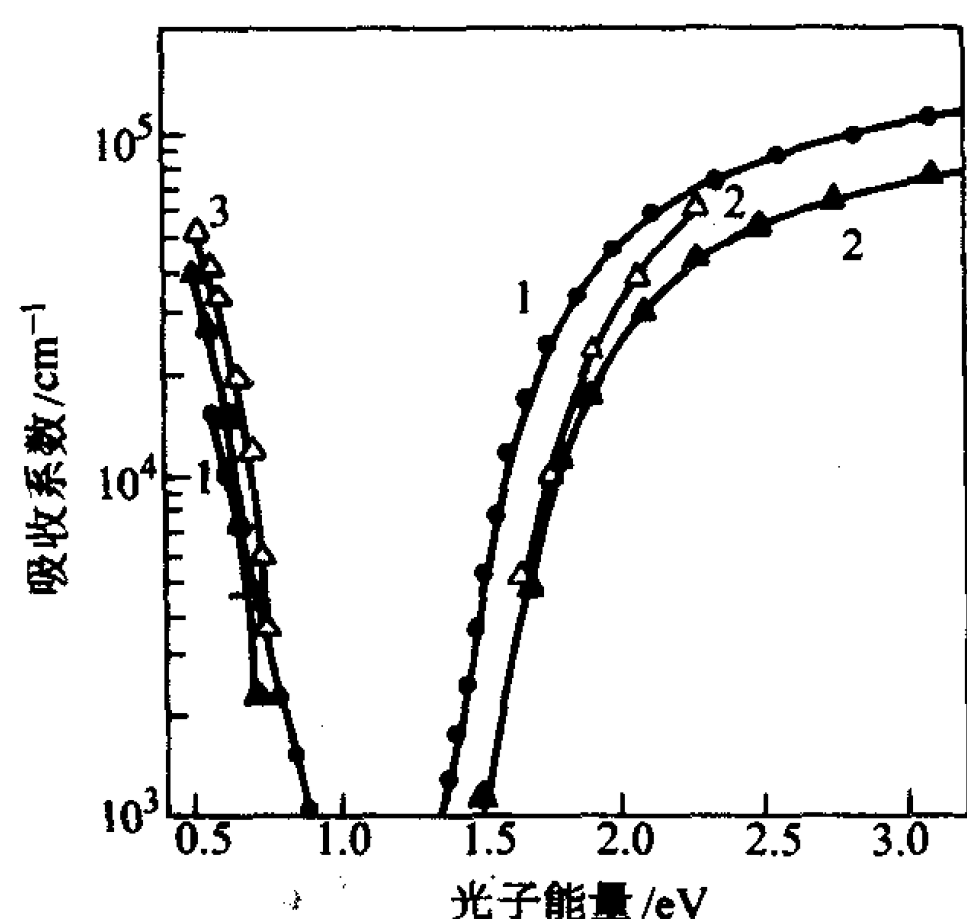


图 6.3-21 纤锌矿 InN 吸收系数与光子能量的关系（300 K）
[自由载流子浓度：1—5×10^{18}/cm³（$T=300$℃）；
2—$3\sim6\times10^{20}$/cm³（$T=300$℃）；3—$3\sim6\times10^{20}$/cm³（$T=150$℃）]

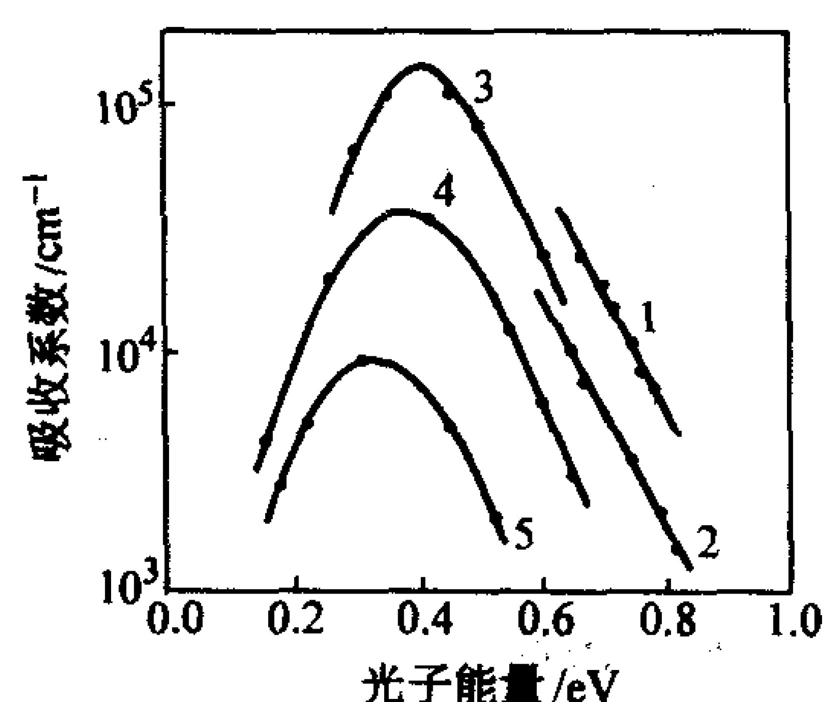


图 6.3-22 不同电子浓度的纤锌矿 InN 红外吸收系数和光子能量
（电子浓度：1—3×10^{20}/cm³，2—5×10^{18}/cm³，
3—10^{19}/cm³，4—10^{18}/cm³，5—5×10^{16}/cm³）

3.4 低于带隙能的光学性质（折射率）

当能量低于带隙能时，吸收变得很小，其反射率可以近似的表示为：

$$R=\frac{(n-1)^2+k^2}{(n+1)^2+k^2}\approx\frac{(n-1)^2}{(n+1)^2} \qquad (6.3\text{-}31)$$

这样，反射率可以通过折射率 n 很方便的求出。而折射率可以通过测量样品的干涉条纹获得，即折射率满足下式：

$$2nd=p\lambda_p \qquad (6.3\text{-}32)$$

式中，d 是样品厚度；p 是干涉级数；λ_p 是 p 级条纹对应的波长。纤锌矿 GaN 中的折射率具有各向异性，因此，对应于光电矢量是垂直还是平行于 c 轴方向，把折射率定义为垂直折射率 $n_\perp$ 和平行折射率 $n_{//}$ 两个量。图 6.3-23 是室温下，光子能量在 1 eV 到 3.4 eV 之间的垂直折射率的实验结果。可以看出，随着光子能量的增加，折射率增加，巴克和伊来吉姆（Barker&Ilegems）用下面的式子简单描述了折射率和光子能量的关系

$$\varepsilon_\perp=3.6+\frac{1.75}{1-(\hbar\omega/4.85)^2} \qquad (6.3\text{-}33)$$

当能量低于 1 eV 时，$\varepsilon_\perp=(n_\perp)^2$ 近似取值 5.35。爱基德给出了 $E//C$ 的折射率 n 在 2.5 eV 附近比 $E\perp C$ 要小大约 15%的结果。图 6.3-24 是折射率随温度的变化，温度范围从 2 K 到 300 K 之间。图 6.3-25～图 6.3-27 给出了折射率随波长的变化关系。

3.5 缺陷相关的光学性质

传统光学方法证实在半导体中存在杂质和缺陷。缺陷的存在，对自由激子（FE）产生束缚，形成束缚激子（BE），

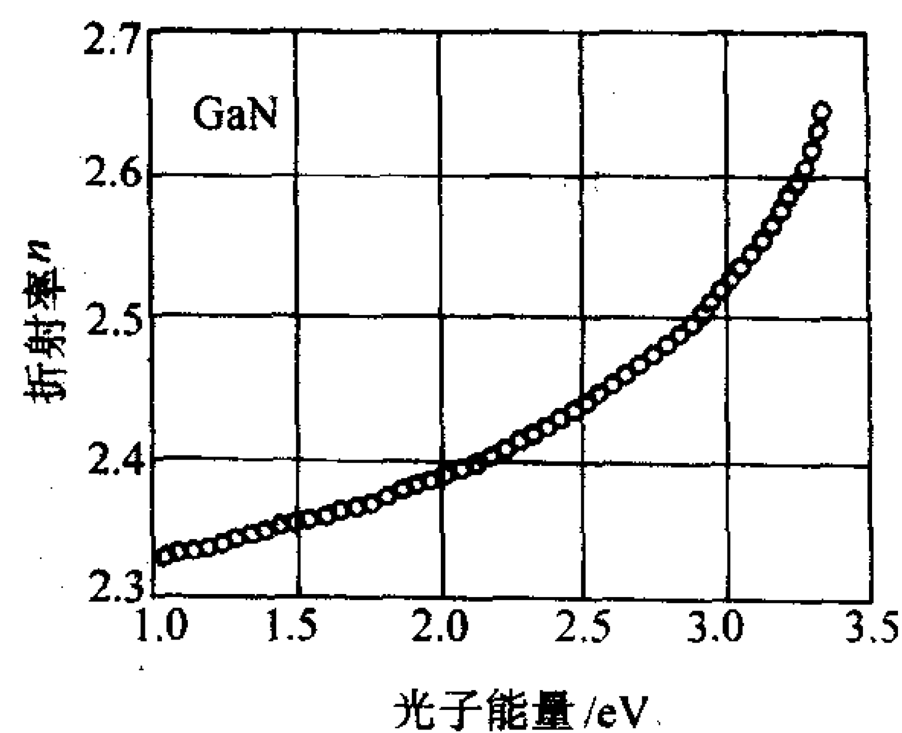


图 6.3-23 纤锌矿 GaN 的折射率与光子能量的关系（300 K）

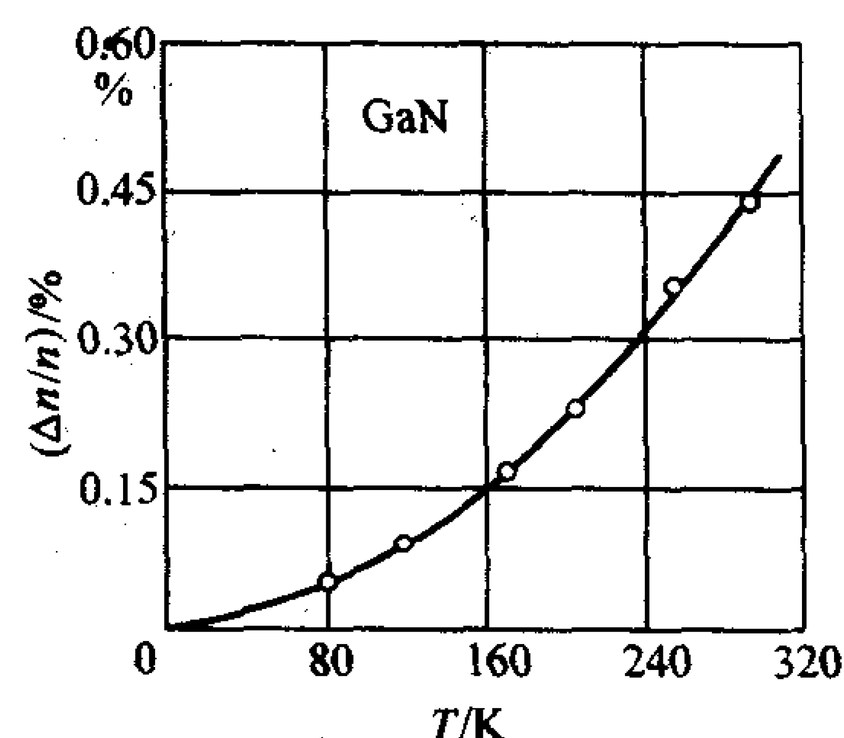


图 6.3-24 纤锌矿结构 GaN 的长波折射率与温度的关系

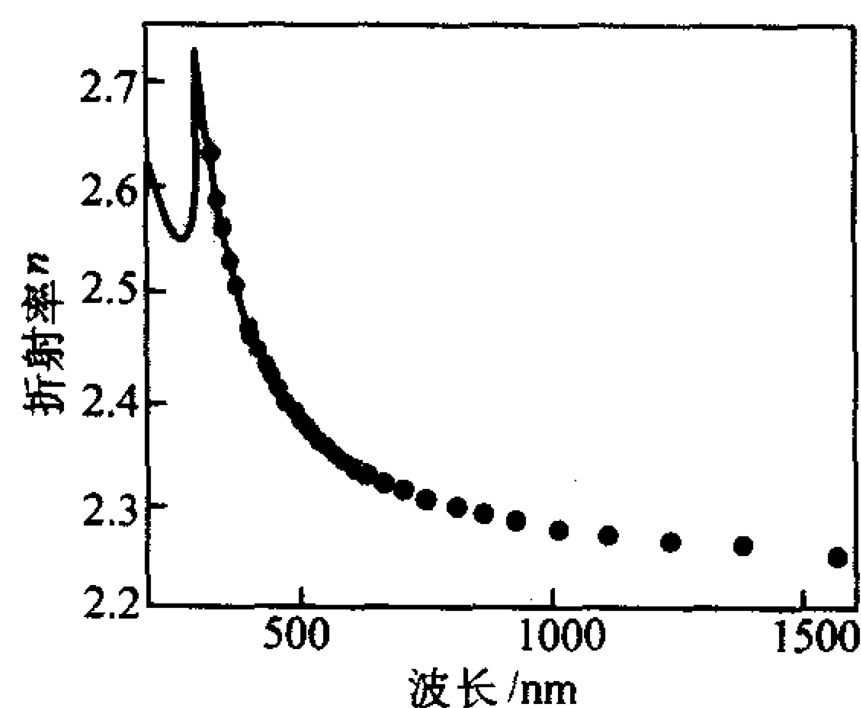


图 6.3-25 纤锌矿结构 GaN 的折射率与波长的关系
（300 K，蓝宝石衬底）

必然在光谱中引入了相关的特征峰，这样，我们可以通过这些特征峰来判断半导体中存在何种缺陷。

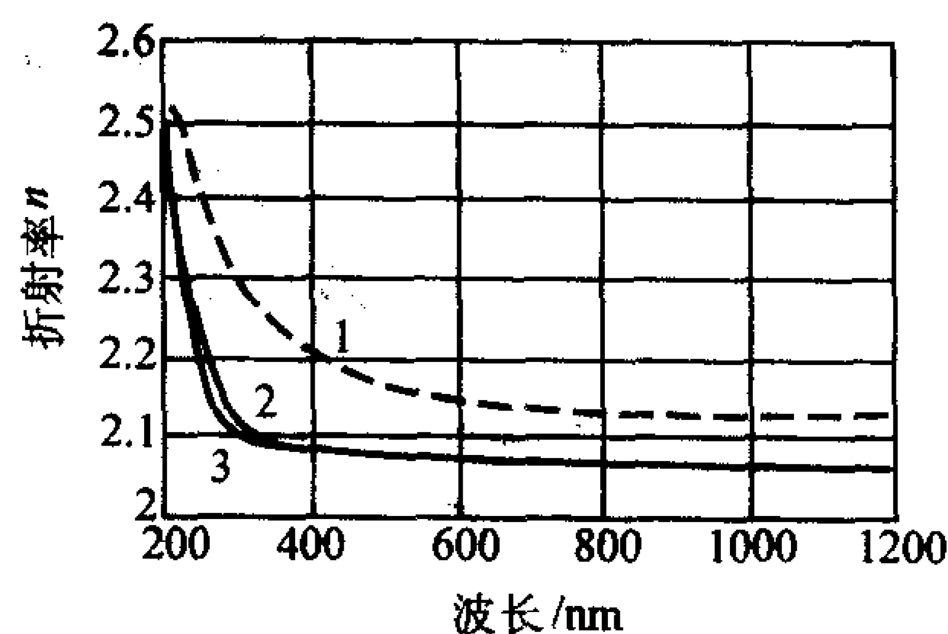


图 6.3-26 纤锌矿 AlN 的折射率与波长的关系（300 K）

束缚激子是指缺陷的多粒子激发态，可以分为施主束缚激子（DBE）和受主束缚激子（ABE）。图 6.3-28 是温度 $T=2$ K 和 $T=50$ K 时纤锌矿 GaN 的光致发光（PL）谱，在 $T=2$ K时可以看到明显的束缚激子峰，而在 $T=50$ K 时只有自由

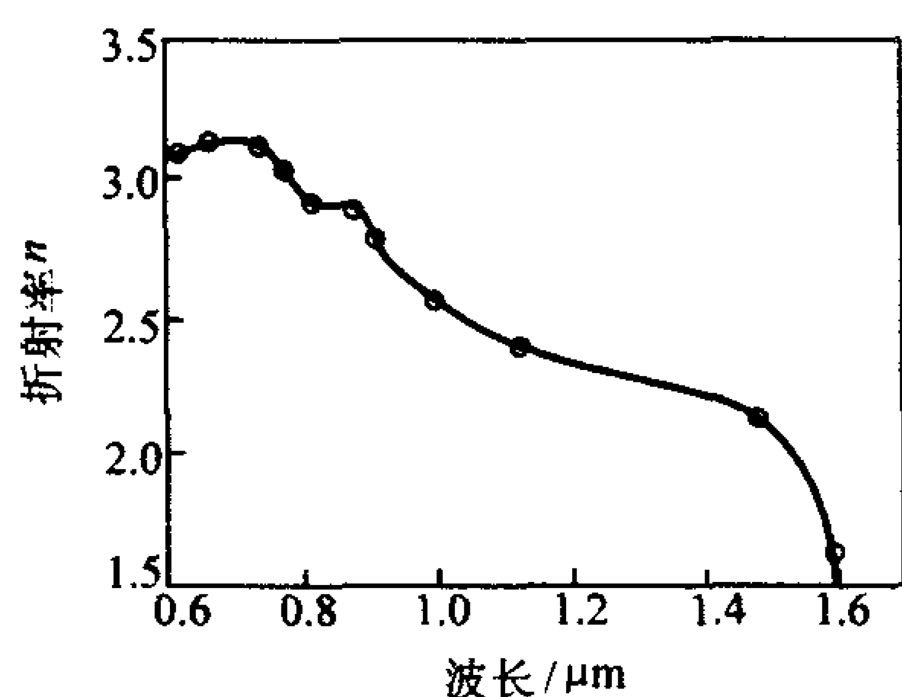


图 6.3-27　纤锌矿 InN 折射率与波长的关系（300 K）

激子峰，说明这些缺陷束缚激子的束缚能都比较小，图中分别标出了自由激子、施主束缚激子和受主束缚激子。在 3.472 eV 处有一个 DBE 峰，通常认为是 GaN 中残余浅掺杂造成的，束缚能大约是 6 meV（ABE 或 DBE 的束缚能通常被定义为 BE 峰与最低的 FE 峰的距离）。而最近来自红外吸收的数据表明该束缚能大约是 35.5 meV。关于该浅施主的来源目前尚无定论，有人认为它是由于 N 空位缺陷造成的，而目前更有理论根据的解释认为它是由 O 取代 N 位所形成的缺陷造成的。另外，硅施主杂质的束缚能大约为 20 meV。图 6.3-28 中在 2 K 下有两个明显的 ABE 峰，但在 50 K 下消失，其中 3.447 eV 处的 ABE 峰被认为可能与 Mg 或者 Zn 受主有关，Mg 受主和 Zn 受主的束缚能分别为 19 meV 和 34 meV。并且这些缺陷相关的谱峰都是强烈依赖应变的，所以这些谱峰的鉴定相当的困难。

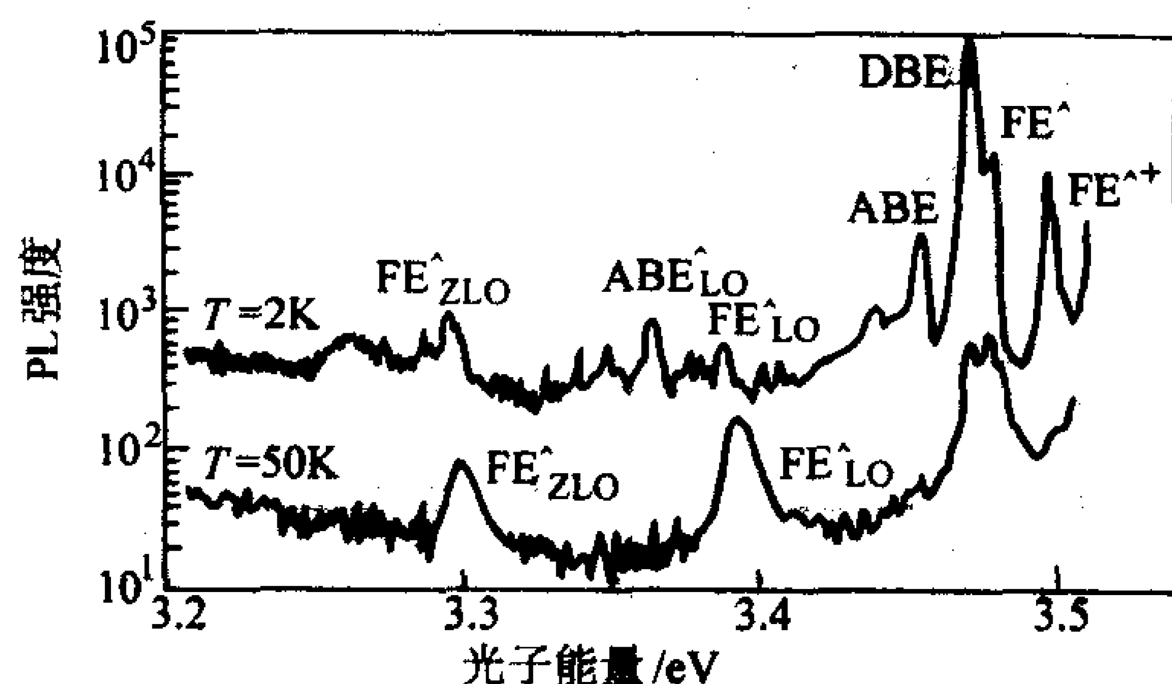


图 6.3-28　纤锌矿 GaN 光致发光谱（$T=2$ K 和 $T=50$ K）

在Ⅲ族氮化物的光谱中，施主－受主对（DAP）也是一个很普遍的辐射复合缺陷相关的谱峰，通常伴随着几个清晰的声子峰。

4　Ⅲ族氮化物半导体异质结构与量子结构

4.1　异质结构能带及电子能态

异质结是指由两种带隙宽度不同的半导体材料长在同一块单晶上形成的结。对Ⅲ族氮化物体系而言，其异质结构在界面处能带的排列是典型的Ⅰ型带结构，即带隙小的材料的导带和价带完全位于带隙大的材料的带隙中，如图 6.3-29 所示。

由于不同材料的电子亲和能不同，所以当两种材料组合成异质结时，在界面处导带和价带都是不连续的。表 6.3-7 是不同的Ⅲ族氮化物半导体异质结界面处的导带和价带的偏移值，可以看到它们的带偏移主要分布在导带上。

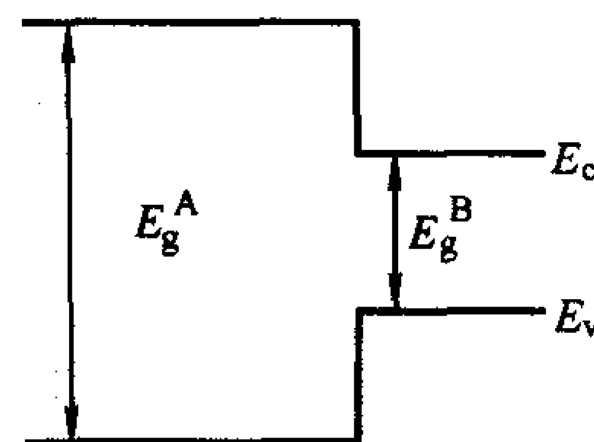


图 6.3-29　Ⅰ型理想突变异质结带隙示意图

表 6.3-7　不同的Ⅲ族氮化物半导体异质结界面处的导带和价带的偏移值

界面	V/eV	C/eV
AlN/GaN [0 0 0 1]	0.8	2.05
AlN/GaN [1 1 0]	0.7	2.2
InN/GaN [0 0 0 1]	0.93	0.6
GaN/InN [0 0 0 1]	0.59	0.9
GaN/InN [1 1 0]	0.3	1.2
AlN/InN [0 0 0 1]	1.32	3.0
InN/AlN [0 0 0 1]	1.71	2.6
AlN/SiC [0 0 1]	2	
AlN/SiC [1 1 0]	1.6	
GaN/SiC [1 0 0]	1.3	
GaN/SiC [1 1 0]	0.4	

图 6.3-30 所示为一不考虑极化效应的典型调制掺杂异质结构导带能带图。异质界面处 $x=0$，左边为势垒层，右边为靠近衬底的缓冲层，势垒层中施主杂质电离后，电子向能量较低的缓冲层迁移，使缓冲层的导带底能量升高，而势垒层中离化的施主杂质正离子降低势垒层的势能，从而在界面处形成一个很深的三角量子阱，电子聚集在阱中，电子平行于界面方向可以自由运动，垂直于界面方向电子的能量是量子化的，因而称为二维电子气。为了提高二维电子气的迁移率，通常在掺杂势垒层和缓冲层之间插入一层很薄的非掺杂势垒层，厚度大概在 5～10 nm（50～100 Å）左右，这样减少了电离杂质对电子的散射作用。

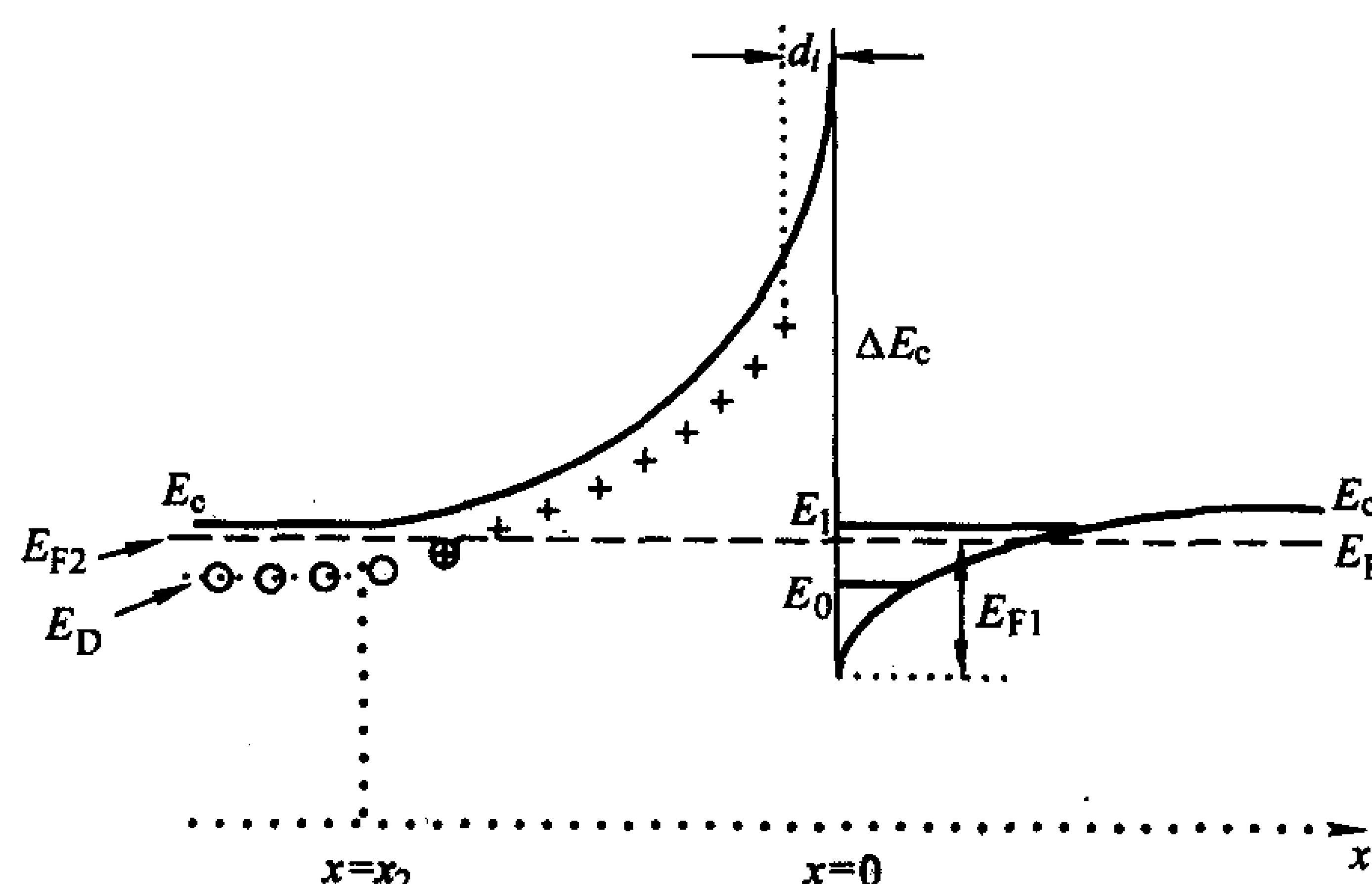


图 6.3-30　调制掺杂异质结构导带能带图

三角量子阱中的电子能态以及二维电子气的浓度可以按照如下的方法计算得到：

利用有效质量近似，单电子薛定谔方程为：

$$\left[-\frac{h^2}{2m_{/\!/}}\left(\frac{\partial^2}{\partial x^2}+\frac{\partial^2}{\partial y^2}\right)-\frac{h^2}{2m_{\perp}}\left(\frac{\partial^2}{\partial z^2}\right)+V(z)\right]\psi(\vec{r}) = E\psi(\vec{r}) \tag{6.3-34}$$

其中 $m/\!/$ 是垂直于生长方向 $x-y$ 平面内的有效质量，$m_{\perp}$ 是沿生长方向的电子有效质量，E 和 ψ 分别为电子的能量和波函数。

由于电子在平面内自由运动，其波函数为平面波，所以总波函数可分解为：

$$\psi(x,y,z) = e^{i(k_x x+k_y y)}\phi_n(z) \tag{6.3-35}$$

式中 k_x，k_y 分别是电子在 x 和 y 方向上的波矢，相应的能量为连续谱 $E_{xy}=\frac{h^2}{2m_{/\!/}}(k_x^2+k_y^2)$，$\phi_n$（$z$）代表与 z 有关的波函数，它满足

$$-\frac{h^2}{2m_{\perp}}\frac{d^2\phi_n(z)}{dz^2}+V(z)\phi_n(z) = E_n\phi_n(z) \tag{6.3-36}$$

如果已知 $V(z)$，则电子沿 z 方向的本征能量和波函数可以求出来，由于电子沿 z 方向运动受到附加势的作用，能量是量子化的，只能取一系列分立的值。如将界面处的量子阱近似为三角阱，其势能写成：

$$V(z) = \begin{cases} qFz(z>0) \\ \infty(z<0)\end{cases} \tag{6.3-37}$$

F 为阱中电场强度。代入方程（6.3-36），用 Airy 孙数可求解得到

$$E_n(z) = \left(\frac{h^2q^2F^2}{2m_{\perp}}\right)^{1/3} a_n \tag{6.3-38}$$

式中，$a_n \approx \left[\frac{3\pi}{2}\left(n+\frac{3}{4}\right)\right]^{2/3}$，$n=0,\ 1,\ 2\cdots$

电子的总能量 E 为

$$E = E_n(z)+E(x,y) = E_n(z)+\frac{h^2}{2m_{/\!/}}(k_x^2+k_y^2) \tag{6.3-39}$$

对于每一个 E_n（z）值，由于 E（x，y）可取任意值，因而电子总能量可以取 E_n 到 ∞ 的任意值，相当于能级 E_n 展宽成为能带，称为子能带。E-k 色散关系以及电子在动量空间占据的情况如图 6.3-31 所示。在子能带中单位面积态密度可由下式计算：

$$N_n(E) = 2\frac{1}{(2\pi)^2}2\pi k\,dk/dE\theta(E-E_n) = \frac{m_{/\!/}}{\pi h^2}\theta(E-E_n) = N_{sb}\theta(E-E_n) \tag{6.3-40}$$

式中，θ（$E-E_n$）为单位阶跃函数。

所有子能带中态密度之和为：

$$N(E_n) = \frac{m_{/\!/}}{\pi h^2}\sum_n\theta(E-E_n) \tag{6.3-41}$$

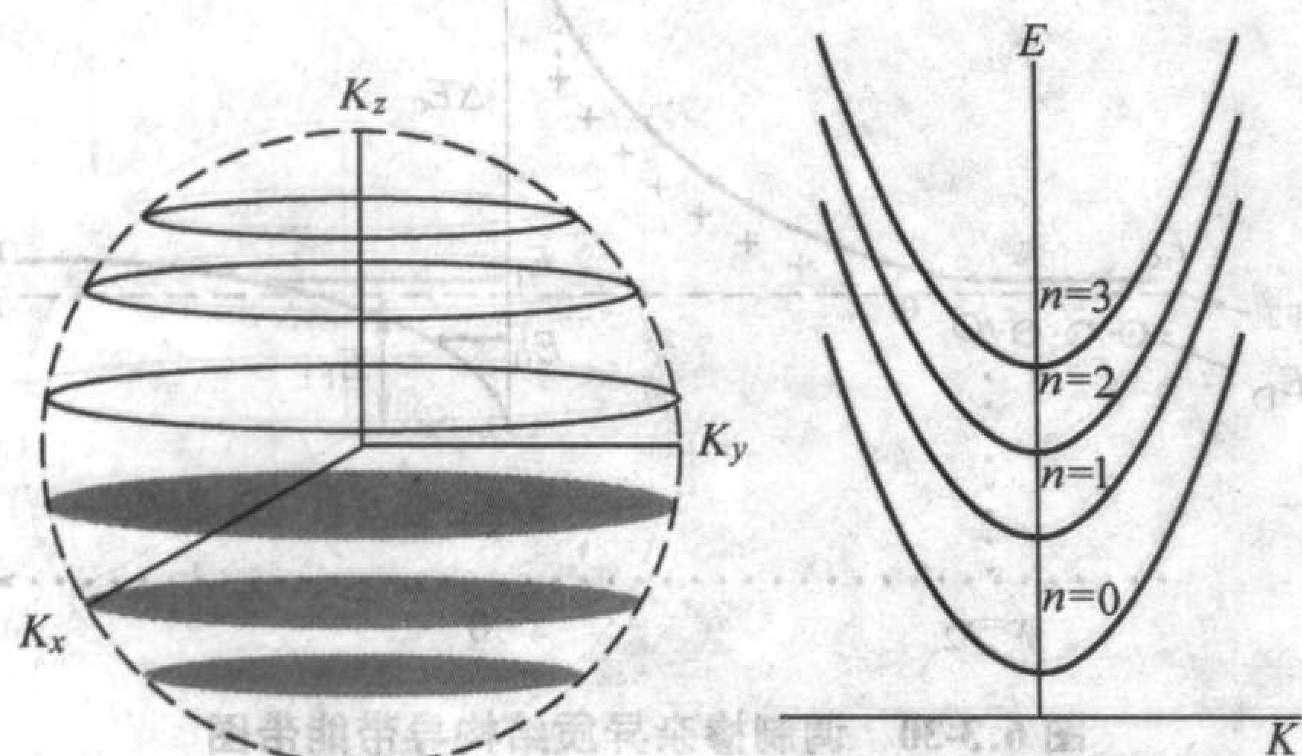


图 6.3-31　二维系统动量空间占据态和 E-k 色散关系

如图 6.3-32 所示，可见二维系统中态密度为台阶状，每一个“台阶”高度都等于 $N_{sb}=m_{/\!/}/\pi h^2$。

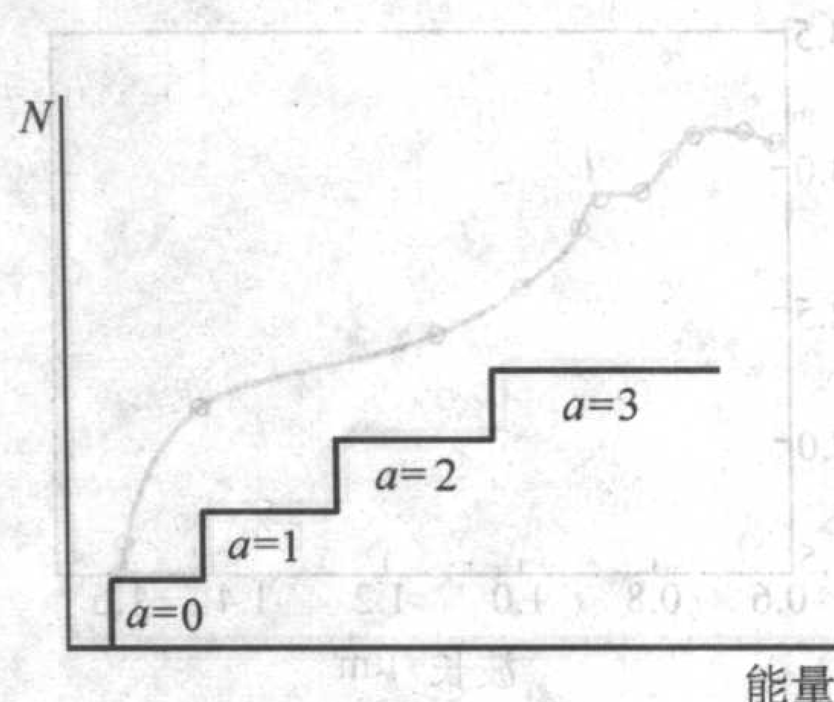


图 6.3-32　二维系统态密度随能量的变化关系

由于二维子能带态密度是一个常数，一阶费米积分可积，可得子带中二维电子气的浓度为：

$$n_n = \frac{m_{/\!/}K_BT}{\pi h^2}\ln\left[1+\exp\left(\frac{E_f-E_n}{K_BT}\right)\right] \tag{6.3-42}$$

式中，K_B 为玻尔兹曼常数，E_f 为费米能级。

4.2　异质结构中的二维电子气

4.2.1　二维电子气形成

本节以 AlGaN/GaN 异质结构为例，说明极化诱导二维电子气的形成。

下面以图 6.3-33 所示的情况来说明二维电子气的形成。其压电极化与自发极化的方向与二维电子气的位置如图中标示。由于 AlGaN 中压电极化与自发极化方向平行，总极化强度为：

$$P = P_{PE}+P_{SP} \tag{6.3-43}$$

由总极化强度中 AlGaN/GaN 异质界面处不连续性导致在界面处的固定极化电荷面密度为：

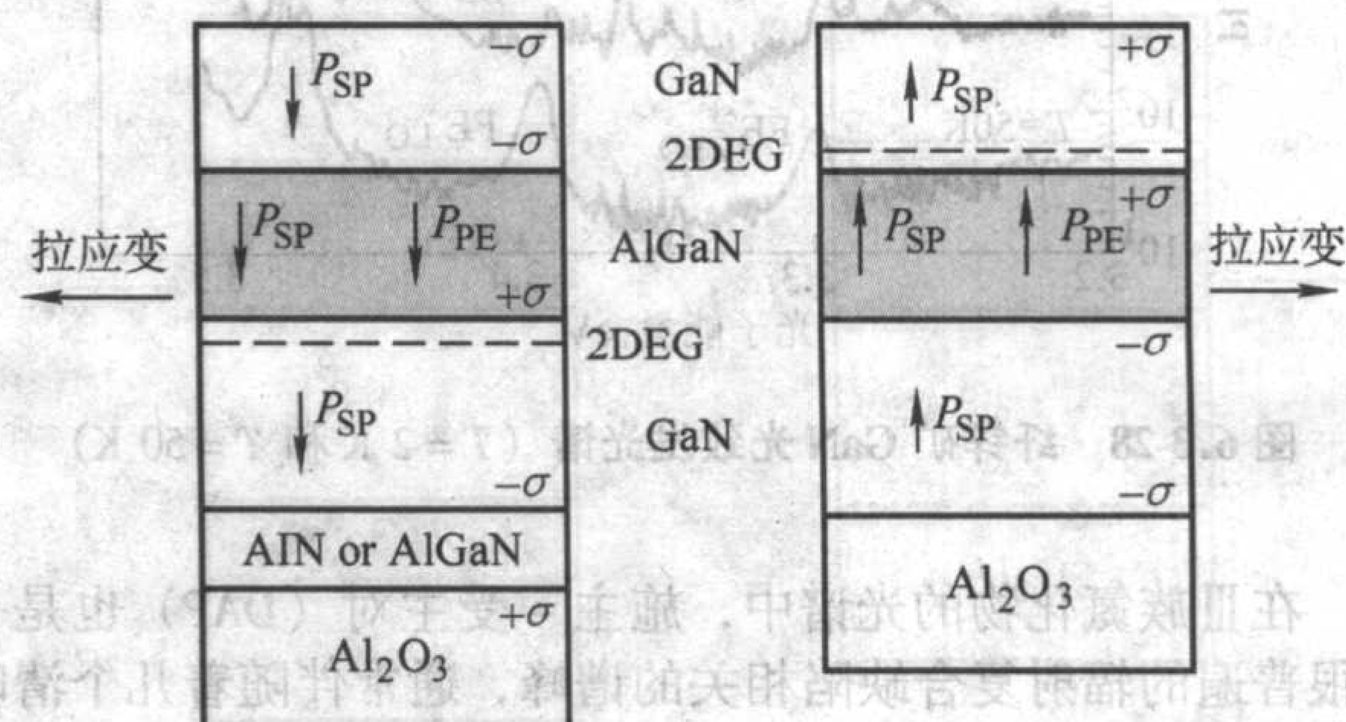


图 6.3-33　AlGaN/GaN 异质结构中的极化与二维电子气

$$\sigma = P(\text{upper})-P(\text{lower}) = [P_{SP}(\text{upper})+P_{PE}(\text{upper})]-[P_{SP}(\text{lower})+P_{PE}(\text{lower})] \tag{6.3-44}$$

如果界面处极化电荷为正（$+\sigma$），电子将被吸引至界面聚集从而形成二维电子气，这就是极化诱导二维电子气的原因。而在 AlGaN 表面的负极化电荷将被表面正电荷补偿。相反，如果极化电荷为负，界面处将形成空穴聚集。值得指出的是，即使 AlGaN 势垒层完全弛豫，压电极化强度 $P_{PE}=0$，但由于 AlN 的自发极化大于 GaN 中的自发极化（P_{SP}（AlGaN）$>P_{SP}$（GaN）），在界面处仍可诱导正极化电荷 $+\sigma$，从而吸引电子形成二维电子气。

4.2.2 二维电子气体系中电子的来源

传统的 AlGaAs/GaAs 异质结多做成调制掺杂结构，二维电子气体系中电子来源于势垒层的施主掺杂。但在 AlGaN/GaN 异质结中，即使不进行人为掺杂，其二维电子气仍可高达 $10^{13}/cm^2$，那么如此高浓度的电子是从哪里来的呢？对结构本身进行分析，电子只能有以下三个可能的来源：GaN 缓冲层、AlGaN 势垒层、表面态。为了保证 AlGaN/GaN 异质结构中 GaN 一侧量子阱的形成，也即能够限制电子形成二维电子气，GaN 缓冲层中的电荷应该为负。然而如果电子来源于 GaN 缓冲层，那么由于电子的迁移将在 GaN 层中留下正电荷，于是可以确定，二维电子气中的电子不可能来源于 GaN 缓冲层。Ibbetson 等人从理论和实验两方面研究了二维电子气的形成，发现表面态是二维电子气的实际来源。由 AlGaN 势垒层中的自发极化和压电极化导致的强极化场使能带弯曲并改变 AlGaN/GaN 异质结构中的电荷分布，这使电子从表面态迁移至量子阱中形成二维电子气。如图 6.3-34 所示，假定类施主的表面态位于 AlGaN 带隙中较深的位置，当 AlGaN 势垒层厚度较小时，表面态全部被占据，没有二维电子气形成（如图 6.3-34a）。当 AlGaN 层厚度增加时，表面费米能级降低并靠近施主深能级（如图 6.3-34b），一旦费米能级与表面态能级一致，表面态电子将会发射，并聚集在 AlGaN/GaN 界面形成二维电子气。当 AlGaN 厚度继续增加，二维电子气密度将趋于饱合，接近界面处正极化电荷。Koley 等人用扫描 kelvin 探针显微镜的方法研究了 AlGaN/GaN 异质结构的表面势，证实了表面态对二维电子气的贡献。另外，AlGaN/GaN 异质结构的非故意掺杂，AlGaN/GaN 界面态以及深能级缺陷也是二维电子气中电子的来源之一。

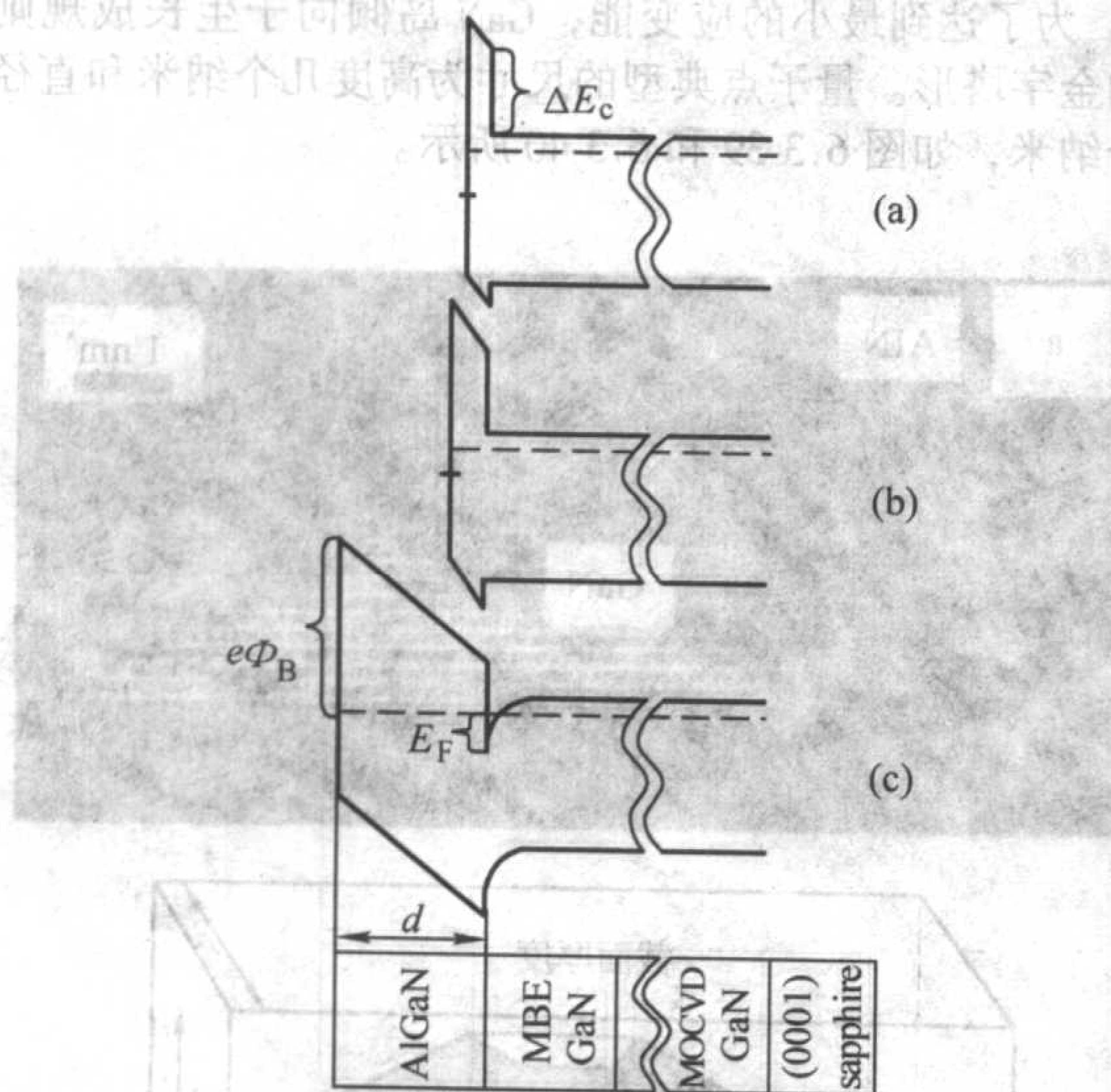


图 6.3-34 不同 AlGaN 厚度的 AlGaN/GaN 异质结构导带示意图

4.3 量子阱和量子点

4.3.1 量子结构

当两个同样的异质结背对背接起来时便成为一个量子阱。图 6.3-35 是一个 AlGaN/GaN 多量子阱结构和相应的能带示意图。它由 n 个 GaN 势阱层和 $n+1$ 个 AlGaN 势垒层组成。其中势垒层的厚度大于德布罗意波的波长，这样不同势阱中的波函数不会交叠，势阱中电子的能量状态为分立的能级。

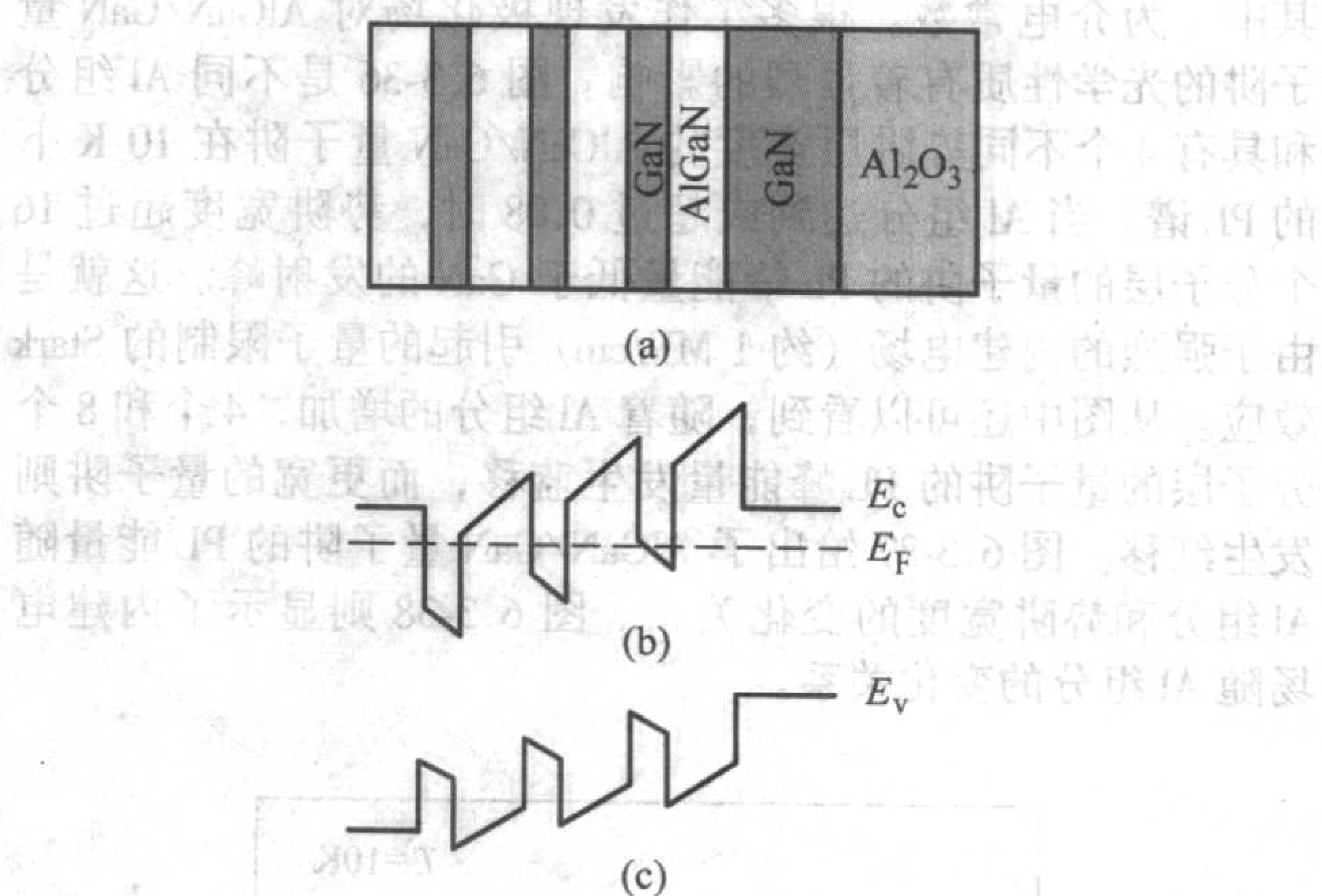


图 6.3-35 AlGaN/GaN 多量子阱结构（a）与能带（b）示意图

在量子阱结构中，电子只在 x 方向上有势垒的限制，而在 y，z 两个方向上是二维自由的。如果进一步增加限制的维度，则构成量子线和量子点。对于量子线而言，电子在 x，y 两个方向上都受到势垒限制；对于量子点来说，在 x，y，z 三个方向上都有势垒限制。我们通常将这些量子结构称为低维结构，即量子阱、量子线和量子点分别为二维、一维和零维量子结构，也就是说，电子在这些结构中的自由度分别为二维、一维和零维。

4.3.2 量子结构的能态

理论研究表明，在量子阱和量子点中，随着量子限制维数的增加，态密度由连续状态变为分立状态，因此载流子的分布也是分立的。量子阱和量子点中的分立能量本征值和电子态密度依次可以表达为

（1）量子阱

$$E = E_m + \frac{h^2}{2m_c^*}(R_y^2 + R_z^2) \quad (6.3\text{-}45)$$

$$\rho_c^1(E) = \sum_m \frac{m_c}{\pi R^2} H(E - E_m) \quad (6.3\text{-}46)$$

（2）量子点

$$E = E_m + E_n + E_l \quad (6.3\text{-}47)$$

$$\rho_c^3(E) = \frac{2}{L_x L_y L_z}\delta[E - (E_m + E_n + E_l)] \quad (6.3\text{-}48)$$

式中：

$$E_m = \frac{h^2}{2m_e^*}\left|\frac{\pi m}{L_x}\right|^2 \quad (m = 0,1,2,\cdots)$$

$$E_n = \frac{h^2}{2m_e^*}\left|\frac{\pi n}{L_y}\right|^2 \quad (n = 0,1,2,\cdots)$$

$$E_l = \frac{h^2}{2m_e^*}\left|\frac{\pi l}{L_z}\right|^2 \quad (l = 0,1,2,\cdots)$$

式中，m_e^* 为电子的有效质量，R_x，R_y 和 R_z 为 x，y 和 z 三个方向上的波矢，L_x，L_y 和 L_z 则为量子结构在三个方向上的厚度，电子态密度 ρ_c 的右上角标表示量子限制的维数。

4.3.3 AlGaN/GaN 量子阱

在 AlGaN/GaN 量子阱结构中，同样存在很强的极化场。假设 AlGaN/GaN 量子阱为非故意掺杂、自支撑结构，且结构的费米能级仍处在 GaN 缓冲层的带隙内。这样，由极化场引入的内建电场可近似地按下面的公式计算：

$$E_{tot}^{GaN} = E_{sp}^{GaN} + E_{pz}^{GaN} = d_{AlGaN}[(P_{sp}^{AlGaN} + P_{pz}^{AlGaN}) - (P_{sp}^{GaN} + P_{pz}^{GaN})] / (d_{AlGaN}\varepsilon_{GaN} + d_{GaN}\varepsilon_{AlGaN}) \quad (6.3\text{-}49)$$

$$E_{tot}^{AlGaN} = E_{sp}^{AlGaN} + E_{pz}^{AlGaN} = d_{GaN}[(P_{sp}^{GaN} + P_{pz}^{GaN}) - (P_{sp}^{AlGaN} + P_{pz}^{AlGaN})]$$

$$/ \left[d_{GaN} \varepsilon_{AlGaN} + d_{AlGaN} \varepsilon_{GaN} \right] \quad (6.3\text{-}50)$$

其中 ε 为介电常数。很多工作发现极化场对 AlGaN/GaN 量子阱的光学性质有着强烈的影响。图 6.3-36 是不同 Al 组分和具有 4 个不同势阱层宽度的 AlGaN/GaN 量子阱在 10 K 下的 PL 谱。当 Al 组分达到或超过 0.08 时，势阱宽度超过 16 个分子层的量子阱的 PL 峰能量低于 GaN 的发射峰。这就是由于强烈的内建电场（约 1 MV/cm）引起的量子限制的 Stark 效应。从图中还可以看到，随着 Al 组分的增加，4 个和 8 个分子层的量子阱的 PL 峰能量发生蓝移，而更宽的量子阱则发生红移。图 6.3-37 给出了 AlGaN/GaN 量子阱的 PL 能量随 Al 组分和势阱宽度的变化关系。图 6.3-38 则显示了内建电场随 Al 组分的变化关系。

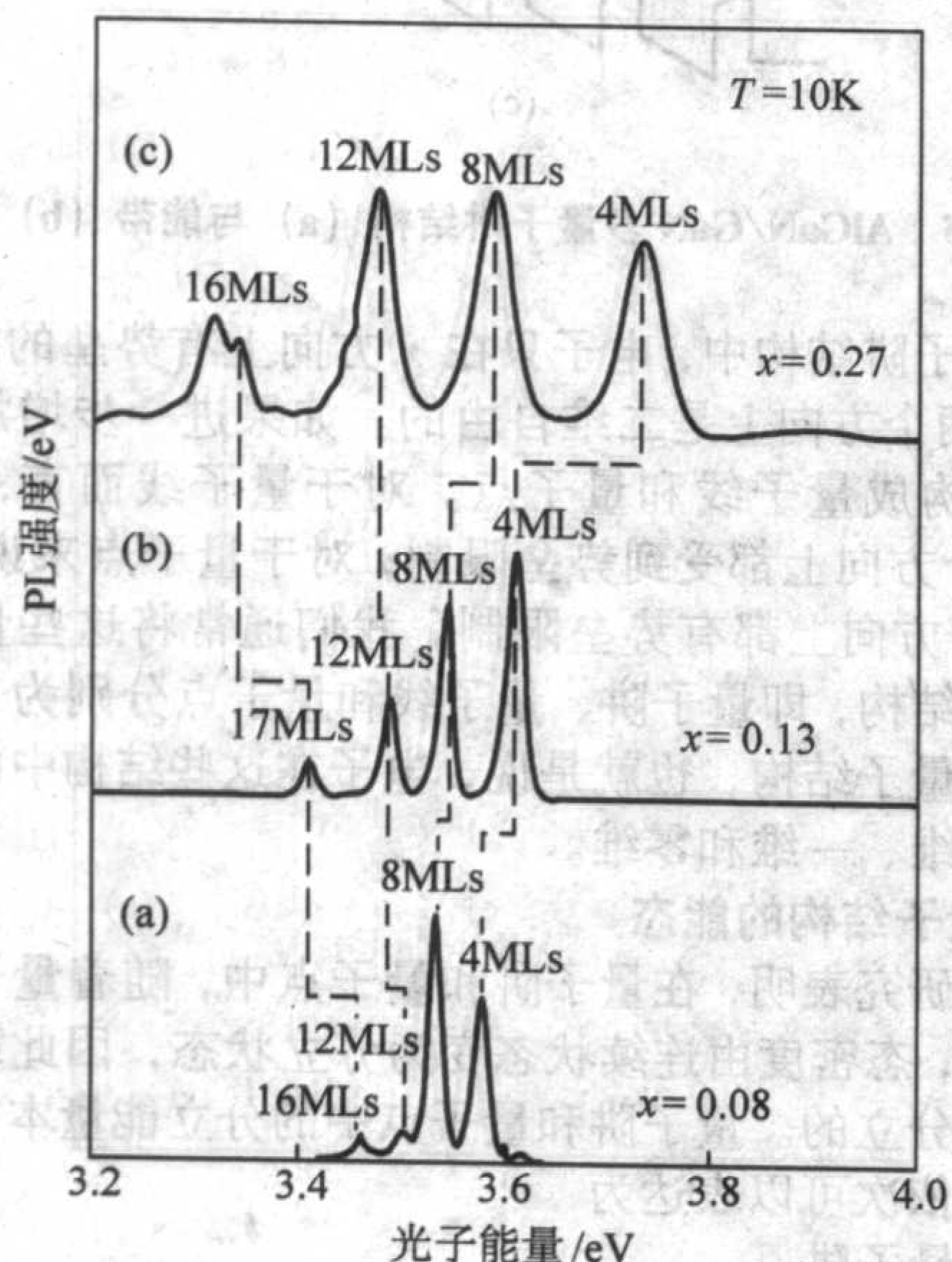


图 6.3-36　不同 Al 组分和不同势阱层宽度的 AlGaN/GaN 量子阱的 PL 谱

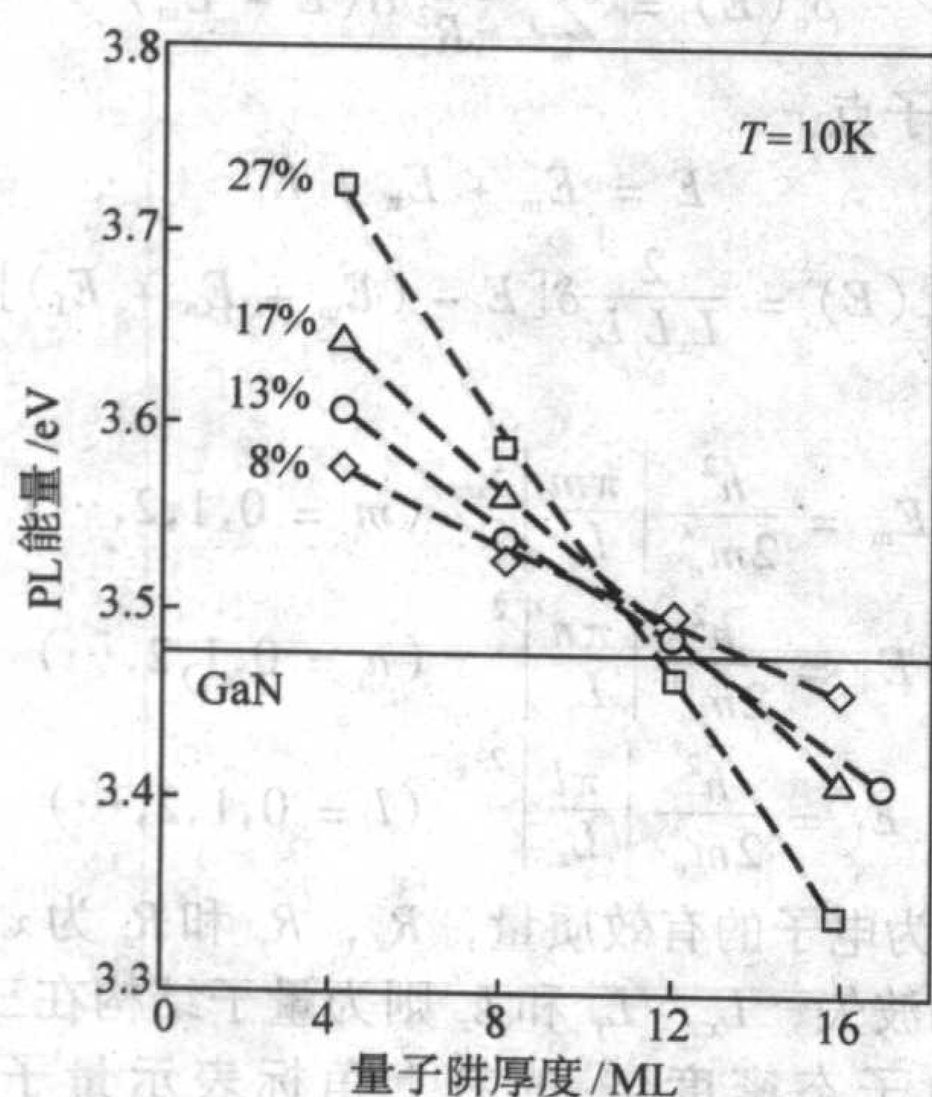


图 6.3-37　AlGaN/GaN 量子阱的 PL 能量随 Al 组分和势阱宽度的变化

4.3.4　GaN 量子点

由于量子点中的载流子的能态密度呈现出类似原子的分立'量化'能级结构，且与之相关的量子尺寸效应、量子干涉效应、量子隧穿效应、库仑阻塞效应以及多体关联和非线性光学效应在量子点中表现特别明显，在器件应用方面，量

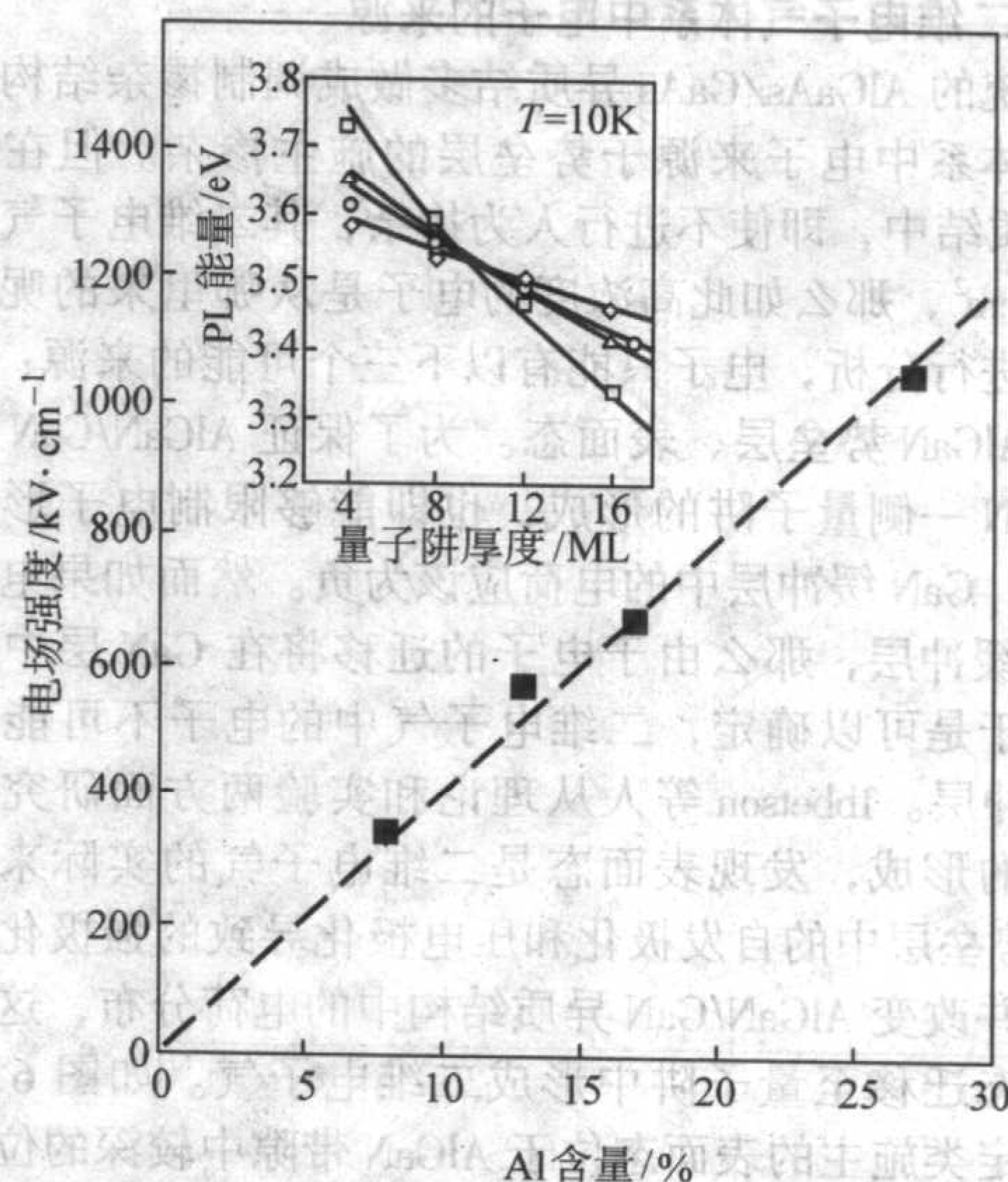


图 6.3-38　内建电场随 Al 组分的变化

子点比量子阱、线更易达到光学激发所需的粒子数反转条件，以其制备的量子点激光器具有低阈值电流密度、高调制速度和高特征温度系数等优良性能。因此Ⅲ族氮化物量子点结构的研究已成为继量子阱之后的又一研究热点。下面仅简单介绍在 AlN 基体上生长 GaN 量子点的一些基本特征。

AlN 基体中的 GaN 量子点是通过 Stranski-Krastanow（S-K）生长模式形成的。由于 AlN 与 GaN 之间存在较大的晶格失配，当 GaN 生长到一临界厚度（大约 3 个分子层厚）时，积聚的应力会通过三维岛状物的形成而弹性释放出来，使 GaN 典型的二维层状生长模式转变为三维岛状生长模式（S-K 模式）。为了达到最小的应变能，GaN 岛倾向于生长成规则截顶的金字塔形。量子点典型的尺寸为高度几个纳米和直径十几个纳米，如图 6.3-39 和 6.3-40 所示。

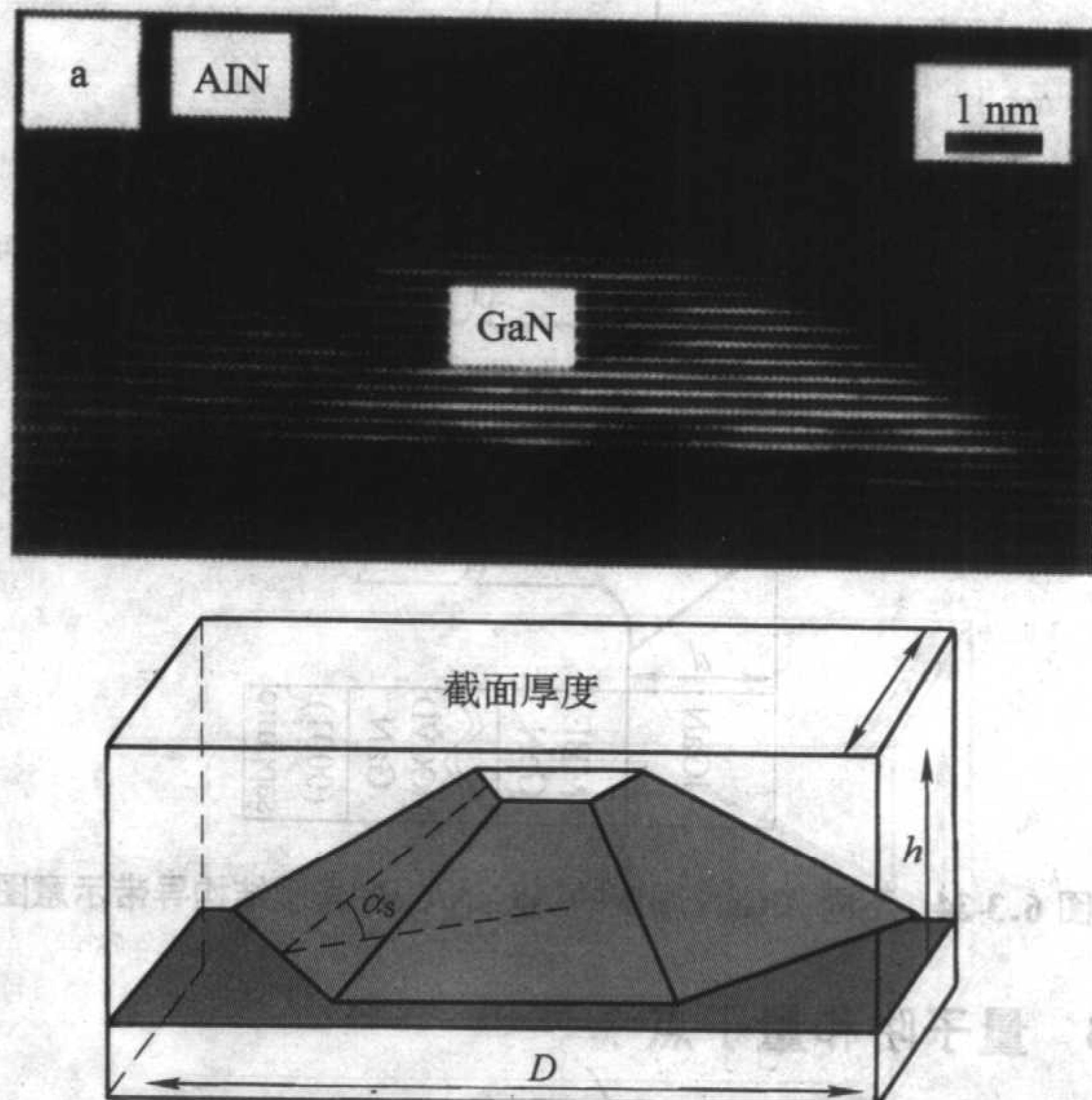


图 6.3-39　具有典型高度为几个纳米的量子点

Ⅲ族氮化物量子点具有一些独特的光学特性：①因为激子的量子限制，它迁移到非辐射复合中心的几率大大减小，从而导致了发光效率的提高；②对于小尺寸的量子点，由于量子效应电子能级相对上升，发光波长相对体和量子阱材料蓝移；③量子点中 LO-光学声子和激子耦合随量子点尺寸的

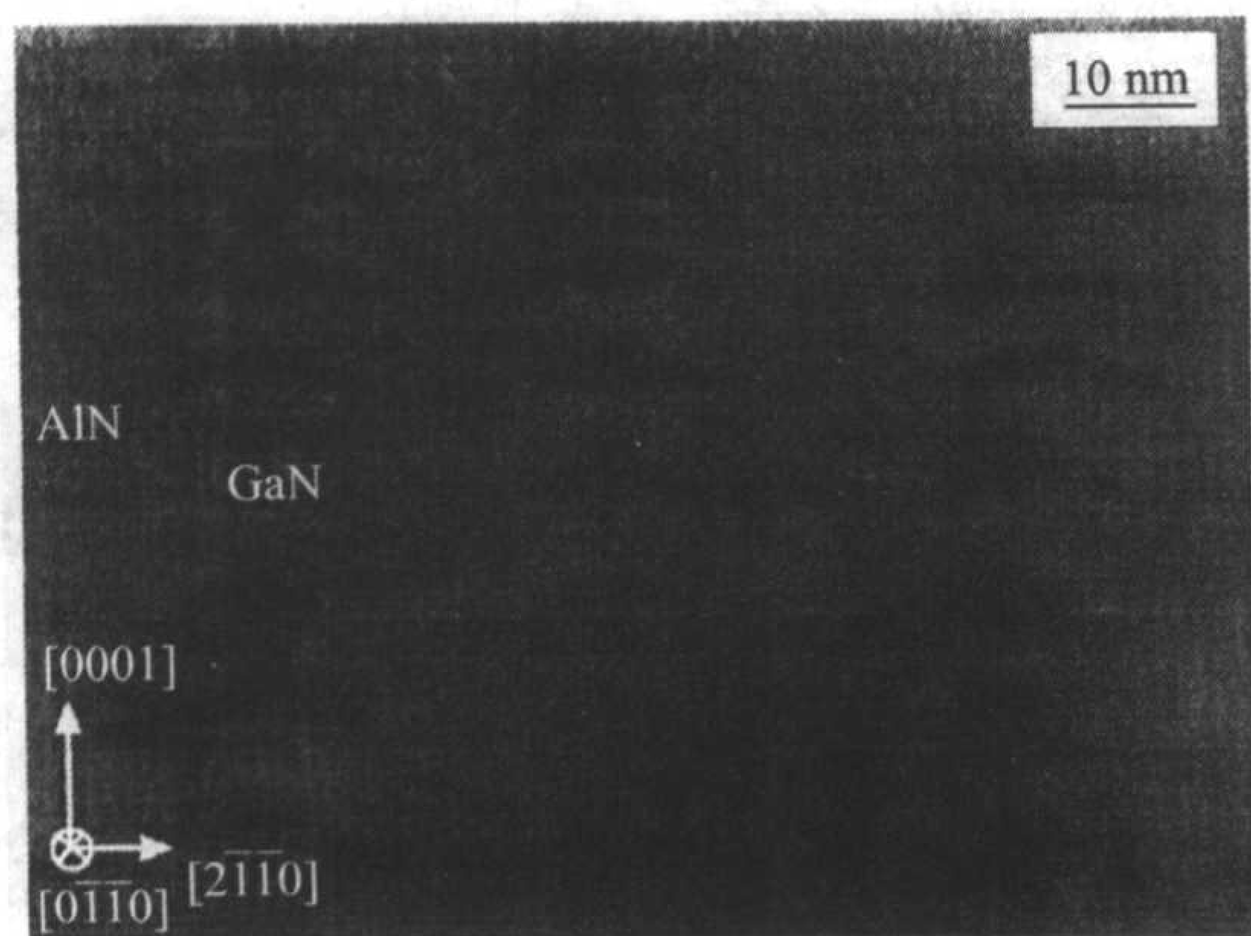


图 6.3-40 具有典型直径为十几个纳米的量子点

减小而减弱，因此 PL 能量随温度的依赖性减小，导致的直接后果是 PL 随温度红移变小；④GaN 量子点材料中存在很强的自发极化和压电极化效应，对于大尺寸的量子点，能引起很大的谱线红移。图 6.3-41 为不同尺寸的量子点的 PL 谱。

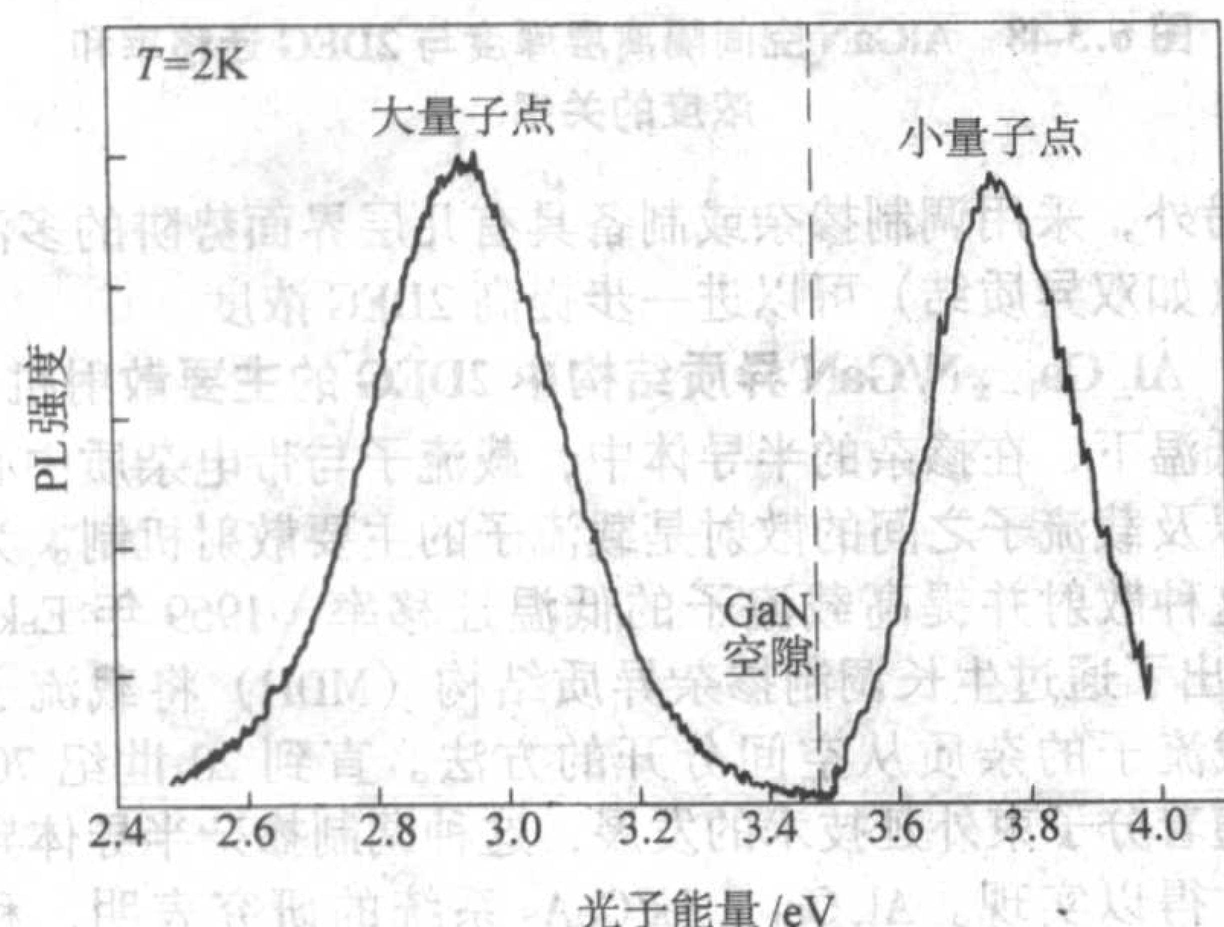


图 6.3-41 不同尺寸量子点的 PL 谱

5 低维Ⅲ族氮化物半导体输运性质

由于 $Al_xGa_{1-x}N$/GaN 异质界面的 2DEG 浓度要比传统的 $Al_xGa_{1-x}As$/GaAs 异质结构高出一个数量级以上，高达 $5\times10^{13}/cm^2$，这一优越特性使得 $Al_xGa_{1-x}N$/GaN 异质结已成为制作高电子迁移率晶体管的最优选材料体系。因此有关 $Al_xGa_{1-x}N$/GaN 异质界面 2DEG 性质的研究已成为Ⅲ族氮化物半导体输运性质的一个最重要的领域。

5.1 $Al_xGa_{1-x}N$/GaN 异质结构的经典输运性质

5.1.1 2DEG 迁移率和浓度随各参数的变化关系

在 $Al_xGa_{1-x}N$/GaN 异质结构中，对 2DEG 的浓度和迁移率产生主要影响的材料参数有势垒层的合金组分，结构参数有势垒层的掺杂、势垒层和空间隔离层的厚度以及异质结界面的渐变程度等。特别地，2DEG 迁移率直接反映了 $Al_xGa_{1-x}N$/GaN 异质结构界面质量及晶体质量。下面将给出这些主要的参数与 2DEG 迁移率和浓度的关系，以及它们随温度的变化规律。

图 6.3-42 和图 6.3-43 分别给出了 2DEG 浓度随 AlGaN 势垒层厚度和 Al 组分 x 的变化规律。当势垒层非常薄时（3 nm），没有观测到 2DEG；随着势垒层厚度的增加，二维电子沟道开始形成，2DEG 浓度也迅速增加；但随着势垒层厚度的进一步增加（25 nm），2DEG 浓度开始饱和。文献对 2DEG 浓度随势垒层厚度如此变化的规律给出了一个可能的解释：他们认为存在表面类施主态，这些表面类施主态可能是 2DEG 的来源以及对在 AlGaN 顶部极化引入的负电荷进行正电荷补偿，并且假设它们在 AlGaN 带隙中有很深的能级位置和在势垒层厚度较小时有电子占据这些能级。这样，当势垒层很薄时，就没有 2DEG 形成，顶层的电场将由极化引入的电荷决定；随着厚度的增加，在表面的费米能级将下移到施主态深能级，这些能级将变空，2DEG 开始形成，且 AlGaN 层的电场减弱；随着厚度进一步增加，2DEG 浓度接近极化引入的电荷值而开始饱和。同时，他们给出的 2DEG 浓度与 Al 组分呈线性递增关系。

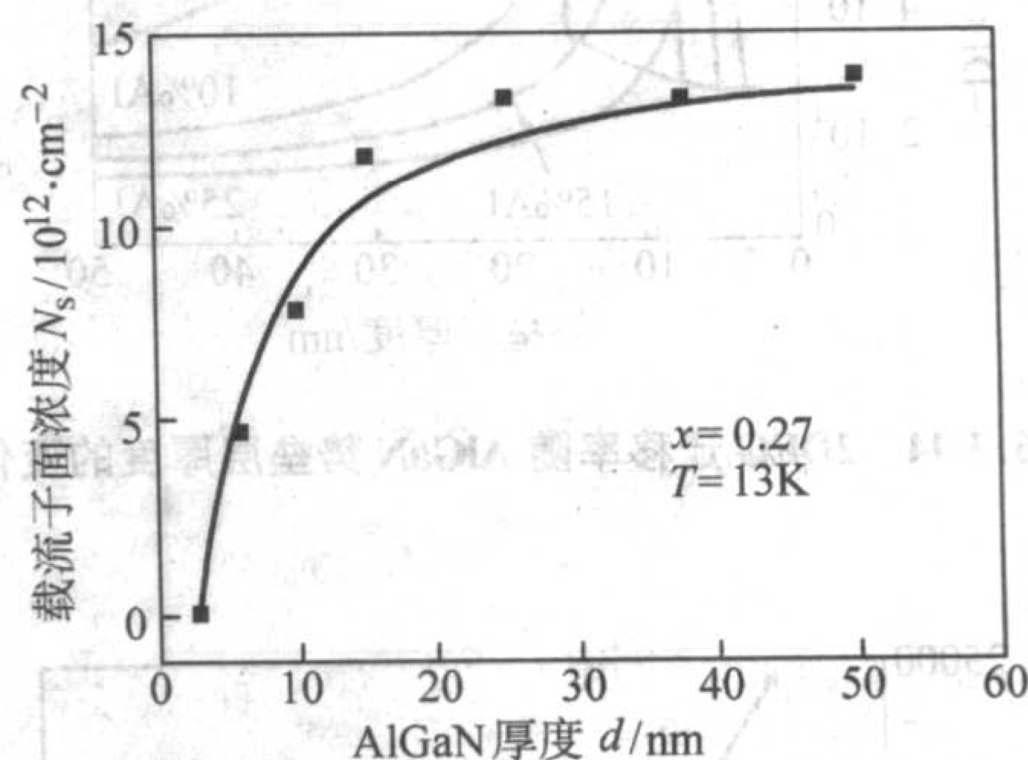


图 6.3-42 2DEG 浓度随 AlGaN 势垒层厚度的变化

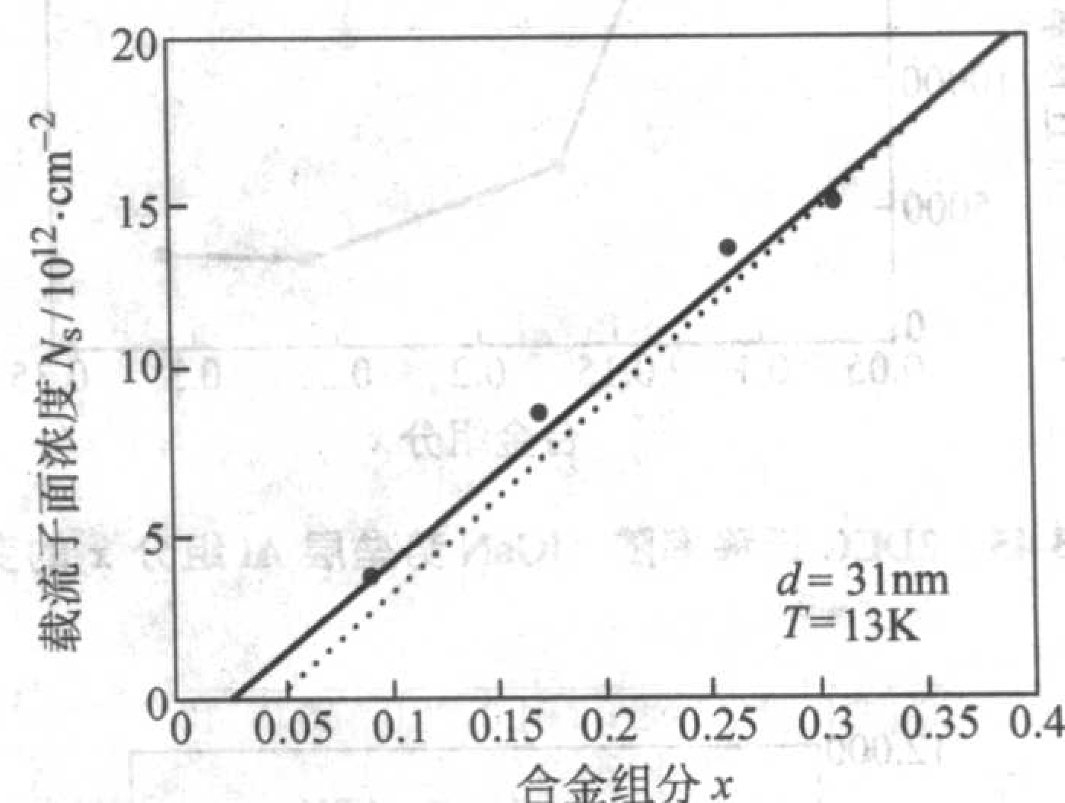


图 6.3-43 2DEG 浓度随 AlGaN 势垒层 Al 组分 x 的变化

图 6.3-44 和图 6.3-45 分别给出了 2DEG 迁移率随 AlGaN 势垒层厚度和 Al 组分 x 的变化规律。当势垒层较薄时，由于 2DEG 浓度很低，受电离杂质散射影响较大而使 2DEG 迁移率也很低，但随着势垒层厚度增加，2DEG 浓度增加，电离杂质散射受到 2DEG 有效的屏蔽，2DEG 迁移率迅速增加；但当势垒层厚度超过某一临界值时，2DEG 浓度进一步增加会导致合金无序散射成为主要的散射机制，致使 2DEG 迁移率随厚度增加而迅速减小。2DEG 迁移率也强烈地依赖于 Al 组分，随着 Al 组分的增加，2DEG 迁移率迅速下降。其实，2DEG 迁移率与 Al 组分和势垒宽度的关系可以归结到载流子浓度与 2DEG 迁移率间的关系。因为组分与势垒层宽度直接控制电荷的转移，决定着载流子的浓度，而大多散射机制与 2DEG 电子浓度有着强烈的函数关系，载流子浓度的变化将修改费米波矢的值和量子阱中电子的分布，进而影响电子的驰豫时间。因此，实验确立 2DEG 迁移率与 2DEG 浓度间的关系，对理解主要的散射机制是非常有帮助的。图 6.3-46 给出了 2DEG 迁移率与 2DEG 浓度间的关系，迁移率随浓度的增大先上升后下降。也有文献给出的关系为 2DEG 迁移率随着 2DEG 浓度增大的而减小。且他们对散射机制的解释也不尽相同。对 $Al_xGa_{1-x}N$/GaN 异质结构中 2DEG 的主要散射机制的讨论将放在下一小节。图 6.3-47 给出了 2DEG 迁移率和浓度对温度的依赖关系。Shen 等人对非掺杂 AlGaN 空间隔离层厚度与 2DEG 迁移率和浓度的关系进行了研究，得到了

图 6.3-48 所示的结果。

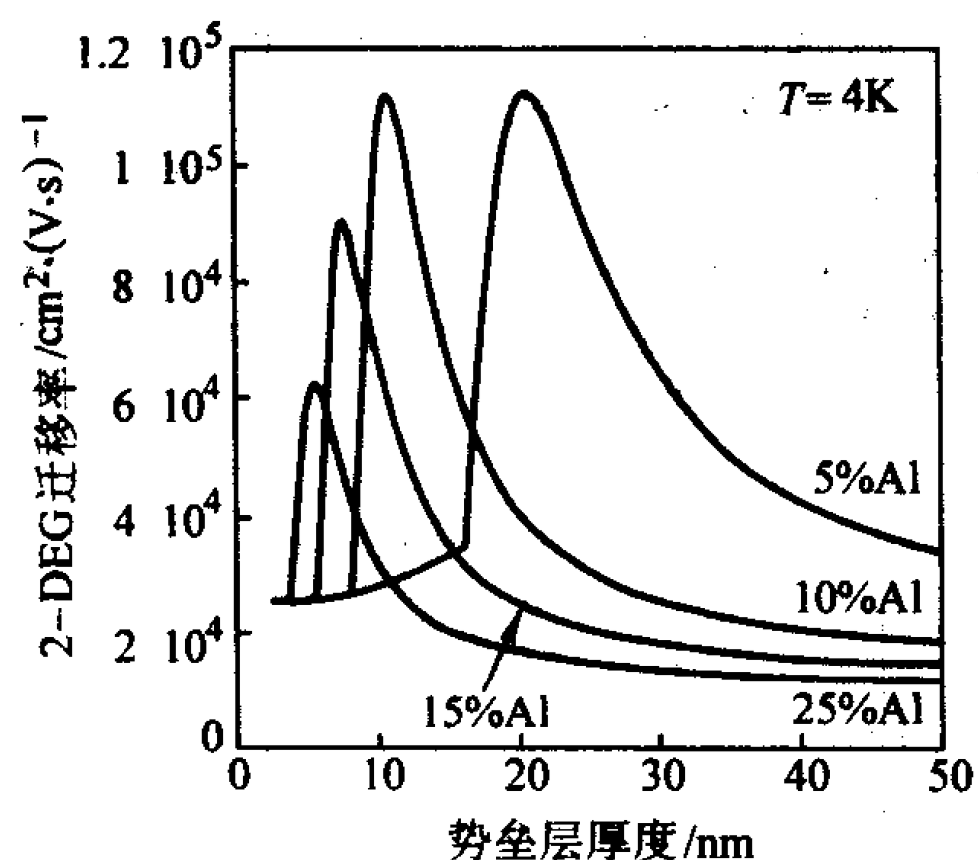


图 6.3-44 2DEG 迁移率随 AlGaN 势垒层厚度的变化

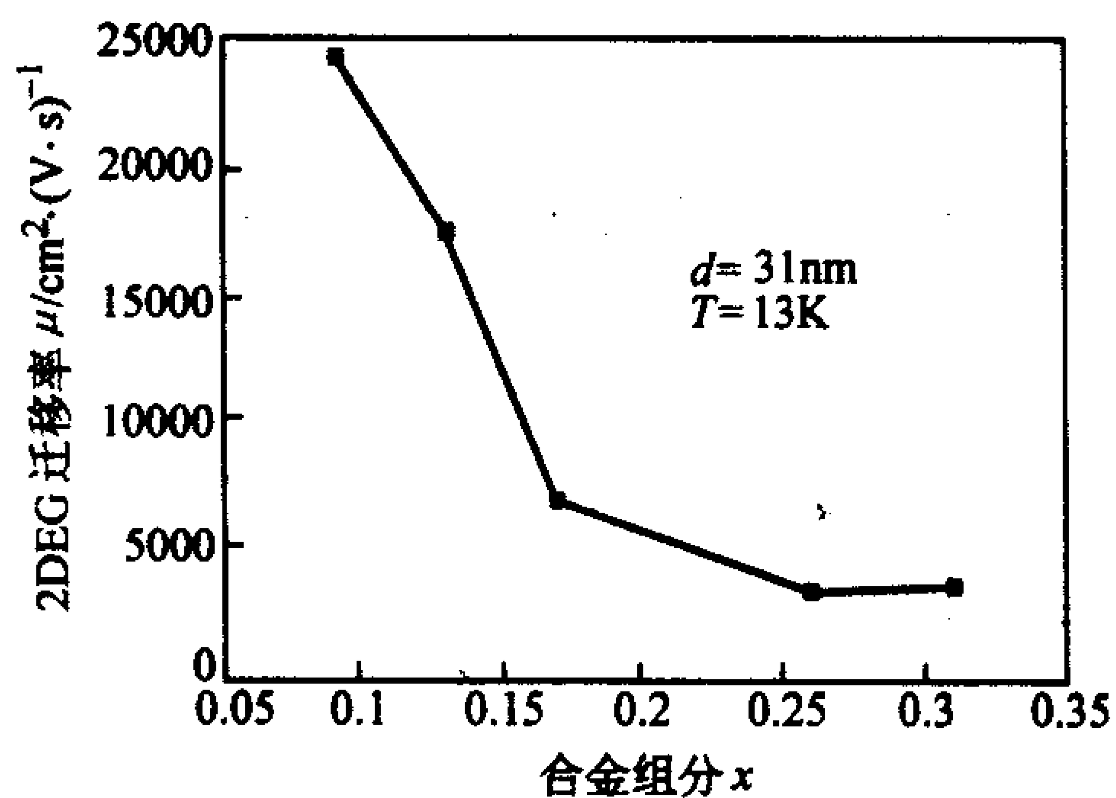


图 6.3-45 2DEG 迁移率随 AlGaN 势垒层 Al 组分 x 的变化

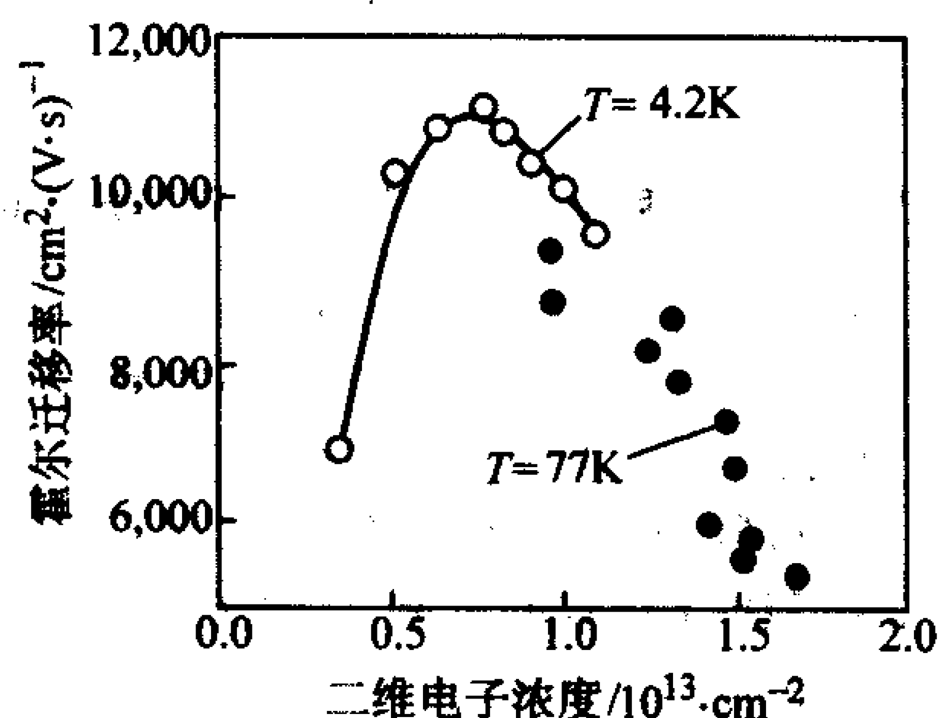


图 6.3-46 2DEG 迁移率与 2DEG 浓度间的关系

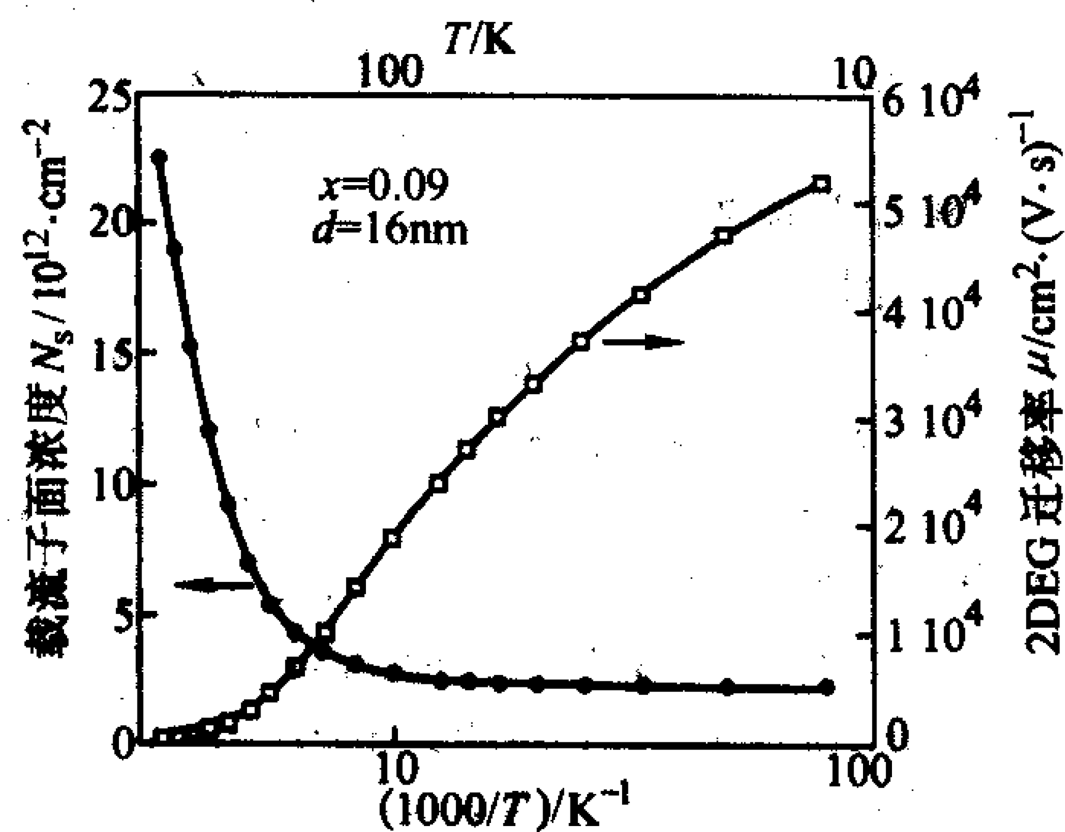


图 6.3-47 2DEG 迁移率和浓度对温度的依赖关系

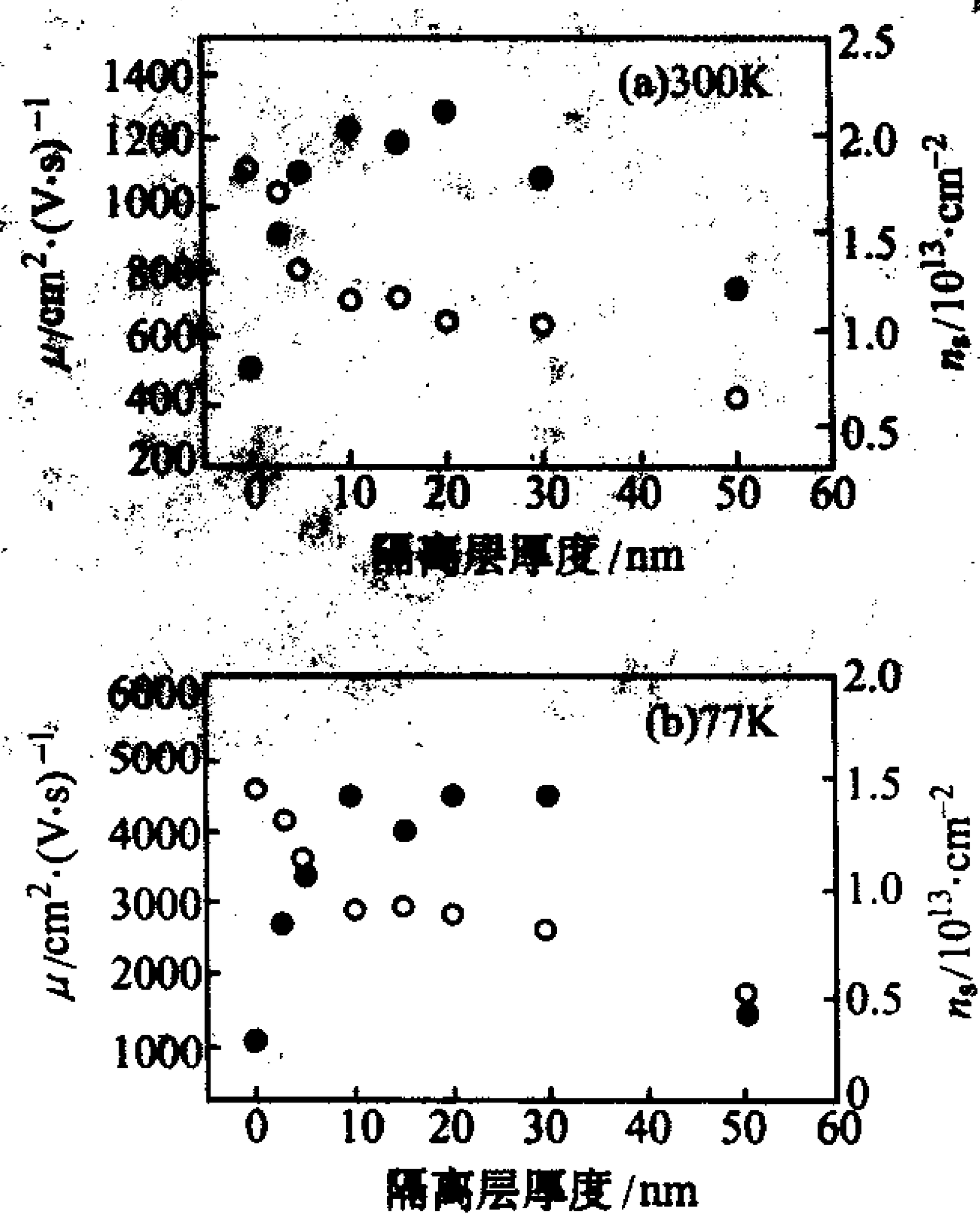


图 6.3-48 AlGaN 空间隔离层厚度与 2DEG 迁移率和浓度的关系

另外，采用调制掺杂或制备具有几层界面势阱的多沟道结构（如双异质结）可以进一步提高 2DEG 浓度。

5.1.2 $Al_xGa_{1-x}N$/GaN 异质结构中 2DEG 的主要散射机制

低温下，在掺杂的半导体中，载流子与带电杂质中心的散射以及载流子之间的散射是载流子的主要散射机制。为了降低这种散射并提高载流子的低温迁移率，1969 年 Eski 和 Tsu 提出了通过生长调制掺杂异质结构（MDH）将载流子和提供载流子的杂质从空间分开的方法。直到 20 世纪 70 年代，随着分子束外延技术的发展，这种调制掺杂半导体异质结构才得以实现。$Al_xGa_{1-x}As$/GaAs 系统的研究表明，和体材料相比，MDH 的电子迁移率可提高三个量级。由于这种异质结材料具有质量很好的同质衬底，同时 $Al_xGa_{1-x}As$/GaAs 和 GaAs 之间完全晶格匹配，可制备出非常完美的 $Al_xGa_{1-x}As$/GaAs 异质结构材料，以至于远程施主杂质散射成为限制 2DEG 迁移率的最主要散射机制。而对于 $Al_xGa_{1-x}N$/GaN 异质结构，由于在 $Al_xGa_{1-x}N$/GaN 异质结构中存在大量的晶格缺陷、异质界面的原子起伏以及 $Al_xGa_{1-x}N$ 势垒层的合金无序，使 $Al_xGa_{1-x}N$/GaN 调制掺杂异质结构中界面粗糙度、合金无序散射和缺陷散射成为限制 2DEG 迁移率的主要散射机制，而在室温下远程施主散射对该异质结构 2DEG 迁移率的影响可忽略不计。以下将分别讨论库仑散射、位错散射、声子散射、合金无序散射。

（1）库仑散射

在体材料 GaN 中库仑散射将严重影响电子迁移率。而在 $Al_xGa_{1-x}N$/GaN 异质结构中，由于具有很高的 2DEG 浓度，这种散射效应被很好的屏蔽了。所以在 $Al_xGa_{1-x}N$/GaN 异质结构中，库仑散射不是主要的散射机制。根据 Hirakawa 和 Sakaki 的标准模型，库仑散射的弛豫时间可写为：

$$\frac{1}{\tau_c} = \int_0^{\pi} \nu(\theta)\mathrm{d}\theta \tag{6.3-51}$$

式中

$$\nu(\theta) = \frac{\pi h(1-\cos\theta)}{2m^*}\left(\frac{q_s}{q}\right)^2 \int \mathrm{d}z[S(q)F(q,z)]^2 N(z) \tag{6.3-52}$$

这里 $N(z)$是库仑散射中心的分布，$F(q,z)$和屏蔽因子 $S(q)$分别为：

$$F(q,z)=\int \mathrm{d}z' \,|\chi(z')|^2 \exp(-q|z-z'|) \tag{6.3-53}$$

$$S(q)=\frac{q}{q+q_s H(q)} \tag{6.3-54}$$

式（6.3-54）中

$$H(q)=\int_0^\infty \mathrm{d}z\int_0^\infty \mathrm{d}z'\chi(z)^2\chi(z')^2\exp(-q|z-z'|) \tag{6.3-55}$$

q 为电子动量，χ 为电子波函数。将式（6.3-52）中对 z 的积分分为三个区域，即对应于掺杂 $Al_xGa_{1-x}N$ 层的远程离化杂质散射、$Al_xGa_{1-x}N$ 隔离层中的离化杂质散射和 GaN 层中的剩余杂质散射。

（2）声子散射

在Ⅲ－Ⅴ族半导体中声子散射在限制电子迁移率方面起着主要的作用。三个重要的声子散射过程分别是形变势声子散射、压电势声子散射和极化光声子散射。在调制掺杂异质结构中，虽然电子的运动被限制在界面附近 10 nm 以内，通常仍然假设声学声子可在三维方向自由传播。

虽然声学声子散射速率随温度的增加而增加并几乎成线性关系。但由于与温度无关的散射过程，如库仑散射，在极低温下对电子迁移率起决定性的限制作用，所以极低温度下声子对电子迁移率的影响很小。

GaN 中的极化光声子能量与子带能级间的距离特别是激发子带间的距离相比很大，为 90 meV。所以，在较高温度下，当极化光声子散射几率不能忽略时，极化光声子散射将使多子带参与输运从而使 $Al_xGa_{1-x}N$/GaN 异质界面 2DEG 失去二维特性。

（3）合金无序散射

由于半导体异质结构势垒层有限高，电子波函数将穿入 $Al_xGa_{1-x}N$ 层，所以必须考虑合金无序散射对 2DEG 迁移率的影响。根据文献，合金无序散射的弛豫时间可表示为：

$$\frac{1}{\tau_{\mathrm{all}}}=\frac{m^* x(1-x)\Omega\langle V\rangle^2}{h^3}\int_{-\infty}^{0}|\chi'(z)|^4\mathrm{d}z \tag{6.3-56}$$

其中 $<V>$ 是 AlN 和 GaN 之间导带的带偏移，Ω 是单位元包的体积，x 是 $Al_xGa_{1-x}N$ 层的 Al 组分，x'（2）是描述波函数穿入合金内的部分：

$$\chi'(z)^2=\frac{4\pi e^2}{\varepsilon_s V_0}\left(\frac{1}{2}N_s+N_{\mathrm{depl}}\right)\exp\left[\left(\frac{8m^* V_0}{h^2}\right)^{1/2} z\right] \tag{6.3-57}$$

合金无序散射速率对电子密度非常敏感，是 N_s 的二次方关系。因为合金无序散射是短程散射，可以忽略电子的屏蔽效应

（4）位错散射

蓝宝石衬底和 GaN 之间存在很大的晶格失配，$Al_xGa_{1-x}N$/GaN 异质结构中与界面垂直的贯穿位错密度达 $10^8\sim10^{10}/\mathrm{cm}^2$。失配位错线可认为是以线电荷密度 ρ_L 分布的线电荷。则线电荷散射的屏蔽势为：

$$A(q)=\frac{e}{2\varepsilon_0\varepsilon_b}\cdot\frac{\mathrm{d}z\rho_L e^{-q|z|}}{q+q_{\mathrm{TF}}} \tag{6.3-58}$$

这里 $\varepsilon_0\varepsilon_b$ 是材料的介电常数，$q_{\mathrm{TF}}=2/a_B^*$，a_B^* 是材料中的有效玻尔半径。文献的结果表明，散射时间与载流子浓度 n_s 的关系近似成 $n_s^{3/2}$。2DEG 的屏蔽长度依赖于 q_{TF} 和 k_F。所以对于高 2DEG 浓度，这种散射被很好地屏蔽。迁移率与二维电子气浓度以及失配位错的关系可表示为 $\mu_{\mathrm{dis}}^{2D}\propto n_s^{3/2}/N_{\mathrm{dis}}$。

5.2 $Al_xGa_{1-x}N$/GaN 异质结构的量子输运性质

由于 $Al_xGa_{1-x}As$/GaAs 异质结构是晶格完全匹配的异质结构，而且可以找到同质衬底材料，所以该异质结构中 2DEG 迁移率远远高于 $Al_xGa_{1-x}N$/GaN 异质结构。$Al_xGa_{1-x}As$/GaAs 异质结构的另一个特点是相对低的 2DEG 浓度和界面处较宽的三角势阱，使得在约 $10^{11}/\mathrm{cm}^2$ 的 2DEG 浓度下就可以观察到 2DEG 的高子带占据。$Al_xGa_{1-x}As$/GaAs 异质结构的这些特点非常有利于研究各种量子现象，如整数量子霍尔效应、分数量子霍尔效应、量子霍尔效应的过冲现象、量子散射时间、带间散射、自旋分裂以及 AB 效应和新磁阻振荡等。而在 $Al_xGa_{1-x}N$/GaN 异质结构中，由于该异质结具有大的导带偏移和很强的压电效应，使得异质结界面处的三角势阱即窄又深，这样，三角势阱中的电子第一子带和第二子带间距很大，所以第二子带占据很难被观测到。但随着 $Al_xGa_{1-x}N$/GaN 异质结构质量的提高，人们在该异质结构的磁输运测量中观察到了越来越强的 SdH 振荡和整数量子霍尔效应，并且观察到了清晰的自旋分裂现象。说明在这种异质结构中已经得到了特性非常好的 2DEG。

5.2.1 $Al_xGa_{1-x}N$/GaN 异质结构中 2DEG 子带输运性质

由于 AlGaN/GaN 异质结构具有大的导带偏移和很强的压电和自发极化效应，使得该异质结构界面的三角量子阱内的 2DEG 子带分布和性质与 AlGaAs/GaAs 系统有很大的差异。Zheng 等人首次在调制掺杂的 $Al_{0.22}Ga_{0.78}N$/GaN 异质结中观察到了具有双周期特性的 SDH 振荡，这说明在调制掺杂的 $Al_{0.22}Ga_{0.78}N$/GaN 异质结中至少有两个子带被 2DEG 占据。并确立了当 2DEG 浓度达到 $7.3\times10^{12}/\mathrm{cm}^2$ 时，第二子带开始被占据，这时两个子带间的距离为 75 meV。图 6.3-49 为 $Al_{0.22}Ga_{0.78}N$/GaN 调制掺杂异质结构的 SDH 振荡谱。图 6.3-50 给出了 1.4 K 温度下 $Al_{0.22}Ga_{0.78}N$/GaN 调制掺杂异质结构 2DEG 的迁移率谱。从图可以清楚看到第一和第二子带 2DEG 的迁移率峰值为 1 219 cm²/V·s 和 5 626 cm²/V·s，第二子带的迁移率要比第一子带高得多。他们的研究还发现：当势垒层产生应变驰豫时，第一子带的 2DEG 的迁移率骤然下降，而第二子带的迁移率有增加的趋势。他们认为这是由于在界面处产生了一种大角散射而导致的结果。当异质结构发生驰豫时将在 AlGaN 层中靠近界面附近产生失配位错，从而使 AlGaN 层界面处的应变不均匀，导致界面附近的压电场被失配位错调制而在界面上分布不均匀。这种分布不均匀的压电场可能导致很强的散射，从而降低迁移率。第二子带迁移率反而有增加趋势，其解释为：界面三角势阱中第一子带和第二子带能量间距很大，尽管第一子带内的 2DEG 被很好地限制在界面附近，第二子带中的电子波函数已经扩展到 GaN 中较深的区域。

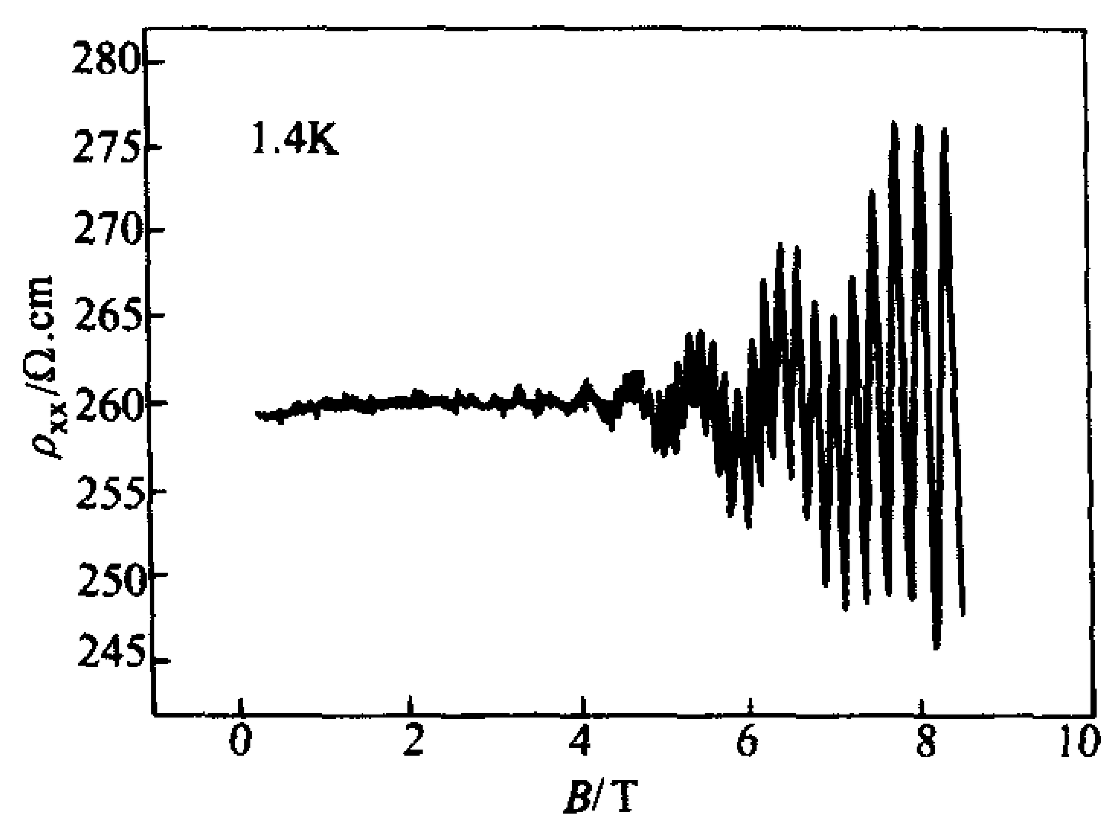


图 6.3-49　在 1.4 K 温度下 $Al_{0.22}Ga_{0.78}N$/GaN 调制掺杂异质结构的 SDH 振荡谱

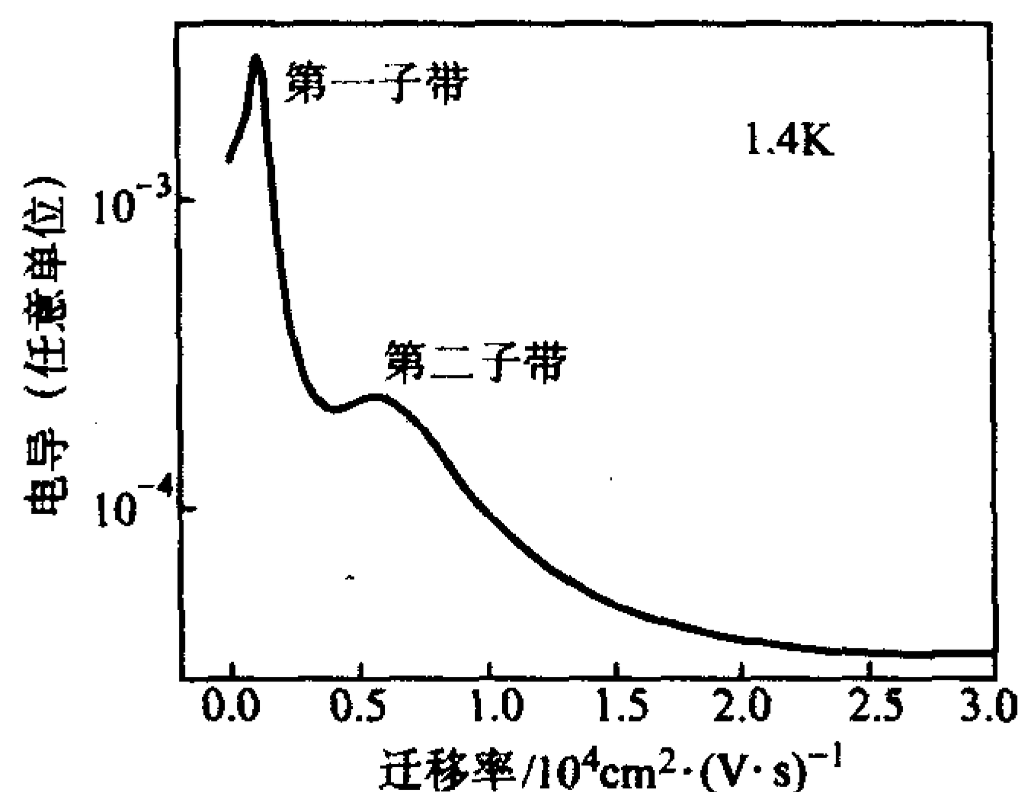


图 6.3-50 在 1.4 K 温度下 $Al_{0.22}Ga_{0.78}N/GaN$ 调制掺杂异质结构 2DEG 的迁移率谱

$Al_{0.22}Ge_{0.78}N/GaN$ 调制掺杂异质结中具有很高的 2DEG 浓度，这样高的 2DEG 浓度很好地屏蔽了 GaN 中位错散射和剩余杂质散射所引起的电子迁移率下降。

5.2.2 $Al_xGa_{1-x}N/GaN$ 异质结构中 2DEG 的量子散射时间

半导体电子输运特性通常由输运散射时间 τ_1 表征。但还存在另一种量子散射时间 τ_q，表征单粒子电子态的量子机理增宽。假设 $Q(\theta)$ 是 θ 的函数，如果 $Q(\theta)$ 正比于散射几率，则 τ_q 由下式给出

$$\frac{1}{\tau_q}=\int_0^{\pi}Q(\theta)\mathrm{d}\theta \tag{6.3-59}$$

而输运散射时间为

$$\frac{1}{\tau_q}=\int_0^{\pi}Q(\theta)(1-\cos\theta)\mathrm{d}\theta \tag{6.3-60}$$

对于短程射散势，例如合金无序散射和界面粗糙散射，这两种散射时间是相等的。但对于长程势散射，例如远程离化杂质散射，该散射在 $Al_xGa_{1-x}As/GaAs$ 调制掺杂异质结构中是影响电子迁移率的主要散射机制，这两种散射时间相差很大。

量子散射时间可由磁输运实验通过 Dingle 作图法得到。SdH 振荡电阻率的振幅部分为：

$$\Delta\rho=4\rho_0X(T)\exp(-\pi/\omega_c\tau_q) \tag{6.3-61}$$

其中 ρ_0 是零场电阻率，ω_c 为回旋频率，$X(T)$ 为热衰减因子：

$$X(T)=(2\pi^2kT/h\omega_c)/\sinh(2\pi^2kT/h\omega_c) \tag{6.3-62}$$

这里假设朗道能级是增宽的，其宽度 Γ 与量子散射时间的关系为 $\tau_q=h/2\Gamma$。作 $[1/4X(T)]\triangle\rho_{xx}/\rho_0$ 随 1/B 变化的函数关系，其直线拟合的斜率为 $\pi m^*/|e|\tau_q$。

图 6.3-51 是采用 Dingle 作图法求出的势垒层和隔离层厚度分别为 25 nm 和 10 nm 的 $Al_{0.22}Ga_{0.78}N/GaN$ 调制掺杂异质结构的量子散射时间，其量子散射时间为 0.17 ps。

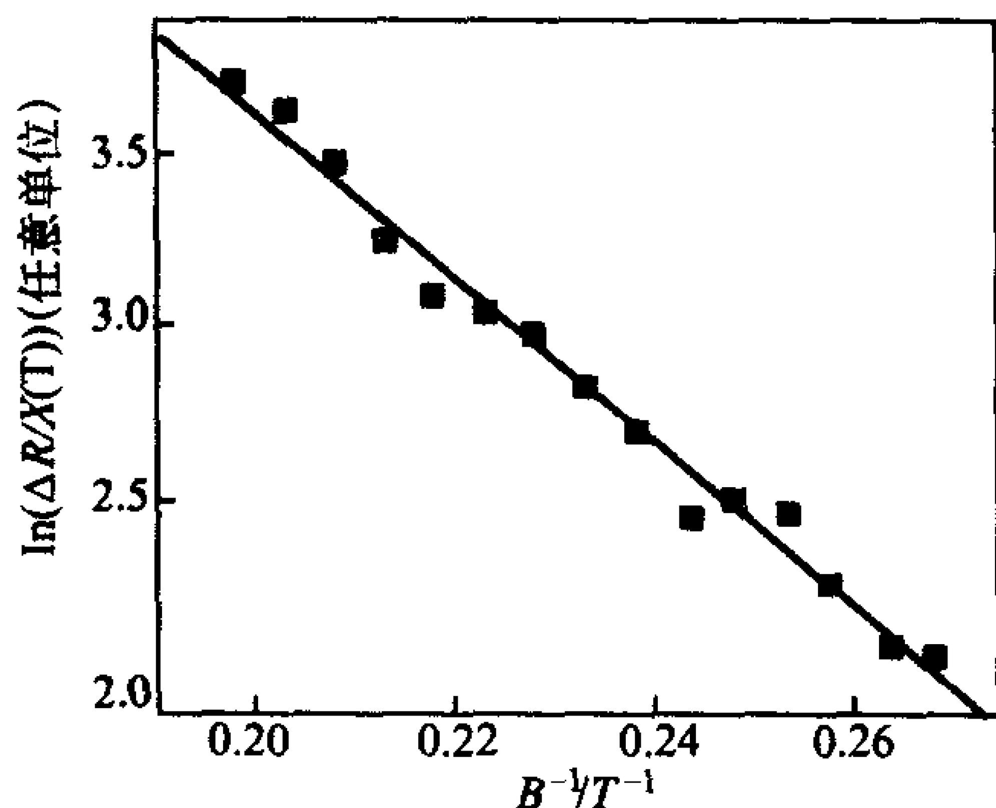


图 6.3-51 用 Dingle 作图法得到的 $Al_{0.22}Ga_{0.78}N/GaN$ 调制掺杂异质结构的量子散射时间

5.2.3 $Al_{0.22}Ga_{0.78}N/GaN$ 异质结构中 2DEG 的带间散射

在半导体异质结构中，如果两个或两个以上的子带被 2DEG 占据则可能产生带间散射。在 $Al_xGa_{1-x}As/GaAs$ 异质结构中，带间散射将明显地影响 2EDG 迁移率。异质界面三角势阱中有两个子带被电子占据时，每一子带的零场态密度可写成：

$$\Delta g_1=2g_0\sum\exp(-s\pi/\omega_c\tau_{q1})\cos(2\pi F_1/B+s\pi) \tag{6.3-63}$$

$$\Delta g_2=2g_0\sum_{s}^{s}\exp(-s\pi/\omega_c\tau_{q2})\cos(2\pi F_2/B+s\pi) \tag{6.3-64}$$

式中 $F_i=(E_F-E_{0i})m^*/eh$，这里 E_{0i} 是第 i 个子带的最低能量。根据 Cloridge 模型，横向振动磁阻可写成：

$$\frac{\Delta R_{xx}}{2R_0}=A_1\frac{\langle\Delta g_1\rangle}{2g_0}+A_2\frac{\langle\Delta g_2\rangle}{2g_0}+B_{12}\frac{\langle\Delta g_1\Delta g_2\rangle}{2g_0^2} \tag{6.3-65}$$

式中内调制项：

$$B_{12}=\frac{(n_1\tau_1+n_2\tau_2)}{(n_1+n_2)^2}(n_1P_{12}+n_2P_{21})g_0 \tag{6.3-66}$$

式中 n_1、n_2 分别为两个子带内的电子密度，τ_1、τ_2 分别对应于这两个子带的输运散射时间，P_{12} 和 P_{21} 分别为这两个子带间的散射几率。所以没有带间散射就没有内调制项。

图 6.3-52 是 $Al_{0.22}Ga_{0.78}N/GaN$ 异质结构在不同温度下的振荡磁阻率，图 6.3-53 为相应的快速傅立叶变换谱。在 3 K 下，振荡磁阻率主要由第一子带的 SdH 振荡决定，随着温度的增加，第一子带的 SdH 振荡变得越来越弱，而磁带间散射（MIS）振荡部分保持未变。在 15 K 时，磁阻出现了拍频现象。同时，第一子带的 SdH 振荡的振幅和频率接近磁带间散射振荡的振幅和频率。当温度增加到 25 K 时，振荡磁阻率变为主要由磁带间散射振荡决定。

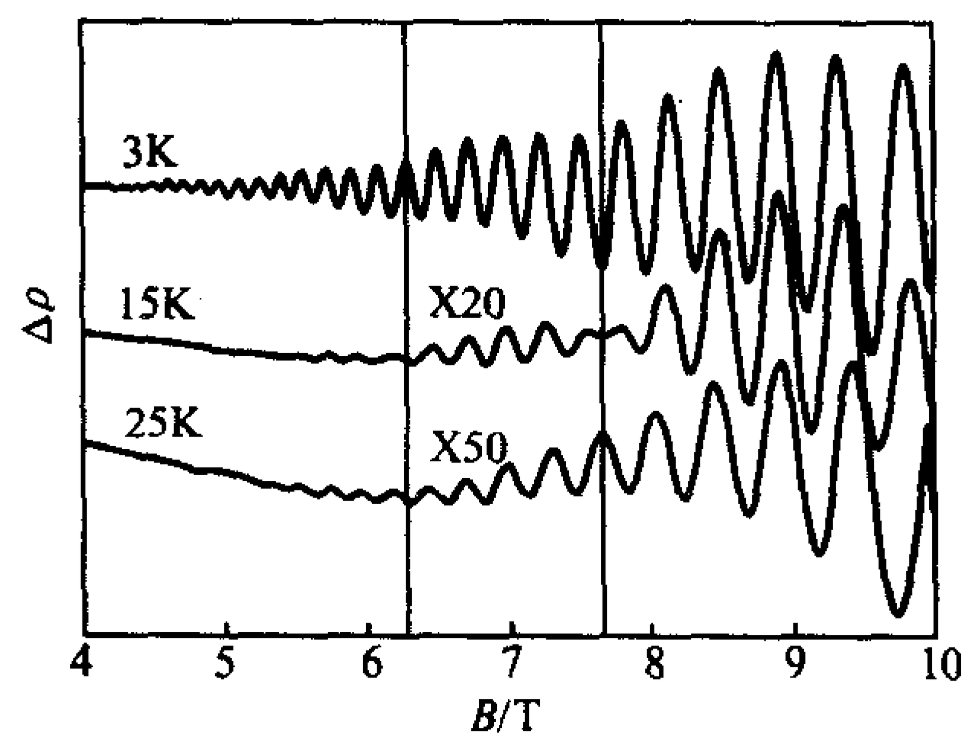


图 6.3-52 $Al_{0.22}Ga_{0.78}N/GaN$ 异质结构在不同温度下的振荡磁阻率

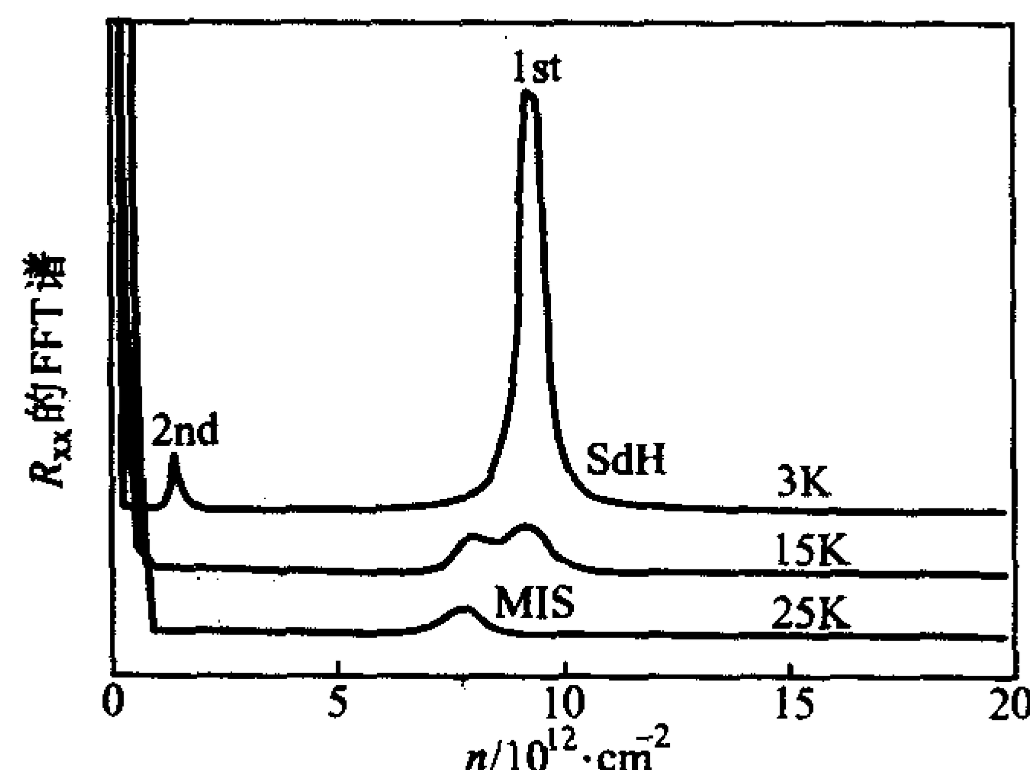


图 6.3-53 $Al_{0.22}Ga_{0.78}N/GaN$ 异质结构磁阻振荡的快速傅立叶变换谱

编写：陈敦军（南京大学）
孔月婵（南京大学）

第4章　Ⅲ族氮化物半导体器件的应用

1　Ⅲ族氮化物半导体光发射器件（LED）

1.1　LED的基本工作原理与性能参数

发光二极管（LED）是一种在适当的正向偏压下半导体p-n结能够自发辐射而发光的器件，最简单的为同质p-n结，但发光效率不高，通常采用双异质结和量子阱结构。图6.4-1所示为双异质结情况下LED的能带图。在正偏压下，电子由n区注入，空穴由p区注入，在结区发生导带到价带，或者经由辐射复合中心的复合，发出能量与能级差相对应的光子。

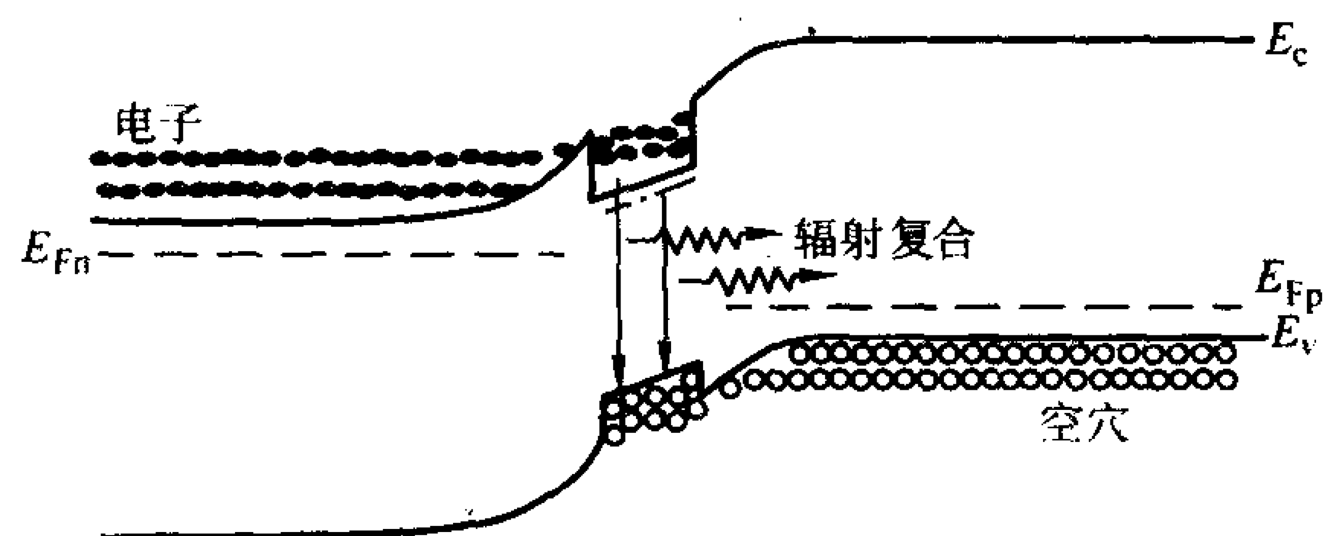


图6.4-1　LED的工作原理示意图

LED的主要参数为：发光波长，半高宽，发光功率，正向工作电压（一般定义注入电流为20 mA时），外部量子效率。发光波长和半高宽表征所发光的颜色性质。发光功率则表征单位时间内的发光量，一般以毫瓦（mW）为单位。正向工作电压及电流反映输入的电功率。外部量子效率反映电光转换效率，它表示向LED内部注入一个电子时，从LED向外部发射的光子的数量。外部量子效率越高，输入LED的电能转换为热能的损耗就越小。对于白光LED的应用，还有色度，显色性因子等参数，将在相关部分介绍。

1.2　GaN基LED材料的生长、结构及器件工艺

1）衬底　传统的GaN LED以蓝宝石（sapplire）为衬底。亦有一些研究组和公司在SiC衬底上制造LED。近年来，在Si衬底上生长GaN并制备的LED也成为热点。

2）GaN p-n结型LED　1991年，Amano和Nakamura分别报道了GaN p-n结型蓝光LED。GaN p-n结型LED的结构示意图如图6.4-2所示。n型GaN为Si掺杂，载流子浓度为$5\times10^{18}/cm^3$，p型GaN为Mg掺杂，浓度为$5\times10^{18}/cm^3$。生长之后进行了热退火以获得低阻的p-GaN层。Amano和Akasaki等人报道的GaN p-n结LEDs在正向电流小于30 mA时，电致发光有两个峰，一个在370 nm，另一个在430 nm。Nakamura报道的GaN p-n结LED在30 mA以下时只有370 nm的峰。GaN p-n结型的LED的发光强度都比较弱，Nakamura报道的外部量子效率为0.18%。

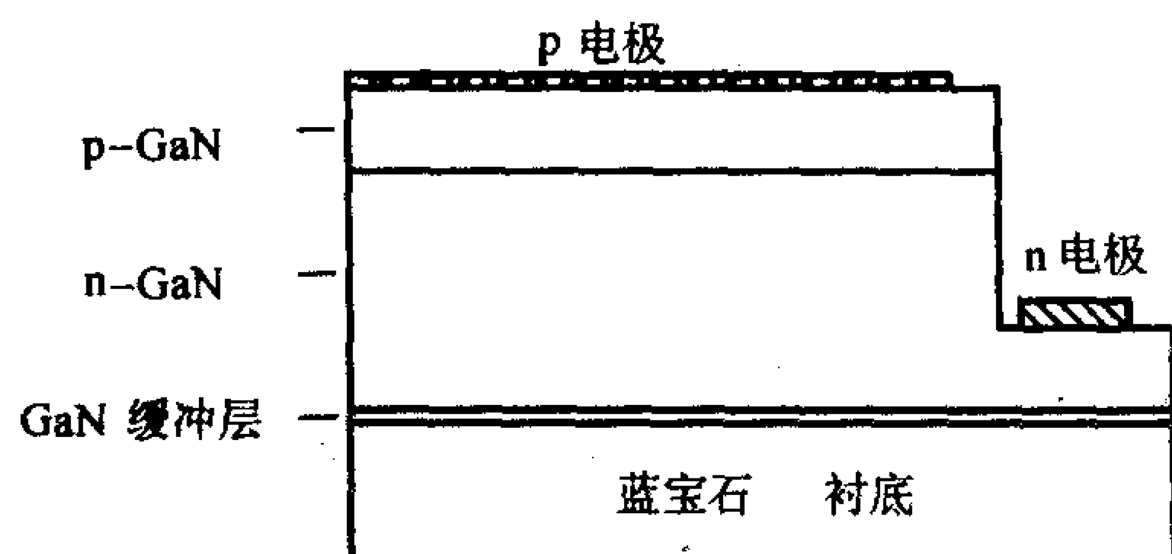


图6.4-2　GaN p-n结LED的结构示意图

3）InGaN/GaN双异质结LED　Nakamura等人最早在1993年用双流MOCVD方法制备了InGaN/GaN双异质结LED。器件结构如图6.4-3所示。首先，在蓝宝石衬底上低温（约510℃）生长约25 nm（250 Å）的GaN缓冲层，之后依次为1 020℃下生长的n型GaN:Si，800℃下生长约20 nm（200 Å）厚的Si掺杂$In_{0.2}Ga_{0.8}N$有源层，之后为p型GaN:Mg。总厚度约为4.8 μm。在GaN生长中，H_2是主气流的载气；在InGaN生长中，N_2被用作载气。

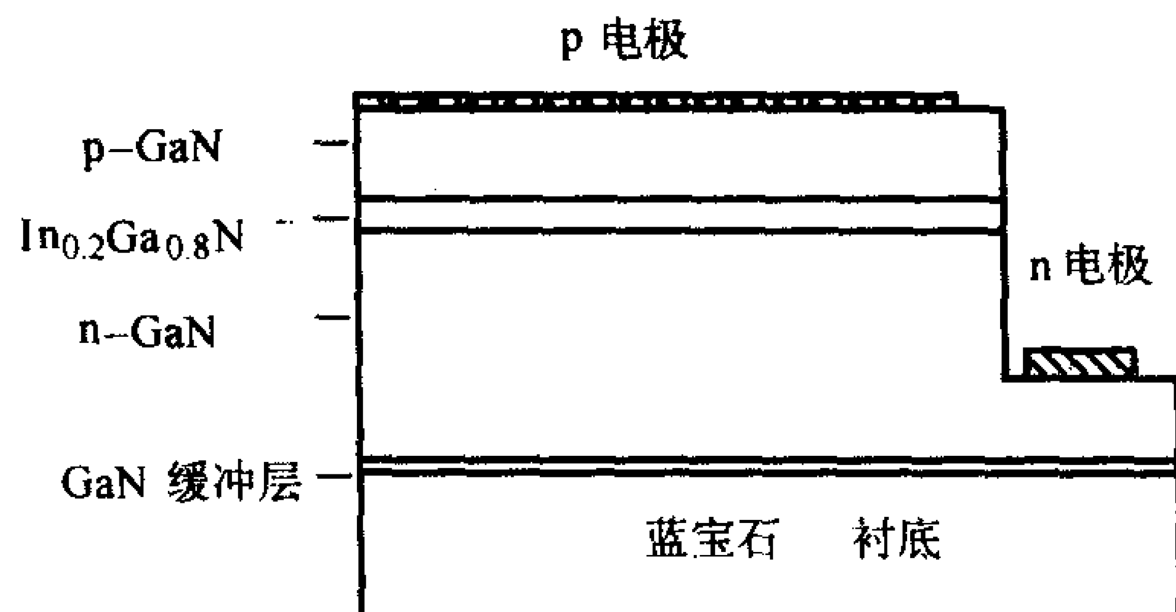


图6.4-3　p-GaN/n-InGaN/n-GaN双异质结蓝光LED的结构示意图

器件制备如下所述。首先将p-GaN部分刻蚀露出n-GaN，形成台面。然后在p-GaN上面做Ni/Au欧姆接触，在n-GaN上面做Al欧姆接触。

图6.4-4是InGaN/GaN双异质结蓝光LED在5 mA，10 mA和20 mA时的电致发光谱。在这些正向电流下，光致发光的峰值波长和半高宽基本稳定，分别为440 nm和20 nm。Si掺杂的InGaN薄膜的光致发光谱的带边发射（BE）半高宽也为20 nm。双异质结LED电致发光的半高宽和InGaN光致发光的带边发射（BE）半高宽基本一致。电致发光的峰值波长（440 nm）比InGaN光致发光的峰值波长（425 nm）略长。因此，蓝光发射可以被认为是由注入到InGaN导带的电子和注入到InGaN价带的空穴复合引起的。

如前所述，GaN同质p-n结蓝光LED发光的峰值波长和半高宽分别为430 nm和380 meV。InGaN/GaN双异质结LED的峰值波长要比GaN同质p-n结蓝光LED长10 nm，而半高宽则窄一半。

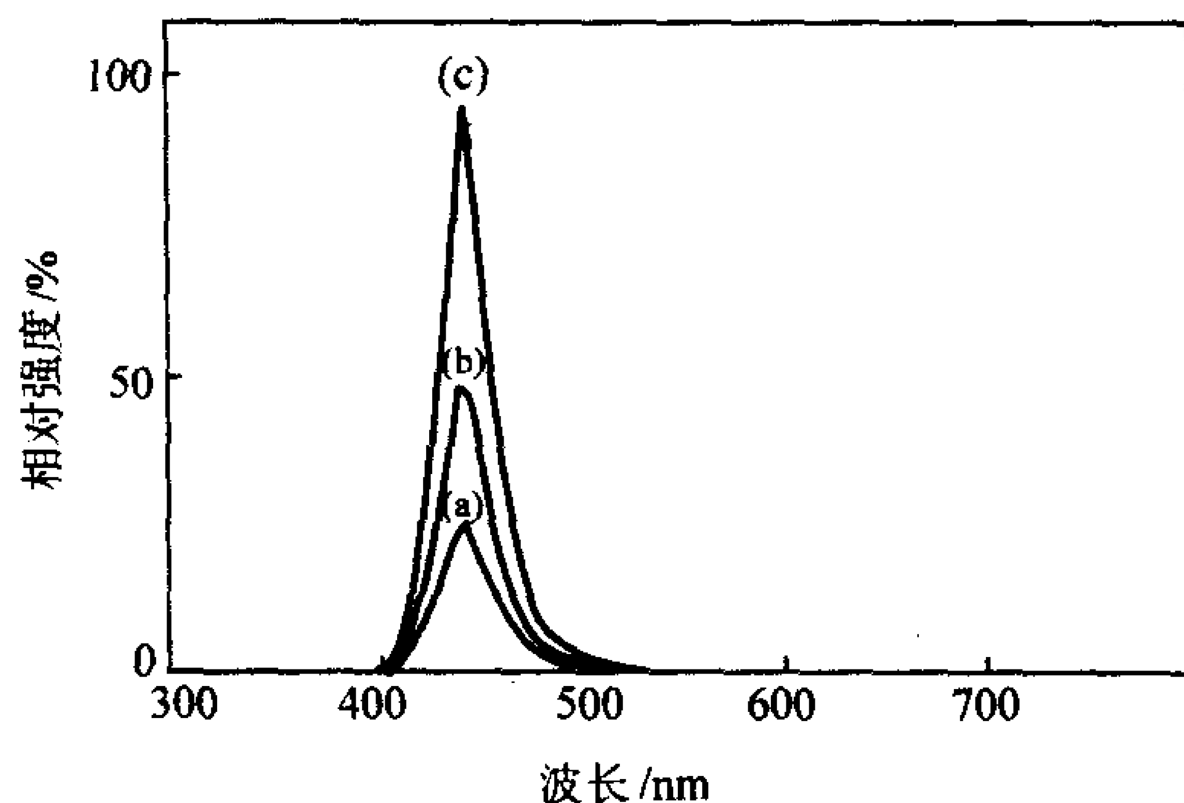


图6.4-4　p-GaN/n-InGaN/n-GaN双异质结蓝光LED在5 mA（a），10 mA（b），20 mA（c）下的电致发光谱

图6.4-5是InGaN/GaN双异质结LED输出功率随正向电流的变化。一直到正向电流增加到20 mA时，输出功率几乎随正向电流线性变化。10 mA时输出功率为70 μW，20 mA时为125 μW。InGaN/GaN双异质结LED的输出功率为GaN同质p-n结LED的3倍。

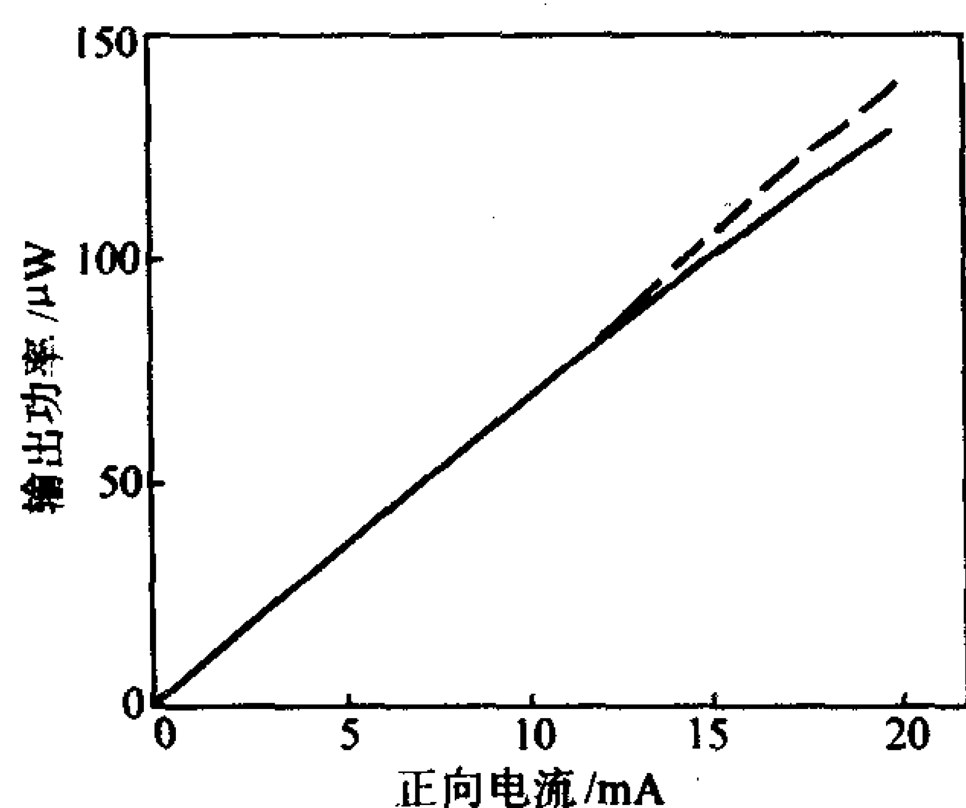


图 6.4-5　p-Gan/n-InGaN/n-GaN 双异质结蓝光 LED 输出功率随正向电流的变化

4）InGaN/AlGaN 双异质结（DH）LEDs　尽管 InGaN/GaN 异质结的发光强度较 GaN 同质 p-n 结有了大大提高，但是其发光亮度仍不能满足户外应用（烛光级），而且其发光波长偏紫。所以仍需进行结构修改。1994 年，Nakamura 报道了 InGaN/AlGaN 双异质结 LED，首先以 Si 和 Zn 共同掺杂 InGaN 有源层以提高亮度，再将 GaN 改为 AlGaN 以扩大发光层与夹层的势垒高度，成功地完成了烛光级的高亮度 $In_{0.06}Ga_{0.94}N/Al_{0.15}Ga_{0.85}N$（其结构见图 6.4-6）。当 InGaN 有源层中电子浓度为 $1\times10^{19}/cm^3$ 时，蓝光发射强度达到最大。需要双掺杂表明 InGaN/AlGaN 双异质结 LED 的高效率是杂质辅助的，例如，自由载流子－施主对复合。p-AlGaN 层上生长 p-GaN 作为 p 电极的接触层。Ni/Au 用作 p 型 GaN 接触而 Ti/Al 用作 n 型 GaN 接触。

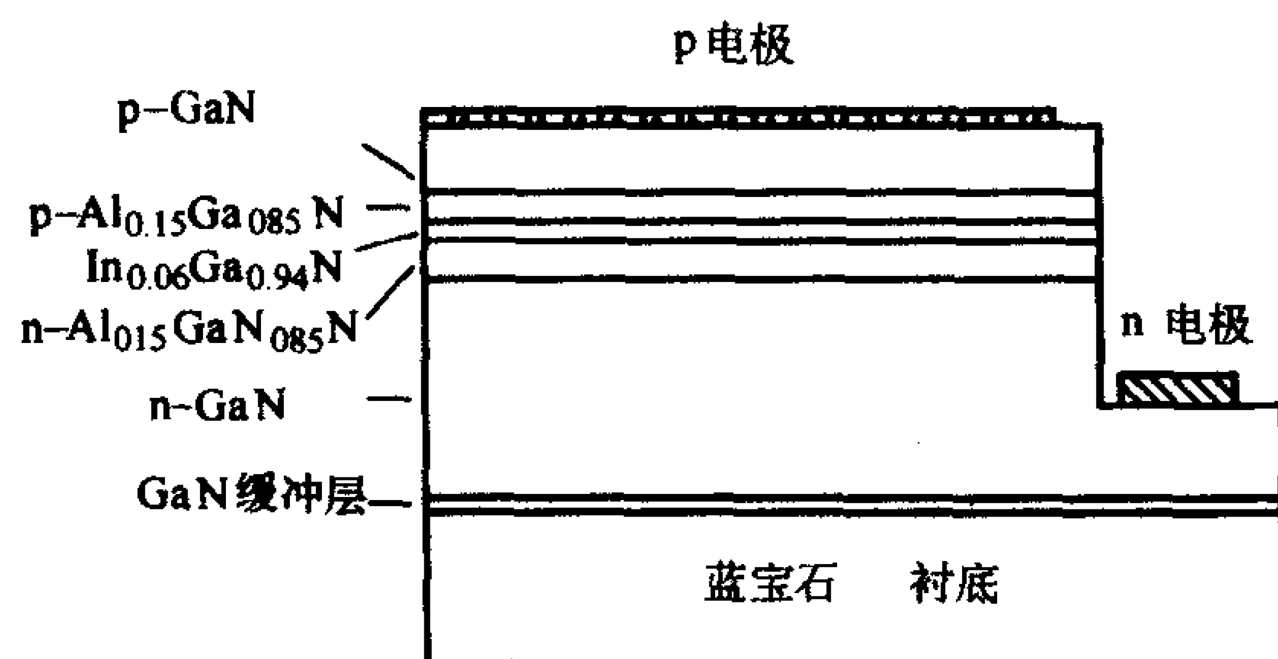


图 6.4-6　InGaN/AlGaN 双异质结 LED 的结构示意图

图 6.4-7 是 InGaN/AlGaN 双异质结蓝光 LED 的电致发光谱。该 LED 中 InGaN 有源层电子浓度为 $1\times10^{19}/cm^3$ 时，在 20 mA 下，光致发光的典型峰值波长和半高宽分别为 450 nm 和 70 nm。当正向电流增加时，峰值波长变短。0.1 mA，1 mA和 20 mA 时峰值波长分别为 460 nm，449 nm 和 447 nm。输出功率为 10 mA 时 1.5 mW，20 mA 时 3 mW 以及 40 mA 时 4.8 mW。20 mA 时，外部量子效率为 5.4%。20 mA 时正向电压为 3.6 V。

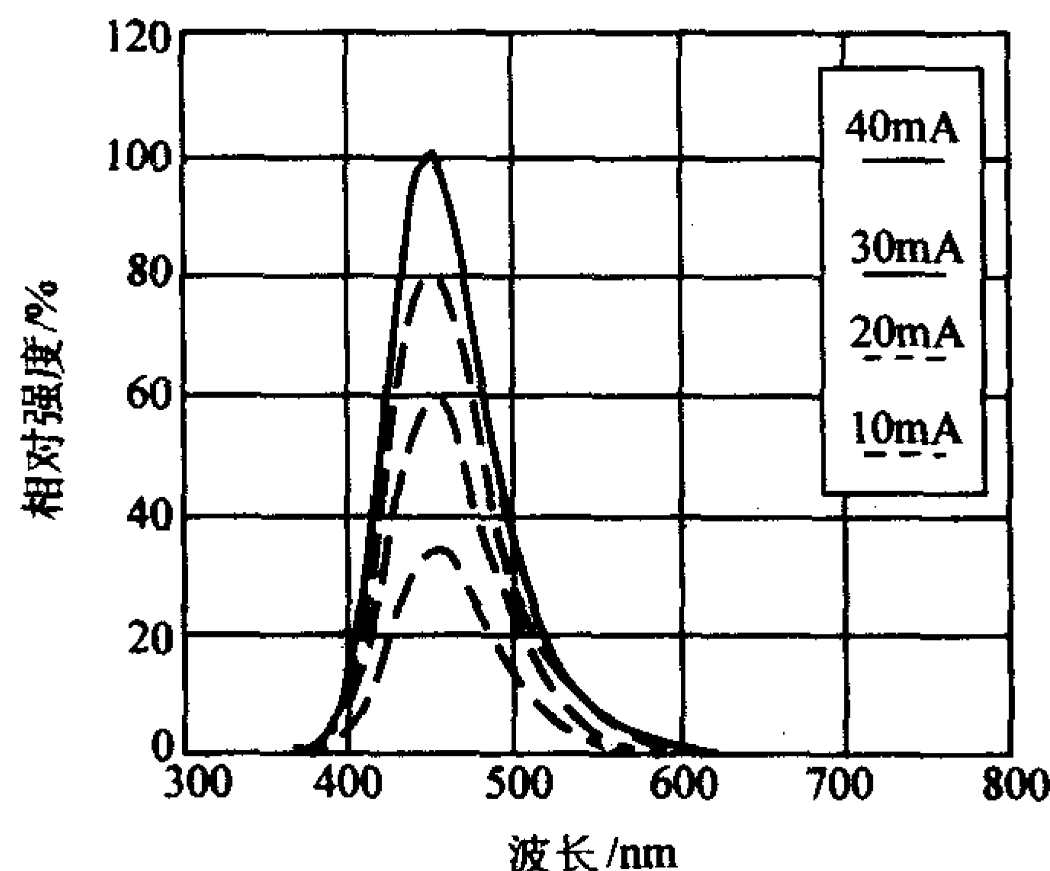


图 6.4-7　InGaN/AlGaN 双异质结蓝光 LED 的电致发光谱

在实现高亮度蓝色 InGaN 双异质结 LED 的基础上，Nakamura 又进一步提高 InGaN 中的 In 组分，实现了波长为 500 nm，亮度为 2 000 mcd 的高亮度 $In_{0.23}Ga_{0.77}N/Al_{0.15}Ga_{0.85}N$ 蓝绿色 LED，达到商业化实用水平。

图 6.4-8 是 InGaN/AlGaN 双异质结蓝绿光 LED 的电致发光谱。20 mA 时，电致发光的典型峰值波长和半高宽分别为 500 nm和 80 nm。0.5 mA，1 mA 和 20 mA 时峰值波长分别为 537 nm，525 nm 和 500 nm。20 mA 时输出功率为1.0 mW，外部量子效率为 2.1%。20 mA 时正向电压为3.5 V。

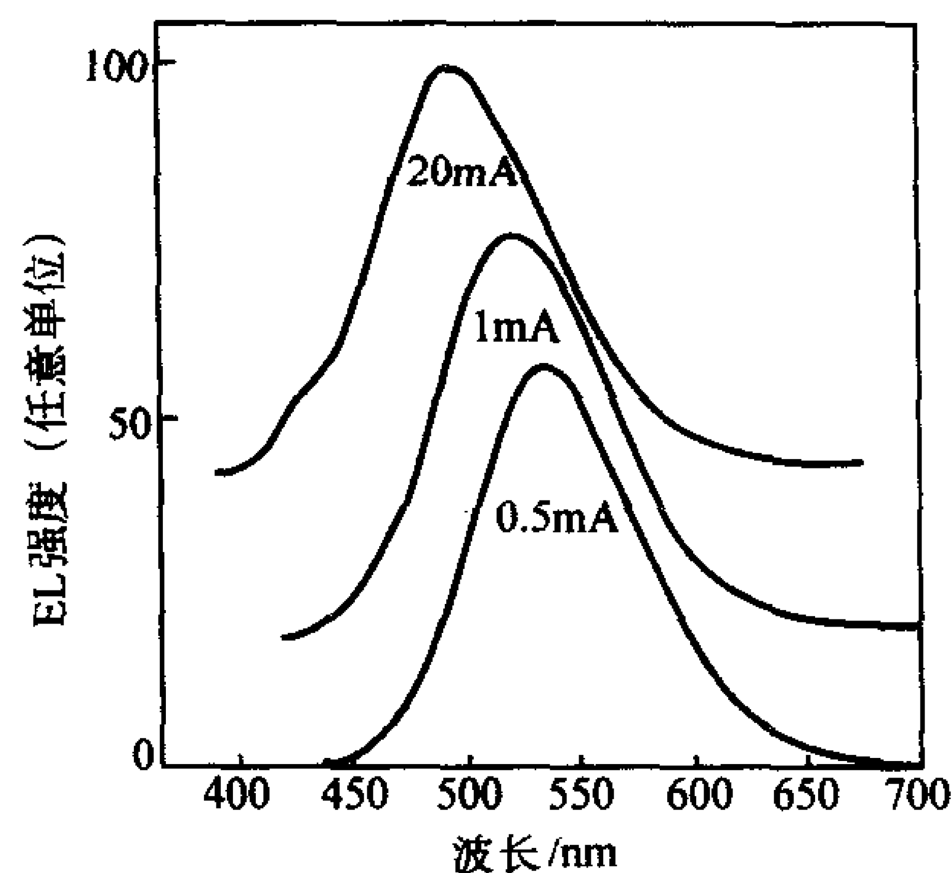


图 6.4-8　InGaN/AlGaN 双异质结蓝绿光 LED 的电致发光谱

InGaN/AlGaN 蓝绿色 LED 只消耗目前白炽灯 12% 的电能，而且寿命长达几万小时，用作交通灯，可以大大节约能源，减少更换，提高安全性和降低成本。

5）InGaN 单量子阱 LED　使用高亮度 InGaN/AlGaN 蓝光，GaP 绿光和 GaAlAs 红光发光 LED 可以制作全色 LED 显示，特别是户外使用。在绿光 GaN 基 LED 出现之前，只能使用 GaP LED。但是 GaP LED 的发光颜色为黄绿（555 nm），不是纯绿。对于纯绿，需要 510 到 530 nm 的发光波长。同时，GaP LED 的发光强度约为 0.1 cd，相比 InGaN/AlGaN 双异质结蓝光 LEDs（2cd）和 GaAlAs 红光 LED（2cd）要弱很多。因此，为了得到更好的全色显示，需要高亮度纯蓝和纯绿发光二极管。尽管 InGaN/AlGaN 双异质结发光二极管在蓝色和蓝绿色范围内产生高功率宽发射谱（FWHM 为 70 nm）的光输出，但不能制备发光波长长于 500 nm 的绿色或者黄色发光二极管。当 InGaN 较厚时（约 100 nm），InGaN 有源层中会产生失配位错，这可能是由于 InGaN 有源层和 AlGaN 覆层之间的晶格失配，线胀系数的差别引起的。为获得绿色带边发射，需要增加 In 组分。但由于 In 组分增加时 InGaN 有源层晶体质量变差，Nakamura 得到的 InGaN/AlGaN 双异质结发光二极管的电致发光波长最长为 500 nm。为了解决以上问题以获得更高亮度的蓝光 LED 以及获得纯绿色 LED，Nakamura 等人将 InGaN 有源层厚度降低到约 3 nm，成为 InGaN 单量子阱结构（SQW），成功制备了蓝色，绿色和黄色 InGaN 单量子阱 LED。图 6.4-9 所示为 InGaN 绿光单量子阱 LED 的器件结构，包括 30 nm 的低温（550℃）生长的 GaN 缓冲层，4 μm 的 n 型 GaN:Si，30 nm 厚的非掺杂 $In_{0.45}Ga_{0.55}N$ 有源层，100 nm 厚的 p 型 $Al_{0.2}Ga_{0.8}N$:Mg，0.5 μm 厚的 p 型 GaN:Mg。有源区是一个 n-GaN/$In_{0.45}Ga_{0.55}N$/p－$Al_{0.2}Ga_{0.8}N$ 单量子阱结构。

图 6.4-10 所示为典型的蓝色，绿色和黄色单量子阱发光二极管在 20 mA 正向电流下的电致发光谱。三种发光二极管中 In 的组分不同，当发光波长从蓝光变化到黄光时，In 组分从 0.2 变化到 0.7。典型蓝色单量子阱发光二极管的峰值波长和半高宽分别为 450 nm 和 20 nm，绿色为525 nm和 30 nm，

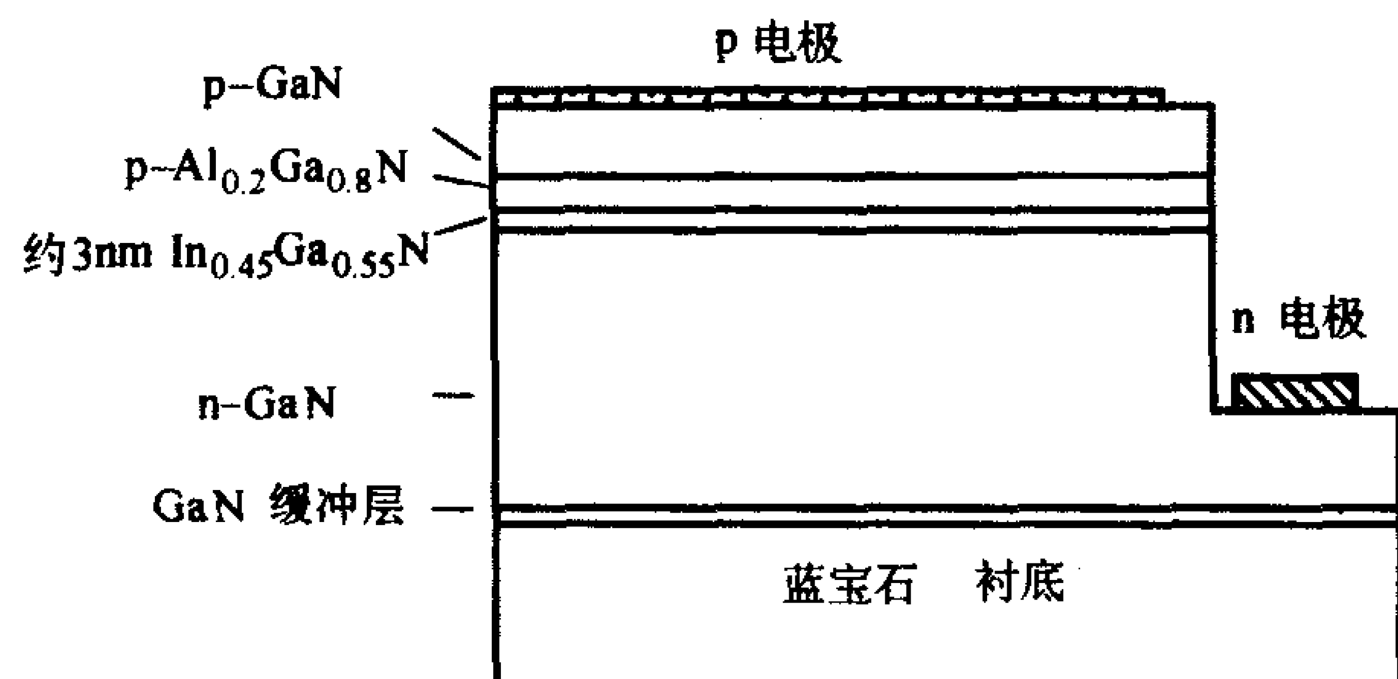


图 6.4-9 InGaN 单量子阱 LED 的结构示意图

黄色为 600 nm 和 50 nm。峰值波长增加，电致发光的半高宽增加，这可能是由于 InGaN 组分不均匀性或者阱层和垒层之间的应力引起的。20 mA 时，蓝光单量子阱发光二极管的输出功率和外部量子效率分别为 5 mW 和 9.1%。绿色则分别为 3 mW 和 6.3%。

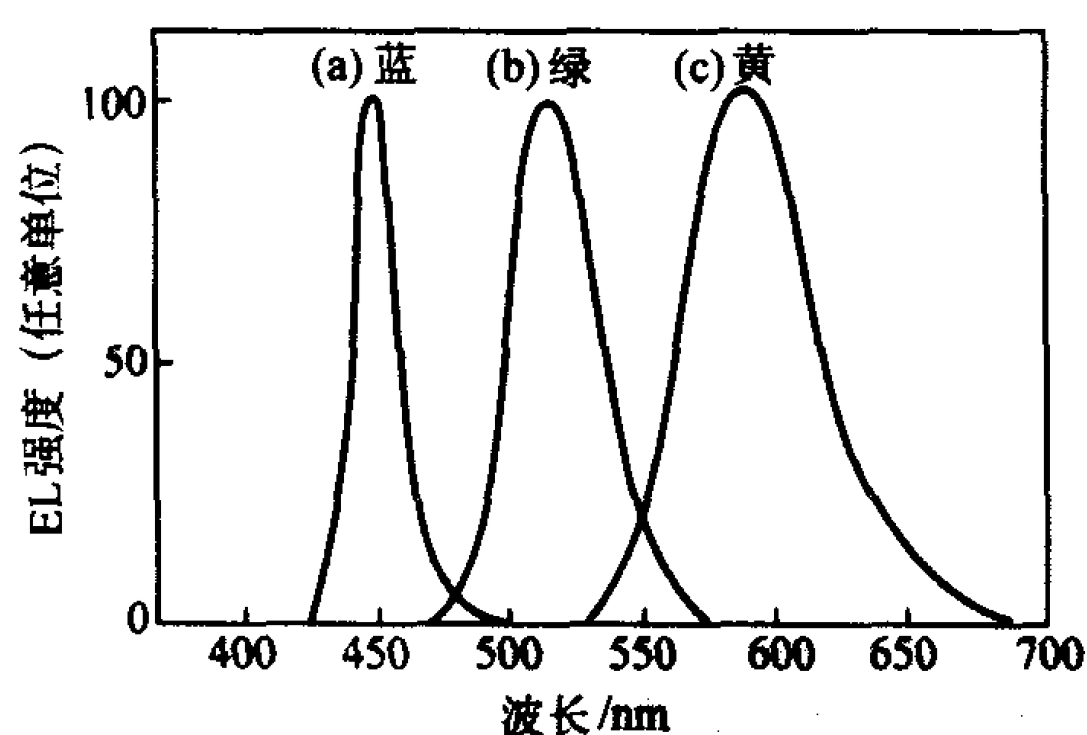


图 6.4-10 蓝光（a）、绿光（b）和黄光（c）InGaN 单量子阱 LED 的电致发光谱

当驱动电流从 10 mA 增加到 80 mA 时，绿色单量子阱发光二极管电致发光谱的峰值能量发生约 100 meV 的蓝移。在蓝色和黄色单量子阱发光二极管电致发光谱中也发生类似的蓝移。

图 6.4-11 是蓝色及绿色 InGaN 单量子阱发光二极管的色度图表。商业提供的绿色 GaP 发光二极管，绿色 AlInGaP 发光二极管和红色 GaAlAs 发光二极管也标注其中。全色 LED 灯所发的光在色度图表中的颜色范围是图表中由连接三原色 LED 组成三角形的内部区域。其中可以看到仅仅由于使用不

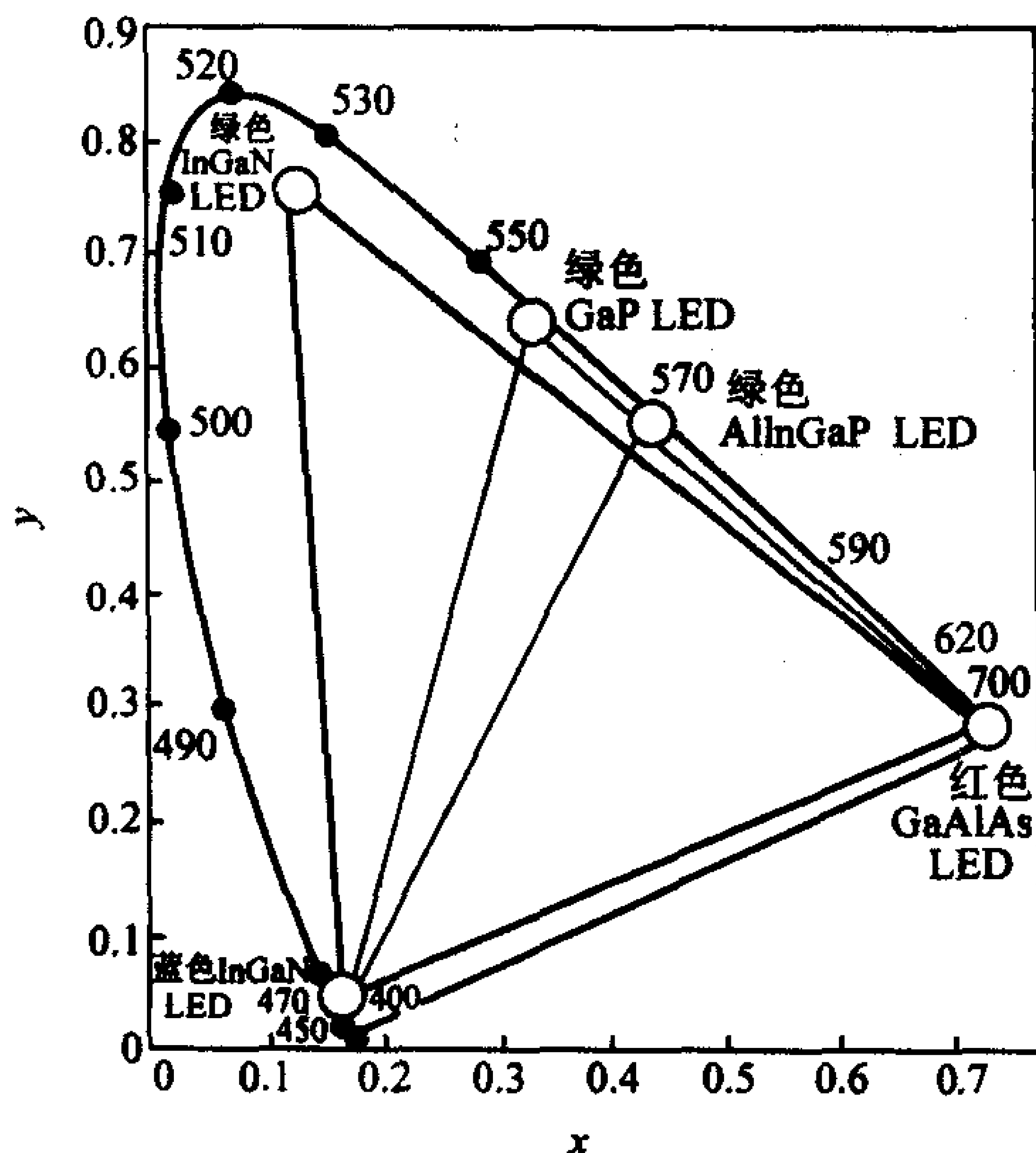


图 6.4-11 蓝色及绿色 InGaN 单量子阱发光二极管的色度图表

同绿色发光二极管（绿色 InGaN，绿色 GaP 和绿色 AlInGaP 发光二极管）引起的颜色范围（三角形）的不同。由蓝色 InGaN 单量子阱发光二极管，绿色 InGaN 单量子阱发光二极管和红色 GaAlAs 发光二极管组成的范围最大。这表明相比其他蓝色和绿色发光二极管，InGaN 蓝色和绿色单量子阱发光二极管有更好的颜色和色纯度，采用 InGaN 蓝色和绿色发光二极管能够制造出更漂亮的 LED 全色显示。

1998 年，Nakamura 报道了在横向外延衬底和蓝宝石上生长的蓝色 InGaN 单量子阱 LED。光发射谱表明两种衬底上生长的 LED 发光峰值波长随正向电流有相同的蓝移，光发射功率在 20 mA 时同为约 6 mW。蓝宝石衬底上的 LED 有较大的漏电流。结果表明 InGaN 中的 In 组分起伏不是由位错引起的，位错也不充当 InGaN 中非辐射复合中心，这些位错形成 InGaN 中漏电流通道。

6）InGaN 多量子阱 LED　与双异质结相比，量子阱结构可以获得较好的 InGaN 有源层晶体质量，从而获得较高的光发射功率，并且有更大的发射波长范围（能够得到更长的峰值波长）。同时，在量子阱中载流子能级位置高于体材料带边，利用这些分立的量子能级，可以获得更高的发光效率。与单量子阱相比，多量子阱（超晶格）结构可能提供更高的辐射复合效率，并且可提供更多的灵活性。在激光器应用中，多量子阱更可以提供较低的阈值电压，同时降低器件的温度敏感性。

1993 年，Nakamura 等人最早报道了 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 超晶格结构并且发现试验结果与量子尺寸效应符合得很好。1996 年，Nakamura 等人还将 InGaN 多量子阱结构应用于激光器。其后也有多家研究单位报道 InGaN 多量子阱 LED，并对多量子阱 LED 器件结构和生长做了很多具体的优化。目前多量子阱 LED 是 GaN 基 LED 的主要结构。

图 6.4-12 为 InGaN 多量子阱 LED 的典型结构。其中也有采用在多量子阱（MQW）和 n-GaN 中加一 n-AlGaN 覆层，以加强对载流子的限制。

图 6.4-13 为 InGaN/GaN 多量子阱的扫描 XRD 衍射谱。从图中可以看到 GaN（0002）衍射峰及量子阱的各级衍射峰。

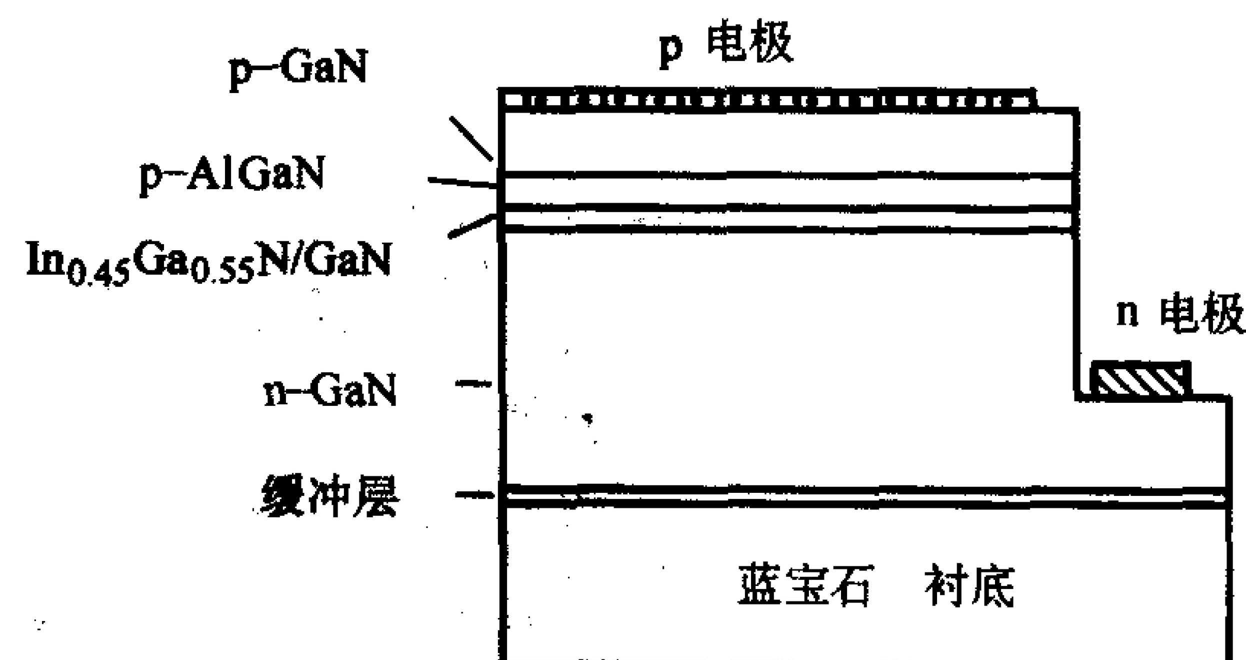


图 6.4-12 InGaN 多量子阱 LED 的典型结构

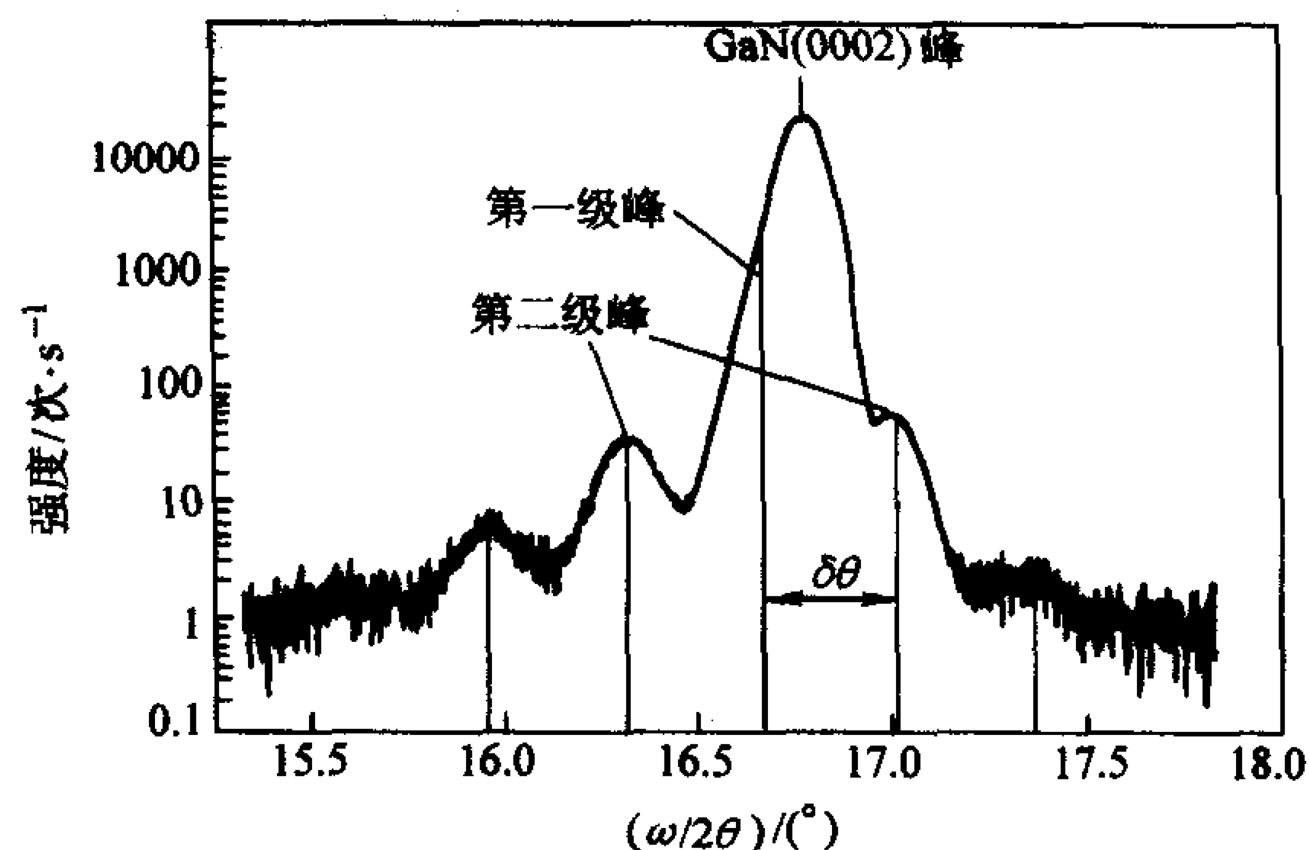


图 6.4-13 InGaN/GaN 多量子阱的 $\omega/2\theta$ 扫描 XRD 衍射谱

图6.4-14为多量子阱的TEM截面图。其中深色部分为InGaN阱层，浅色部分为GaN垒层。一般InGaN阱层厚度为几个纳米，量子阱周期为十几个纳米。量子阱结构生长条件的优化，是提高LED材料质量的关键之一。由于InN在GaN中的混熔性低，生长高组分InGaN时温度较低，对绿光LED尤其如此。为了防止生长In滴产生，InGaN生长需要的Ⅴ/Ⅲ比也较通常GaN生长大很多。在多量子阱生长中采用变温的方法生长阱层和垒层，有助于提高量子阱质量，在绿光LED的生长中尤其如此。

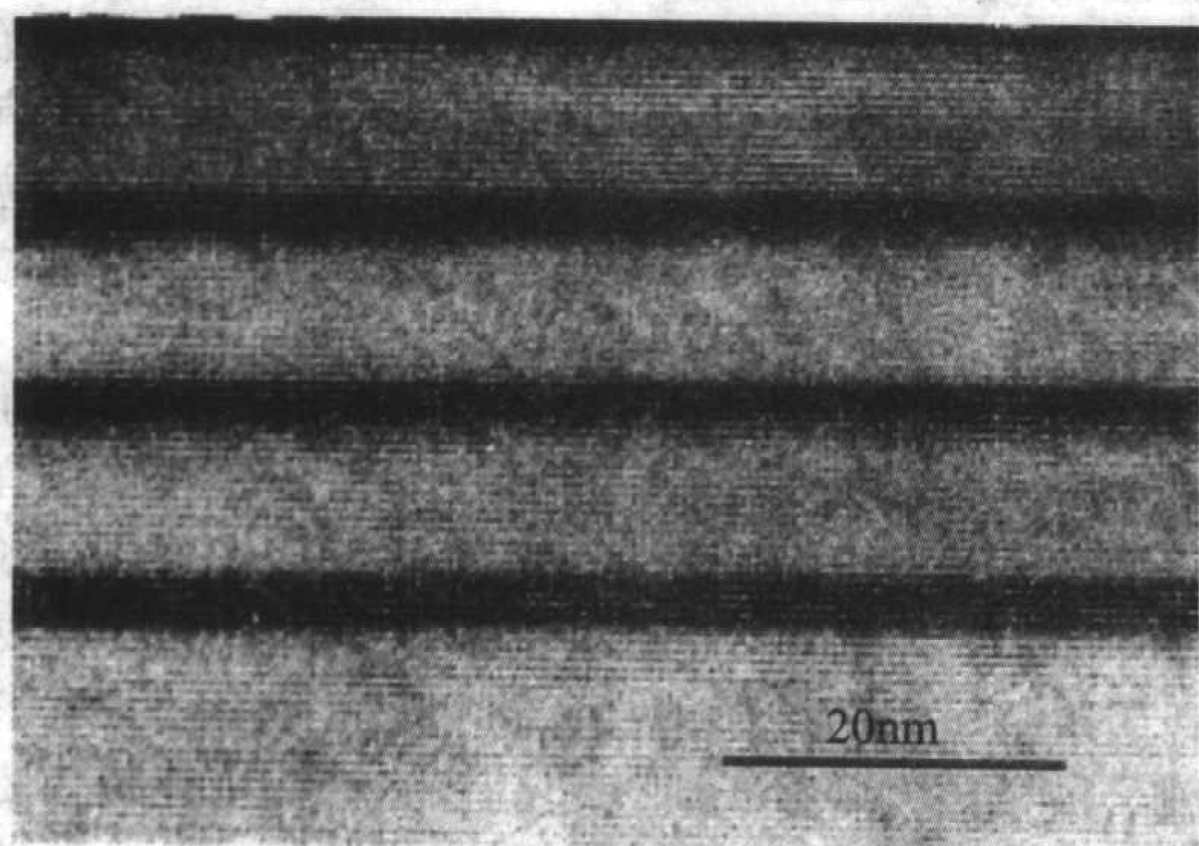


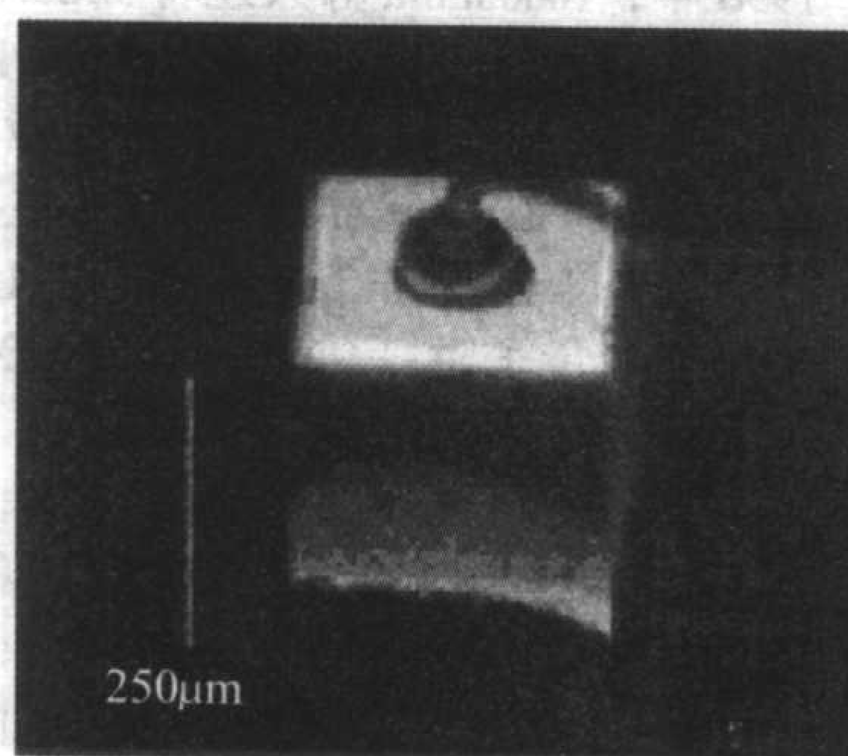
图6.4-14 InGaN/GaN多量子阱的截面图

多量子阱LED的发光波长范围很广，从紫外到绿光范围都可以做到很高的光输出功率。关于量子阱厚度、数目等的优化，也有一些报道。

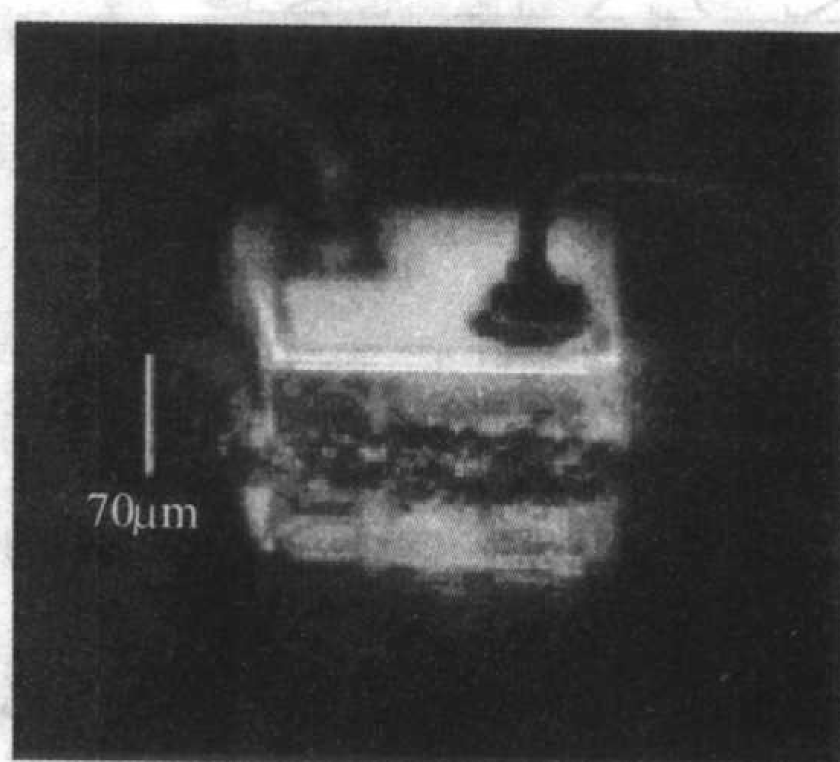
7）SiC衬底上的LED　由于缺少GaN体材料，一般是采用蓝宝石和SiC作为GaN生长的衬底。蓝宝石价格低廉，透明性很好，是最常用的衬底。SiC则具有很好的导电性和导热性，而且和GaN的晶格失配较小。

图6.4-15是SiC和蓝宝石上LED的显微照片。从材料外延和器件工艺角度来看，SiC上生长的GaN基LED都各具有其独特优势。首先，由于晶格失配较小，GaN外延层质量较高，可以得到更高的量子效率和更高的ESD器件（ESD即Electrical Static Discharge，静电放电；可高达ESD二类，≈2 000 V）。衬底导电，则可以做成垂直器件，不需要样品表面n电极，改善电流分布，减少器件尺寸，降低工艺成本。高的导热性对于提高LED的功率也很重要。同时，SiC衬底易于解理，不需减薄就可划片，降低了减薄衬底和切片成本。以上因素将显著补偿SiC衬底导致的成本增高。

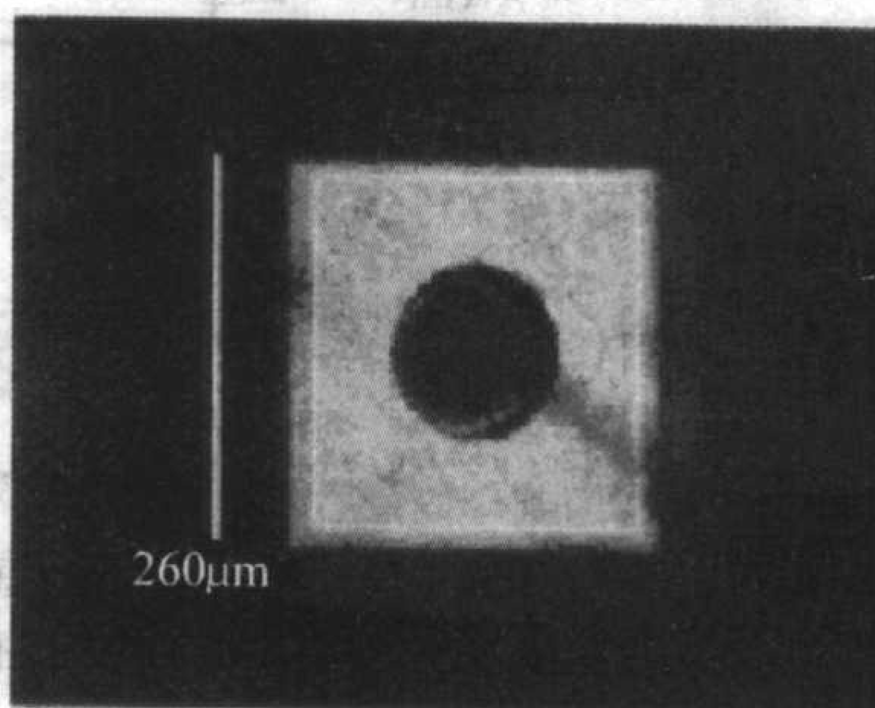
不过，在LED的设计中，必须考虑到衬底光学性质的差异。SiC的折射率（约2.7）比蓝宝石（约1.8）高。同时，为了得到高的电导率，SiC需掺杂，也会在蓝光波段导致轻微的吸收。由于SiC的折射率比GaN的（约2.3）高，在LED背面（SiC衬底）及侧面都有一定的出光圆锥角。SiC衬底上的LED比蓝宝石衬底上的LED出光效率略低。通过封装的设计，可以调整优化出光效率。值得一提的是，Cree公司采用Epi-down技术，结合其他一些先进技术，使得300 μm×300 μm的蓝光LED，在20 mA电流时可以达到24 mW。



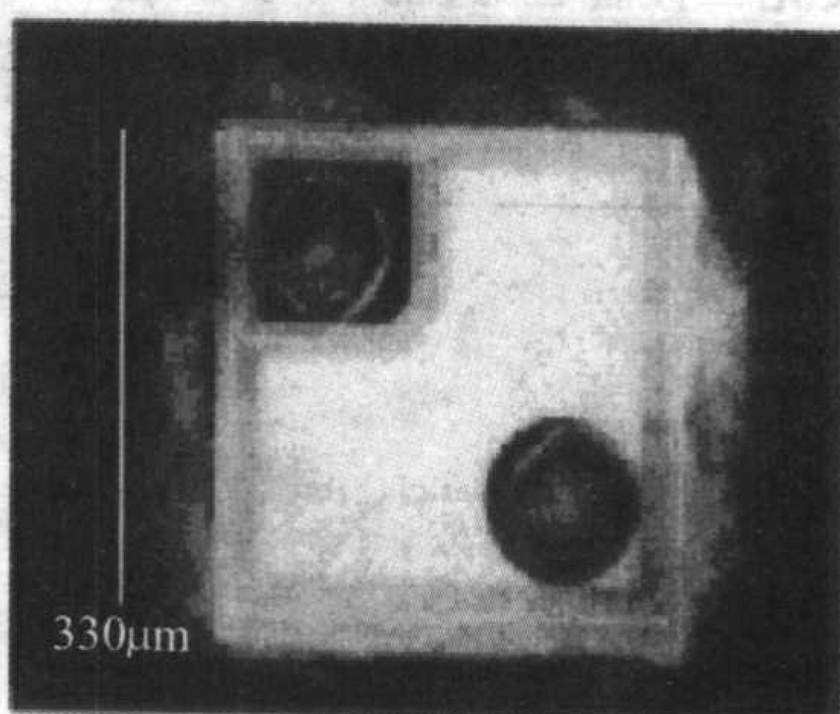
(a) SiC上的LED侧视图



(b) 蓝宝石上的LED侧视图



(c) SiC上的LED顶视图



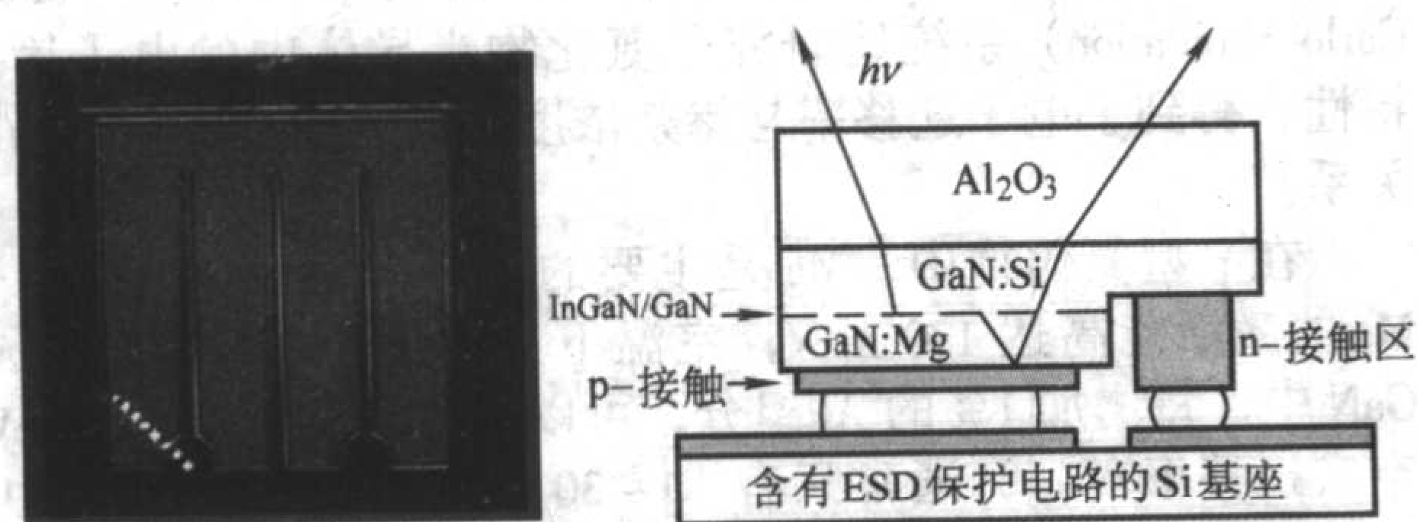
(d) 蓝宝石上的LED顶视图

图6.4-15 自照亮情况下拍摄的蓝光LED的显微照片

8）倒封装（Flip-chip）LED　据统计，电能总量的21%用于照明。由于LED的发光效率很高，采用LED照明，可以节省大量电能。同时，LED具有长的寿命（高达数万小时），环境污染小（不含汞），体积小，低操作电压，色彩可调等优点。

不过，照明应用要求光源不仅仅是高效率和长寿命，也要求有高的光通量和低成本，有些场合还需要高的演色性因子（color rendering index）。一个60 W白炽灯发出约1 klm的白光，演色性因子近100（100%呈现物体真实色彩）。与传统光源相比，单个封装采用传统磷粉的白光LED指示灯的光通量只是其1/300。因此，LED在固体照明应用方面的挑战在于，能否设计制造出能承受比LED指示灯高两三个数量级的输入功率，同时保持高效率和可靠性的LED器件或者封装。

高亮度 LED 的先驱工作由 Lumileds 公司做出。图 6.4-16 (a)、(b) 分别为 Lumileds 的高亮度 LED 的照片和截面示意图。与传统的 LED 不同，高亮度的 LED 的芯片面积要大很多，如 1×1 mm^2（约 10 倍的有效发光面积）或更大。大的有效发光面积对有源层下面的 n-GaN 层电流散布（current spreading）提出了更严格的要求。仅仅几微米厚的 n-GaN 层电阻太大，不能够只依靠 n-GaN 将电流均匀散布到整个有源区。Lumileds 采用了叉指型 p 和 n 接触电极。这种设计将大的芯片面积分割，获得更均匀的电流散布和小的串联电阻，从而得到更大的输出功率，并且降低工作电压。同时，为了取出更多的光，将器件翻转，将光线从 Sapphire 表面引出，并且在 p 型接触区域采用了厚的高反射率的金属层，使更多的光得以从发射层反射出去。LED 的晶片被倒封装到集成了 ESD 保护电路的 Si 基板上。



(a) 为从蓝宝石一边观察的顶视图　(b) 沿图(a)中虚线处的截面图

图 6.4-16　Lumileds lighting 公司的高亮度 1 mm×1 mm 的倒封装芯片，LED 芯片被倒封装在 Si 基座上

在标准的工作条件下，1 mm×1 mm 晶片的输出功率为约1 W（350 mA，3.5 V）。是传统小芯片的 10 倍以上。因此，高亮度的 LED 需要特殊设计的封装和固晶工序，来散去工作中所发出的热量。

图 6.4-17 为室温下蓝光（约 428 nm）高亮度 LED 的外部量子效率和正向电流-电压特性。虚线为脉冲驱动（占空比 1%），实线为直流工作。在约 1.1 W 输入功率时，输出光功率为大于 250 mW。

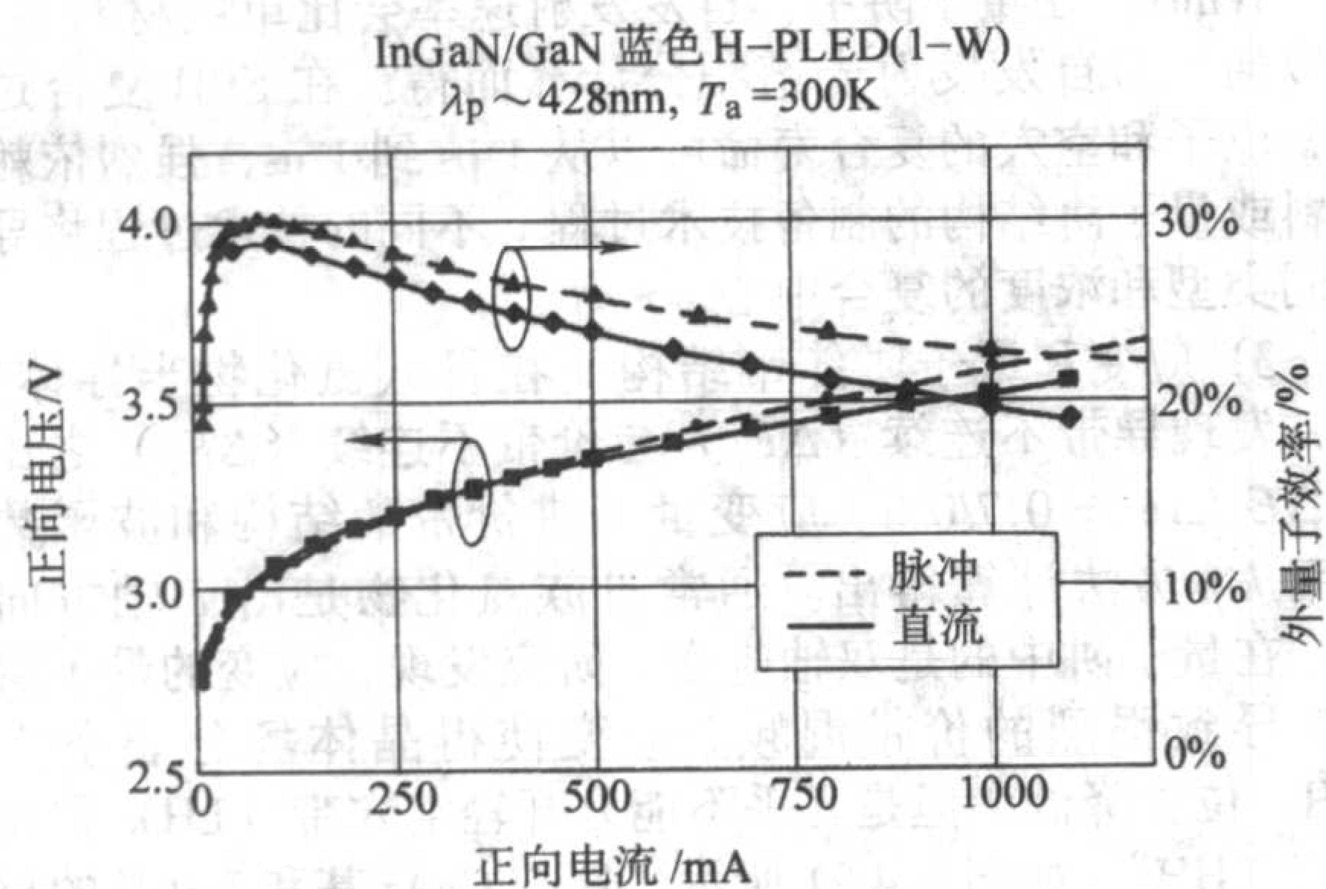


图 6.4-17　室温下 Lumileds 的蓝光（约 428 nm）倒封装高亮度 LED 的外部量子效率和正向电压电流的关系虚线为脉冲驱动（占空比 1%）情况

（实线为直流工作情况。在约 1 W 输入功率时，输出光功率大于 250 mW）

目前高亮度 LED 仍在进一步的发展中。在高反射低接触电阻的 p 接触层，更高取光效率的优化封装，在更好的散热，更好的可靠性，进一步降低成本等方面，都在不断进展。

(9) 白光 LED

制造白光光源是固体照明技术的最终目标。LED 最具挑战性的应用是替换传统白炽灯，甚至荧光灯。只有当高亮度蓝光 AlInGaN 发光二极管出现以后，实用的白光 LED 才有可行性。

用于照明的白光光源主要由两个品质因素来表征：发光效率（单位：lm/W）和显色性因子（CRI）。另外，色温也是白光光源的一个重要参数。

概括来讲，主要有两种方法制造白光 LED。一种是混合不同晶片发出的不同颜色的光。另外一种是将蓝光或者紫外 LED 发射的光采用磷粉转化为较长波长的光（对于蓝光 LED，部分初始发出的蓝光也被用作白光的一种成分）。磷粉转化的白光 LED 中需要的荧光粉种类也由器件性质来决定。此外，近年来也研究一些其他的方法，如在单一的 GaN 基 LED 中调节量子阱的参数使不同的量子阱发不同颜色的光。以下分别讲述磷粉转化 LED 和多晶片的白光 LED。

1) 荧光转化的白光 LED　目前用得比较多的是荧光转化的双色白光 LED。一个直接的方法实现双色白光 LED 是利用 AlInGaN 芯片发射蓝光，混合荧光粉发射黄光。图 6.4-18 是 AlInGaN 基荧光转化白光 LED 器件示意图。蓝光芯片被安置在反射罩杯上，盖上含荧光粉颗粒和环氧树脂的转换层，之上是树脂透镜。部分蓝光被荧光粉转化为黄光，和剩余蓝光混合，形成白光。

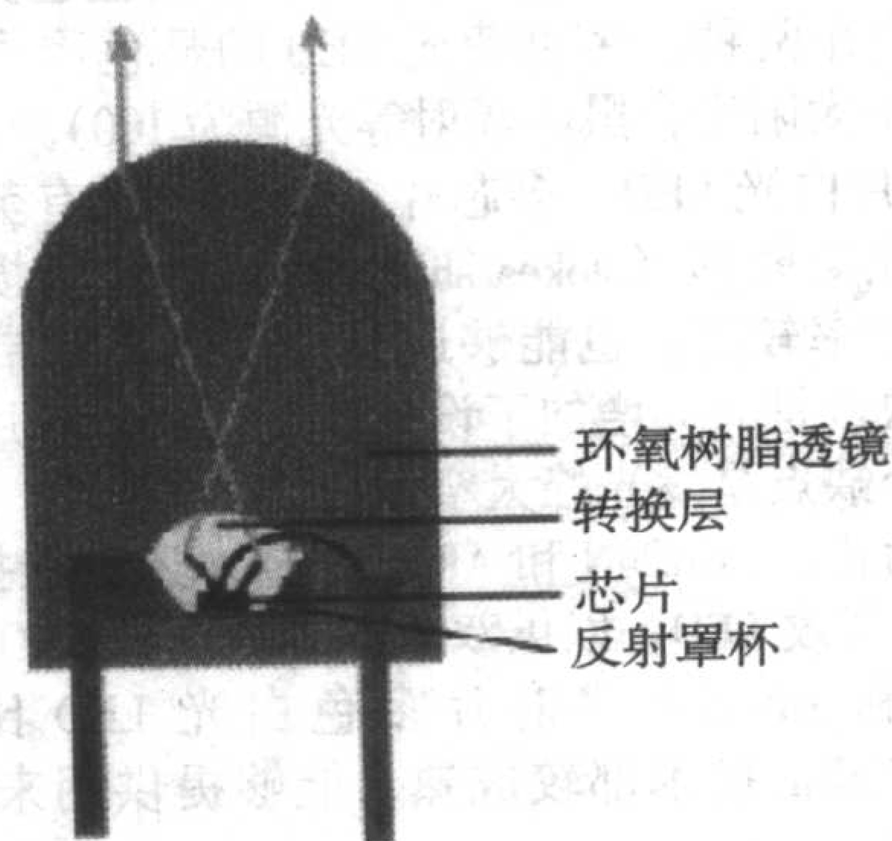


图 6.4-18　AlInGaN 基荧光转化白光 LED 器件示意图

图 6.4-19 和图 6.4-20 是 P. Schlotter 等人 1999 年报道的基于 YAG:Ce 荧光粉的白光 LED 的结果。图 6.4-19 为不同电流下的基于 YAG:Ce 荧光粉的白光 LED 的电致发光谱。图中可以清楚地看到 GaN 基 LED 的波长为 417 nm 的发射带和经 YAG:Ce 转化后的 535 nm 的发射带。改变电流不会改变该 LED 的色度（$x=0.31$，$y=0.34$）。图 6.4-20 是该白光 LED 的色度图表。增加 YAG:Ce 的浓度时，发射光的色度坐标会沿着图中虚线位置变化，发光颜色从蓝色逐渐变化到黄色。

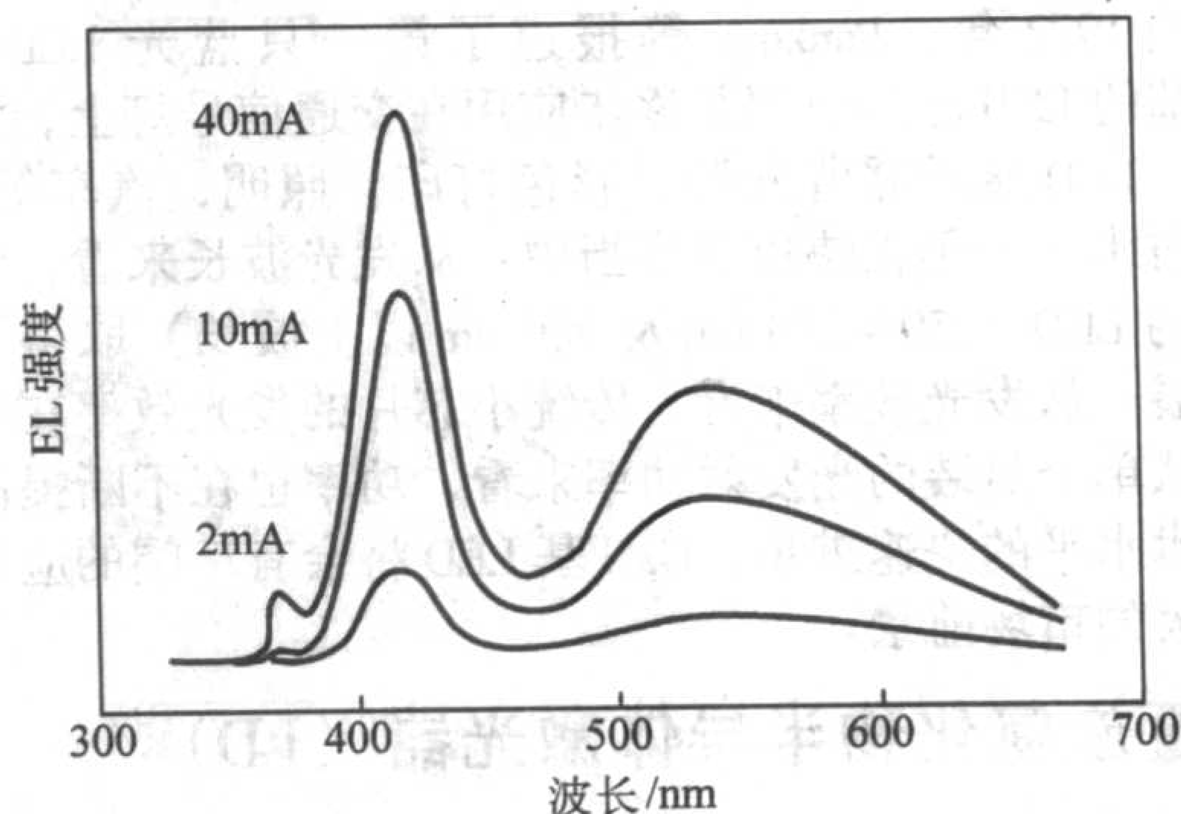


图 6.4-19　基于 YAG:Ce 荧光粉的白光 LED 在不同电流下的电致发光谱

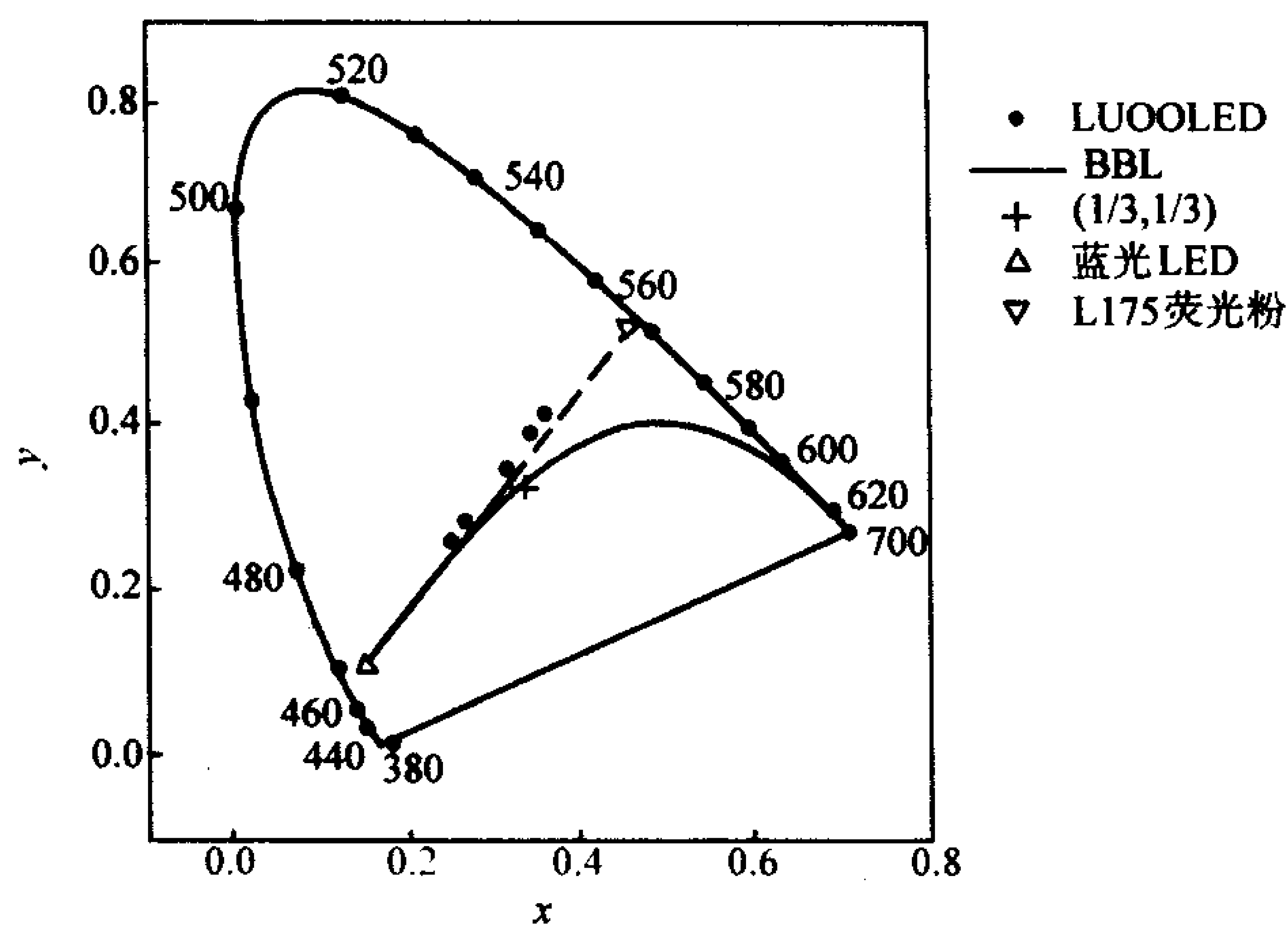


图 6.4-20 基于 YAG:Ce 荧光粉的白光 LED 的色度图
(其中实线所示为黑体辐射，虚线为改变 YAG: Ce 浓度时可以实现的颜色)

与蓝光 LED 相比，荧光转化的白光 LED 的寿命要短。Narendran 等人报道的荧光转化白光 LED 寿命为 5 000 ~ 6 000 h（发光强度降为初始值的一半）。

双色荧光 LED 的显色性很差，三色荧光 LED 能够大大提高发光效率和显色性。AlInGaN 的蓝色发光及紫外发光可以激发不同的有机和无机荧光粉。三色荧光 LED 又分为蓝光 LED + 绿色荧光 + 红色荧光，紫外 LED + 蓝色荧光 + 绿色荧光 + 红色荧光两种。多色荧光 LED 的显色因子可以达到超过 80（正午太阳光，黑体辐射等光源为 100）。

2）多芯片白光 LED　多芯片 LED 由于没有荧光粉波长转化时斯多克斯能移（stokes shift）带来的能量损失，相对荧光 LED 的效率较高。也能够避免使用荧光粉带来的老化问题。但其缺点是大大增加了设计复杂性和多芯片引起的成本。另外一个缺点是发光峰太窄。

到目前为止，AlInGaN 和 AlGaInP 技术还没能提供 570 ~ 580nm 范围的高效 LED，以供双色双芯片白光 LED 之需。

AlInGaN 和 AlGaInP 多芯片多色白光 LED 比较可行。AlInGaN 和 AlGaInP 技术都较成熟，能够提供用来集成出白光的 LED 芯片。

3）单芯片非荧光白光 LED　2002 年，Chen 等人报道了 GaN 基级联 LED。他们在同一蓝宝石衬底上依次生长上了 InGaN/GaN 蓝光 LED 结构和 InGaN/GaN 绿光 LED 结构，得到了接近白色的光发射。当注入电流小于 200 mA 时，可以得到色度坐标 $x = 0.2$，$y = 0.3$ 的近白光发射。该 LED 的输出功率为 4.2 mW，发光效率为 81 lm/W，色温为 900 K。

同年，Yamada 等人也报道了采用不同次序组合蓝光和黄光 InGaN/GaN 量子阱，以获得白光 LED。

1.3 GaN 基 LED 的发展展望

自 1972 年，Pankove 等报道了第一只蓝光 LED 以来，GaN 基的 LED 已经应用并逐步应用在交通信号灯上，大屏幕显示，LCD 显示器背光源，彩色打印，照明，汽车等方面。目前技术水平仍在快速进步当中：从发光波长来看，紫外深紫外的 LED（250 ~ 280 nm 及 280 nm 以上波长）取得了重大的进展；从发光效率来看，传统小芯片的发光效率在不断提高；从单个封装的光发射功率来看，功率也在不断提高。随着技术水平的快速进步，GaN 基 LED 将会有广阔的应用范围与巨大的市场前景。

2 Ⅲ族氮化物半导体激光器（LD）

2.1 Ⅲ族氮化物半导体激光器的物理基础

1995 年，研制成功了第一个电注入的Ⅲ族氮化物半导体激光器。与其他激光器一样，Ⅲ族氮化物半导体激光器要实现激光输出，必须具备三个基本条件：

1）建立粒子数翻转分布，以产生受激辐射；

2）建立光反馈，以产生激光震荡；

3）注入水平超过阈值，使得光增益大于损耗，实现激光输出。

有关详细的半导体激光器理论已经有很多著作，具体的激光器模型也已经可以用商业软件进行精确计算，这里讨论有关Ⅲ族氮化物半导体激光器材料及结构的一些特性。

（1）Ⅲ族氮化物半导体材料有关特性

1）迁移率　在Ⅲ族氮化物中，Si 被用做 n 型掺杂。Si 施主的激活能约 20 meV，在室温下基本全部离化。在弱掺杂 n 型 GaN 中，室温电子迁移率（μ_n）可以达到 900 $cm^2/V\cdot s$，但是在重掺杂的 n 型 GaN 中，迁移率可以下降超过一个量级。Maziar Farahmand 利用蒙特卡洛模拟（Monte Carlo Simulation）系统地研究了氮化物半导体中的电子输运特性，得到了电子迁移率与掺杂浓度，温度以及外加电场的关系。

在 p 型氮化物中，Mg 是主要的掺杂与原子。但是由于 Mg 的激活能高达 170 meV，室温下只有约 1% 离化。在 AlGaN 中，每增加 1% 的 Al 组分，可以认为激活能增加3 meV。空穴迁移率（ω_p）通常只有 10 ~ 30 $cm^2/V\cdot s$。所以器件中 p 区的电阻及其接触电阻是整个串联电阻的主要来源。电子迁移率和空穴迁移率随温度的变化可以认为是 $\mu_n \propto T^{-1.5}$，$\mu_p \propto T^{-2}$。

2）晶体缺陷与复合损耗　激光器的内量子效率是由电流分布损耗（横向泄漏），载流子逃逸出有源区损耗（纵向泄漏）和在有源区内的复合损耗限制的。在Ⅲ族氮化物半导体材料中通常存在大量的晶体缺陷，这是引起载流子复合损耗的主要机制。有源区内的复合损耗主要有：俄歇复合（Auger recombination），自发发射（spontaneous emission）和肖克莱－里德－霍尔复合（Shockley-Read-Hall，SRH，recombination）。由于Ⅲ族氮化物的宽禁带性质和能带排列方式，俄歇常数（C）是很小的，$C = 10^{-34}$ cm^6/s。所以，即使在高载流子密度情况下，在Ⅲ族氮化物半导体材料中俄歇复合也可以忽略不计。在孤立的 GaN 材料中，自发发射系数 $B = 2\times10^{-11}/cm^3 s$。在量子阱中，自发发射速率会比单层材料更快，可以通过对自发发射光谱积分计算而得。在 SRH 复合过程中，电子和空穴的复合寿命可以从 1 ps 到 1 ns，强烈依赖于材料或量子阱结构的制备技术过程。不同的技术过程将导致不同类型和浓度的复合中心。

3）应变和量子阱能带结构　在Ⅲ族氮化物半导体中，研究发现导带不连续（ΔE_c）与价带不连续（ΔE_v）之比约是 $\Delta E_c/\Delta E_v = 0.7/0.3$。应变量子阱价带的结构和波函数可以用 $k\text{-}p$ 方法计算得出。通常Ⅲ族氮化物是沿 c 轴方向生长，在量子阱中的是双轴应变。研究发现，应变的量子阱中应变导致强烈的价带混频。应变使得晶体场分裂空穴带（CH）位置降低，但是几乎不能分开轻空穴带（LH）和重空穴带（HH），如图 6.4-21 所示。这与 GaAs 基和 InP 基的材料不同，双轴应变并不能降低阈值载流子密度，而单轴应变预言更低的阈值电流密度。热致的能带收缩率是 $dE_g/dT = -0.6$ meV/K。由载流子之间的互作用导致的能带重整化（ΔE_g）依赖于量子阱中的二维（2D）载流子密度，$\Delta E_g = -\zeta n_{2D}^{1/3}$，$\zeta = 6\times10^{-6}$ $eV\cdot cm^{2/3}$ 是重正化系数，不依赖于量子阱的厚度和合金组分。

（2）光学增益

光学增益 $g(\hbar\omega)$ 的计算如下：

$$g(\hbar\omega) = g_{sp}^{e}(\hbar\omega)\left[1 - \exp\left(\frac{\hbar\omega - (F_c - F_v)}{k_B T}\right)\right] \tag{6.4-1}$$

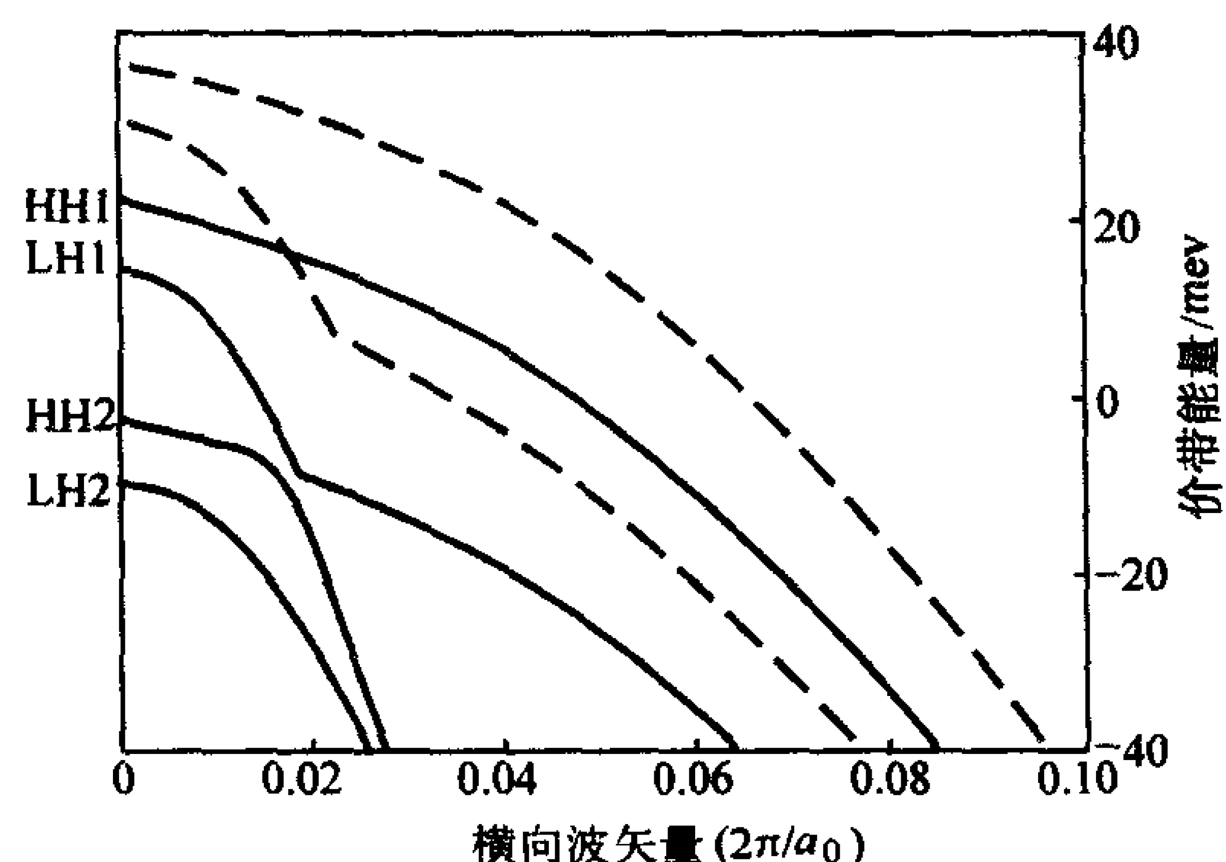


图 6.4-21　计算得到的 InGaN 多量子阱轻空穴带（LH）和重空穴带（HH）
虚线是没有应变时的能带，实线是带有应变时的能带

$$g_{sp}^{e}(\hbar\omega)=\frac{q^{2}\pi}{n_{r}c\varepsilon_{0}m_{0}^{2}\omega L_{w}}\sum_{n,m}\iint|\hat{e}M_{nm}(k_x,k_y)|^{2}\frac{1}{4\pi^{2}}\times\frac{f_{n}^{c}(k_x,k_y)[1-f_{m}^{v}(k_x,k_y)](\hbar\omega/\pi)}{[E_{nm}^{cv}(k_x,k_y)-\hbar\omega]^{2}+(\hbar\gamma)^{2}}\mathrm{d}k_x\mathrm{d}k_y \quad (6.4\text{-}2)$$

ω 是光子角频率，F_c 和 F_v 分别是电子和空穴的准费米能级，k_B 是波尔兹曼常数，q 是电子电荷，m_0 是自由电子质量，c 是真空光速，ε_0 是真空介电常数，n_r 是折射系数。$M_{nm}(k_x, k_y)=\langle\psi_{m,k_x,k_y}^{v}(z)|\hat{p}|\psi_{n,k_x,k_y}^{c}(z)\rangle$ 是动量矩阵元，$\hat{p}$ 是动量算符，$\psi_{m,k_x,k_y}^{v}(z)$ 和 $\psi_{m,k_x,k_y}^{v}(z)$ 分别是价带子带和导带子带的波函数。$f_n^c(k_x, k_y)$ 和 $f_m^v(k_x, k_y)$ 分别是电子在导带子带和价带子带的费米-迪拉克分布函数。$\hat{e}$ 是光的电磁场极化矢量，γ^{-1} 是带内驰豫时间，可以认为是 0.1 ps。$E_{nm}^{cv}(k_x, k_y)$ 表示在第 n 个导带子带 $E_n^c(k_x, k_y)$ 到第 m 个价带子带 $E_m^v(k_x, k_y)$ 的能量间隔。导带的子带结构可以从薛定谔方程解出：

$$[H^{c}+E_{0}^{c}(z)]\varphi_{n}(z,\boldsymbol{k})=E_{n}^{c}(\boldsymbol{k})\varphi_{n}(z,\boldsymbol{k}) \quad (6.4\text{-}3)$$

$$H^{c}=\frac{\hbar^{2}}{2}\left(\frac{k_x^{2}+k_y^{2}}{m_e^{t}}+\frac{k_z^{2}}{m_e^{z}}\right)+P^{c}(z) \quad (6.4\text{-}4)$$

$$\varphi_{n}(z,\boldsymbol{k})=e^{i(k_x x+k_y y)}\sum_{p}g_{n,p,k_x,k_y}\frac{1}{\sqrt{L}}e^{i(k_z+p\cdot 2\pi/L)z} \quad (6.4\text{-}5)$$

$E_0^c(z)$ 是无应变时导带能量排列，m_e^t 和 m_e^z 分别是横向和纵向的电子有效质量。$P^c(z)$ 是导带中静力学能量漂移，在量子阱势垒中为 0，在量子阱中是 $a_c(\varepsilon_{xx}+\varepsilon_{yy}+\varepsilon_{zz})$，$a_c$ 是导带形变势，ε_{ij} 是应变张量。$\varphi_n(z, \vec{k})$ 是 z 向交叠函数，由一系列平面波函数组成，g_{n,p,k_x,k_y} 是其权重因子。L 是量子阱周期，即阱宽加垒宽。由此进而可以计算得到导带子带波函数。一个计算得到的 InGaN 量子阱光学增益结果如图 6.4-22 所示。

需要指出的是，在 InGaN 多量子阱中，通常组分分布不均匀，氮化物本身的极化特性导致在其内部产生极化电场，该极化电场使量子阱中的电子和空穴空间分离。这些都可导致光学增益的下降。然而在高注入的情况下，这个极化电场可以被高浓度的载流子屏蔽。

（3）光波导的限制因子与折射率

在大多数的半导体异质结激光器中，实际的有源层是很薄的，不足以达到其本身材料的光学增益（g_{mat}）。所以，引入光学限制因子（Γ），来表征在一个实际器件中的净增益（g_{eff}）：

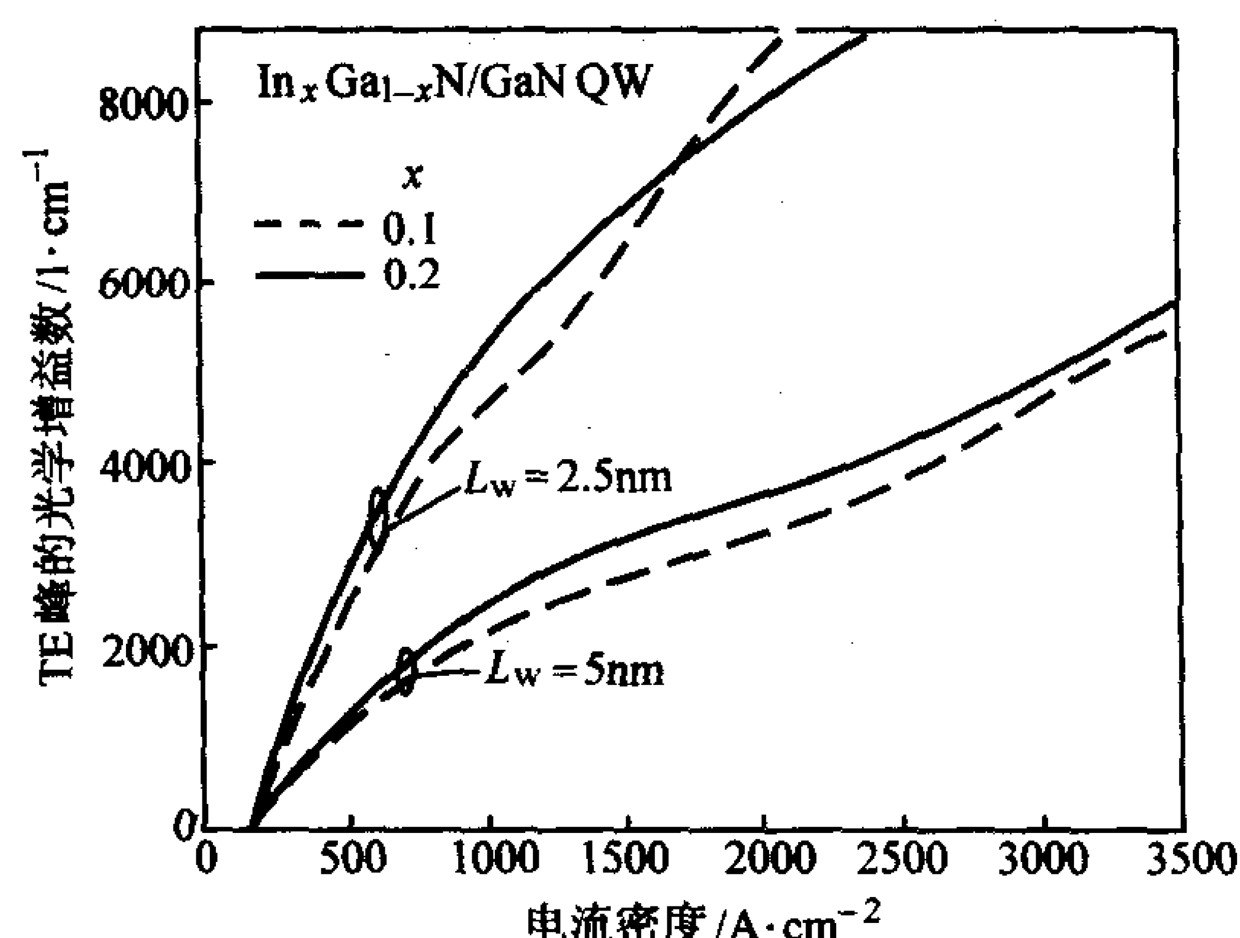


图 6.4-22　计算得到的 InGaN 量子阱光学增益

$$g_{eff}=\Gamma\cdot g_{mat} \quad (6.4\text{-}6)$$

光波导的限制因子取决于光谐振腔的设计。在半导体激光器中，通常光谐振腔是法布里-珀罗（Fabry-Perot）光腔。谐振腔的横向及纵向几何形状以及各层折射率的组合方式，决定了产生的谐振横向模式和纵向模式。通常对于对称三层平面波导，有源区的折射率 $n_2>n_1$，如图 6.4-23 所示，d 是有源区厚度。Γ 表示横向模式光强分布在有源区波导中的比例。有关对称三层平面波导中的波导模式详细计算可以参见其他半导体激光器著作。

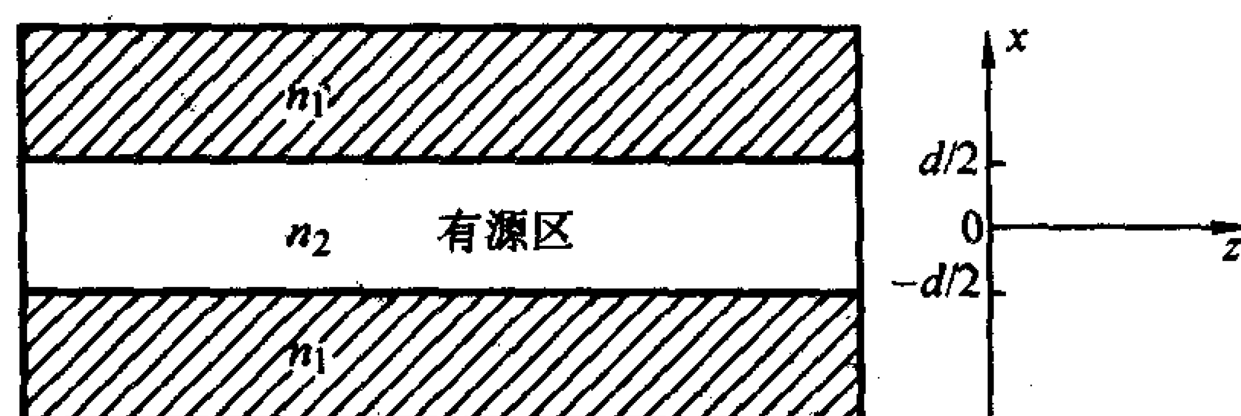


图 6.4-23　对称三层平面波导

介质中的光电矢量强度 $E(r, t)=E(x, y)\exp(i\omega t-\beta z)$，$\beta$ 是传播常数。

$$\Gamma=\frac{\int_{-d/2}^{d/2}E(x)^{2}\mathrm{d}x}{\int_{-\infty}^{+\infty}E(x)^{2}\mathrm{d}x}=\left[1+\frac{\cos^{2}\left(\frac{qd}{2}\right)}{p\left[\frac{d}{2}+\frac{1}{2q}\sin(qd)\right]}\right]^{-1} \quad (6.4\text{-}7)$$

$$q^{2}=k_{0}^{2}n_{2}^{2}-\beta^{2}$$
$$p^{2}=\beta^{2}-k_{0}^{2}n_{1}^{2}$$
$$k_{0}^{2}=\omega^{2}\mu_{0}\varepsilon_{0}$$

μ_0 是真空磁导率，ε_0 是真空介电常数。

目前，由于多数Ⅲ族氮化物半导体激光器是制备在异质衬底上，在 n 型一边的结构中，有衬底以及用来降低位错密度和增加横向电导一厚层的 n 型 GaN。在常规对称的氮化物光腔中，由于 AlGaN 的光限制层厚度的限制，光腔的限制因子以及模式吸收极大地受到衬底和底层 GaN 的影响。很大的一部分光漏出有源区到外部的 GaN 层，使得增益以及激光的近场远场模式受到严重的影响。研究发现，对于自支撑 GaN 和 SiC 衬底，由于其折射率更加接近于有源区的折射率，衬底的影响更加严重。为减小衬底的影响，可采用不对称的光腔设计，即 n 型一侧的 AlGaN 光限制层厚度要远大于 p 型一侧的光限制层。

Ⅲ族氮化物半导体的折射率，尤其对于含 In 的三元和四元合金的折射率仍然没有完全研究清楚。由于多数器件中有源区的 InGaN 很薄，目前可以采用近似值。依靠椭偏法对 $Al_xGa_{1-x}N$ 的一系列研究得到了折射率与组分 x，温度 T，以及光子能量 E 的表达式。

在特定材料内，相应于光子能量 E 的介电表达式如下：

$$\varepsilon(E) = \varepsilon_r(E) + i\varepsilon_i(E) \tag{6.4-8}$$

ε_r 和 ε_i 分别是介电方程的实部和虚部。对应于光子能量 E 的折射率为：

$$n(E) = \left[\frac{1}{2}\left(\varepsilon_r(E) + \sqrt{\varepsilon_r(E)^2 + \varepsilon_i(E)^2}\right)\right]^{1/2} \tag{6.4-9}$$

对带宽为 E_g 的 $Al_xGa_{1-x}N$，综合考虑组分 x，温度 T 以及光子能量 E 的影响，其介电函数表达式为：

$$\varepsilon(E,x,T) = C(x,T) + \frac{A(x,T)}{E_g^{1.5}(x,T)} \times \frac{2-\sqrt{1+y}-\sqrt{1-y}}{y^2} \tag{6.4-10}$$

$$y = [E + iB(x,T)]/E_g(x,T)$$

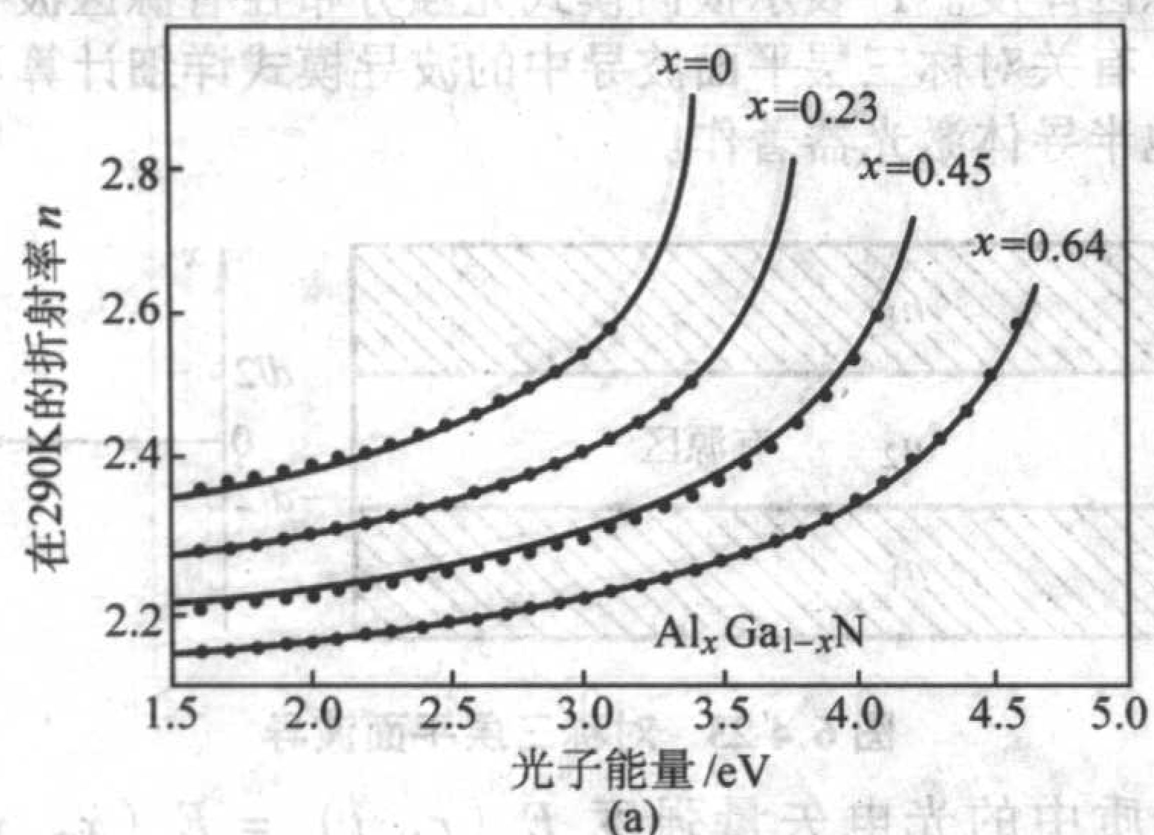
式中：

$$C(x,T) = 2.49 + 2.27\times10^{-3}T - 1.80\times10^{-6}T^2 - (0.74 + 4.61\times10^{-3}T - 5.33\times10^{-6}T^2)x$$

$$A(x,T) = [79.30 - 8.37\times10^{-2}T + 6.73\times10^{-5}T^2 + (18.99 + 0.13T - 1.76\times10^{-4}T^2)x + 37.51x^2]^{1.5}$$

$$B(x,T) = [-8.69 + 4.13\times10^{-2}T + (248.24 - 0.19T)x^2]\times10^{-3}$$

通过以上的表达式，计算得到的 AlGaN 折射率与实验结果如图 6.4-24 所示。



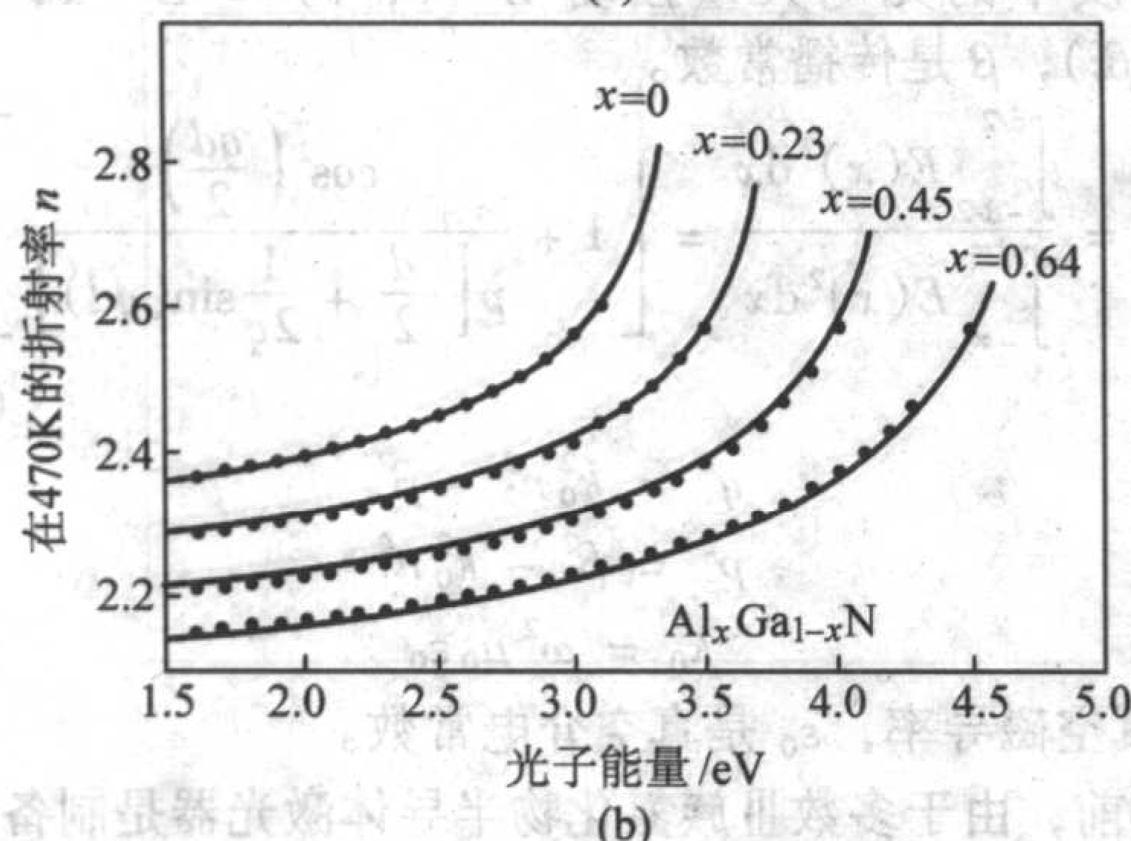


图 6.4-24 计算得到的 AlGaN 折射率（实线）与椭偏实验结果（点）

(4) 阈值增益，内部损耗及其测量

在一个实际的激光器器件中，光学增益 g 要大于内部损耗 α_i 才可以形成激光震荡。考虑一个长为 L，端面反射率为 R_1/R_2 的光腔，光传播一个来回而强度（I_0）不损失的情况下有：

$$I_0R_1R_2\exp[2(g-\alpha_i)L] = I_0 \tag{6.4-11}$$

所以光放大的部分所需的阈值增益是：

$$g_{th} = \alpha_i + \frac{1}{2L}\ln\left(\frac{1}{R_1R_2}\right) \tag{6.4-12}$$

在实际器件中，必须要考虑光波导限制因子的影响。阈值增益 g_{th} 应为：

$$g_{nth} = \Gamma g_{th} = \alpha_i + \frac{1}{2L}\ln\left(\frac{1}{R_1R_2}\right) \tag{6.4-13}$$

g_{nth} 称作内在增益。

增益和内部损耗都可以通过测量得到。光泵浦不同长度的光腔（variable stripe length，VLS），使之产生放大的自发发射（amplified spontaneous emission，ASE）。自发发射的光在光腔内传播，由于增益而加强，有：

$$I_{ASE} = I_0(e^{gL} - 1) \tag{6.4-14}$$

所以，相应于每一个波长，通过测量不同长度光腔的 ASE，就可以得知该结构增益系数。用光泵浦测量得到的一个 GaInN/GaN 异质结构的增益谱如图 6.4-25 所示。

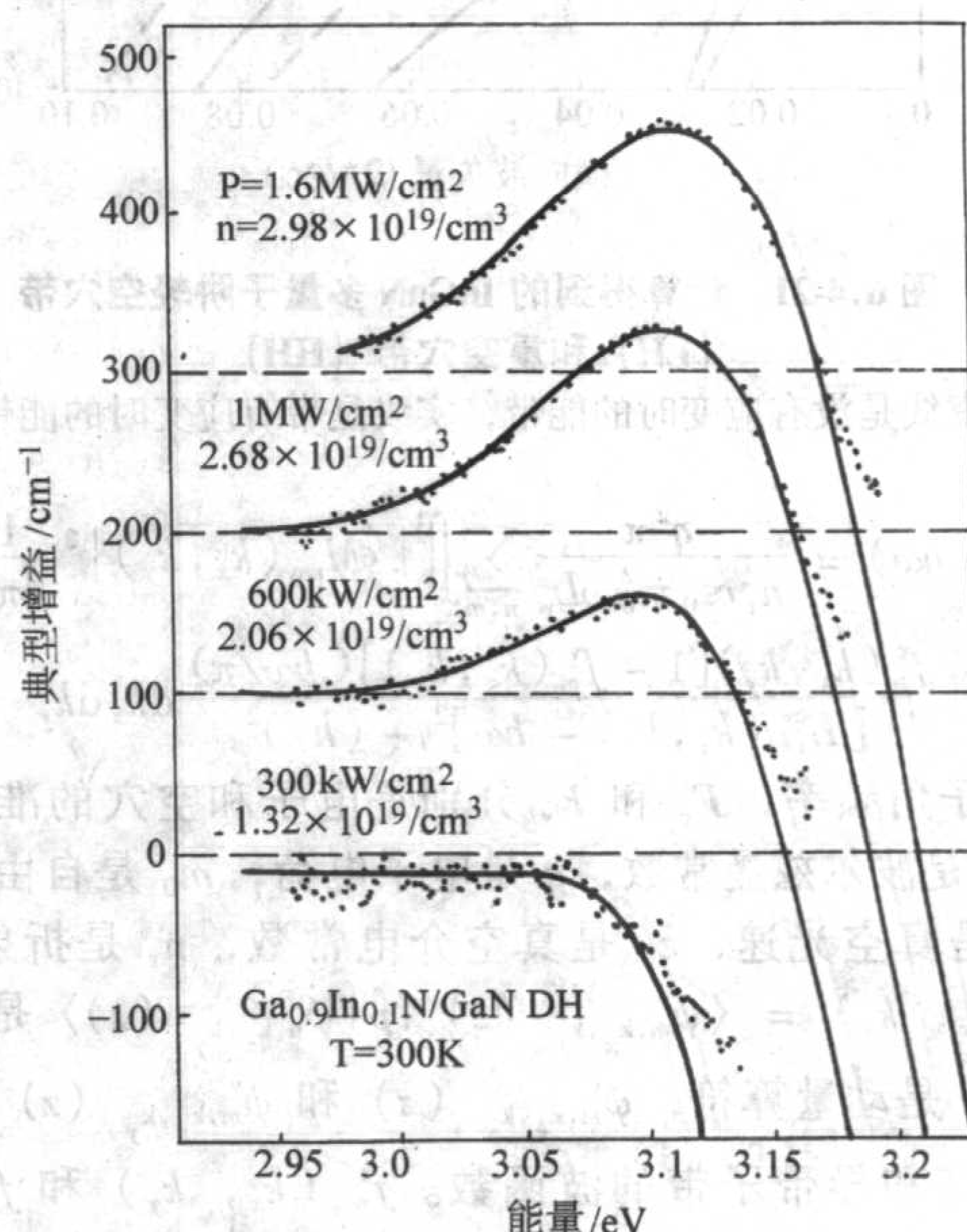


图 6.4-25 用光泵浦测量得到的一个 GaInN/GaN 异质结构的增益谱

此外，增益和内部损耗也可以通过测量实际的激光器得到。用电泵浦 VSL 方法得到的结果可以与实际激光器性能相比较。缺点是为测量而制备不同腔长的激光器不是很容易。

结合光泵浦和电泵浦的优点，激光辅助的电泵浦 VSL 测量法可以使用单一的激光器，通过电泵浦测量直接得到其实际增益和内部损耗。实验装置示意图如图 6.4-26 所示。采用高功率的 532 nm Nd：YGA 激光照射部分 GaN 激光器的 p 电极，以至除去这部分电极。这样就改变了电泵浦的有效腔长。以下的测量和分析与通常的电泵浦 VSL 方法相同，采用 532 nm的激光以避免在除去激光器的 p 电极时，对 GaN 基的材料造成损害。

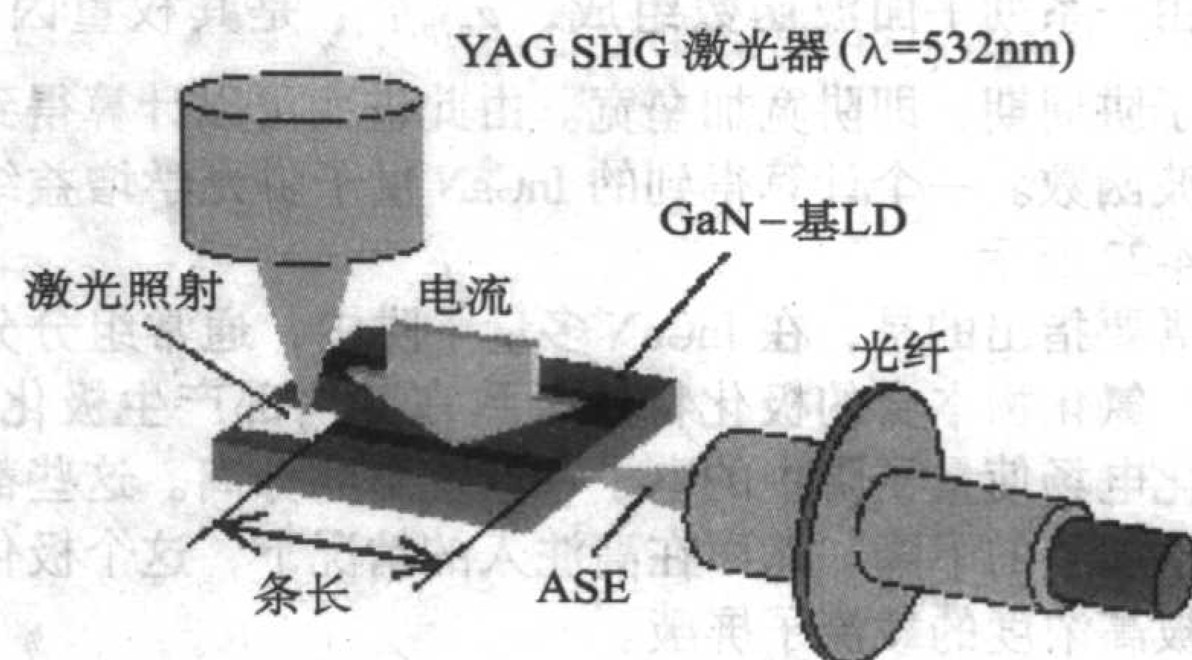


图 6.4-26 激光辅助的电泵浦 SVL 测量法实验装置示意图

(5) 电子溢出及电子阻挡层

在Ⅲ族氮化物半导体激光器设计中，必须考虑电子溢出有源区。这是由于①高载流子浓度的 p 型氮化物制备困难，

导致空穴注入效率低；②电子迁移率远高于空穴迁移率以及GaN与有源区InGaN之间的导带、不连续、不够大，不能有效限制有源区的电子；③高阈值载流子浓度。这些因素导致注入电子溢出有源区直接迁移到p区。通过在Ⅲ族氮化物半导体激光器的模拟，在有源区外靠p区的一侧加入一层高Al组分的AlGaN薄层，可以有效地降低电子溢出的效应。

2.2　条形Ⅲ族氮化物半导体激光器和大功率激光器

(1) 简单脊型激光器

目前研究最多的类型是法布里－珀罗光腔的条形激光器。通过对成功的条形激光器的分析研究，可以得到基本的器件设计思想和工作机制。简单脊型GaN基激光器的基本结构如图6.4-27所示。

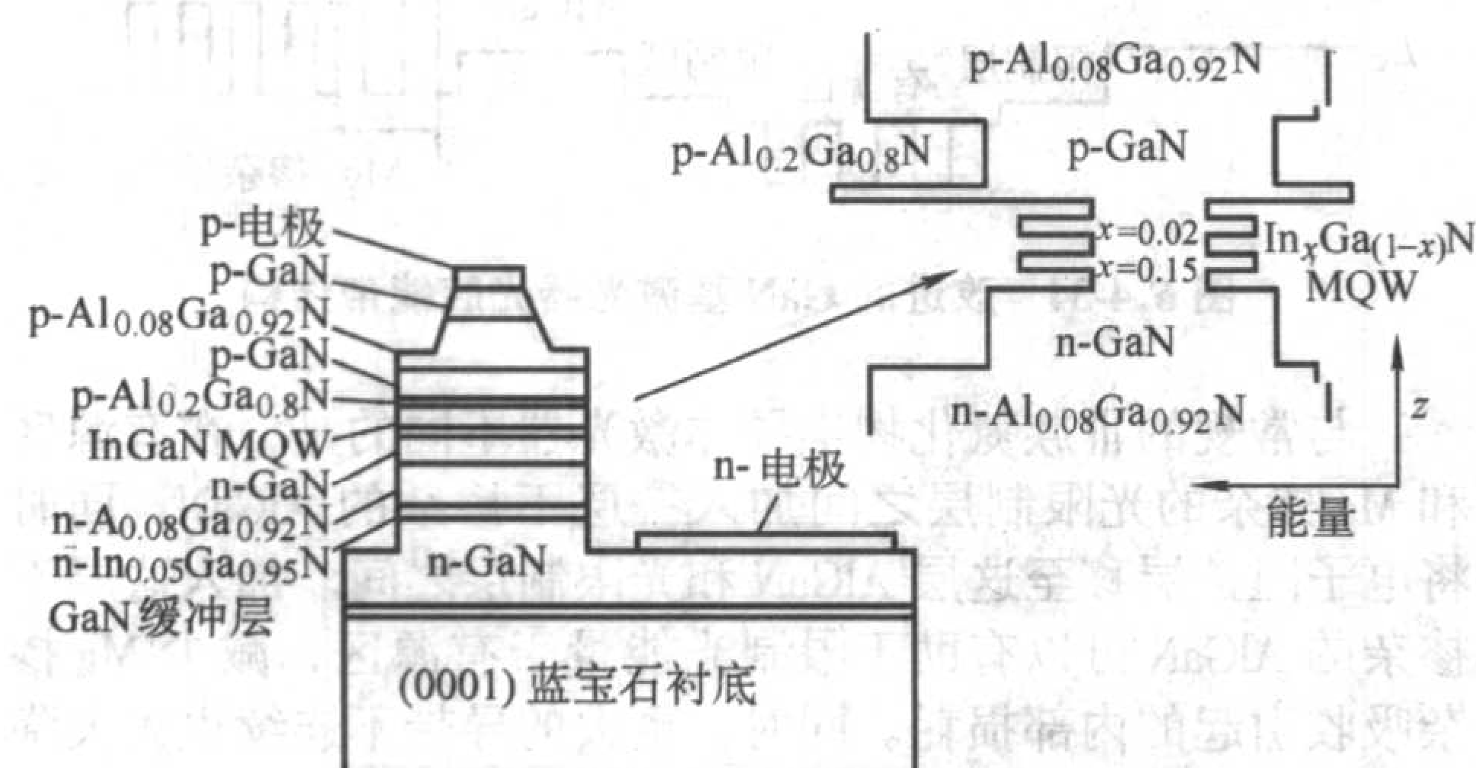


图 6.4-27　Ⅲ族氮化物半导体条型激光器截面积能带排列示意图

在这个典型的Ⅲ族氮化物半导体激光器中，(0001)面的蓝宝石作为衬底。InGaN多量子阱(Multiple Quantum Wells, MQW)是作为有源区。在其上下两边的n型GaN和p型GaN是波导层。再两边的n型AlGaN和p型AlGaN是光电限制层。为有效限制注入的电子，在InGaN多量子阱与p型GaN波导层之间插入一薄层AlGaN作为电子阻当层。器件最外两边是高掺杂的n型GaN和p型GaN接触层。通过干法刻蚀p型AlGaN光电限制层制成脊以限制注入电流。在垂直于生长方向上，由于蓝宝石的晶面与GaN的相应晶面有30°夹角，所以其腔面通常多采用干法刻蚀出两个平行面。两个电极也只能做在同一侧。

Ⅲ族氮化物激光器的激射行为与其他半导体脊型激光器相似，如图6.4-28所示。在注入电流达到阈值时，增强的自发发射转变为增强的受激发射，光谱呈现多纵模的一系列尖锐发射峰。当注入电流进一步增加时，少数几个模式迅速增强，成为主要模式。

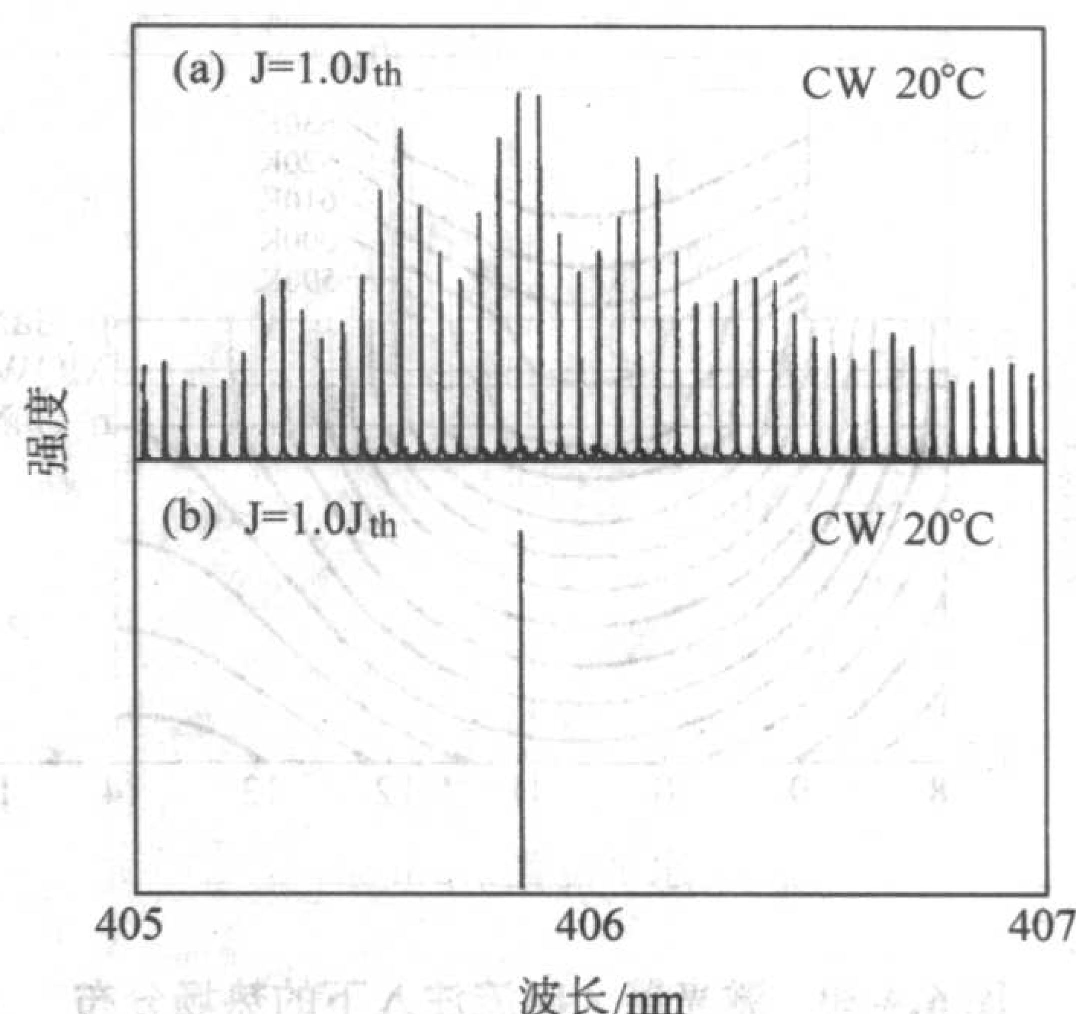


图 6.4-28　Ⅲ族氮化物半导体条型激光器的激射谱，阈值时 (a) 和过阈值时激射 (b)

激光器腔面的平行度和平整度是影响谐振腔性能的重要因素。通常的干法刻蚀可能带来腔面不严格平行和粗糙度大的问题。一些研究人员在干法刻蚀后，继续采用湿法腐蚀端面，进一步降低了腔面的粗糙度，如图6.4-29所示。湿法刻蚀液采用质量浓度50%的氢氧化钾乙二醇(ethylene glycol)溶液，在140℃下腐蚀选择GaN的{10$\bar{1}$0}晶面。当采用的自支撑为GaN衬底或SiC衬底时，利用衬底{10$\bar{1}$0}的自然解理面就可以得到高质量的腔面。

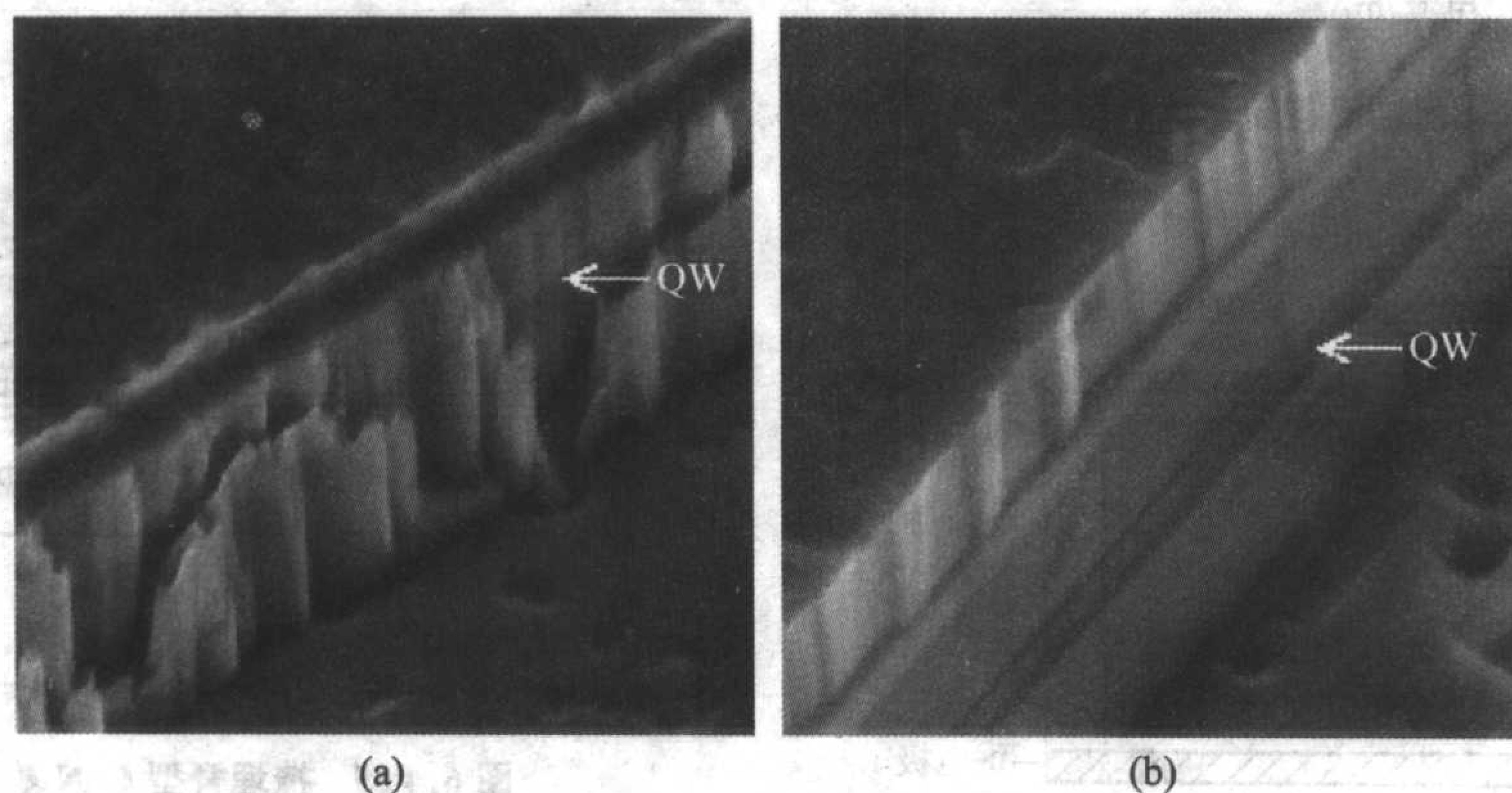


图 6.4-29　干法刻蚀后加湿法腐蚀的GaN基激光器端面

(2) 大功率脊型激光器

提高Ⅲ族氮化物半导激光器的输出功率需主要克服两个问题：①降低有源区缺陷密度；②减少器件自加热及增加散热。

目前，随着低位错密度(10^4～10^5/cm^2)自支撑GaN(free-standing GaN)衬底的商业化，Ⅲ族氮化物半导体激光器的负电极可以制作在衬底背面，以进一步降低器件的串联电阻和提高激光输出功率。用其作为衬底制备的Ⅲ族氮化物半导体激光器，在有源区已经几乎没有穿透位错。

经过对大功率Ⅲ族氮化物半导激光器的研究发现，器件自加热是影响最大输出功率的一个最主要因素。由于高浓度p型Ⅲ族氮化物的制备困难，器件中p区电阻以及电极的接触电阻要远大于n区。在大功率连续工作的Ⅲ族氮化物半导激光器中，由p区电阻以及电极接触电阻产生的热量占主导地位。经缺陷复合产生的热量由于与此同时一些光子被吸收而没有明显的影响。大电流注入时器件中的热场分布如图6.4-30所示，有源区温度可以升高达300℃。进一步降低p区电阻以及电极接触电阻的努力，受限于Ⅲ族氮化物本身的宽禁带性质，所以改进激光器外部热沉设计以增加器件散热，是提高最大输出功率的主要途径。经过模拟发现，仅仅

降低器件的热阻从75 K/W到45 K/W，就可以大大提高其最大输出功率，如图6.4-31所示。

在结构上实现大功率输出有两条途径：①增加有源区面积以增加发射功率；②集成多个条型激光器单元在一个长条形的基板上。由于采用自支撑GaN衬底，缺陷和散热问题得到大大的改善，大有源区面积的大功率激光器可以制作在自支撑GaN衬底上，如图6.4-32所示。制成上下电极结构也同时避免了在采用同侧电极时，横向电导受制于底层GaN厚度的问题。目前单管的Ⅲ族氮化物半导激光器，在150 mA的注入电流下，输出光功率已经达到了200 mW。

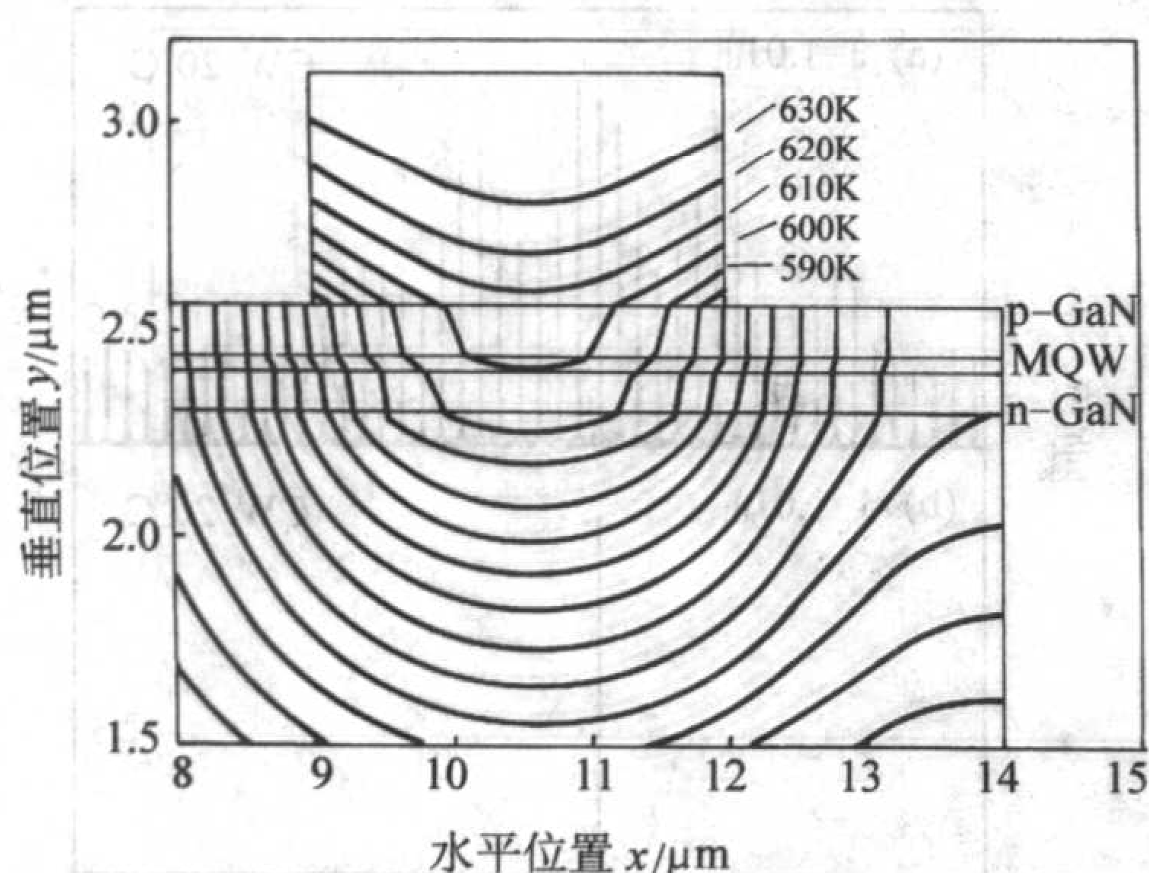


图6.4-30 激光器大电流注入下的热场分布

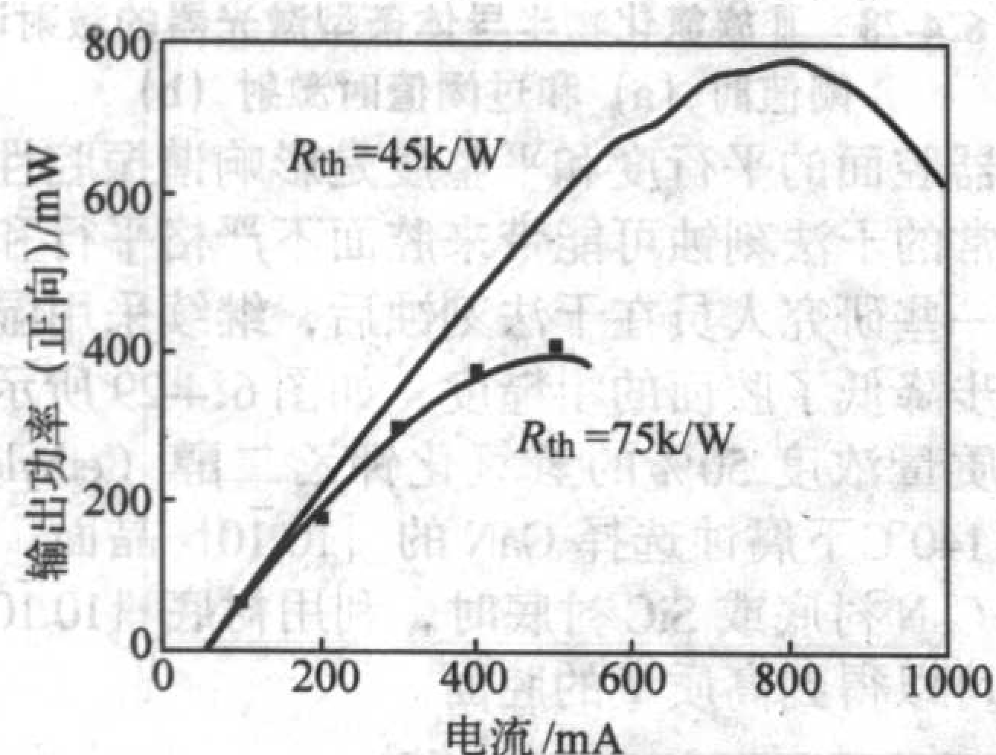


图6.4-31 激光器最大输出功率与器件总热阻的关系

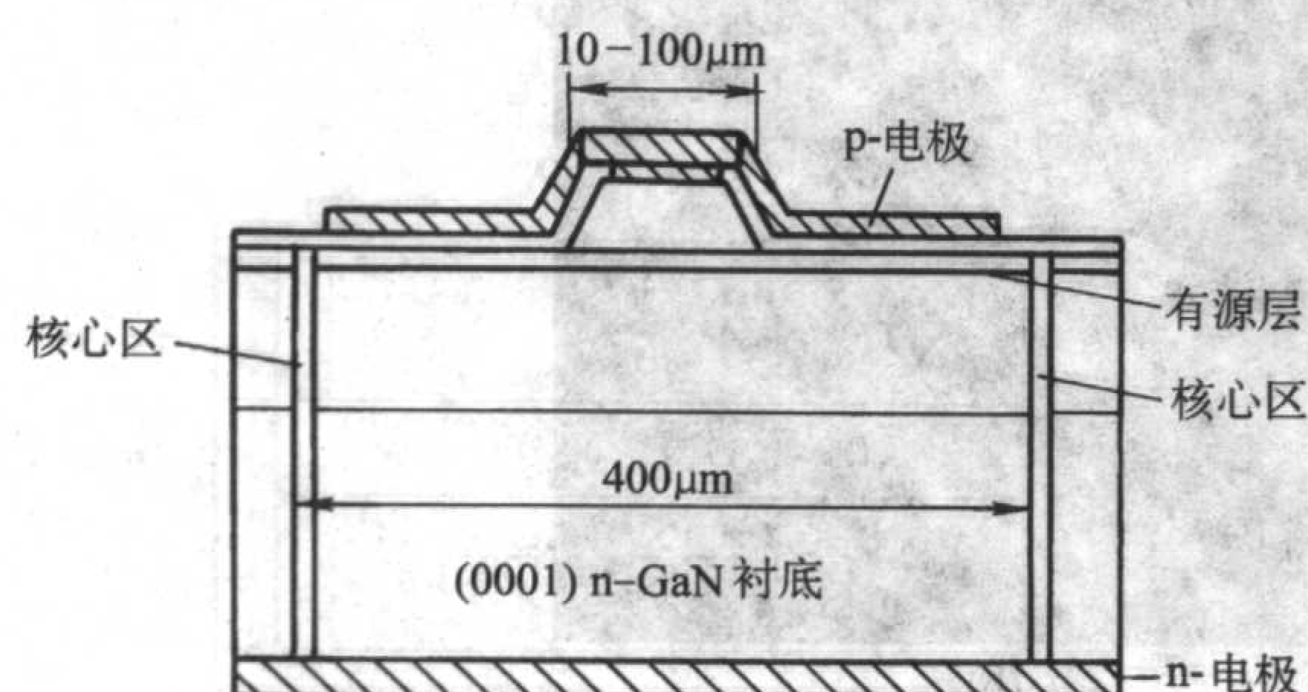


图6.4-32 制备于自支撑GaN衬底上的脊型激光器

集成多个条型激光器单元实现了更大功率的输出。器件集成结构如图4.2-33所示。集成44个激光器单元时，最大的输出功率超过了6 W (6.5 A/5.4 V)。

(3) 其他类型的脊型激光器

1) 激光器光腔的改进　针对简单脊型Ⅲ族氮化物半导体激光器中存在的问题，已经发展了很多改进的脊型激光器。一种是改进了激光器光腔的结构，其能带排列如图6.4-34所示。

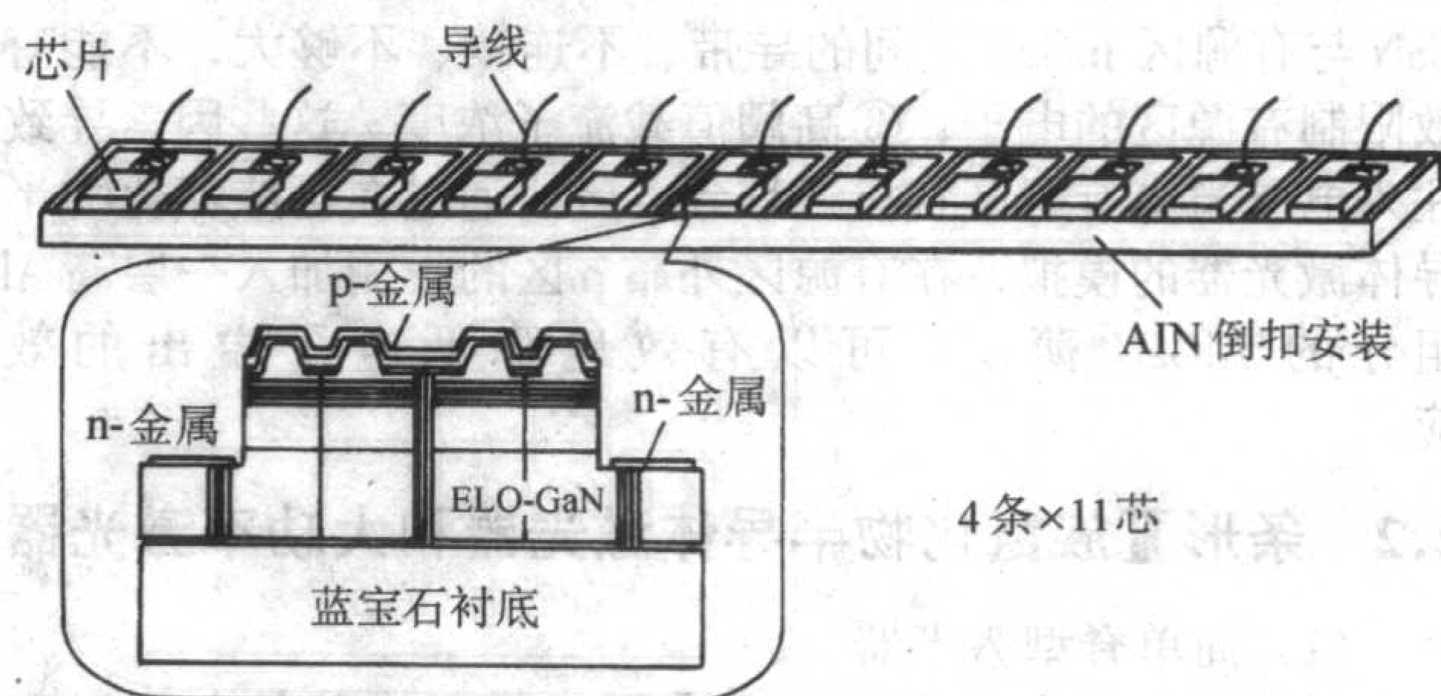


图6.4-33 集成44个GaN基激光器单元的高功率激光器条



图6.4-34 改进的GaN基激光器光腔能带结构

与常规的Ⅲ族氮化物半导体激光器不同的是，在有源区和Mg掺杂的光限制层之间加入一层不掺杂的AlGaN，同时将电子阻挡层移至这层AlGaN和光限制层之间。加入这层不掺杂的AlGaN可以有助于限制光能量于有源区，减少Mg掺杂吸收引起的内部损耗。同时，更大的导带不连续也大大降低了电子溢出有源区。

2) 掩埋脊型激光器　在通常的脊型激光器中，在脊外边都覆盖一层二氧化硅。二氧化硅的折射率远小于Ⅲ族氮化物的折射率，激光器的横向模式受到脊底部到有源区距离(d)的强烈影响而有较大波动。掩埋脊型激光器的设计就是为了稳定激光器出光的横向模式。掩埋脊型激光器的结构示意图如图6.4-35所示。在刻蚀形成脊后，在脊的两边生长不掺杂的、与光限制层折射率相近的AlGaN。这样通过改变掩埋AlGaN的折射率可以较易控制出光的横向模式。

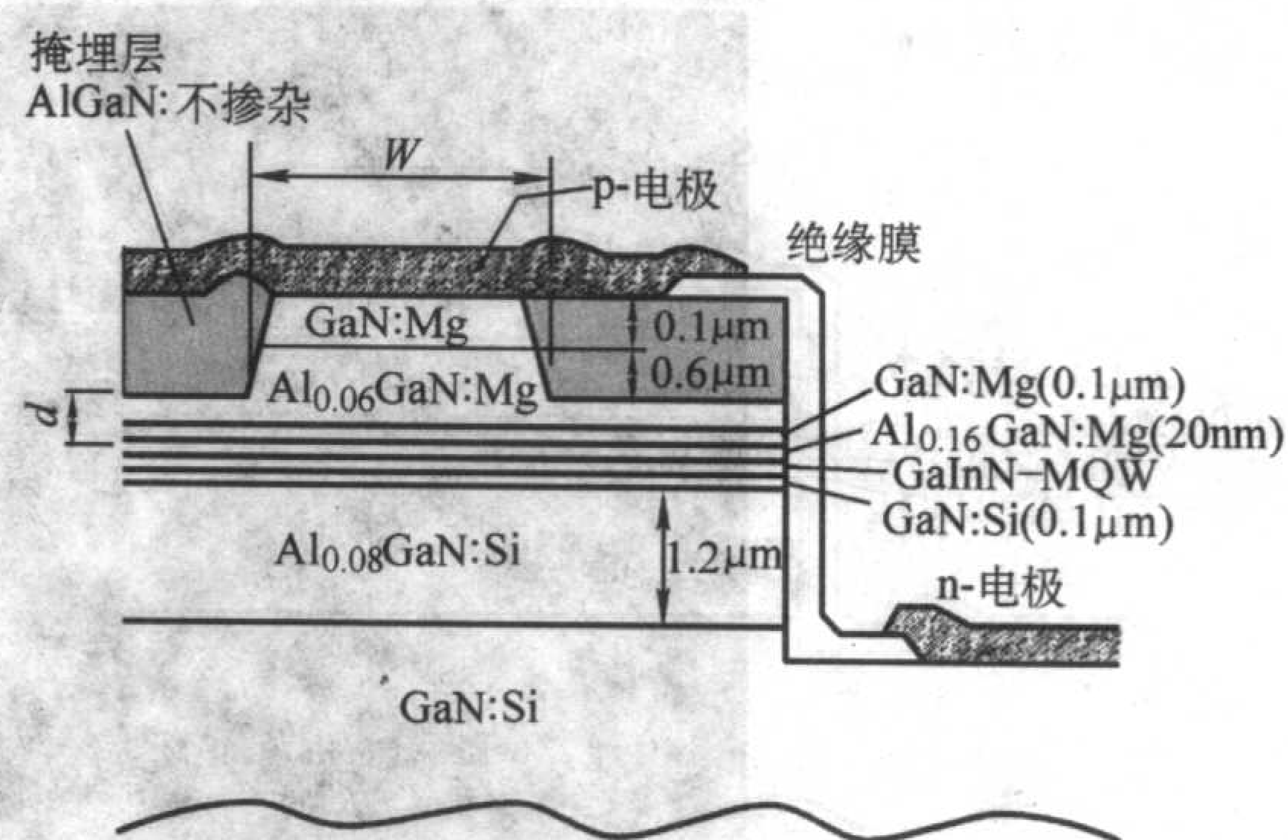


图6.4-35 掩埋脊型GaN基激光器结构示意图

3) 选择生长脊型激光器　如上所述，激光器的横向模式受到脊底部到有源区距离（通常为100 nm左右）的强烈影响。然而，目前脊的制备多是通过干法刻蚀，这样很难精确控制这个距离。选择生长脊型激光器的设计，就是为了能够精确控制这个距离来改进激光器出光的横向模式。激光器结构如图6.4-36所示。

在生长这个器件结构中，第一步生长到p一侧的波导层，然后用沉积二氧化硅覆盖表面。第二步在该二氧化硅上开出条形窗口进行脊的选择生长。这样脊底部到有源区的距离可由第一步的外延生长严格控制。

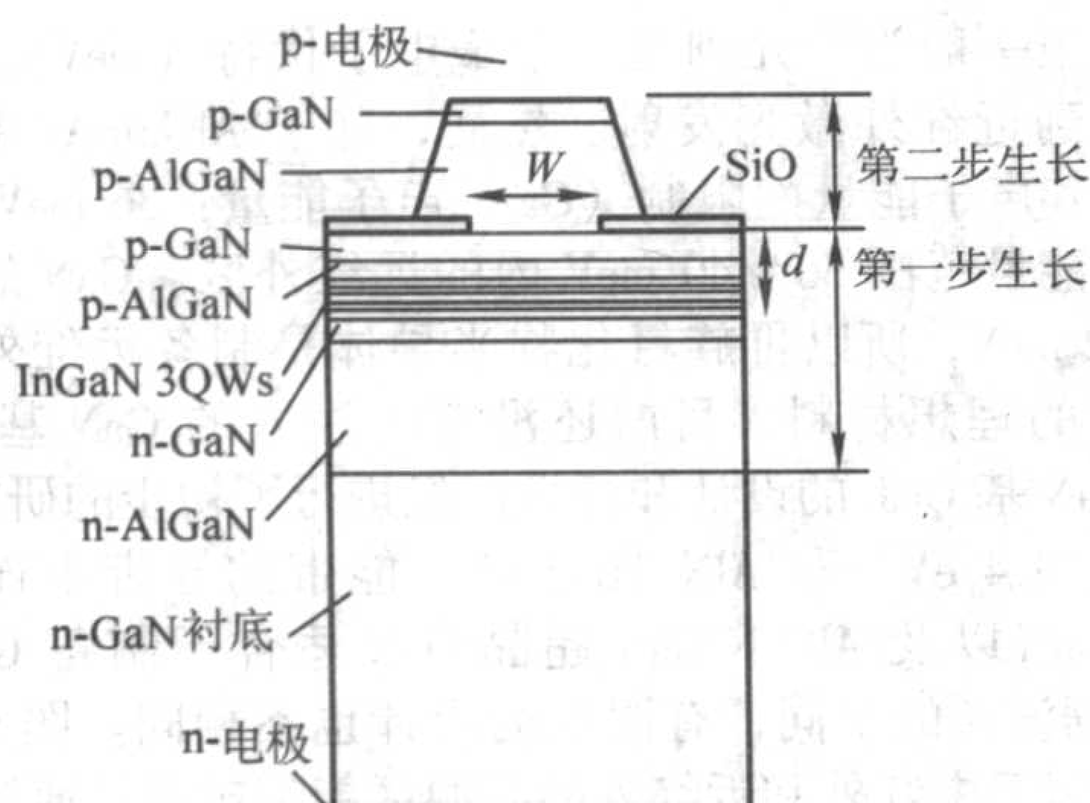


图 6.4-36　选择生长脊型 GaN 基激光器结构示意图

2.3　分布反馈（DFB/DBR）Ⅲ族氮化物半导体激光器

分布反馈激光器具有很多独特的性能，常常优于通常的端面反射激光器。端面反射激光器由于其腔长相对其激光波长很长，在高电流注入情况下，往往激射若干纵模；激射的线宽较大；激射波长还受到器件温度的影响而会发生漂移。而分布反馈激光器的输出波长主要由其光栅决定：①光栅决定的模式之间间隔很大，因此很容易实现单纵模输出；②由于更强的模式选择性，分布反馈激光器输出谱线的线宽也小很多；③由于在分布反馈激光器中，输出波长被锁定在对应的光栅模式上，所以其温度漂移很小。

(1) 分布反馈（DFB）激光器

在Ⅲ族氮化物半导体激光器中，目前已经实现电注入的分布反馈激光器结构有掩埋光栅型和横向耦合光栅型 GaN 基激光器。光栅可以用介电薄膜如氮化硅，也可以直接在氮化物半导体上用干法刻蚀制备光栅。由于氮化物半导体激光器的激射波长较短，通常选用第二级或第三级光栅。掩埋光栅型激光器在制备光栅时，会带来晶格损伤，影响后续外延层的生长质量。横向耦合光栅型将光栅制作在有源区旁边，可以尽量减小光栅制备带来的影响。图 6.4-37 所示是一个横向耦合光栅型 GaN 基激光器的扫描电镜照片。DFB 光栅是通过电子束光刻制成图案，再用干法刻蚀转移到器件上。

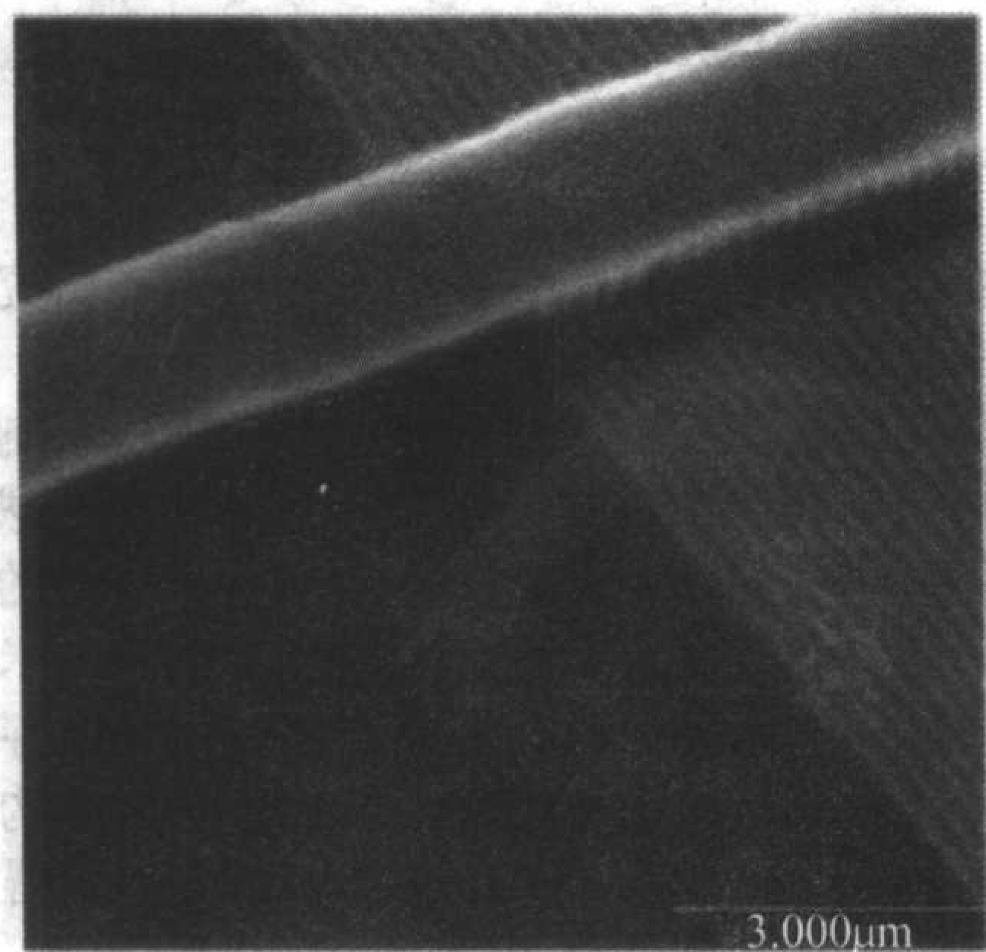


图 6.4-37　横向耦合光栅型 GaN 基激光器的扫描电镜照片

(2) 分布布拉格反射（DBR）激光器

为避免光栅制备过程对激光器有源区的影响，分布布拉格反射（DBR）激光器将光栅放置在激光器的两端，完全与有源区分离。这样不仅避免了制备光栅带来的损伤，而且可以单独制备以获得单面输出。图 6.4-38 所示是一个 GaN 基 DBR 激光器示意图及其扫描电镜照片。

在这个激光器的制备过程中，第三级的 DBR 光栅制备相

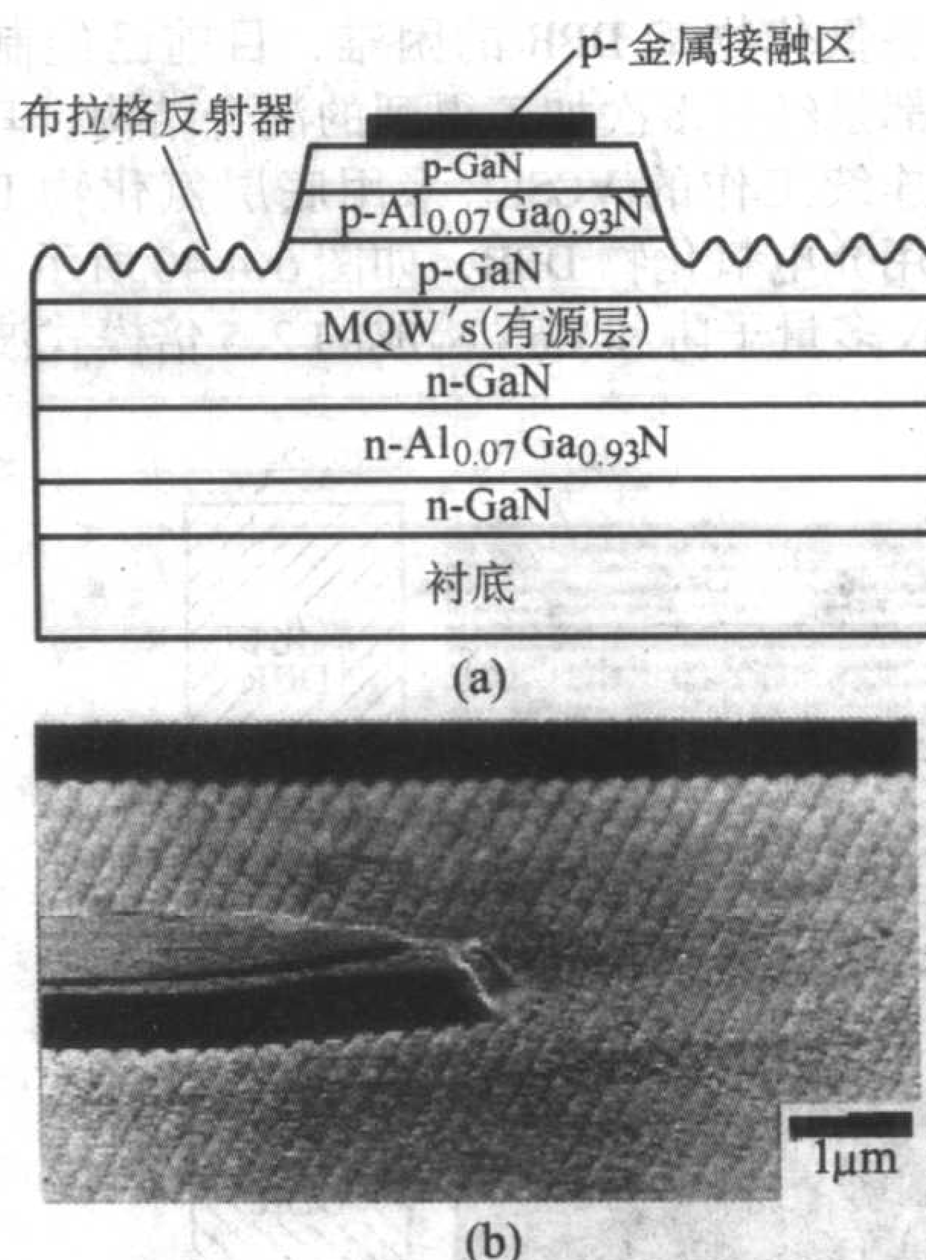


图 6.4-38　横向耦合光栅型 GaN 基激光器的结构示意图（a）和其扫描电镜照片（b）

采用激光全息光刻（Ar^+ 激光，351.1 nm）形成光栅条纹，再用干法刻蚀转移到 GaN 表面。

比于端面反射 GaN 基激光器，DFB/DBR 氮化物半导体激光器实现了稳定的单纵模激光输出。

2.4　垂直腔面发射Ⅲ族氮化物半导体激光器

以Ⅲ族氮化物半导体为主制备的垂直腔面发射激光器（Vertical-cavity surface-emitting laser，VCSEL）激射波长将在近紫外到蓝光之间，被认为对于高亮度全色显示屏以及高密度光信息存储具有重要的意义。所以已经有很多研究小组进行了 GaN 基的 VCSEL 研究。现在已经制备成功不同的 VCSEL 结构，并实现了室温下的光泵浦连续工作。

相比于边发射激光器，在 VCSEL 中有源区的体积要小很多，所以 VCSEL 的激射阈值将会相应减小。另一方面，对 GaN 基的材料而言，较小的器件体积更加有利于获得没有缺陷的有源区而进一步提高了器件性能。理论研究发现，较小的 VCSEL 器件直径有助于获得较低的阈值。

实现 GaN 基 VCSEL 的第一个条件是制备具有高反射率的氮化物半导体分布式布拉格反射镜（DBR），通常由 GaN-AlN 系列的材料组成。但是由于 GaN-AlN 的折射率差很小，所以需要多周期的超晶格结构，并且每层厚度要求严格精确。DBR 中各层界面的平整度对总反射率也有很大的影响。目前，多周期的 GaN-AlN 基 DBR 最高可以达到 96%（35 对 GaN/$Al_{0.34}Ga_{0.66}N$），如图 6.4-39 所示。

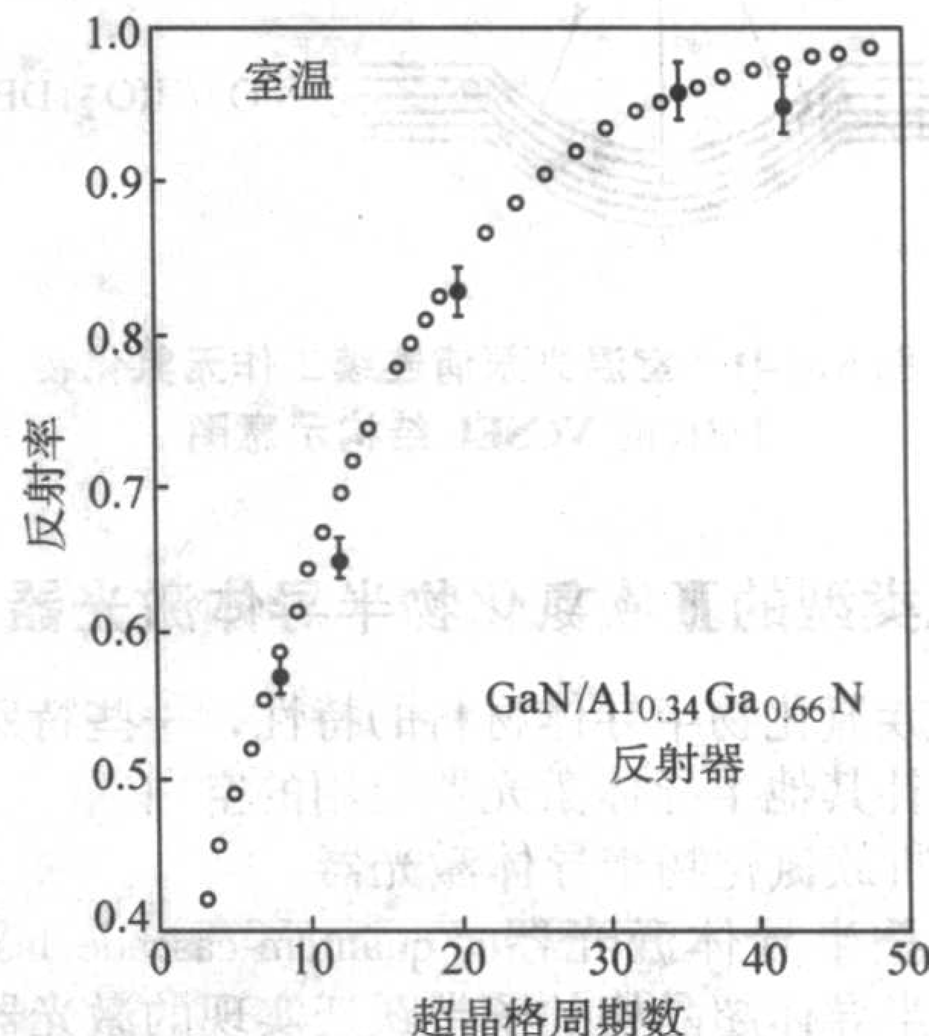


图 6.4-39　GaN/$Al_{0.34}Ga_{0.66}N$ 超晶格 DBR 反射率与超晶格周期数的关系

由于制备氮化物基DBR的困难，目前已经制备成功的VCSEL结构都是经过多次加工得到的混合结构。其中一个室温下光泵浦连续工作的VCSEL采用底层氮化物DBR，由于制备顶层采用介电氧化物DBR，如图6.4-40所示。中间的有源区是InGaN多量子阱和GaN构成的2.5倍模式波长光腔。

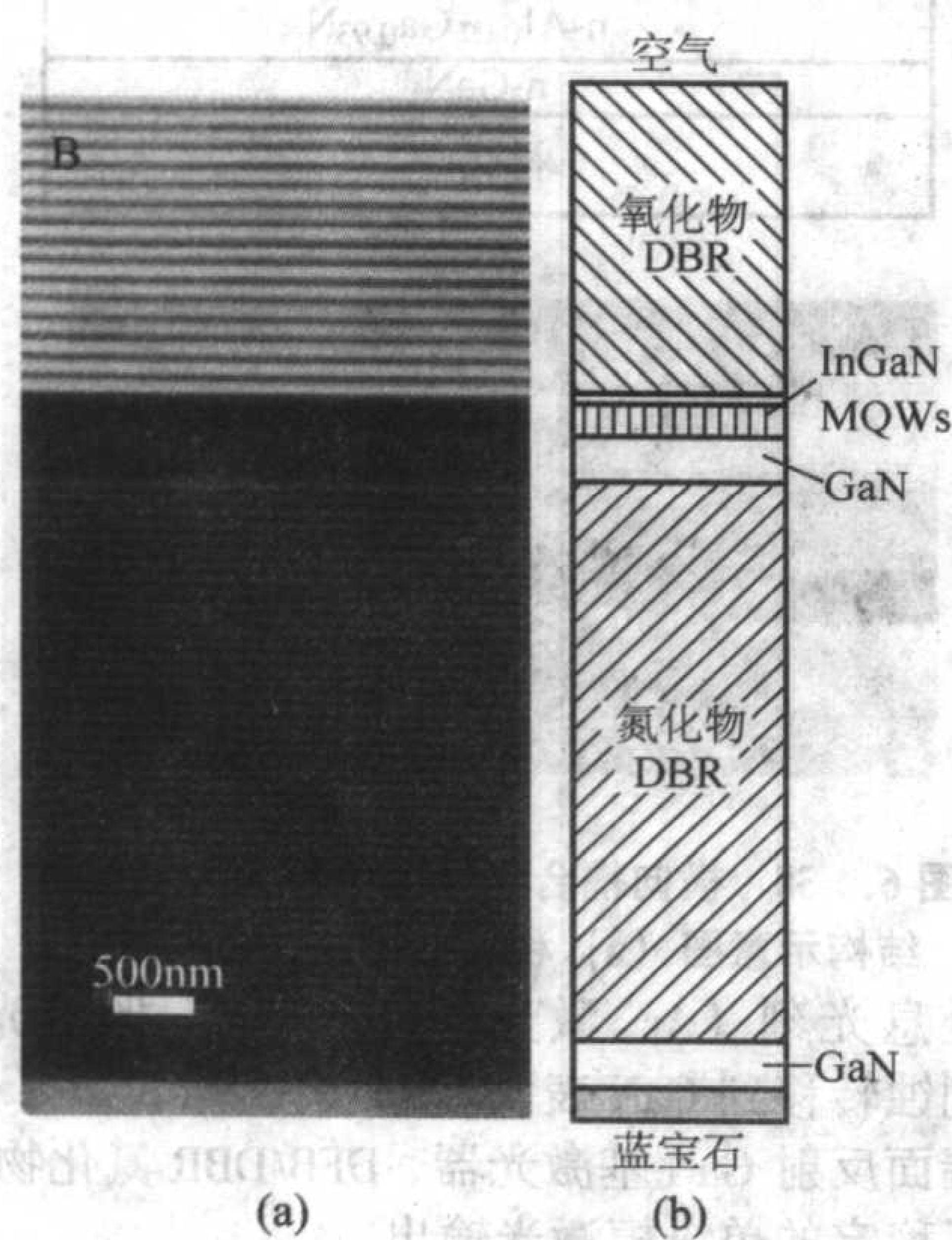


图6.4-40 室温光泵浦连续工作的混合VCSEL结构透射电镜照片（a)）和其结构示意图（b)）

另一种实现室温下光泵浦连续工作的VCSEL采用了无氮化物半导体DBR的结构。有源区的两侧都是氧化物DBR，但是其中一面制作成透镜曲面以增加光腔耦合，如图6.4-41所示。蓝宝石衬底也处在两个DBR中间，所以被称为扩展光腔的VCSEL，光腔长度为数十个微米到一百微米。这个结构中，衬底背面的微透镜曲率半径是影响阈值的一个重要因素。最佳的微透镜曲率半径取决于光腔长度。

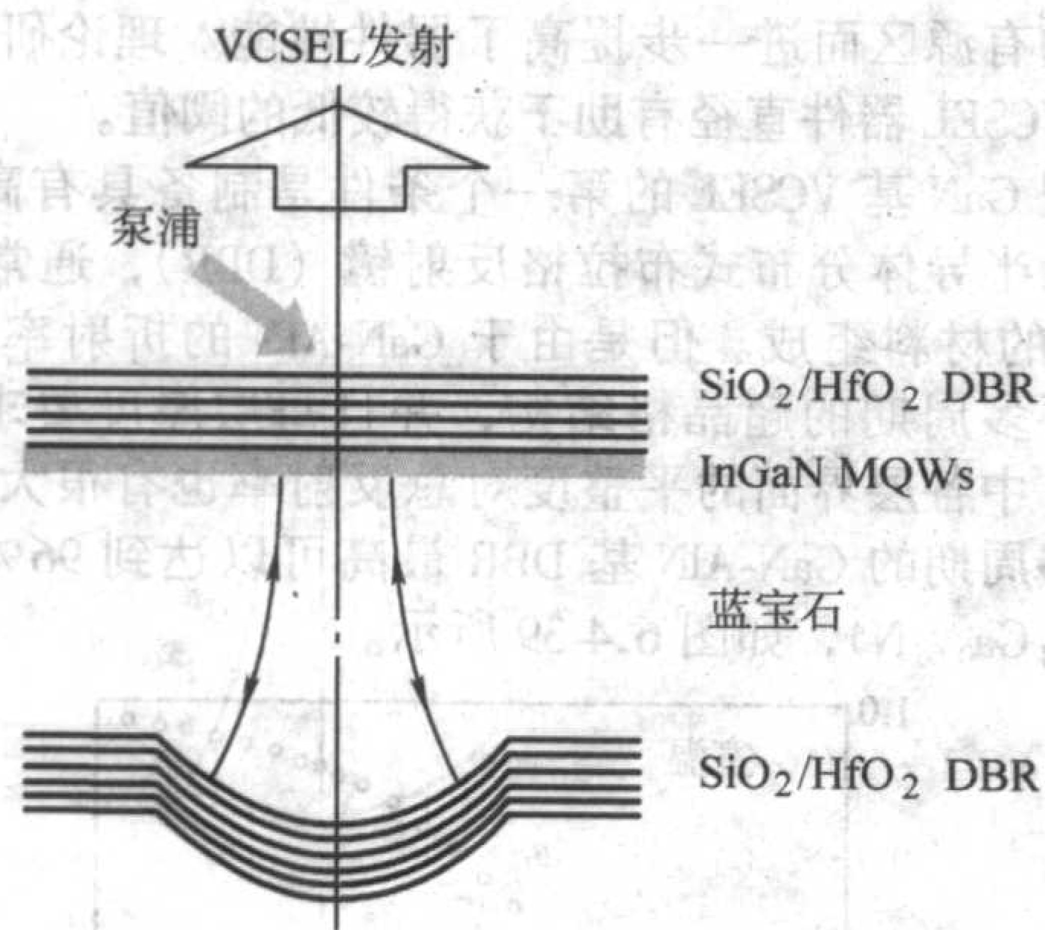


图6.4-41 室温光泵浦连续工作无氮化物DBR的VCSEL结构示意图

2.5 其他类型的Ⅲ族氮化物半导体激光器

由于Ⅲ族氮化物半导体材料的特性，一些特殊设计的激光器可以填补其他半导体激光器应用的空白。

（1）叠Ⅲ族氮化物半导体激光器

量子层叠半导体激光器（quantum-cascade laser，QCL），是一种利用半导体超晶格的子带跃迁实现的激光器。子带间的能量间距一般为十几到几十个毫电子伏特（meV），应用于中红外到近红外激光发射。然而，基于AlGaInAs系列的QCL受到其声子能量的限制（GaAs声子能量：36 meV），不能使用于能量范围30～40 meV内的远红外区。GaN的声子能量是92 meV，所以Ⅲ族氮化物半导体是制备远红外到近红外QCL的理想材料。目前还没有电注入的GaN基QCL，但是对GaN基QCL的设计和特性已经进行了初步的研究。

GaN（3.4 eV）和AlN（6.2 eV）能带的导带不连续很大，AlN/GaN以及AlGaN/GaN超晶格很适合于制备GaN基QCL。根据波长的不同，有源区的设计也不相同。图6.4-42显示了适用于中红外和近红外的有源区能带排列。通过调节超晶格中每一层包含的原子层数，可以控制子带间的能量间距。此外，Ⅲ族氮化物半导体强烈的自发极化和压电极化电场，在联级排列的短周期超晶格结构中，可被用以将电子注入到下一组超晶格的较高子带上。

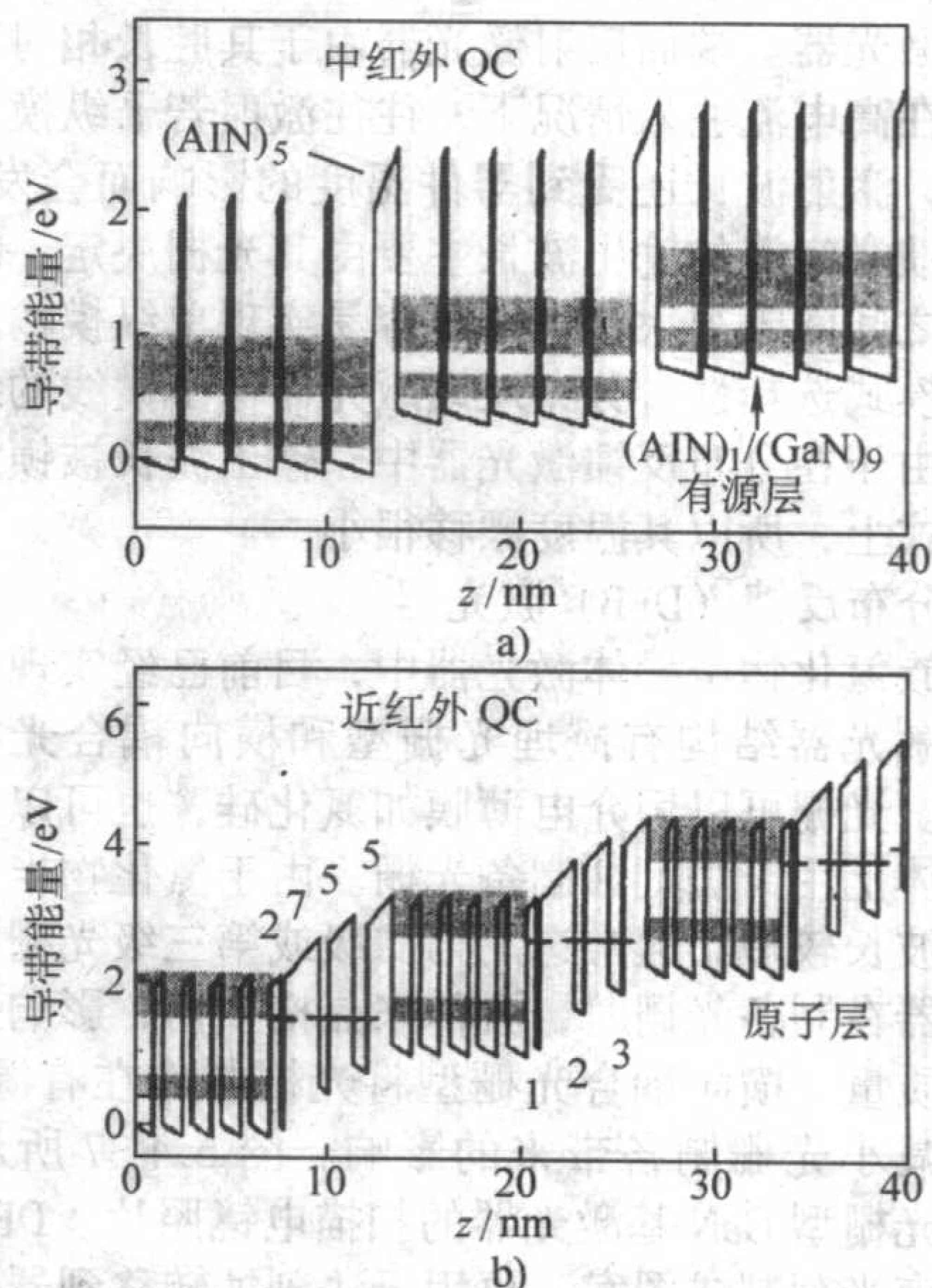


图6.4-42 适用于中红外（a)）和近红外（b)）的GaN基量子层叠激光器有源区能带排列示意图

（2）GaN微盘受激发射

微米结构和纳米结构始终吸引人们巨大的研究兴趣，在这些结构中常常产生新现象，导致发展出新器件。半导体材料相对于空气都是高折射率材料，由半导体材料制备的表面圆滑的微米结构和纳米结构，如微盘，微柱和微球等，自身就构成了一个很好的光腔。以小于全反射角传播的内部的光线被完全限制在光腔内，从而依据微米结构和纳米结构的几何结构，形成相应的共振模式。由表面散射和隧穿引起的光损耗很小。这样，通过半导体微米结构和纳米结构，可以制成最小的激光器。电注入的GaInAsP基微盘激光器已经在低温实现了激射。其器件结构和激射花样如图6.4-43所示。

已经有研究小组对GaN基的微米结构和纳米结构激光器进行了初步的研究。虽然目前还没有实现电激射，但是通过光泵浦，已经在这样的结构中观察到了光致激射。激光器结构为变形的四极和六极平台，高2 μm，直径约100 μm。测量结果出现典型的微腔模式激射，变形的四极结构产生的激射花样与图6.4-43相似。



图 6.4-43 电流入的 GaInAsP 基微盘激光器器件结构（a)）和微盘激光器激射花样（b)）

3 Ⅲ族氮化物半导体光电探测器

3.1 Ⅲ族氮化物紫外光电探测器的应用背景和发展概况

紫外辐射（ultraviolet radiation，UVR）的波长范围为 10 ~ 400 nm，按波长可划分为不同谱区，通常分为近紫外（NUV，300 ~ 400 nm），中紫外（MUV，200 ~ 300 nm），远紫外（FUV，100 ~ 200 nm）和超紫外（EUV，10 ~ 100 nm）。紫外辐射源中，太阳是最强的光源，但经大气吸收后，只有 300 ~ 400 nm 波长的光能到达地面和近地面，300 ~ 400 nm 这一谱区称为大气紫外窗口，300 nm（有的定为 280 nm）以下被大气几乎完全吸收的谱区称为太阳盲区或日盲区。紫外探测技术可用于紫外天文学、空间科学技术、火焰与引擎探测、大气紫外辐射剂量监测、聚合材料树脂固化、水净化处理、生物效应及空间通信等领域。此外，高性能紫外探测器及其面阵显像可应用于紫外对抗与反对抗技术、导弹预警与制导等，具有重要的军事价值。

现有的紫外探测器中最常用的有光电倍增管和硅基固体紫外光电二极管，但是光电倍增管需要在高电压下工作，体积笨重、效率低；硅基紫外光电管需要附带昂贵的滤波器，需要高质量的硅材料，而且耐高温、抗辐射、耐腐蚀性能较差。近十几年来随着宽带隙半导体材料的发展，人们开始了宽带隙半导体固体紫外探测器的研究，宽带隙材料有Ⅲ族氮化物、SiC、ZnO 金刚石薄膜等，其中Ⅲ族氮化物半导体紫外探测器的研究最具吸引力。

GaN 及其 AlGaN、InGaN 合金组成的Ⅲ族氮化物（又称 GaN 基材料）是宽的直接带隙半导体材料，其带隙宽度从 6.2 eV（AlN）到 0.7 eV（InN），调节合金的组分其对应的响应光谱覆盖了远紫外（200 nm）到近红外（1.77 μm）范围。而制备紫外光电探测器只需要三合金 $Al_xGa_{1-x}N$，调节 Al 组分其带隙在 3.4 ~ 6.2 eV 之间连续变化，可获得200 nm到 365 nm长波限的紫外探测。Ⅲ族氮化物材料具有高饱和电子漂移速度、高击穿场强、强压电性质、高热导率以及优异的物理和化学性质，是发展高效光电探测器的优选材料。

20 世纪 90 年代初期，随着 GaN 材料外延生长技术的不断进步，使得Ⅲ族氮化物及其器件应用的研究有了快速的发展。自 1992 年美国 APA 光学公司 M.A.Khan 等人首次研制出 GaN 光电导型紫外探测器以来，世界许多研究小组研究的各种类型 GaN 基紫外探测器如肖特基势垒光电二极管、M-S-M 光电探测器、p-i-n 光电二极管、场效应和双极光电三极管、焦平面阵列等相继问世。1998 年，美国 APA 光学公司第一个推出了 GaN 基商品紫外探测器。随着研究的进展，Al_xGa_{1-x}-N 的 Al 组分不断提高，最近的研究主要集中在高 Al 组分 $Al_xGa_{1-x}N$ 材料的太阳盲区紫外探测器。至目前为止，GaN 基紫外光电探测器的性能参数有很大提高：光伏型探测器在零偏压下峰值响应度已达 0.2 A/W，响应时间达纳秒量级，暗电流达纳安量级，探测率 D^* 在零偏压高达 10^{14} $cmH^{1/2}W$ 量级等。表 6.4-1 给出用于紫外探测器的几种半导体基本参数，表 6.4-2 列出部分商品紫外探测器的性能参数。

GaN 基紫外光电探测器的研究和开发取得了重大进展，但是其性能的不断提高还取决于 GaN 基材料质量的不断提高和器件结构、工艺的不断优化，目前面临的主要是降低 GaN 薄膜的缺陷密度优质的高 Al 组分 $Al_xGa_{1-x}N$ 材料生长和 p 型掺杂、接触技术等问题。

表 6.4-1 用于紫外探测器的半导体基本参数

参数	Si	GaAs	GaP	3C-SiC	4H-SiC	6H-SiC	金刚石	GaN	AlN	ZnS	ZnO	ZnSe	CdS
E_G/eV	1.12	1.43 直接	2.27	2.39	3.2	2.86	5.5	3.39 直接	6.2 直接	3.6 直接	3.35 直接	2.82 直接	2.50 直接
热导率 /W·(cm·K)$^{-1}$	1.5	0.5	1.1	3.2	4.9	4.9	20	1.3	3.19			0.18	
熔点/K	1 683	1 513	1 740	2 830	2 830		3 773					1 100	1 750
电子饱和速度 /10^7 cm·s^{-1}	1	2	1.25		2	2	2.7	2.5	1.4				
迁移率 /cm^2 (V·s)$^{-1}$													

续表 6.4-1

参数	Si	GaAs	GaP	3C-SiC	4H-SiC	6H-SiC	金刚石	GaN	AlN	ZnS	ZnO	ZnSe	CdS
电子	1 400	8 500	350	1 000	950	400	2 200	1 000	135	165			340
空穴	600	400	100	50	120	75	1 600	30	14	5			340
介电常数	11.8	12.5	11.1	9.7	9.7	9.7	5.5	8.9	8.5	9.6	9.1		
击穿场强 $/10^5\ V\cdot cm^{-1}$	3	6	10	20	20	24	100	26	20				

表 6.4-2 部分商品紫外探测器的性能

性能	UDT 传感器（UV001～UV 100）	1FW JEP 5	PD1.4	CREE CD-260-0.30-D CD-260-0.30-D	SVT GaN-0.8D	APA 镜片 GaN	APA 镜片 AlGaN	APA 镜片（日盲）
材料	Si	GaP	金刚石	SiC	GaN	GaN	AlGaN	AlGaN
响应谱范围 /nm	1 100～200	200～520	130～225	219～380	360～250	365～200	320～200	280～200
峰值波长 λ_{max}/nm	850	440	200	275	360			
响应度 $/A\cdot W^{-1}$	0.14,	0.15,	0.15,	0.19～0.13,	0.1,	≥0.1,	0.9～0.7,	≥0.03,
$/A\cdot W^{-1}$	254 nm	λ_{max}	λ_{max}	λ_{max}	atλ_{max}	325 nm	310 nm	275 nm
有效面积/mm²	0.8～100	1	1.4	0.965～0.054	0.50	0.2～20	0.2～20	0.2～20
零偏压电容/pF	60～4 500	500	50	21～195	35			
上升时间	0.2～5.9 μs							
下降时间		5 μs, R_L = 1 kΩ						
频带宽度/MHz						2～0.1	2～0.1	2～0.1
暗电流	0.1 mA max	10 pA, －5 V	＜1 nA	0.2～2fA, －1 V		≤1～100 nA, －0.5 V	≤1～100 nA, －0.5 V	≤1～100 nA, －0.5 V
噪声等效功率 $/W\cdot Hz^{-1/2}$	0.64～4.5×10^{-13}, 0V 254 nm							
工作电压 /V	0～5		10	0～20				

3.2 紫外光电探测器的基本工作原理和主要性能参数

光探测器（photodetector）是通过探测把光信号转换成电信号的器件。按照对光辐射响应方式或工作机理的不同可分为不同类型。下面介绍光电导型和光伏型半导体光电探测器的两种主要类型。

光电探测器的工作原理是，当光入射到探测器上时，一部分光被反射，另一部分光透射入半导体内，若光子能量 $h\nu$ 大于禁带宽度 E_g，则会将价带的电子激发到导带，从而产生光生电子-空穴对，经过外加电场（光电导型）或内建电场（光伏型）的收集作用在外电路中产生光生电流。光伏型探测器根据形成内建电场的结势垒不同，又可分为 p-n 结、p-i-n 结、金属-半导体肖特基结、异质结势垒等，可制备成不同结构类型的光伏探测器。

光电探测器的性能参数与材料参数、器件结构密切相关。主要性能参数有光谱响应特性（即光电流－波长关系曲线），量子效率 η，响应度（responsivity，或称响应率）R，光电流增益 g，响应时间 t，探测率 D^* 等。这些参数在其他书籍中已有介绍，对 GaN 基光电探测器，增加了紫外/可见光响应比（UV/Visible Contrast，UV/VIS）参数，定义为截止波长 λ_c 与可见光 400 nm 处响应度的比，表征紫外探测器截止波长的陡峭程度。

对比 GaN 基光电导型和光伏型探测器的性能参数，它们有如下特点：

光导型探测器需要在一定偏置电压下工作，而光伏型探测器可在零偏压（光伏工作模式）和低偏压（光导工作模式）下工作；光电导型探测器的电流增益大，响应度高，GaN 基光导型探测器的响应度可高达 10^4 A/W，而光伏型探测器在光伏工作模式下，响应度小于 0.3 A/W（由 $R=\eta q/h\nu$ 式计算得到）；GaN 基光伏型探测器响应时间目前可到纳秒量级，远优于光导型探测器的微、毫秒量级（因材料缺陷和采用宽电极间距、低电场所致）；光伏型探测器的噪音比光导型的低，暗电流可达纳、皮安量级。

GaN 基紫外探测器和现有硅基紫外探测器比较，有以下的优点：探测灵敏度高；光谱响应曲线较平坦，长波限的截止陡峭（UV/VIS 响应比可高达 10^5），特别适合可见光盲区、太阳盲区等的紫外探测，不需要附带昂贵的滤波片；可通过改变 Al 组分连续调整光谱响应范围，也可根据需要形成窄响应窗口；响应线性度好，光电流随光强的线性关系可保持五个数量级；耐高温、抗辐照、耐腐蚀，能在较恶劣环境下

工作等。但是 GaN 基紫外探测器还需要不断研究发展，提高质量，降低成本和解决产业化中遇到的问题。

3.3 Ⅲ族氮化物光导型探测器

光电导型探测器（photoconductive detectors）结构简单，易于制备，具有高的内增益，高的响应度，甚至可以不需要后置放大电路，是 GaN 基材料用于探测器研究的最早类型，它的典型结构示意图如图 6.4-44 所示，在这个探测器中，蓝宝石作为衬底，GaN 作为光吸收区。经过多年的研究和优化，GaN 基探测器典型的制备过程如下：用金属有机化学气相淀积（MOCVD）技术在蓝宝石衬底上先生长约 20 nm 的低温（LT）- GaN 或 AlN 缓冲层，再外延生长 1~2 μm 厚的 GaN 层，表面清洁后淀积抗反射膜（通常用 SiO_2），同时它对 GaN 表面也起钝化作用。最后用正胶剥离（lift-off）方法在 GaN 表面制备一对金属电极，常采用叉指式图形，其指间距通常为 0.2~10 μm。电极金属为：n 型 GaN 基材料为 Ti/Al 或 Ti/Al/Ni（或 Pt，Ti）/Au，p 型 GaN 基材料为 Ni/Au。经过快热退火后形成欧姆接触。由 GaN 材料的吸收系数为 10^5/cm量级计算出光透入深度约为零点几微米，但是 GaN 层的厚度通常需设计为 1 μm 以上，这是因为 GaN 基材料在缓冲层上一般需要 1 μm 以上的厚度才会远离界面缺陷，释放完应力而具有良好的晶体质量。

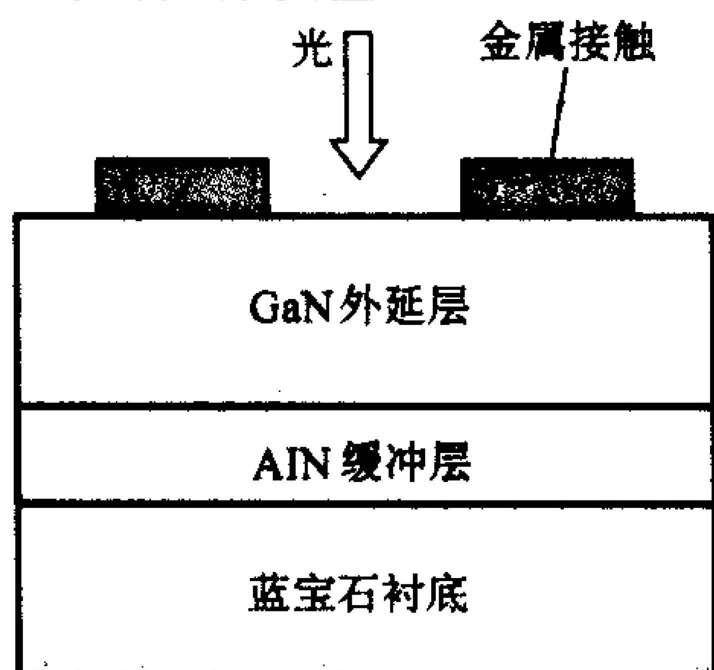


图 6.4-44　GaN 光电导型探测器结构示意图

M.A.Khan 等人于 1992 年首次研制出 GaN 光电导型紫外探测器。图 6.4-45 是文献中的 GaN 光电导型紫外探测器的响应谱。在 365 nm 波长有陡峭的截止边，对可见光和红外区几乎没有响应（即可见光盲），在 200~365 nm 范围内响应度基本保持恒定。在 5 V 偏压下，峰值响应度达 1 000 A/W。响应时间约为 1 ms。暗电阻约为几千欧姆。在随后的几年中，许多小组研究此类型探测器，由于 GaN 基材料背景载流子浓度降到 $10^{17}/cm^3$ 以下、采用多层金属膜降低 GaN 欧姆接触电阻以及器件结构设计的优化，响应度提高到3 000~4 000 A/W，甚至更高达 10 000 A/W，电流增益可超过 10^5，响应时间为 μs-ms 量级，这充分展现了 GaN 基材料在紫外波具有段高响应的优势。

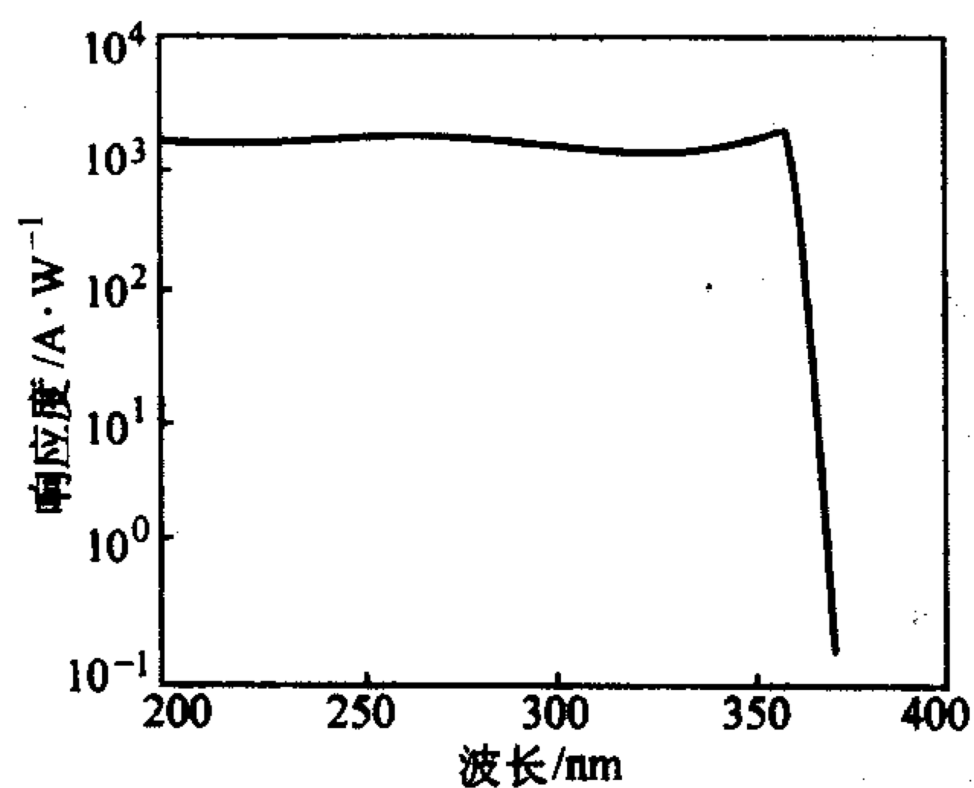


图 6.4-45　GaN 光电导型探测器的典型响应谱

从 1995 年起，有小组开始研究以硅为衬底的 GaN 探测器。硅为衬底具有成本低、导电（可以在衬底制作电极）、易与硅器件集成等优点。K.S.Stevens 等人报道的 Si 衬底上掺 Mg 的 p-GaN 光导型紫外探测器，峰值响应度在 4 V 偏压下为 12 A/W。Z.M.Zhao 等人报道的 Si 衬底上非故意掺杂 u-GaN 的光导型探测器，峰值响应度在 5 V 偏压下为 6.9 A/W。由于 GaN 与 Si 之间大的晶格失配、热失配以及生长中硅表面易于氮化等原因，通常它的 GaN 外延层质量比蓝宝石衬底的要差，响应度也较低。GaN 基异质结构存在Ⅲ族氮化物特有的强极化效应（polarization effect）也被应用于光导型探测器。南京大学的研究小组利用 AlGaN/GaN 异质结界面的强极化电场调制能带，导致光生电子－空穴对在空间上分离，从而减少复合提高了寿命，此外宽带隙的 AlGaN 钝化表面也减少了表面复合，再加上异质结界面的电子阱有利于电子迁移率提高，这诸多因素使探测器响应度比单层 GaN 探测器提高几至十几倍。

光电导型器件的主要缺点是表现出持续光电导现象（presence of persistent photoconductivity，PPC），当光照移开后，光电流要持续很长时间（小时量级）。研究结果认为，PPC 归因于 GaN 基材料中存在大量的本征材料缺陷（如 Ga 空位、发射黄带的缺陷等）和杂质缺陷（如 Si、Mg 及 O 沾污等）。此外，还会出现响应度随激发光功率增强而下降，随激发光调制频率升高而降低等现象。对此一些人提出光电导机理模型，例如 J.A.Garrido 等人提出有效电导截面模型：在 GaN 基材料晶格不连续处（位错、晶粒间界和界面）存在缺陷，它们形成禁带中的能级，当其吸收辐射光，俘获电荷，在缺陷周围产生耗尽区，使有效电导截面减小时，影响了响应度。GaN 基材料中大量空穴陷阱的存在使得光生载流子的寿命增长，这解释了 GaN 基光导型探测器具有高达 10^5 的内增益。总之，GaN 基光电导型探测器具有很高的响应度，但响应速度低，UV/VIS 响应比较低，存在持续光电导现象，不适用于要求高速和低噪声的情况。

3.4 Ⅲ族氮化物肖特基势垒光电二极管和 M-S-M 型探测器

肖特基势垒光电二极管（Schottky barrier photodiodes）具有结构比较简单、响应速度快以及可在零偏压、低电压下工作的特点。它的高速归因于有源区-肖特基结势垒区在表面附近，减少了载流子的传输时间和复合损耗。1993 年，M.A.Khan 等人首次报道研制肖特基光电二极管以后，制备肖特基光电二极管的技术得到很大发展，到 1998 年，肖特基光电二极管成为Ⅲ族氮化物探测器最早的商品。它的典型结构示意图如图 6.4-46 所示，通常肖特基接触为圆形，而欧姆接触在外围成环状。另有一种背对背肖特基接触的金属－半导体－金属（metal-semiconductor-metal，M-S-M）结构探测器被研究得更多。这种器件制作更为简便，由两组叉指电极在半导体表面形成肖特基接触，不需要制备欧姆接触，

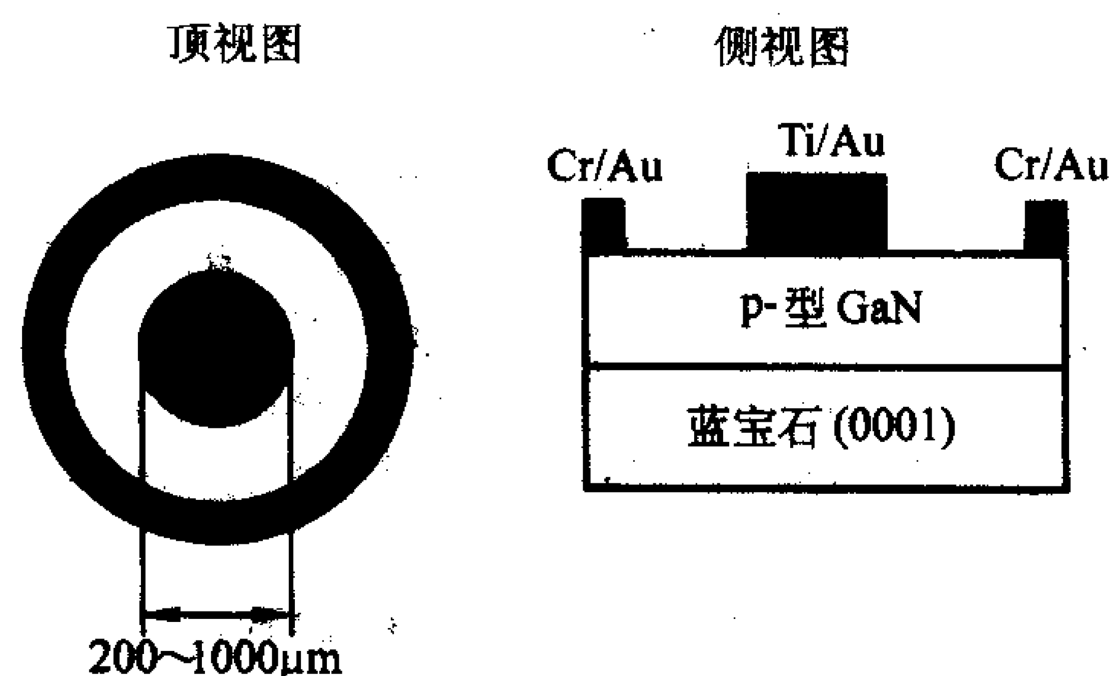


图 6.4-46　肖特基势垒光电二极管的典型结构示意图

它具有更低的暗电流，平面和横向的结构可以获得很小的电容，并且，它的制备工艺和场效应管相兼容，易于集成在一个光接收器内。但是器件需要在较高的偏置电压下工作。图 6.4-47 为 M-S-M 结构探测器的典型结构和能带示意图。

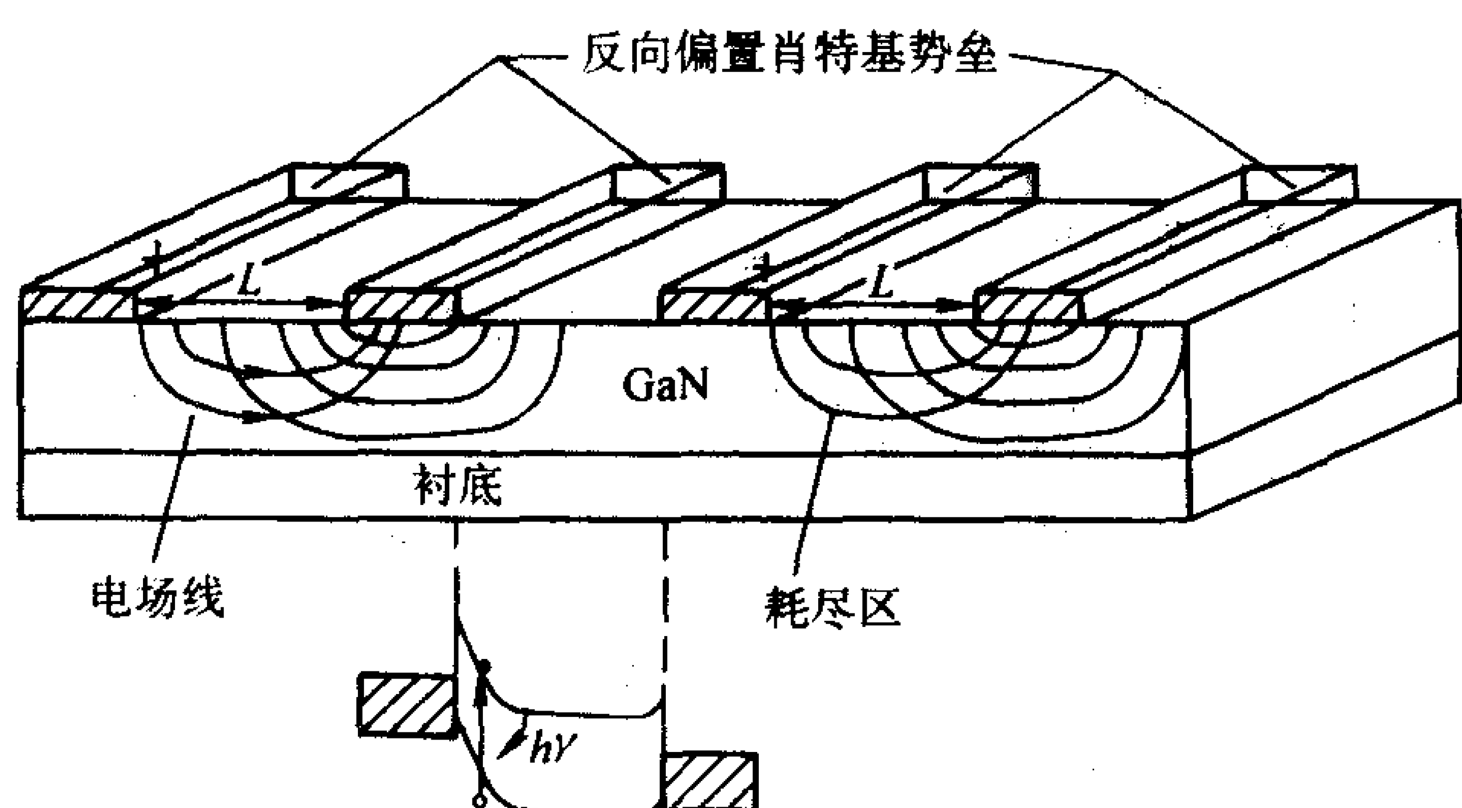


图 6.4-47 GaN 基 M-S-M 型探测器典型结构和能带示意图

在器件制作中，选择高势垒的肖特基金属和提高金属下面接触层的电阻非常重要，它关系到提高探测器的响应度和降低暗电流。由于 Ga-N、Al-N 键的离化特性，金属/AlGaN 界面上不发生费米能级钉扎现象，肖特基势垒高度主要取决于所选金属的功函数和制备工艺。金属需要尽量薄，以降低入射光通过它的损耗。目前用得最多的是 Au（金）、Pt（铂）、Ni（镍）、Pd（钯）等金属和 ITO（铟锡氧化物）、RuO_2（二氧化钌）、IrO_2（二氧化铱）等透明导电金属氧化物。这些肖特基势垒高度通常为 0.7～1.5 eV 范围。Au 比 Pt、Ni、Pd 在 50～350 nm 波长范围内具有更好的透射率，例如 10 nm 厚的 Au 有 30%～50% 的透射率。近年来，用功函数较大的透明导电氧化物制作肖特基接触的研究增多。J.K.Kim 等人用 IrO_2 制作 M-S-M 结构探测器的肖特基接触，首先在不故意掺杂的 GaN 层上面制备 10 μm 厚的 Ir，然后在 500℃的氧化气氛中退火实现 IrO_2 接触。在 360 nm 处的光透射率为 74.8%，肖特基势垒高度为 1.48 eV，其响应度比用 Pt 制作肖特基接触的要高一个量级。Y.K.Su 等人用 ITO 和 Au、Ni、Pt 做肖特基接触进行了比较。结果为：ITO 薄膜的透射率最高，器件的响应度也最高，在 －0.5 和 －5 V 偏压下，345 nm 处的响应度分别为 0.9 和 7.2 A/W。为了改善暗电流，在淀积 ITO 叉指电极之前低温生长薄 GaN 帽层钝化了表面态，结果暗电流明显改善，达到 3×10^{-10} A，响应速度也得到提高。但是要注意透明金属氧化物对光的吸收率与波长密切相关，例如 ITO 对短于 300 nm 波长光的吸收率会迅速提高。

GaN 表面自然氧化层的表面态会影响肖特基接触质量，人们研究制备肖特基接触前的各种表面处理技术，例如用热清洗溶液进行表面处理或先长约 5 nm 厚的 Ti（或 SiO_2）台，进行 300℃下 10 min 退火等方法，可以改善肖特基接触的质量。

图 6.4-48 显示了不同 Al 组分 $Al_xGa_{1-x}N$ 肖特基光电二极管的响应谱图。图中可以看出，随着 Al 组分的增加，截止波长向短波方向移动。截止波长陡峭，UV/VIS 响应比为 10^3～10^4。此外，响应度数值随着 Al 组分增加而下降，这归因于随着 Al 组分的增加，与载流子寿命及迁移率相关的载流子扩散长度减小。

GaN 基材料缺陷密度的多少直接影响到肖特基光电二极管的暗电流，图 6.4-49 表示在 n-GaN，n-$Al_{0.35}Ga_{0.65}N$ 和横向外延（ELOG）GaN 三种不同材料上 Au 肖特基接触光电二极

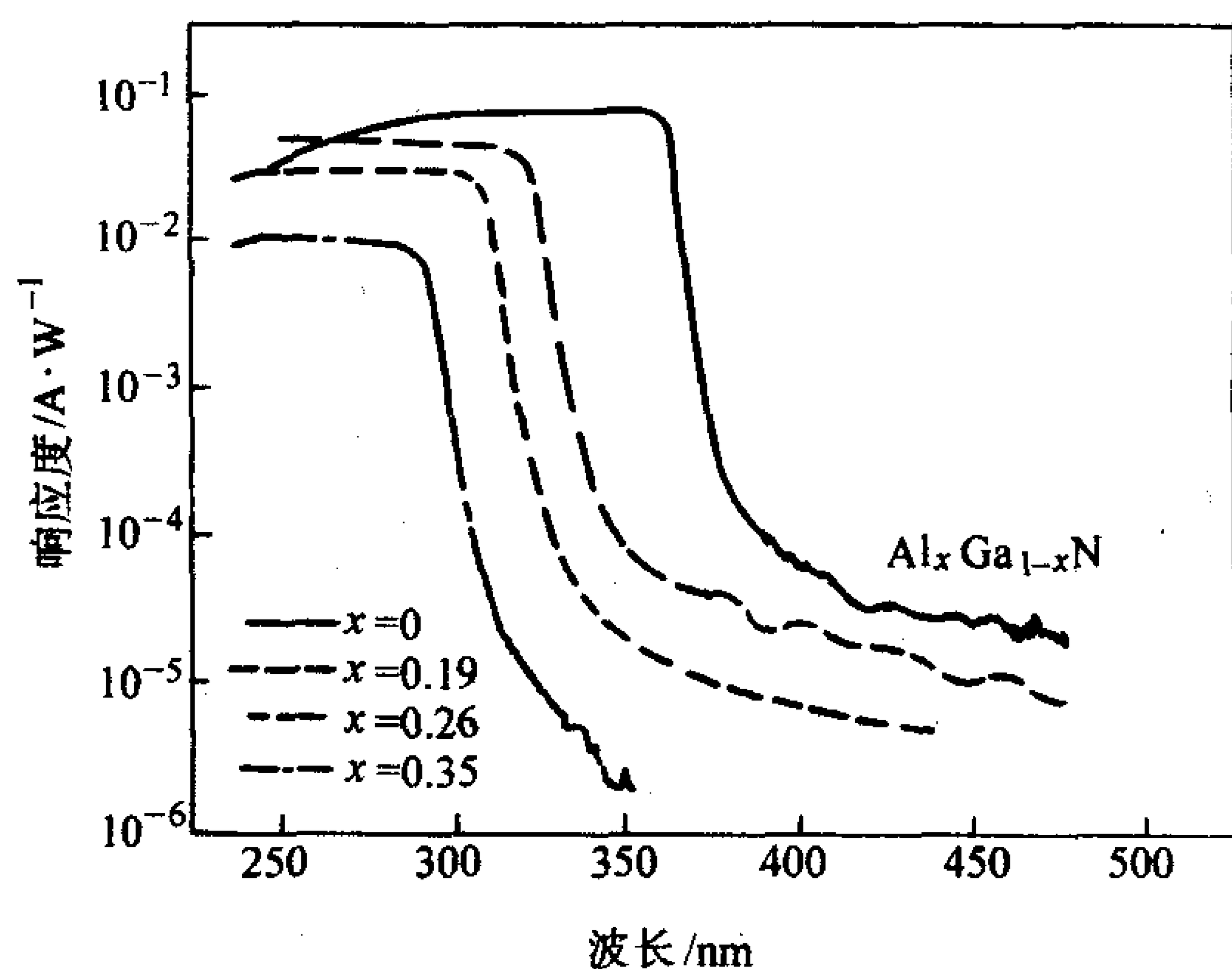


图 6.4-48 不同 Al 组分 $Al_xGa_{1-x}N$ 肖特基光电二极管的响应谱

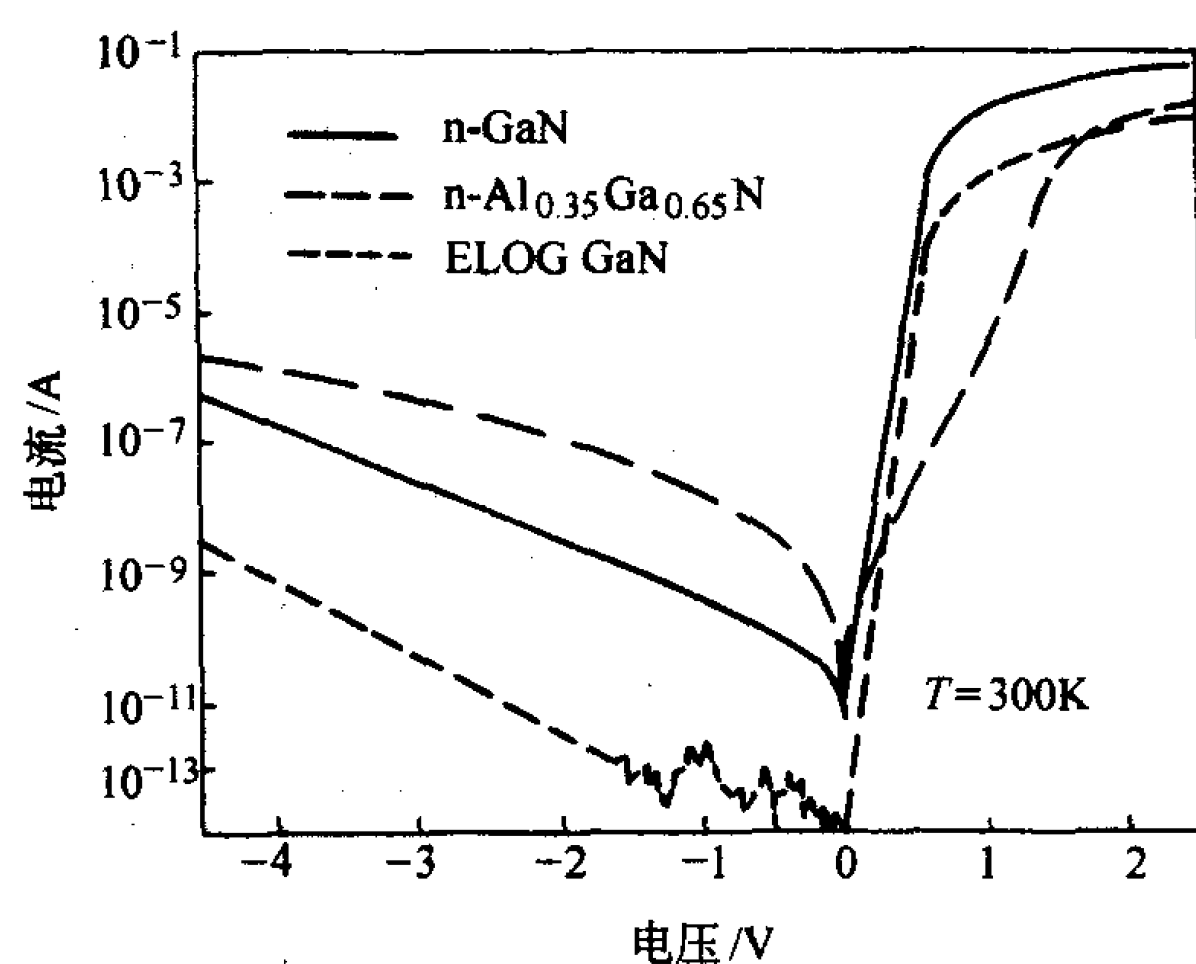


图 6.4-49 三种不同 GaN 材料肖特基光电二极管的电流－电压特性

管的电流－电压特性。ELOG GaN 的位错密度降低了 2 个数量级，显示出低得多的漏电流，而 n-$Al_{0.35}Ga_{0.65}N$ 因缺陷密度增大其漏电流和理想因子都劣于 n-GaN 光电二极管。

目前肖特基光电二极管的响应时间主要受到 RC 时间常数的限制，直径为 200 μm 的 AlGaN 肖特基光电二极管，在零偏压下响应时间为 15 ns，测得响应时间随二极管面积呈线性增加，随反偏电压加大而减小证实了这一点。

对肖特基光电二极管的噪声特性进行分析表明，在低频和中频区域，$1/f$ 噪声起主要作用，而高频区域与散粒噪声相关。N.Biyikli 等人制备的用于日盲区低噪声高探测率的探测器采用 GaN/$Al_{0.38}Ga_{0.62}N$ 异质结构，以 $Al_{0.38}Ga_{0.62}N$ 为有源层，用 Au 制作肖特基接触，Ti/Al/Ti/Au 制作欧姆接触。响应谱的截止波长为 274 nm，峰值响应度为 0.09 A/W（267 nm，50 V偏压），峰值处外量子效率为 42%。在 0～25 V 反偏压内，暗电流密度 $<1.8\ nA/cm^2$，零偏压下探测率 $>2.6\times10^{12}\ cm\ Hz^{1/2}/W$，在 10 kHz 时，噪声功率谱密度 $<3\times10^{-29}\ A^2/Hz$。

3.5 Ⅲ族氮化物 p-i-n 型光电二极管

p-n、p-i-n 结型光电二极管（p-i-n photodiodes）是最常用的光伏型探测器类型。通过调节它的耗尽层厚度可以获得所需要的量子效率和响应速度，除了有高速、低暗电流特性外，高输出阻抗适合与后面的读出电路连接。p-i-n 光电二极管典型结构如图 6.4-50 所示。器件的许多制备工艺与上述光电二极管基本相同，不同之处是需要生长 p-GaN 外延层和刻蚀 p-i-n 结台面。由于 p 型杂质 Mg 的激活能高达 170 meV，而在 $Al_xGa_{1-x}N$ 中，每增加 0.01 的 Al 组分，激活

能增加约3 meV，空穴迁移率很低（通常为几～30 $cm^2/V\cdot s$），p 区的电阻及其接触电阻很大，所以，p 型特别是高 Al 组分 p-AlGaN 的激活和接触问题是短波长 p-i-n 光电二极管的制备难点，目前解决的办法通常是在 p-AlGaN 上再生长一薄层 p-GaN 以降低接触电阻。GaN 基材料的刻蚀通常采用干法刻蚀，湿法腐蚀有很多困难问题。

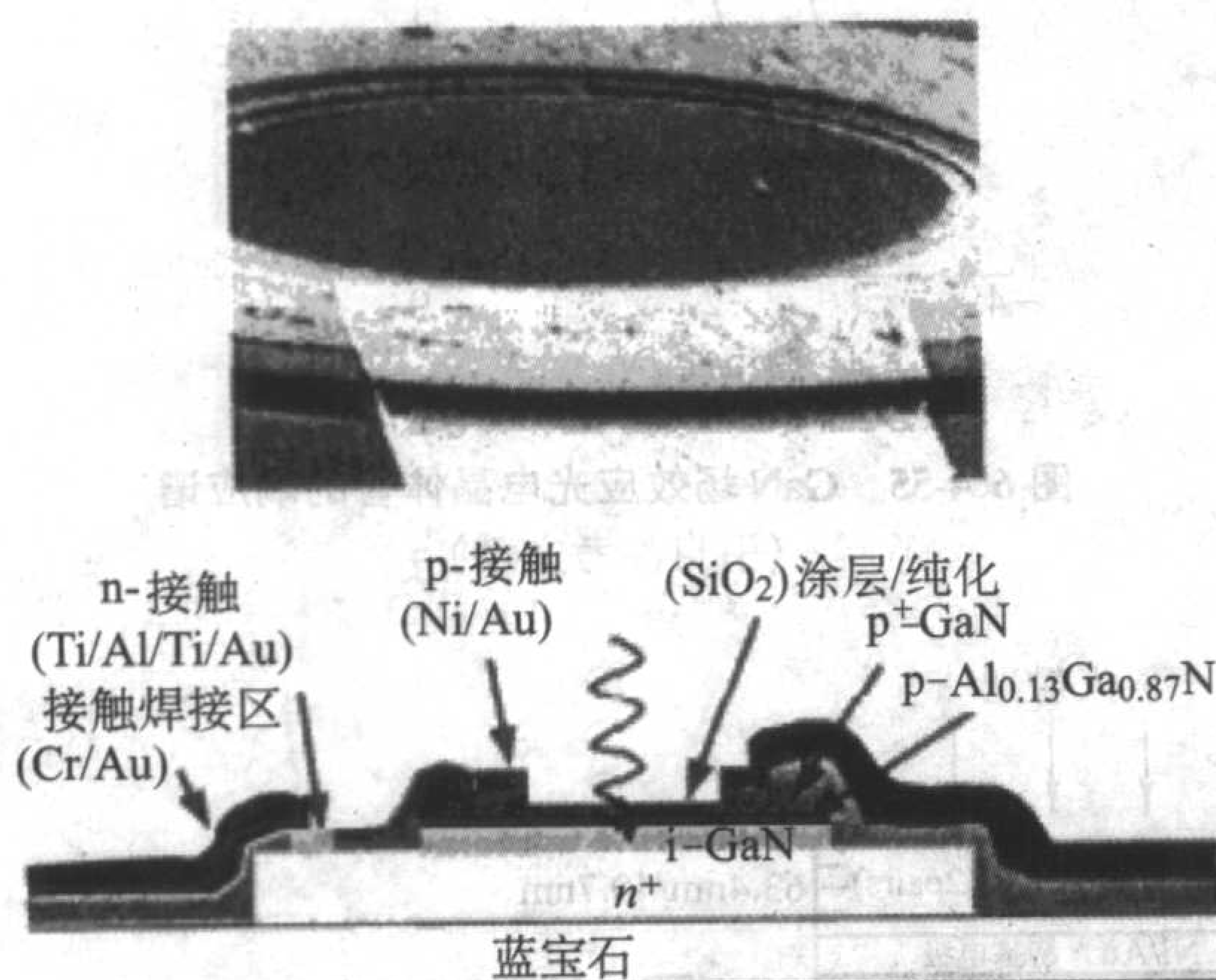


图 6.4-50　GaN p-i-n 结光电二极管典型结构示意图

为了提高响应度和响应时间，合理选择各层厚度特别是耗尽层和表面 p 型层的厚度很重要，为了增加量子效率，耗尽层必须足够厚以保证吸收大部分入射光，而为了响应快，耗尽层必须尽量薄以缩短渡越时间，通常在两者之间取折衷，i 层的厚度取在光透射深度（$1/\alpha$）的 1～2 倍之间。为了提高响应速度，结要紧靠表面，即尽量减小 p 层厚度，使大部分的光在耗尽区被吸收，并使扩散效应减至最小。到目前为止报道的 p-i-n GaN 探测器时间响应的主要限制仍然是器件和负载的 RC 常数。

入射光照射方式有正照和背照，背照可以避免正照时光透过金属时的损耗，而且有些情况下背照是必须的，例如焦平面阵列的正面电极与后面读出电路倒扣连接。背照时蓝宝石需要双面抛光，有人测出双面抛光的蓝宝石在 200～400 nm范围大约有 80%的透射率。背照时注意吸收层厚度的设计要适中。有些用户要求探测器对波长的响应为一矩形窗口，这时需要在光进入有源区的前面设计一滤波层，通常把带隙与短截止波长相对应的 $Al_xGa_{1-x}N$ 层作为滤波层，以先行吸收掉低于短截止波长的入射光。如果需要更窄的响应窗口，可设计为共振增强结构（见 3.6 小节）。

自从 1995 年，M.Razeghi 和 M.A.Khan 研究小组最早报道 p-n 结 GaN 光电二极管以来，器件的设计和工艺技术都向高速和低噪声方向发展，通过引入本征层和使用 AlGaN/GaN 异质结构，器件性能得到提高。面积 200 μm × 200 μm 的 p-π-n GaN 探测器在 3 V 下，暗电流为 2.7 pA，噪声等效功率 NEP 低达约为 6.6×10^{-15} $WHz^{-1/2}$，对应探测率 D^* 为 3×10^{12} $cmH^{1/2}/W$，在 363 nm 的峰值响应度为0.1 A/W，零偏压响应时间 17.4 ns。W.Yang 等在背光照探测器结构中使用 $GaN/Al_{0.28}Ga_{0.72}N$ 异质结构，光吸收区 p-i-n 结远离表面，降低了表面复合和扩散过程中的载流子损失，获得了 0.20 A/W（0 V，355 nm）的高响应度，外量子效率高达 70%，暗电流为 0.5 pA（－2 V，管芯直径250 μm），估算零偏压时的 NEP 低达 6.5×10^{-16} $WHz^{-1/2}$。

最近几年，研究多集中在应用于日盲区的高 Al 组分 $Al_xGa_{1-x}N$ p-i-n 光电二极管。它们主要应用于导弹羽烟、臭氧空洞、火焰等方面的探测。随着 Al 组分的提高，晶格失配增大，当 $Al_xGa_{1-x}N$ 层厚超过临界厚度时张应力将导致材料开裂，而器件需要的层厚往往超过临界厚度。目前，一些研究小组已掌握了高 Al 组分 $Al_xGa_{1-x}N$ 的生长技术。P.Sandrik 等人报道的 $Al_xGa_{1-x}N$ p-i-n 系列光电二极管，Al 组分从 0 变化到 0.7，相对应截止波长从 362 nm 变化到225 nm，零偏压下最大的外量子效率为 69%，UV/VIS 响应比高达 10^5，图 6.4-51 为不同 Al 组分的 p-i-n AlGaN 光电二极管在正照射、零偏压下的归一化响应谱图。

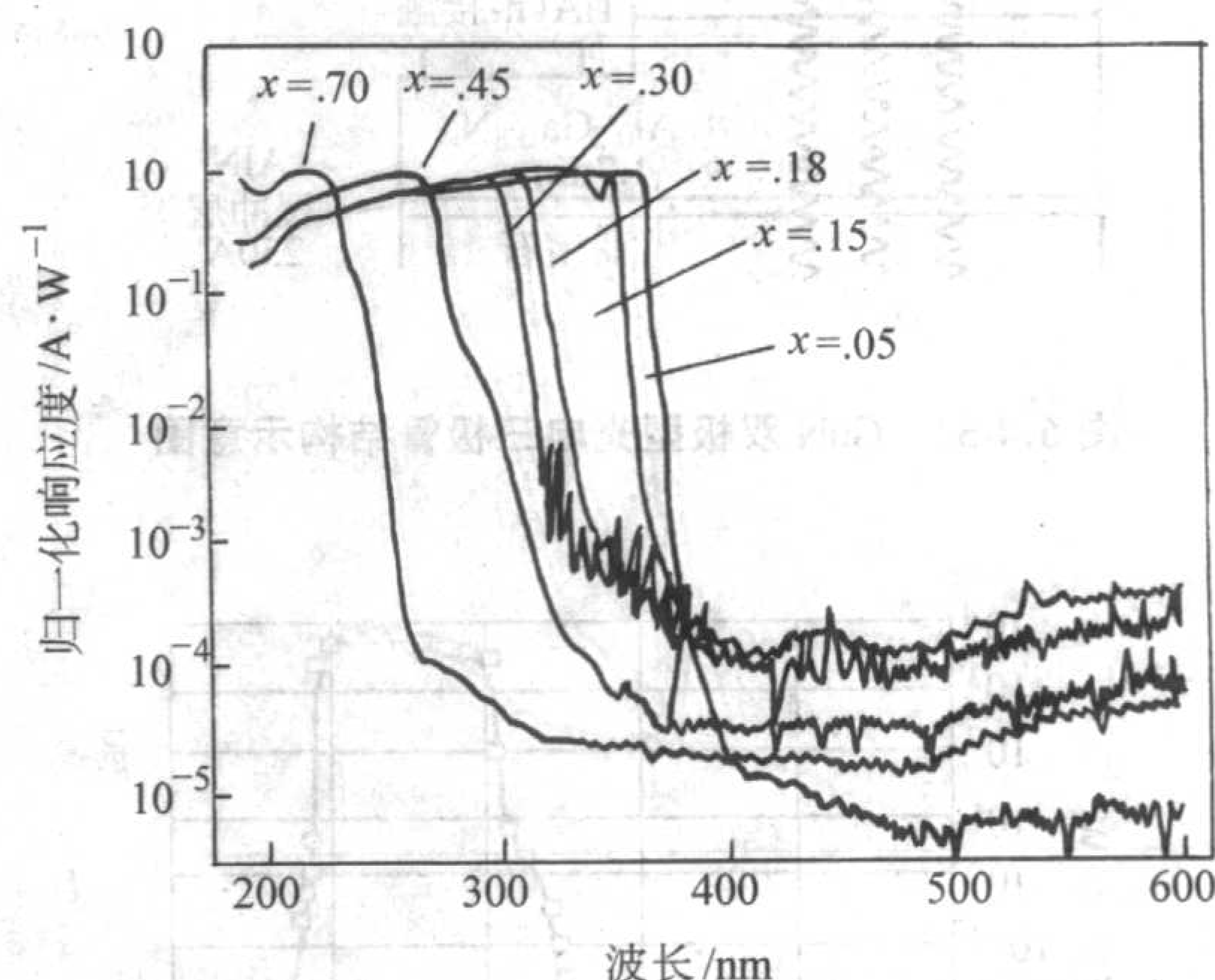


图 6.4-51　不同 Al 组分的 p-i-n AlGaN 光电二极管在正照射、零偏压下的归一化响应谱图

C.J.Collins 等人设计了一种背照射的高 Al 组分 AlGaN p-i-n 结构。探测器在零偏压下 269 nm 处，外量子效率为 42%（R = 90 mA/W），－5 V 下为 46%（R = 100 mA/W）。－5 V 时暗电流密度为 8.2×10^{-11} A /cm^2，微分电阻为 1.47×10^{14} Ω，依此计算得 D^* 为 2.0×10^{14} $cmH^{1/2}/W$。

3.6　Ⅲ族氮化物其他类型的探测器和焦平面阵列

一些研究小组研制了下面几种具有内增益的光伏型探测器。

（1）雪崩光电二极管（avalanche photodiodes，APDs）

APDs 在发生雪崩倍增的高反偏压下工作，具有高响应速度和高增益，但是噪声增益也随之加大。经计算和实验表明，GaN 材料获得倍增所需要的电场大大高于 GaAs 和 Si 材料，而且材料中的高缺陷密度妨碍器件整个有源区的均匀倍增。2000 年，J.C.Carrano 等人报道的 GaN pin 雪崩光电二极管在约 40 V 偏压下具有均匀的雪崩倍增。2001 年，S.Verghese 等人报道，在线性工作范围内，GaN APDs 在－80 V 下显示出约为 10 的雪崩增益。

（2）双极型光电三极管（bipolar phototransistors）

双极型光电三极管具有内部电流增益，1998 年，W.Yang 等人报道的光电三极管由 $n\text{-}GaN/p\text{-}GaN/i\text{-}GaN/n\text{-}Al_{0.2}Ga_{0.8}N$ 组成，如图 6.4-52 所示。光从蓝宝石衬底入射，经过 $n\text{-}Al_{0.2}Ga_{0.8}N$ 层在 i-GaN 层被吸收。光生电子－空穴对被 i 区电场分离，它们分别漂移到集电极和基极，悬浮基极中积累的空穴导致基极和发射极之间的势垒降低，大量的电子将从发射极注入，导致了电流增益。该管的响应度高达约 5 000 A/W，增益为 10^5，如图 6.4-53 所示。但是，这种光电三极管和光导型探测器类似，也存在响应度随光功率的变化呈现亚线性以及持续光电导现象。

（3）场效应光电晶体管（field-effect phototransistors）

1995 年，M.A.Khan 研究小组报道的 AlGaN/GaN 异质结场效应光电晶体管的结构示意图和响应图分别如图 6.4-54 和

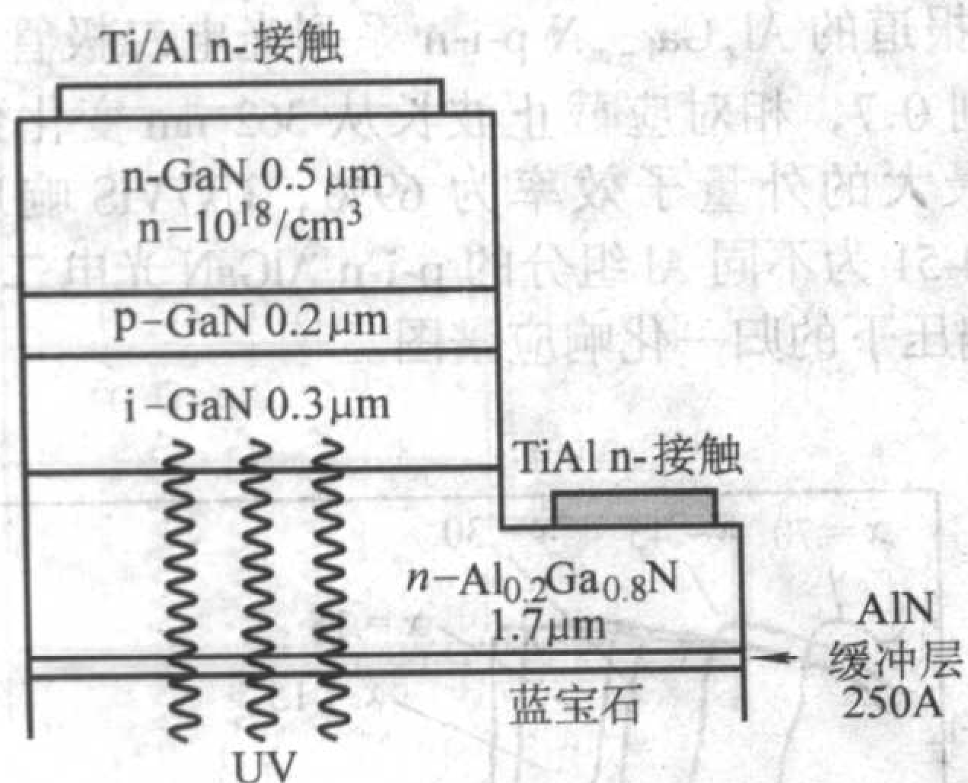


图 6.4-52 GaN 双极型光电三极管结构示意图

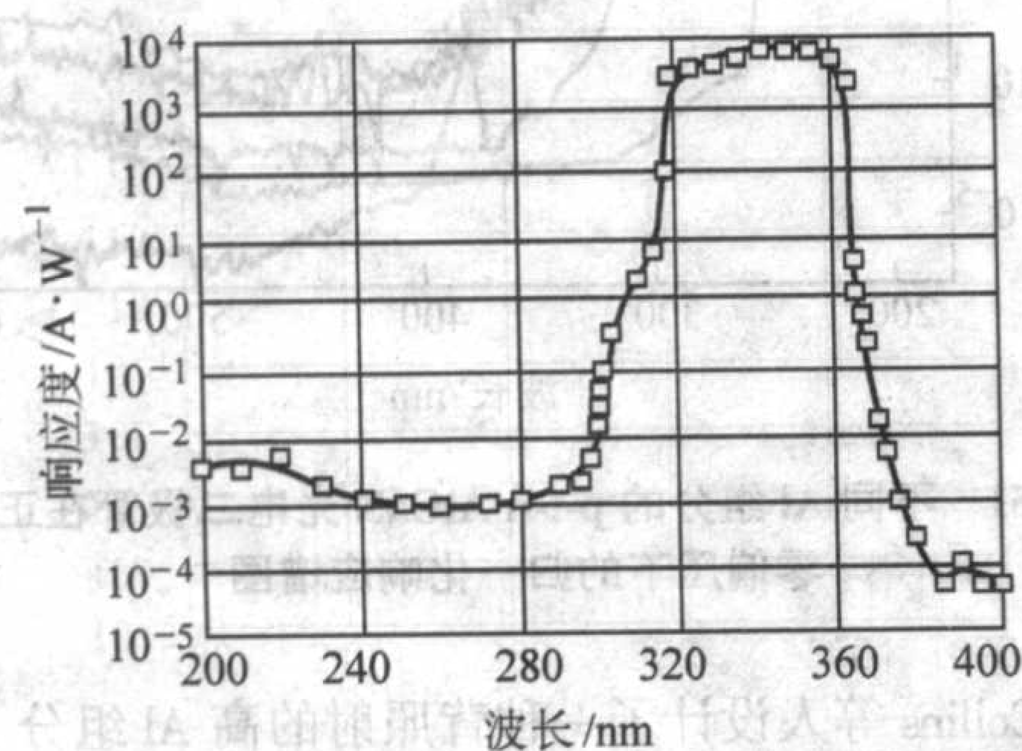


图 6.4-53 GaN 双极型光电三极管的响应谱

图 6.4-55 所示。光从背面照射，i-GaN 为吸收区，n-GaN 为有源区，光生空穴移向 i-GaN/蓝宝石界面，光生电子移向沟道由漏极流出。栅长 0.2 μm，n-AlGaN 势垒层厚 25 nm，掺杂浓度为 $4\times10^{18}/cm^3$。栅电压可控制响应度的大小，在栅压 1V，漏源电压 10 V 时，最大响应度可达 3 000 A/W，截止频率为 22 GHz。

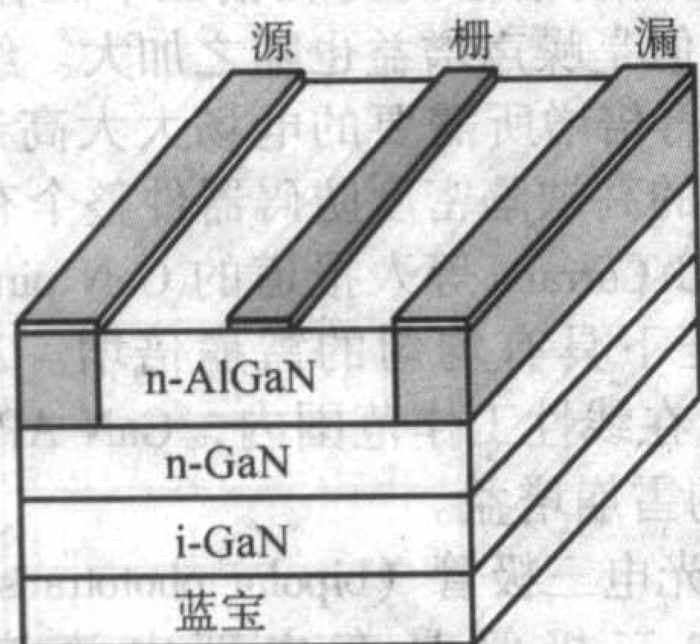


图 6.4-54 GaN 场效应光电晶体管结构示意图

(4) 共振增强型光电探测器（resonant-cavity-enhanced photodetectors）

共振增强型光电探测器是最近几年研究新的类型，它主要由共振腔和上下两个反射镜组成。该器件可以在所选择的中心波长上形成窄响应窗口，既具有很高的响应速度（因为吸收层可以很薄，如 10 nm），又具有高的量子效率（光在共振腔内来回反射增加了光程，增加了吸收）。2002 年，M. Yonemaru 等人报道了 AlGaN M-S-M 共振增强型探测器，在共振波长上响应度增加了 2 倍，图 6.4-56 和图 6.4-57 分别为该共振增强型探测器的结构和响应图。

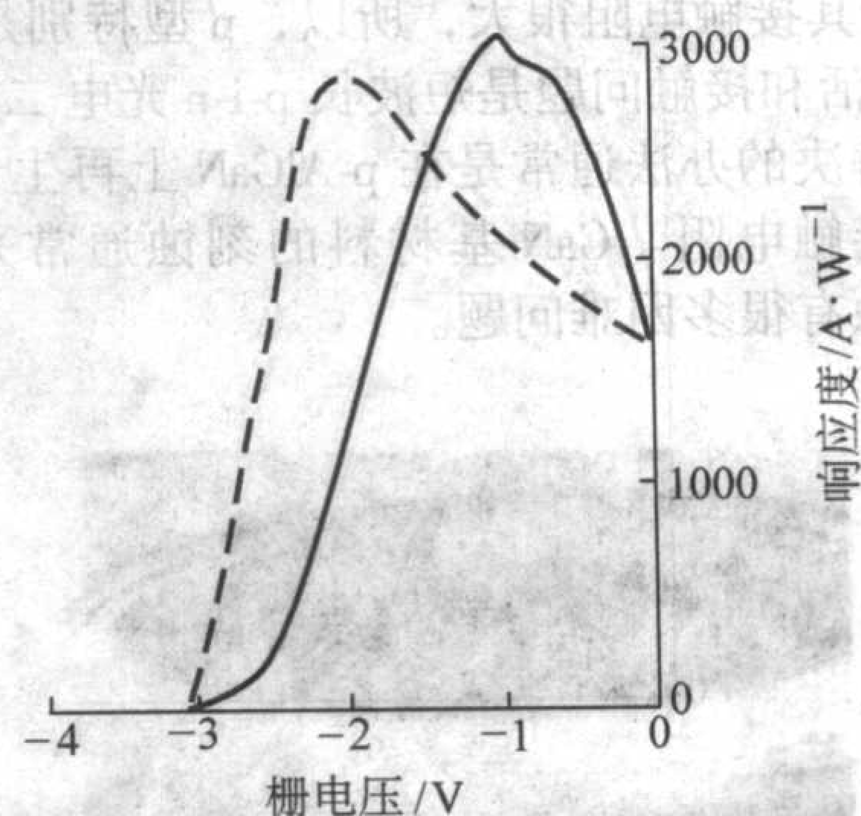


图 6.4-55 GaN 场效应光电晶体管的响应谱
（引自参考文献）

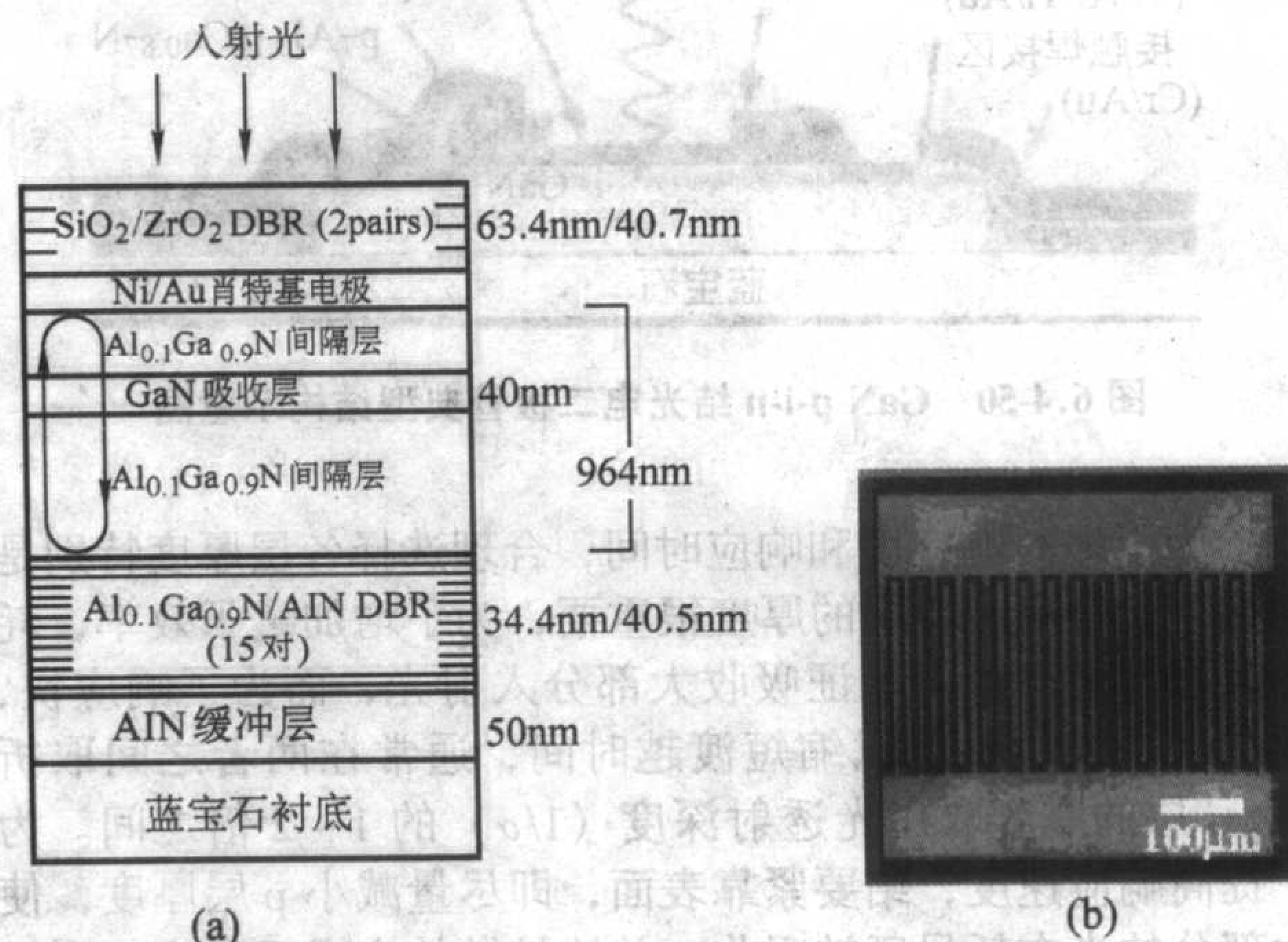


图 6.4-56 含有 GaN 吸收层的共振增强型 MSM 光电探测器结构示意图（a）和叉指电极光学显微图像（b）

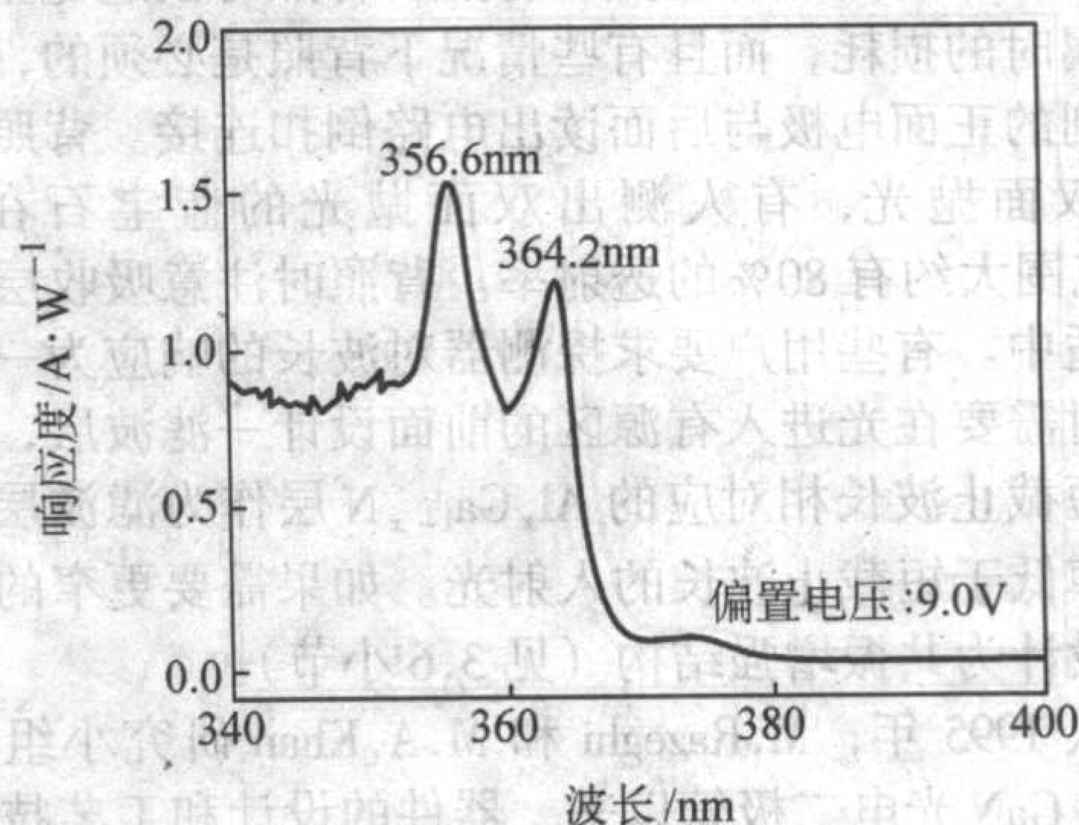


图 6.4-57 GaN 共振增强型 MSM 光电探测器的响应谱

目前，研究主要集中在分布布拉格反射镜（DBR）的材料选取和生长上。

(5) 焦平面阵列（focal plane array）

GaN 基焦平面阵列可用于紫外成像，在空间科学技术和军事上具有极为重要的应用价值。1999 年，p-i-n 型 GaN/AlGaN 的 32×32 阵列首先由 J.D.Brown 等人报道。2002 年，J.P.Long 等人研制的 AlGaN p-i-n 型 320×256 大面积阵列及其数码相机获得了清晰的紫外图像，其单元二极管结构和紫外图像分别如图 6.4-58 和图 6.4-59 所示。为了和后面的 Si 读出电路倒扣连接，须用背照射方式。该阵列由步距为 30 μm、面积为 24 μm×24 μm 的单元台面二极管组成。文中报道研制了两种响应波长范围的阵列：320～365 nm 可见光

盲范围（单元管由 n-$Al_{0.23}Ga_{0.77}N$/u-GaN/p-GaN 组成）和240～285 nm 日盲范围（单元管由 n-$Al_{0.64}Ga_{0.36}N$/u-$Al_{0.45}Ga_{0.55}N$/p-$Al_{0.45}Ga_{0.55}N$ 组成）。可见光盲范围的分立管在 358 nm 处响应度为0.2 A/W，内量子效率为 82%，探测率 D^* 为 6.1×10^{13} cm $Hz^{1/2}$/W。日盲范围的分立管在 265 nm 处响应度为0.095 A/W，内量子效率为 53%，探测率 D^* 为 3.3×10^{13} cm $Hz^{1/2}$/W。

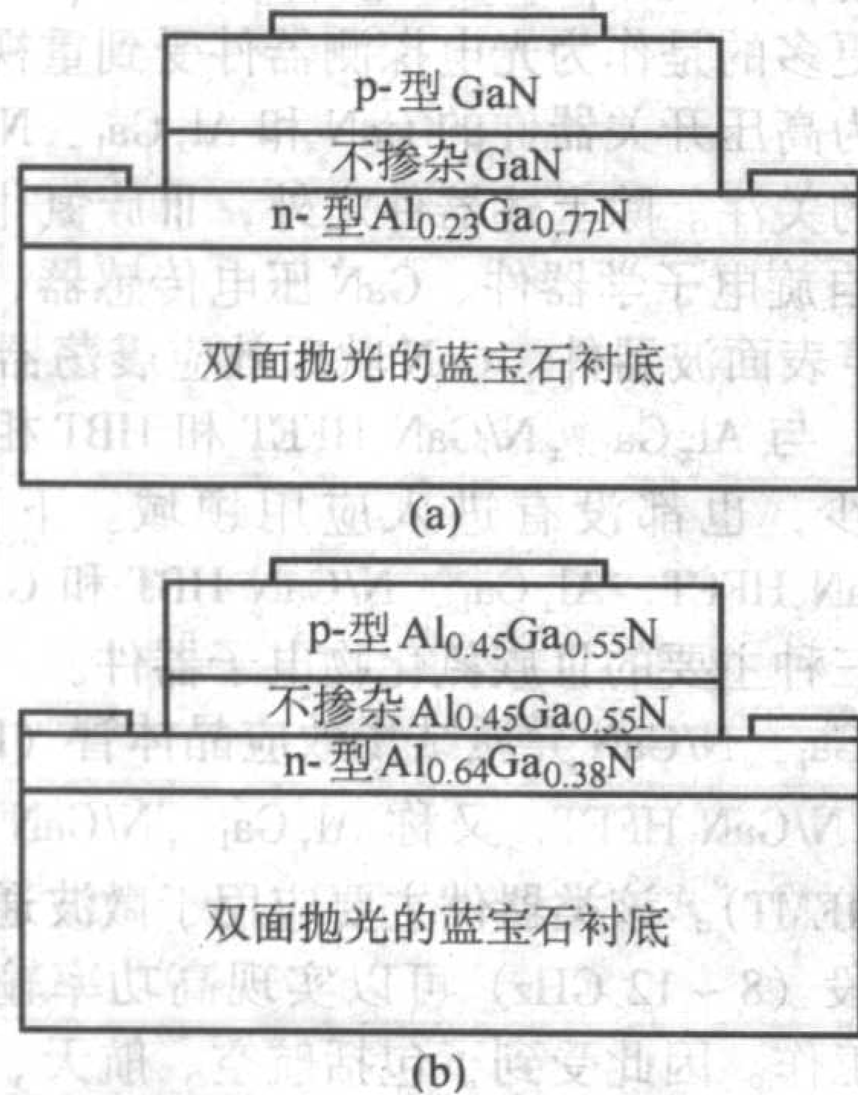
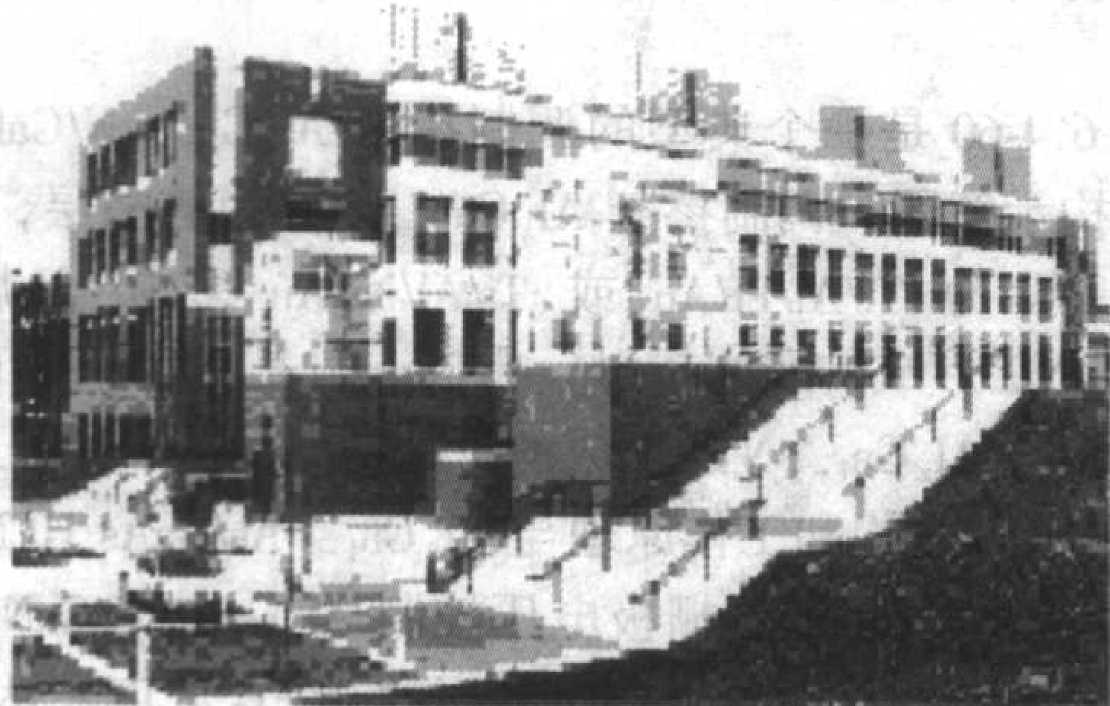


图 6.4-58 AlGaN 焦平面阵列中的单元可见光盲（a）和太阳光盲（b）p-i-n 结光电二极管结构示意图


(a)

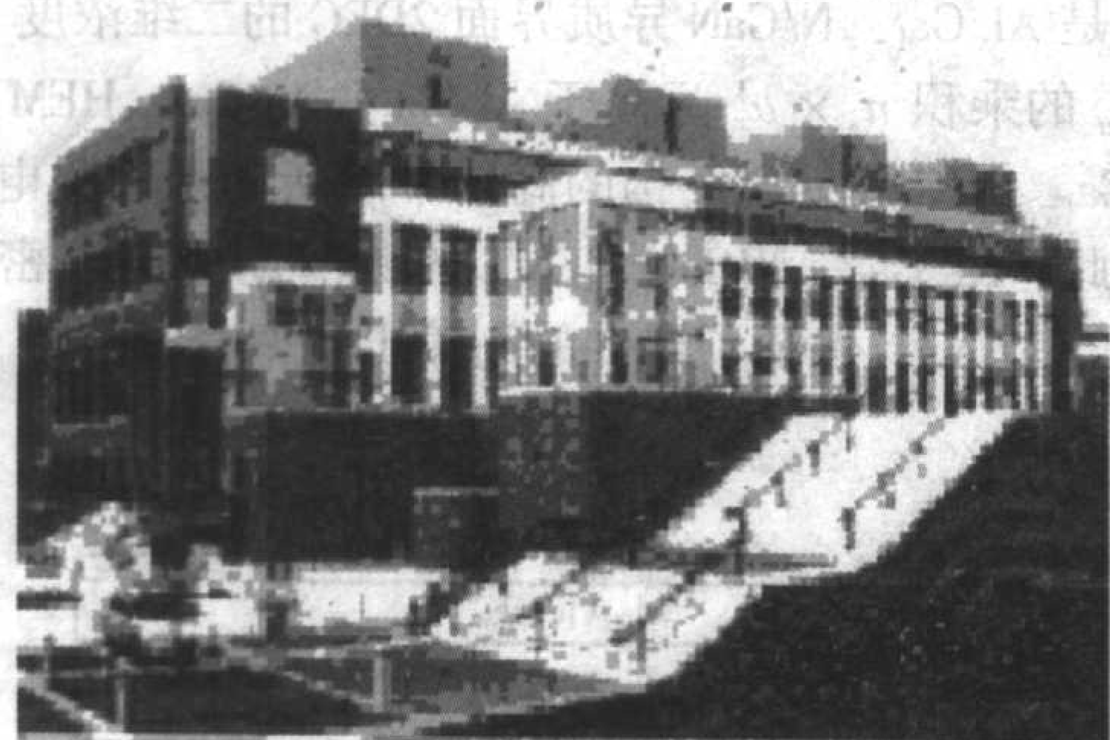

(b)

图 6.4-59 AlGaN p-i-n 型 320×256 焦平面阵列的数码相机获得的紫外图像（b）与可见光图像（a）的比较

4 Ⅲ族氮化物半导体电子器件

除光电子器件外，Ⅲ族氮化物（又称 GaN 基）半导体另一个主要的应用领域是高温、高频、高功率及高压电子器件。他们在无线通信、国防、电力系统等领域具有重大应用价值，是半导体器件研究开发的重要目标。自从 1993 年国际上第一只 $Al_xGa_{1-x}N$/GaN 异质结场效应晶体管研制成功以来，该领域成为国际上半导体研究的又一热点，研究水平取得了突飞猛进的进展。但由于一系列的材料、器件及相关的物理问题尚未根本解决，目前依然处于实验室研究探索阶段，离开产业化还有距离。下面分三个方面介绍该领域的研究进展和面临的各种科学、技术问题。

4.1 Ⅲ族氮化物半导体应用于电子器件的优势

Ⅲ族氮化物半导体材料被认为是最适合，也最有希望应用于高温、高频、高功率及高压电子器件研制的固体材料，这是由这一材料体系的一系列优异物理性质决定的。

首先，也是最基本的特点，GaN、AlN 及其三元合金 $Al_xGa_{1-x}N$ 是一类宽带隙半导体，GaN 禁带宽度室温下为 3.4 eV，AlN 禁带宽度室温下更高达 6.2 eV。决定半导体器件最高工作温度的主要因素之一是材料的禁带宽度。因此，GaN 基器件的最高工作温度远高于 Si 和 GaAs 器件。理论计算表明，GaN 基器件的最高有效工作温度高于 900℃。实验也已表明 $Al_xGa_{1-x}N$/GaN 异质结场效应晶体管在 500℃时依然具有很好的微波放大性能。

其次，由于均为六方晶体结构，GaN 和 $Al_xGa_{1-x}N$ 合金之间可以形成高晶体质量的半导体异质结构，从而在异质界面形成具有高迁移率的二维电子气（2DEG）。这是 GaN 基材料在电子器件应用上相对于另一类宽带隙半导体材料 SiC 的最大优势。更加重要的是，由于 GaN 和 AlN 之间禁带宽度差异很大，而且理论计算表明禁带宽度差异的 75% 以上落在导带上。因此，$Al_xGa_{1-x}N$/GaN 异质界面导带阶跃远大于 $Al_xGa_{1-x}As$/GaAs 界面。例如：室温下 AlN/GaN 异质界面禁带宽度差异为 2.8 eV，AlAs/GaAs 界面禁带宽度差异仅为 0.75 eV，相差接近 4 倍。这一特点决定了 $Al_xGa_{1-x}N$/GaN 异质界面三角形量子阱远比 $Al_xGa_{1-x}As$/GaAs 界面深。$Al_xGa_{1-x}N$/GaN 异质结构不仅具有更高的 2DEG 浓度，而且具有更丰富的子带结构和量子行为。

第三，$Al_xGa_{1-x}N$/GaN 异质结构中存在非常强的自发极化和压电极化效应。六方结构的Ⅲ族氮化物缺乏反演对称性，存在极强的自发极化。另一方面，AlN 和 GaN 的 c 面（0001 面）存在约 2.4% 的晶格失配，而Ⅲ族氮化物材料的压电系数是目前所知的半导体材料中最高的，导致 $Al_xGa_{1-x}N$/GaN 异质结构中的压电极化也非常强。理论计算表明，当 $Al_xGa_{1-x}N$ 合金中的 Al 组分大于 0.2 时，异质界面压电极化电场高于 10^6 V/cm。极化效应对异质界面能带产生极强的调制，导致垂直于异质界面方向上 1.0 nm 的空间间距就会产生大于 0.1 eV 的导带弯曲。Ⅲ族砷化物为立方结构，很好的反演对称性导致它们的自发极化非常弱，同时 AlAs 和 GaAs 的（100）面之间不存在晶格失配，因此 $Al_xGa_{1-x}As$/GaAs 异质结构中不存在压电极化。上述极化效应的巨大差异导致 $Al_xGa_{1-x}N$/GaN 异质界面的导带弯曲远大于 $Al_xGa_{1-x}As$/GaAs 界面，进而 $Al_xGa_{1-x}N$/GaN 异质界面三角形量子阱远深于 $Al_xGa_{1-x}As$/GaAs 界面。因此，即使不采用势垒层调制掺杂，$Al_xGa_{1-x}N$/GaN 异质结构的 2DEG 浓度也可高达 $10^{13}/cm^2$ 量级，比 $Al_xGa_{1-x}As$/GaAs 异质结构大 5～10 倍。有文献把此现象称为“极化掺杂”（polarization doping）。

第四，Ⅲ族氮化物材料具有非常高的击穿电场。至目前的实验表明，GaN 的临界击穿电场高于 4.0 MV/cm，$Al_xGa_{1-x}N$ 合金的临界击穿电场又高于 GaN。如果 GaN 中的缺陷密度能够进一步降低，临界击穿电场可以更高。而 Si 和 GaAs 材料的临界击穿电场分别只有 0.2 MV/cm 和 0.4 MV/cm。这一性质表明，Ⅲ族氮化物很适合于制备高功率电子器件，同时也是Ⅲ族氮化物材料应用于电力工业广泛需求的高压开关二极管的物理基础。

第五，Ⅲ族氮化物材料具有非常高的饱和电子漂移速

度。实验表明，GaN 的饱和电子漂移速度约为 3.0×10^7 cm/s。而 Si 和 GaAs 分别为 1.0×10^7 cm/s 和 2.0×10^7 cm/s。这一性质保证了Ⅲ族氮化物具有较好的载流子输运性质，可运用于高频微波电子器件的制备。

根据电子器件制备的需要，Ⅲ族氮化物半导体材料的基本性质也存在一些缺陷。例如：GaN 的电子有效质量远高于 GaAs 和 InP。因此，如不考虑输出功率，GaN 基微波器件的高频放大性能一般不如 GaAs 基器件，更不如 InP 基器件。GaN 的热传导系数远低于 SiC，导致 GaN 的导热性质不如 SiC。因此，如不考虑频率特性，GaN 基器件的最大输出功率一般不如 SiC 器件。

表 6.4-3 比较了 Si、GaAs、4H-SiC 和 GaN 四种主要的半导体材料与电子器件相关的一些基本物理参数。表 6.4-4 比较了 $Al_xGa_{1-x}As$/GaAs 异质结构、4H－SiC 和 $Al_xGa_{1-x}N$/GaN 异质结构这三种主要用于微波功率器件制备的半导体材料体系的一些基本物理性质。

表 6.4-3 Si、GaAs、4H-SiC 和 GaN 四种半导体材料与电子器件相关的一些基本物理参数

性质	Si	GaAs	4H-SiC	GaN
带隙 E_G^0/eV	1.12	1.42	3.25	3.40
击穿场强 E_B/MV·cm^{-1}	0.25	0.4	3.0	4.0
电子迁移率 μ/cm^2·(V·s)$^{-1}$	1 350	6 000	700	1 300
最大速度 v_s/10^7 cm·s^{-1}	1.0	2.0	2.0	3.0
热导率 χ/W·(cm·K)$^{-1}$	1.5	0.5	4.9	1.3
介电常数	11.8	12.8	9.7	9.0

表 6.4-4 $Al_xGa_{1-x}As$/GaAs 异质结构、4H-SiC 和 $Al_xGa_{1-x}N$/GaN 异质结构这三种主要用于微波功率器件制备的半导体材料体系的一些基本物理性质

性质	AlGa As/GaAs	4H SiC	AlGa/NGaN
最大面层电子浓度 /cm^{-2}	2×10^{12} ~ 3×10^{12}		1×10^{13} ~ 5×10^{13}
击穿场强/10^5V·cm^{-1}	4	20	33
二维电子迁移率 /cm^2·(V·s)$^{-1}$	8 500		2 000
饱和电子速度 /10^7cm·s^{-1}	1.0	2.0	2.2
热导率/W·(cm·K)$^{-1}$	0.53	4.9	1.3
压电系数/C·m^{-2}			
ε_{31}	0.093		－0.36
ε_{33}	－0.185	0.2	1.0

4.2 主要的Ⅲ族氮化物电子器件

自从 1993 年以来，国际上报道了各种各样的Ⅲ族氮化物电子器件研制结果。如果从器件结构上分类，和 Si、GaAs 器件一样，主要分为 GaN 基场效应晶体管（FET），GaN 基双极型晶体管（BJT），和 GaN 基二极管三大类。国际上最受重视，发展最快的无疑是 GaN 基 FET，主要包括 GaN-MESFET、GaN-MISFET、和 $Al_xGa_{1-x}N$/GaN 异质结 FET（HFET）。其中，$Al_xGa_{1-x}N$/GaN HFET 是最重要，也是迄今研究最多，发展最为成熟的Ⅲ族氮化物电子器件。GaN 基 BJT 主要包括 GaN BJT、Al_xGa_{1-x}N/GaN 异质结双极型晶体管（HBT），和 $Al_xGa_{1-x}N$/GaN 晶闸管。其中，GaN BJT、$Al_xGa_{1-x}N$/GaN 晶闸管只有很少的研究报道，而 $Al_xGa_{1-x}N$/GaN HBT 是近年来除 $Al_xGa_{1-x}N$/GaN HFET 外最为引人瞩目的Ⅲ族氮化物电子器件。GaN 基二极管主要包括 GaN 肖特基二极管、Al_xGa_{1-x}N 肖特基二极管、GaN p-n 结二极管和 GaN p-i-n 结二极管。这些二极管更多的是作为光电探测器件受到重视。在电子器件领域，作为高压开关器件的 GaN 和 Al_xGa_{1-x}N 肖特基二极管受到较多的关注。除上述器件之外，Ⅲ族氮化物电子器件还包括 GaN 自旋电子学器件、GaN 压电传感器、GaN 热电传感器、GaN 声表面波器件、GaN 耿氏效应震荡器件和 GaN 场发射器件等。与 $Al_xGa_{1-x}N$/GaN HFET 和 HBT 相比，这些器件的研究较少，也都没有进入应用领域。下面主要介绍 $Al_xGa_{1-x}N$/GaN HFET，$Al_xGa_{1-x}N$/GaN HBT 和 GaN 基肖特基高压二极管三种主要的Ⅲ族氮化物电子器件。

（1）$Al_xGa_{1-x}N$/GaN 异质结场效应晶体管（HFET）

$Al_xGa_{1-x}N$/GaN HFET，又称 $Al_xGa_{1-x}N$/GaN 高电子迁移率晶体管（HEMT）。该类器件主要应用于微波通讯领域，特别是在 X 波段（8～12 GHz）可以实现高功率输出，并可在高温下正常工作。因此受到了包括航空、航天、移动通讯等民用和军用无线通讯领域专家的高度重视。目前，国际上包括美国、日本、欧洲的多家大学、研究机构和公司几十个Ⅲ族氮化物研究小组在从事与该器件相关的材料、物理和器件研究。

图 6.4-60 是一个典型的调制掺杂 $Al_xGa_{1-x}N$/GaN HEMT 器件结构示意图。调制掺杂 Al_xGa_{1-x}N 层为势垒层，源、漏电极一般为 Ti/Al/Pt/Au 或 Ti/Al/Ni/Au 多层金属膜与 Al_xGa_{1-x}N层形成的欧姆接触，栅极一般是 Ni/Au 或/Pt/Au 双层金属膜与 Al_xGa_{1-x}N 层形成的肖特基接触。$Al_xGa_{1-x}N$/GaN HEMT 的器件结构和工作原理与 $Al_xGa_{1-x}As$/GaAs HEMT 基本没有差别，主要是通过栅极电压控制 $Al_xGa_{1-x}N$/GaN 异质界面的能带弯曲，从而控制异质界面的 2DEG 浓度，达到调制源漏间电流的目的。但 $Al_xGa_{1-x}N$/GaN HEMT 有一个显著特点，就是 $Al_xGa_{1-x}N$/GaN 异质界面 2DEG 的二维浓度 n_s 和迁移率 μ_n 的乘积 $n_s\times\mu_n$ 远高于 $Al_xGa_{1-x}As$/GaAs HEMT，这是由 $Al_xGa_{1-x}N$/GaN 异质结构的高导带阶跃和强极化电场决定的。因此，$Al_xGa_{1-x}N$/GaN HEMT 的源漏饱和电流密度可大于1 000 mA/mm，保证了器件的高输出功率密度。

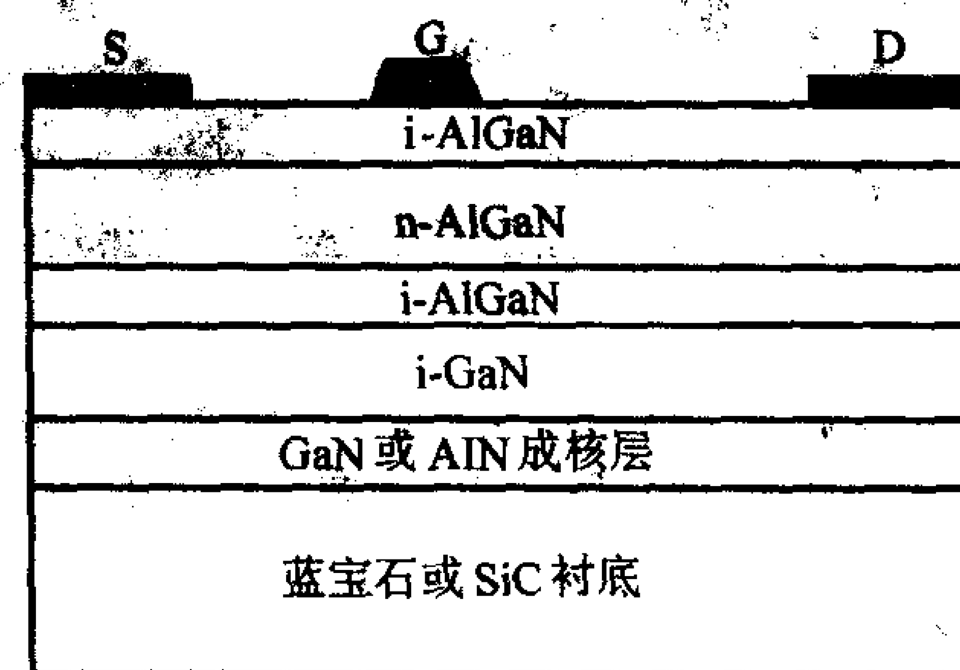


图 6.4-60 调制掺杂 $Al_xGa_{1-x}N$/GaN HEMT 器件结构示意图

目前，国际上用于 HEMT 器件研制的 $Al_xGa_{1-x}N$/GaN 异质结构主要为势垒层调制掺杂和势垒层不掺杂两种结构。如上所述，即使不采用调制掺杂技术，由于强极化效应，异质

界面的2DEG浓度也可高达10^{13} cm^2量级。同时，不掺杂有利于改善器件栅的肖特基接触性质和降低栅结的漏电流。而调制掺杂结构的2DEG浓度可以更高，同时器件源、漏的欧姆接触性质更好。

一旦异质结构材料的性质决定后，$Al_xGa_{1-x}N/GaN$ HEMT器件的性能与器件栅的结构关系最为密切，国际上对栅结构的研究也最多，提出了各种栅结构图形。其中栅长是最重要的器件结构参数，它的选择取决于研究小组的微加工水平。目前，国际上$Al_xGa_{1-x}N/GaN$ HEMT器件主要研究小组的栅长选择一般在0.25～1.0 μm之间。最小栅长达到了0.12 μm，是美国Cornell大学报道的。

$Al_xGa_{1-x}N/GaN$ HEMT微波器件最主要的性能参数包括：静态特性参数，如跨导（g_m）和源漏饱和电流密度（I_{sd}）；高频微波特性参数，如工作截止频率（f_T）、最高振荡频率（f_{max}）和r_f输出功率密度，以及器件最高工作温度。1993年国际上第一只$Al_xGa_{1-x}N/GaN$ HEMT由美国APA光学公司Khan领导的研究小组研制成功，但仅有静态特性，没有频率特性，跨导g_m为23 mS/mm。次年，同一研究小组国际上首次报道了器件的频率特性，即截止频率f_T为11 GHz，最高振荡频率f_{max}为14 GHz，但未报道输出功率密度。

迄今国际上$Al_xGa_{1-x}N/GaN$异质结构材料、物理和器件的研究已取得令人鼓舞的进展。迄今报道的GaN体电子迁移率最高值室温下已达900 $cm^2/V\cdot s$。2004年，日本名古屋工业大学报道的$Al_xGa_{1-x}N/GaN$异质结构2DEG迁移率最高值室温下达2 100 $cm^2/V\cdot s$。同年，日本Oki Electronics公司报道的$Al_xGa_{1-x}N/GaN$ HEMT跨导高达450 mS/mm，为至今报道的跨导最高值。同年，美国加州大学Santa Barbara分校（UCSB）报道的SiC衬底上$Al_xGa_{1-x}N/GaN$ HEMT微波器件，栅长0.55 μm，栅宽246 μm，源漏电压120 V，工作频率4 GHz、PAE（功率附加效率）54.8%时，输出功率达到32.2 W/mm；工作频率8 GHz，PAE49.6%时，输出功率达30.6 W/mm，为至今报道的输出功率最高值。同年，美国Ohio州立大学报道的$Al_xGa_{1-x}N/GaN$ HEMT的f_{max}达到150 GHz，为至今报道的振荡频率最高值。另外，美国APA光学公司、海军实验室和日本的NTT公司、Furukawa（古河电工）公司等处研究小组已经研制出可以在300℃以上正常工作的$Al_xGa_{1-x}N/GaN$ HEMT器件。

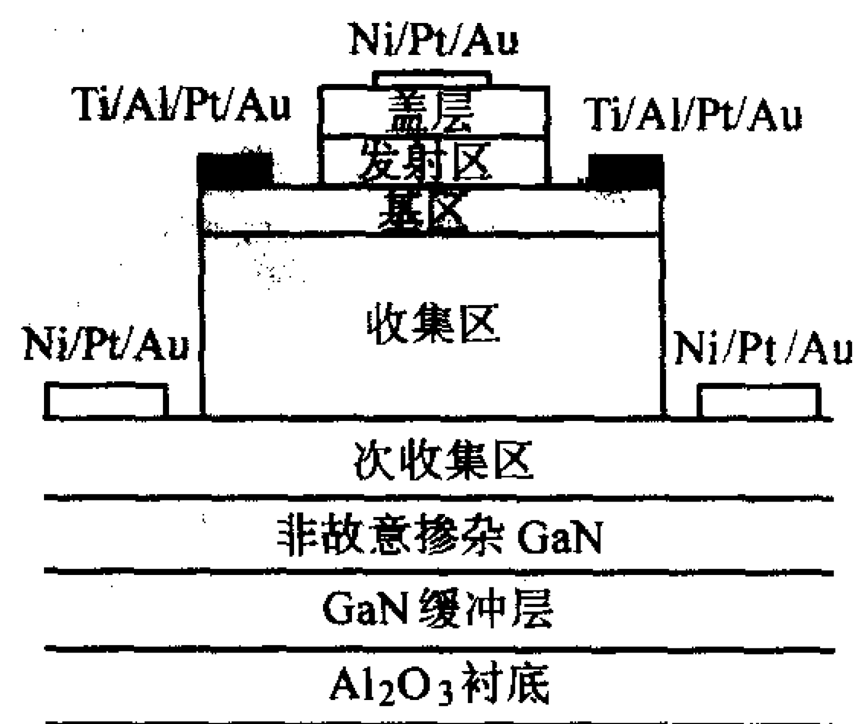
（2）$Al_xGa_{1-x}N/GaN$异质结双极型晶体管（HBT）

$Al_xGa_{1-x}N/GaN$ HBT也主要应用于高温、高功率微波通讯领域。相对于$Al_xGa_{1-x}N/GaN$ HEMT，该类器件的优点是具有更大的输出电流密度，在雷达等需高输出电流的领域更具应用价值，同时该类器件工作噪声较小，阈值电压更加均匀。但是，由于GaN和$Al_xGa_{1-x}N$外延层高浓度p型掺杂和p型欧姆接触的困难以及$Al_xGa_{1-x}N/GaN$ HBT需要的低损伤刻蚀工艺比$Al_xGa_{1-x}N/GaN$ HEMT复杂，$Al_xGa_{1-x}N/GaN$ HBT的发展远比不上$Al_xGa_{1-x}N/GaN$ HEMT。1998年国际上第一只npn型$Al_xGa_{1-x}N/GaN$ HBT才研制成功，而pnp型$Al_xGa_{1-x}N/GaN$ HBT到2002年才见首次报道。

图6.4-61是一个典型的pnp型$Al_xGa_{1-x}N/GaN$ HBT器件结构示意图。p型$Al_xGa_{1-x}N$层构成发射极，通过Ni/Pt/Au欧姆接触引出；下面的薄层n型GaN构成基区，通过Ti/Al/Pt/Au欧姆接触引出；再下面是p型GaN层构成的收集极，通过Ni/Pt/Au欧姆接触引出。$Al_xGa_{1-x}N/GaN$ HBT的器件结构和工作原理与$Al_xGa_{1-x}As/GaAs$ HBT基本没有差别。

p(Mg)-GaN,0.5μm, >$2\times10^{17}/cm^3$
p(Mg)-AlN,0.2μm,>$2\times10^{17}/cm^3$
n(Si)-GaN,0.1μm, $1\times10^{18}/cm^3$
p(Mg)-GaN,0.5μm, >$2\times10^{17}/cm^3$
p(Mg)-GaN,1.0μm, >$2\times10^{17}/cm^3$
非故意掺杂GaN,2μm
GaN缓冲层0.02μm
Al_2O_3衬底

(a)材料结构



(b)器件结构

图6.4-61 pnp型$Al_xGa_{1-x}N/GaN$ HBT材料和器件结构示意图

1998年，国际上第一只$Al_xGa_{1-x}N/GaN$基npn型HBT由美国的UCSB研制成功，其电流放大系数（增益）仅为3倍。迄今，国际上主要的$Al_xGa_{1-x}N/GaN$ HBT研究小组，包括UCSB、日本的NTT基础科学研究所和美国的Florida大学等。2003年，UCSB报道的npn型AlGaN/GaN HBT，在发射极尺寸为2×0.5 μm^2时，收集极电流密度达1 kA/cm^2，电流增益最高达18倍，最大击穿电压达330 V，工作截止频率f_T达150 GHz。2004年，NTT报道的pnp AlGaN/GaN HBT，当发射极尺寸30 μm×50 μm，工作电压70 V、收集极电流10 mA时，获得的电流增益是40倍，最高输出功率密度为172 kW/cm^2。

（3）GaN和$Al_xGa_{1-x}N$肖特基高压二极管

Ⅲ族氮化物半导体除高温微波功率器件外，由于其非常高的击穿电场，在电子器件领域的另一个主要应用是高压整流器件。它作为可自动控制的电驱动高压开关，在电力传输系统中具有重要应用价值。目前，此类电子器件主要包括GaN肖特基二极管和$Al_xGa_{1-x}N$肖特基二极管。

相对于$Al_xGa_{1-x}N/GaN$ HEMT和$Al_xGa_{1-x}N/GaN$ HBT，GaN和$Al_xGa_{1-x}N$肖特基二极管的结构非常简单。图6.4-62是一个典型GaN肖特基二极管器件的结构示意图。GaN层一定是非掺杂的，以保证GaN层与中心的Pt/Au金属圆点形成高质量的肖特基结；欧姆接触一般是外围圆环型的Ti/Al/Pt/Au多层金属薄膜。在GaN高压二极管中很特殊的一点就是肖特基接触边界的设计。因为二极管加上反向高压后，如果肖特基接触边界存在不均匀等因素，其极容易形成微小的电场富集区，导致局部电击穿，使器件失效。如图6.4-62所示，在肖特基接触边沿采用离子注入在GaN中形成局部的p型区可避免局部电击穿，这是GaN高压二极管中采用最多的一种避免局部电击穿的技术。

由于$Al_xGa_{1-x}N$合金的临界击穿电场高于GaN，如果用$Al_xGa_{1-x}N$合金制备高压二极管，其反向击穿电压高于GaN二极管，图6.4-63比较了$Al_{0.25}Ga_{0.75}N$和GaN二极管的反向击穿电压。目前，国际上$Al_xGa_{1-x}N$高压二极管的反向击穿电压已高达9 700 V。



图 6.4-62 GaN 肖特基二极管器件结构示意图

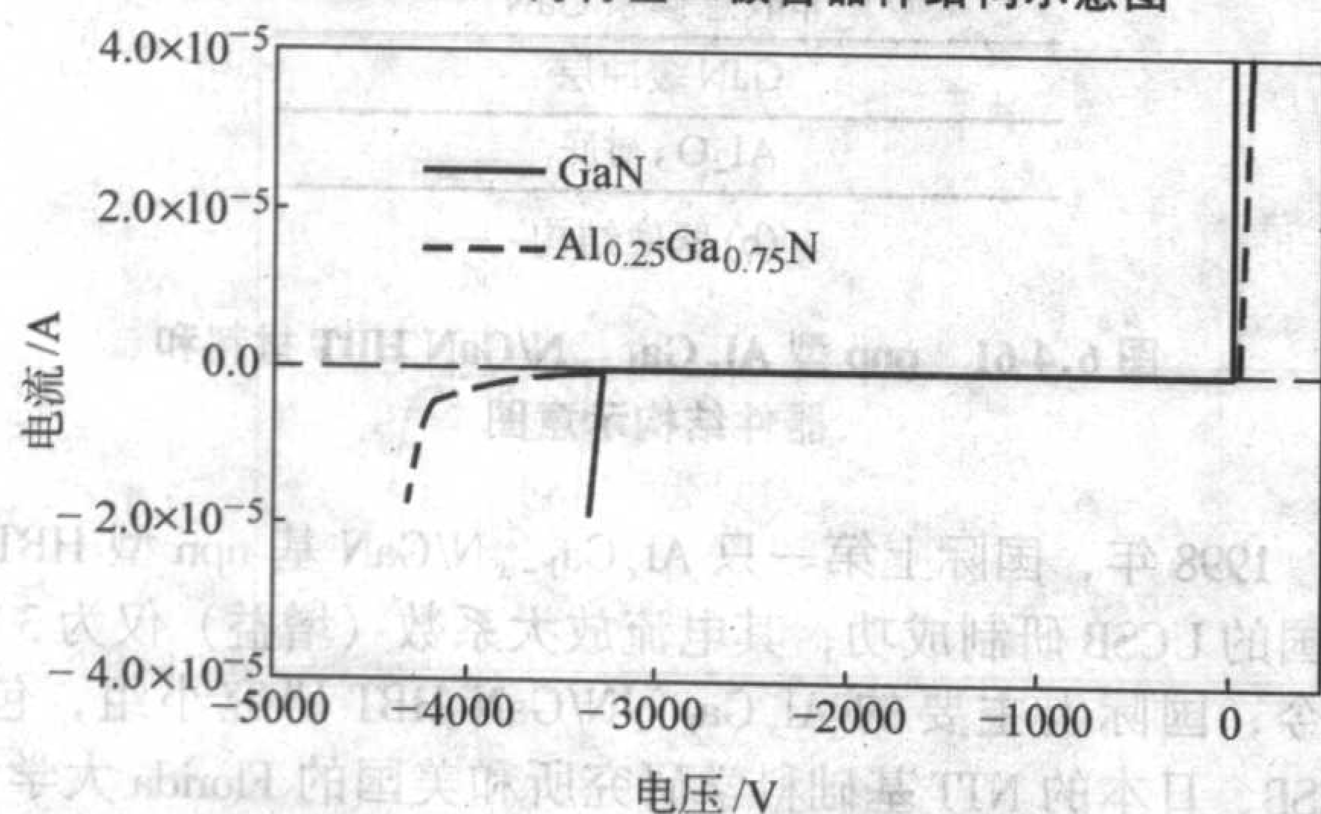


图 6.4-63 室温下 $Al_{0.25}Ga_{0.75}N$ 整流二极管和 GaN 整流二极管的 I-V 特性比较

4.3 Ⅲ族氮化物电子器件发展面临的主要材料、物理和器件问题

如上所述，尽管目前国际上Ⅲ族氮化物电子材料、物理和器件的研究已达到很高水平，但依然处于实验室研究探索阶段，离开产业化还有距离。无论是材料还是器件都涉及到Ⅲ族氮化物宽带隙半导体特有的许多新的科学和技术问题，有待于去深入研究和解决。这里简单介绍 $Al_xGa_{1-x}N$/GaN HEMT 研制中面临的一些材料、物理和器件问题。

（1）$Al_xGa_{1-x}N$/GaN HEMT 器件中的电流坍塌现象

电流坍塌（current collapse）现象是目前阻碍 $Al_xGa_{1-x}N$/GaN HEMT 进入实际应用的最主要问题之一。如图 6.4-64 所示，在 $Al_xGa_{1-x}N$/GaN HEMT 器件中，当加上的源漏电压 V_{DS} 小于 10 V 时，其静态电流输出特性在不同的栅压 V_{GS} 下可以随 V_{DS} 周期性的改变重复，饱和电流 I_{DS} 没有变化。但加上的 V_{DS} 大于 10 V 后，随 V_{DS} 周期性的改变，在较小的 V_{DS} 区间，I_{DS} 将比初始值明显减少。这就是典型的电流坍塌现象。伴随着这一现象，当加上交流栅压时，I_{DS} 的变化比栅压 V_{GS} 的变化延迟一段时间。电流坍塌现象既使 $Al_xGa_{1-x}N$/GaN HEMT 器件的输出功率达不到预期值，也大大降低了器件的可靠性。

尽管人们采用了各种办法，但迄今没有较好地解决电流坍塌问题。对这一现象的物理机制也有不同解释，主要有以下几种观点：①陷阱态的作用。认为 V_{DS} 变大时，$Al_xGa_{1-x}N$/GaN 异质结构中将有部分电子被注入沟道以下 GaN 层的陷阱态中，使沟道中 2DEG 浓度下降，I_{DS} 变小。美国海军实验室的研究小组采用光激发使被陷阱束缚的电子释放出来，I_{DS}

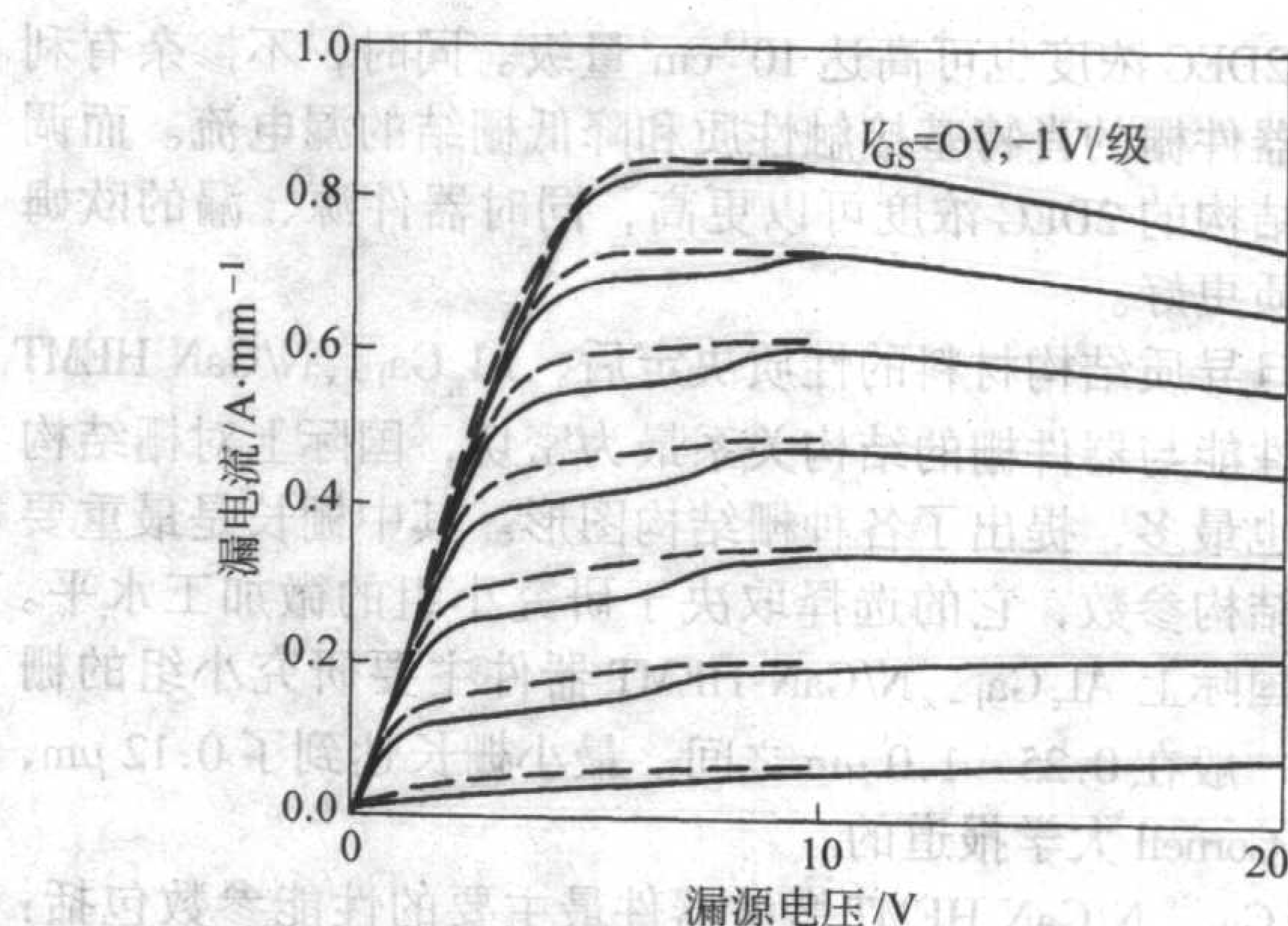


图 6.4-64 $Al_xGa_{1-x}N$/GaN HEMT 器件的静态电流输出特性。虚线表示源漏电压（V_{DS}）扫描范围为 0～10 V，实线表示 V_{DS} 扫描范围为 0～20 V

明显回升，为这一模型提供了实验根据。②表面态的作用。认为 $Al_xGa_{1-x}N$/GaN HEMT 的金属栅旁，存在一个由表面态构成的虚栅（virtual gate）。V_{DS} 变大时，虚栅的充电状态改变，从而对沟道进行了调制，使 I_{DS} 变小。美国 UCSB 的 Ventury 等人在实验中通过淀积 Si_3N_4 来钝化 $Al_xGa_{1-x}N$ 层的表面态，导致 IDS 回升，验证了这一模型。③应变的作用。美国 South Carolina 大学的研究小组对加栅压前后的 $Al_xGa_{1-x}N$ 层和 GaN 层的应力进行了研究。他们认为在加上栅压后，$Al_xGa_{1-x}N$ 层和 GaN 层的应力发生变化，由此引起的压电极化电场的变化带来了能带结构的变化，导致 I_{DS} 减小。这些研究结果和物理模型对减轻 $Al_xGa_{1-x}N$/GaN HEMT 器件的电流坍塌产生了一定作用，但并未完全消除电流坍塌。这一问题依然有待进一步研究。

（2）GaN 层 n 型背景载流子

自从Ⅲ族氮化物问世以来，由于 N 空位的存在等原因，无论是 MOCVD 方法还是 MBE 方法制备的 GaN 外延材料均含有一定浓度的 n 型背景载流子，由此在 $Al_xGa_{1-x}N$/GaN 基 HEMT 中形成的并行电导对器件的静态特性和频率特性等产生了严重影响。随着Ⅲ族氮化物 MOCVD 和 MBE 生长技术的不断发展，特别是 MBE 生长技术的改进，GaN 层的背景载流子浓度已可降至 $10^{15}/cm^3$ 以下。但这一问题并未彻底解决，为满足器件研制的需求，在材料生长上仍需进一步降低 GaN 层的背景载流子浓度。同时对 n 型背景载流子产生的物理机制需进一步探索，现已发现 N 空位并不是 n 型背景载流子产生的唯一原因。

（3）Ⅲ族氮化物中的扩展缺陷

由于没有天然的 GaN 单晶体，人工生长大尺寸 GaN 单晶依然非常困难，且代价昂贵。因此，目前用于器件研制的 $Al_xGa_{1-x}N$/GaN 异质结构均是在蓝宝石或 SiC 衬底上外延生长的。由于 GaN 与蓝宝石或 SiC 间大的晶格失配，$Al_xGa_{1-x}N$/GaN 异质结构中存在高密度的扩展缺陷，达 10^8～$10^{10}/cm^2$ 量级，主要是横穿异质界面的贯穿位错（threading dislocations），同时在异质界面附近存在驰豫位错。扩展缺陷严重影响了 $Al_xGa_{1-x}N$/GaN 异质结构的晶体质量，并成为限制异质界面 2DEG 输运性质的最大因素。根据理论计算，如果没有贯穿位错，2DEG 的室温迁移率 μ_n 至少提高一倍以上，器件的输出功率和频率特性均会大幅度改善。在光电子器件领域成功运用的侧向外延生长（ELOG）技术在 $Al_xGa_{1-x}N$/GaN HEMT 器件的运用上作用并不明显。近期发现小角度偏角生长可以使贯穿位错密度降至 $10^6/cm^2$ 量级。这些工作说明 $Al_xGa_{1-x}N$/GaN 异质结构的外延生长尚须进一步探索。

(4) $Al_xGa_{1-x}N$/GaN 异质界面的能带结构和 2DEG 输运性质

如上所述，由于异质界面的高导带阶跃和强极化电场，导致 $Al_xGa_{1-x}N$/GaN 异质结构的能带结构和 2DEG 输运性质与 $Al_xGa_{1-x}As$/GaAs 异质结构相比有许多新的性质和特点，对他们的探索与了解既是 $Al_xGa_{1-x}N$/GaN HEMT 器件研制的需要，也对发展高导带阶跃、强极化条件下的半导体物理学意义重大。$Al_xGa_{1-x}N$/GaN 异质界面三角形量子阱远比 $Al_xGa_{1-x}As$/GaAs 界面深，除了导致高 2DEG 浓度外，实验上已确认量子阱存在丰富的子带结构，处于不同子带上的 2DEG 的迁移率差异很大，并且不同子带上的 2DEG 存在子带间散射行为。有实验证据初步确认异质界面 2DEG 的有效质量与 GaN 体内电子存在差异，这应与异质界面的强应变场有关。

$Al_xGa_{1-x}N$/GaN 异质结构中 2DEG 的空间分布非常接近异质界面。理论与实验工作均确认在调制掺杂 $Al_{0.22}Ga_{0.78}N$/GaN 异质结构中 2DEG 的峰值位置离异质界面 5 nm 以内，而且不同子带上 2DEG 的峰值位置有差别。由于离异质界面太近，界面粗糙度散射、$Al_xGa_{1-x}N$ 势垒层合金无序散射都变得非常强烈，成为主要的散射机制，应变散射也有作用，而这些散射过程在 $Al_xGa_{1-x}As$/GaAs 异质结构中都是没有或忽略的。

对 $Al_xGa_{1-x}As$/GaAs 异质界面能带结构和 2DEG 输运性质的研究已持续了 30 多年。与此相比，人们对 $Al_xGa_{1-x}N$/GaN 异质界面能带结构和 2DEG 输运性质的了解还非常肤浅，有待进一步深入探索。在此领域，中国的研究小组在国际上有一定的贡献和影响。

(5) $Al_xGa_{1-x}N$/GaN 异质结构的合金无序

如上所述，由于 $Al_xGa_{1-x}N$/GaN 异质结构中 2DEG 的空间分布非常接近异质界面，$Al_xGa_{1-x}N$ 势垒层的合金无序对 2DEG 的散射非常强烈。其原因在于异质界面的导带弯曲取决于导带阶跃的大小和极化电场的强弱。势垒层的合金无序一方面直接导致导带阶跃在空间上出现起伏，另一方面使势垒层的应变在空间上出现起伏，导致异质界面压电极化电场出现起伏。这两个因素决定了合金无序对靠近异质界面的 2DEG 产生强烈的散射。

过去几年，由于认识到在Ⅲ族氮化物光电子器件的研制中至关重要，人们对 $In_xGa_{1-x}N$ 外延层的合金无序现象研究很多。近年来发现，$Al_xGa_{1-x}N$ 外延层同样存在合金无序现象，并且随 Al 组分的上升越来越严重。它对Ⅲ族氮化物电子器件的影响与 $In_xGa_{1-x}N$ 外延层合金无序对Ⅲ族氮化物光电子器件的影响一样，必须深入研究和探讨。

(6) $Al_xGa_{1-x}N$/GaN 异质结构的欧姆接触

源、漏的欧姆接触电阻对 $Al_xGa_{1-x}N$/GaN HEMT 器件的静态特性和频率特性，特别是跨导 g_m 的影响很大。经过多年研究，到目前为止，n 型 GaN 欧姆接触的比接触电阻率 (specific contact resistivity) 已达 $10^{-9}\ \Omega\cdot cm^2$ 量级，基本与 Si 和 GaAs 上欧姆接触的水平相当，可以满足高质量器件研制的需要。但用于 $Al_xGa_{1-x}N$/GaN HEMT 器件制备的 $Al_xGa_{1-x}N$ 欧姆接触的比接触电阻率，国际上最好才达到 $10^{-7}\ \Omega\cdot cm^2$ 量级，有待进一步研究和突破。

前几年，人们主要用 Ti/Al/Pt/Au 多层金属膜制备 $Al_xGa_{1-x}N$ 的欧姆接触，比接触电阻率只能达到 $10^{-6}\ \Omega\cdot cm^2$ 量级。后改用 Ti/Al/Ni/Au 多层金属膜，配以合适的快速热退火条件，$Al_xGa_{1-x}N$ 欧姆接触的比接触电阻率达到了 $10^{-7}\ \Omega\cdot cm^2$ 量级。但对其中接触电阻率改善的物理机制依然不太清楚。只有了解了这些物理机制，人们才能在 $Al_xGa_{1-x}N$ 上制备出更好的欧姆接触。

上述列举了 $Al_xGa_{1-x}N$/GaN HEMT 研制中面临的一些材料、物理和器件问题。除此之外，诸如 $Al_xGa_{1-x}N$/GaN 异质结构的表面原子结构和电子结构、缺陷和缺陷控制、极化效应、势垒层应变驰豫、金属/Ⅲ族氮化物肖特基接触、Ⅲ族氮化物刻蚀技术及其物理机制、离子注入掺杂、隔离技术及其物理机制、以及高温、大功率微波器件设计、器件测试等与 $Al_xGa_{1-x}N$/GaN HEMT 研制相关的科学和技术问题都有待进一步深入研究。在 $Al_xGa_{1-x}N$/GaN HEMT 及其他Ⅲ族氮化物电子器件的发展过程中还会出现许多新的科学和技术问题，这些问题有许多实际上是Ⅲ族氮化物半导体，甚至是整个宽带隙半导体领域共同面临的问题。总之，Ⅲ族氮化物电子材料、物理和器件研究处于当前国际半导体科学与技术的最前沿，是一个快速发展、面对许多挑战、方兴未艾的研究领域。

编写：周玉刚（南京大学）
陈　鹏（南京大学）
江若琏（南京大学）
沈　波（南京大学）

第5章 氧化锌（ZnO）半导体

相比于Ⅲ-Ⅴ族氮化物，ZnO材料的发展史要灿烂许多，但以前ZnO的研究与应用的出发点并不是它的半导体的行为。在作为半导体性质的研究与发展中，除了压电性质研究及其器件应用之外，ZnO半导体在制备工艺、材料质量及其电学、光学性质研究和光电器件的研制等方面，都远远落后于GaN材料，许多方面的研究还处于起步探索阶段。人们对ZnO半导体性质还缺乏规律性的认识，目前基于ZnO半导体的研究很多，但具有共性的研究报道却较少，因此本章侧重介绍ZnO半导体的基本性质、材料制备、器件研制等方面较具共性的研究进展。由于章节的限制，本章不能包含所有的最新研究成果，因为预计每年要有几百篇的研究论文发表，更多的研究进展请参阅近期的研究论文。

1　ZnO材料的结构与性质

1.1　ZnO的基本结构

与Ⅲ-Ⅴ族共价性化合物晶体相比，ZnO由于其两种组成元素在电负性上的较大差别，更倾向于离子型晶体，通常情况下具有六角晶系纤锌矿结构，如图6.5-1a所示，空间群为$C_{6v}^4 = P_{6_3}mc$，在高压下也可能具有立方的闪锌矿结构。ZnO中氧原子按六方紧密堆积排列，锌原子填充半数的四面体空隙，锌原子层与氧原子层交错排列。$Zn\text{-}O_4^{6-}$四面体以顶角相连接，沿c轴呈层状分布。上下两层的四面体的结晶方位不同，在c轴垂直的平面内相差180°。

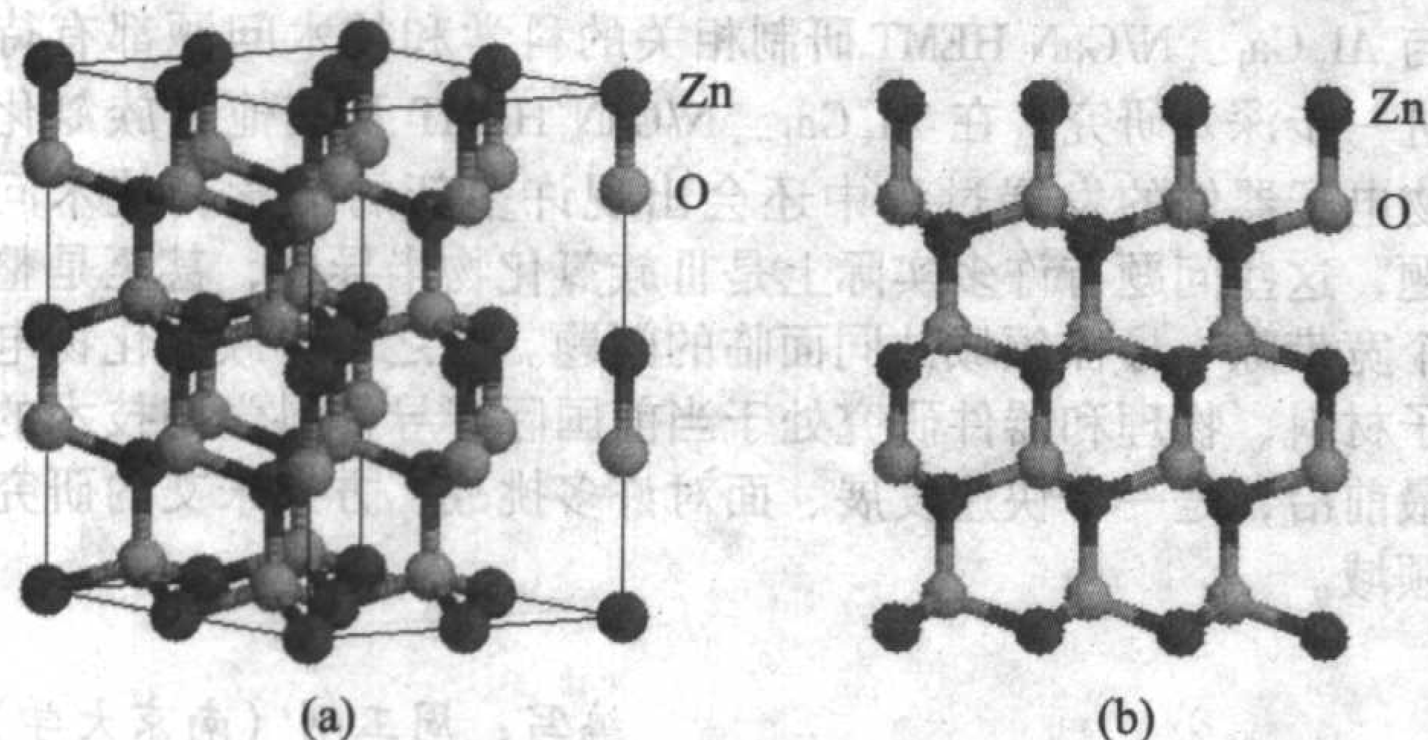


图6.5-1　纤锌矿型结构（a）和ZnO晶体结构（b）在［11$\bar{2}$0］方向上的投影示意图

与其他Ⅱ-Ⅵ族化合物半导体相比，Zn和O的电负性相差最大，因此极性也最强。一般认为，ZnO的电荷分布为$Zn^{+1.2}O^{-1.2}$，这样就产生了一个具有极性的c轴。ZnO的晶格常数为$a = 0.324\ 982$ nm，$c = 0.520\ 661$ nm，c/a比为1.602，略小于理想六方密堆结构的1.633的值。Zn-O间的距离在平行于c轴方向为0.199 2 nm，而在四面体构成的最近邻原子的其他三个方向为0.197 3 nm。其结构由相隔0.382 5个分数坐标的两个六方密堆结构穿插而成。通常O占据（0，0，0）和（2/3，1/3，1/2）位置，而Zn原子占据（0，0，0.382 5）和（2/3，1/3，0.882 5）位置。该晶体结构在（11$\bar{2}$0）上的投影如图6.5-1b所示。

就硅而言，这种具有金刚石结构的非极性半导体，沿（111）的方向密堆平面由于在表面产生时每个原子仅有一个键被打破，因而具有最低的表面能量。而在离子型或部分离子型晶体如NiO、ZnO、MgO或Al_2O_3中则有不同的情形。一般离子晶体中具有三种平面：在第一种表面中，阳离子和阴离子处于化学配比组分，因而在表面不存在任何静电荷；第二种表面在当晶体具有BAB这种重复的单元而被分开时存在。其中较典型的例子为（0001）的蓝宝石表面，但当表面在B原子位置处被解理时，一个BAB的排列导致一个零极化动量。如以其他方式解理，一种BBA的排列方式则将产生一个净的极化。第三种表面，如（0001）ZnO表面，该结构中阳离子和阴离子层交替排列，从而导致垂直于表面的极化动量。一旦在表面产生净的极化动量，表面能量就会耗散而变得无限大，从而导致该表面变得不稳定。

ZnO的（0001）密堆平面由两个准平面（A和a）所组成，分别包含阳离子（Zn）或阴离子（O）。这导致该材料性质在（0001）方向和（000$\bar{1}$）方向存在显著的差别。前一种表面是Zn面，而后一种则是O面。该结构并不具有中心对称性，这两种特性决定了ZnO的一些重要性质。由于缺少了反演对称性，ZnO具有较好的压电性质，而沿c轴方向的极性也使得Zn面和O面具有不同的性质。

（0001）ZnO表面是一个极化平面，因此如果没有重构或钝化，在低指数平面中应具有最大的表面能量。这是在气相外延的大部分生长条件下所观察到的实验事实。通过气相外延方法生长的ZnO剖面通常具有六方结构的针状。这种晶体沿着（0001）晶向延长，其棱形外表通常由（10$\bar{1}$0）或（11$\bar{2}$0）平面组成。这表明（0001）面具有最高的能量，同时也导致沿c轴方向生长速率最快。正因为如此，人们很容易在几乎所有的衬底上获得c轴取向的薄膜，即使是在非外延条件下。因此只要具备适当的生长条件，晶须将沿（0001）方向优先生长，从而将导致粗糙表面的出现。

1.2　ZnO的化学配比与本征物性

和GaN材料一样，非故意掺杂的ZnO由于材料中Zn间隙和O空位等施主本征缺陷的存在，总是呈现为n型，典型的施主浓度在$10^{17}/cm^3$量级。理论研究表明，O空位或间隙态Zn在ZnO材料的平衡生长时都具有高的形成能，这就导致间隙态Zn不可能造成$10^{17}/cm^3$或以上的自由电子浓度。室温下本征ZnO材料的电子迁移率在200 $cm^2/V\cdot s$左右，尽管该电子迁移率略低于GaN，但ZnO理论上具有更高的饱和速度。

通常二元或三元氧化物都不是满足化学配比的化合物。例如，ZnO大部分是在富锌的生长条件下获得的，当然它可以通过改变气氛中的O/Zn比而得到改变。不管该化合物是否化学配比，其Zn、O的晶格位置比是一样的，因此任何组分的变化将意味着在某一准晶格中的点缺陷浓度的变化。ZnO中多余的Zn，即$Zn^{1+\delta}O$，往往通过形成间隙态的Zn或补偿态的O空位而实现。在ZnO中，间隙态Zn的离化能较小，约为0.04 eV，是一浅施主态。同时O空位的离化能同样很小，约为0.05 eV，也是施主态。另外，理论计算表明H在ZnO材料中也是一种浅施主，并且在最近的实验中得到了证实，H施主的离化能大约为30～40 meV。因此，究竟是谁应该对非故意掺杂的ZnO的导电性负责，是人们一直在探讨和争论的问题之一。

同样的，也可能形成Zn化学配比不足的情形。既然间隙态的Zn或补偿态的O空位会产生多余的自由电子，即形成n型的导电性，那缺Zn的ZnO中必将产生多余的空穴，从而得到p型的导电性。理论计算表明，Zn空位作为受主在ZnO中具有相对较低的形成能，这一点也被正电子湮没实验所证实。尽管如此，在实验上，人们还很少获得缺Zn所导致的较高性能的p型导电的ZnO材料。这主要是由于富O的ZnO材

料需要在极端高压的氧气氛下才能产生，而一般生长条件往往难以满足。事实上，人们将n型的ZnO材料放置在1 400℃以上的高温环境中，发现ZnO的n型导电能力随O气氛压力的增加而降低，但最终在高达40大气压下也未能将其转化为p型的ZnO。

表6.5-1列出了ZnO本征材料的部分基本性质，该表显示的ZnO半导体结构与性能参数决定了ZnO半导体具有许多特别有用的物理性质，这些物理性质将在本章第3节中进行介绍。

表6.5-1 ZnO本征材料的部分结构和性能参数

晶体结构（空间群）	纤锌矿（六方结构）
晶格常数/nm	$a=0.325\ 0$ $c=0.520\ 6$
带隙宽度（室温下）/eV	3.37
熔点/℃	2 250
室温下形成焓	−83.24
密度/$g\cdot cm^{-3}$	5.67
介电常数	$/\!/c$：8.75 $\perp c$：7.8
300 K下的线胀系数	$/\!/c$：3.02 $\perp c$：6.51
纵向声速/$10^5\ cm\cdot s^{-1}$（室温）	$/\!/c$：6.096 1 $\perp c$：6.077 6
压电常数 $d_{33}/10^{-12}\ m\cdot V^{-1}$	12.3
机电耦合因子 k_{33}	0.472
折射率 n（600 nm处）	$/\!/c$：2.014 7 $\perp c$：1.998 5

1.3 ZnO半导体单晶体材料的制备

根据技术应用的不同，ZnO半导体薄膜可在多种衬底上生长。目前在蓝宝石衬底上一般可以获得较高质量的薄膜材料。但是，尽管这种ZnO薄膜材料的高分辨X射线衍射的ω摇摆曲线半宽可以窄至几十秒，但相对于体单晶较高的背景载流子浓度、外延层与衬底界面上的高密度缺陷和外延薄膜中较小的相干长度都表明，ZnO异质外延材料进展的困难，这加深了人们对ZnO半导体薄膜同质外延的迫切需要。相比于异质外延，同质外延将具有以下优点：平面内和平面外严格的晶格匹配；衬底与外延层之间无热应力或应变；无高位错密度的衬底使外延层与界面具有很低的位错密度；可以容易控制（0001）面的极化面，如O或Zn面；同时衬底的导电性使器件的设计将变得非常容易等等。以上这一切表明，ZnO单晶衬底的获得对ZnO的技术应用，特别是强烈依赖于材料质量的光电器件的应用将具有很大的促进作用。

事实上，ZnO作为极性晶体，其本身的生长机理研究也具有重要的学术价值，而ZnO体单晶无论作为GaN衬底材料还是其本身作为电光材料，都具有不可替代的作用。大尺寸、高质量ZnO单晶的生长，需要技术上的创新。与GaN、SiC不同的是，ZnO在高温下与空气不会发生反应，因此可选择合适的助溶剂在空气中生长。这无论在技术上还是成本上都可能是一条良好的途径。因此，与GaN体单晶相比，ZnO单晶及衬底的获得要相对容易。事实上，目前已有商业化的ZnO衬底少量供应市场，但其昂贵的价格将极大地限制其在ZnO半导体光电器件上的应用前景。

ZnO是一致熔融化合物，熔点为2 250 K。由于高温下ZnO的挥发性很强，传统的提拉法等熔体生长工艺很难获得ZnO体单晶。目前，ZnO体单晶的生长方法主要有缓慢冷却法、气相生长法和水热法。利用V_2O_5、B_2O_3、MoO_3等助熔剂，可以把生长温度降低到1 100℃以下，但缓慢冷却法由于是自发成核生长，所得晶体尺寸都很小，质量也较差。采用水热法，可以从KOH和LiOH混合水溶液中生长ZnO晶体。晶体呈浅绿色或浅黄色，完整性较好，但尺寸还不够大，难以满足工业化应用的需求。近年来已有文献报道，籽晶诱导成核的气相生长方法已获得了直径为50 mm的ZnO单晶，但是商业化生产ZnO单晶还存在很多问题。大尺寸ZnO衬底的制备是发展ZnO器件的关键因素，而获得大尺寸ZnO单晶的技术与工艺与其他Ⅱ-Ⅵ族化合物相比也显得相当复杂。事实上，ZnO水热法生长ZnO的控制机理表明，ZnO本征物理性质和生长工艺有可能是导致ZnO体单晶生长困难的根源之一。

尽管如此，目前水热法仍是生长大尺寸ZnO衬底的可行方法，当然如何减少污染并恢复ZnO的本征性质仍然需要进一步的努力。水热法是在高压釜中进行，采用的实验方法为水热前驱物分置技术。选用适当的前驱物被放置在坩埚中，而溶液被放置在坩埚和高压釜的间隙中，生长用的籽晶一般来源于前面的生长试验，前驱物需保持在某一温度，并与籽晶区保持一定的温度梯度。溶剂造成的污染是水热法和溶剂生长技术的严重问题，不管生长后的退火处理或者矿石处理和溶剂的足够多的选择目前还都无法将该技术推广到可重复的ZnO生长的工业化程度。

与此相比，气相生长方法可以获得更纯和高质量的ZnO衬底。相对而言气相生长方法应该是一个很好的选择。在物理气相输运中，由Zn和O反应生成的ZnO颗粒放置在以石英管的高温端作为生长的原料，H_2作为载气在高温端与ZnO反应生成气态Zn和H_2O，同时也将气态Zn带入到低温端。在低温端，相反的反应过程将气态Zn转变成ZnO，并在衬底上生长出来。在生长过程中，应通入适量的H_2O以保证合适的化学配比。目前气相生长方法主要存在的问题在于晶体尺寸依然过小，人们必须弄清该技术所包含的机理才有可能将晶体尺寸放大以达到工业化生产的要求。

ZnO薄膜在以上两种技术所提供的衬底上的生长实验均表明这两种技术制备的衬底对薄膜外延的生长与性质的差别很小。不管是水热法，还是气相生长法，这两种ZnO晶体的生长技术的未来发展都将依赖于其实现工业化生产的可能性，即以较低成本提供较大尺寸和较高质量的ZnO晶体的能力。

2 ZnO半导体薄膜的制备

ZnO薄膜的制备方法较多，根据技术应用方向的不同，主要有：射频溅射、脉冲激光淀积、大气压化学气相淀积法、金属有机源化学气相外延、分子束外延、喷雾热分解法以及溶胶-凝胶法等，这些相关技术的细节请参考有关材料制备的专著。本节我们首先将针对ZnO薄膜的生长对以上制备方法进行简单介绍，然后再介绍目前ZnO薄膜材料的制备技术方面所取得的较具共性的研究成果。

2.1 ZnO薄膜的制备方法

2.1.1 溅射法（sputtering）

采用溅射法能在高生长速率条件下获得表面平坦度好且很透明而又高度取向的致密层，从而获得压电性、光学性能优良的薄膜材料。溅射法是人们最初获得ZnO薄膜的主要手段，正是这种技术使ZnO薄膜成为人们广泛研究的化合物之一。目前已报道了多种ZnO薄膜溅射制备方法，如直流（DC）溅射、磁控溅射和射频（RF）溅射等技术。

溅射法是以Zn或ZnO为靶，在 O_2 或 O_2/Ar 混合气氛下，利用射频或磁控射频溅射，将ZnO沉积在基片上的方法。其工艺条件不同，沉积速率亦有所差异。但是，由于射频溅射能提供在高沉积速率条件下制备具有优良特定性能的薄膜的各种沉积参数，故在 Ar/O_2 或 O_2 气氛中用Zn或ZnO靶材的RF溅射是目前最广泛采用的方法。应用磁场（磁控溅射）使电子在与等离子体中的其他粒子碰撞中间摆动式地运动。并采用适当的结构，通过电磁场使电子或多或少被封锁在靶附近的区域，从而显著减少薄膜遭受电子轰击造成的损伤。此外，RF溅射还能在较低的气体压力下维持等离子体放电，并且由于碰撞的概率增大，使靶附近的离子密度增加，从而可获得高的沉积速率。本法的特点是可快速制备出一定厚度的ZnO薄膜，但不易进行掺杂以获取一些复杂的结构。当然人们也已利用不同成分的靶进行溅射，从而制取ZnO与其他物质的复合薄膜，以获取某些特殊性质。但对于光电器件应用所要求的对组分、掺杂与质量控制要求较严格的异质结构以及多层结构的制备，以及材料制备与掺杂参数的变化范围的调节与可控性上，溅射技术还远未能达到人们的期望值。

2.1.2 脉冲激光沉积工艺（PLD）

脉冲激光沉积(PLD)工艺是近年发展起来的真空物理沉积工艺，是一种很有竞争力的新工艺。与溅射等工艺相比，它具有可精确控制化学计量、合成与沉积同时完成、对靶的形状与表面质量无要求等优点，目前已成为获取高质量的ZnO薄膜的主要技术手段之一。在脉冲激光沉积中，通过脉冲激光加热ZnO靶使其蒸发，蒸发物进人与ZnO靶垂直的等离子体管中后沉积在衬底上。在PLD方法中，由于等离子体管中的微粒、气态原子和分子沉积在薄膜上会降低薄膜的质量，虽然采取相应措施后可获得改善，但不能完全消除；同时PLD生长在控制掺杂、生长平滑的多层薄膜和厚度均匀性等方面存在一定的困难，因此进一步提高薄膜的质量可能会存在一定的难度。

2.1.3 原子层外延（ALE）

原子层外延(ALE)是通过向衬底交互供给半导体组成元素的源，使各组成元素以单原子层在衬底上生长半导体薄膜的方法。一般ALE分为两种。第一种是由组成化合物的元素直接蒸发的形式，像MBE那样供给源进行外延生长。在这种生长过程中，分别供给Zn和O源，在一定温度的衬底上交替进行单原子层生长。在第二种ALE生长方式中，采用含有组成元素的气体或金属有机源为源，生长过程中需要周期变换气体源。ALE外延层的厚度取决于生长的次数和生长晶体的晶格常数。由于ALE能以原子层为单位控制外延层厚度和异质结的界面，因此可以成为制作ZnO基超晶格、量子阱、二维电子气所需要的化合物半导体薄层材料的有力的生长方法。

2.1.4 大气压化学气相淀积

大气压化学气相淀积的显著特点是不需要真空获取等复杂的系统作为材料生长的前提。一种大气压化学气相沉积是利用高温将ZnO、$ZnCl_2$ 或其他先驱及其掺杂物蒸发汽化，再以高纯度气体作为载气体输运至沉积区，与 O_2 等反应在基片上沉积成薄膜的方法。$ZnCl_2$ 或ZnO及其他掺杂物放置于蒸发区后需先预热，以便掺杂物质的均匀混合。沉积后的ZnO薄膜可在真空或各种气氛（如 Ar、H_2、空气等）中进行预热及退火处理，以改善其光电性能。另一种被称之为燃烧化学气相沉积法，也是开放在大气中的气相沉积工艺。化学先驱体先溶解于可燃烧的溶剂中，然后用泵加压输送，并混入 O_2，使其在基片附近燃烧沉积。沉积过程可通过调节基片温度、先驱体浓度及组成、气溶胶大小、溶剂的组成及沉积范围等来加以控制。

2.1.5 金属有机物化学气相外延（MOVPE或MOCVD）

化学气相外延，也称化学气相淀积(CVD)，是将化合物从气相中吸附到衬底表面生长薄膜的过程，主要包括在化合物衬底表面的热分解或化学反应。高温衬底的热能提供打破化学键、化学反应和晶化的能量，有时人们也采用光激发或等离子体辅助的方法来来促进反应物的分解，降低生长温度，增强淀积过程。这时人们称之为光增强或等离子体增强CVD。CVD中化学反应淀积过程强烈地依赖于它的热力学和动力学的性质，其薄膜生长速率由化学反应的动力学控制，它依赖于温度、反应室压力、反应气分压、分解效率、材料输运流量和反应基团的动力学能量。如果使用有机源作为淀积材料的先驱物，则被称之为金属有机物化学气相外延(MOCVD)。

目前，金属有机物化学气相外延(MOCVD或MOVPE)是很多半导体材料与异质外延生长的常用方法。利用MOCVD系统，人们已经生长出高质量的 ZnO 薄膜。可用于生长 ZnO 薄膜的衬底很多，但通常选用的衬底是 Al_2O_3，而沿 Al_2O_3 不同面生长的ZnO的性质有较大差异，因此可根据不同的需求而选择不同的生长面，目前利用 C-Al_2O_3 和 R-Al_2O_3 衬底均已得到较高质量的ZnO薄膜以及其他ZnO基的结构材料。

在MOCVD生长ZnO薄膜中，常用的Zn源是DMZn（二甲基锌）和 DEZn（二乙基锌）。氧源的可选择性较大，有 CO_2，N_2O，O_2 和 H_2O 等，但目前常用的还是 O_2。MO源中Zn的强亲电子特性很大程度上决定了它的化学特性。由于它们的低轨道适合于形成键而不是形成电子对，使它们成为缺少电子的化合物。这种成键的空轨道说明了为什么二乙基锌很容易与包含自由电子的其他原子如 O、N、P、S 等形成复合物的原因，也就说明二乙基锌的强反应特性。二乙基锌很容易与氧气或水发生强烈反应，与水的反应如下：

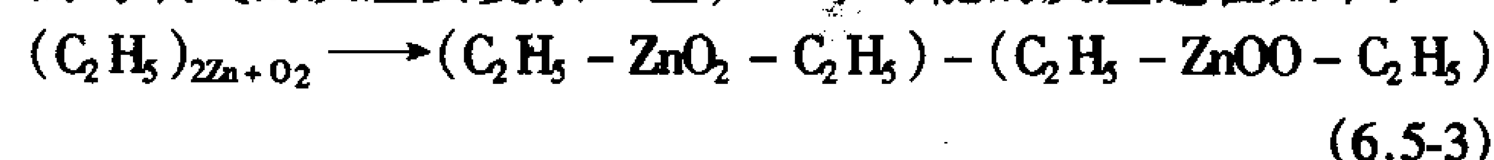


$$Zn(C_2H_5)_2 + 2H_2O \longrightarrow Zn(OH)_2 + 2C_2H_4 \quad (6.5\text{-}1)$$

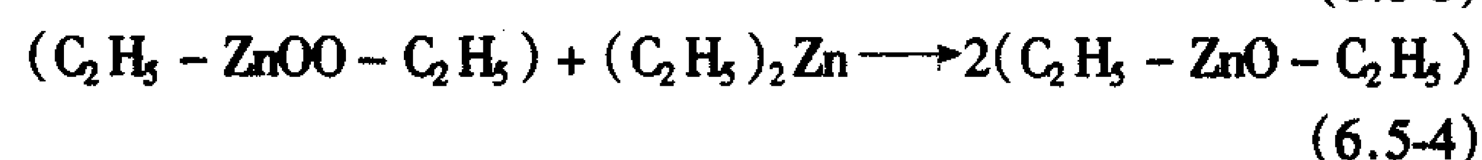


$$Zn(OH)_2 \longrightarrow ZnO + H_2O \quad (6.5\text{-}2)$$

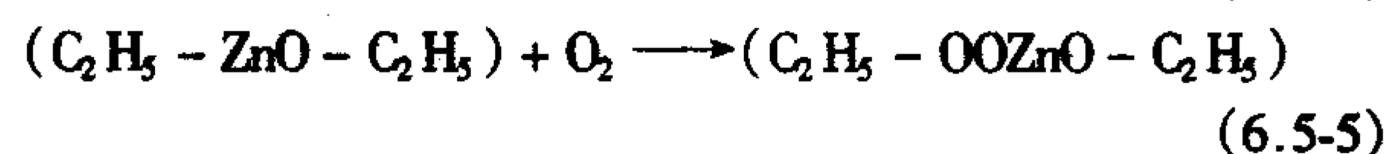
而与氧气的反应要复杂一些，一个可能的反应过程如下：



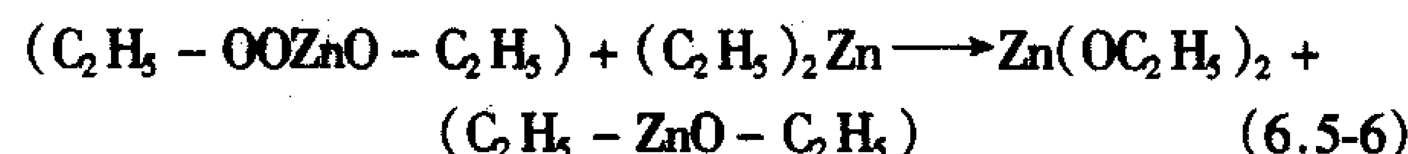
$$(C_2H_5)_{2Zn+O_2} \longrightarrow (C_2H_5-ZnO_2-C_2H_5)-(C_2H_5-ZnOO-C_2H_5) \quad (6.5\text{-}3)$$



$$(C_2H_5-ZnOO-C_2H_5)+(C_2H_5)_2Zn \longrightarrow 2(C_2H_5-ZnO-C_2H_5) \quad (6.5\text{-}4)$$



$$(C_2H_5-ZnO-C_2H_5)+O_2 \longrightarrow (C_2H_5-OOZnO-C_2H_5) \quad (6.5\text{-}5)$$



$$(C_2H_5-OOZnO-C_2H_5)+(C_2H_5)_2Zn \longrightarrow Zn(OC_2H_5)_2 + (C_2H_5-ZnO-C_2H_5) \quad (6.5\text{-}6)$$



$$Zn(OC_2H_5)_2 \longrightarrow ZnO + \text{其他附产物} \quad (6.5\text{-}7)$$

二甲基锌由于其饱和蒸汽压高，因此比二乙基锌可以获得更高的生长速率，但它的两大缺点限制了它的更为广泛的应用。例如二乙基锌和二甲基锌都容易吸附在400 K以上的衬底表面，分解成金属Zn和吸附的甲基或乙基基团。但与甲基基团不同，较大的乙基基团通过β氢基的脱附反应产生乙烯，然后逸出，这就使得二乙基锌的MOCVD生长的ZnO薄膜中碳的沾污要少得多。同时二甲基锌也更容易与 O_2 或 H_2O 反应，从而使得对气相反应的控制变得更加困难。

由于二乙基锌与 O_2 气即使在室温下也会反应，生成的微粒很容易进人ZnO薄膜而降低其生长质量，因此生长高质量的ZnO薄膜的关键在于限制其气相反应。因此即使采用二乙基锌，MO 源与 O_2 源也必须经过不同的管路通入反应室中以尽量控制它们抵达衬底生长之前的混合程度和气相反应程度。在这种情况下，为了解决衬底材料生长的均匀性问题，在ZnO的MOCVD系统中，衬底往往需要高达每分钟上千转的高速旋转，这就大大增加了MOCVD设备的复杂性。

2.1.6 分子束外延（MBE）

分子束外延技术应用于ZnO的生长中具有显著的优点。在MBE中，Zn分子束和O分子束经过不同的路径抵达衬底表面，因此可以抑制住在MOCVD反应中存在的严重的气相反应。在MBE中，金属锌放置在一处于高温或激光激发的反应炉中从而产生生长所需的Zn分子束，而O原子一般采用等离子体激发O_2或采用含臭氧的气源。MBE法生长高质量的ZnO薄膜有两种，一种是采用加微波或射频的MBE，另一种是激光MBE（L-MBE）。采用这两种方法均已生长出很高质量的ZnO薄膜，并观察到其光泵浦紫外激射。分子束外延技术由于其固有的原子尺度的控制水平和强大的监测功能已成为ZnO材料生长，特别是ZnO材料的极性控制与物理研究的非常有竞争力的生长技术，尽管生长尺寸的限制、较低的生长产量以及较高的维护成本将可能会限制它在工业界的应用前景。

2.1.7 喷雾热分解法

喷射热分解(spraypyrolysis)法是由制备太阳电池用透明电极而发展起来的一种方法，无需高真空设备，因而工艺简单、经济。该方法一般以溶解在醇类中的醋酸锌为前体，可获得电学性能极好的薄膜。该法是利用喷雾热分解装置将醋酸锌的水溶液或有机溶液喷雾沉积于基片上，并在高温下分解形成ZnO薄膜的工艺，该工艺较简单，掺杂物质可按一定化学配比与醋酸锌一起溶解于溶剂中，比较容易实现化学剂量掺杂。研究表明，醋酸锌溶液浓度对ZnO薄膜的定向生长具有显著的影响，浓度越高，ZnO薄膜的c轴定向生长特征越强，同时一般采用掺In等方法可用来提高ZnO薄膜的导电性能。采用超声喷射热分解法已经制备出具有高度择优生长取向的表面光滑的ZnO薄膜，最近也已报道了采用该方法生长出了空穴浓度可能高达$10^{18}/cm^3$的p-ZnO。

2.1.8 溶胶-凝胶法

溶胶-凝胶法(Sol-gel)是采用提拉或甩胶法将含锌盐类的有机溶胶均匀涂于基片，在较低的温度下直接制成涂层以制取ZnO薄膜的工艺。溶胶的制备主要是利用锌的可溶性无机盐或有机盐，在催化剂冰醋酸及稳定剂乙醇胺等作用下，溶解于乙二醇独甲醚等有机溶剂中而形成。涂胶一般在提拉设备或匀胶机上进行。每涂完一层后，即置于200～450℃下预烧，并反复多次，直至达到所需厚度。最后在500～800℃下进行退火处理，即得ZnO薄膜。

该方法的特点是它的合成温度较低（约300℃），材料均匀性好，无需真空设备，因而大幅度降低了制作成本，简化了工艺，且易于控制薄膜组分，生成的薄膜对衬底的附着力强。人们可以在溶胶中添加各种必要的掺杂剂，此法可在分子水平控制掺杂，尤其适合于制备掺杂水平要求精确的薄膜，容易实现对多元素掺杂的ZnO薄膜的制备。此法不仅仪器简单，且适用于大面积太阳电池中电极的制备，也已制备出了电阻率较低的高透明度掺In薄膜。

2.2 晶态ZnO薄膜的生长技术

以上各种制备方法都已经成功地应用于ZnO材料的生长中，它们各有自己的特点和特色，并在相应的技术领域获得了应用。就生长技术而言，各种材料制备技术之间具有一些共同的特性，例如必须考虑ZnO薄膜与衬底之间的晶格失配所导致的材料质量的下降，必须研究如何得到化学配比的ZnO薄膜材料，以达到优化ZnO薄膜光电性能的要求。为达到以上目的，关于ZnO材料制备技术方面的研究工作已有很多报道。人们对通过衬底选择、表面预处理和引入缓冲层等生长工艺的控制与研究，实现了基本适合器件研制的高质量ZnO材料的制备，并在材料极性控制、生长模式和缺陷产生机制等方面取得了以下较具共性的规律性研究结果。

2.2.1 衬底的选择

目前衬底的选择有两类，一类是失配率较大的蓝宝石和硅，一类是晶格匹配或失配率较小的氮化镓、碳化硅、$ScAlMgO_4$尖晶石和同质ZnO衬底等，但此类材料的单晶衬底价格昂贵，因此主要以蓝宝石和硅衬底为主。研究发现，在蓝宝石衬底上MBE方法直接外延获得的ZnO表面极性取决于平面内晶向，并强烈依赖于生长温度和生长速度，高温下为O面，而低温下为Zn面，O面ZnO晶体质量通常优于Zn面ZnO。在GaN衬底上，由于晶格几乎匹配，450℃以上就能实现ZnO二维生长。

2.2.2 衬底的表面预处理

通常对于蓝宝石衬底，一般采用氧气等离子体气体进行高温处理，但也有研究发现，在c面蓝宝石衬底上预淀积2～3个Ga原子层，可实现ZnO二维层状生长，并消除30°晶畴旋转现象；而在非氧化物衬底（如Si和GaN）上，则采用Zn的预淀积，避免表面形成非晶氧化物影响材料的初期成核生长。

2.2.3 缓冲层的选择和生长

大多数制备方法采用低温ZnO作为缓冲层，而MBE系统制备ZnO时则常采用MgO作为缓冲层，利用GaN和ZnS等材料相对较少。对低温ZnO缓冲层，由于制备方法及其衬底材料的不同，其厚度优化值从15～100 nm不等，而生长温度500℃左右最为合适。MgO缓冲层的研究相对比较系统。Y.Chen等人首次在MBE制备ZnO过程中引入超薄MgO缓冲层，实现了ZnO二维层状生长，观察到了ZnO（3×3）表面重构。MgO缓冲层作为ZnO材料的浸润层，不仅降低了表面能，而且为ZnO的初期生长提供了成核中心，有效抑制了ZnO的柱状生长。MgO浸润层呈现S-K生长模式，临界厚度仅为2～3 nm，超过该值，ZnO则由二维生长转变为三维生长模式。H.Kato研究发现，MgO缓冲层的厚度可以控制ZnO外延层的表面极性。当MgO厚度超过3 nm时，ZnO处于三维生长模式，表面极性为Zn面；当MgO厚度小于2 nm时，ZnO则实行二维层状生长，表面极性为O面，晶体质量也较高。当低温ZnO或者MgO缓冲层淀积完，通常会在氧气氛下进行800～1 000℃的高温退火处理，以增强原子的表面迁移能力，增大台阶宽度，减小表面平整度，有利于高温ZnO二维层状生长。

2.2.4 O/Zn摩尔比和生长温度对外延层的影响

MBE生长的ZnO表面形貌强烈地依赖于O/Zn摩尔比，当生长处于富氧状态，ZnO呈现二维层状生长模式，可观测到明显的生长台阶；当生长处于富锌状态时，ZnO表面出现六边形凹坑，或三角与六角稳定柱状结构，表面粗糙度增加。最近，A.Setiawan深入研究了O/Zn比和位错的关系，发现富氧条件下，位错界面层的厚度较小，但刃位错方向和c轴方向平行，易在表面形成凹坑；在富锌条件下，位错界面层厚度较大，但刃位错方向和c轴方向有一定夹角，其密度会随着材料厚度增加而减小，因此富锌生长的ZnO具有较高的晶体质量。同时不同的研究表明，生长温度对材料的生长速率、表面极性和材料晶体质量具有控制作用，对MOCVD和MBE系统，ZnO外延层的生长温度在650～750℃左右比较合适，但目前大部分系统都采用等离子体活化反应气体，因此生长温度可以进一步降低，亦能满足高质量ZnO单晶薄膜的制备要求。

2.3 ZnO薄膜的制备方法与生长技术比较

目前关于ZnO材料生长技术的系统研究工作报道较少，能达到共性的具有指导意义的研究成果还很少，人们对ZnO材料制备技术方面的认识仍然相当不足。特别是对于生长规律最为复杂、反应控制最难，同时实用化前景最佳的

MOCVD技术也还有相当的技术难点需要解决。相当一部分研究实验结果有时在不同的实验室往往呈现出不同的结论，特别是关于p型掺杂的研究方面，使人们难以得出规律性的研究结果。因此在本节中我们并未能给出ZnO材料生长规律的描述，而这一点却是指导并开展ZnO材料生长的关键所在。当然这同时也反映了目前ZnO半导体薄膜材料的生长技术并未能达到目前GaN的生长控制水平，更多的生长技术的掌握还有待科技工作者更多的试验探索。而这也可能正是目前缺少ZnO薄膜材料生长的商用设备的原因所在。

基于以上原因，表6.5-2列出了各种生长技术相关的主要优缺点作为比较，就生长成本而言，溶胶法和喷雾法具有较大的特色，它们在大规模的工业化应用上具有一定的优势。溅射技术在某些技术应用方面例如声表面波器件的应用上具有相当强的竞争优势。但该表也显示就ZnO的材料质量而言，PLD、MBE和MOCVD具有较强的竞争力和优势，这是其他材料制备技术所难以达到的。而如果综合考虑成本、产量等与工业化应用等关联因数，MOCVD将具有许多显著的特点，如大面积生长、对组分或厚度的精确控制、可重复性、反应室压力的调节、高淀积速率、能覆盖复杂形状、气体的快速切换可制备多层膜的陡峭界面、原位退火等。就像MOCVD在GaN上所取得的竞争优势一样，MOCVD也将会是ZnO材料生长一个优先考虑的技术方法，但正像GaN MOCVD设备一样，ZnO复杂的生长规律和反应控制必须在工业化设备的研制之前被掌握并获得解决。

表6.5-2　不同薄膜制备方法的比较

制备方法	PLD	MBE	CVD/MOCVD	sputtering	sol-gel/spray
热力学平衡	否	是	是	否	是
淀积分子动能	高 (1~100 eV)	低 (<0.1 eV)	低 (<0.1 eV)	高 (1~100 eV)	低 (<0.1 eV)
化学配比控制	好	差		一般	好
反应源先驱	不需要	不需要	需要	不需要	需要
生产效率	低	低	高	一般	高
晶体质量	好	好	好	一般	差
材料沾污	低	低	低	一般	高
生产成本	一般	高	一般	低	低

3　ZnO半导体的物理性质

作为半导体、光导体、压电体和光波导材料的ZnO在科学和技术上有着广泛的应用。ZnO引人注目的性能包括：晶体结构方面的各向异性、非化学计量缺陷结构、宽的带隙、可分解升华的化学特性、可见光区光学透明和相当大的折射率、大的压电常数以及大的声光、电光和非线性光学系数等。本节重点介绍ZnO半导体掺杂现状及其基本的电学与光学性质以及压电性质。

3.1　ZnO半导体中的掺杂与电学性质

3.1.1　基本概况

对n型ZnO，通过Ⅲ组元素如Al、Ga、In等的掺杂很容易实现，但p型ZnO的制备却非常困难，严重限制了ZnO基光电器件的研制和应用。这也是在宽带隙半导体中常常出现的问题。例如，ZnSe和GaN很容易实现n型掺杂，但p型掺杂也较难，而ZnTe则较难实现n型掺杂，而p型材料则较易获得。宽带隙中p型掺杂受到限制可能来自于以下几个原因：第一，施主与受主均倾向于形成深能级，从而在室温下仅有少量的离化而处于激活状态；第二，晶格能量倾向于形成施主或受主，但不能同时形成。在ZnO中施主的形成是主要的，而受主一旦被引入则很容易形成补偿中心。例如，它们可能被本身的点缺陷或位于间隙态的杂质原子所补偿。缺陷态通过形成深能级来补偿掺杂能级。而在某些情形下，也会导致掺杂能级更深地进入到带隙中。在另外一些体系中，较低的掺杂原子的固溶度也将限制材料中的载流子浓度。

3.1.2　n型掺杂与电学性质

ZnO材料的n型掺杂剂主要是Ⅲ族（Al，Ga，In）或者Ⅶ族元素（Cl，F），然而相对于Ⅶ族元素，Ⅲ族元素具有较小的饱和蒸气压，有利于载流子浓度可控掺杂。ZnO:Al(AZO)材料目前研究较多。很多制备方法都能实现ZnO材料的Al掺杂，如磁控溅射、喷射热分解法和溶胶凝胶法等。Chen等人利用磁控溅射方法在玻璃衬底上制备出质量较高的AZO导电薄膜，其电阻率仅为$4.23\times10^{-3}\ \Omega\cdot cm$，载流子浓度高达$9.21\times10^{20}/cm^3$，电子霍尔迁移率为$16\ cm^2/V\cdot s$，并且研究了氧分压、衬底温度和Al掺杂量对掺杂效率以及材料结构、光学和电学特性的影响。Singh等人系统研究了ZnO材料中Al的掺杂行为。随着Al的掺杂，载流子浓度几乎线性增加，当载流子浓度达到$10^{19}/cm^3$，费米能级接近或者进入导带从而出现简併；同时由于电子有效质量随载流子浓度的增加而增大，导带出现非抛物线形。当掺杂浓度过量，载流子浓度会出现饱和现象，并且电子迁移率受到杂质散射的影响而降低。然而Al作为掺杂剂的缺点在于Al和Zn原子的半径失配较大，并且生长过程中易被氧化。相比之下，Ga-O和Zn-O共价键长非常接近，因此Ga作为掺杂剂已引起人们的重视。Suzuki等用脉冲激光淀积方法在衬底温度为200℃时得到最低电阻率为$2.08\times10^{-4}\ \Omega\cdot cm$且表面平滑的GZO膜。当然高质量单晶ZnO:Ga主要是通过分子束外延和金属有机化学气相外延技术等技术而获得。Ko等人通过P-MBE方法在GaN衬底上获得了载流子浓度高达$1.13\times10^{20}/cm^3$的ZnO:Ga单晶薄膜。最近，J.Zhong研究小组利用MOCVD方法在熔融石英衬底上获得了ZnO:Ga的单晶纳米阵列，Ga/Zn的摩尔比为1.5×10^{-3}时，电阻率仅为$4\times10^{-3}\Omega\cdot cm$，说明Ga的掺杂效率很高。Makino等人研究了ZnO:Ga的光学性质和Ga掺杂浓度的关系。载流子浓度随着Ga的掺杂而增加，因为多体效应，其屏蔽效应越为明显，导致能带重整化而引起能带紧缩。同时，掺杂原子的随机分布会导致导带电势波动并引入带尾缺陷态，使得带边发光峰展宽。Ⅴ族铟元素也是一种很好的掺杂剂。Maldonado等人采用喷雾热分解方法制备了ZnO:In高导电薄膜，电阻率为$6\times10^{-5}\Omega\cdot m$，可见光区的透射率高达85%。Cohen等人最近发现在热退火过程中通过In的掺杂可以改善$Zn_{1-x}Mg_xO$:（Al，In）合金薄膜的电学特性，当带宽为3.76 eV时，其载流子浓度为$4\times10^{19}/cm^3$，迁移率为$7.6\ cm^2/V\cdot s$。除此以外，B和Sn等元素也可使ZnO电阻率降低。Yamada等用紫外光辐照原子层淀积法，以B_2H_6为掺杂前驱，制备出了电阻率为$7.5\times10^{-4}\ \Omega\cdot cm$的导电薄膜；Nakada等人首次将掺B的ZnO用做$CuZnSe_2$薄膜太阳电池的窗口材料，发现用ZnO:B代替ZnO:Al可改善电池的短路电流等性能。Sn在ZnO材料中作为施主可释放两个电子，0.1%的掺杂量可使ZnO电阻率下降3个数量级，并且通过和Mn共掺方法，还可以实现ZnO材料室温铁磁有序。

3.1.3　p型掺杂与电学性质

ZnO的p型掺杂已成为该ZnO研究领域的一个重大科学难题，也引起了科技工作者极大的研究兴趣。目前已有许多生长技术、受主基团、衬底被用来制备p-ZnO。大多数p型掺杂原子都会在ZnO中引入深的受主能级。例如，Cu在ZnO中形成的受主深能级在导带下170 meV，而Ag形成的受主深能级在导带下230 meV，Li原子在ZnO中也是深的受主能级，并且导致ZnO具有铁电行为。而ZnO中最理想的p型掺杂剂被认为是Ⅴ族元素，尽管理论计算显示获得浅的受主

依然存在困难。例如，采用第一性原理对ZnO基局域态密度近似的电子能带结构的计算表明，其Madelung能量随n型掺杂中Ⅲ族阳离子的替代而减小，而随Ⅴ族阴离子的替代而增加，显示施主态的明显局域化。然而，有一些报道表明了Ⅴ族元素的替代实现了受主的掺杂能级。

在Ⅴ族元素中，N很自然地被用来作为受主掺杂剂，因为它与O具有几乎相同的离子半径。N掺杂地ZnO中的光致顺磁共振表明存在N替位的受主态。曾有报道采用H_2为载气、在富余Zn的情形下，通过NH_3的加入生长出了p型ZnO，该材料的电阻率高达100 Ω·cm，表明相当深的受主能级和较小的载流子浓度。同时采用脉冲激光淀积技术使用N_2O的等离子体掺杂也实现了p型掺杂。同样RF等离子体离化N_2也使N成功地掺入到ZnO薄膜中，尽管由于形成补偿的复合体而使Hall效应测量显示并没有得到确定的p型行为。理论研究表明，在N掺杂的ZnO中缺少p型行为被认为是由于形成了N-N复合体。特别是，N-N复合体的形成引入了补偿中心。孤立的代位N的存在被认为是实现理想受主态的关键所在。因此，由于N_2分子具有很高的离化能(9.9 eV)，采用每个分子仅包含一个N原子的掺杂剂（如NO、NO_2）更有可能形成受主态。采用MBE技术，并用RF等离子体产生原子O和N生长出了p型ZnO材料，其Hall迁移率达到2 cm^2/V·s，空穴浓度达到$9\times10^{16}/cm^3$，低温PL谱测量显示该受主能级为170～200 meV。以上结果表明，p型ZnO:N材料的获得必须依赖于尽可能地降低来自于缺陷或复合体形成所产生的补偿施主能级。同样的，采用溅射技术和P的掺杂和退火技术也实现了ZnO的p型掺杂，其空穴迁移率在0.5～3.5 $cm^2\cdot(V\cdot s)^{-1}$之间，而载流子浓度则达到$10^{17}\sim10^{19}/cm^3$。类似的，对p型掺杂的ZnO薄膜的退火导致半绝缘行为，这与深受主能级的激活相当一致。另外，一个有趣的理论计算表明，共掺杂可能对形成p型掺杂是有用的，因为计算表明N-Ga-N可能比单独的N更易溶并更易形成浅受主能级。尽管有一些实验证实了这一设想，但一个可能的问题是多余的孤立Ga原子将会补偿N-Ga-N受主，并且也会影响材料的晶体质量。

除了N之外的其他Ⅴ族元素也被考虑来取代O位。考虑到它们相对于O离子的较大的离子半径，这些元素在ZnO中的固溶度必然受到限制。目前人们主要探讨了其他两种Ⅴ族元素，如P和As。但是态密度理论计算显示P_0的受主能级为0.93 eV，远大于O的预计值0.40 eV，这种巨大的差别主要来自于P和O的离子半径的巨大差异。尽管如此，人们还是通过一些技术获得了P掺杂的p型ZnO材料，这显示态密度的理论模型不尽准确，或者该p型受主并不是P_0。另一方面，As_0的能级可能更深，态密度计算显示其能级达到1.15 eV。但是还是有报道称采用As从GaAs衬底的扩散技术在GaAs/ZnO的界面上获得了p型掺杂层，同时也已在Al_2O_3衬底上采用As掺杂的p型ZnO材料，其激活能为120 meV。人们在P和As掺杂制备p型ZnO上的成功出人意料。另外，人们通过在n型ZnO衬底与表面P重掺的ZnO层之间获得了类似于pn结的行为。在这里p型掺杂的实现主要是通过对覆盖在ZnO单晶上的ZnP的激光退火而获得的。必须注意的是，在其他Ⅱ-Ⅵ族化合物半导体中，大失配的掺杂原子同样也被用来实现p型掺杂。特别的是，尽管Se(0.198 nm)与N(0.146 nm)之间存在较大的半径差，N在ZnSe中的掺杂导致了一浅的受主能级。尽管人们对这些研究结果充满了希望，但依然存在一些未解决的问题，如掺杂原子的固溶度和可能出现的掺杂区的第二相的问题。

另一方面，Ⅰ族元素如Li、Na、K被预计其相应受主能级为0.09 eV、0.17 eV和0.32 eV。这些能级要浅于Ⅴ族元素，但实验表明，由于具有施主特性的间隙态Li的形成，Li的掺杂将导致ZnO为半绝缘。也就是说，伴随Li_{Zn}受主的形成使费米能级下移，Li施主的形成也会变得越来越容易导致费米能级被控制在施主和受主之间，接近能级中央。这一原理对Na的掺杂也同样成立。而对K的掺杂，则会较容易形成O空位，从而使材料不能转变为p型ZnO。换句话说，如果理论上的考虑是有效的话，Ⅰ族元素的掺杂可能制备出半绝缘的ZnO材料，而不是p型ZnO。

3.1.4 问题与展望

表6.5-3是2004年人们在ZnO p型掺杂方面的研究进展，各种制备方法、掺杂剂及各种实验结果均在探索中，有一些结果相当令人鼓舞。

表6.5-3 2004年ZnO p型掺杂方面的研究进展

制备方法	掺杂元素	掺杂源	衬底	电阻率 /Ω·cm	空穴浓度/cm^{-3}	迁移率 /$cm^2\cdot(V\cdot s)^{-1}$	发表年份
超声喷雾分解	In，N	CH_3COONH_4 $In(NO_3)_3$	Si(100)	1.7×10^{-2}	2.44×10^{18}	155	2004
脉冲激光淀积	P，Mg	P_2O_5，MgO	Pt/Si	100～1 000	2×10^{18}	0.01～0.001	2004
金属有机化学气相外延	O	O_2	蓝宝石	42.7	1.59×10^{16}	9.23	2004
金属有机化学气相外延	N	二烯丙基胺	—	—	6.5×10^{17}	—	2004
射频磁控溅射	N	Si_3N_4	Si_3N_4/Si	10.11	7.3×10^{17}	6.02	2004
直流磁控溅射	N，Al	N_2O，Al	玻璃	57.3	2.25×10^{17}	0.43	2004
超声喷雾分解	N	CH_3COONH_4	Si (100)	3.02×10^{-2}	8.29×10^{18}	24.1	2004
蒸发、溅射	As	Zn_3As_2	石英	0.4	4×10^{18}	4	2004
脉冲激光淀积	As	Zn_3As_2	蓝宝石	6.7	1.18×10^{18}	0.83～11.4	2005

但是尽管从1997年开始，就有许多报道声称已研制出p型ZnO，但一般而言，国际上其他实验室对相关结果的重复性实验还较少见报道，同时这种掺杂随着时间的稳定性也一直受到人们的关注，例如有报道称p型掺杂经过一段时间后将转变为n型。因此报道中ZnO的p型导电的一致性和可重复性还有待更多的实验证实。人们更期望一个具有权威性的高效p型掺杂的证明，即形成一高效发光的pn同质结来证实已获得的结果。

另外，在ZnO的p型掺杂机理方面，人们也需要更多的探索。例如单个N取代双N对ZnO中N的激活的影响也需

要有更好的了解，这需要对不同N源分子产生的施主能级进行比较。由于间隙态Zn、O空位和H的复合体对补偿的电子有贡献，因此进一步的研究必须包含氧化基团作用对制备低本征杂质薄膜材料作用的理解。同时人们必须解决不同V族原子杂质的固溶度（亚稳态）和带隙中受主态局域化等关键问题。此外，共掺杂行为对降低受主态能级的作用也需要更加明确的证明。当然人们还必须设法减小生长所引起的背景杂质浓度以便在输运测量中能够观察到受主的存在。

3.2　ZnO的光学性质

3.2.1　ZnO的拉曼散射

纤锌矿ZnO属于C_{6v}空间群，每个原胞包含两种群表示。在布里渊区Γ点，根据选择定则，ZnO具有以下六种光学模式存在：$\Gamma_{opt}=1A_1+2B_1+1E_1+2E_2$，其中$B_1$是非活性的，$A_1$、$E_1$、$E_2$是拉曼活性，而$A_1$、$E_1$是红外活性，因此具有极性的$A_1$、$E_1$可分裂成为纵向声子LO和横向声子TO。图6.5-2为ZnO具有的六种光学振动模式。

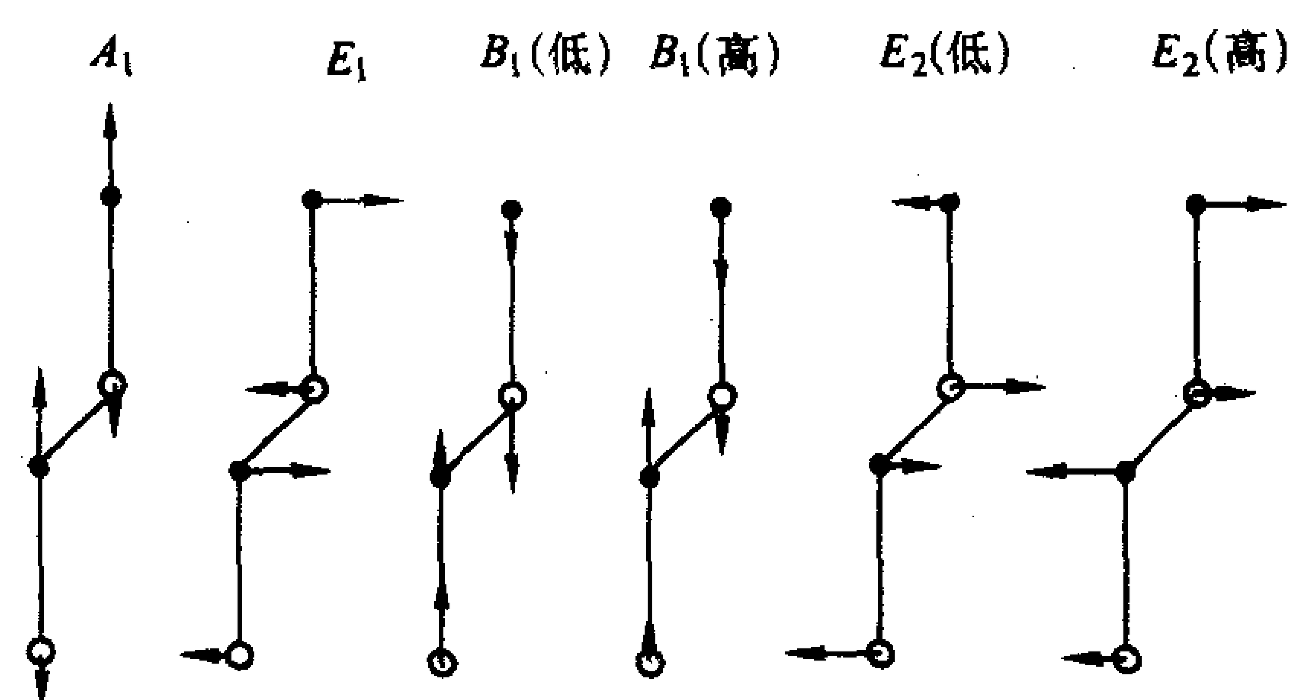


图6.5-2　ZnO纤锌矿结构光学声子的六种振动模式

该振动模式与GaN中的情形相同，图6.5-3给出了ZnO材料在不同测量模式下的Raman散射谱，其中实线代表一级声子振动模（first-order phonon modes），虚线代表多级声子振动模（multi-order phonon modes），同时发现理论计算和实验结果比较符合，见表6.5-4。

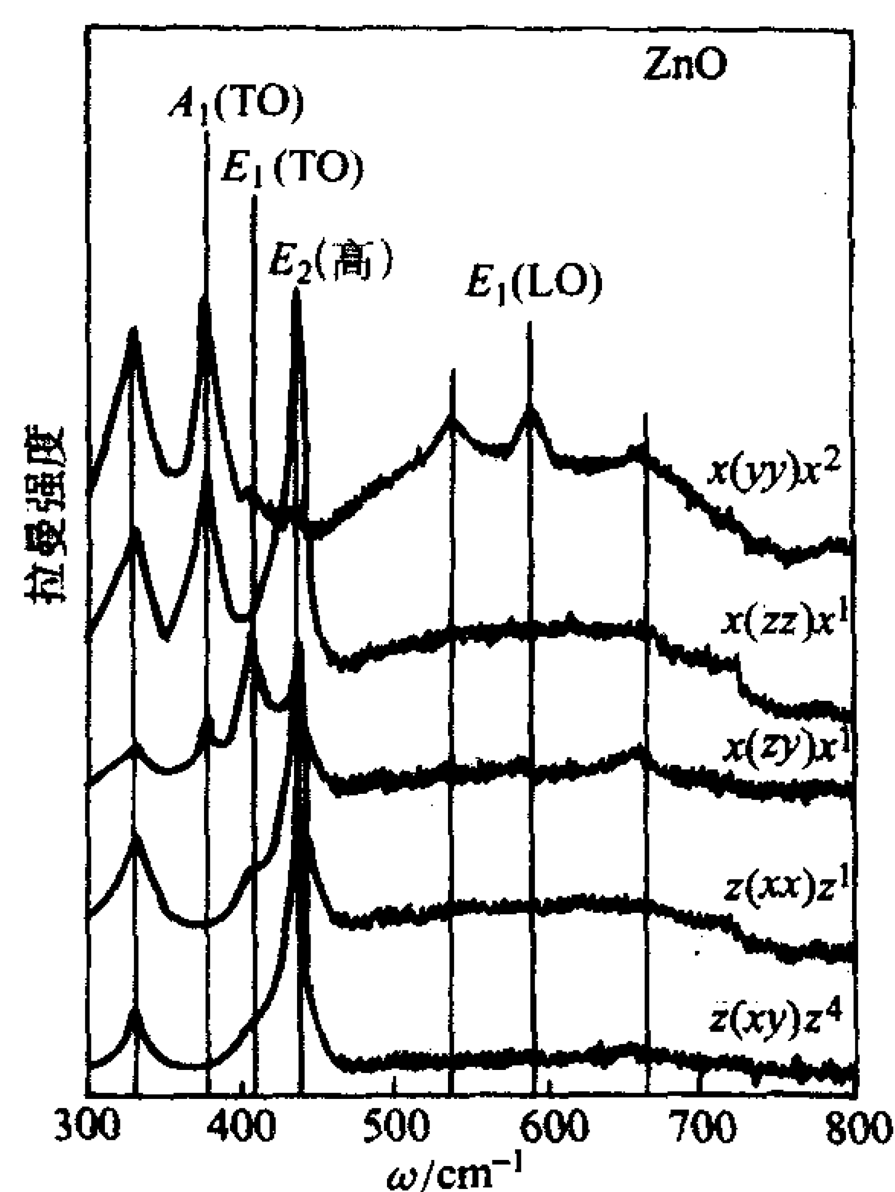


图6.5-3　不同测量模式下ZnO的Raman谱

一级光学声子用实线表示；多级光学声子用虚线表示

3.2.2　能带结构与激子特性

（1）价带分裂

表6.5-4　典型ZnO Raman声子振动模理论计算值和实验测量值

振动模式	实验测量	理论计算
E_2（低）	99	92
E_2（高）	439	449
A_1（TO）	382	397
E_1（TO）	414	426
A_1（LO）	574	559
E_1（LO）	580	577

在小于带隙的能量范围内，ZnO的光折射率随波长的变化较大，变化范围为1.96～2.1，并在布里渊区的Γ点具有直接带隙，其室温下的带隙宽度为3.376 eV。导带是s型，而价带是p型（即六度简并）。如图6.5-4所示，由于自旋轨道耦合和晶体场作用导致价带分裂成三个双重简并的子带，分别称为子带A、B和C。

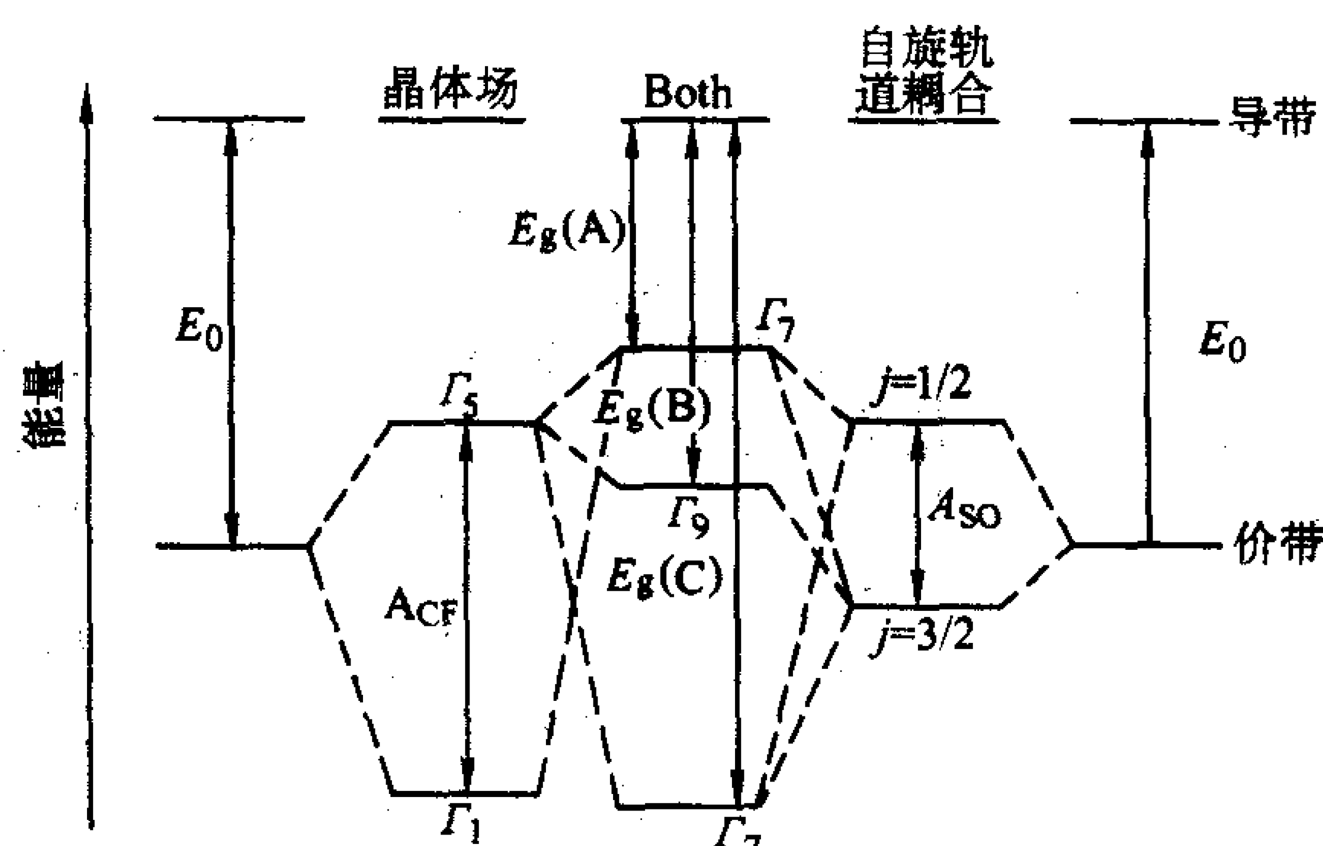


图6.5-4　自旋轨道耦合和晶体场作用导致ZnO价带分裂示意图

当一个电子沿一电场如晶格的周期势场运动时，会受到一个等于其速度与电场矢量乘积的电势的作用，这一额外的作用被称之为自旋轨道耦合，该耦合倾向于解除具有相同波函数但具有不同自旋方向的简并度，通常一个六度简并的带分裂为一个四度简并（$j=3/2$）和一个两度简并（$j=1/2$）两个带。在ZnO中，自旋简并耦合由于价带Zn的d带的贡献为负，导致其作用为负，从而使$j=1/2$带比$j=3/2$带具有更高的能量。另一种形式的微扰是由于内层电子（如Zn的d层）与不可忽略的周围晶格的电场之间的互作用，称之为晶体场分裂，它将导致价带分裂为Γ_5和Γ_1态。如图6.5-4所示，子带A和C具有Γ_7对称性，而子带B具有Γ_9对称性。在$T=4.2$ K时，带隙E_g为3.437 6 eV，A、B子带间能隙为4.9meV，B、C子带间能隙为43.7 meV。

（2）激子行为

ZnO中，具有束缚能量为63 meV、50 meV和49 meV的三个自由激子被认为分别与价带的ABC三个子带有关。这些自由激子的激发具有各向异性，可分别由偏振方向平行或垂直于ZnO的c轴方向的光所激发。激子C优先由平行于ZnO的c轴方向的光所激发，激子A、B则由垂直于ZnO的c轴方向的光所激发。激子A的束缚能是室温下有效热能的2.4倍，导致即使在室温下也可能存在受激发射。通过减小工作层的尺寸，可以大幅度提高激子束缚能和振荡强度，从而进一步改进激射特性。ZnO中光泵激射的现象已经被观察到并保持到了550 K的高温。

一般而言，低温下ZnO的带边发射谱主要是束缚激子的

复合，而较弱的线则来自于自由激子的贡献。自由激子来自于一个位于价带顶的自由空穴和位于导带底的自由电子之间由于相反的电荷所导致的库仑相互作用。而束缚激子则是由于孤立的本征或外来的晶格中的缺陷通过库仑力对激子形成的束缚。例如，一个自由空穴可以与一个中性施主形成带正电的激子离子，在这种情况下，束缚于施主的电子仍然沿着施主的宽轨道运动，而相联系的空穴则在施主-电子极化子的静电场中运动。相应的，电子束缚于中性受主也可形成束缚激子。前者称之为 D^0X，后者称之为 A^0X。发光行为就来自于束缚到受主或施主的激子的复合。实验发现 4 K 时束缚激子的光学跃迁优先发生在 E⊥C 方向。一般 D^0X 和 A^0X 位于自由激子 A 以下 10 meV 和 25～30 meV 左右。

室温下光泵激射都已经在 MBE 生长的 ZnO 和 MgZnO 中观察到，激射一直保持到了 550 K 以上，所观察到的激射能量位置与激子之间的非弹性散射的计算结果一致。这种碰撞的结果导致一个激子被激发到了高能级，并产生一个声子。由于激子的共振长度要比直接的电子-空穴对大很多，同时激子复合所导致的光学增益的能量分布也要比处于带尾的自由载流子的复合窄得多，因此基于激子效应所导致的激射过程将比电子空穴等离子体具有更大的增益和更低的阈值。这就使 ZnO 基结构材料特别适合于发展基于激子效应的光电器件。

3.2.3 光致发光

在室温下 ZnO 的带隙为 3.376 eV，略小于 GaN 的禁带宽度。ZnO 材料具有很好的发光特性，在不同条件下，发光峰位也不尽相同，因此基于 ZnO 的发光机制也非常复杂。这些发光机制包括带间跃迁发光、激子复合发光以及缺陷或杂质能级跃迁发光。目前激子复合发光和杂质缺陷能级跃迁发光是 ZnO 发光性质研究的重点。

图 6.5-5 是典型的未掺杂 ZnO 材料的低温光致发光谱。在低温下带边发光主要是由束缚激子复合导致的，如中性施主束缚激子（D^0X）或中性受主束缚激子（A^0X）以及它们的纵向光学声子线。施主受主对（DAP）跃迁及其纵向光学声子线在某些 ZnO 材料也经常看到，如图 6.5-5 所示。同时，中心位于 2.43 eV 的绿带发光也很典型，某些 ZnO 材料中还观察到中心位于 2.0 eV 的宽橙红发光峰。由于材料制备工艺和生长条件的不同，ZnO 的可见光的发光机制非常复杂，目前尚无定论。

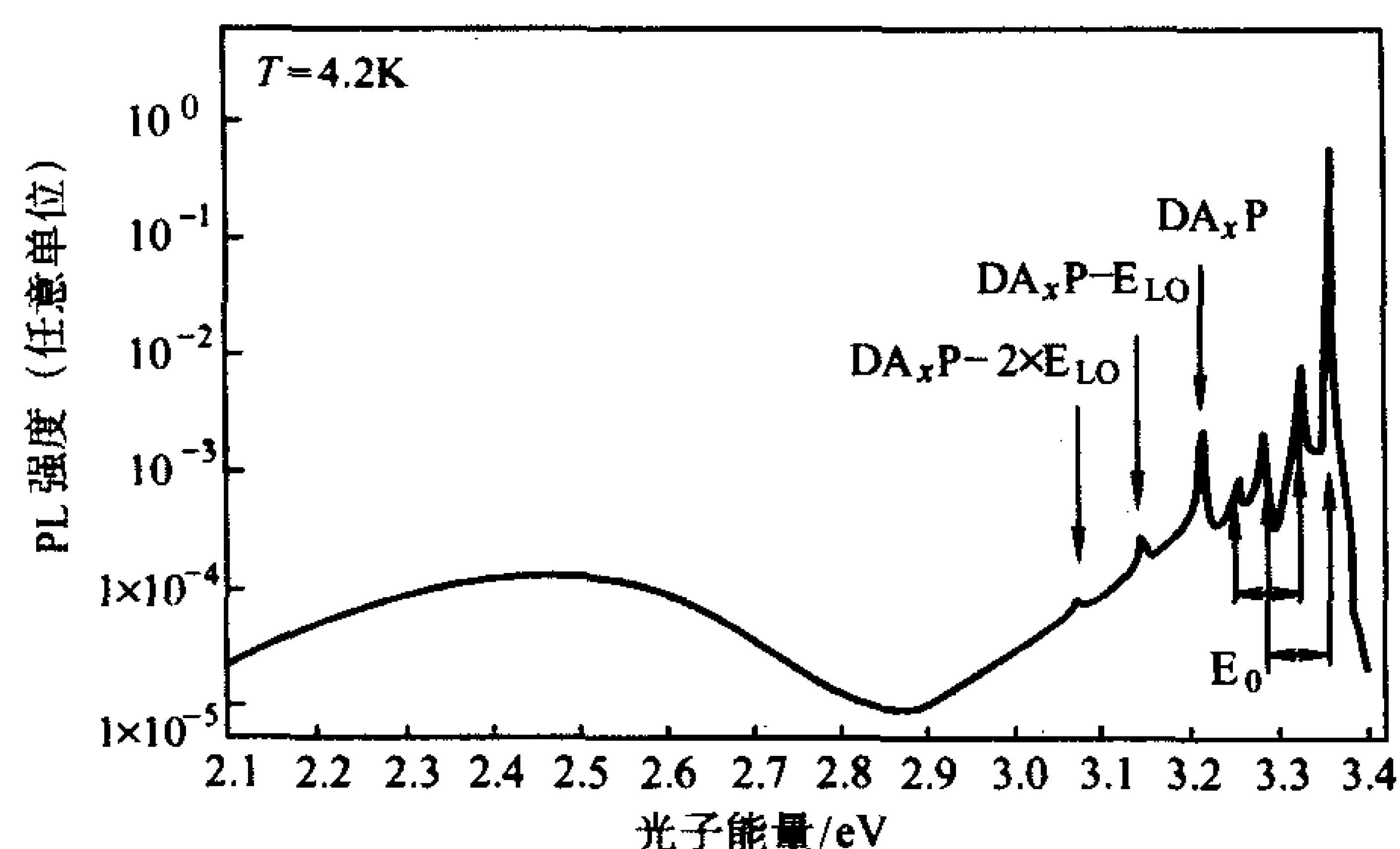


图 6.5-5 T = 4.2 K ZnO 低温光致发光谱（He-Cd 325 nm）

（1）激子复合发光

ZnO 的激子束缚能高达 60 meV，大约为 GaN 材料的两倍，远高于室温下晶格热动能 26 meV，因此很容易实现室温受激发射。目前所报道的 ZnO 受激发射都是由激子复合引起的，因此研究激子复合发光机制具有重要的意义。室温下，ZnO 的紫外发光峰主要由自由激子复合所引起。在一定条件下，还会出现激子-激子碰撞发光和声子参与的激子发光等。Bagnall 等人利用 355 nm 高强度 Nd:YAG 激光通过三倍频作为泵浦光源激发 ZnO 薄膜，发现当激光强度小于 240 kW/cm^2 时，发光来源于自由激子复合，属于自发辐射；当激光强度大于 240 kW/cm^2 时，3.067 eV 处的发光强度迅速增加，线宽变窄，这是由于激子-激子碰撞引起的受激发射。Chen 等人在等离子体辅助分子束外延制备的 ZnO 薄膜中，观察到了自由激子复合的两个声子峰，说明发光过程中有声子参与。低温下，ZnO 的光致发光主要以束缚激子和 DAP 复合发光为主。B.K.Meyer 等人较为系统地研究了 ZnO 材料中束缚激子复合和施主受主对（DAP）复合的发光机制，通过双电子卫星峰位（two electron satellite transitions）确定了 ZnO 中 H、Al、Ga、In 等六种浅施主的束缚激子的结合能。根据霍尔测试和电子顺磁共振实验，确认 I_4（3.362 8 eV）是氢中性施主束缚激子引起的，而 I_6（3.360 8 eV）、I_8（3.359 8 eV）和 I_9（3.356 7 eV）则分别是由 Al、Ga、In 浅施主束缚激子复合发光峰峰位。D.C.Reynolds 在液氦温度下用 He-Cd 和 Ar^+ 激光器同时激发 ZnO 材料，发现 Ar^+ 激光器激发的自由电子有效地屏蔽了施主，导致 D_0X 束缚激子复合发光强度下降而自由激子发光强度增加。同时 Ar^+ 激发强度越强，自由电子浓度越大，自由激子和束缚激子发光峰都出现明显红移，这是由于电子浓度的增大引起多体效应而导致能带重整化，导致能隙紧缩。

随着 ZnO 半导体材料及其合金的外延技术的进展，量子阱结构具有实际的用途，量子限制效应可以提供更大的共振长度和激子束缚能和工作波长的可控调节，进一步减小有源层的尺度将会使激子束缚能和共振长度进一步增大，从而进一步改善激射特性。在Ⅱ-Ⅵ族宽带隙半导体中有关量子尺寸效应的实验研究很少，这是由于宽带隙半导体中的激子半径很小，只有当束缚方向的尺寸非常小的时候才有可能使量子尺寸效应变得显著。已有报道关于在晶格配匹的 ScAlMgO4 上生长的 ZnO/MgZnO 多量子阱的结构和光学性质，晶格匹配使得量子阱的厚度高度可控，从而在 1.5 个晶胞尺度或以上的量子阱中观察到量子限制效应和室温下的激子 PL 谱。同样通过改变阱宽和垒宽以及激子性质的温度效应研究了量子效应下的激子束缚能的变化。多量子阱中 ZnO 的激子束缚能要比体 ZnO 中高很多并依赖于阱宽。该实验与考虑这一结构中的激子声子互作用后的理论计算符合得很好。同时多量子阱中激子与 LO 声子的耦合强度也将比体 ZnO 中减小很多，这一减小与激子束缚能的增加密切关联，这表明多量子阱中的激子稳定性将得到极大的提高。

（2）杂质缺陷能级跃迁发光

ZnO 材料中的可见光发射过程非常复杂，目前已报道的可见光发光峰位主要集中在：紫带发光（3.06 eV）、绿带发光（2.45 eV）、黄带发光（2.2 eV）和红带发光（2.0 eV）。这些发光峰位是由不同的发光中心和发光机制造成的，而不同发光中心是由不同类型的本征或者杂质缺陷充当，譬如间隙位锌（Zn_i）、氧空位（V_0）、锌位氧（Zn_0）等施主型缺陷和锌空位（V_{Zn}）、间隙位氧（O_i）、氧位锌（O_{Zn}）等受主型缺陷。对于 500 nm 的绿带发光在 ZnO 材料中较为典型，大多数研究者认为这是材料中氧空位缺陷能级跃迁引起的发光，但其跃迁机制尚未有定论。氧空位一般有三种不同的价态形式存在于 ZnO 晶体中：一种为携带两个电子的中性氧空位 V_0，其能级紧靠导带底；一种为携带一个电子的单价氧空位 V_0^+，在平带情况下大多数氧空位以此形式存在；还有一种是不携带任何电子的二价氧空位 V_0^+。K.Vanheusden 等人研究了自由载流子浓度、顺磁氧空位（V_0^+）密度和绿带发光之间的关系，认为 2.45 eV 左右的绿带发光带主要是由孤立的单价氧空位 V_0^+ 俘获价带光生空穴的光跃迁过程造成

的。而 A van Dijken 等人研究认为，V_O^+ 在一定条件下易通过非辐射过程从表面俘获一个空穴而形成 V_O^+ 缺陷中心。该中心是一个深能级陷阱，当被光激发到导带的电子往回跃迁时，很容易被 V_O^+ 陷阱俘获，并发出能量 2 eV 左右的光子。另外，D.C.Look 等人研究认为，ZnO 材料中的绿带发光和 GaN 中的黄带发光相似，都是由两种浅施主到锌空位深受主的辐射跃迁造成的，并且通过 Hall 测量，浅施主的能级位于导带底 30 meV 和 60 meV。B.Guo 等人研究发现 2.43 eV 的绿带发光强度随激发强度的增加而增加，并且峰位蓝移，证实了 DAP 辐射跃迁是绿带发光的起源。S.H.Jeong 和 X.L.Wu 分别在富氧生长条件下观察到 3.09 eV 附近的发光峰，认为是电子在导带和锌空位能级间的辐射跃迁发光。中国科技大学徐彭寿等人利用全势线性多重轨道（full-potential linear muffin-tin orbital）即 FP-LMTO 方法计算得到 ZnO 材料中各种常见缺陷的能级位置，如图 6.5-6 所示，对 ZnO 材料中缺陷能级的确认具有一定的参考价值。正因为 ZnO 材料具有可见光区发射强的特点，人们通过故意掺杂可以实现 ZnO 白光发射。最近，N.Ohashi 等人利用三族金属和锂共掺的方法获得了呈现黄白光的高亮度 ZnO 薄膜材料，对 ZnO 基白光发光二极管的研制具有重要意义。

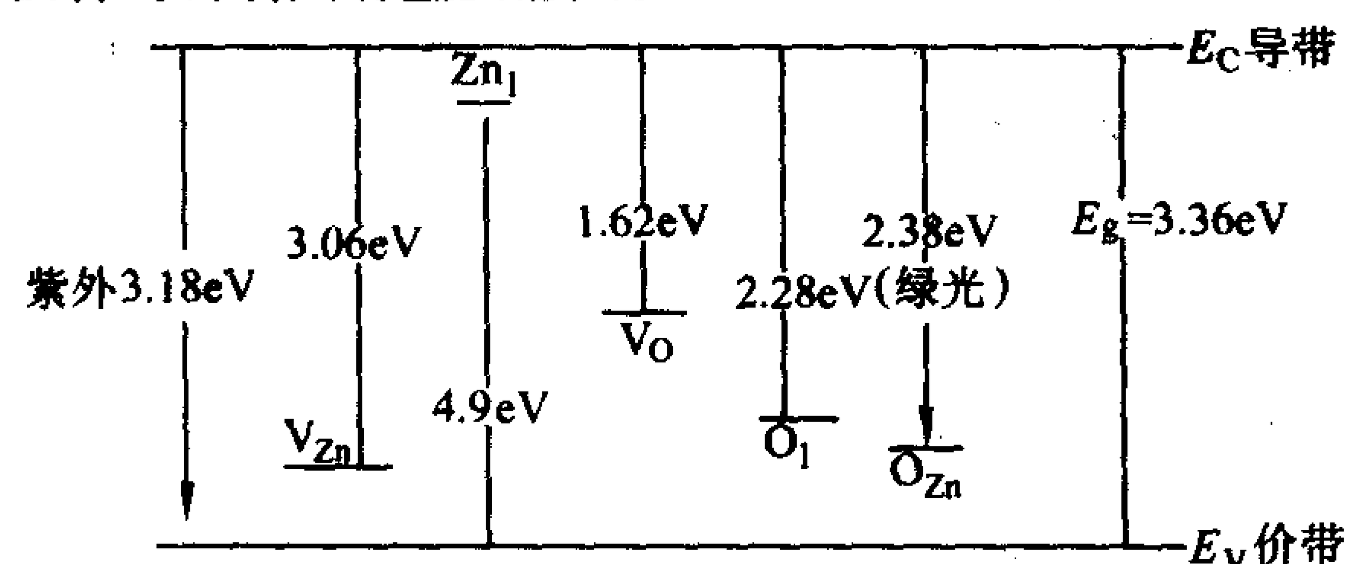


图 6.5-6 ZnO 本征材料中点缺陷和缔合缺陷能级示意图（单位 eV）

3.3 ZnO 的压电性质

压电性质通常表现为电与力学系统之间的线性互作用，压电效应包括力学应力产生一极化场，同时，晶体在电场作用下也会产生应变。这种互作用可发生在电、力学和热中的两个因素之间。而中心对称的体系如金刚石结构（Si、Ge 等）或岩盐结构（MgO）往往并不具有压电性质。一般压电材料中的机电耦合系数满足以下关系：

$$\rho\frac{\partial^2 u}{\partial t^2}=c\frac{\partial^2 u}{\partial x^2}+e\frac{\partial E}{\partial x} \qquad (6.5\text{-}8)$$

这里 u 是材料在 x 位置 t 时间的偏移量，E 是电场强度，而 e 是压电系数。因此一个交变电场将会产生同样频率的弹性波，相反弹性波也会导致极化场的产生。

ZnO 因具有很高的信号处理的机电耦合系数而首先被作为体声波的传输材料，并越来越受到人们的关注。ZnO 薄膜一般与具有较高声波速度和低损耗的衬底如蓝宝石、碳化硅和金刚石，与半导体如硅和砷化镓，与低耦合系数的压电材料如石英等结合在一起。对压电材料最重要的是声波速度和机电耦合系数，这两个参数都依赖于材料的性质、表面晶向和传输方向。与压电性质相关的 ZnO 参数如下：

硬度常数 [10^{11} N/m^2] $C_{11}=2.090$; $C_{33}=2.109$; $C_{12}=1.205$

$C_{13}=1.046$; $C_{44}=0.423$; $C_{66}=0.456$

介电常数（等应变） $\varepsilon_{11}=8.55$; $\varepsilon_{33}=10.2$

压电应力常数 [C/m^2] $e_{15}=-0.48$; $e_{31}=-0.573$; $e_{33}=1.32$

高密度、定向生长的 ZnO 薄膜是一种具有良好压电性质的材料。研究表明，利用射频磁控溅射法在 200℃ 的 SZ 基片上沉积的 c 轴定向的 ZnO 薄膜具有很好的压电性，其在 0.9 GHz 附近的高频区表现出很好的电声转换效应及低嵌入损耗（4.9 dB）等特征，是制备高频纤维声光器件如声光调制器等压电转换器的优选材料。工作于 1～4 GHz 范围内的声表面波器件在现在和将来的无线通信中有广泛的需求。一般而言，工作在 2.5 GHz 的 SAW 器件的相邻电极间距接近 0.5 μm，SAW 速率接近 2 600 cm^{-1}，这要求线宽达到 0.25 μm，达到了 ZnO 器件工艺的极限。因此，ZnO SAW 的速度必须得到提高以获得更高的工作频率。这可以通过将 ZnO 淀积在一个具有更高 SAW 速度的衬底上来实现。同时（11$\bar{2}$0）方向 ZnO 的压电耦合系数要远大于（0001）方向，或沿（0001）方向声波传输速度较高，同时耦合系数也较大，因此目前高性能 ZnO SAW 器件往往采用制作在（11$\bar{2}$0）方向的蓝宝石衬底上。

3.4 ZnO 的合金性质与能带工程

能带工程是剪裁半导体材料光电性能和发展新型器件的重要手段，ZnO 的带隙可通过阳性晶格离子的等价置换而调节从而制备异质结构。例如，Cd 的替代可减小带隙到 3 eV，从而扩展到蓝光范围；而 Mg 对 Zn 晶格位置的替代可增加带隙到 5 eV 以上，并保持六方结构，从而使 ZnO 的响应波长可以扩展到深紫外。由于 Cd 的毒性较大，目前报道的工作较少，研究工作主要集中在 MgZnO 的合金上。

相对于 ZnO，MgO 是立方结构，间接带隙宽度为 7.8 eV。但 MgO 在 ZnO 中较低的固溶度限制了 MgZnO 合金的能带调节范围。对 MgZnO 合金，其带隙如下：

$$E_g(\text{MgZnO})_c=xE_g(\text{MgO})+(1-x)E_g(\text{ZnO})=0.04(\text{Mg 组分})+3.20\ \text{eV} \qquad (6.5\text{-}9)$$

但当 Mg 组分 x 超过 0.35 时，带隙与组分关系式出现了一个拐点，如图 6.5-7 所示，这种斜率的变化主要是由于在该组分出现物相变化使材料从六方结构变为立方结构所致。人们通常认为 ZnO 与 MgO 组成三元半导体形成的宽带隙 MgZnO 是 ZnO 基器件的一个很好的势垒层，但 MgO 在 ZnO 中的固溶度的限制使人们在 MgZnO 中可能获得的能带调节要小许多。

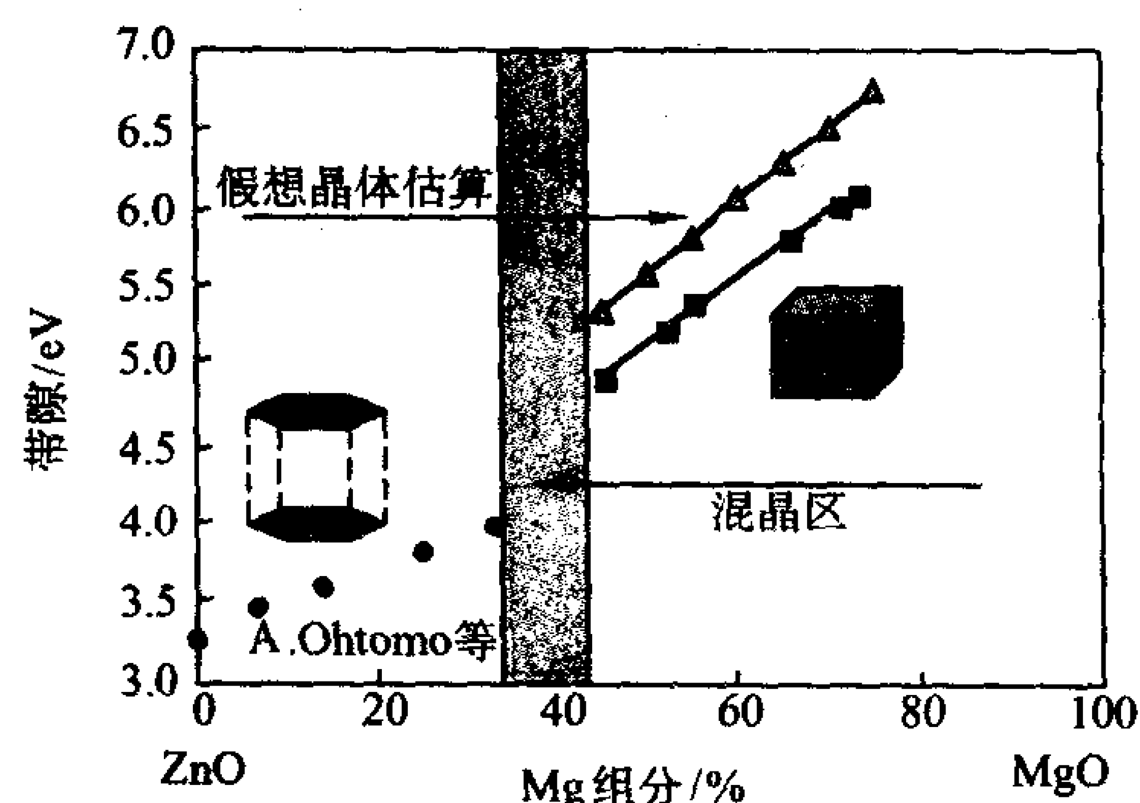


图 6.5-7 ZnMgO 合金带隙和 Mg 组分之间的变化关系

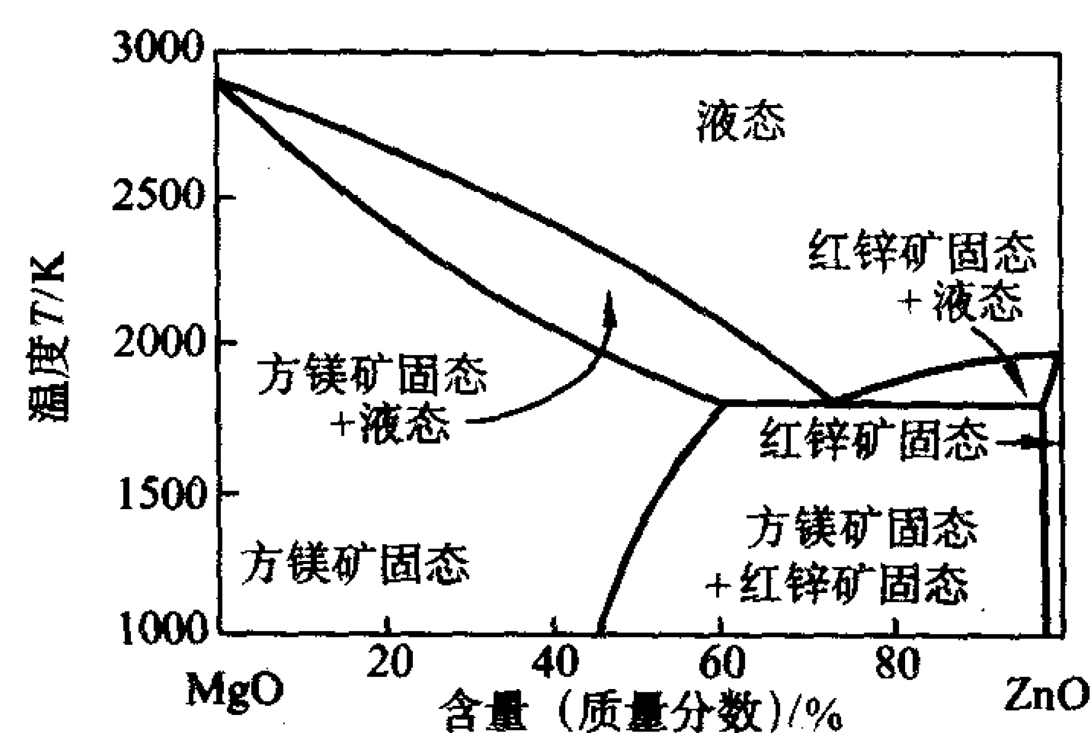


图 6.5-8 MgO-ZnO 合金系统的平衡相图

MgO 具有 NaCl 型的晶体结构，为 Mg 和 O 的面心立方子晶格沿轴套构而成。而 ZnO 为六方结构，它由 Zn 和 O 的六

角密堆晶格中心套构而成。由于 Mg 离子的半径（0.066 nm）非常接近 Zn（0.060 nm）离子，因此 MgZnO 三元合金的晶格常数将接近 ZnO，从而能保持六方结构。但是一旦组分超过固溶度，则将导致第二相的出现，表 6.5-5 列出了 ZnO 与 MgO 的基本结构与特性参数。图 6.5-8 为 ZnO－MgO 合金系统的平衡相图，显示 MgO 在 ZnO 中较低的固溶度，而在 1 800℃温度下最大的热动力学固溶度小于 5%。但是，实验上发现 ZnO 薄膜中 MgO 的固溶度要高得多，达到 25%以上。目前溅射、PLD 和 Laser-MBE 都获得了组分超过 36% 的 MgZnO合金，并且发现在 700℃以下，15% MgZnO 合金是稳定的。人们一般认为，MgZnO 薄膜中高镁组分的获得可能是由于外延层与衬底之间的应力的调节所导致。

组成异质结构的半导体之间平面内的失配度是一个重要参数。当异质结构处于应变时，将会引入正比于应变和压电常数乘积的压电电场，导致阱中的电子与空穴在内建电场作用下在空间隔开。相比于 GaN 基材料而言，MgZnO/ZnO 异质结构平面内匹配度较好，因此在 ZnO/MgZnO 的异质结构与量子阱中该内建电场的作用要小很多。另外，最近的研究表明，ZnMgO/ZnO 异质结构的导带与价带不连续的大小比为 60%/40% 到 70%/30%。以上表明宽带隙的 MgZnO 合金是 ZnO/MgZnO 超晶格和量子阱的合适的势垒材料，而 Li 掺杂的 MgZnO 不仅是宽带隙半导体材料，同时还是一种铁电材料。因此 MgZnO/ZnO 异质结构可以被广泛应用于光电器件和以声、光、电互作用为基础的器件中。

表 6.5-5　ZnO 与 MgO 的基本结构与性质参数的比较

性质	参数	ZnO	MgO
基本性质	密度	5.675	3.576
	分子质量	81.39	40.30
	离子半径	0.60	0.57
	电子构型	Zn：(Ar)$3d^{10}4s^2$ O：(He)$2s^2 2p^4$	Mg：(Ne)$3s^2$ O：(He)$2s^2 2p^4$
晶格性质	晶体结构	钎锌矿（六方）	岩盐矿（立方）
	空间群	$P6_3mc-C_{6v}^4$	Fm3m
	室温下的晶格常数	3.249 5/5.206	4.212
	单元体积	47.6	74.73
	单元原子数	12(6Zn,6O)	8(4Mg,4O)
热力学性质	熔点	2 250	3 073
	线胀系数	a∥c＝25.6(260 K) a⊥c＝45.0(260 K)	0.78(70) 10.4(300)
	室温下的热导率	54	48.2
	热容量	494	935
力学性质	硬度	5	5.33
	弹性模量	111.2	248.2(100), 113.8(111)
电学性质	带隙	3.37(300 K) 3.441(6 K)	7.8(85 K)
	室温 Hall 迁移率	70(薄膜,⊥c)	10
	电子	170(体材料∥c),	
	空穴	150(体材料⊥c)	2
	激子束缚能(A/B/C)	5－50	
	室温电子与空穴有	63/50/49	
	效质量	0.28/0.59	9.8
	介电常数	7.80/8.75	1.29
	电子亲和势	1.6/3.61	1 000(1 800 K)
	塞贝克常数	－380(680 K)	
光学性质	折射率	//c：2.014 7 ⊥c：1.998 5(600 nm)	
	吸收系数	2×10^5(354 nm)	

4　ZnO 半导体技术的应用

4.1　技术应用范围

ZnO 半导体具有较大的压电常数与机电耦合系数，较低的温度系数和较小的介电常数，c 轴取向的氧化锌具有较强的压电和压光效应，可以用作声电、声光装置。例如在体声波方面（BAW），可用于超声显微镜和薄膜谐振器等；在声表面波方面（SAW），作为一种传输和相干材料，可用于滤波器、放大器、图像扫描等；同时，氧化锌还用于制备气体传感器，薄膜氧化锌在气体传感器上的应用具有相当大的前景；另外，氧化锌还是制备压力及加速度传感器的优良材料；ZnO 薄膜在较低的频段或在声学频段用于制作传感器中的压电换能器，而集成光波导传感器则利用了其光学性能。

另一方面，ZnO 半导体容易实现 n 型掺杂，因此 ZnO 薄膜可作好良好的透明电极，在发光元件、太阳能电池窗口材料、光波导器材料、场发射低压平面显示器材料、压电器件、液晶显示、反射热镜、紫外与红外光阻挡层及气体敏感器件等方面具有广阔的应用前景。例如 ZnO 薄膜的低阻特征使其成为一种重要的电极材料，如用做太阳能电池的电极、液晶显示屏电极；高透光率和大的禁带宽度使其可用做太阳能电池的窗口材料、低损耗光波导器材料等；它的发光性质及电子辐射稳定性则使其成为一种很好的单色场发射低压长寿命显示器材料，产业化前景看好。

同时 ZnO 还是除 GaN 之外的另一个可能在室温实现铁磁性的化合物半导体材料。ZnO 基的磁性半导体的研究成为自旋电子学材料领域研究的主要方向之一，主要集中在 Co 和 Mn 元素等过渡金属元素的掺杂，并且出现了接近室温铁磁性的报道。详细内容请参见本书第 9 章第 4 节相关内容。

ZnO 半导体的优越性能更体现在光电器件的应用方面，ZnO 基半导体光电器件自 1997 年以来也已取得了相当大的进展。例如：第一个光寻址紫外调制器，高速光电导和光伏型紫外探测器，和肖特基二极管均已被研制出来。同样采用 Au 接触 c 轴 ZnO 体单晶也已形成了肖特基二极管。在 2003 年，采用金属绝缘体半导体结构，已有关于采用 ZnO 基的透明薄膜晶体管的报道。但整体而言，相对于光电子器件，MOS 场效应器件等电子器件方面的进展与 p 型掺杂一样具有更大的难点，尽管目前已有透明晶体管的少量报道，也有关于 MOS 二极管的场效应性质的研究进展，如图 6.5-9 所示。除此之外这方面的其他研究很少，这可能还与 ZnO 材料本身的电学特性的制约有关，因此在本节的技术应用中该类场效应电子器件未被包括在内。

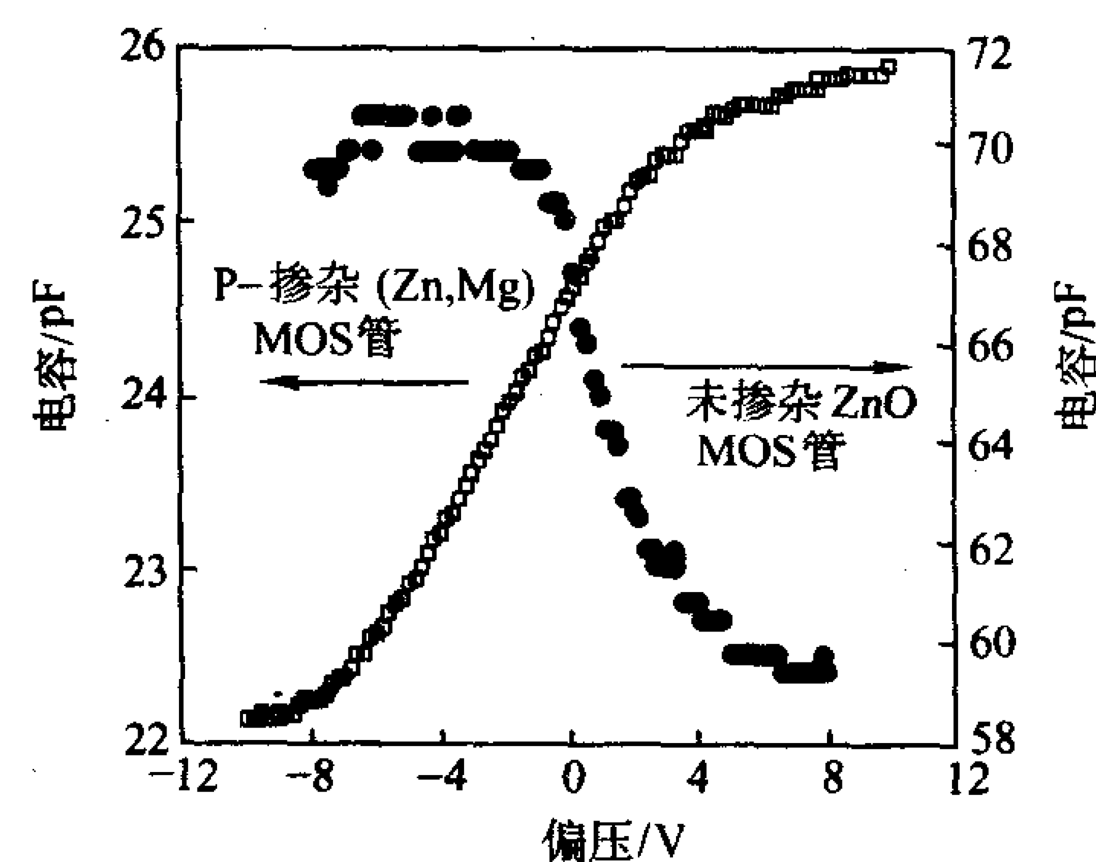


图 6.5-9　基于 ZnO/ZnMgO:P 异质结构 MOS 器件的电容电压特性

目前应用各种技术和方法研制光电二极管和发光二极管器件的工作常见报道。在少量报道中 pn 结是完全利用 ZnO 制备而成，其 p 型掺杂来自于离子注入或其他技术，其他均

是借助于其他p型材料，如p-$SrCu_2O_2$和p-AlGaN。另外发展好的ZnO半导体金属接触对光电器件来说与获得p型掺杂的ZnO同样重要，因为很多ZnO基光电器件都是单极器件，它们极大地依赖于半导体金属接触。所以在本节首先对目前已有的ZnO工艺作一概述，然后再介绍目前技术应用的现状与前景。

4.2　ZnO的器件工艺

4.2.1　湿腐

ZnO有许多不同的腐蚀剂，它溶于大部分单一酸、混合酸、碱和氯化铵。已报道的可以获得可控腐蚀速率的混合物包括HNO_3/HCl和HF。但还没有关于异质结构材料如MgZnO和CdZnO的报道。腐蚀速率由反应控制，并不依赖于酸溶液的浓度，线性依赖于腐蚀时间并具有较大的激活能［>25.1 J（6 kcal）/mol］。而对黏滞性的酸如硫酸，腐蚀可能由扩散控制，具有较小的激活能［<25.1 J（6 kcal）/mol］，并强烈依赖于酸的浓度，而与腐蚀时间的平方根成正比。

4.2.2　干腐

已有一些初步的结果报道了溅射薄膜和体ZnO单晶衬底的等离子腐蚀结果。由于高密度的Ar或H_2等离子体造成的损伤将增加ZnO的表层电导率，从而改善n-ZnO的欧姆接触的性能。采用高密度的等离子体和以Cl为基础的化合物，可以获得每分钟几百纳米的刻蚀速率，而采用CH_4/H_2气氛可以获得更高的刻蚀速率。

4.2.3　n-ZnO的欧姆接触

欧姆接触的方法包含表面清洁处理以减小势垒高度，或者通过预先表面O的失去来增加表面的载流子浓度。Pt-Ga、Ti/Al、Ti/Au均可与n-ZnO形成很好的欧姆接触。实验发现金属淀积后200～300℃的退火处理有利于增加表面载流子浓度，从而有效降低接触电阻。

4.2.4　n-ZnO的肖特基接触

Au、Ag、Pd在n-ZnO上形成高达0.6～0.8 eV的肖特基势垒。但实验发现势垒高度并不依赖于它的功函数值，显示界面态具有不可忽视的作用。同时过高的处理温度将可能带来一定的问题。

4.2.5　p-ZnO的接触

一般采用Ti/Au电极并在600℃下快速退火可以获得质量较好的欧姆接触，而Ni/Au电极的热稳定性较差，高温退火将导致接触表面的退化。同时也有报道，采用Au与p-ZnO的接触，在快速退火后也获得了良好的欧姆接触。而采用Pt和Ti包Au层的电极均显示肖特基接触，其接触势垒为0.55 eV左右。由于p-ZnO材料比较少，因此该方面的研究尚处于初期。

4.3　ZnO光电器件

4.3.1　基本概况

自从紫外辐射在一个多世纪以前被发现，寻找紫外发光器件和探测器件的工作一直没有达到满意的结果。这种挑战主要来自于光电材料本身。适合于短波长工作的半导体材料必须具有宽带隙和直接带间跃迁。但是紧密的分子键能以及导致的高熔点和高强度使得这一类宽带隙半导体难以应用于光电器件。薄膜材料生长、p/n掺杂和欧姆接触是器件制作中面对的主要问题。因此工作在短波长的光电器件经常是昂贵的、低效和短寿命的。

紫外激光二极管是大容量信息存储如CDROM和DVD工作所必需的，而紫外发光二极管则是日常生活中视觉信号所必需的，有望取代现有的大屏幕电视和显示屏。同时发光二极管也被认为是下一代的灯光源，以其长寿命和高亮度从而取代已被广泛使用的白炽灯。而紫外探测器是紫外发光器件的反向器件。它们将入射的紫外光子转变为可测量的电流或电压信号。它们与紫外发光器件结合在一起工作，同时也主要用于导弹跟踪和导航及对环境和大气层的监测。ZnO基材料具有较高的激子束缚能，且可以与Mg或Cd形成合金从而获得很宽的带隙调节，是实现高性能紫外光电器件性能的关键。

对紫外探测而言，窄带隙的半导体材料如硅也可以应用，但由于其很强的表面吸收和复合的存在使得其效率较低，另一方面，窄带隙的半导体材料必须采用光学滤色片和多层介质膜阻挡可见光对探测信号的贡献。而ZnO的宽带隙材料本身对可见光不响应，量子效率也高，同时较低的外延温度也非常有利于器件的制作。具有晶格匹配的衬底也是ZnO基器件制作的又一优势。晶格失配将导致薄膜产生应力，从而在薄膜中产生散射中心和复合中心的位错，导致材料迁移率下降，减小载流子寿命和增加非辐射复合，从而降低器件性能。同时ZnO基材料抗辐射损伤能力强，具有非毒性和低成本等优点，因此成为紫外光电器件的理想材料。

相比于其他宽带隙半导体材料，SiC作为间接带隙材料，限制了其发光效率，它也不具有ZnO的很宽的能带调节范围。同时高强度、掺杂、薄膜淀积和欧姆接触的问题也限制了SiC发光器件的制作。而与GaAs晶格匹配的ZnSe曾被广泛研究用于蓝/紫外激光器和光探测器。但缺陷所导致的器件性能的退化和很短的工作寿命（经常短于100 h），同时ZnSe的毒性也极大地限制了该ZnSe激光器的应用前景。而在ZnO中，相应的缺陷往往并不充当复合中心的作用。GaN代表了当前紫外光电器件发展的主流，并已取得了很大的成功。但同样也存在一些问题，如很高的生长温度，晶格匹配衬底的缺乏。同时低发光效率也使发光器件主要采用InGaN材料体系，而不是GaN或AlGaN体系，这使其发光波长向紫外的扩展将会受到一定的限制。ZnO基材料与其他宽带隙半导体材料的主要性能的比较如表6.5-6所示，另外，ZnO基的抗辐射性能也要强于GaN的情形。

表6.5-6　几种宽带隙半导体材料的比较

项目	SiC	ZnSe	AlGaN	MgZnO
能带宽度	2.2～3.26 eV（*i*）	2.7～3.8 eV（*d*）	3.4～6.2 eV（*d*）	3.3～7.8 eV（*d*）
激子束缚能		22 meV	28 meV	60 meV
晶格匹配衬底	有（SiC）	有（GaAs）	没有	有（ZnO，MgO）
生长温度	高		高	低
主要优点	高热导率（5 W/(cm·K)）	可靠p型材料	可靠p型材料	低激发阈值
主要缺点	间接带隙	寿命短，有毒性	发光效率低	p型掺杂较难

注：*i*代表间接带隙；*d*代表直接带隙

4.3.2　ZnO发光器件

由于没有可靠的p型掺杂，ZnO的器件应用被限制在非pn结的结构上。1978年实现了ZnO基绿光发光二极光。1997年首次报道了化学气相沉积（CVD）方法实现原位掺杂p型ZnO材料，但空穴浓度较低。1999年实验上通过Ga-N共掺实现了p型掺杂。另外V族元素P和As的掺杂也取得了一定的进展，这在本章ZnO掺杂部分已经进行了详细讨论。与此同时，ZnO pn结和pn二极管也取得了一定进展。2000年有报道采用n-ZnO/ p-$SrCuO_3$异质结构实现了电致发光，并且在此基础上成功地研制出了工作于室温的紫外发光二极管。同年，基于ZnO同质pn结的成功实现，具有很好

的整流特性，并实现了电致发光，这里p层采用As掺杂或通过调节溅射中的O/Zn的分压比而实现。通过准分子激光器实现磷掺杂制作的ZnO二极管实现了电致发光。同时人们采用等离子增强的MBE方法在蓝宝石衬底上生长出的ZnO薄膜中观察到了光泵激射。以上结果增大了随着p-ZnO的进展发展ZnO紫外激光器的可能性。关于发光器件的研究情况与相关的p型结构如表6.5-7所示。2005年初，Nature Materials报道，日本东北大学科学家在ZnO基同质结发光二极管研究领域首先取得突破，被认为是ZnO发光器件领域里程碑式的研究成果之一。他们采用激光-分子束外延技术，通过低温掺杂和高温外延交替的特殊生长方法，在晶格失配率较小的$ScAlMgO_4$尖晶石上成功地外延得到空穴浓度为$1\times10^{16}/cm^3$，其室温迁移率为$8cm^2/(V\cdot s)$的高质量p型ZnO单晶薄膜。在此基础上，他们成功研制了ZnO p-i-n同质结构LED，其结构如图6.5-10a所示。图6.5-10b是器件的电致发光谱图，发光主要集中在紫外（390 nm）和绿光（500 nm）范围。但是其器件的发光强度非常弱，这是由p型层载流子浓度过低造成。和GaN材料相比，ZnO基发光器件的商业应用还有很多关键的科学问题亟需解决，如合适的衬底材料和适合ZnO材料规模生产的MOCVD技术等，而目前最大的科学障碍还是提高掺杂激活率和空穴迁移率以实现可靠稳定的p型ZnO材料。

表6.5-7 近年来ZnO基pn结二极管和发光二极管的研究进展

制备方法	P型层材料	受主	掺杂源	发光波长	发表年份
激光掺杂	ZnO	P	Zn_3P_2	紫-白	2000
脉冲激光淀积	ZnO	N	N_2O	蓝-白	2001
脉冲激光淀积	SrCu2O2	K	—	382 nm	2001
射频磁控溅射	ZnO	As	GaAs	无	2003
混合分子束外延	ZnO	As	As	无	2003
化学气相淀积	GaN	Mg	Mg	430 nm	2003
化学气相淀积	AlGaN	Mg	Mg	389 nm	2003
脉冲激光淀积	NiO	Li	Li	无	2003
射频溅射	金刚石	B	B	无	2003
直流溅射	Si	B	B	无	2003
脉冲激光淀积	$Zn_{0.9}Mg_{0.1}O$	P	P_2O_5	无	2004
超声喷雾分解	ZnO	N	CH_3COONH_4	无	2004
电子束蒸发	GaN	Mg	Mg	—	2004
电化学淀积	SnO_2	F	—	380nm（弱）620（强）	2004
脉冲激光淀积	AlGaN/GaN	Mg		390	2004
激光-分子束外延	ZnO	N	N_2	390 nm，500 nm	2005
激光-分子束外延	ZnO	N	N_2	390 nm，420 nm，500 nm	2005
射频直流溅射	ZnO	P	P_2O_5	409	2005

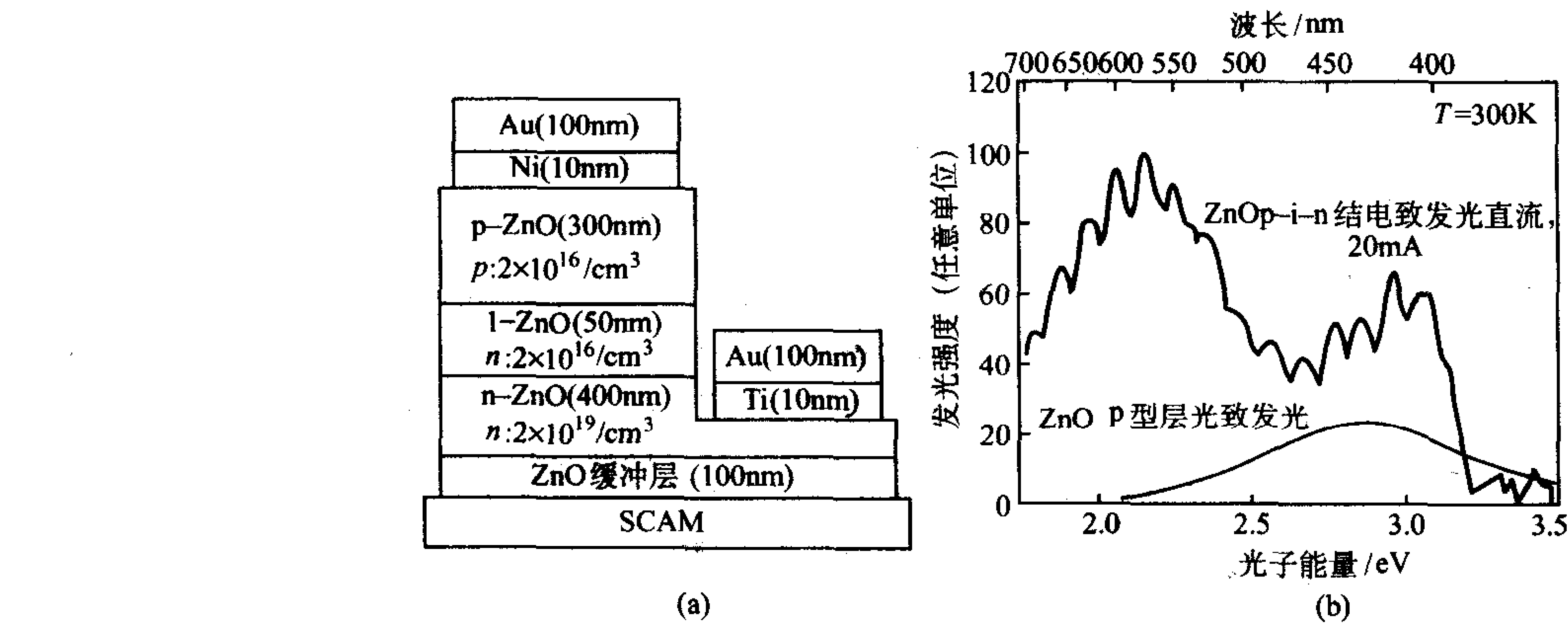


图6.5-10 ZnO p-i-n发光二极管结构示意图（a）和ZnO p-i-n结构发光二极管电致发光图（b）

4.3.3 光探测器件

相比于其他宽带隙半导体材料，ZnO基结构材料具有填补目前紫外空白的能力。但是，国际上目前主要关注的是它在发光器件上的应用前景。相对而言，工作于紫外的ZnO光电探测器的报道较少，而且目前主要集中在金属-半导体-金属（MSM）的结构电导型探测器以及采用肖特基的结构所研制的光伏型探测器上，目前还未见采用p型掺杂和同质pn结来研制光电探测器的报道。部分研究也关注了一些复合器件，如肖特基二极管和光电探测器以及这些器件的结合，从而使人们能够极大地利用ZnO材料的宽带隙和大的激子束缚能的优越性能。人们采用MOCVD方法已制备出n-ZnO的肖特基紫外探测器，同样的，采用Ag为肖特基接触金属也研制出了MSM结构的光探测器，其上升与下降时间分别为12 ns和50 ns。特别是W.Yang等报道了可工作于可见盲区的MgZnO光导型MSM紫外探测器，最高响应率达1 200 A/W，而上升响应时间为8 ns，下降时间为1.4 μs。

4.4 气体传感器

传感器是自动化的工作基础之一，经某些元素掺杂的ZnO材料对多种气体具有良好的敏感性，表面吸附将导致表面耗尽层深度变化，从而改变表面电导，是制备气敏传感器的良好材料。随着自动监控、自动检测等的发展，对性能卓越的气敏传感器的需求将不断增加。而监控、检测设备的集成化和微型化则需要气敏材料的薄膜化。开发灵敏度更高的ZnO薄膜微型气敏传感器将是今后发展的方向。

ZnO是一种气体敏感材料，其经某些元素掺杂之后对有害性气体、可燃气体、有机蒸气等具有很好的敏感性，可制成各种气敏传感器。未掺杂的ZnO对还原性、氧化性气体具

有敏感性；掺 N、Pt 的 ZnO 对可燃性气体具有敏感性；掺 Bi_2O、Cr_2O 等的 ZnO 薄膜对 H_2 具有敏感性；掺 La_2O_2、N 或 V_2O_5 的 ZnO 对酒精、丙酮等气体表现出良好的敏感性，用其制备的传感器可用于健康检测、监测人的血液酒精浓度以及监测大气中的酒精浓度等。例如，图 6.5-11 为体 ZnO 肖特基二极管器件的结构图及其在不同气氛下的电流电压特性。从图中可以看出，该器件对氮气和不同浓度的乙烯具有不同的电流电压响应特性，说明 ZnO 具有很好的气体敏感性和识别能力。

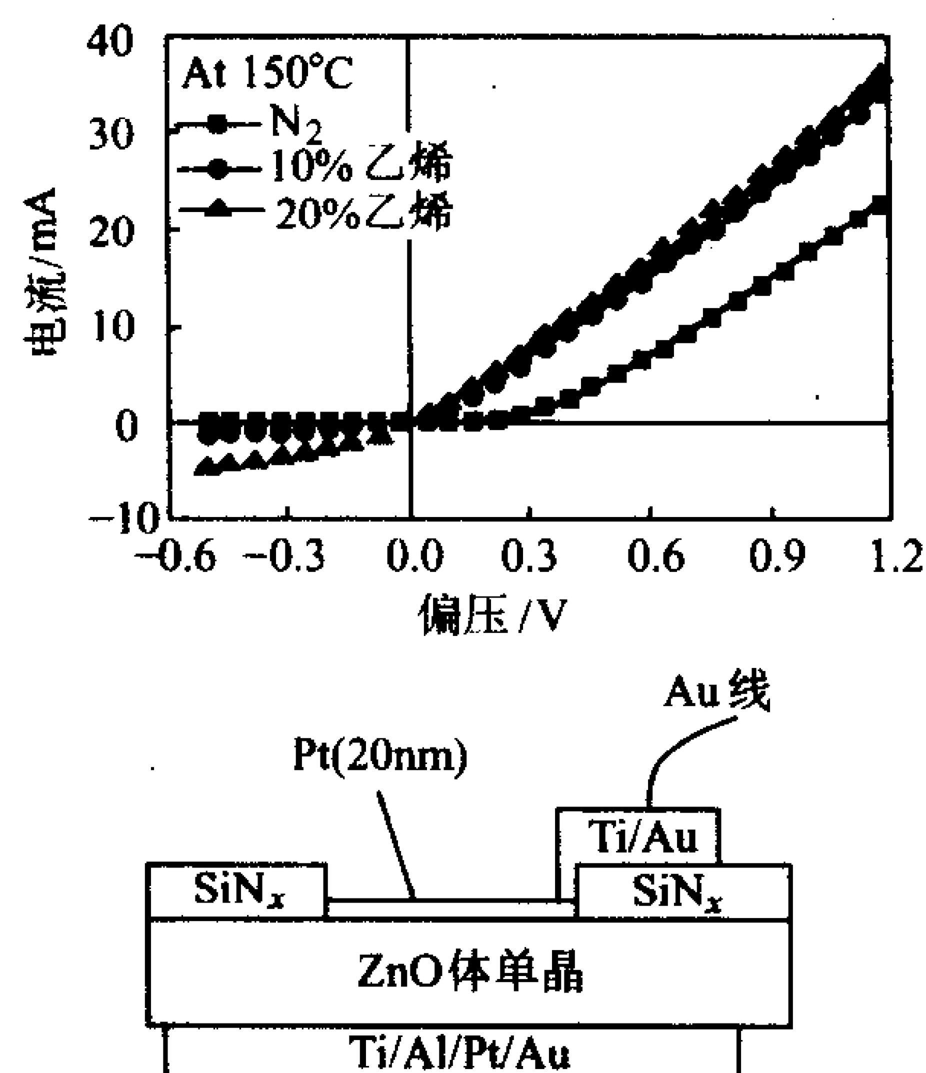


图 6.5-11　体 ZnO 肖特基二极管的结构图及其在不同气氛下的电流电压特性

通过掺杂还可提高薄膜的电阻率以适应这些器件的要求。例如在薄膜中掺入金属铜，并将注入后的薄膜在氧气中退火，则薄膜电阻率可上升 5～6 个数量级，研究发现掺杂将导致薄膜导电性能下降，而活化能增加，对 SO_2 气体的化学吸附能力也有所增加。当 ZnO 用做丙烷、异丁烷、CO 和 H 等气体传感器时，需掺入 Pt 和 Pd 作催化剂以提高灵敏度。研究认为催化剂的作用是高度分散的 Pd^{2+} 在薄膜表面提供了大量的表面活化中心，同时 Pd^{2+} 还能大幅度地增加 C 原子与 O 原子之间的反应速度，使薄膜表面 CH_4 气体的吸附与解吸速度加快了。

4.5　压敏器件

压敏性质也是 ZnO 薄膜的重要特征之一，在各种电器设备的电压保护、稳压和浪涌电压吸收等方面具有重要的价值。ZnO 的压敏性质主要表现在非线性伏安特征上。ZnO 压敏材料受外加电压作用时，存在一个闭值电压即压敏电压。当外加电压高于该值时即进入击穿区，此时电压的微小变化即会引起电流的迅速增大，变化幅度由非线性系数来表征。这一特征使 ZnO 压敏材料在各种电路的过流保护方面得到了广泛的应用。另一方面，由于集成电路的快速发展，对压敏电阻也越来越要求低压化和小功率化，而 ZnO 薄膜所表现出来的低压压敏性质正好符合目前迅速发展的大规模、超大规模集成电路过流保护、稳压和浪涌电压吸收的需要，具有广阔的应用前景。

在 ZnO 中，其压敏电阻的压敏性质主要来自其晶界效应，并由界面相类型等因素所决定。因此，其压敏电压与界面相及其组成有关，同时也与电流流向上的界面数有关。如果界面数越多，压敏电压越大；而界面数越少，压敏电压越小。因此人们通过增大 ZnO 晶体的粒径或减少 ZnO 材料的厚度来减少电流流向上 ZnO 的晶体界面数，从而可以有效地降低其压敏电压。

4.6　表面声波器件（SAW）

声波的传输具有两种形式：一是体声波，它从样品的体内传输，一种是表面声波，沿一个样品的自由表面在一定的穿透深度范围内传输。在电学应用中引起极大兴趣的声波器件是由于相对于电磁波，声波具有很小的传输速率，大约比电磁波小 10^5 倍以上。而无线通信中一般人们感兴趣的微波频率从 300 MHz 到 300 GHz，对应的波长从 1 m 到 1 mm。声波器件在微波信号处理中非常有用，因为它可以将电磁波转变为波长很短的声波，从而在可操作的尺度上进行处理。典型的应用包括延迟线、滤波器、共振器等。

自从 1964 年叉指形传感器被发明以来，声表面波器件已被广泛使用，如无线通信和信号处理中的延迟线、滤波器、共振器等。SAW 器件的基本原理是使用压电材料在发射端将电信号转变为力学波，一个交变电压被施加到输入叉指形传感器导致应力，使晶体单元移动，从而引起晶格振动。该声波沿着表面传输，极化晶格单元胞，从而产生电场，在接受端，将力学波转变为电学信号。当该声波抵达输出 IDT 时，伴随的电场将导致相邻电极上产生电势差，只有选择的电流信号可以通过 SAW 传递。SAW 器件设计的最主要的关键是中心频率和带宽，对延迟线而言，延迟长度也需要设计。在很多应用中，人们还必须考虑延迟或者频率的温度系数。叉指传感器的周期和衬底的 SAW 速度将决定器件的中心频率 f_c：

$$V_{saw} = \lambda_0 f_c \qquad (6.5\text{-}10)$$

这里 λ_0 是叉指传感器的周期决定的波长。而 SAW 的带宽 BW_{3dB} 与叉指传感器的电极对的数目 N 成反比：

$$BW_{3dB} = 0.9 \times \frac{100}{N} \qquad (6.5\text{-}11)$$

4.6.1　ZnO SAW 器件

随着通信技术的发展及通信流量的增加，在较低频率通信量已趋饱和，使得通信频率向高频发展，同时移动通信也要求具有更高的频率，因此工作于 1～4 GHz 范围内的声表面波器件在现在和将来的无线通信中有广泛需求。在高于 1.5 GHz 的频率范围内，具有低损耗的高频滤波器成为移动通信系统的最关键部件之一。由于 ZnO 具有大的压电耦合系数，故一般认为它是最有用途的压电薄膜材料，也是制作这种高频表面声波器件的首选材料。由于工作频率与 SAW 的速度成正比，故 ZnO SAW 的速度必须得到提高以获得更高的工作频率。这可以通过将 ZnO 淀积在一个具有更高 SAW 速度的衬底上来实现。同时（$11\bar{2}0$）方向 ZnO 的压电耦合系数要远大于（0001）方向，因此应用于高效率器件中。

另一方面，当把 ZnO 应用于较低的频段时，直流电流所导致的损耗可能是遇到的主要问题。正如在上一节中所介绍的，用普通的制备方法获得的不是纯 ZnO，相反由于它具有填隙式锌原子和由起施主态作用的电子对占据的氧空位导致其小量地偏离化学计量（过量的锌），故结果为 n 型半导体。由此将产生的 ZnO 的电导率能使低电压时电场在薄膜中的累积变得困难，因为自由载流子的电荷输送将能抑制任何电场的累积。采用受主掺杂 ZnO 膜或将该薄膜包封于绝缘层之间，也可以采用金属氧化物半导体（MOS）结构，通过施加直流偏压在 ZnO 半导体中获得耗尽层的方法等技术可解决此导电性问题。目前，人们已采用在蓝宝石衬底上外延的 ZnO 薄膜制作出低损耗的达 1.5 GHz 以上的射频 SAW 滤波器，并正在研究开发更高频率的产品。

而在较低频段，用 ZnO 薄膜可以制作压电换能器的传感器，例如谐振膜压力传感器、压电微音器和硅振梁力传感器。同时，ZnO 也可应用于各种传感器的平面光波导，它的性能尤其是其光衰耗强烈地取决于薄膜生长参数。而通过声

表面波和电场的互作用也可用来调制诸如声光布喇格偏转器和电光多层波导模式变换器之类的集成光学器件中的导向光波，在多层 ZnO/SiO_2 结构中传播的导向光波会受到由施加于周期性 Al 电极上的电压产生的周期性电场的调制。综合利用光电导、半导体以及压电性能，可以将表面光压电效应用于制作各种传感器或形成驱动微机械构件。

4.6.2　ZnO/ZnMgO 可调谐 SAW 器件

传统的表面波器件的最大局限在于它们的频率和位相响应在设计阶段就已固定，而不可以在工作中变化。然而，在很多现代通信系统中，适应不同频率的信号处理器非常有利于提高信噪比和安全系数。另外，频率相应宽度随时间可调的性能也为现代通信系统所处的工作环境所需求。有两种不同的表面波滤波器可以满足这种要求。第一种是可编程的表面波滤波器，它可以改变像中心频率、带宽和通带形状这样的滤波参数。这种 SAW 滤波器包括滤波器系列、多种交叉指形的滤波器和电极可配置器件。另外一种就是可调节的 SAW 滤波器。在这种 SAW 滤波器中，早期的设计是基于电压调节一体二极管的耗尽层宽度。最近，基于二维电子气和表面波电势之间互作用的可调 SAW 滤波器已被研制出来。在该器件中，采用外延剥离和范德瓦尔斯力，一个具有二维电子气的 GaAs 芯片与 $LiNbO_3$ 衬底键合在一起。而相比较而言，一个单片器件因为更容易大量被制造并且可靠性也更高而更具优先。由于 ZnO 和 MgZnO 都是压电半导体，蓝宝石衬底上具有二维电子气的 ZnO/MgZnO 异质结构可以用来制作 SAW 单立器件，从而实现独特的声波速度调节的功能。人们预计通过调节 Mg 的组分和采用 MgZnO/ZnO 多层结构可以自由剪裁 SAW 的性能。

在可调节的 SAW 中，ZnO/MgZnO 量子阱结构将处于输入与输出叉指传感器之间。该量子阱中的异质界面处将产生二维电子气，而该二维电子气与纵向电场互作用形成的欧姆损失的大小可被用来调节并减小表面波的速度。在该结构中，声波速度可以通过传输的 SAW 的伴随电场与量子阱中的自由载流子之间的互作用而调节。当自由电子被耗尽时 SAW 将以开路速度传输，而只有 MgZnO 层负载的大小与电极的屏蔽效应可以改变该速度的大小。当载流子浓度较高时，SAW 只能以较低的短路速度传输。在一适中的二维电子气密度下，SAW 的伴随电场将引起量子阱中电流的产生，导致欧姆损失，而声波也处于开路和短路速度之间，实际的大小将由载流子密度、该结构的有效耦合系数以及开路速度所决定。

编写：顾书林（南京大学）
叶建东（南京大学）

第 6 章　碳化硅半导体

SiC 是 Si 与 C 构成的唯一化学稳定的化合物，其晶体结构可以看作是 Si-C 双原子层通过紧密堆积而形成。每个 Si (C) 原子周围的四个 C (Si) 原子由强四面体 sp^3 键束缚（见图 6.6-1），Si 与 C 原子间的间距为 0.189 nm，其间的结合键 88% 为共价性的、而 12% 为离子性的。SiC 晶体的特征是存在多达 200 多种的多形体（同质异构体），多形体之间的区别仅在于 Si-C 双原子层的堆垛次序的不同。每个 Si-C 双原子层以密排形式在原有 Si-C 双原子层上堆垛时，在空间有三个相应的位置，分别记作 A、B、C。Si-C 双原子层依 A、B、C 的不同排列次序周期性地堆垛，即构成 SiC 的不同多形体晶体结构，如常见的 3C-SiC、2H-SiC、4H-SiC、6H-SiC、15R-SiC（见图 6.6-1）等。不同多形体 SiC 在晶体结构上的差异决定了其能带结构、电学、光学等物性的差异。

依据 SiC 的基本电学及光学性质，可以开发微机械装置、光电子器件、高温电子器件、抗辐射电子器件、大功率及高频器件等微电子和光电子领域的应用。用 SiC 制备的微机械装置包括 X 射线掩模、话筒振动膜、特殊微型应用工具及机械等。SiC 的光电子器件应用包括 N 化物器件的衬底、发光二极管、紫外探测器等。在核反应堆、军事装备、深空探索等方面用于探测及研究的电子器件的可靠性均可望通过采用 SiC 而得到极大的提高。SiC 的热导率和高场迁移率使增加器件的功率密度和提高器件的高频性能成为可能。

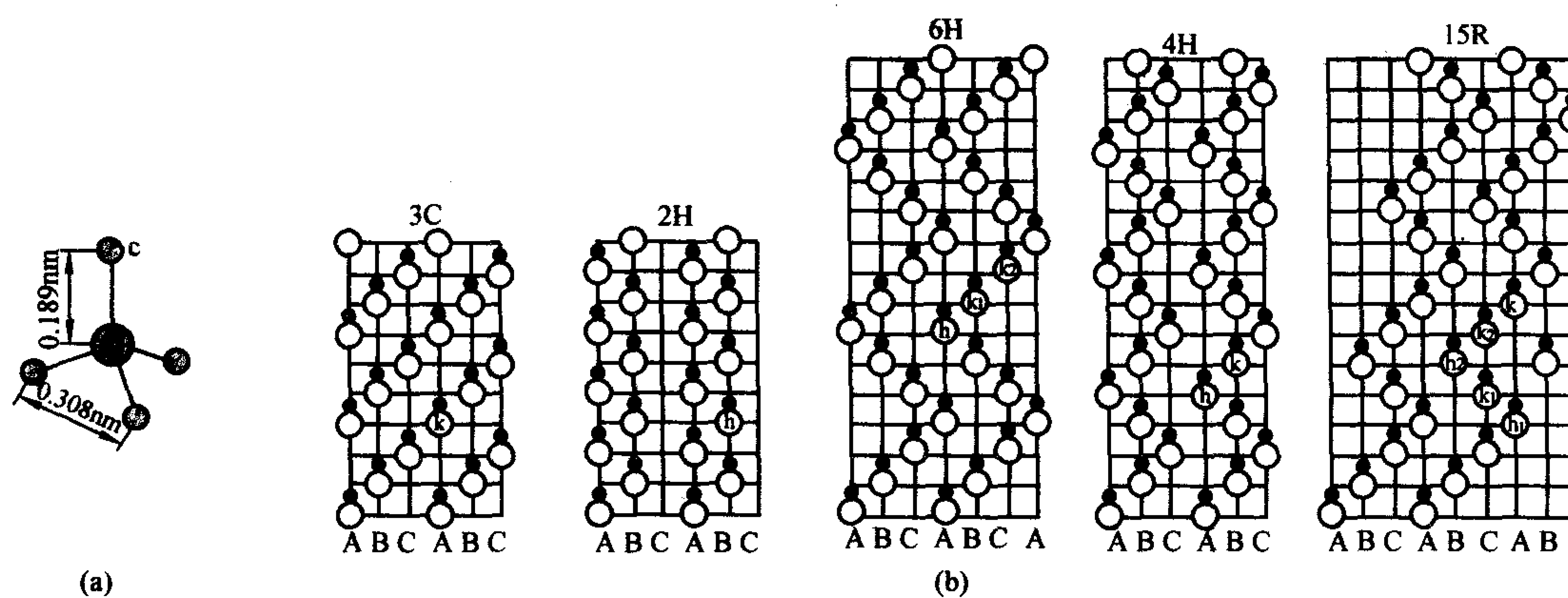


图 6.6-1　(a) Si、C 原子构成的正四面体结构 (b) 3C、2H、6H、4H、15R SiC 多形体中 Si 和 C 原子间的排列

随着材料及器件研究的深入和技术的发展，已成功地用 4H-SiC、6H-SiC 及 3C-SiC 制备了实用型的器件。近年来 SiC 晶体材料生长技术不断进步，微管缺陷密度最低约 0.5/cm^2（直径 35 mm 基片），SiC 衬底的晶片尺寸稳定增加，η101.6 mm (3 in) 衬底（直径 75 mm 基片）已可用于生产、η101.6 mm (4 in) 衬底也即将实现商业化。用热壁化学气相淀积方法外延生长的 4H-SiC 厚度超过 100 μm，n 型和 p 型掺杂水平可在 $1\times10^{14}\sim2\times10^{19}$/ cm^3 范围实现，外延 SiC 薄膜的厚度和掺杂均匀性（相对于平均值的标准偏差）分别为 约 1% 和约 5%（直径 50 mm 基片）、约 2% 和约 12%（直径 75 mm 基片）。

长寿命的蓝光发光二极管 (LED) 于 1977 年见诸报道，其综合效率达 2×10^{-5}，可在高温下使用；随后，SiC 蓝光 LED 的效率被提高到 2×10^{-4} 以上，三色（蓝 470 nm、绿 510 nm、红 650 nm）6H-SiC 单晶显示器的制备也获得了成功。目前，商用蓝光 LED 采用的外延薄膜是直接带隙的 GaN 基材料，但 GaN 晶片衬底因在技术方面的限制，尚未用于 GaN 基材料的外延生长及器件制备；SiC 具有的优异性能，适于用做 GaN 基器件的衬底。1995 年以来，以 SiC 为衬底的 GaN 基 LED 实现了深蓝色发光（波长 430 nm，带宽 65 nm），最大输出功率达 1.7 mW（20 mA 时），相应的外量子效率为 3%。在 SiC 上Ⅲ-N 化物的高亮度蓝光 LED 具有高成品率及可靠性，目前在 SiC 衬底上制备的蓝光 LED，近乎 100% 芯片的 ESD (electro static discharge) 强度在 2000 V 以上，而在蓝宝石上制备的蓝光 LED，其 ESD 强度仅为 150～500 V。

SiC 是制备紫外光电探测器的理想材料之一，其探测波段 200～450 nm、工作温度可在 700 K 以上。p-n 二极管型 6H-SiC 紫外光电探测器的响应度高达 175 mA/W（相应的量子效率大于 80%），而暗电流仅为 10^{-11} A/cm^2（－1 V，473 K）。6H-SiC、4H-SiC 均已用于肖特基二极管型的紫外光电探测器，室温下的量子效率也具有 75% 的最大值（280 nm），尽管其反偏暗电流约为 10^{-5} A/cm^2（－10 V）。

有关 SiC 场效应晶体管的研究也一直在进行，6H-SiC MESFET 具有良好的高频特性（f_{max} 约 25 GHz，f_t 约 10 GHz），输出功率达到 3.5 W（6 GHz、漏偏压 40 V）；4H-SiC MESFET 的跨导可达到 42 mS/mm，功率密度已达到 4.0 W/mm（接近功率密度的理论值），并具有优异的直流特性（最大漏电流 500 mA/mm，栅击穿电压超过 100 V）和高频特性（f_{max} 高达 50 GHz，f_t 约 18 GHz）；SiC 反型 MOSFET 的工作温度可超过 923 K（栅压 6 V，跨导 0.43 mS/mm）。SiC 太阳能电池、存储器、电荷耦和器件、粒子探测器等多种器件的制备均已获得成功。

1　SiC 半导体材料的结构与特性

1.1　晶体结构与多形体

SiC 晶体由 Si、C 两种原子构成，其基本结构单元为正四面体结构（图 6.6-2 a)）。在正四面体结构单元中 Si (C) 原子位于中心，而 C (Si) 原子则位于四个顶角，C (Si) 原子均以共价键与中心的 Si (C) 原子结合，而 Si 与 C 的间距为 0.189 nm，Si 与 Si (C 与 C) 的间距为 0.308 nm。大量的这种基本结构单元在顶角相连结合，包括其绕 c 轴旋转 180°后在顶角相连结合（图 6.6-2 b)），即构成 SiC 晶体。

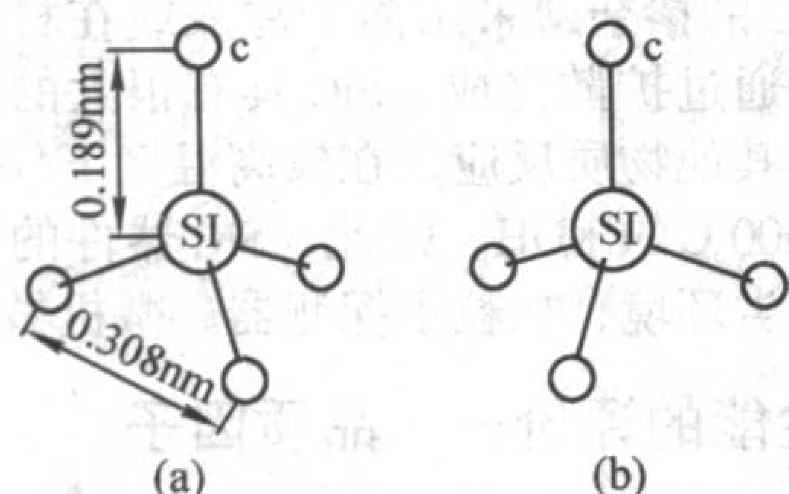


图 6.6-2　Si 原子与 C 原子构成正四面体结构，Si、C 原子间为共价键

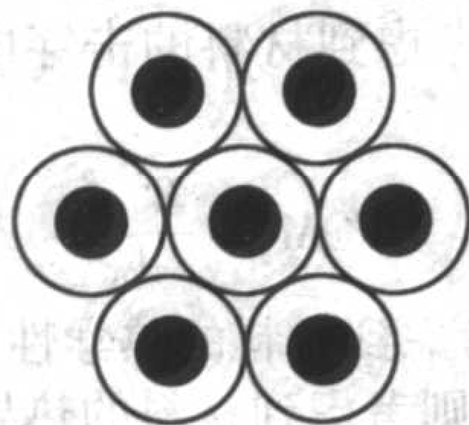


图 6.6-3　Si-C 双原子层，其中的原子为六角密堆积，白色原子为 Si，黑色原子为 C

由于基本结构单元在空间堆垛顺序的变化使 SiC 具有 200 多种多形体（同质异构体）。以一个所谓 Si-C 双原子层六角密堆积面出发可描述堆垛顺序与 SiC 多形体的关系。

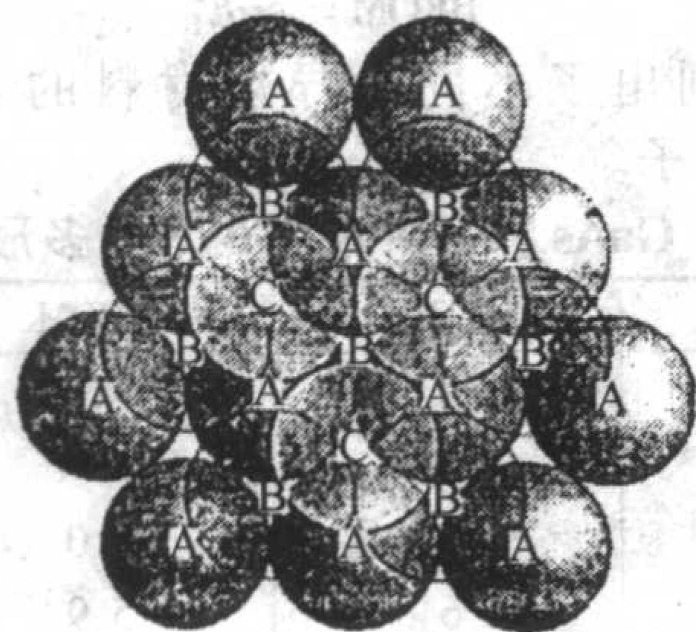


图 6.6-4　三个密堆积面示意图

第一层为 A 原子层面，随后是位于 B 位置的原子层面，顶层为 C 位置的原子层面

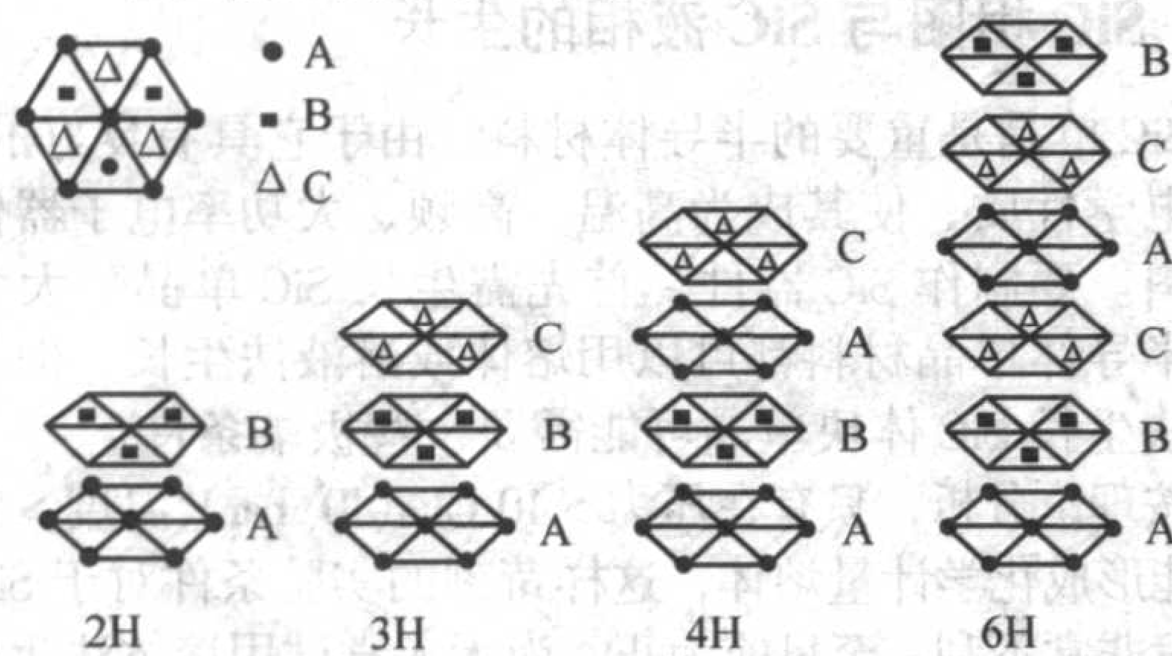


图 6.6-5　常见的 SiC 多形体在空间的堆垛顺序示意图：2H（AB···）、3C（ABC···）、4H（ABAC···）、6H（ABCACB···）

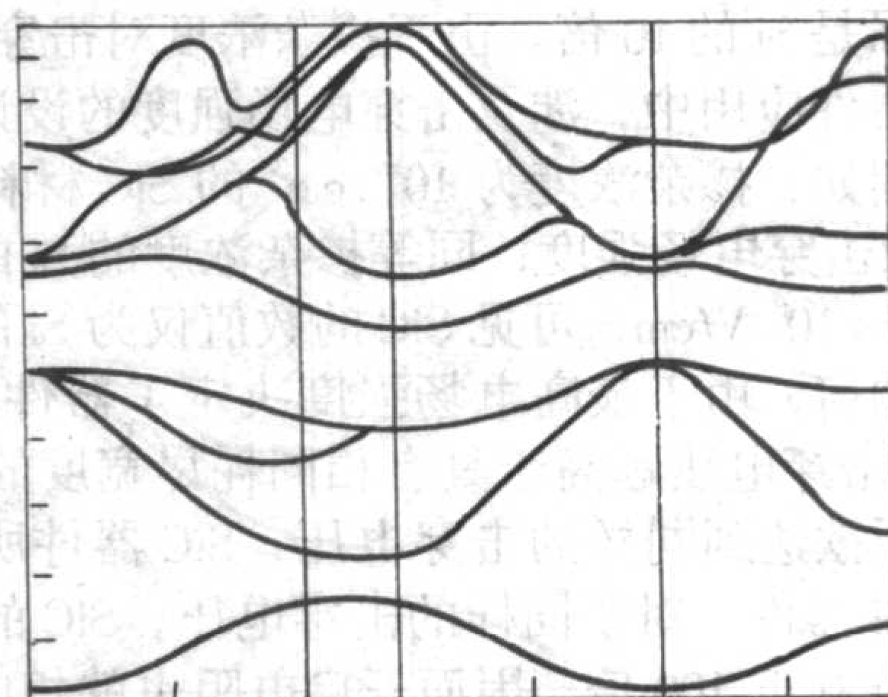
在 Si-C 双原子层六角密堆积面中，Si 原子在同一平面中紧密排列形成一个单原子层，直接位于每个 Si 原子正上方的较小的 C 原子也形成一个单原子层，这两个单原子层即构成一个具有六角对称性的 Si-C 双原子层密堆积面（图 6.6-3），其在空间的位置标记为 A（图 6.6-4，图 6.6-5）。第二个 Si-C 双原子层在第一个 Si-C 双原子层之上，其中每对 Si-C 双原子位于第一层每三对相邻 Si-C 双原子的中心上方（图 6.6-4），这样的排列显然符合 Si、C 原子间以共价成键、并构成 SiC 正四面体结构单元的特征，其在空间的位置标记为 B（图 6.6-4），图 6.6-5）。第三个 Si-C 双原子层在第二个 Si-C 双原子层之上，其中每对 Si-C 双原子位于第一层每对 Si-C 双原子的上方，即处于位置 A。不断重复这样的排列顺序（即 ABAB……，简写为 AB）（图 6.6-5），即可构成纤锌矿结构，因其只是重复两个 Si-C 双原子层的排列，该结构常标记为 2H-SiC。

第三个 Si-C 双原子层在第二个 Si-C 双原子层上，其每对 Si-C 双原子还可以既处于第一层每三对相邻 Si-C 双原子的中心上方，也是第二层每三对相邻 Si-C 双原子的中心上方（图 6.6-4），其在空间的位置标记为 C（图 6.6-4，图 6.6-5）。不断重复这样的排列顺序（即 ABCABC……，简写为 ABC）（图 6.6-5），即可构成闪锌矿结构、或立方结构，即 3C-SiC。

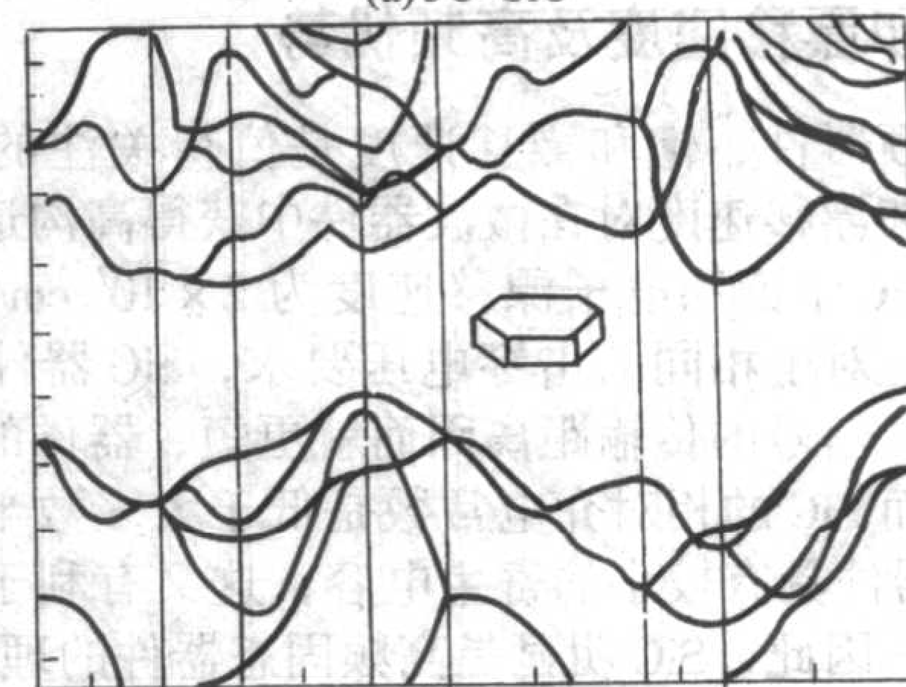
如果第三个 Si-C 双原子层的空间位置为 A，而第四个 Si-C 双原子层的空间位置为 C，重复这样的排列顺序（即 ABACABAC……，简写为 ABAC）（图 6.6-5），即可构成又一种多形体的钎锌矿结构，因其是重复四个 Si-C 双原子层的排列，该结构常标记为 4H-SiC。

类似地，以 ABCACB 的堆垛顺序不断重复 Si-C 双原子层的排列，可得到 6H-SiC 多形体结构。

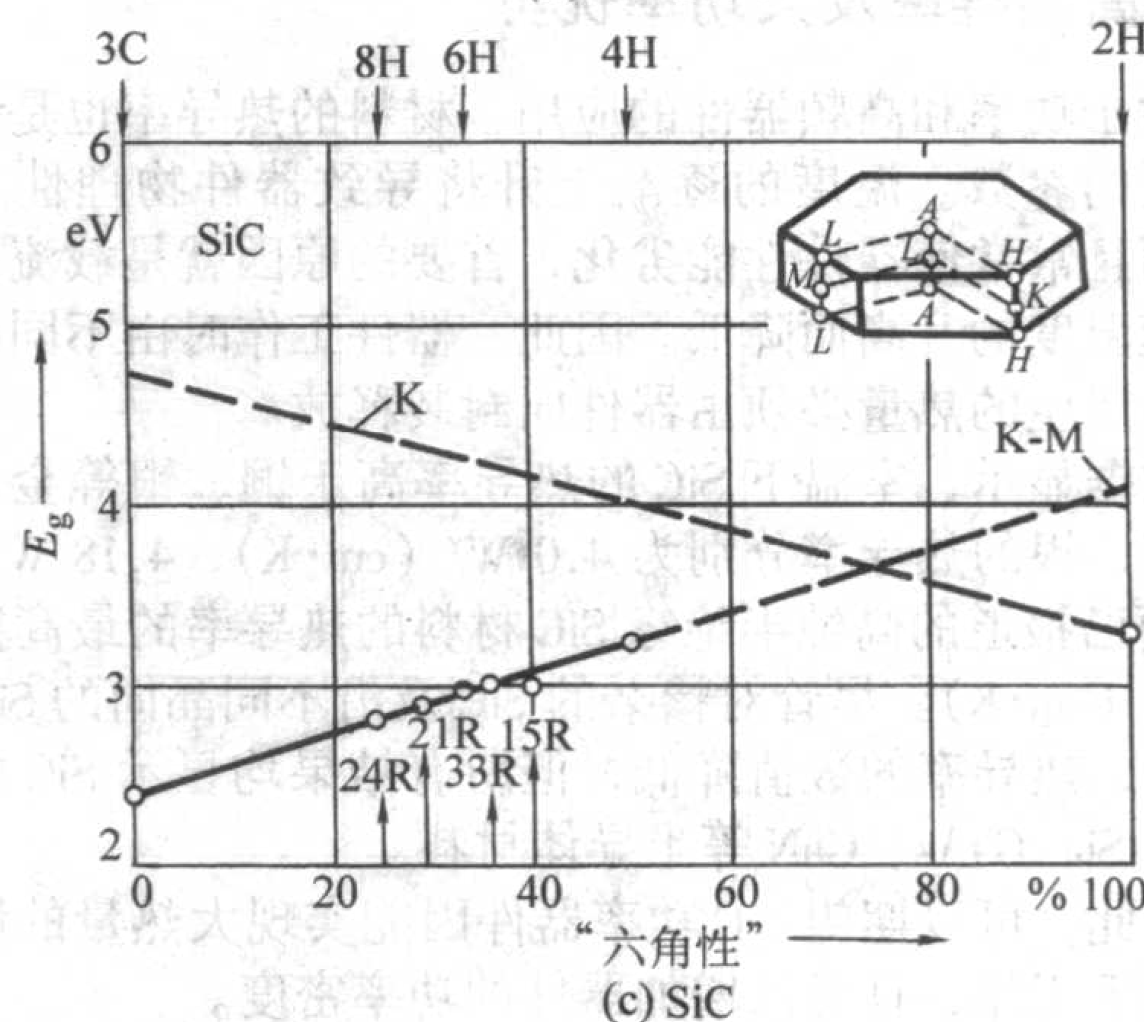
上述堆垛顺序构成了 SiC 最常见的多形体，而实际存在在的、现已确定的 SiC 多形体有 200 多种。所有已研究的 SiC 多形体均为间接带隙半导体，其禁带宽度随多形体的六角性（h）单调增加，即从 3C-SiC（$h=0$）的 $E_g=2.39$ eV 增加到 2H-SiC（$h=1$）的 $E_g=3.33$ eV（图 6.6-6）。



(a) 3C-SiC



(b) 2H-SiC



(c) SiC

图 6.6-6　SiC 晶体的能带结构

禁带宽度与多形体六角性（hexagonality）之间的关系

1.2　禁带宽度及其器件应用

宽禁带隙是SiC器件应用的最关键的优异性能之一，对基于Si材料的器件，电子自价带至导带的热激发是器件在高温下工作的主要限制，但因SiC的宽禁带，该因素不易影响基于SiC材料的器件，这使得SiC材料可用于制备高温下工作的器件。

宽禁带隙使SiC材料成为制备紫外光电探测器的理想材料之一，其探测波段长200~450 nm，工作温度可在700 K以上，但其在长波波段的探测灵敏度较低。尽管蓝光LED最初是用SiC材料制备的，因SiC是间接带隙半导体，故不能产生高效的发光，因此，目前商业化的蓝光LED生产所采用的是直接带隙的GaN基材料；但因大尺寸的GaN晶片衬底尚未实现商业化，而SiC具有合适的晶格常数及高热导率，使其可用做GaN基器件的衬底。

1.3　临界电场与高击穿电压

对于功率器件的应用，最值得关注和最常运用的性质之一就是击穿电场强度。SiC因具有宽禁带隙，其碰撞离化能也高，这意味着在SiC中即使电场强度很高，也不出现离化载流子的雪崩倍增现象。在Si晶体中，0.25 MeV/cm的场强足以加速载流子发生碰撞离化而产生更多的载流子，而SiC的相应场强是Si的10倍。由于掺杂浓度对击穿场强的影响，在实际的器件应用中，涉及击穿电场强度的设计应进行相应的调整。例如，掺杂浓度为$10^{16}/cm^3$的SiC材料具有2.49×10^6 V/cm的击穿电场强度，同等掺杂浓度的Si的击穿电场强度为0.401×10^6 V/cm，可见SiC的数值仅为Si的6倍多。

无论如何，由于最高电场强度决定了器件的击穿场强，SiC器件的击穿电压远高于具有相同耗尽宽度的Si器件的击穿电压；而欲达到同样的击穿电压，SiC器件所需的耗尽宽度远低于Si器件。对于同样的击穿电压，SiC的低掺杂区的浓度可比Si高近100倍，因而开启电阻也就相应地低得多。

1.4　饱和漂移速度及高频优势

对高频器件、饱和漂移速度是值得关注的重要材料参数，高饱和漂移速度对在微波器件中获得高沟道电流是非常有利的。SiC中饱和电子漂移速度为2×10^7 cm/s，是Si的2倍。此外，对于相同的击穿电压要求，SiC器件的尺寸可以做得更小，信号的传输距离因而就更短，器件的运行速度就更加快。而SiC的相对介电常数是低于大多数半导体的，这就使SiC器件具有较小的寄生电容，这又有利于器件频率特性的改善。因此，SiC明显是高频固态器件的理想材料。

1.5　高热导率及大功率优势

对于功率和高频器件的应用，材料的热导率也是一个非常重要的参数。温度的逐渐上升将导致器件物理性质的变化，而且常常使器件性能劣化，首要的原因就是载流子的迁移率随温度的升高而降低。因此，器件工作时由不同的电阻损耗所产生的热量必须由器件向封装释放。

数据显示，室温下SiC的热导率高于铜、银等金属：室温下铜、银的热导率分别为4.0 W/（cm·K）、4.18 W/（cm·K），而已报道的高纯半绝缘SiC材料的热导率的最高数值为4.9 W/（cm·K）。尽管对掺杂的SiC及沿不同晶向的SiC进行测量时，热导率的数值降低，但所有结果均显示SiC的热导率高于Si、GaAs、GaN等半导体材料。

因此，可以期望SiC功率器件因能实现大热量的散发而在高温下工作，且可以增加器件的功率密度。

1.6　力学性能和化学性质

SiC是非常硬的物质，弹性模量为424GPa，其硬度仅次于金刚石。SiC的熔点为2 800℃［3.5MPa（35bar）］，其热稳定性很高；SiC的掺杂须采用离子注入或在材料生长时适时进行，而不能通过扩散完成。SiC具有很大的化学惰性，室温下几乎不与其他物质反应，在较高温度下仅有的有效刻蚀是溶于400~600℃的KOH。因此，SiC器件的可靠性高，可用于复杂或恶劣环境，如粒子探测器、微机械装置等。

1.7　器件性能的评价——品质因子

用品质因子可以通过归纳不同材料的重要特征参数以比较各材料在高频及大功率器件应用方面的性能。

JFOM品质因子考虑到材料的击穿电场强度和饱和漂移速度，其表达式为：

$$\text{JFOM}=\frac{E_B^2\nu_{Sat}^2}{4\pi^2}\qquad(6.6\text{-}1)$$

其不足在于未考虑到材料的热学性质。

KFOM品质因子则考虑到材料的热导率：

$$\text{KFOM}=\kappa\sqrt{\frac{C\nu_{Sat}}{4\pi\varepsilon}}\qquad(6.6\text{-}2)$$

显然以上方程均不能全面、准确地描述材料的特征参数对功率器件性能的影响。

BFOM品质因子则是针对低频特性考虑了载流子的低场迁移率：

$$\text{BFOM}=\varepsilon\mu E_B^3\qquad(6.6\text{-}3)$$

表6.6-1列出了不同半导体材料的JFOM、KFOM和BFOM等品质因子。

表6.6-1　Si，GaAs和两种最常见SiC多形体的品质因子

材　料	JFOM	KFOM	BFOM
Si	1	1	1
GaAs	9	0.41	22
6H-SiC	900	5.0	920
4H-SiC	1 640	5.9	1 840

2　SiC半导体晶体的制备

2.1　SiC相图与SiC液相的生长

SiC单晶是重要的半导体材料。由于它具有良好的力学、热和电学性质，使其成为高温、高频、大功率电子器件的关键材料。要制作SiC器件，首先需生长SiC单晶。大多数的商用半导体单晶材料都可以用熔体或溶液法生长，但是用这类方法生长SiC体块单晶可能需要一些极端条件。

按理论分析，只有在压力>10 GPa(10^5 bar)，温度>3 200℃时才能形成化学计量熔体，这样苛刻的实验条件对于SiC单晶的研发非常不利，至目前为止，尚无人尝试用熔体法生长体块SiC单晶。从原理上，使用非化学计量比溶液，如Si，Si:Cr，Si:Sc作溶剂，C为溶质，可以从溶液中生长SiC单晶。20世纪60~70年代，有不少关于SiC单晶液相生长的研究。但随着气相生长技术的成熟，液相生长技术研究趋于停顿。由于液相生长技术有其独特的优势，最近又有发展的趋势。

常压下的Si-C二元相图，如图6.6-7所示。系统在2 800℃形成包晶，C在Si中的溶解度非常低，最大仅为15%。在1 800~2 300℃温度范围内，溶解度为0.5~7 mol%。为了增加C在Si中的溶解度，可以加入稀土和过渡金属元素，这样在理论上可使C的溶解度高达50%。如果使用Ga:Si合金作为溶剂，理论上，在600℃就可实现SiC的溶液生长。但实际上，为实现液相生长，除对溶质有高溶解度外，溶剂的选择还需考虑以下条件：

1）溶剂不会进入固相；
2）溶剂对晶体有较好的浸润性；

3）溶剂对坩埚不腐蚀；
4）晶体是唯一稳定的固相；
5）低气压；
6）低熔点。

溶剂如果进入晶体将对材料的电学性质产生影响，因此除 Si 外，其他的半导体材料均不适合作为溶剂；由于稀土金属具有非常低的分凝系数和有限的电活性，是合适的溶剂材料之一。相比之下，使用 Si 作为溶剂，除了液相 Si 具有较高的蒸汽压外这一不利因素外，其他的性质均能满足液相生长要求。

由于 Si-C 系中 Si 有较高的蒸汽压，为克服这一缺点，可采用液封技术或高压生长，以防止生长过程中 Si 的损失。但事实上，至目前为止，尚未找到适于 Si 熔体的液封材料。这样一来，高压气氛炉成为液相法生长体块 SiC 单晶唯一的选择。通过降低扩散系数（反比于压力），高压惰性气体能降低 Si 从液相向气相传输的速率，同时增加对流物质传输速率。实验测量表明：在 2 000℃，13MPa（130 bar）压力下，硅的蒸发速率为每天数克的量级。因此，应用高压惰性气体能有效地抑制 Si 的蒸发。

SiC 液相生长技术的另一个难题是坩埚材料的选择，理想的坩埚材料必须满足以下要求：① 在高温下，抗溶质、溶剂腐蚀；② 较高的机械强度；③ 抗热冲击；④ 一定的寿命和较低的价格。现有材料很难完全满足上述要求，特别是液态 Si 是非常强的腐蚀剂，它几乎腐蚀所有的坩埚材料，包括一些高熔点耐火材料。目前一般用石墨坩埚，石墨一方面起容器作用，另一方面也是液相生长的 C 源。

液相生长技术中，生长速率是工艺过程中的重要参数，通常取决于生长条件的设置及界面条件。SiC 液相生长技术中，通常采用以下三种不同的生长设置，分别称为：① 移动加热溶剂法；② 缓冷技术；③ 顶部籽晶液相生长技术，如图 6.6-8 所示。对不同的生长设置，不同的物质传输机理作为控制机理。

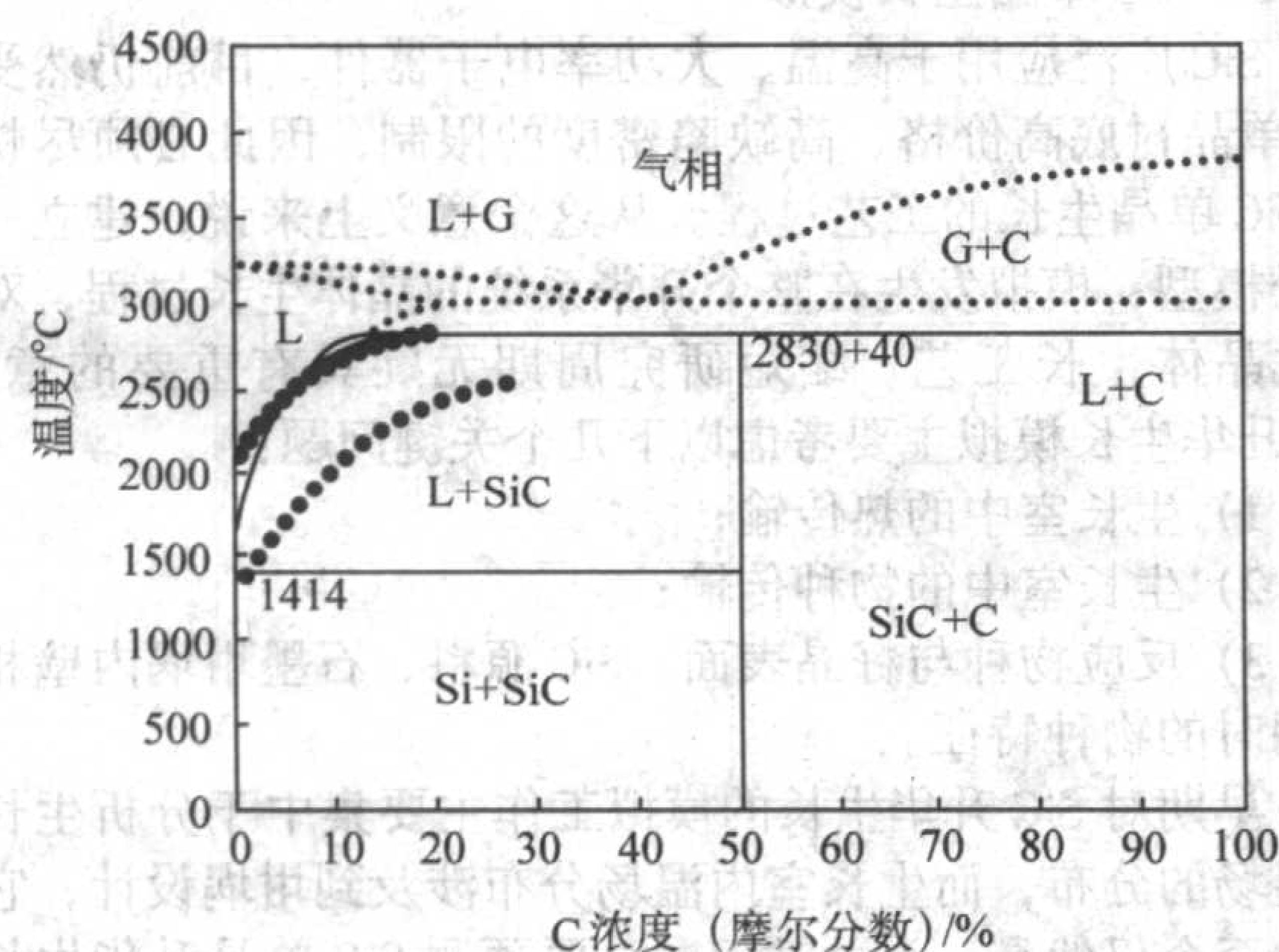


图 6.6-7 Si-C 二元相图

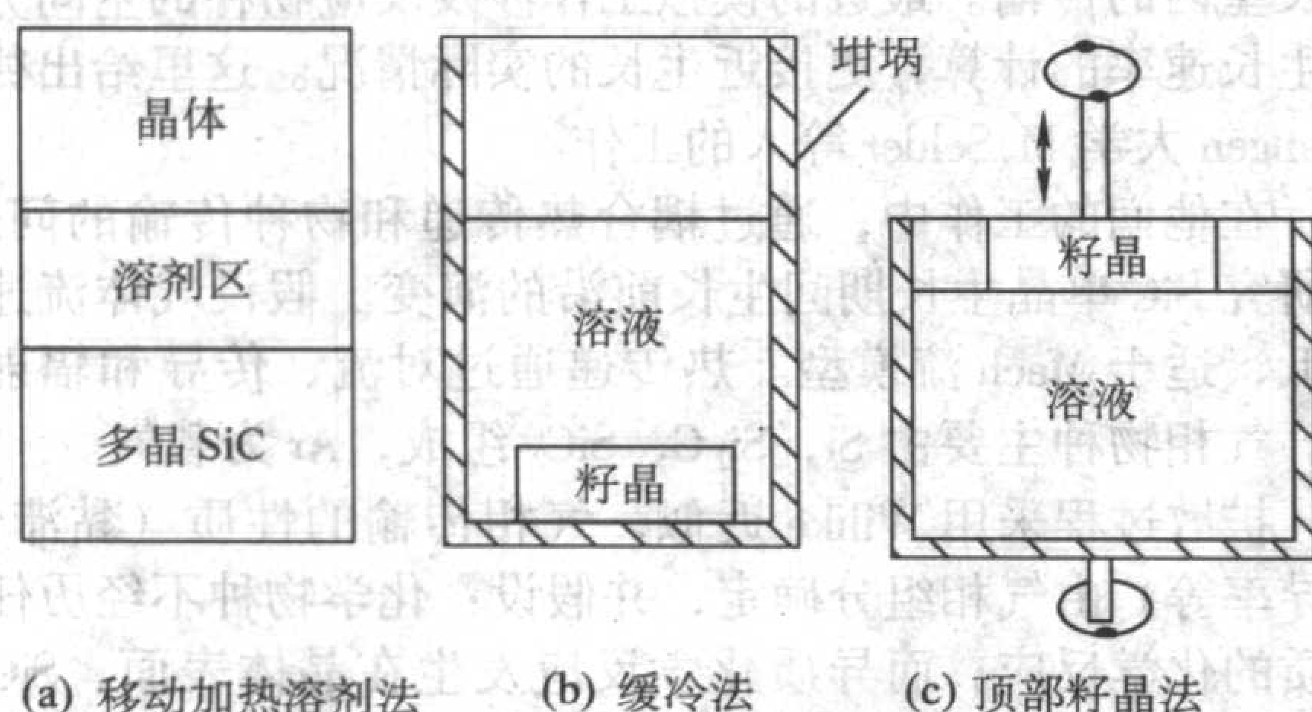


图 6.6-8 SiC 液相生长三种不同的设置

根据一定条件下 SiC 液相生长的动力学数据，理论上估算 SiC 液相生长速度在 0.05～0.2 mm/h 之间，完全可以同气相生长速率相比拟。

最近，德国 Erlangen 大学应用 SiC 液相生长技术成功地获得了直径 35.36 mm（1.4 in）、厚度 1 mm 的 SiC 单晶。晶体 0006 反射摇摆曲线的半峰宽约 27 in，表明晶体有非常高的完整性。

非常有趣的是用液相生长技术获得的 SiC 单晶，没有发现任何的寄生多型，而且原来在晶体表面存在的微管经过一段时间的生长后，微管完全闭合。这些事实说明：要获得大面积无微管的 SiC 晶片以满足高功率电子器件的需要，液相生长技术可能是未来主要选择的生长方法。

2.2 Lely 法生长 SiC 单晶

1955 年，飞利浦实验室的 Lely 提出了一种生长高质量单晶的方法——升华法，Lely 生长法是现在生长体块 SiC 单晶的开创方法。现在多数 SiC 单晶是在以 Lely 法为基础的方法上获得的。

Lely 认为，如果建立一个准封闭的容器，在混合物部分分解升华条件下，其中大多数挥发性成分的蒸气压等于该成分在确定温度下平衡状态分解的蒸气压。在这种情况下，分解将被抑制，导致物质自容器高温部分向低温部分输送并凝聚结晶。据此，设计出一个空心圆筒状石墨坩埚，如图 6.6-9 所示。最外层是石墨坩埚，内置多孔石墨环。将具有工业级的 SiC 粉放入坩埚与多孔石墨之间，加热到 2 500℃，在此温度，SiC 发生分解与升华，产生一系列的气相物种，如 Si，Si_2C，SiC_2 等。由于坩埚内壁与多孔石墨之间存在温度梯度，这些气相物种将在多孔石墨内壁上随机地结晶成核。图 6.6-10 为采用 Lely 法获得的典型 SiC 晶体，由于生长的各向异性，沿［0001］方向尺寸较小，垂直于［0001］方向尺寸较大，可以达到 1～2 cm 量级。总的来说，该方法生长的晶体尺寸小，产率低，难以控制成核，有各种多形结构，而且生长温度过高。这时期生长的 SiC 单晶，由于尺寸的限制，没有获得较大的应用。

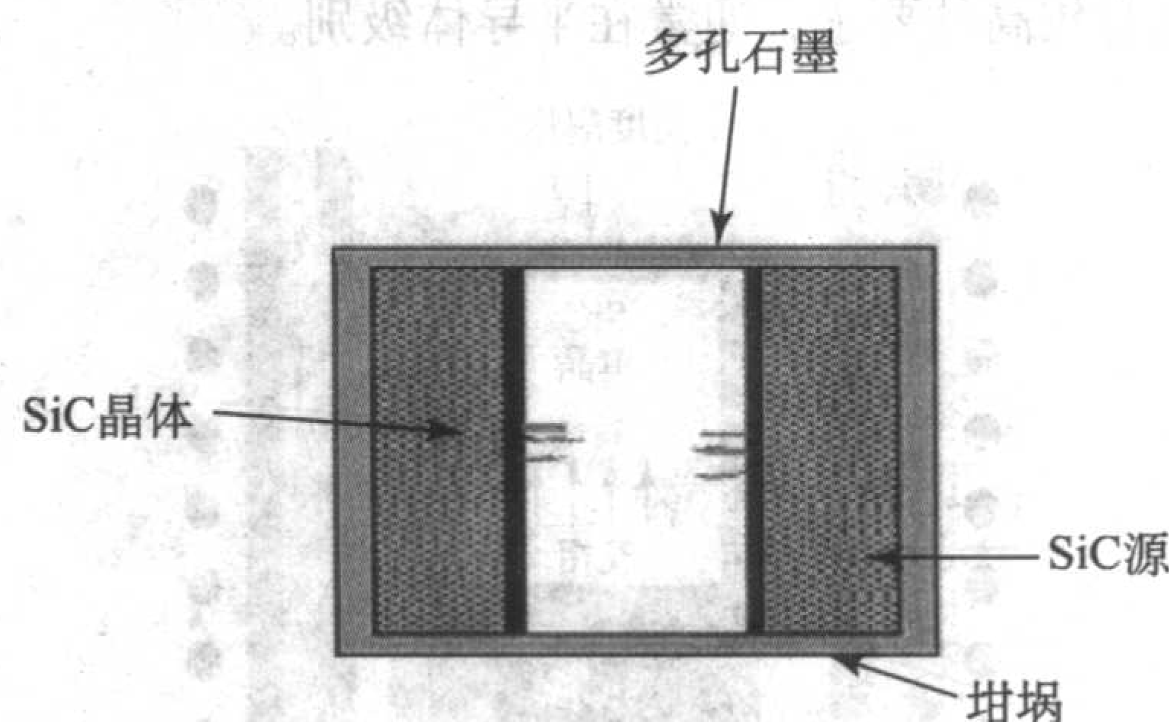


图 6.6-9 Lely 法生长 SiC 单晶示意图

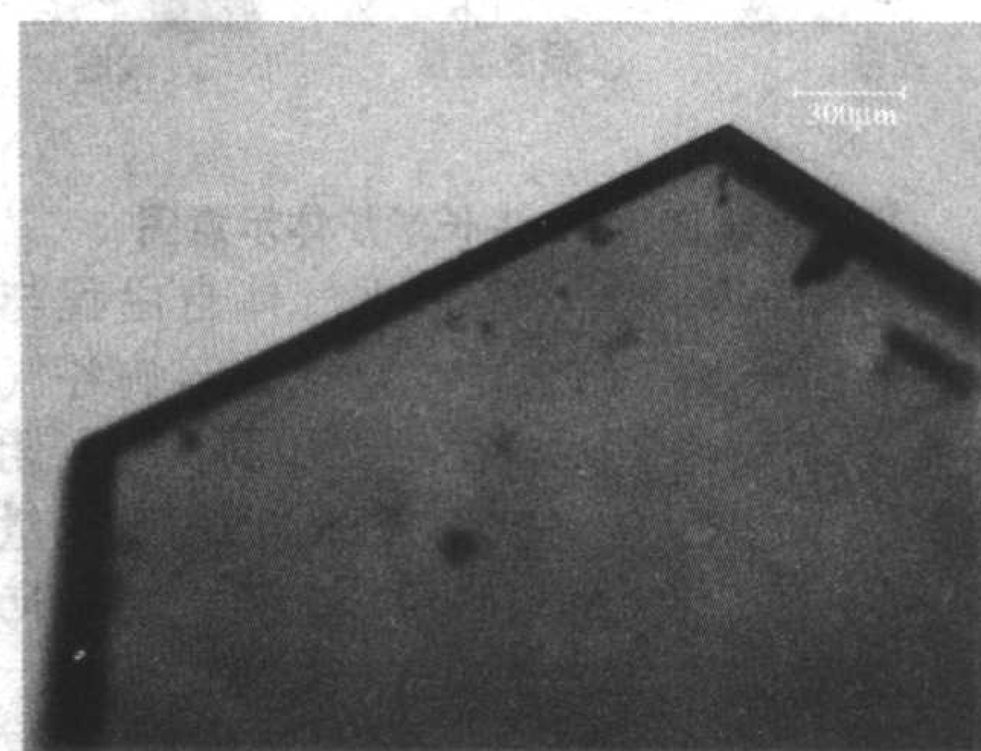


图 6.6-10 Lely 法生长的 SiC 单晶

2.3 改进的 Lely 法

改进 Lely 法，有时又称为籽晶升华法或物理气相传输法（physical vapor transport-PVT），由前苏联科学家 Tairov 和 Tsvetkov 在 1978 年提出，是现在生长体块单晶 SiC 普遍采用的方法。与 Lely 生长法比较，改进 Lely 法使用了籽晶。该方法使成核的过程得以控制，生长温度在 1 800 ~ 2 600℃，外加气体（Ar 气）压力从 133.322×10^4 ~ 101 324.7 Pa（10^{-4} 到 760）torr。下面将对改进 Lely 法进行详细的介绍。

2.3.1 改进 Lely 法生长 SiC 的设备和基本参数

升华法生长 SiC 晶体的设备有电阻加热和感应加热两种。电阻加热炉虽然比较容易控制温场，但是附加的工程消耗使得这种设备的费用较高。改进 Lely 法通常使用的生长设备是中频感应加热单晶炉，如图 6.6-11 所示。工作频率一般是 10 ~ 100 kHz。外围的圆圈代表感应加热线圈，由外向内依次是双层石英管（内通循环冷却水）、隔热材料、坩埚。坩埚一般使用高纯、高密、各向同性石墨。籽晶粘接于坩埚盖的下表面，源料可使用高纯 SiC 粉末或者多晶，置于坩埚底部。有两个测温窗口，用色温计测定坩埚顶部和底部的温度，从而估计温度梯度。

SiC 生长中涉及的参数很多，主要的参数描述如下。

1）温场的设计　温场主要取决于坩埚的形状及坩埚在线圈中的位置。要获得高质量的单晶，使用合适的温场是关键所在。最常见的设计是将原料放置于坩埚的底部，面向生长晶面。这种结构是料与籽晶距离最短的设计，但是会使粉料受热不均。将料置于坩埚壁两侧可以减小这种受热不均，气体从多孔石墨中传输出来，但这种设计缺点是由于较大的籽晶和料的距离使得生长率较低，而且多孔石墨会带来污染。两者相比，还是普遍采用料置于坩埚底部的设计。

2）生长系统中的纯度　SiC 生长需要非常干净的环境，因为在高温下，即使极微量的杂质都会对晶体的质量产生影响，并进一步影响其半导体的性质。杂质的来源一般是坩埚、原料以及氩气中未除净的非碳硅系统元素（故意掺杂情况除外）。所以在生长前需要净化坩埚和氩气，另外对原料的纯度有较高的要求，通常在半导体级别。

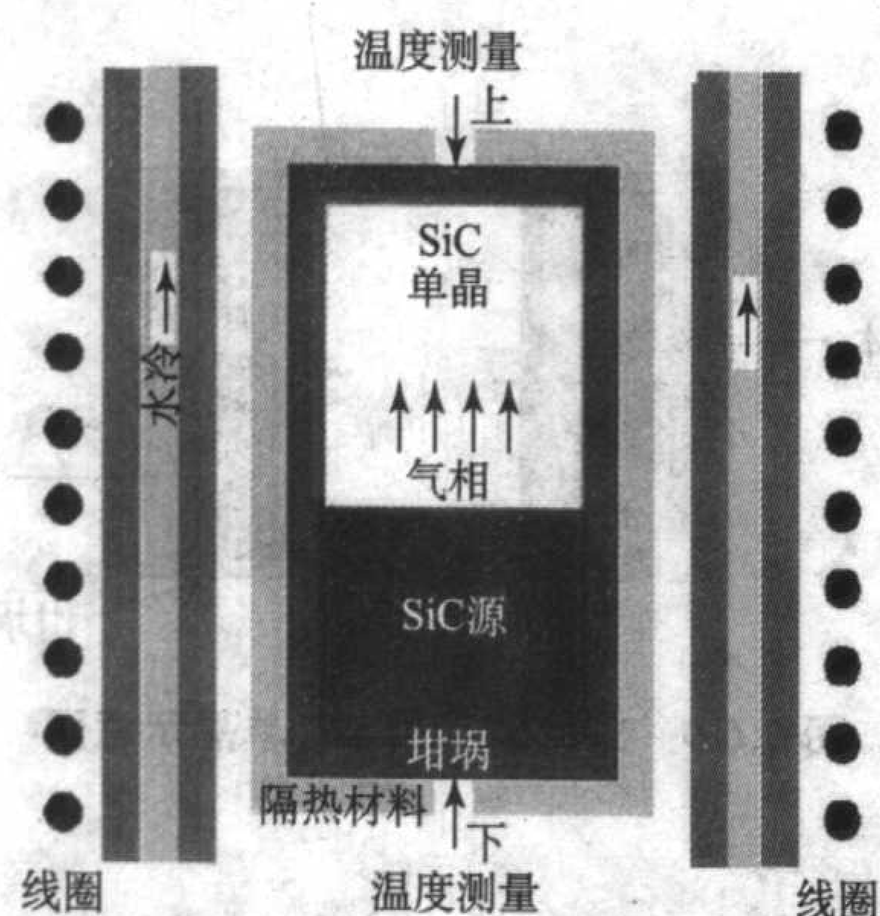


图 6.6-11　SiC 生长炉炉体示意图

3）惰性气体压力的大小　根据气体自由程与腔内压力成反比的关系，生长过程中通入 Ar 气，影响各气相物种的分压，并可以控制反应速度。在生长初期，为了阻止其他多形的生长，或是防止自发成核生长，加大 Ar 气量，可以减缓生长速度，以完成理想的成核阶段。同时可以防止过大的 Si 的蒸气分压导致整个系统处于贫 Si 状态。

4）粉料到籽晶的距离（L）和温度梯度（ΔT）　物理气相传输最重要的是物质的传输，传输距离就是料到籽晶的距离，温度梯度是物种传输的根本驱动力。

传输距离 L 和温度梯度 ΔT（包括轴向温度梯度和径向温度梯度）加上背景气体压力参数的选取与生长率，生长质量关系非常密切，通过改变它们，可以控制生长过程。

3.3.2 SiC 单晶生长的基本过程

SiC 单晶生长可分为以下几个阶段：低温高真空阶段；高压升温阶段；高压保温成核阶段；降压生长阶段；恒压、恒温生长阶段；升压冷却阶段等六个基本阶段。

在低温高真空阶段，主要是为了去除生长室中的水氧。温度应控制在 1 400℃ 以下，真空度好于 1×10^2 Pa（100 nbar）。真空度不好，将对生长室的保温材料和坩埚造成损伤。

在高压升温阶段，主要增大背景气体压力，防止在高温下，SiC 分解产生的气相物种 Si，Si_2C，SiC_2 等具有较大的分压，将升华速率、生长速率控制在较低的水平，以利于 SiC 在籽晶上能较好地成核。

高压保温阶段，主要是确保 SiC 在籽晶上较好地成核，理想的情况下，应获得具有一定面积的小面，保持生长形态稳定，避免结构缺陷的产生。有时也利用坩埚与线圈的相对移动来控制成核阶段。

降压生长阶段，SiC 成核完成后，可进行降压生长，以获得合适的生长速率，提高生长效率。从当前压力降低到目标压力，降压速率一般采用以下指数关系：

$$p = p_0 e^{-\frac{t}{\tau}} \tag{6.6-4}$$

式中，p，p_0 分别代表当前压力和目标压力，τ 为常数。

恒压、恒温生长阶段，当背景气体压力达到目标压力后，进入恒压、恒温生长阶段。在这一阶段，应尽量保持生长条件的相对稳定。理想条件下，这时小面应逐渐增大。

升压冷却阶段，一定时间的恒压、恒温生长后，应估算获得的晶体长度，达到预计的长度后，可进入升压降温阶段。将生长室温度逐渐降低到室温。至此整个生长过程结束。

2.3.3 SiC 单晶生长模拟

SiC 广泛应用于高温、大功率电子器件，目前仍然受到 SiC 单晶衬底高价格、高缺陷密度的限制，因此必须尽快改进 SiC 单晶生长的工艺过程。从这个意义上来说，建立一个生长模型，模拟发生在整个升华系统的晶体生长过程，对于优化晶体生长工艺、缩短研究周期无疑具有重要的意义。SiC 升华生长模拟主要考虑以下几个关键问题：

1）生长室中的热传输；

2）生长室中的物种传输；

3）反应物种与籽晶表面、SiC 源料、石墨坩埚内壁相互作用时的物种特征。

早期对 SiC 升华生长的模拟工作主要集中于分析生长室内温场的分布，而生长室内温场分布涉及到坩埚设计，它的优化至今仍然是一个关键问题。要预测 SiC 单晶升华生长速度，不仅需要模拟生长室内温场的分布，而且要考虑物种在生长室内的传输。最近的模拟工作涉及反应物种的空间分布及生长速率的计算，更接近生长的实际情况。这里给出德国 Erlangen 大学 M.Selder 等人的工作。

在他们的工作中，通过耦合热传递和物种传输的问题，来研究 SiC 单晶生长期间生长前沿的演变。假设气体流速足够低，适于 Mach 流模型。热传递通过对流、传导和辐射进行。气相物种主要由 Si，Si_2C，SiC_2 组成，Ar 为载气。

扩散过程采用 Wilike 近似，气相传输的性质（黏滞性、热导率等）由气相组分确定，并假设：化学物种不经历任何同质的化学反应；而异质化学反应发生在晶体表面、SiC 源料和坩埚的内壁。发生在固体表面的化学反应接近热平衡态。

在石墨坩埚中，升华生长 SiC 单晶期间，源料的石墨化

是一个普遍问题。因此在源的表面，两种凝聚态相共存，即固态石墨 C (s) 和固态 SiC (s)。考虑在源的表面持续发生的异质化学反应如下：



$$SiC_2(g) + Si(g) \Longleftrightarrow 2SiC(s) \tag{6.6-5}$$



$$SiC_2(g) \Longleftrightarrow 2C(s) + Si(g) \tag{6.6-6}$$



$$SiC_2(g) + 3Si(g) \Longleftrightarrow 2Si_2C(g) \tag{6.6-7}$$

应用物质反应规律方程，物种气体分压可表示如下：

$$p_{SiC_2}\, p_{Si} = K_1(T) \tag{6.6-8}$$

$$p_{SiC_2} = K_2(T)\, p_{Si} \tag{6.6-9}$$

$$p_{SiC_2}(p_{Si})^3 = K_3(T)(p_{Si_2C})^2 \tag{6.6-10}$$

式中，对应化学反应的平衡常数 $K_1(T), K_2(T), K_3(T)$ 可用气相和凝聚态物种的热力学性质来计算。

在籽晶表面，假设仅一种凝聚态相SiC(s)同气相平衡。在这种情况下，方程（6.6-6）和方程（6.6-9）中应该使用能表达化学计量 Si 原子和 C 原子结合生长成 SiC 晶体的质量平衡方程来表示。

$$J_{Si} + 2J_{Si_2C} + J_{SiC_2} = J_{Si_2C} + 2J_{SiC_2} \tag{6.6-11}$$

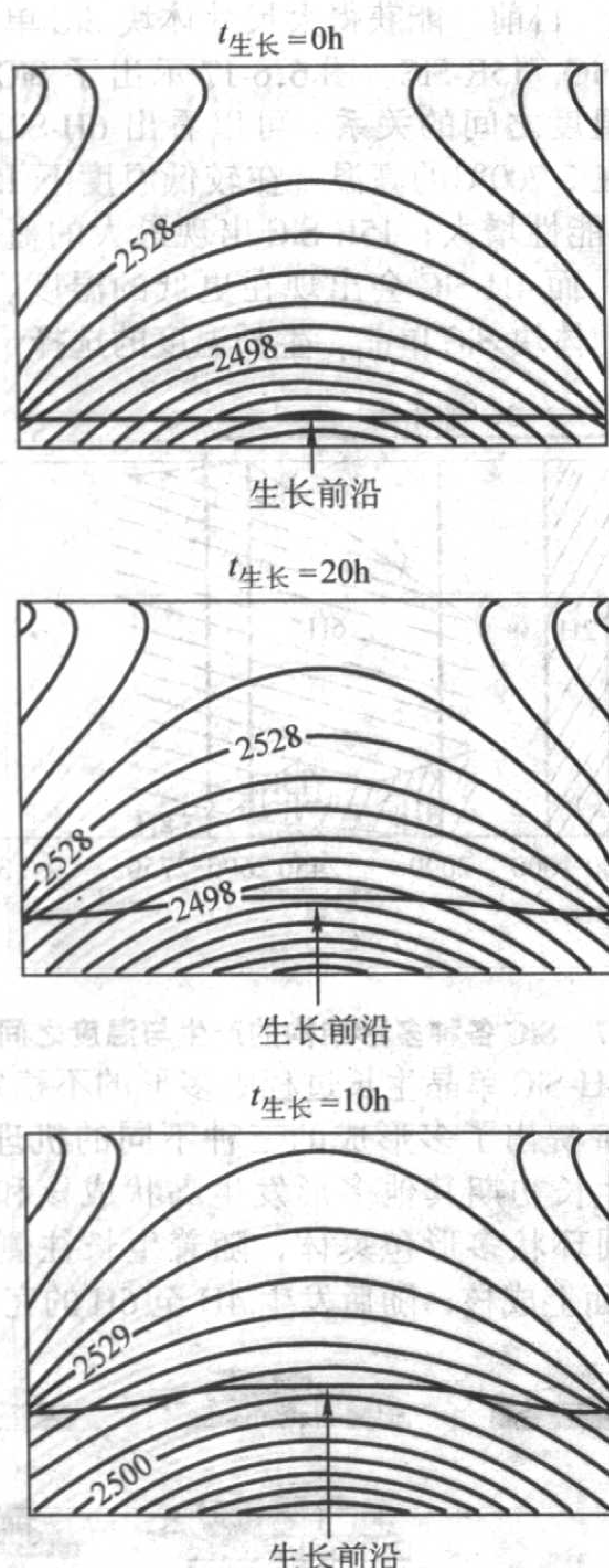


图 6.6-12　SiC 在三个不同生长时刻的温场分布和生长前沿的形状

其中 J_ν 代表第 ν 种物种向固体表面流动的摩尔流量。

发生在坩埚内壁的异质反应可以类似的方式来近似。在石墨表面，方程（6.6-5）和方程（6.6-8）应该使用质量平衡方程来表示，并考虑硅原子不与固相石墨反应。

$$J_{Si} + 2J_{Si_2C} + J_{SiC_2} = 0 \tag{6.6-12}$$

根据上述模拟，在某一生长实验条件下，可计算不同生长实验阶段生长室内温场分布和生长晶体的长度。图 6.6-12 表示在生长初期、20 h、40 h 等三个生长时刻计算的温场分布和生长晶体的前沿。

由图 6.6-12 可见，生长初期，在籽晶表面的高温度梯度引起生长速度沿径向具有较大的差异。由于这种生长速度沿径向的分布，生长前沿变成凸状。实际上，生长前沿的形状不仅取决于晶体/气体界面处的温场分布，而且受埚壁反应的影响，这种反应增加材料向晶体输运的速度。特别在晶体的外围，这种效应特别明显。考虑上述影响，当晶体长度增加，生长速度沿径向的分布变得平缓。图 6.6-13 表示模拟计算的在不同生长时刻生长速度沿径向的分布曲线。可以看出：一方面，随晶体长度的增加，晶体中心的生长速度减慢；另一方面，随生长时间的延长，生长速度沿径向的分布变得平缓。

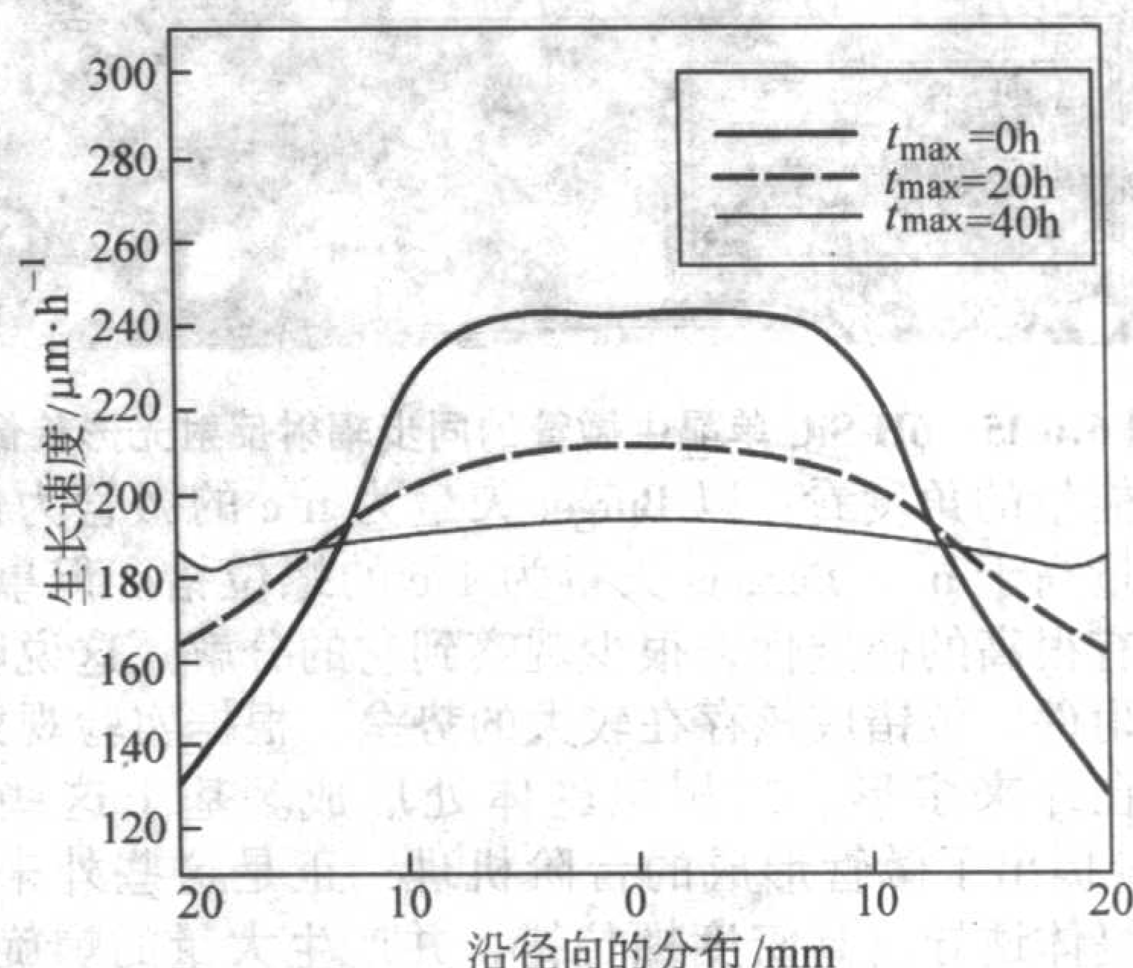


图 6.6-13　模拟计算的在不同生长时刻生长速度沿径向的分布曲线

以上模拟计算结果得到晶体生长实验验证。图 6.6-14 是对应模拟生长实验条件下实际获得的晶体纵切片照片。为观察生长前沿在实际生长过程中随时间的演变，采用调制掺氮技术。照片中黑区对应掺氮区，亮区是名义上不掺氮区。可以看出：生长前沿的形态类似于模拟结果；而且生长速率沿径向的变化与模拟计算结果相一致。

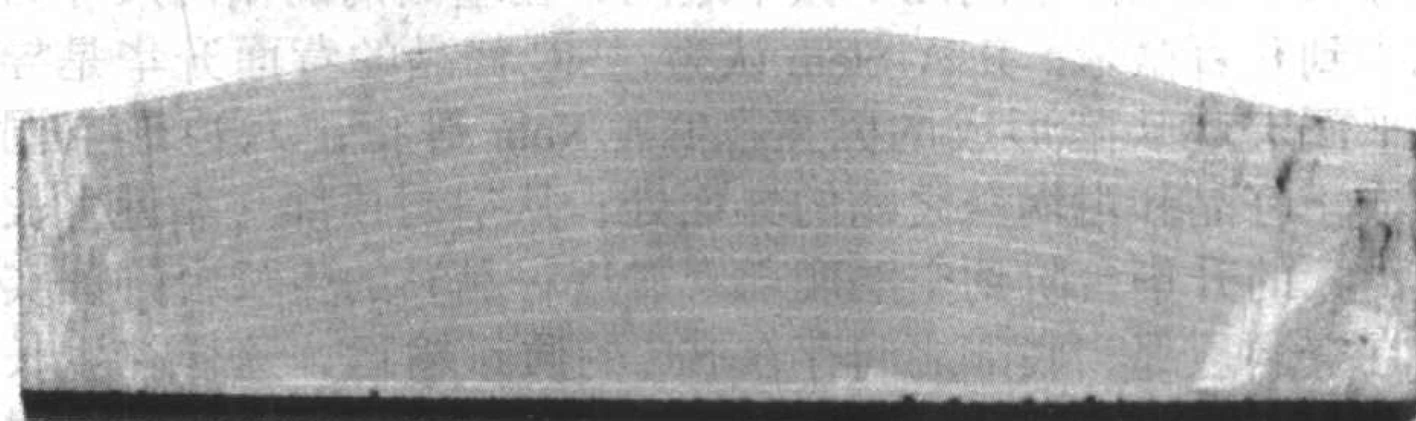


图 6.6-14　采用调制掺杂技术生长的 SiC 单晶纵切片，验证了模拟计算结果

2.3.4　升华法生长 SiC 体块单晶中的主要缺陷及形成机理

升华法生长的 SiC 单晶中常见的主要缺陷有：微管、位错、空洞、小角晶界、包裹体、多形等。这些缺陷在一定程度上制约了 SiC 材料的应用，例如：实验证明在高电压下等离子体将使高压二极管的反向偏压失效。如果 SiC 晶片的平均微管密度为 100/cm^2，那么兆瓦级 SiC 器件要求 SiC 晶片无缺陷区达到 0.4 cm^2。以下对这些缺陷的主要特征及形成机理进行介绍。

1）微管、位错　早在 1951 年，Frank 就解释了晶体中微管的形成原因。他认为：当位错的 Burgers 矢量超过 1 nm，其中心就应该是空心的，以降低位错能。微管是 SiC 单晶中主要的缺陷之一，而且难于消除。微管芯的直径从数纳米至数十微米，一旦产生将贯穿整个晶棒。而且衬底片中的微管将延伸到外延层，直接影响器件的性能。采用光学显微术、AFM、同步辐射反射形貌术，均可观察到微管。图 6.6-15 为一幅 6H-SiC 单晶的同步辐射反射形貌照片，照片中，小白点对应 Burgers 矢量为 1 c 的螺位错；大白点对应微管，一个微管可以是一个 Burgers 矢量非常大的螺位错，也可由一队

同号或异号螺位错构成。通过模拟微管的形态，可以判断其基本性质。目前商用 SiC 单晶衬底片的微管密度小于 100/cm^2；位错密度为 $10^3 \sim 10^5/cm^2$。

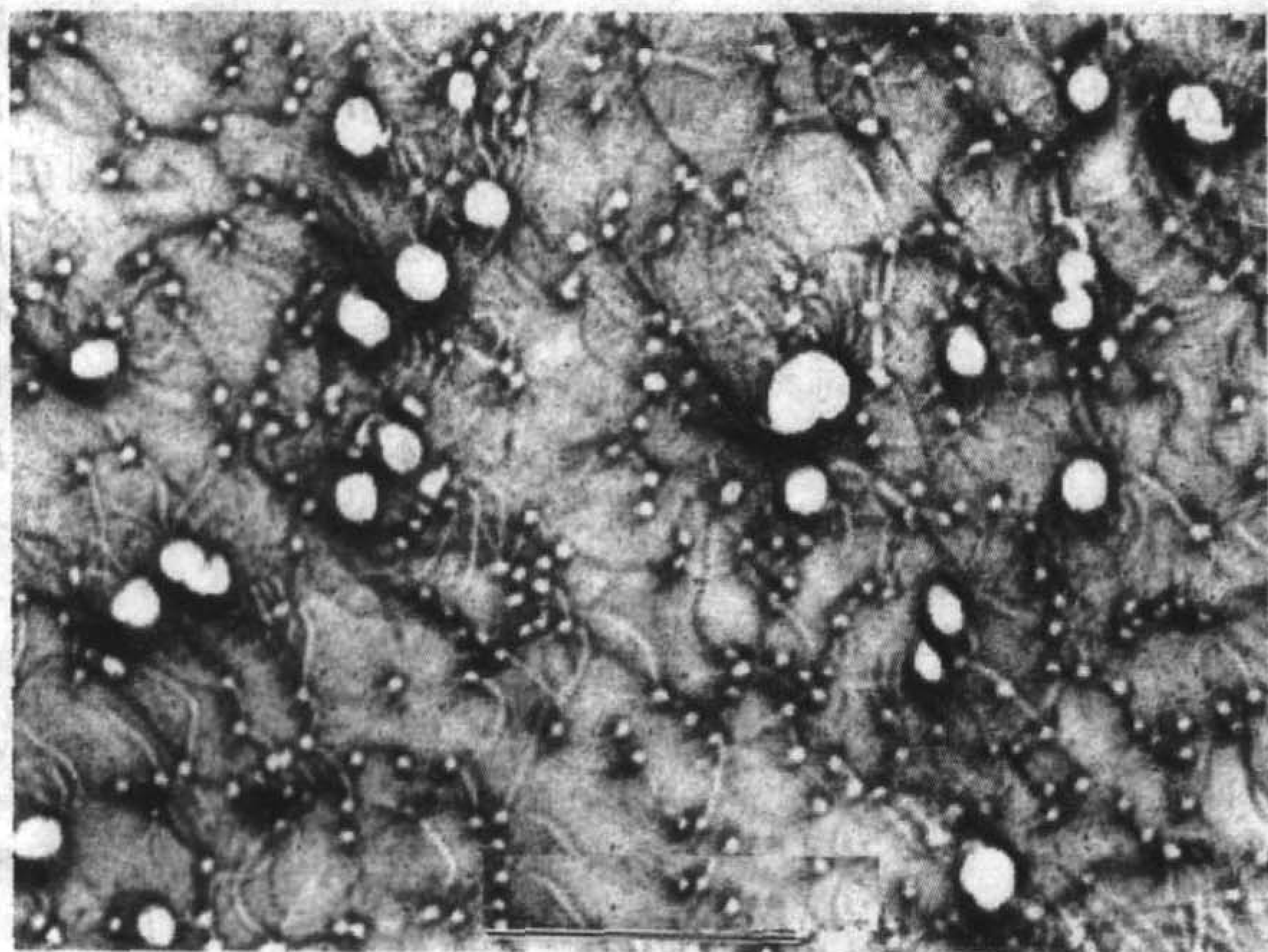


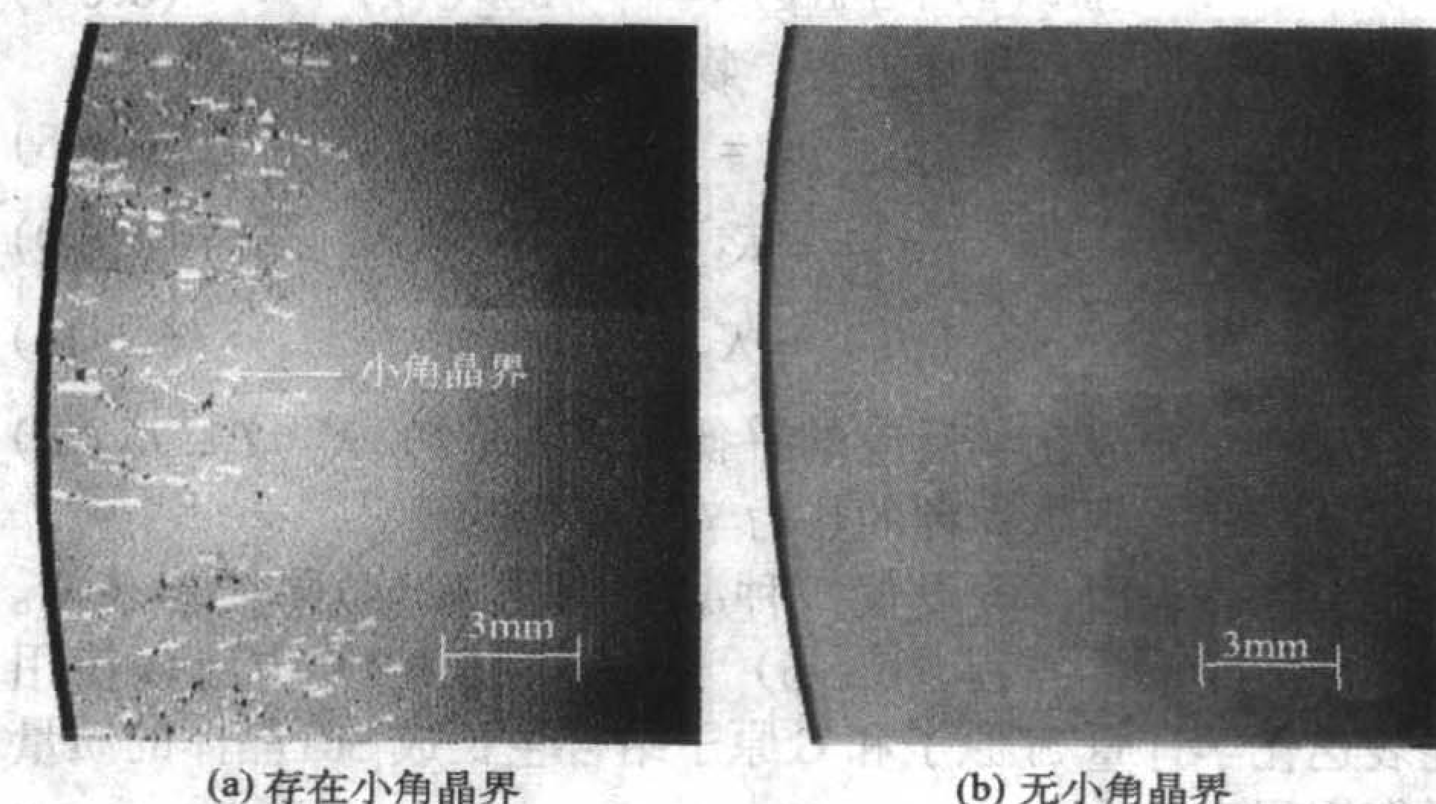
图 6.6-15 6H-SiC 单晶中微管的同步辐射反射光形貌像

从能量的角度看：以 Burger 矢量为 n c 的微管为例，显然其能量高于 n 个 Burgers 矢量为 1 c 的螺位错。但事实上，微管具有很高的稳定性，很少观察到它的分解。这说明：在微管的附件，位错成核存在较大的势垒。根据实验观察：微管一般在外来多形、二相包裹体处形成。基于这些观察，N. Ohtani 提出了微管形成的台阶机理：正是这些外来多形、二相包裹体诱导出高密度螺位错，并产生大量的螺旋台阶。由于这些螺旋台阶之间存在强烈的排斥作用，通过螺旋台阶的集聚，使 1 c 的螺位错合并在一起，形成微管。台阶机理保证了多个单胞高度的台阶能稳定地侧向扩展，避免集聚台阶的分解，并保持微管的稳定。通过优化生长条件，能有效降低微管分解的能量势垒，从而达到降低微管密度的目的。

2）空洞 六边形空洞是 6H-SiC 中另一种比较常见的缺陷，也称为平面宏观缺陷或中空基面缺陷，其沿 c 轴方向的尺寸大小在几微米到几十微米之间，在基面内的横向尺寸为几十到几百微米。R. A. Stein 认为，SiC 籽晶的背面升华是导致平面宏观缺陷形成的因素。T. A. Kuhr 等指出六边形空洞形成于籽晶和坩埚盖之间的界面处；从空洞顶部（靠近生长前沿）的升华台阶到空洞底部（靠近籽晶）的生长台阶证实了在空洞顶部和底部之间存在 SiC 的质量输运，这样在生长着的晶体内部，空洞可沿着温度梯度的正方向移动，即向温度升高的方向移动。空洞对 SiC 器件的危害也较大。实验结果表明：采用特殊的籽晶背面处理技术，可以减少空洞的产生。

3）小角晶界 小角晶界，也称为镶嵌结构晶界，是一种在两维尺寸较大、一维尺寸较小的面缺陷，小角晶界两侧晶体有微小的取向差。利用高分辨 X 射线衍射摇摆曲线或应力双折射可检测出小角晶界。图 6.6-16 为 SiC 的应力双折射像，很明显左边晶体存在小角晶界，由双折射导致出射光强分布不均匀；右边对应完整晶体的应力双折射像，出射光强度分布均匀。小角晶界也是 6H-SiC 单晶中较为常见的缺陷，对其成因有几种看法。P. Pirouz 和 R. C Glass 等指出，SiC 晶体中的［0001］网状纹理结构起源于螺旋生长机制，认为两个生长螺旋之间的相互作用使它们扭折错向而形成小角度晶界。M. Katsuno 等指出，在 6H-SiC 单晶生长过程中，其他 SiC 多形体的寄生生长也是导致小角度晶界形成的主要原因。

4）包裹体 升华法生长 6H-SiC 晶体过程中，最主要的第二相包裹体为碳颗粒和硅滴。主要是由于 Si、Si_2C 和 SiC_2 等气相组分偏离了最佳比例而导致的。因为在生长过程中，如果气相组分 Si 缺失，气相组分偏离了晶体生长的最佳比例，导致生长面上局部区域的 SiC 晶体出现石墨化，即形成碳包裹体。若生长过程中出现大的波动，特别是较大的温度起伏，容易造成组分过冷而产生硅滴。包裹体一经产生，微管将迅速在该处成核，对器件将产生双重的危害。优化生长条件，可以减少或消除包裹体的产生。



(a) 存在小角晶界 (b) 无小角晶界

图 6.6-16 SiC 晶片的应力双折射像

5）多形 目前，能获得大尺寸体块 SiC 单晶的多形有：6H-SiC，4H-SiC，15R-SiC。图 6.6-17 示出了 SiC 各种多形结构的产生与温度之间的关系。可以看出 6H-SiC 始终占支配地位，特别在 2 700℃的高温。在较低温度下 15R-SiC 和 4H-SiC 出现的可能性增大；15R-SiC 出现最大的概率在 2 400～2 500℃之间；而 4H-SiC 会出现在更低的温度。因此，要获得单一多形的体块 SiC 单晶，生长温度的选择十分重要。

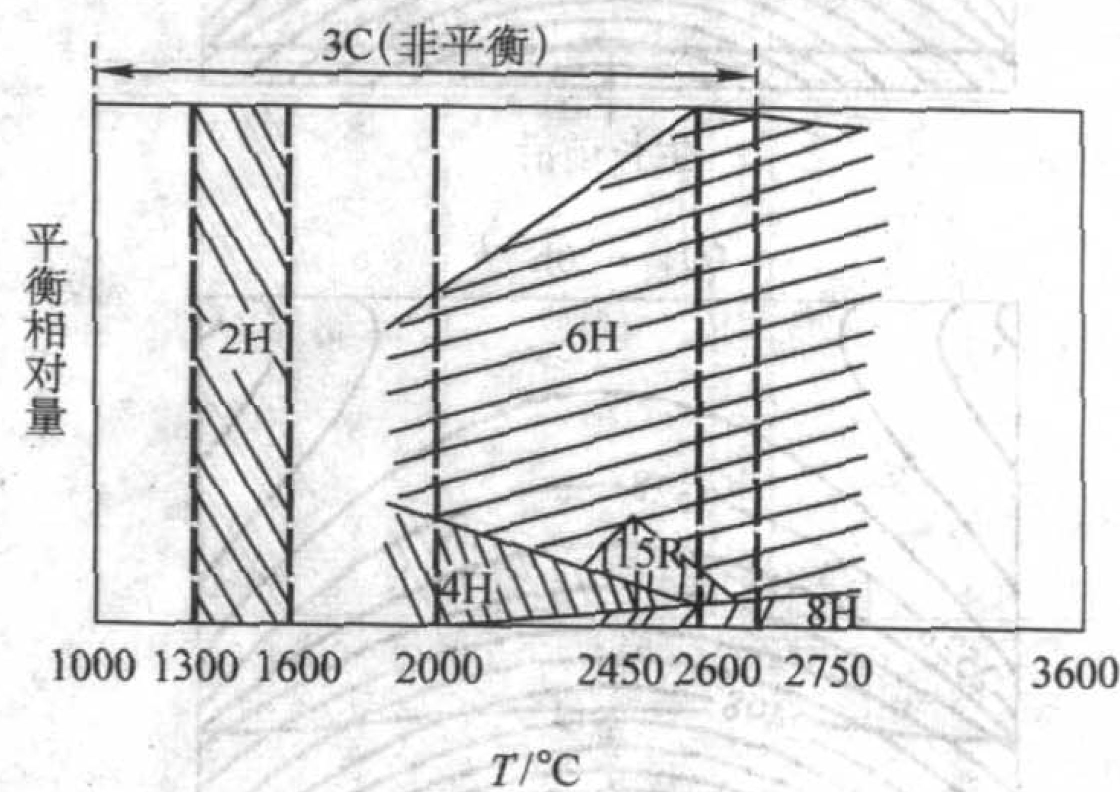


图 6.6-17 SiC 各种多形结构的产生与温度之间的关系

在研究 4H-SiC 单晶生长过程中多形的不稳定性问题时，T. L. Straubinger 提出了多形成的三种不同的机理，如图 6.6-18 所示。①生长初期其他多形发生岛状成核和生长；②小面边缘出现圆环状多形包裹体，随着生长往侧向延伸；③6H 多形在小面上成核，随后发生 4H 至 6H 的完全转变。

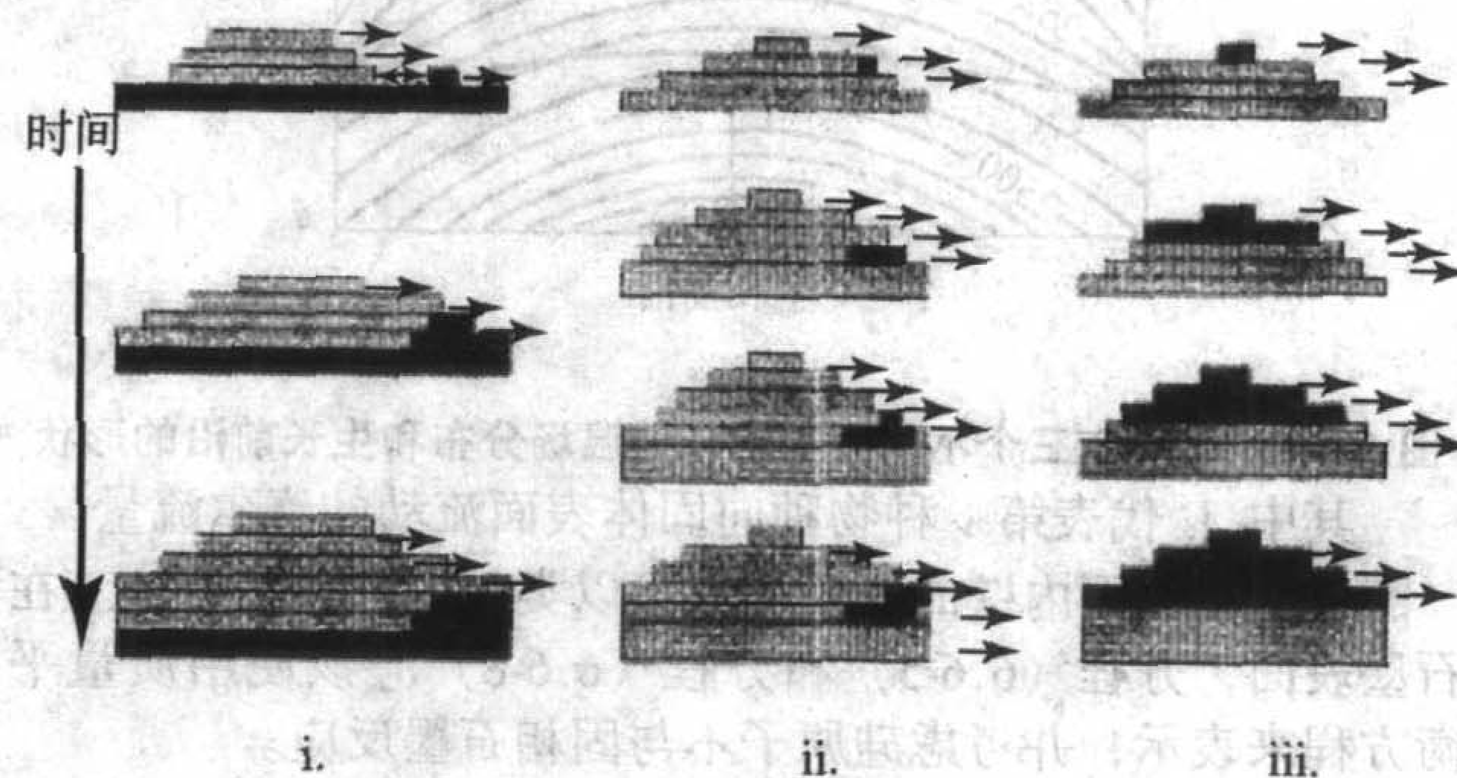


图 6.6-18 4H-SiC 单晶生长过程中多形产生的三种可能机理

第 1 和第 2 种多形是不稳定的，它通常被随后生长的 4H-SiC 所覆盖；在生长初期的成核阶段，将过饱和度控制在较低的水平可以避免第 1 种多形的产生；至于第 2 种多形，

它的形成可能与小面、准粗糙界面间局域浓度场有关；实验发现：4H至6H转变（第3种多形）存在一临界温度，该温度与径向温度梯度有关，降低径向温度梯度将导致多形转变温度的降低。

3 SiC半导体薄膜的制备

SiC器件性能的进展很大程度上与体材料的生长及薄膜外延生长的质量和尺寸改进相关，因采用液相外延、近距离升华等生长技术所得到的外延薄膜质量不令人满意，用气相外延技术进行SiC同质生长的工作始于20世纪80年代中期。

第一台用于SiC薄膜生长的气相反应装置是由GaAs反应装置改装而成的，图6.6-19是这台改装气相反应装置的示意图。衬底和反应气体的加热采用高纯石墨基座，该基座通过环形射频感应线圈可被加热至约1 500℃的生长温度。因为SiC的生长是在高温下进行的，必须避免石英管过热、尤其是与石英管紧密接触的基座底部，基座的热绝缘是通过在附加的石英管上淀积石墨垫层或高反射石墨层而实现的。反应装置中石英管的冷却采用水冷或空气冷却，因此石英管壁周围的温度比衬底和基座低几百度。这种具有冷侧壁的反应装置称为水平冷壁反应装置。

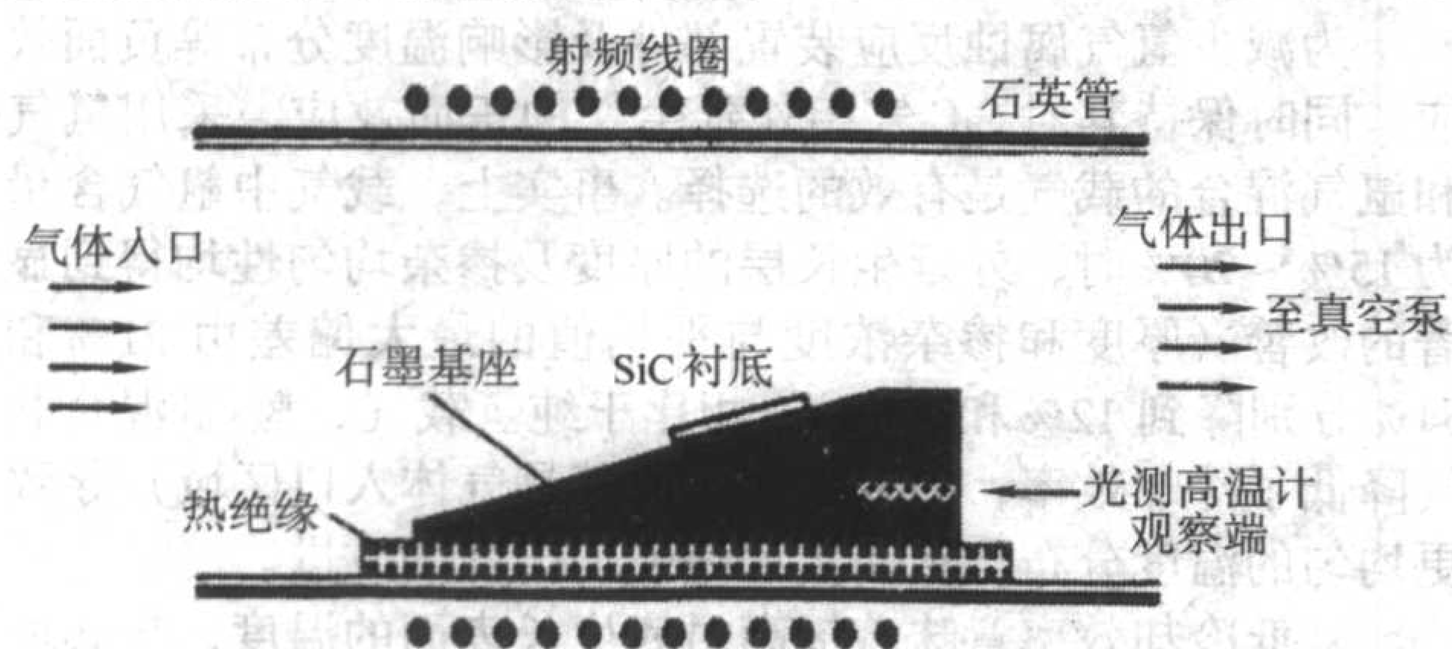


图6.6-19 用于SiC外延生长的水平冷壁气相外延反应装置的示意图

第一台SiC气相反应装置虽然主要是为小尺寸衬底上外延生长所设计的，但其使用对包括掺杂与气相中C/Si比的依赖关系、生长速率与Si含量的依赖关系、基片上的生长及反应机理等关于SiC外延生长特定方面的研究是极其重要的。为获得均匀的外延层，需要改进反应装置的设计，为在衬底上和气相中提供均匀的温度分布，需要采取特别措施，20世纪90年代初期，瑞典Linköping大学采用的反应装置的设计思想是对生长室和通过基座内四个环绕面的气体的加热，依据这种设计思想的SiC水平气相外延反应装置称为热壁反应装置。目前，水平热壁反应装置是用于SiC同质外延生长的最先进及最成熟的装置，现有的商业产品既可提供研究所需的单片机配置，还可提供用于批量生产的多片机配置，除了水平热壁反应装置，竖直热壁反应装置也得到了发展。竖直反应装置的设计可实现生长温度高至2 000℃，其生长速率高于水平热壁装置，高温气相反应装置既可用于同质外延生长，也可用于体材料的生长。尽管竖直气相外延反应设备具有广泛的性能，但水平热壁气相外延设备在引入衬底旋转装置后具备增加器件工艺及生产方面的潜力，因此，这里关注的焦点将是水平热壁外延生长及设备。

图6.6-20为用于SiC同质外延生长的水平热壁反应炉的示意图。放置衬底基片的高纯石墨基座的内生长室具有矩形横截面，基座环包石墨毡垫以实现热绝缘，并置于空气冷却的石英管中。热壁反应炉的设计必须考虑减少热辐射，否则，热辐射将限制至反应炉内生长室进、出口区域的热量。热壁反应炉还具备直径在50.8 mm（2 in）以上的内生长室基片区，其中的温度均匀性表现为各点温度与最高温度的偏差小于±10℃。基片放置在基片承载盘的凹槽内，承载盘由气流出口装入反应炉，基座内端的止动销可确保50.8 mm（2 in）衬底基片总是被置于内生长室的相同位置。

不同形状的内生长室随着热壁反应炉的发展均得到过尝试，目前设计的热壁反应炉内生长室具有倾斜的顶面，以增加气体掠过基片的速度并避免反应物质的耗尽，从而生长出均匀的薄膜。用于测量生长温度的光测高温计经调节对准衬底基片上方倾斜顶面的最高温区，并可用置于基片承载盘上Si的熔化作校准。

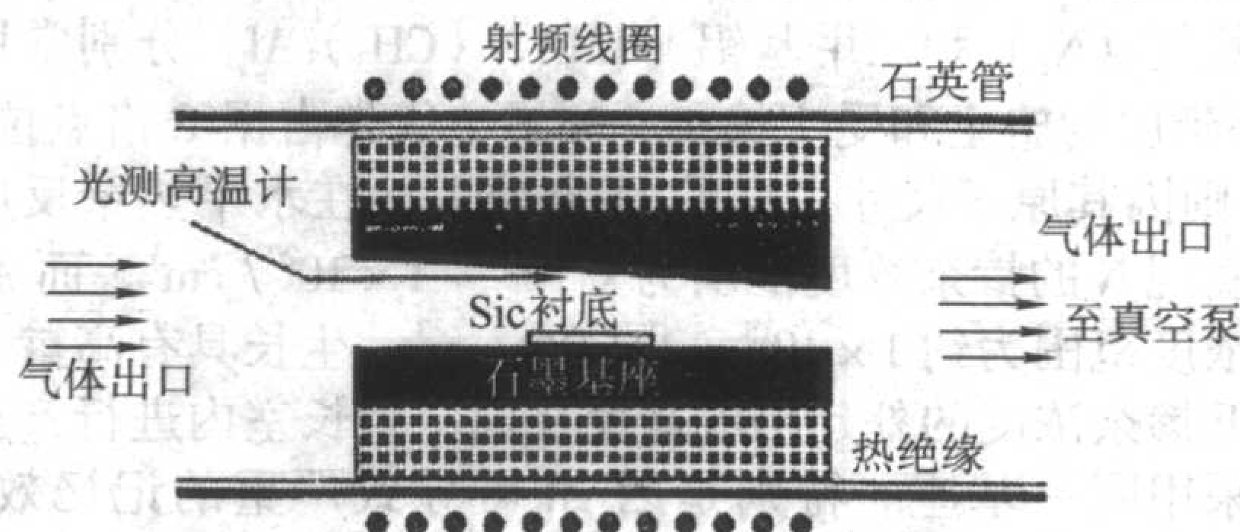


图6.6-20 用于SiC外延生长的水平热壁气相外延反应装置的示意图

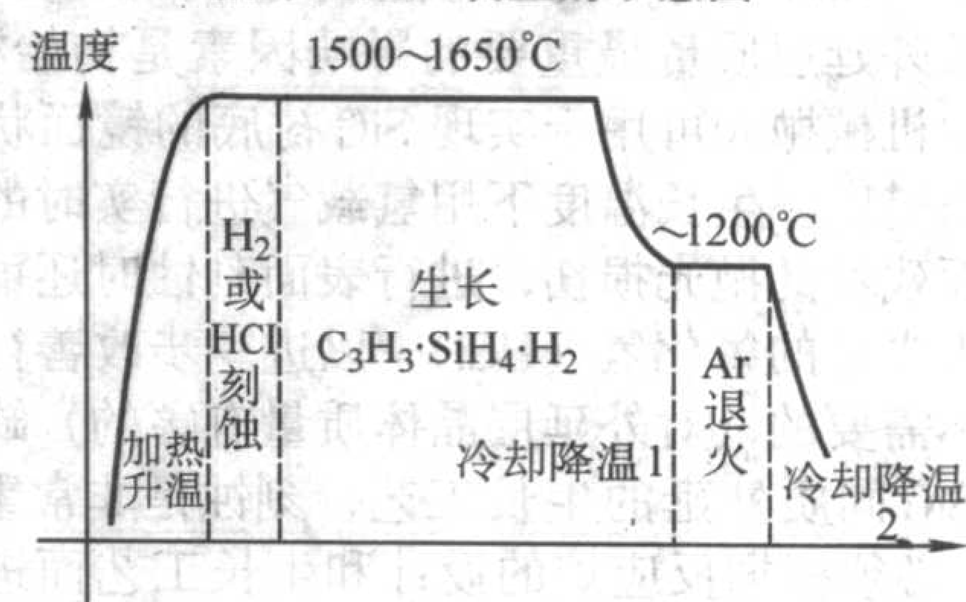


图6.6-21 典型的SiC同质气相外延的生长过程

3.1 SiC的气相外延生长

3.1.1 气相外延生长过程

不同的冷壁和热壁反应炉具有与同质气相外延相似的生长过程。在典型的同质气相外延生长过程（如图6.6-21所示）中，所采用的高纯初始气体进入反应炉的内生长室，被加热至生长温度，在气相和衬底基片表面发生的一系列化学反应及过程包括：

1）反应气体由入口至反应炉内生长室的输运；
2）初始气体分子的热分解；
3）含Si、C反应物质至表面的扩散；
4）含Si、C反应物质在表面的吸附；
5）Si、C自表面的解吸附与挥发；
6）吸附物质的表面扩散；
7）吸附物质与生长晶体的结合（优先在台阶或缺陷处）。

SiC的淀积主要贡献于吸附、表面扩散、含Si和C的反应物质与晶体结合等过程，而Si、C自表面的解吸附与挥发则造成了表面刻蚀。淀积超过刻蚀而处于优势时，SiC薄膜在衬底上实现生长，生长速率既取决于上述的各受限制过程，还取决于淀积速率与刻蚀速率的比例，并最终取决于生长温度和供给的气体流量。

氢气（H_2）是优先采用的携带气体（载气），其原因是价格相对较低，经加热的钯管纯化即可达到非常高的纯度，此外氢气还具有高热导率、低黏滞性及低密度等特点，在大多数情况下易于形成稳定的层流。根据反应炉内生长室的尺寸，氢气流量为10~70 slm。

生长温度一方面应高到足以促使初始反应物分解，另一方面还应高到足以支持必要的表面化学反应，允许生长物质的表面迁移，继而提供SiC晶体生长所需的形成能量。这样SiC气相外延的生长温度通常为1 450~1 650℃，其中生长4H-SiC所需的温度较高，6H-SiC所需的温度较低。通过节流

阀和干泵控制的反应室总气压为 $1\times10^{5}\sim5\times10^{5}$ Pa。

最常用的 Si、C 初始物质分别是硅烷（SiH_4）、丙烷（C_3H_8），Si 初始物质也可采用乙硅烷（Si_2H_6）、氯硅烷（SiH_3Cl）等，而甲烷（CH_4）、乙烷（C_2H_6）、乙烯（C_2H_4）等碳氢化合物则为可选择的 C 初始物质，此外还可采用甲基硅烷（CH_3SiH_3）等含 Si 和 C 的单分子化合物作初始物质，相应地可明显降低生长温度。

氮气（N_2）和三甲基铝［TMA，$(CH_3)_3Al$］分别常用做 SiC 外延层的施主和受主掺杂，N 施主优先占据 C 格点位置，而 Al 则因其原子尺寸占据 Si 格点位置。在水平热壁反应炉中可实现 N 的掺杂浓度范围为 $<10^{14}\sim1\times10^{20}/cm^3$，而 Al 的掺杂浓度范围为约 $1\times10^{15}\sim1\times10^{21}/cm^3$。生长具有高掺杂浓度和低掺杂浓度的外延层应避免在同一生长室内进行，至少不能采用同一基座。特别是因 Al 可导致严重的记忆效应，生长高 Al 掺杂 p 型薄膜的时间持续 1 h 以上后，低于 $5\times10^{16}/cm^3$ 的 Al 掺杂浓度是难以实现的。

3.1.2 SiC 气相外延生长前的衬底预处理和台阶控制外延

对生长外延层质量最重要的影响因素是初始衬底表面。目前，化学机械抛光可用于实现 SiC 衬底的镜面状表面和理想的表面粗糙度。生长温度下用氢载气进行实时的刻蚀可去除衬底表面残留的抛光损伤，进行表面刻蚀时还可选择在氢载气中加入少量的氯化氢（HCl），以进一步改善衬底表面状况和减少不需要的（对外延层晶体质量有害的）缺陷成核中心。作为 SiC 同质外延的生长工艺，刻蚀是非常重要的衬底处理步骤，必须根据反应炉的设计和生长工艺而进行相应的调整。

SiC 外延的技术进展之一是所谓的台阶控制外延技术。在该技术中，通过使基片表面晶向向 c 面方向有一定的小角度偏离，可实现聚合晶态类型的复制。这种偏角切片可在基片表面造成大量的原子台阶，而这些原子台阶构成初始生长物质优先吸附和合成的中心；台阶包含了原子堆砌顺序的信息，该堆砌顺序因而传递至生长层。表面晶向的偏角选取应保证原子台阶间的台面尺寸（台面长度）小到足以避免自发成核，而且吸附于表面的物质应具有足以迁移至台阶位置的足够高的表面迁移率，这样，SiC 的外延生长应只存在于表面台阶处。因此，对于 6H-SiC 和 4H-SiC、Si 面向 $<11\bar{2}0>$ 方向偏轴切片的标准角度分别为 3.5°和 8°。

3.1.3 SiC 气相外延生长过程中的格点择优外延

20 世纪 90 年代中期，格点择优外延的发现提供了对水平热壁反应炉中生长的外延层中存在高浓度受主现象的解释，即掺杂原子的结合与气相中 C、Si 原子比的依赖关系。生长 n、p 型外延层时常观察到高含量的受主物质，甚至反应装置仅用于生长 n 型外延层时，也存在高受主背景。此时，掺杂源主要是基座石墨材料中的残留硼（B），生长厚的低浓度 n 型外延层时，尤其会存在受主背景的干扰。因为生长低浓度 n 型外延层时，没有故意掺杂源，而仅利用反应，炉中的剩余 N 作为掺杂源，与来自基座壁的硼相比，由于背景 N 随时间的增加较快地减少，生长过程的长时间进行即可导致所生长的外延材料的导电类型改变。

受主掺杂剂易于结合的原因是基座石墨构成了附加 C 源，通过蒸发和载气氢分子的碰撞，石墨基座向气相中释放大量的 C，以致生长总是在富 C 条件下进行。某些条件下，即使没有含 C 的初始反应物，甚至也能生长高质量的 SiC 薄膜。由于存在所谓格点优先外延，即在富 C 条件下，浅受主杂质 Al 和 B 优先占据 Si 格点而构成晶体，因此，降低受主背景必须防止石墨基座的 C 蒸发。

采用多晶 SiC 作为基座热绝缘及热稳定的包封层是防止 C 自石墨基座蒸发的有效途径之一，这也的确一直用于许多反应装置的设计。目前，碳化钽也被研究用于替代 SiC 而作为包封层的选择材料。采用包封的基座是实现控制热壁反应装置中 C/Si 比、抑制格点择优外延的有效方法，因而可以用于降低外延层掺杂背景及制备相同导电类型的大厚度、低掺杂外延层。

此外，C/Si 比的控制对实现不同导电类型的薄层间陡峭的杂质过渡是非常重要的。在生长温度下，短时间（几分钟）中止生长，并利用氢载气在此时对基片进行刻蚀，可以实现 n 型与 p 型薄膜间小于 20 nm 的界面陡峭度。

3.2 近年来 SiC 气相外延生长工艺的改进

3.2.1 氢气和氩气混合载气的使用

因易于纯化、氢气通常是载气的优先选择对象。在 1 450～1 650℃的生长温度下，氢气分子部分分解为高度活泼的氢原子；外延生长时活泼的氢原子可刻蚀衬底表面和增加反应物质的表面迁移率，从而抑制缺陷和 3C-SiC 夹杂晶态的形成。可见，原子氢对生长表面和薄膜质量具有正面效应。

但原子氢不仅与衬底表面反应，而且腐蚀反应装置中的石墨部件，而多形成甲烷，即使是 SiC 等包封层在生长时也被腐蚀。此外，氢有较高的冷却效率，因而可影响基座生长室，尤其是气体入口端的温度分布。

为减少氢气腐蚀反应装置部件及影响温度分布等负面效应，同时保持其对 SiC 气相外延生长的正面效应，采用氢气和氩气混合的载气是有效的选择。事实上，载气中氩气含量为 15%～20%时，外延生长层的厚度及掺杂均匀性均得到显著的改善（厚度和掺杂浓度与平均值的最大偏差由 21%和 54%分别降到 12%和 22%）。相比于纯氢载气、氢-氩混合载气降低了冷却效率，在基座内（尤其是气体入口区域）导致更均匀的温度分布，从而实现薄膜均匀性的改进。

降低冷却效率意味着提高衬底生长表面的温度，势必增强吸附生长物质的蒸发和抑制反应物的扩散，从而降低了生长速率。这虽然是采用氢-氩混合载气的缺点，但对于外延层均匀性的改善却是值得的，因为在双极型晶体管、MESFET 等高频器件的应用中对薄膜厚度的均匀性有严格要求，而并不需要厚度很大的薄膜（100 nm～1 μm）。

3.2.2 抑制 SiC 表面硅熔滴的形成

实际生长前的适时表面刻蚀是 SiC 同质外延生长工艺的关键，因而被细致地研究。刻蚀的主要过程包括通过氢载气与表面 C 反应形成碳氢化合物和硅的挥发。

在 10^5 Pa 的总气压下，纯氢刻蚀通过形成碳氢化合物从 SiC 表面除去 C；而 Si 的升华则构成限制刻蚀的因素，剩余在表面的硅可以形成 Si 熔滴而成为缺陷的成核中心，相似的效果显然存在于富 Si（即 C/Si 比 < 1）的生长条件。在这样的生长条件下，微管、位错等衬底缺陷构成了形成 Si 熔滴的成核中心，这就导致大量的晶体缺陷和外延层表面形貌的劣化。

避免 Si 熔滴形成的途径包括：在 10^5 Pa 以下的总气压下进行加热及刻蚀以抑制碳氢化合物的形成速率，并增强 Si 的升华挥发，在载气中加入 HCl 以增加 Si 的升华挥发，在生长气相中添加 C_3H_8 以抑制碳氢化合物的形成而稳定 SiC 表面。

4.2.3 无台阶 SiC 台面上的同质外延生长

相对（0001）晶面以 3°～8°的偏轴切割、抛光大尺寸 4H-和 6H-SiC 晶片，再在其上同质外延生长 SiC 薄膜，继而实现 SiC 器件。这种传统方法不能防止对器件性能有害的晶体缺陷自衬底向 SiC 外延层的扩展。在按准轴方向切割的 SiC 晶片上制备台面图形面阵，继而外延生长 SiC 外延层可克服上述缺点。

（1）台阶和台面在 SiC 外延生长中的作用

图 6.6-22 显示了 SiC 生长表面的简要的微观过程。平行于（0001）晶面（偏差角小于 10°）切割晶锭，经抛光得到

用于外延生长的 SiC 晶片，由于抛光面存在偏角，生长面上相应地存在原子尺度的台阶，其间为台阶面（即晶面）。当气源分子以弱束缚而高迁移的能态化学吸附于晶体表面时，单晶生长即可发生，吸附分子在晶片表面扩散而到达表面台阶、缺陷等有利于键合的格点时即被结合成晶体。SiC 的 CVD 外延生长不是单原子层（单层 Si 或单层 C）生长，而是借助单个 Si-C 双层或多个 Si-C 双层的横向扩展而进行的。CVD 生长的 SiC 表面台阶的实时观测值是 0.25 nm（单个 Si-C 双层的高度）的数倍。SiC 的四面体键结构支持 Si-C 双层的横向台阶流生长，而且 SiC 的四面体键使台阶边缘比台阶面有更高的键密度，以利于反应物结合为晶体而实现气相外延生长。

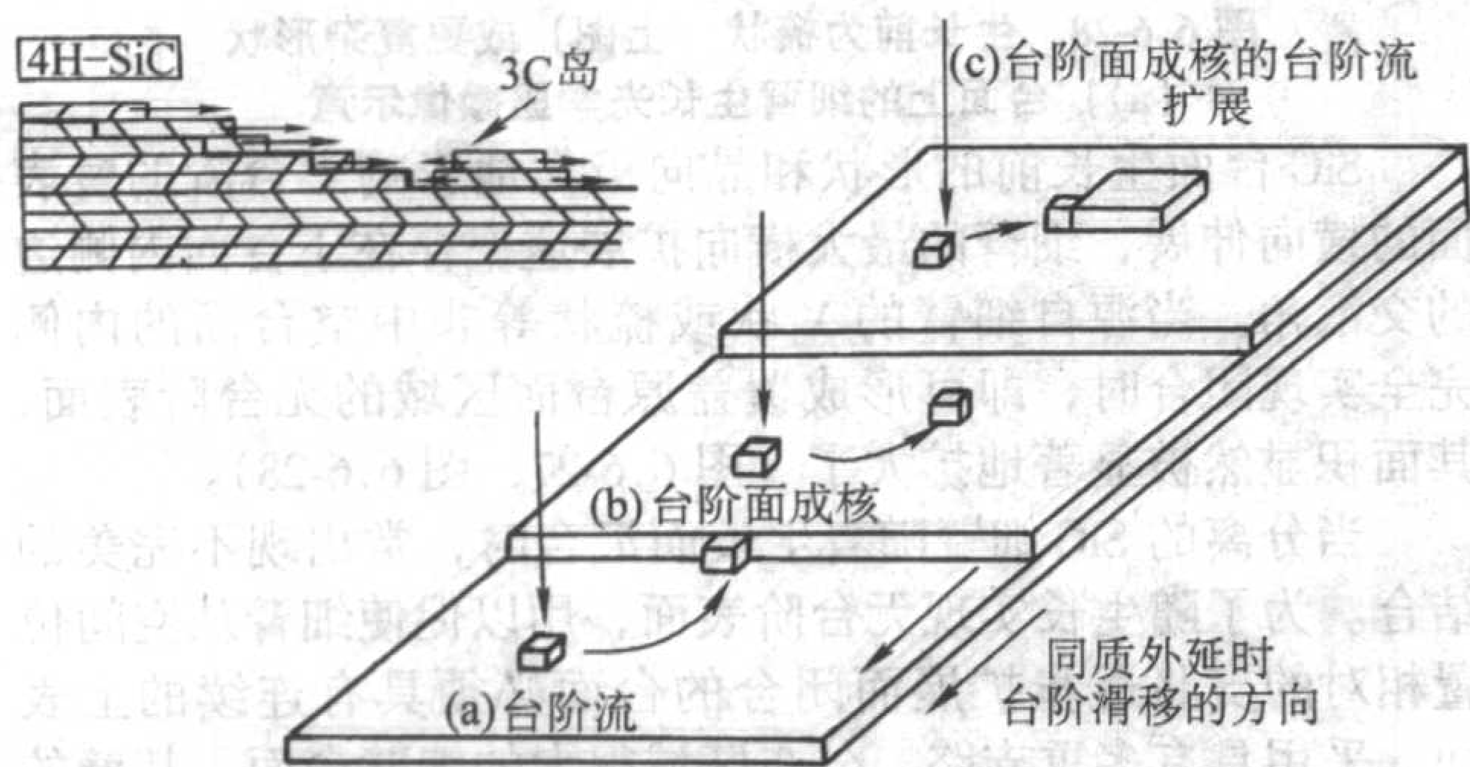


图 6.6-22 SiC 外延生长表面上的台阶、原子运动所致阶梯流生长（stepflow）及 3C 孤岛所成的简化图示说明

目前采用的偏轴（偏离（0001）晶面 3°~8°）SiC 抛光晶片表面存在高密度的台阶，可实现 4H-SiC 和 6H-SiC 同质外延的台阶控制生长，高台阶密度和小台阶面长度可确保可动的表面吸附生长原子迁移至台阶边缘，从而结合于晶体。因此，4H-SiC 或 6H-SiC 的同质外延是依赖于自衬底台阶边缘的 Si-C 双原子层横向扩散的动力学控制生长。

准轴［偏离（0001）晶面零点几度］SiC 抛光晶片表面上存在的台阶面有较大的长度，吸附于衬底表面的生长反应物在台阶面上二维成核而结合于晶体，当表面吸附原子的扩散长度相对于平均的台阶长度而言数值较小时，即可发生这样的成核。台阶面成核的岛，其边缘在生长表面形成附加台阶，因而可构成台阶流扩散。在传统 SiC 的 CVD 外延过程中二维台阶成核，因而产生 3C 晶态的现象表明在标准 SiC 外延生长条件下 3C-SiC 的 Si-C 双原子层堆垛顺序是热动力学择优的。

（2）SiC 外延层中的延伸缺陷

4H-SiC 和 6H-SiC 同质外延层中的大量延伸缺陷源自初始衬底，并扩展至外延层。轴向螺旋位错是最典型的例子，通过在晶体表面提供新生长台阶的连续螺旋图形、螺旋位错的自复制结构特征促进了 4H-SiC 和 6H-SiC 等 c 轴晶体的生长。因此，螺旋位错生长图形导致在 4H-SiC 和 6H-SiC 同质外延层中六方生长小丘的形成。然而，由相对大的偏轴切片角提供的台阶是传统 4H-SiC 和 6H-SiC 同质外延生长过程中的主导，与之相比，螺旋位错提供的台阶对外延层的形貌只有很小的局部影响。

（3）无台阶 SiC 晶体台面的形成和台面上 SiC 的外延生长

外延生长前，通过刻蚀可在准轴 SiC 晶片上形成台面图形，其刻蚀槽深入晶片表面，某些无螺旋位错的区域可以与由螺旋位错产生的动力学生长台阶处分离。采用的工艺可以实现表面完全无双原子台阶的大尺寸 4H-SiC 和 6H-SiC 台面，其（0001）晶面尺寸高达 0.4 mm×0.4 mm。

图 6.6-23a 描述了位于抛光缺陷处的台面横截面生长前的初始表面台阶，图 6.6-23b 则显示了纯台阶流同质外延生长后的台面。所有的初始表面台阶分布在台面边缘，结果是完美而平坦的、完全无原子台阶的（0001）晶体表面。为简化，台面侧边和刻蚀槽底部的生长未作显示。

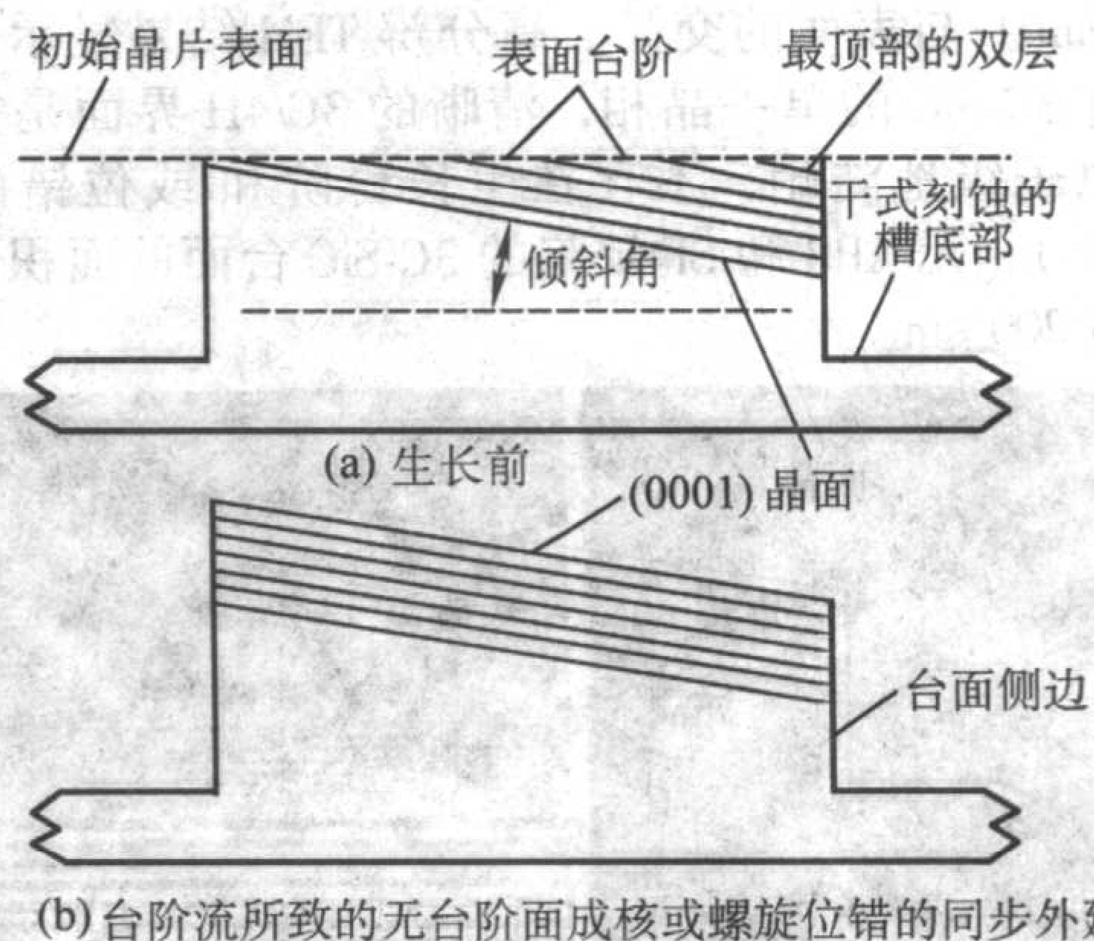
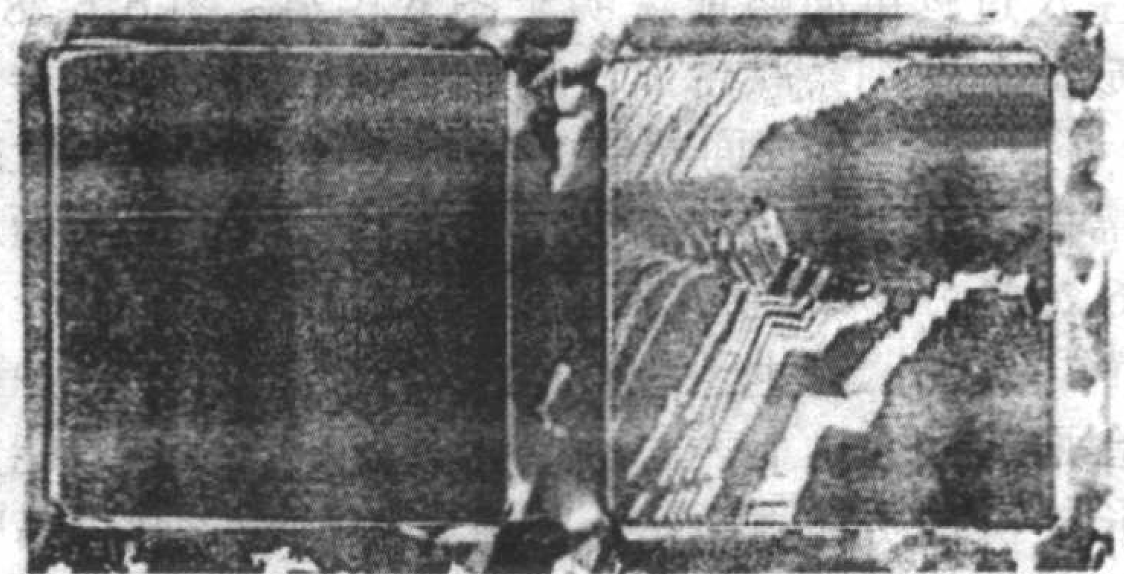


图 6.6-23 实现无台阶 SiC 台面过程的简化截面示意

在所形成的 4H-SiC 台面上进行同质外延生长的工艺过程包括数分钟的氢气适时刻蚀（衬底温度 1 600~1 650℃，总气压 10 KPa（100~200 mbar）和随后的 SiC 外延生长［生长温度 1 600~1 650℃，生长总气压 20 kPa（200 mbar），生长气源 SiH_4、C_3H_8，携带气体 H_2］，4H-SiC 的同质外延生长速率达 2 μm/h。

图 6.6-24 是该实验的典型光学显微照片，X 射线形貌分析等表征结果显示晶片中心区域台面顶层 90% 的图形保持与衬底相同的 4H-SiC 晶态，而未出现 3C-SiC 成核的证据，在衬底螺旋位错密度相当低的晶片上可实现最大台面尺寸约为 0.4 mm×0.4 mm 的无台阶表面。但只要外延生长含有一个以上的螺旋位错，90% 以上的台面均不能实现无台阶表面。



(a) 无台阶表面的台面 (b) 显示台阶聚集及螺旋位错所致六角生长丘(右下方)的台面

图 6.6-24 同质外延生长后 200 μm×200 μm 台面的微分干涉衬度光学显微像

（4）3C-SiC 的无台阶表面异质外延生长

为实现较高性能的宽禁带半导体电子器件，生长质量足够高的 3C-SiC 异质外延薄膜的尝试一直在努力之中。然而，大多数结果是所获得的 3C-SiC 薄膜含有太多的延伸晶体缺陷，因而对于重要的电子器件应用是无用的。

3C-SiC 的无台阶表面异质外延的生长工艺是，首先在 4H-SiC 和/或 6H-SiC 衬底上刻蚀出台面，继而同质外延生长无台阶的 4H-SiC 和/或 6H-SiC 表面，完成无台阶表面生长后，即可将生长温度由约 1 650℃降至约 1 450℃，而开始以受控方式开始 3C-SiC 的异质外延生长。

降低生长温度即降低了表面吸附原子的迁移率，因而增加二维台阶面的成核率，以致在（0001）晶面表面促使 3C-SiC 的生长。以实现成核为目的的降温应按严格控制的降温速率实施，从而避免快速热瞬态效应和化学瞬态效应。

依据与热动力学相符的立方堆砌成核模型，反相边界（APB，anti-phase bounderies）缺陷可从成核于无台阶的 4H-SiC 和/或 6H-SiC 台面上的几乎所有 3C-SiC 异质外延薄膜中去除。事实上，对按上述方法得到的 3C-SiC 异质外延薄膜进

行光学显微观察，的确没有发现 APB 和堆垛层错（SF，stacking fault）与表面的交叉。高分辨 TEM 结果显示：外延层中只有 3C-SiC 的单一晶相，清晰的 3C/4H 界面是完美地平整和原子级地陡峭，不存在生长台阶和/或位错的证据（图 6.6-25）。无 APB 和 SF 缺陷的 3C-SiC 台面的面积可达到 200 μm × 200 μm。

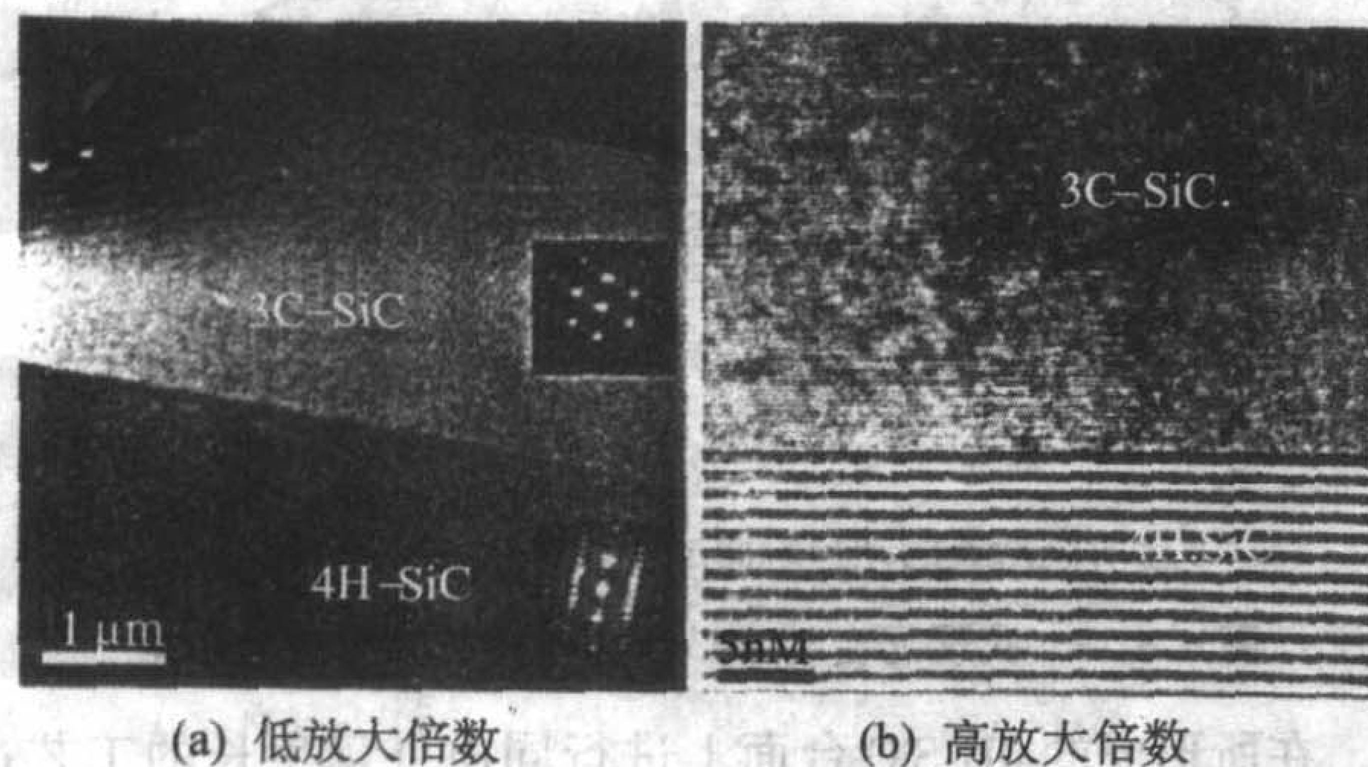


图 6.6-25　4H-SiC 台面上无 SF 的 3C-SiC 异质外延薄膜的高分辨截面透射电子显微像

在 3C-SiC 异质外延薄膜中未观察到缺陷和堆垛层错，3C/4H 界面是无台阶的原子级平整

（5）细 SiC 臂（thin SiC cantilevers）的同质外延生长

获得无台阶表面后，继续无螺旋位错台面的外延生长可导致细横向臂的形成，从而可以自台面侧壁顶边延伸无台阶表面区域。用以增大无台阶表面区域的所谓“臂腹生长”工艺是通过选择合适的台面形状和晶向，臂腹生长过程中的臂生长的速率可以被显著地增大，从而实现过生长和微管及螺旋位错等的侧向转移。

臂腹生长过程可简略地说明于图 6.6-26 ~ 图 6.6-28。经刻蚀而形成臂，即细条状台面，其随后的工艺与借助台面图形生长无台阶 SiC 晶体表面相同，只不过臂台面的形状较为复杂，所需的外延生长时间较长。臂状台面生长的截面示意图如图 6.6-26 所示，无台阶表面上的生长吸附原子迁移至台面边缘而导致细臂的生长，其厚度可达 1 ~ 2 μm，并可无缝地扩展台面的无台阶上表面区域。由于螺旋位错只能为台面竖直生长提供台阶，因而生长前就含有衬底螺旋位错的台面将不出现臂的伸展现象。

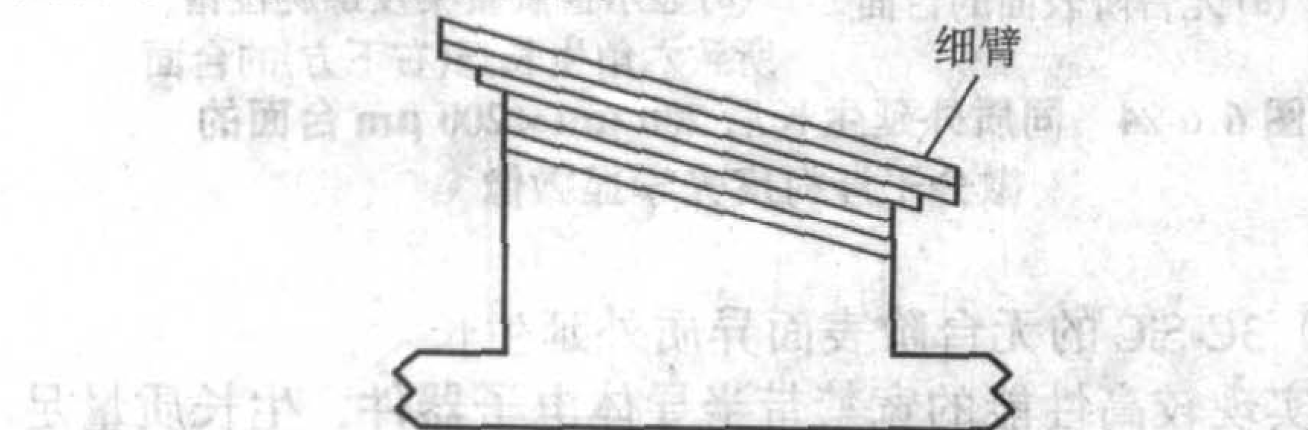


图 6.6-26　无台阶台面顶部边缘细臂生长的简化截面示意

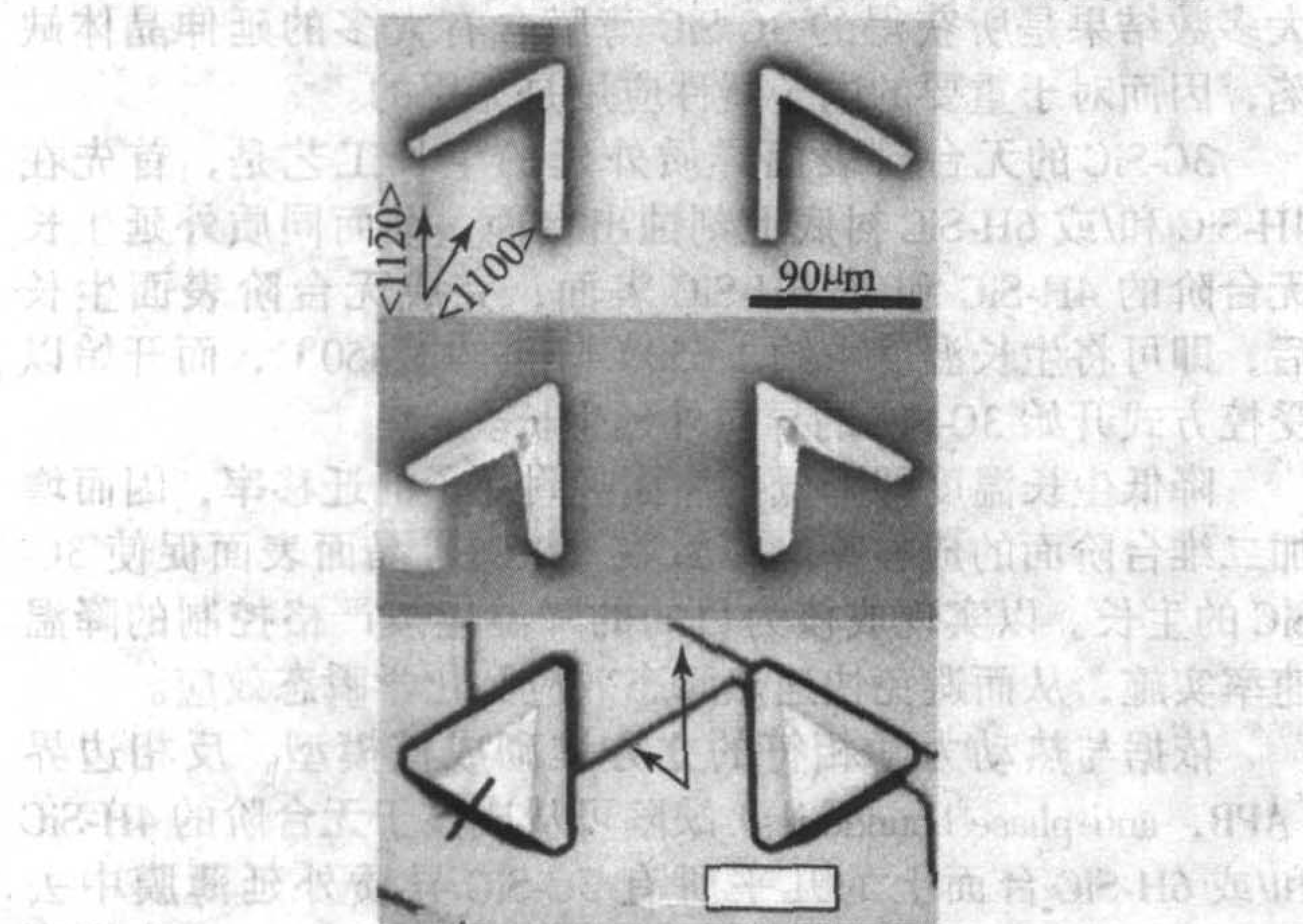


图 6.6-27　生长前为 V 状台面上的细臂生长光学显像示意

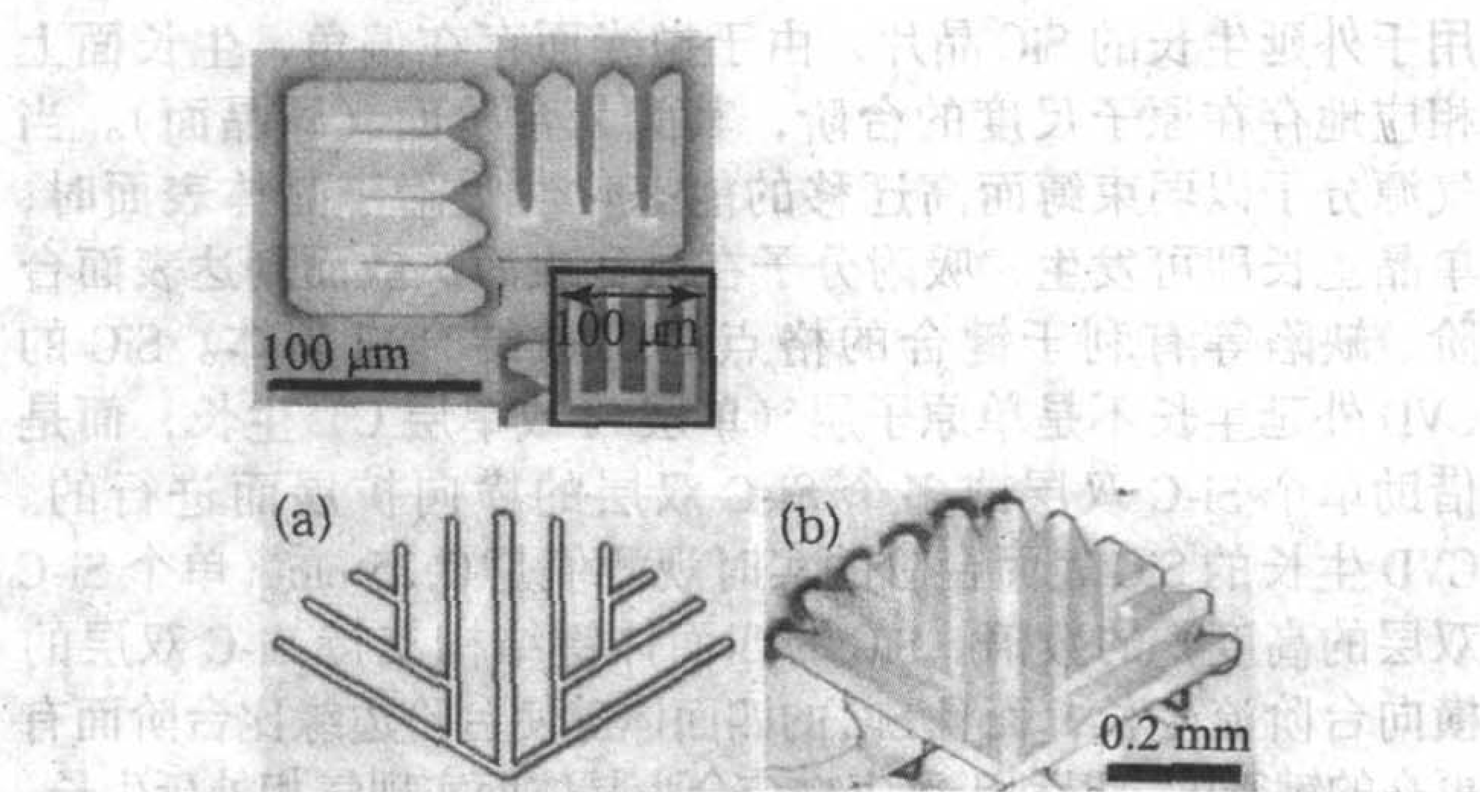


图 6.6-28　生长前为梳状（上图）或更复杂形状（a））台面上的细臂生长光学显微像示意

SiC 台面生长前的形状和晶向极大地影响无台阶的臂表面的横向伸展，细臂的最大横向扩展速率存在于台面内侧边的交汇角。当源自细臂的 V 状或梳状等非中空台面的内侧完全实现闭合时，即可形成覆盖原台面区域的无台阶表面，其面积显然被显著地扩大了（图 6.6-27，图 6.6-28）。

当分离的 SiC 细臂随着生长而汇合时，常出现不完美的结合。为了随生长实现无台阶表面，用以促使细臂从空间位置相对的支路逐步扩展而闭合的台面必须具有连续的上表面。采用具有多重支路、分布区域很大的细臂台面，其臂的形状随着生长的进行而可似拉链闭合，最终实现的闭合表面面积可达 1×10^{-3} cm^2。

在刻槽区材料的自由生长随生长过程的进行而逐步增强，从而干扰臂的横向伸展，这将限制大尺寸无台阶 SiC 表面制备的成功率。然而，这种不利的生长可以通过图形掩膜技术等更优化的工艺而避免。对制备大尺寸无台阶 SiC 表面更主要的限制是在含有衬底螺旋位错的台面区几乎不存在臂的扩展。高温 CVD 外延生长技术因能增加生长速率和表面吸附原子的迁移率而有利于由臂的闭合实现较大的无台阶 SiC 表面。

（6）波纹状表面的 Si（001）[Undulant-Si（001）] 衬底上低缺陷 3C-SiC 的生长

在 Si 衬底上外延生长 3C-SiC 时，APB 的产生因素包括 3C-SiC 极化面（Si-面或 C-面）必须与 Si 衬底的非极化面匹配和碳化过程中自发成核和所导致的 3C-SiC 多元成核。最简单的去除 APB 的方法是采用 Si（001）表面向 [110] 方向有 2° ~ 4°偏角的 Si 作为衬底（偏-Si 衬底）。在偏-Si 衬底上生长的 3C-SiC 表面观察到的生长台阶边缘均为 127°张角，且指向 [110] 方向。这表明 3C-SiC 的 Si 面均对准于 Si（111）面，而 APB 则已消失。

SF 的产生则是因为要释放 3C-SiC/Si 界面高达 19.7% 的晶格失配。可以观察到在偏-Si 衬底上生长的 3C-SiC 中的 SF 是平行于（$\bar{1}\bar{1}1$）面的。去除 SF 的有效途径是在 Si（001）表面制备许多平行于 [110] 和 [$\bar{1}\bar{1}0$] 方向的波浪纹以使 SF 平行于 [$\bar{1}\bar{1}1$] 面，一方面，类似于偏-Si 衬底上出现的情形，APB 可以在波纹状 Si 的斜面上消失；另一方面，被沿 {$\bar{1}\bar{1}1$} 面族对称地安置的 SF 随 SiC 厚度的增加经相互交接而相消，从而大大减少 SF 密度。

为充分发挥波纹状表面的 Si 衬底抑制平面缺陷的效果，应首先在 Si（001）衬底上形成倾角为 2 ~ 4°的连续波浪纹（图 6.6-29）。Si 衬底的准备工艺依次包括划痕、氧化、腐蚀。首先，在研磨液（含 15 μm 宝石颗粒）中将“准轴 Si”沿 [$\bar{1}$10] 方向前后移动，从而在 Si（001）衬底的整个表面形成与 [1$\bar{1}$0] 晶向基本平行的无数连续划痕；为去除因划痕处理而在 Si 表面引入的晶体缺陷，经干氧化（1 100℃，约 5 h）在 Si 片含缺陷的表面形成约 200 nm 的 SiO_2 薄膜；再

用稀释 HF 酸腐蚀 Si 片而完全去除氧化层。从而最终获得波纹状表面的 Si 衬底，相邻波峰（谷）的间距为 400～700 nm，而峰与谷的高度差为 7～26 nm。

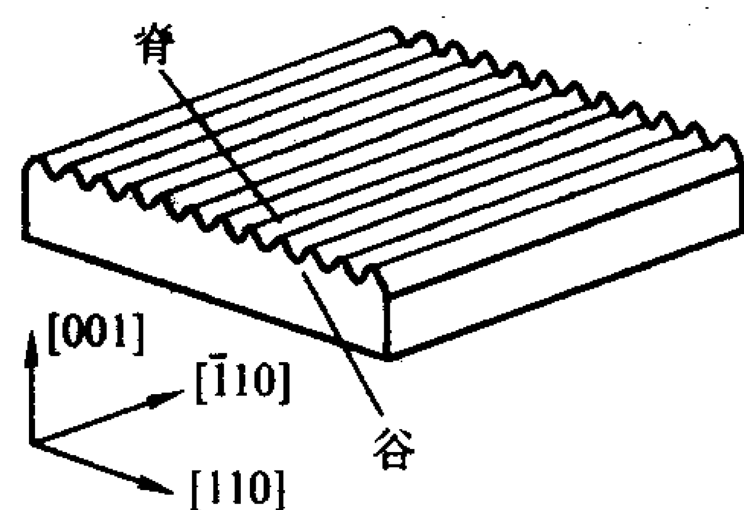


图 6.6-29　波纹状 Si 衬底表面的示意结构

用冷壁低压气相外延反应装置在波纹状表面的 Si 衬底上生长 3C-SiC。首先在 C_2H_2、H_2 气氛（流量比 C_2H_2/H_2 = 10/100）下将衬底加热至 1 350℃的生长温度，其间在衬底表面经碳化形成了 10 nm 的 3C-SiC 层，再引入 SiH_2Cl_2，开始 3C-SiC 生长，生长腔内气压为 13.3 Pa 时，生长速率约为 40 μm/h。经 5 h 生长，在波纹状表面的 Si 衬底上可形成约 200 μm 厚的 3C-SiC。

在波纹状表面的 Si 衬底上生长的低缺陷 3C-SiC 薄膜表面呈镜面状，霍耳效应测量显示 3C-SiC 膜中 N 施主浓度为 $4\times10^{15}/cm^3$，沿［110］方向的电子迁移率最大值为 300 $V^{-2}\cdot s^{-1}$（55 K），薄膜中 D_I 和 D_{II} 等缺陷中心的减少与波纹状表面的 Si 衬底抑制平面缺陷的机理相符。自由激子荧光现象和在探测极限范围内（$1\times10^{11}/cm^3$）未能观察到深能级陷阱，均表明所得到的是高晶体质量的 3C-SiC 外延薄膜。

3.3　新一代热壁化学气相外延反应装置

3.3.1　标准热壁气相外延反应装置的大尺寸化

近年来，SiC 衬底晶片的直径稳定增加，76.2 mm（3 in）衬底已可用于生产，101.6 mm（4 in）衬底已在研发水平上实现。由于器件设计理念正越来越商业化，101.6 mm（4 in）是价格有效的器件生产所要求的最小基片尺寸。采用 101.6 mm（4 in）直径的基片，现有的 Si 器件生产工艺线可以被广泛使用，而 SiC 器件批量生产的投资成本可以降低。现有器件制备中所欠缺的工艺环节是 SiC 的气相外延。为实现 SiC 外延层的生产，多片配置的气相外延反应装置已得到开发，并实现了商业化。

加大衬底尺寸也意味着外延设备对基片处理能力的增强，但仅加大反应装置的腔体以放置大尺寸基片并不能获得理想的结果。例如，仅加大反应装置的内生长室的尺寸，而不仔细设计，整个基片上外延层厚度和掺杂浓度的变化不可避免，尤其是沿载气气流方向，样品的掺杂浓度呈 U 形分布，且基片边缘的浓度值可以为中心区域的 2～3 倍。沿气流方向出现浓度不均匀的主要原因是温度不均匀。实验结果表明，SiC 薄膜中的 N 浓度随着温度的增加而减少，因此 U 形 N 浓度分布反映了整个基片区域的温度分布。图 6.4-12 显示了用光测高温计对内生长室顶壁点扫描测量所得到的沿气流方向基片区域的温度分布和 N 掺杂外延层中的净杂质浓度的变化。

基座生长室内气流进、出口端的较低温度主要因热辐射损失所致，而因氢载气的冷却效应，在气流进口端的温度更低。热辐射损失和氢气的冷却效应导致钟形的温度分布，显然；衬底区域的温度变化十分显著。为避免衬底区域上方存在大的温度变化，基座气流进口端的气体加热区应长得足以使气体被加热至生长温度，而载气流量和生长腔内总气压等工艺参数均应根据每个反应装置的设计而优化。

在垂直于载气流向的方向上，由于反应装置内生长室的对称加热和层状载气流条件，该方向的掺杂浓度不均匀性不如沿载气流动方向的大，该方向的温度变化为 5～10℃的量级，而厚度和杂质浓度的不均匀性分别为 5% 和 15%。

3.3.2　反应装置设计的改进

在图 6.6-30 所示的水平热壁反应装置中，基座的气体进、出口端是未被有效加热的，由于热辐射损失，这两个端的温度比基座中心低 100～300℃，其具体值取决于反应装置的设计和几何形状。在基座的气体进、出口端附加石墨绝缘包封可限制热辐射损失。

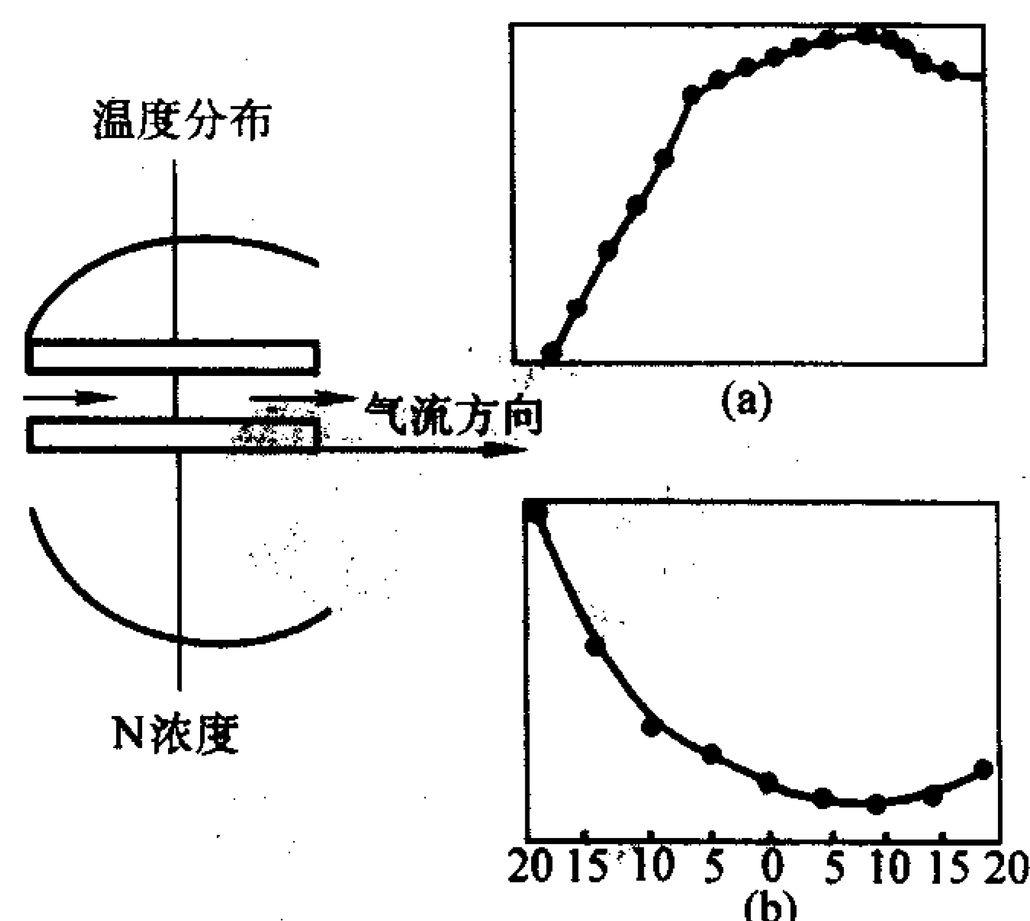


图 6.6-30　水平热壁反应装置中，沿气流方向的温度分布（a）和净掺杂浓度的变化（b）

然而，氢载气对石墨绝缘包封的腐蚀，可产生小颗粒，小颗粒继而被输送至基片表面，甚至过生长。这就导致不期望的表面形貌的劣化。将附加的辐射屏蔽与石墨包封的气路衬管结合，可避免颗粒到达基片表面。衬管对气体预加热，从而起到避免干扰衬底上温度分布的重要作用。

除了热辐射损失，基座气体进口端还可被氢载气冷却而降温。通常依据内生长室的尺寸而选择载气的流量，其典型值为 10～70 slm。如果载气流量相对于内生长室的尺寸而言太大，或是预加热区太短，温度较低的载气到达生长区域，将干扰基片上方的温度均匀性。为避免这样的后果，可采用附加射频感应线圈或间距可调的多匝射频感应线圈加热进入生长室的气体，这样就可借调节射频加热而在基座内较大区域实现非常均匀的温度分布。

某些器件结构对掺杂及厚度均匀性的要求极为严格，以至于仅改进反应装置的设计而得到的温度均匀分布仍显不足，因为气体组分和流体动力学的不稳定仍能导致生长的不均匀。为克服这样的不均匀，有必要在气相外延反应炉的设计中引入衬底旋转装置，马达驱动机械旋转和气动叶片旋转是引入衬底旋转的两种方法（图 6.6-31，图 6.6-32）。

3.3.3　具有机械旋转装置的热壁反应炉

具有衬底旋转机械的水平热壁反应装置的设计已付诸实现。图6.6-31 是反应装置设计示意图。正如其他水平热壁反应装置，基座也是由石墨构成，并环以石墨毡绝热层，再镀以 SiC，其加热采用射频感应加热。基座底部中央区域具有凹槽，以便于安置转动基片的承载盘，马达驱动镀膜石墨管，继而带动基片承载盘转动。镀膜石墨管经一个三法兰石英管、石墨毡绝热层底部、基座底部而置入反应装置的内生长室。旋转机械元件的设计及制备需以保证温度分布、衬底加热、层状气流条件等不受明显干扰，旋转机械元件还应用氩气吹拂净化以避免氢气对旋转石墨管的腐蚀。基片承载盘用传递叉由气体出口端装入反应装置，为便于用传递叉取出基片承载盘，可转动的石墨毡管还需在竖直方向可移动。用于 50.8 mm（2 in）衬底的基片承载盘由镀 TaC 的石墨构成以免在基片背面发生 SiC 的淀积。背面出现 SiC 的淀积常见于传统 SiC 气相外延反应装置，其原因是这些装置采用了镀 SiC 的基座或基片承载盘，而 SiC 的升华导致其在基片背面的淀积。

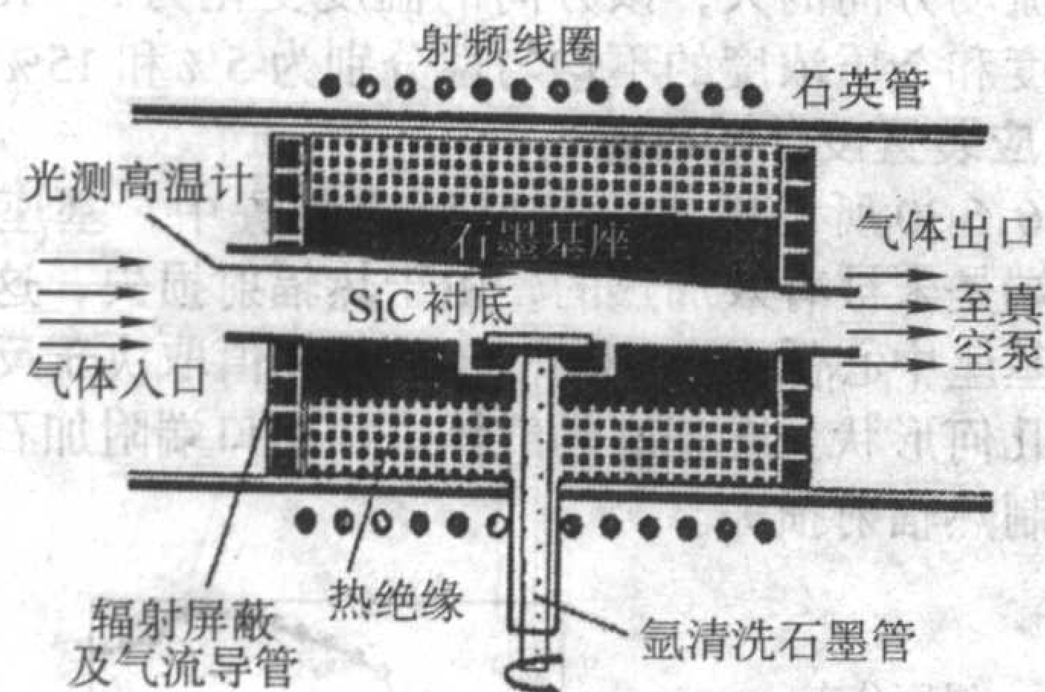


图 6.6-31　具有衬底旋转机械的水平热壁反应装置的示意图



图 6.6-32　衬底气动叶片旋转包括基座的主旋转和基片承载盘的独立旋转

热壁反应装置的生长温度常通过光测高温计对基座温度定点测量而控制。对于带旋转机械的反应装置，所测量的温度点位于承载盘上方、基座内生长室斜顶壁上，且光测高温计经调节以测量最高的顶壁温度。承载盘可能并未被射频感应场有效加热，而主要通过基座辐射，与高温气体热接触而被加热。可以预料衬底温度略低于顶壁上光测高温计测量点处的温度，但这种温差是有限的，其原因是由带有旋转机械的反应装置所得薄膜的晶体质量和表面形貌与无旋转机械的热壁气相外延装置所制备的外延层相差不大。

样品的均匀性可通过相对于平均值的标准偏差和相对于平均值的最大偏差来表征。用有晶片旋转机械的反应装置所得的p型6H-SiC外延层的厚度均匀性的典型值是标准偏差为0.5%，最大偏差为2.0%，且外延层厚度自晶片中心至边缘由3.80 μm增加至约3.86 μm；外延层的掺杂浓度均匀性的典型值是标准偏差约为10%，最大偏差约为58%，且轻掺杂p型6H-SiC（生长温度1 600℃，生长气压2×10^5 Pa，C/Si比1.5，掺杂源TMA）外延层的掺杂浓度自晶片中心至边缘由约$1.0\times10^{15}/cm^3$升高至约$1.7\times10^{15}/cm^3$；较高掺杂n型4H-SiC外延层的掺杂浓度均匀性的典型值是标准偏差约为6%，最大偏差约为36%，且自晶片中心至边缘掺杂浓度由约$3.2\times10^{17}/cm^3$增加至约$4.2\times10^{17}/cm^3$。

3.3.4　多片热壁反应装置

随着SiC器件商业化的进行，着重关注的是SiC外延层的大规模生产。多片气相外延反应装置的研制已持续数年，具有行星式旋转配置的多片热壁气相外延反应装置是工业生产同质外延SiC薄膜的最有前途的设备之一，近年来已用于SiC同质外延生长。

多晶片热壁反应装置特有行星式转动配置，其功能包括基座盘的主转动和每个晶片的独立气动叶片转动。对于早期SiC行星式反应装置的重要改进是用独立控制高频射频感应线圈分别加热基座和反应生长室顶壁。图6.6-32说明了5片76.2 mm（3 in）晶片配置的行星式转动的基本结构。

行星式反应装置的设计已被用于包括Ⅲ-Ⅴ、Ⅱ-Ⅵ化合物半导体等多种不同的材料体系。该设计思想被证明是非常灵活的，而且用于化合物半导体材料MOVPE生长的生产型机器目前均已有商业产品，其配置包括从15片50.8 mm(2 in)到5片245 mm(10 in)。可以预期行星式热壁反应装置的设计思想可用于直径为152.4 mm（6 in）、203.2mm（8 in）、甚至更大尺寸的SiC衬底，152.4 mm（6 in）或203.2 mm（8 in）的多片机将相当庞大，由于生长是在1 600℃或1 700℃的高温下同时完成，射频功率操控将很可能是载片能力的瓶颈。

3.4　SiC液相的外延生长

液相外延生长（LPE）是一种从溶液结晶的形式。半导体在溶剂中达到过饱和后即发生半导体材料的生长。液相外延生长的主要特征是生长层与液相相平衡。SiC的生长过程取决于SiC和溶剂材料的相图，用于SiC液相外延生长的常用溶剂是Si，Si-C系的相图如图6.6-33所示。作为选择，Sn、Ge、Ga及其混合物也常用于SiC的液相外延生长。

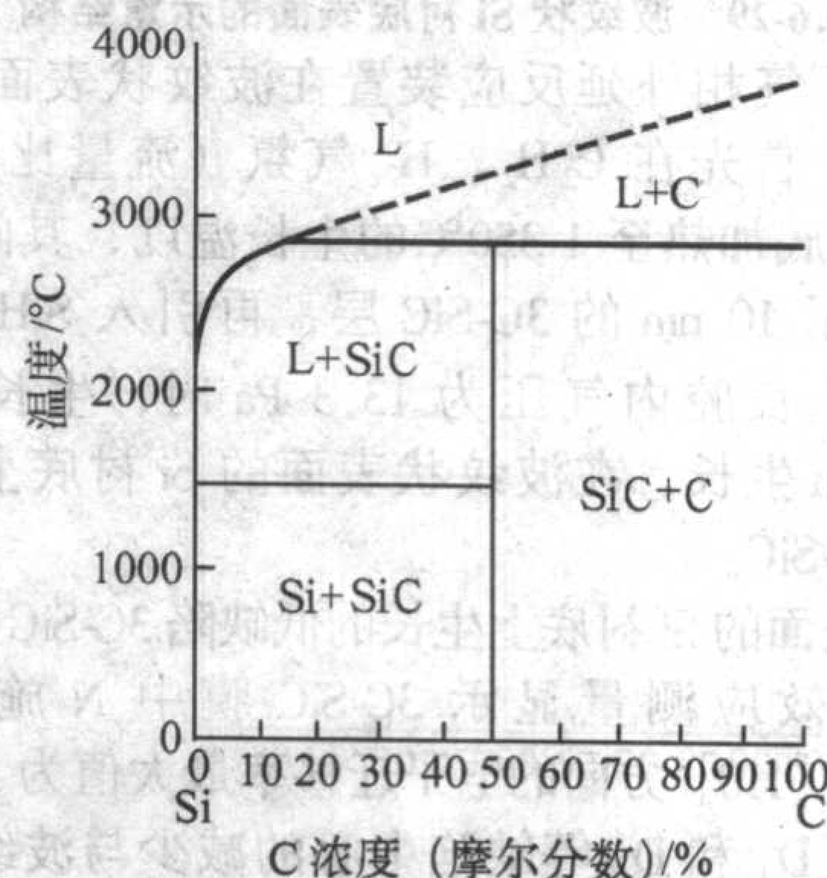


图 6.6-33　Si-相图

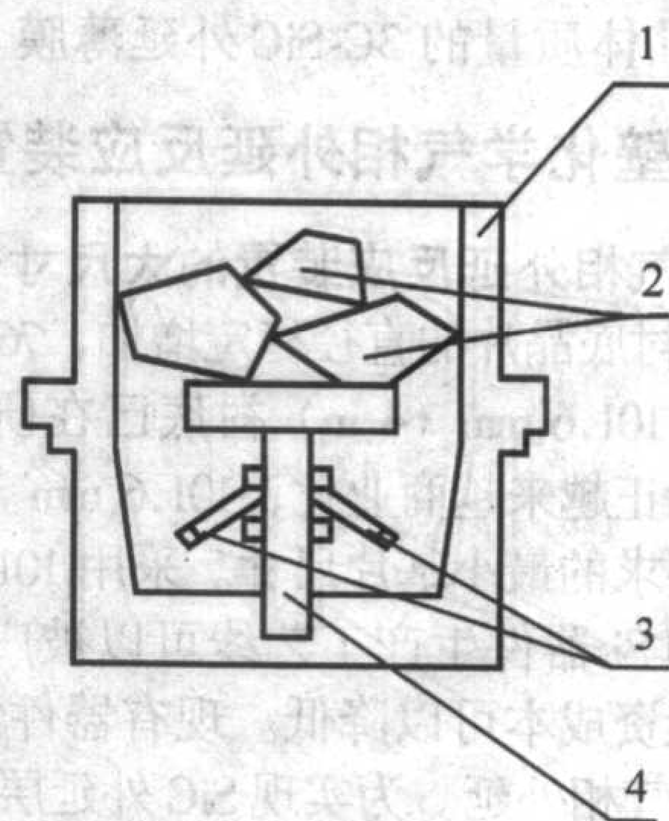


图 6.6-34　LPE生长室的剖面示意图

1—坩埚；2—Si；3—SiC衬底；4—石墨棒

3.4.1　衬底固定于坩埚的SiC液相外延生长

自C饱和的Si溶液生长SiC的外延技术始于近40年前，盛Si的坩埚由致密、高纯的石墨构成。α-SiC衬底由拧在中心棒的石墨螺母卡住，Si则被置于棒顶之上（图6.6-34）。当系统被加热后，Si熔化、流下而将衬底浸没；生长过程中C自坩埚壁融化而进入溶液，依扩散和对流完成其输运；生长时还可以将衬底固定在坩埚中，如夹在石墨坩埚的底部。用这种方法生长的SiC单晶层的厚度达100 μm。一个大气压的高纯氩气氛下，生长温度为1 800℃、温度梯度为30 ℃/cm时，生长速率可达1 μm/min。

3.4.2　SiC的垂直浸渍液相外延生长技术

将衬底固定在坩埚，完成SiC的液相外延生长后，必须通过腐蚀Si而从坩埚中取得所生长的SiC晶体；此外，Si熔液的固化所致的应变将造成SiC晶体的损伤。垂直浸渍技术进行SiC的液相外延生长可克服上述的不足。

如图6.6-35所示，坩埚及其中的Si采用射频感应线圈加热，衬底被固定在石墨棒夹具上。Si熔化后，衬底被向下浸入熔液并持续数小时，生长温度为1 500～1 750℃。生长结束后，样品在Si熔液固化前从坩埚向上拉出。用垂直浸

渍法进行液相外延生长，坩埚和 Si 可使用数次。固定衬底的石墨棒夹具应可以旋转、竖直移动，因而可以变换坩埚以生长 SiC p-n 结及多层结构。用这种方法所得到的 SiC 薄膜厚度可达 20～40 μm。

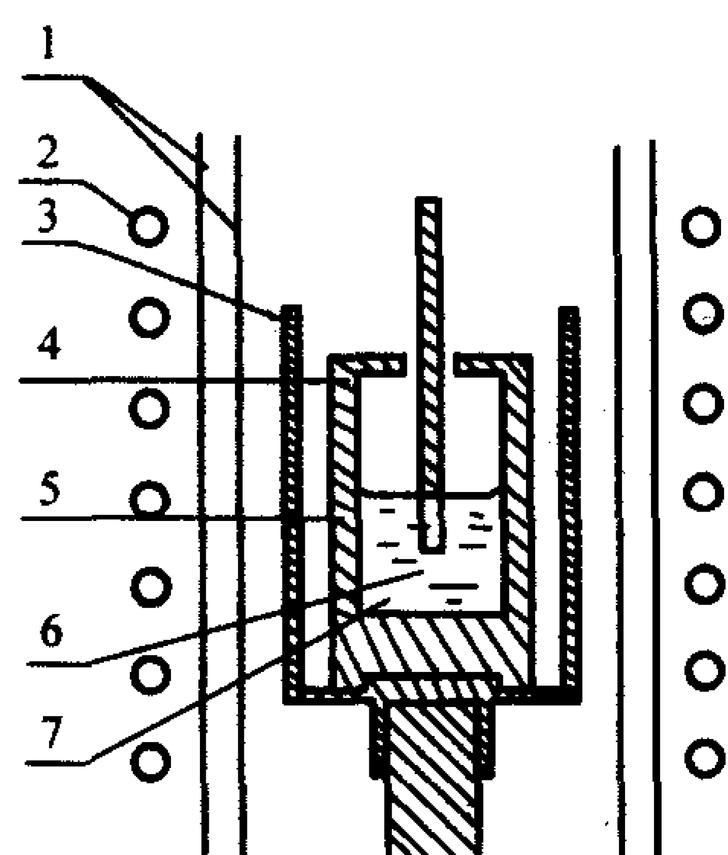


图 6.6-35 生长室的剖面示意图

1—石英；2—射频感应线圈；3—辐射屏
4—石墨罩；5—坩埚；6—衬底；7—Si 熔体

3.4.3 SiC 的无坩埚液相外延生长

依据电磁坩埚技术可实现 SiC 的无坩埚液相外延生长。在这种方法中，外延生长是在充满氩气的金属腔中进行的，腔中的气压范围为 133.322×10^{5}～101324.7Pa（10^{-5}～760 torr）。一个双匝铜感应线圈用于产生高频电磁场以悬浮液态合金（图 6.6-36）。室温电阻率为 100～200 Ω·cm 的 Si 可作为溶剂，而溶液体积为 4～10 cm^3。将 Al 金属颗粒引入溶液即可用，Al

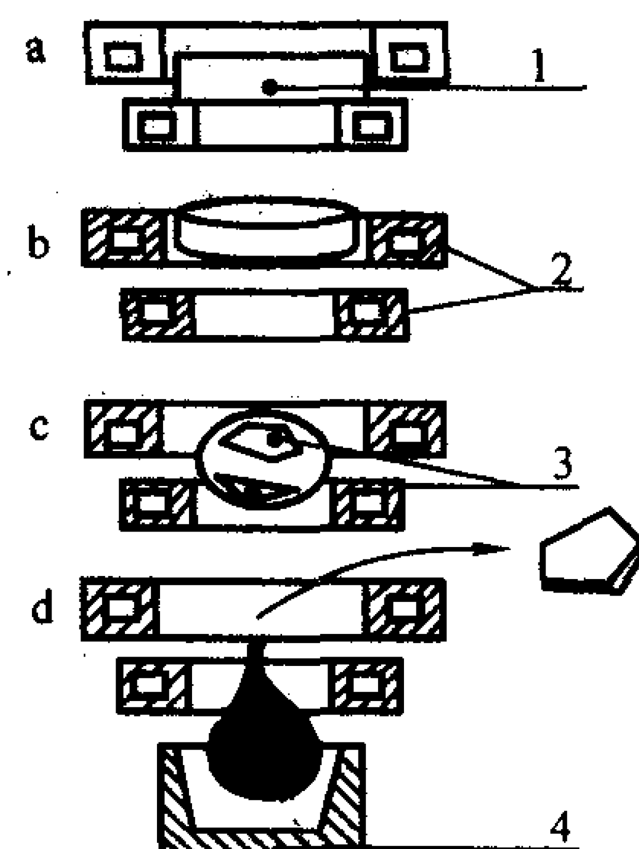
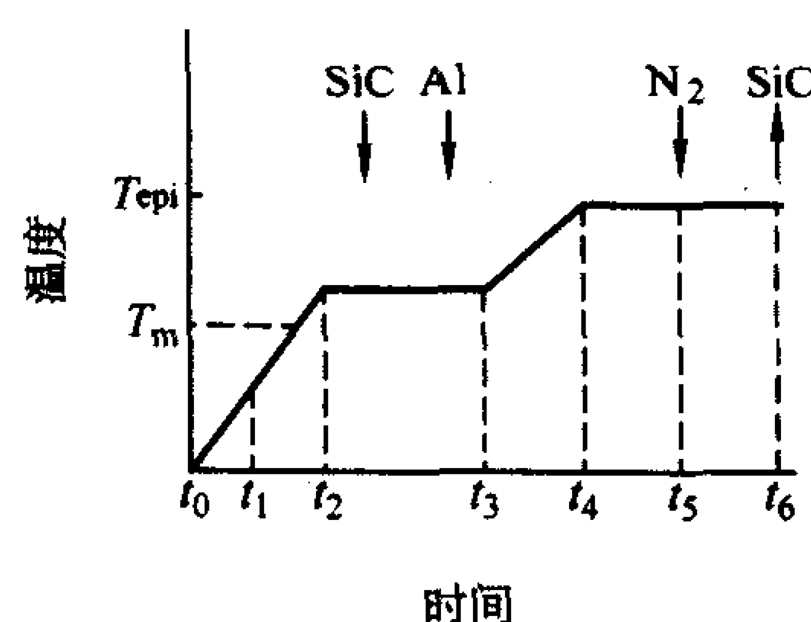


图 6.6-36 无坩埚 LPE 示意图

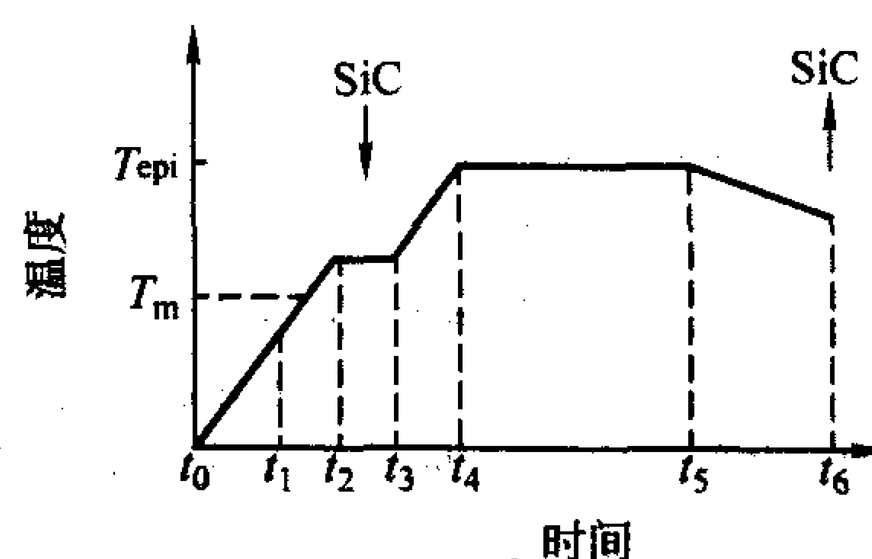
1—Si；2—感应器；3—SiC 衬底；4—铜容器
a—固态 Si 在铜感应器中；b—固态 Si 悬浮于感应器中；
c—液态 Si 及 SiC 悬浮于电磁场中；d—Si 滴入容器

作受主杂质，而将氮气充入反应装置则可用 N 作为施主杂质。

首先采用辐射加热的方法将 Si 片加热到约 1 000℃，以使 Si 具有金属性的导电率。再用电磁场将 Si 进一步加热，温度达到约 1 450℃后，将 SiC 晶体放入 Si 熔液，其中作为生长源的 SiC 晶体被置于 Si 熔液底部，而作为衬底的 SiC 晶体则被放在 Si 熔液顶部，且在表面张力的作用下被保持在熔液表面。由于熔液顶部的温度总是低于其底部，跨越悬浮 Si 熔滴而存在的温度梯度可用于实现晶体生长。生长时，Si 熔液（含 SiC 及掺杂元素）被加热至 1 500～1 650℃而不变（等温生长）（图 6.6-37a），或 1 500～1 700℃后再冷却（非等温生长）（图 6.6-37b）。生长结束后 SiC 样品自熔液移出。



(a) 等温生长过程



(b)非等温生长过程

图 6.6-37 无坩埚 LPE 生长的时间-温度变化曲线

4 SiC 的物理性质

4.1 SiC 的基本物理性质

4.1.1 SiC 的密度（表 6.6-2）

表 6.6-2 室温下的 SiC 密度

密度/g·cm^{-3}	多形体	温度/K
3.124	2H	293
3.166	3C	300
3.124 27	3C	300
3.210	3C	300
3.211	6H	300
3.248 78	6H	300

表 6.6-3 SiC 的晶格参数

晶格参数/nm	多形体	温度/K
$a=0.43596$	3C	297
$a=0.43582$	3C	0
$a=0.30763$，$c=0.5480$	2H	300
$a=0.30730$，$c=1.0053$	4H	300
$a=0.30806$，$c=1.51173$	6H	297
$a=0.3080$，$c=1.51173$	6H	0
$a=1.2691$，$\alpha=13°54'$	15R	300
$a=1.7683$，$\alpha=9°58'$	21R	300
$a=2.7704$，$\alpha=6°21'$	33R	300

实验测量确定在室温下 SiC 的密度范围为 3.166～3.24 g·cm^{-3}，其数值依据多形体而变化。这些测量大多根据 X 射线衍射的测量结果，经计算得到。计算公式为

$$d=\frac{4M}{NV} \qquad (6.6\text{-}13)$$

式中，M 为摩尔分子量；V 为单胞体积；N 为阿伏伽得罗

常数；4即为单胞中的分子单元数。利用上述公式和晶格常数随温度变化的测量值可以得到密度在不同温度下的数值。

4.1.2 SiC的晶格参数（表6.6-3，图6.6-38，图6.6-39）

X射线衍射技术是确定SiC晶格参数最常用的方法。

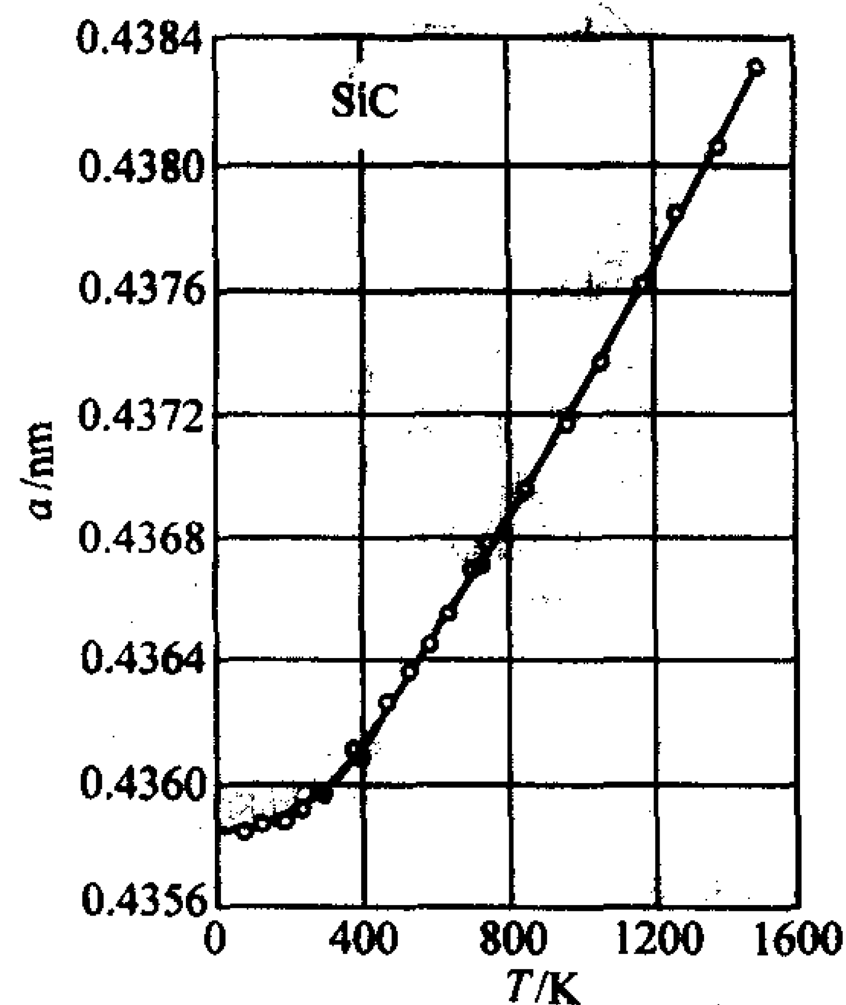


图6.6-38 3C-SiC晶格常数与温度的关系

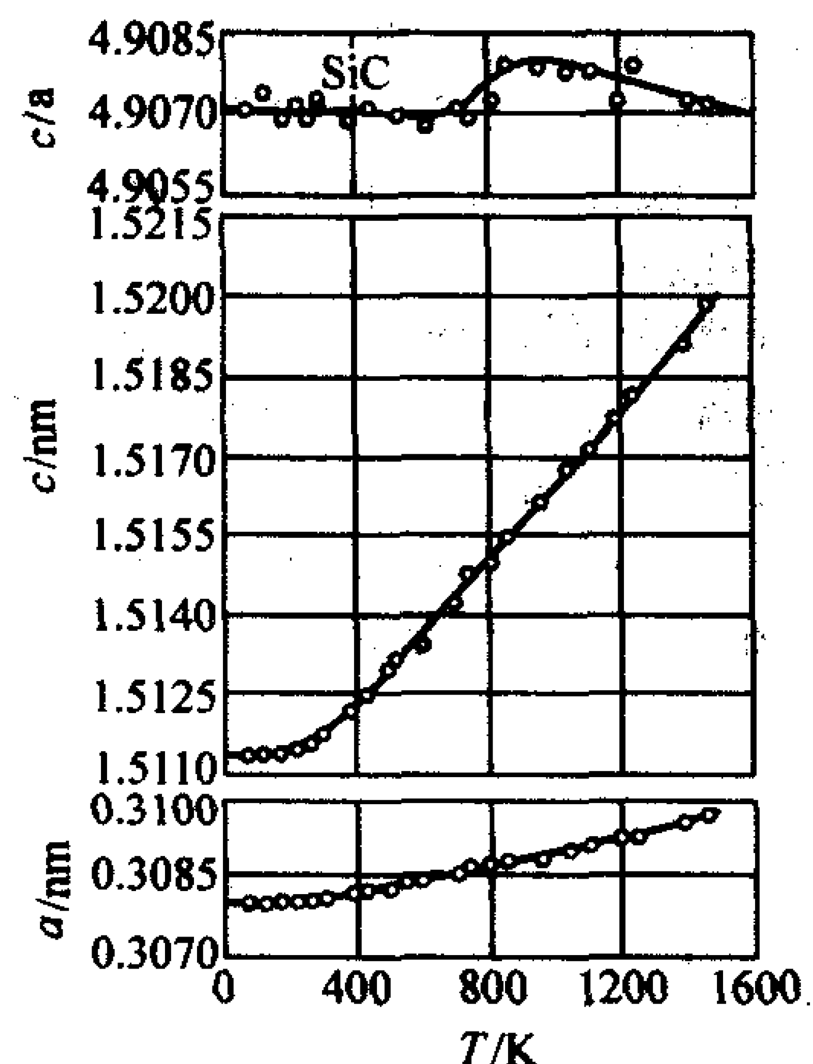


图6.6-39 6H-SiC晶格参数与温度的关系

4.1.3 SiC的热导率（表6.6-4，图6.6-40，图6.6-41，图6.6-5）

SiC的热导率数值随多形体和掺杂而改变。在很低的温度下，6H-SiC的热导率随温度变化的关系为 T^{-2} 或 T^{-3}。对于高纯或高补偿材料，SiC的热导率随温度变化的关系为 T^{-3}。

表6.6-4 室温下SiC的热导率

热导率 χ/W·(K·cm)$^{-1}$	多形体	评价
3.2	3C	3C的多晶
3.7	4H	—
3.6	6H	在300 K时 $N_N=8\times10^{15}$/cm^3
3.6	6H	在300 K时 $N_N=5\times10^{16}$/cm^3
3.6	6H	在300 K时 $N_N=1\times10^{19}$/cm^3
2.31	6H	在300 K时 $N_{Al}=5\times10^{-19}$/cm^3
4.9	6H	—

N_N = 氮掺杂浓度，N_{Al} = 铝掺杂浓度

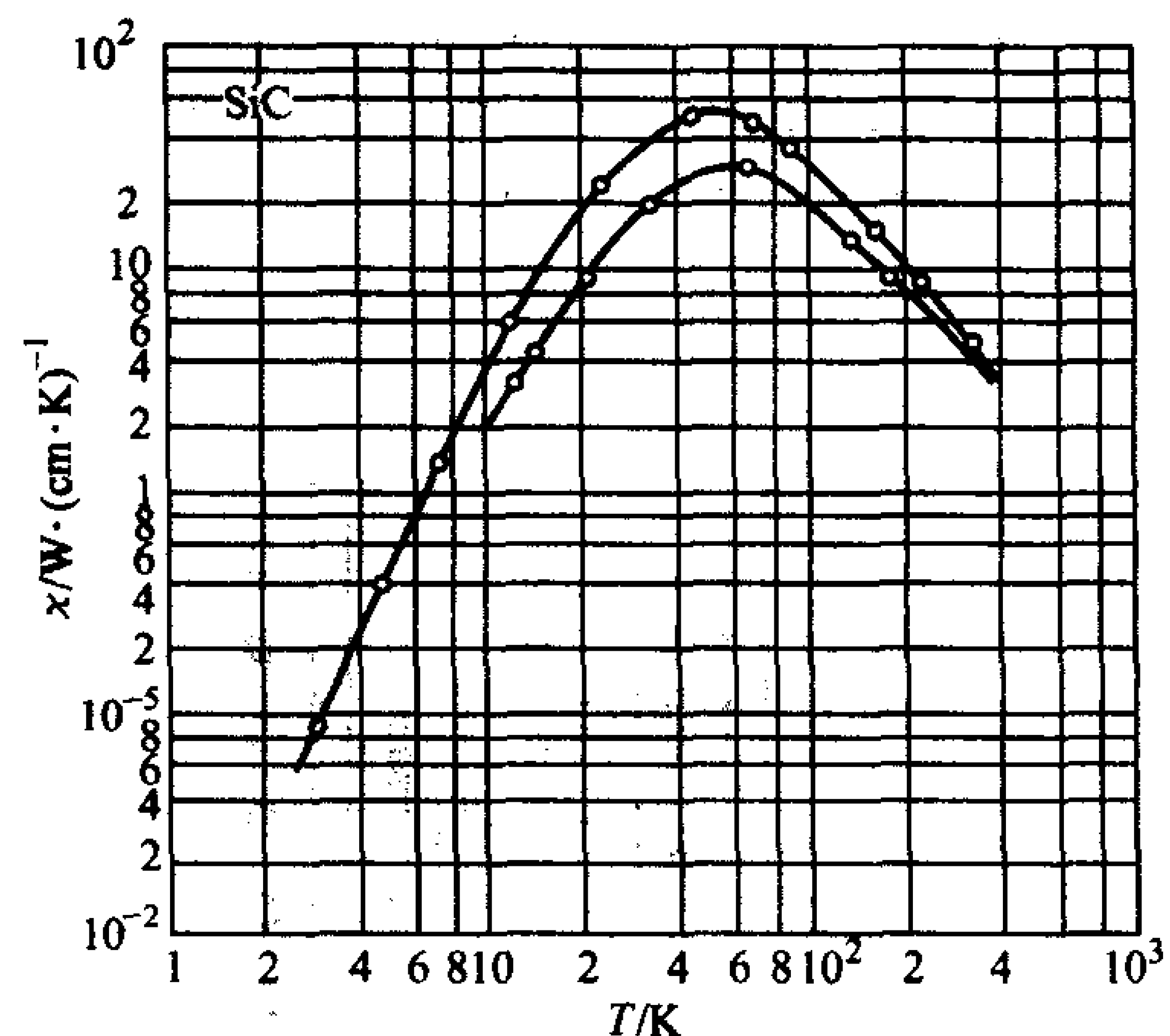


图6.6-40 两个不同6H-SiC样品的热导率（⊥c轴）与温度的关系

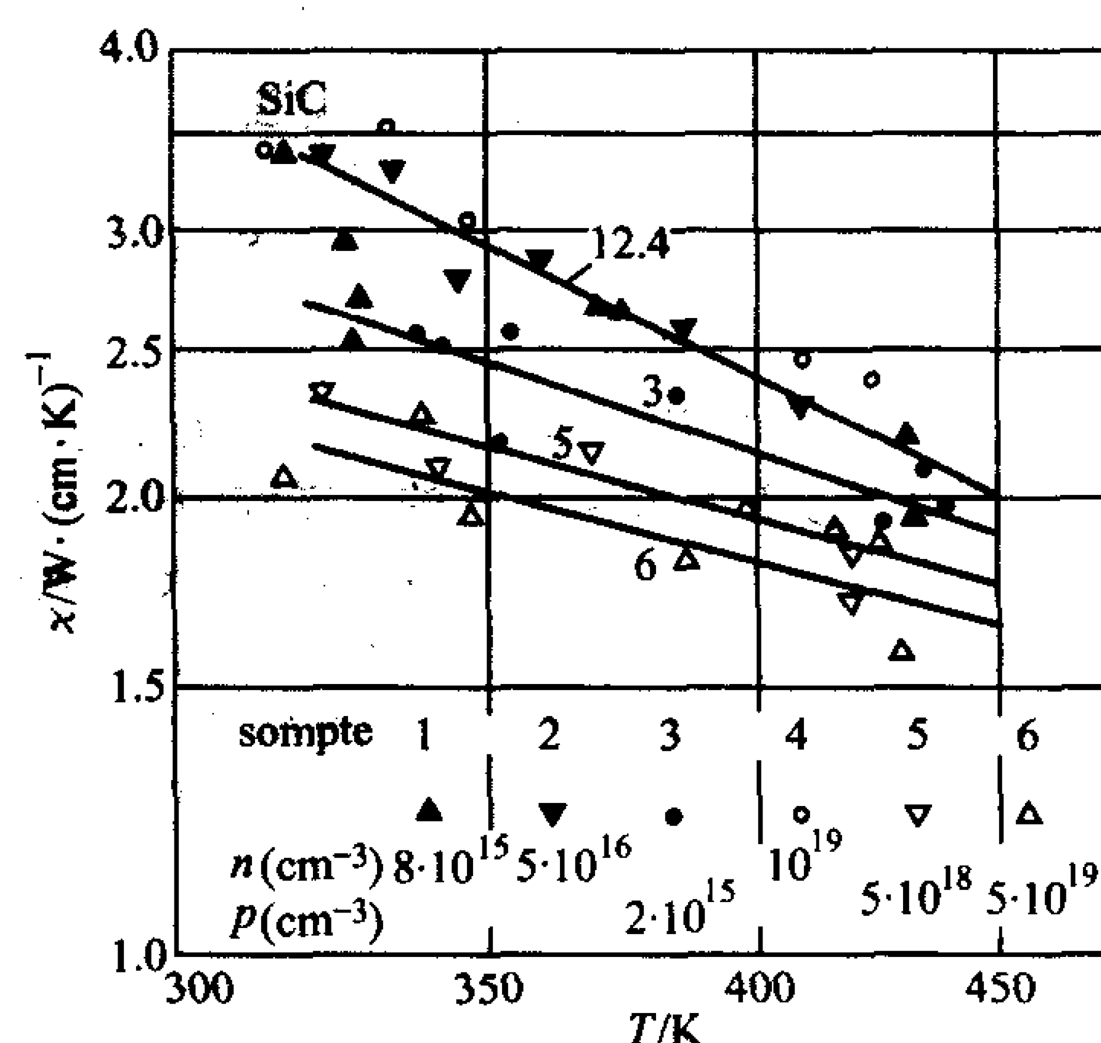


图6.6-41 不同6H-SiC样品的热导率（⊥c轴）与温度的关系

表6.6-5 温度对SiC热导率的影响

温度/K	χ/W·(K·cm)$^{-1}$		
	6H	4H	3C
9	0.7	0.12	0.23
10	0.85	0.16	0.31
12	1.41	0.27	0.52
15	2.0	0.51	0.71
20	3.6	1.08	1.59
25	5.0	1.70	2.03
30	6.3	2.6	3.4
35	8.0	3.4	4.6
40	10.05	4.3	5.02

4.1.4 SiC中的声速（表6.6-6）

表6.6-6 SiC中的声速

速率/m·s^{-1}	多形体	温度/K
13 300	6H	300
12 600	3C（多晶）	297
13 730	4H	20
13 100	6H	5
13 260	6H	300
13 270	21R	300

4.1.5　SiC 的弹性模量（表 6.6-7）

表 6.6-7　SiC 中的弹性模量

厚度 t/mm	弹性模量 E/GPa	注释
3.1	392	297 K 无掺杂
2.35	447	297 K 无掺杂
1.29	442	297 K 无掺杂
10	448	297 K 无掺杂
10	694	297 K，p 型，3C，Al 掺杂

4.1.6　SiC 的其他性质（表 6.6-8）

表 6.6-8　SiC 的基本物理性质

物理性质	数值	实验条件
少数载流子的扩散 1 μm 长度		
L_p	0.03～0.144	$(N_D-N_A)=10^{16}\sim10^{17}\ cm^{-3}$，6H
	0.2～0.4	$(N_D-N_A)=10^{16}\sim10^{17}/cm^3$，6H
	0.5～1.0	$(N_D-N_A)=(1.5\sim20)\times10^{17}/cm^3$,6H
L_n+L_p	0.4～1.5	$(N_D-N_A)=6\times10^{16}\sim10^{18}/cm^3$,6H
介电常数		
$\varepsilon(0)$	9.75	300 K,3C
$\varepsilon(\infty)$	6.52	300 K,3C
$\varepsilon(0)$	9.66	300 K,6H(⊥c 轴)
	10.3	300 K,6H(∥c 轴)
$\varepsilon(\infty)$	6.52	300 K,6H(⊥c 轴)
	6.70	300 K,6H(∥c 轴)
功函数		
	4.52 eV	300 K,6H,{0001}面
	$\Phi_B=C_2\Phi_m+C_3$	300 K,6H,Φ_B 为 6H SiC 功函数,Φ_m 为金属功函数,$C_2=0.6$,$C_3=-1.82$
	4.533 eV	300 K,3C,基于 W 的计算
	4.116 eV	300 K,3C,基于 Mo 的计算
击穿场强		
E_B /V·cm^{-1}	$2\sim3\times10^6$	300 K,6H 为 $10^{17}\sim18^{18}/cm^3$
	$1\,0640\times N_D^{0.142}$	由实验数据得,300 K,6H
	$8\,185\times N_D^{0.142}$	由 6H 数据测得,300 K,3C
饱和速率		
v_d/cm·s^{-1}	2.0×10^7	外延层,6H
电光系数		
r_{41}/ m·V^{-1}	2.7×10^{-12}	633 nm,300 K,3C-SiC
弹性系数劲度		
3C		
C_{11}/Pa	3.52×10^{11}	理论值
C_{12}/Pa	1.2×10^{11}	
C_{44}/Pa	2.329×10^{11}	
C_{11}/Pa	2.89×10^{11}	
C_{12}/Pa	2.34×10^{11}	
C_{44}/Pa	0.55×10^{11}	
6H		
C_{11}/Pa	5.0×10^{11}	

续表 6.6-8

物理性质	数值	实验条件
弹性系数劲度		
6H		
C_{12}/Pa	0.92×10^{11}	
C_{44}/Pa	1.68×10^{11}	
C_{33}/Pa	5.64×10^{11}	
C_{33}/Pa	5.5×10^{11}	
C_{33}/Pa	5.6×10^{11}	
$C_{66}=(C_{11}-C_{12})/2$/Pa	2.04×10^{11}	
4H		
C_{44}/Pa	6.0×10^{11}	
21R		
C_{44}/Pa	5.6×10^{11}	
弹性系数		
6H		
S_{11}/Pa^{-1}	2.03×10^{14}	理论值
S_{12}/Pa^{-1}	0.421×10^{14}	
S_{44}/Pa^{-1}	5.95×10^{14}	
S_{11}/ Pa^{-1}	2.03×10^{14}	
S_{11}/Pa^{-1}	2.04×10^{14}	
4H		
S_{11}/Pa^{-1}	2.14×10^{14}	
压电系数		
6H		
e_{33}/ C·m^{-2}	0.2	
e_{15}/C·m^{-2}	0.08	
机电耦合系数		
6H		
K_{31}	$<4\times10^{-3}$	
K_{33}	$<4\times10^{-3}$	
压阻效应		
π_{11}/Pa^{-1}	-142×10^{13}	
规范因数		
G_f	−31.8 最大值（3C）	
	−29.4（6H）	
德拜温度		
β/K	1 430	
α/K	1 200	
热电动势		
Q/V·℃$^{-1}$	−70 μ	293 K
	−110 μ	1 273 K
比热容/J·（g·k）$^{-1}$		
β	0.711	20℃
	0.92 –	200℃
	1.117 –	1 000℃
	1.26 –	1 400～2 000℃
α	1.13 –	700℃
	1.46 –	1 550℃
体积模量		
6H	14.01	6.89 GPa，20℃
辐射系数		
ε（λ）	0.94（λ = 0.9 μm）	1 800℃
磁化率		
χ（6H）	10.6×10^{-6} g·mol	1 300℃

4.2　SiC 的光学性质

4.2.1　SiC 的光吸收和折射率（图 6.6-42～图 6.6-46）

SiC 的光吸收通常通过带内和带间的吸收分量来表征。除了 3C-SiC，n 型 SiC 晶体的带间吸收与 n 型掺杂样品的特征颜色相对应；带内吸收具有自由载流子特征，并导致在大多数 SiC 多形体中常见的子能带跃迁。最常见的各向异性 SiC 多形体包括 4H-SiC、6H-SiC、8H-SiC 和 15R-SiC，均为单轴，具有强烈的二向色；这些多形体的 n 型材料沿 $E \perp c$ 和 $E \parallel c$ 方向的光学吸收带均得到了测量。SiC 样品垂直于 c 轴时，6H-SiC、15R-SiC、4H-SiC 多形体分别显现绿、黄、绿-黄色，不同的颜色分别相应于 n 型掺杂的 6H-SiC、15R-SiC、4H-SiC 中最低导带与较高空带中高密度态之间的光子跃迁。

图 6.6-42 显示了不同多形体 SiC 材料的吸收系数的平方根与光子能量的关系，这些间接带间的跃迁包含了声子的自然吸收和发射，图中的箭头标出了主要的声子。

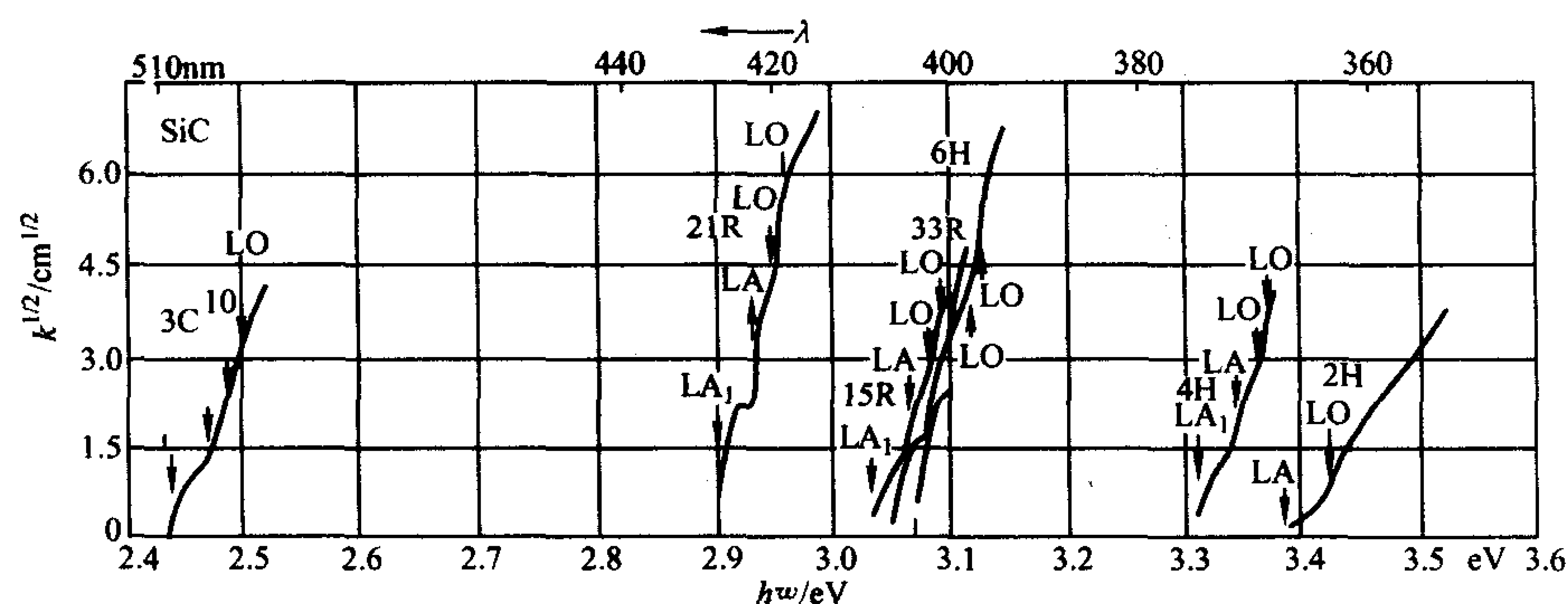


图 6.6-42　若干 SiC 多形体的吸收边（4.2 K），光极化 $E \perp c$ 轴

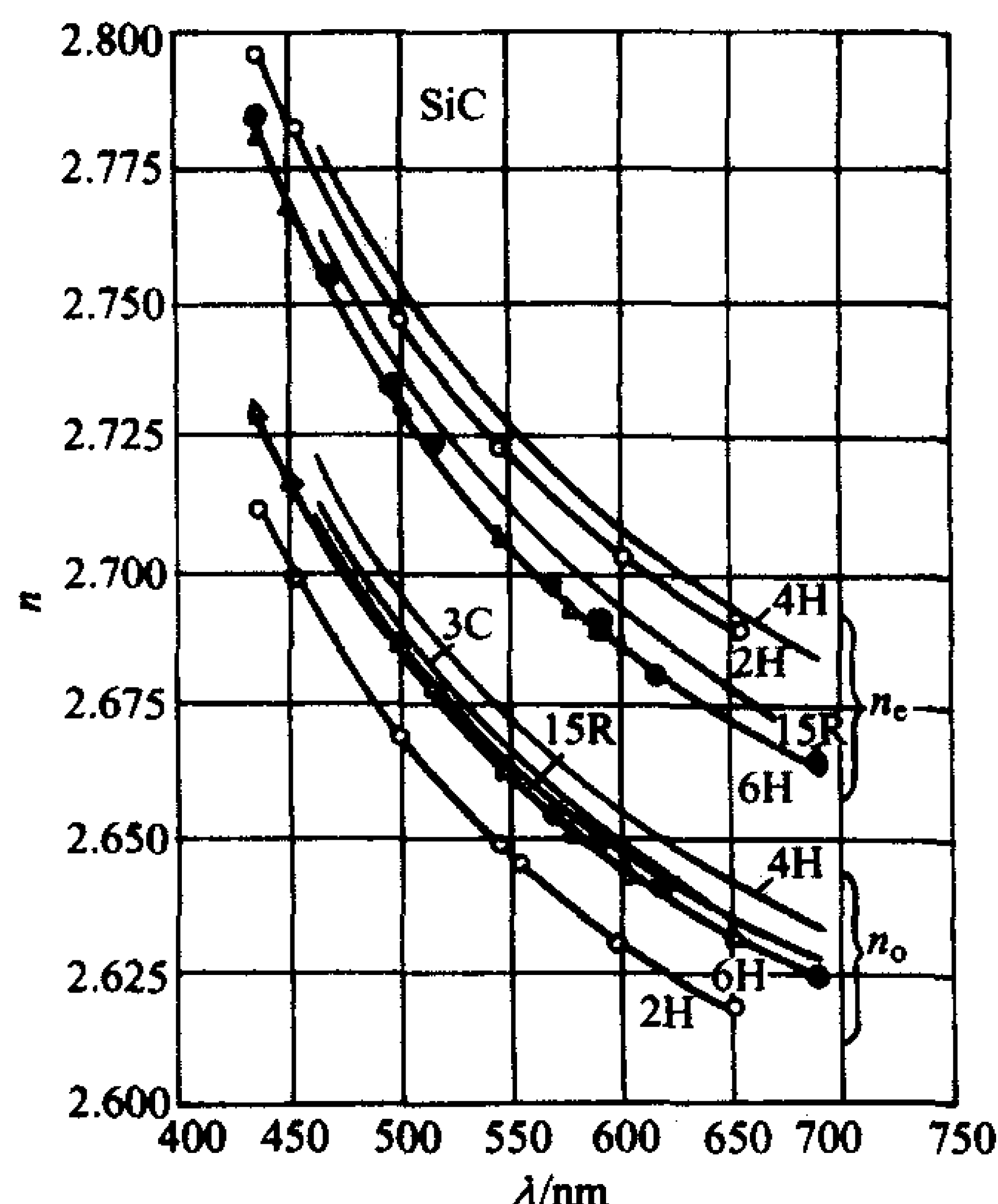


图 6.6-43　若干 SiC 多形体折射系数的色散关系

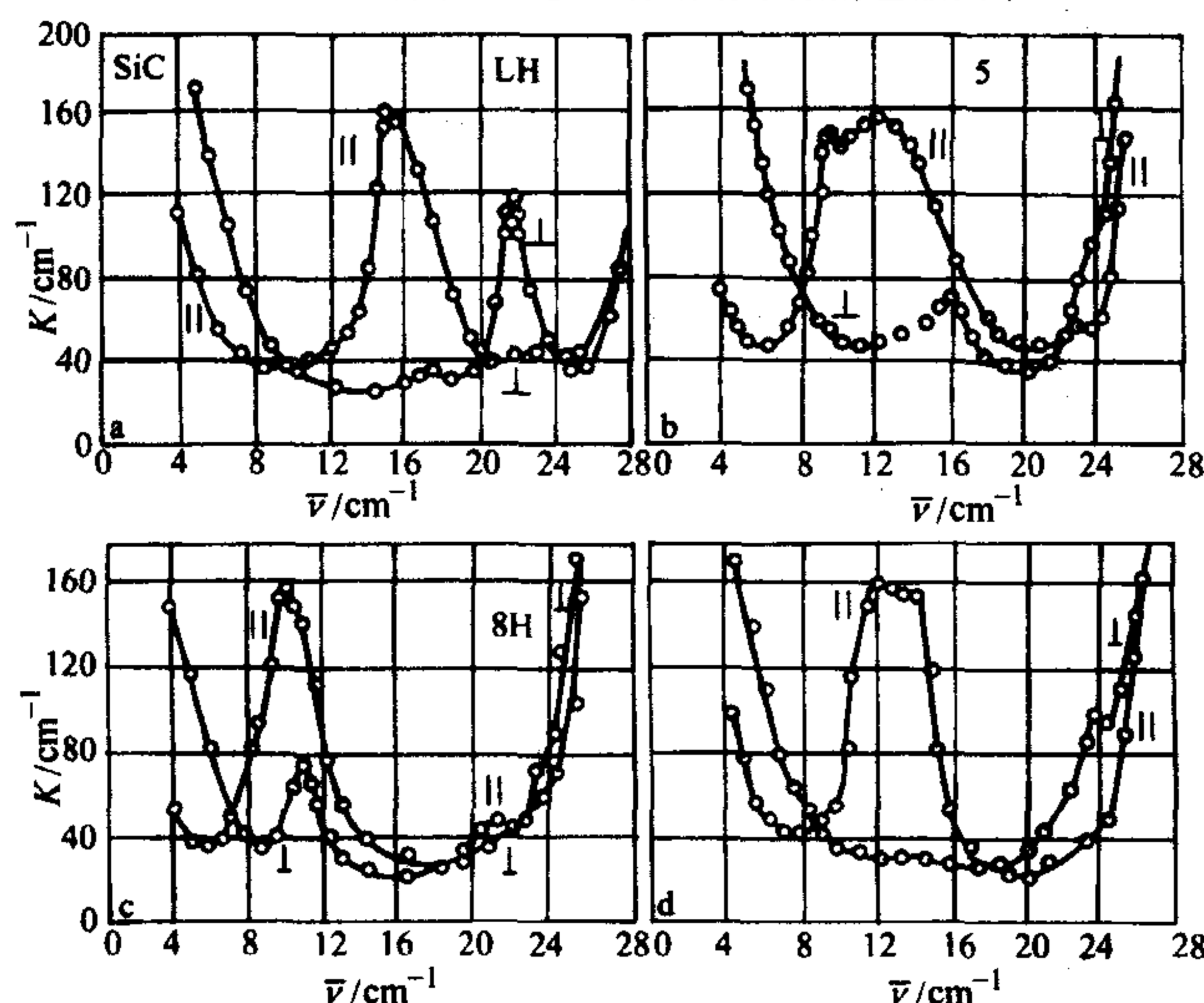


图 6.6-44　若干 SiC 多形体的吸收曲线（300 K）

注：光束方向垂直于轴，极化方向平行（//）、垂直（⊥）于 c 轴

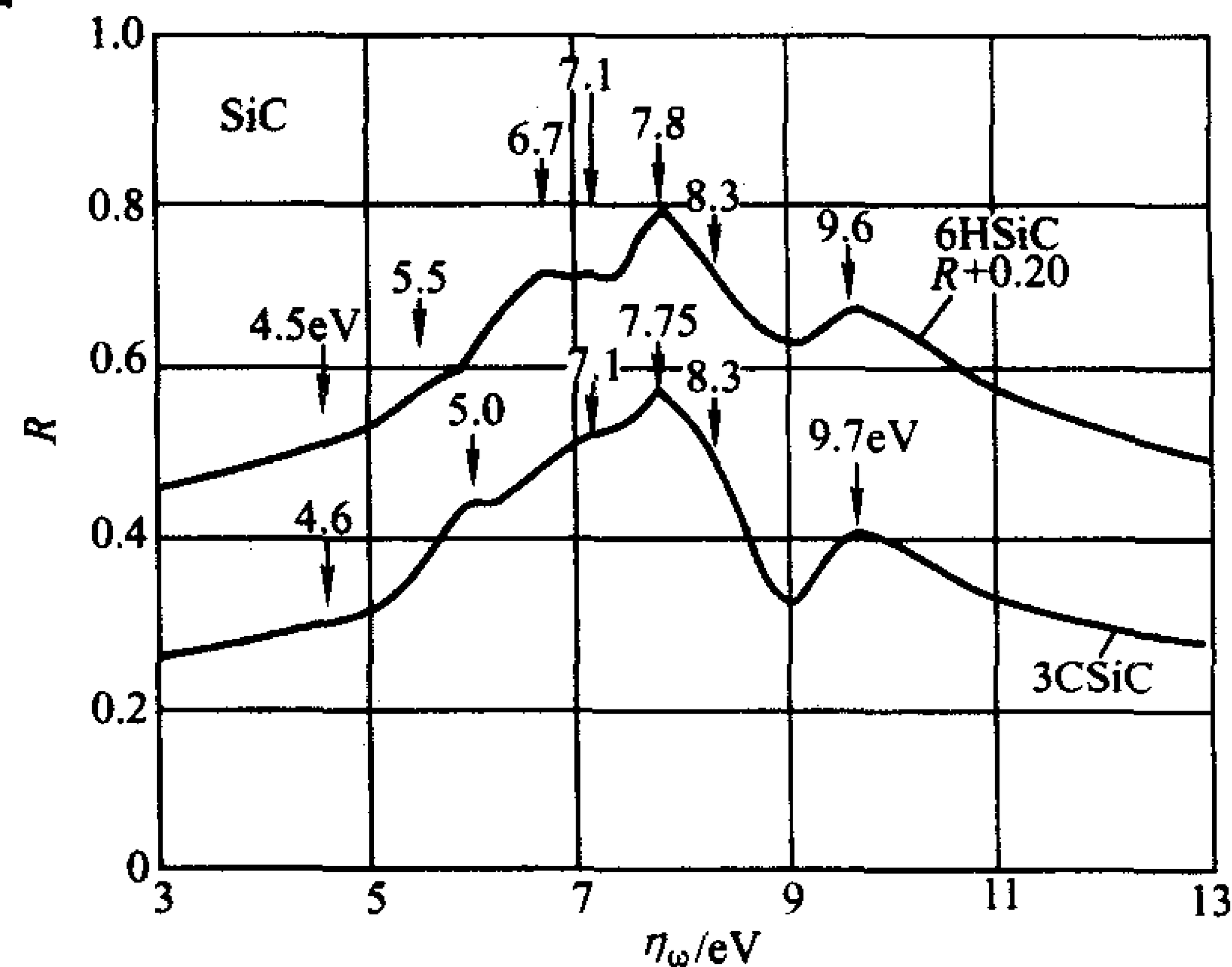


图 6.6-45　3C-SiC 和 6H-SiC 的反射谱光束入射于（0001）面

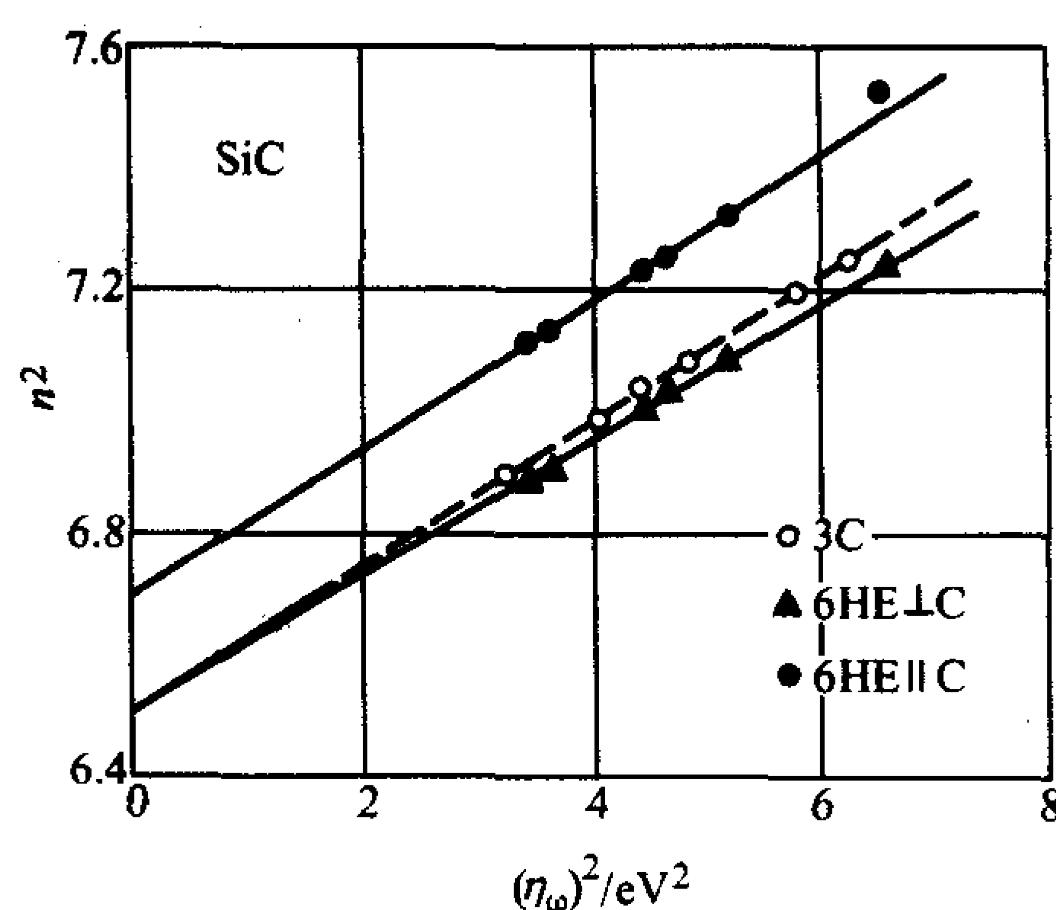


图 6.6-46　3C-SiC 和 6H-SiC 光学介电常数 n^2 与光子能量平方的关系

随着掺杂浓度的增加，3C-SiC 显示的颜色从弱黄色变为黄绿色，黄色起源于蓝光波段的弱吸收，而掺杂的 3C-SiC 颜色向绿色偏移则是由于自由载流子的带内吸收所致。

Si 上 3C-SiC 的吸收系数及其随波长的变化如表 6.6-9 和表 6.6-10 所列。

表 6.6-9　β-SiC 的吸收系数

样品 A（相对纯净）	
光子能量/eV	吸收系数 α/cm^{-1}
2.25	47
2.375	63
2.50	88
2.625	150
2.75	360
2.875	407
3.0	698
3.125	1 007
3.25	1 400
3.375	1 800
3.5	2 190

表 6.6-10　掺杂 β-SiC 的吸收系数

光子能量/eV	吸收系数 α/cm^{-1}
掺杂样品 A（$5\times10^{16}/cm^3$）	
2.625	125
2.375	375
3.000	550
3.188	1 000
3.375	1 250
3.5	2 000
3.75	2 750
3.875	3 375
4.00	3 750
4.125	4 325
4.25	5 000
4.375	5 450
掺杂样品 B（$6.9\times10^{16}/cm^3$）	
2.438	125
2.50	250
2.625	300
2.75	500
2.875	750
3.00	1 125
3.188	1 500
3.375	2 000
3.550	2 720
3.675	3 300
3.75	3 700
3.825	4 300
4.0	4 950

对于六方晶系的多形体，c 轴常被视为垂直于表面。因此，垂直入射波可用以测量透射谱和反射谱。垂直入射波常称为常规线，分光镜的侧边垂直于 c 轴时可用于确定两个折射率 n_o 和 n_e（分别相应于常规线和非常规线，见表 6.6-11）。

表 6.6-11　SiC 多形体的折射率

折射率 n	波长 λ/nm	材料类型
2.710 4	467	3C
2.691 6	498	
2.682 3	515	
2.660 0	568	
2.652 5	589	
2.644 6	616	
2.626 4	691	
n 经验拟合：$n(\lambda)=2.553\ 78+(3.417\times10^4)/\lambda^2$（$\lambda=467\sim691$ nm）		
n_o 2.712 1	435.8	2H 棱柱边界
n_e 2.796 6	平行 c 轴	
n_o 2.700 5	450.3	
n_e 2.788 3		
n_o 2.668 6	500.7	
n_e 2.747 0		
n_o 2.648 0	546.1	
n_e 2.723 7		
n_o 2.646 1	551.1	
n_e 2.721 5		
n_o 2.629 5	601.5	
n_e 2.702 9		
n_o 2.617 3	650.9	
n_e 2.689 2		
n_o 经验拟合：$n_o(\lambda)=2.551\ 3+(2.585\times10^4)/\lambda^2+(8.928\times10^8)/\lambda^4$；$n_e(\lambda)=2.616\ 1+(2.823\times10^4)/\lambda^2+(11.49\times10^8)/\lambda^4$		
n_o 2.718 6	467	4H 棱柱边界平行于 c 轴
n_e 2.777 1		
n_o 2.698 0	498	
n_e 2.754 8		
n_o 2.688 1	515	
n_e 2.745 0		
n_o 2.665 5	568	
n_e 2.719 2		
n_o 2.658 8	589	
n_e 2.711 9		
n_o 2.650 8	616	
n_e 2.703 3		
n_o 2.633 5		
n_e 2.683 4		
$n_o(\lambda)=2.561\ 0+(3.4\times10^4)/\lambda^2$；$n_e(\lambda)=2.604\ 1+(3.75\times10^4)/\lambda^2$		
折射率 n	波长 λ/nm	材料类型
n_o 2.707 4	467	6H 棱柱边界平行于 c 轴
n_e 2.753 3		
n_o 2.687 0	498	
n_e 2.733 1		
n_o 2.678 9	515	
n_e 2.723 6		
n_o 2.655 7	568	
n_e 2.697 9		
n_o 2.648 8	589	
n_e 2.691 1		
n_o 2.641 1	616	

续表 6.6-11

折射率	波长 λ/nm	材料类型
n_e 2.682 0 n_o 2.624 3 n_e 2.663 9	691	6H 棱柱边界 平行于 c 轴
$n_o(\lambda)=2.553\,1+(3.34\times10^4)/\lambda^2$ $n_e(\lambda)=2.585\,2+(3.68\times10^4)/\lambda^2$		
n_o 2.708 1 n_e 2.760 9	467	15R 棱柱边界 平行于 c 轴 最小偏移法
n_o 2.689 4 n_e 2.740 2	498	
n_o 2.680 0 n_e 2.7297	515	
n_o 2.657 2 n_e 2.704 3	568	
n_o 2.650 3 n_e 2.696 8	589	
n_o 2.642 9 n_e 2.687 9	616	
n_o 2.626 3 n_e 2.667 6	691	
$n_o(\lambda)=2.558+(3.31\times10^4)/\lambda^2$ $n_e(\lambda)=2.588\,9+(3.74\times10^4)/\lambda^2$		
n_o 2.639	633	β-SiC 300 K 由电光系数测量得到

4.2.2　SiC 中的声子(表 6.6-12～表 6.6-14, 图 6.6-47)

表 6.6-12　SiC 的六种主要多形体

R	晶格中原子堆放顺序	J	Z	六角多形体所占的比例	空间群	原胞内原子数
3C	ABC	(k)	(∞)	0	$T_d^2(F\bar{4}3m)$	2
8H	ABACBABC	$(khkk)_2$	(44)	25	$C_{6v}^4(P6_3mc)$	16
21R	ABCACBACABCB ACBCABACB	$(hkkhkkk)_3$	$(34)_3$	29	$C_{3v}^5(R3m)$	14
6H	ABCACB	$(hkk)_2$	(33)	33	$C_{6v}^4(P6_3mc)$	12
15R	ABACBCACBABCBAC	$(hkhkk)_3$	$(32)_3$	40	$C_{3v}^5(R3m)$	10
4H	ABAC	$(hk)_2$	(22)	50	$C_{6v}^4(P6_3mc)$	8
2H	ABAB	$(h)_2$	(11)	100	$C_{6v}^4(P6_3mc)$	4

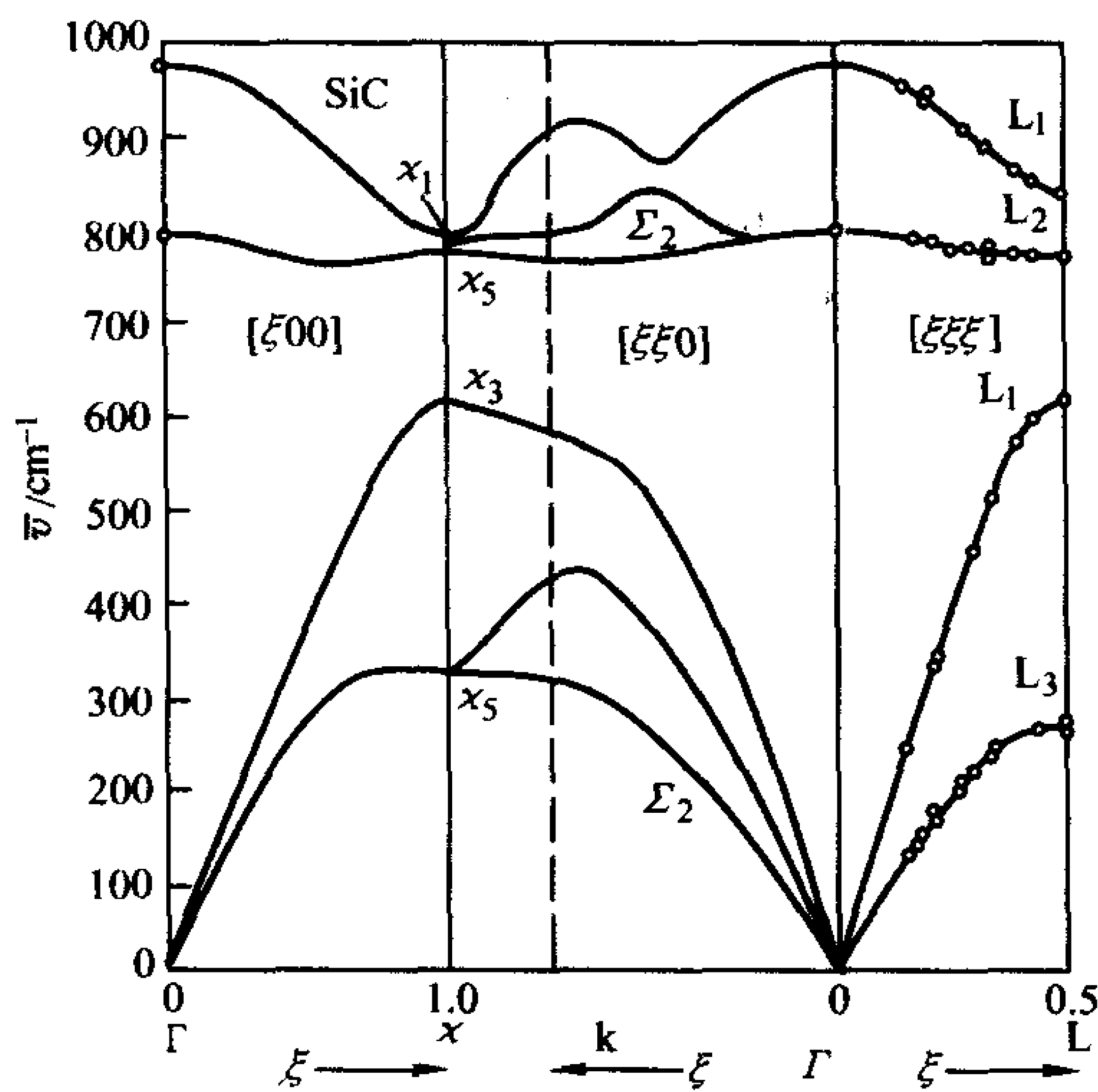


图 6.6-47　3C-SiC 的声子色散关系

表 6.6-13　3C 和 6H-SiC 多形体的振动频率
各向异性由 TO (1) －TO (2) 给定)

晶体多形体	模式						
	E_1 /cm^{-1}	E /cm^{-1}	TO (2) /cm^{-1}	LO (2) /cm^{-1}	TO (1) /cm^{-1}	LO (1) /cm^{-1}	TO(1)－TO(2) /cm^{-1}
3C	— —	— —	— —	— —	796 796.2	972 972.7	0
6H	766 768	788 789	788 —	964 967	797 796	970	9

表 6.6-14　4H－，6H－和 15R－SiC 声子模的频率和对称性
（$\chi=q/q_{max}$：声子衰减的动量，N.O.：未观测到）

晶体多形体	分支				
	$\chi=q/q_{max}$	光学支/cm^{-1} 晶向	光学支/cm^{-1} 晶面	声学支/cm^{-1} 晶向	声学支/cm^{-1} 晶面
4H	0.5		{E₂}776		{E₂}204
			{E₂}N.O.		{E₂}196
	1.0	{A₁}838	{E₁}N.O.	{A₁}610	{E₁}266
6H	0.33		{E₂}778(789)	]	{E₂}149(150)
			{E₂}N.O.		{E₂}145(140)
	0.67	{A₁}889	{E₁}777	{A₁}508	{E₁}241
		{A₁}N.O.	{E₁}769	{A₁}504	{E₁}236
	1.0		{E₂}766(768)		{E₂}262(266)
15R	0.4	{A₁}938	{E}758(786)	{A₁}337	{E}172(173)
		{A₁}932	{E}N.O.	{A₁}331	{E}167(167)
	0.8	{A₁}860	{E}769(770)	{A₁}577	{E}256(256)
		{A₁}N.O.	{E}N.O.	{A₁}569	{E}254(255)

4.2.3　SiC 的光致发光谱（图 6.6-48，表 6.6-15～表 6.6-16）

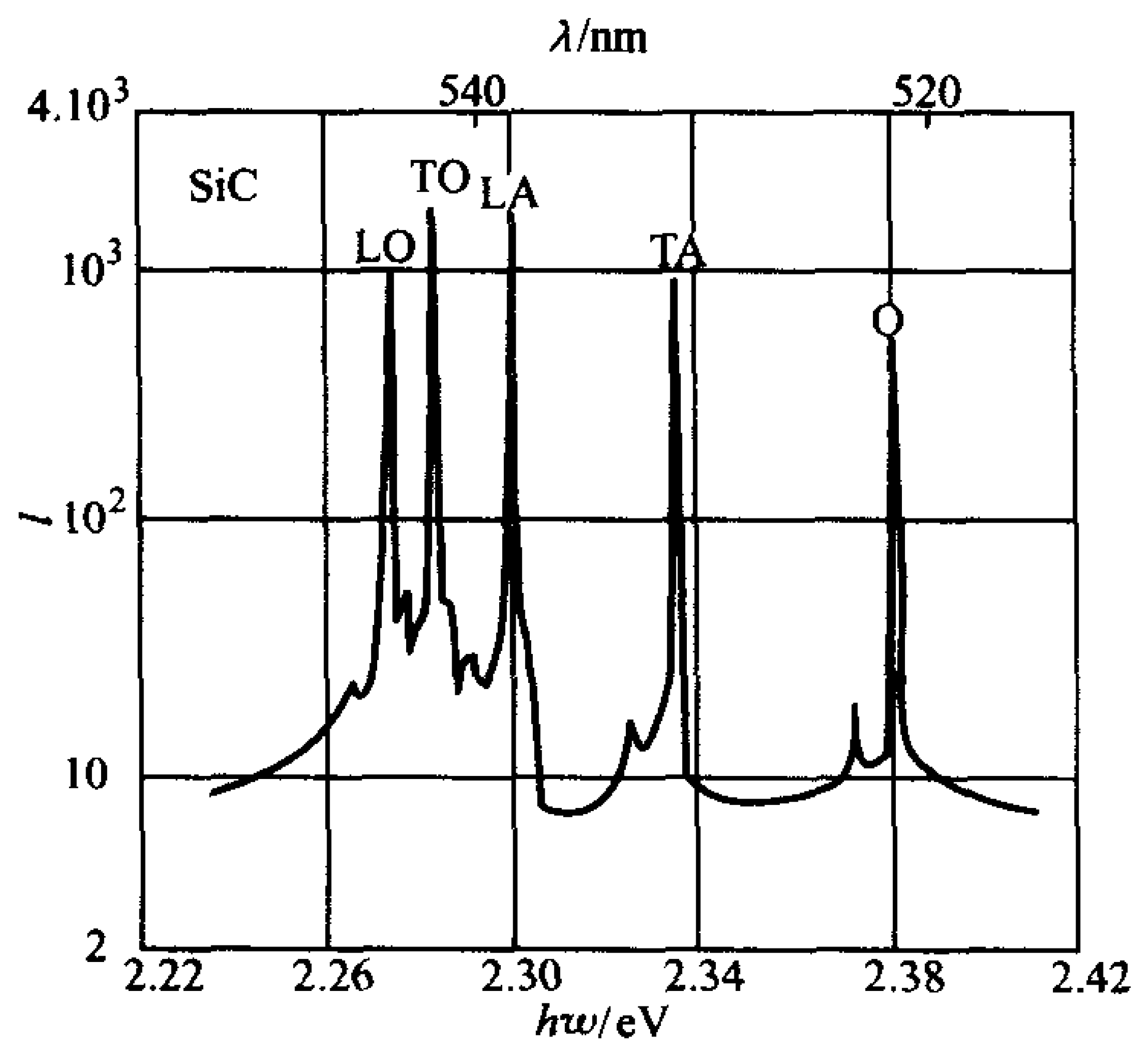


图 6.6-48　3C-SiC 的光荧光强度与 N-激子复合物的声子能量之间的关系（6 K）

表 6.6-15　从光谱中观察到的六种 SiC 多形体的主要声子能量

声子支	3C	4H	6H	21R	15R	33R
TA_1	46.3	46.7	46.3	46.5	46.3	46.3
TA_2	—	51.4 53.4	53.5	53.0	51.9	52.3

续表 6.6-15

声子支	3C	4H	6H	21R	15R	33R
LA	79.5	76.9	77.0	77.5	78.2	77.5
		78.8				
TO_1	94.4	95.0	94.7	94.5	94.6	94.7
TO_2	—	—	95.6	—	95.7	95.7
LO	102.8	104.0	104.2	104	103.7	103.7
		104.3				

注：横向声学支（TA）、纵向声学支（LA）、横向光学支（TO）、纵向光学支（LO）的表示方法只适用于多形体，对六方和菱面多形体不适用

表 6.6-16 六种 SiC 多形体在低温（≤5 K）下的能隙宽度（E_g），激子能隙宽度（E_{gx}），激子束缚能（E_x），Nc 的电离能（E_i），其中 $E_g = E_{gx} + E_x$

结构类型	E_g/eV	E_{gx}/eV	E_x/meV	E_i/eV
3C	2.403	2.390	13.5	0.054
4H	3.285	3.265	20.0	0.124
				0.066
6H	3.101	3.023	78.0	0.17
				0.20
				0.23
15R	2.946	2.906	40.0	0.14
				0.16
				0.16
				0.20
21R		2.853		
33R		3.003		$0.15 \leq E_i \leq 0.23$

4.3 SiC 的载流子性质和能带结构

4.3.1 SiC 中载流子的迁移率和浓度（图 6.6-49 ~ 图 6.6-56）

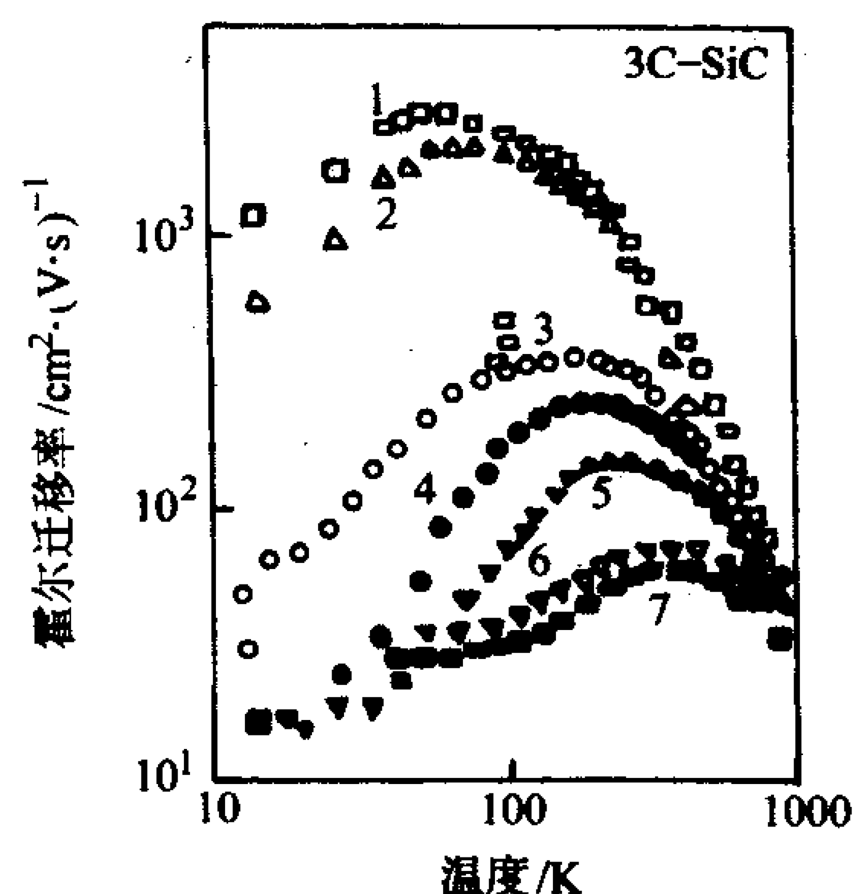


图 6.6-49 不同掺杂和补偿浓度的 3H-SiC 样品的电子霍尔迁移率与温度的关系

1—$n_0 = 10^{16}/cm^3$在 300 K;
2—$n_0 = 5\times10^{16}/cm^3$在 300 K;
3—$N_d = 1.8\times10^{18}/cm^3$，$N_a = 1.1\times10^{18}/cm^3$;
4—$N_a = 3.9\times10^{18}/cm^3$，$N_a = 2.7\times10^{18}/cm^3$;
5—$N_a = 6.5\times10^{18}/cm^3$，$N_a = 3.0\times10^{18}/cm^3$;
6—$N_a = 8.0\times10^{18}/cm^3$，7—$N_a = 10^{19}/cm^3$

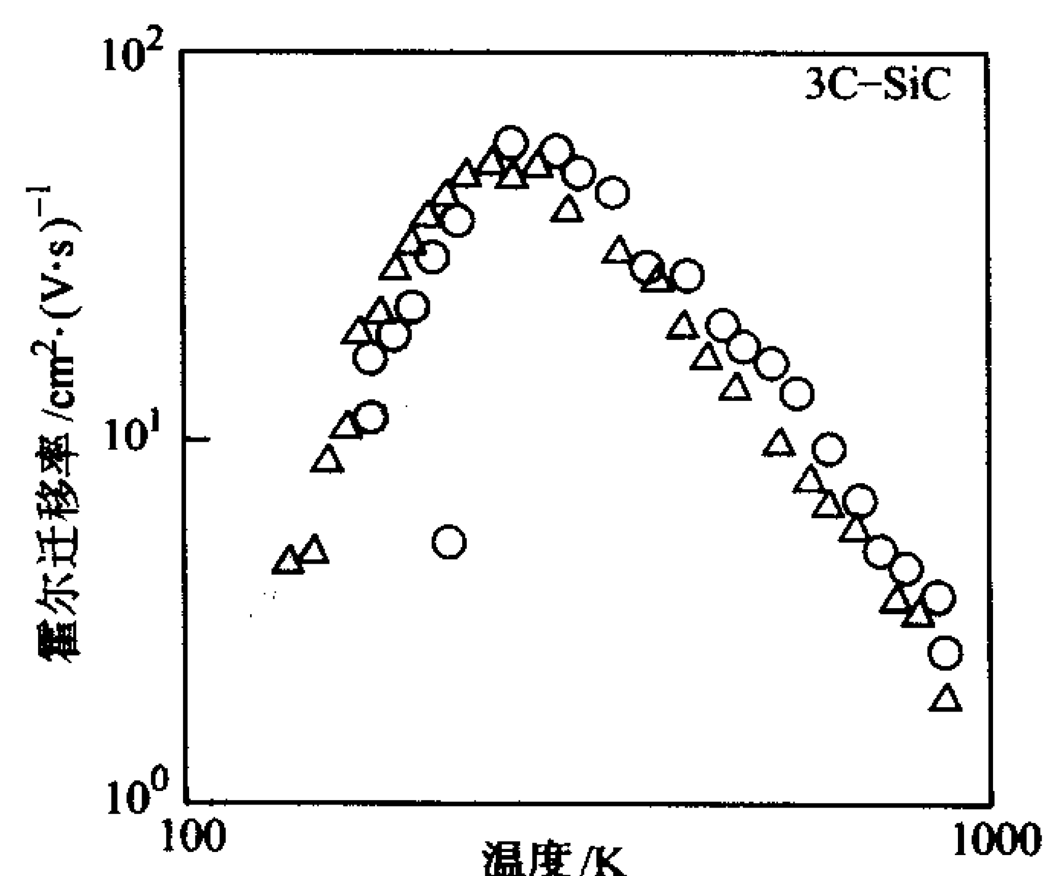


图 6.6-50 两种不同掺杂浓度的 3C-SiC 样品的空穴霍尔迁移率与温度的关系

○ - $N_d = 3.5\times10^{18}/cm^3$，$N_a = 5.5\times10^{18}/cm^3$;
△ - $N_d = 5.0\times10^{18}/cm^3$，$N_a = 2.0\times10^{19}/cm^3$

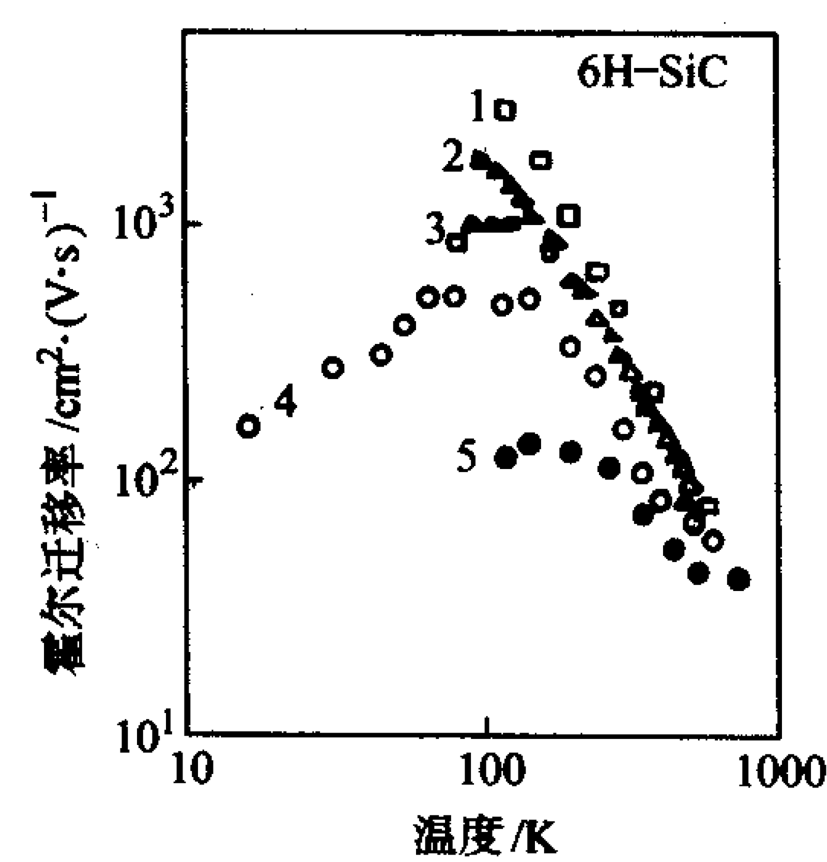


图 6.6-51 不同掺杂浓度的 6H-SiC 样品的电子霍尔迁移率与温度的关系

1—$N_a = 10^{16}/cm^3$;
2—$N_d = 1.5\times10^{17}/cm^3$;
3—$N_d = 3.0\times10^{17}/cm^3$;
4—$N_d = 5.0\times10^{17}/cm^3$;
5—$N_d = 1.2\times10^{19}/cm^3$;

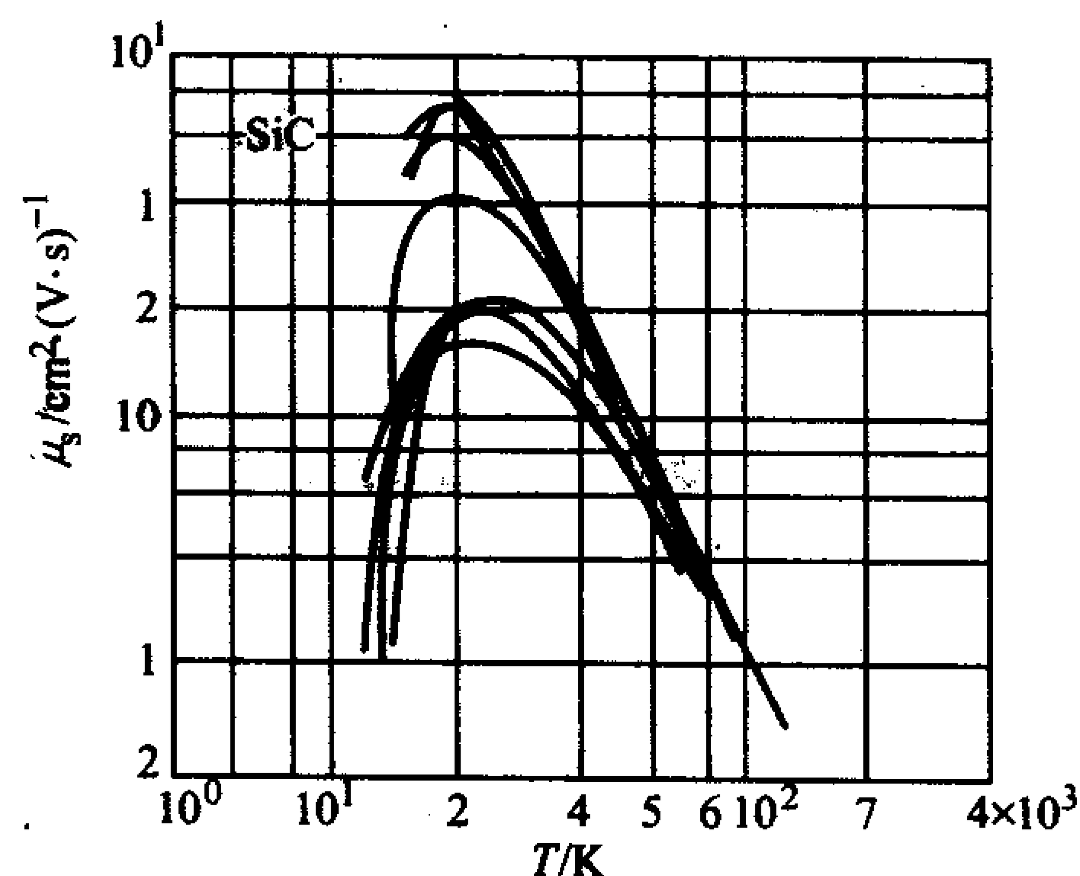


图 6.6-52 不同掺杂浓度的 6H-SiC 样品的空穴霍尔迁移率与温度的关系

1—$N_d = 0.7\times10^{18}/cm^3$; $N_a = 2.3\times10^{18}/cm^3$;
2—$N_d = 2.5\times10^{18}/cm^3$; $N_a = 5.5\times10^{18}/cm^3$;
3—$N_d = 0.9\times10^{18}/cm^3$; $N_a = 3.6\times10^{18}/cm^3$;
4—$N_d = 3.0\times10^{18}/cm^3$; $N_a = 1.2\times10^{19}/cm^3$;
5—$N_d = 1.4\times10^{19}/cm^3$; $N_a = 8.5\times10^{19}/cm^3$;
6—$N_d = 1.2\times10^{18}/cm^3$; $N_a = 2.3\times10^{20}/cm^3$

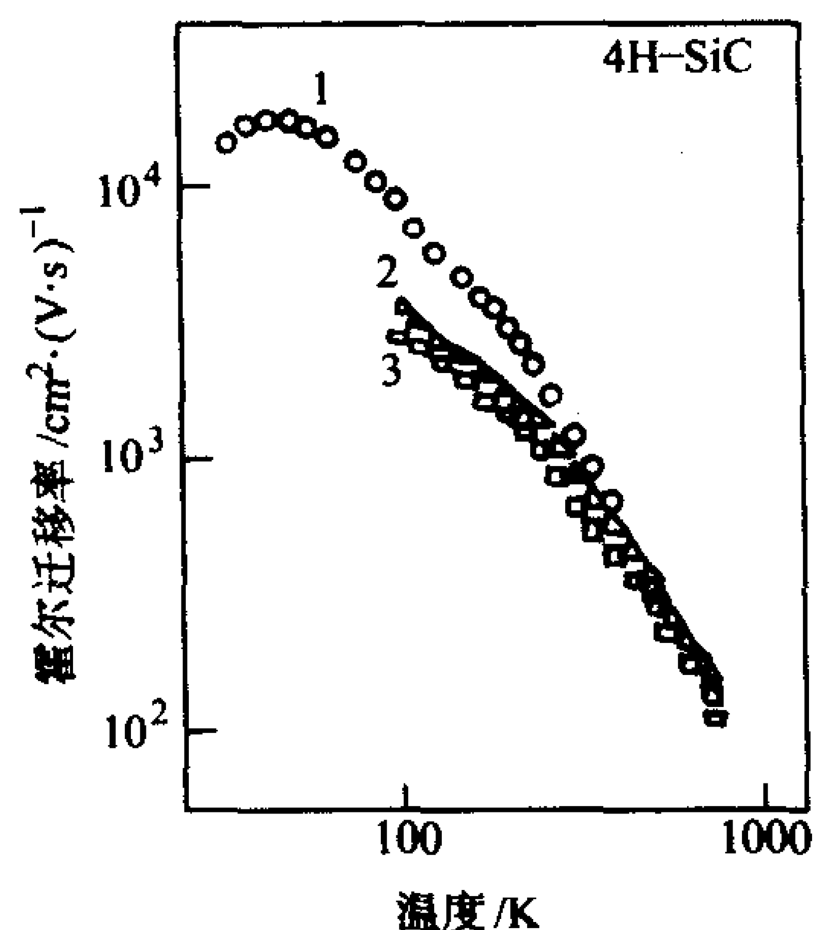


图 6.6-53　不同掺杂浓度及晶向的 4H-SiC 样品的电子霍尔迁移率与温度的关系

1—高纯度，非故意掺杂；

2—$N_d = 1.2\times10^{17}/cm^3$，电场 $E \parallel c$；

3—$N_d = 1.2\times10^{17}/cm^3$，电场 $E \perp c$

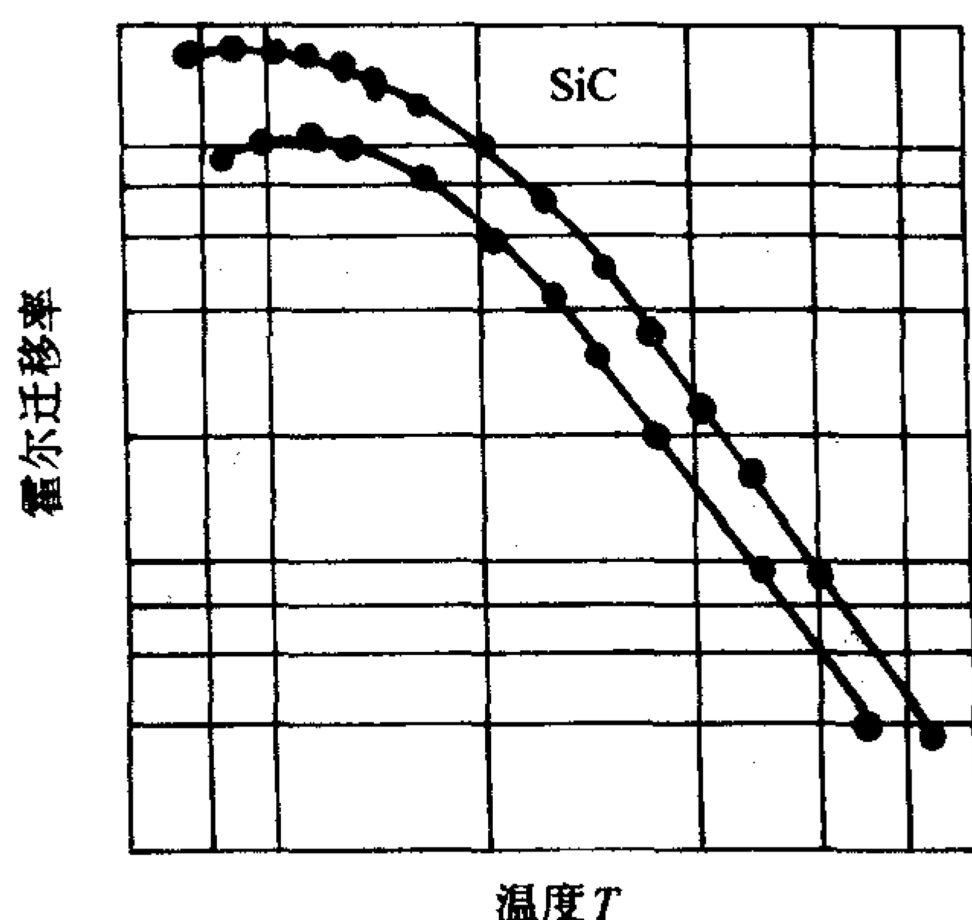


图 6.6-54　6H-SiC，15R-Si 样品的电子霍尔迁移率与温度的关系

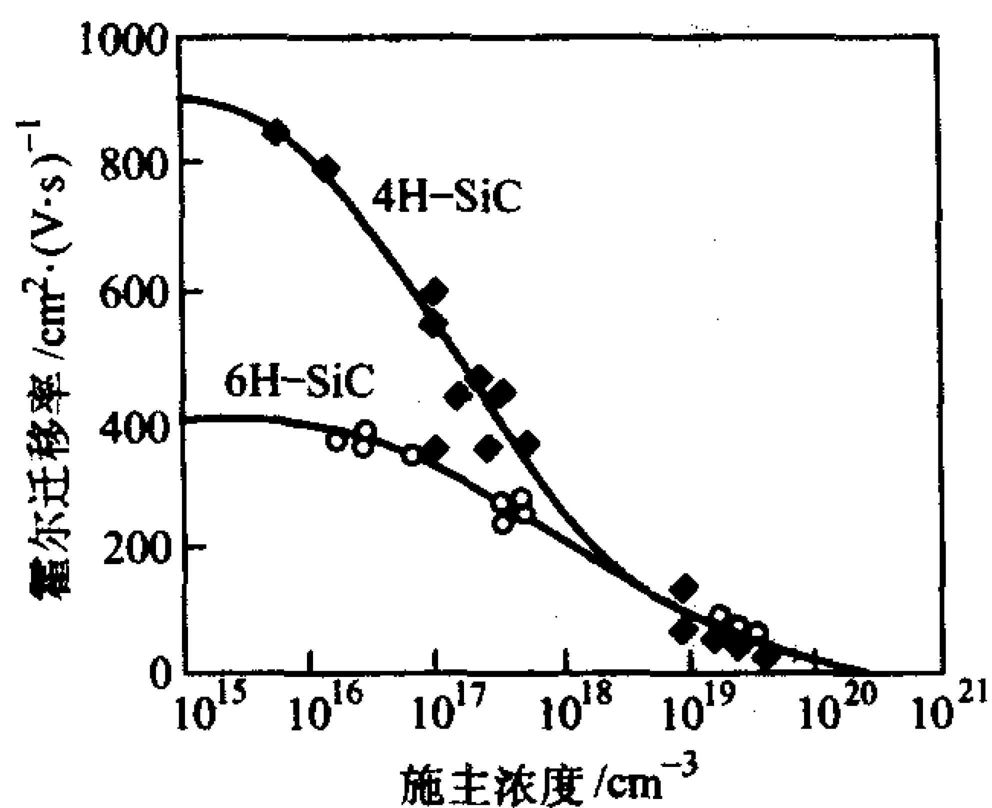


图 6.6-55　4H-SiC，6H-SiC 的电子霍尔迁移率与施主浓度的关系（T = 300 K）

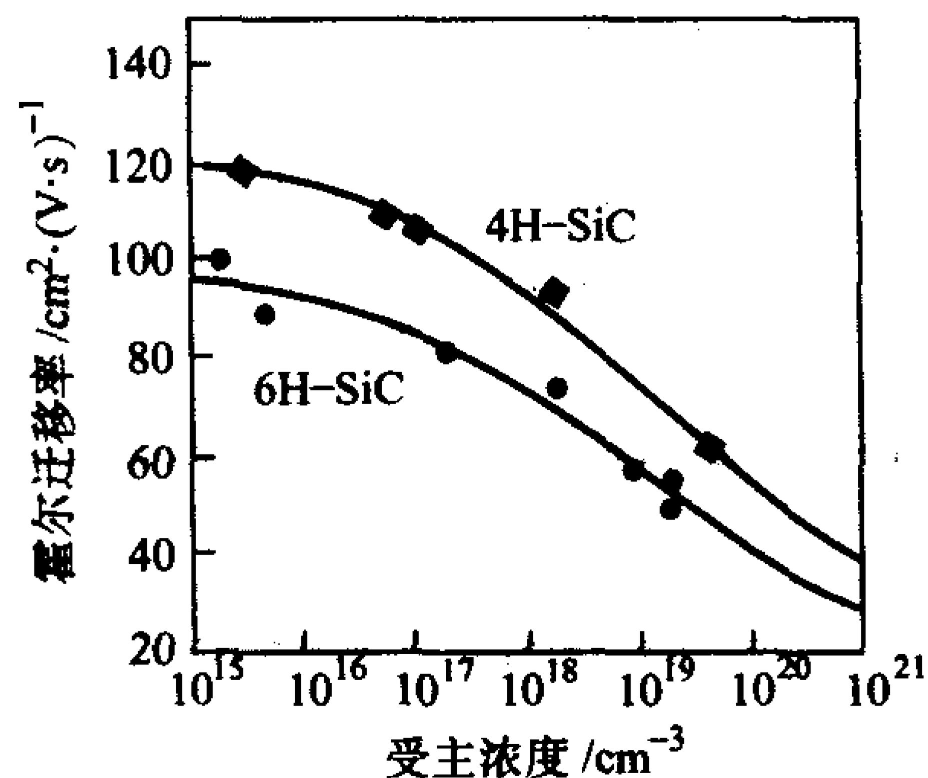


图 6.6-56　4H-SiC，6H-SiC 电子霍尔迁移率与受主浓度的关系（T = 300 K）

4.3.2　SiC 中载流子的有效质量（表 6.6-17）

表 6.6-17　3C－，4H－，6H－和 15R－和 33R-SiC 电子、空穴有效质量

电子有效质量			空穴有效质量			方法
m_e^*	m_t^*	m_l^*	m_h^*	m_{lh}^*	m_{hh}^*	
3C-SiC						
0.62						霍尔效应
0.37						霍尔效应
0.337	0.24±0.01	0.667±0.02				塞曼分裂
0.344	0.24±0.011	0.667±0.015				ECR
0.347	0.25±0.01	0.67±0.02		0.45		ECR
0.78						I-V
		0.69		0.13	0.275	理论
		0.7		0.349[100]	0.476	理论
	0.156	0.6		0.186[111]	1.2	理论
0.355			0.8			理论
4H-SiC						
						霍尔效应
	0.24	0.19				红外吸收
	0.18	0.22				霍尔
6H-SiC						
0.45						霍尔效应
0.48						霍尔效应
	0.35	13				霍尔效应
0.2						霍尔效应
0.6						霍尔效应
0.45	0.25±0.02	1.5±0.2				法拉第旋转应
	0.23±0.03		1.0			红外反射
	0.25		1.2			红外反射
	0.25±0.01	1.7±0.2				红外反射
	0.24±0.01	0.34±0.02				红外吸收，霍尔
	0.26±0.03					红外双折射
15R-SiC						
0.28	0.25	0.37				霍尔效应
0.35	0.28±0.02	0.53				法拉第旋转
33R-SiC						
	0.49	0.49				霍尔效应

m_e^*（m_h^*）：电子（空穴）的有效质量

m_{hh}^*（m_{lh}^*）：重（轻）空穴的有效质量

m_t^*（m_l^*）：横向（纵向）电子的有效质量

4.3.3　SiC 的能带结构(图 6.6-57～图 6.6-58，表 6.6-18～表 6.6-21)

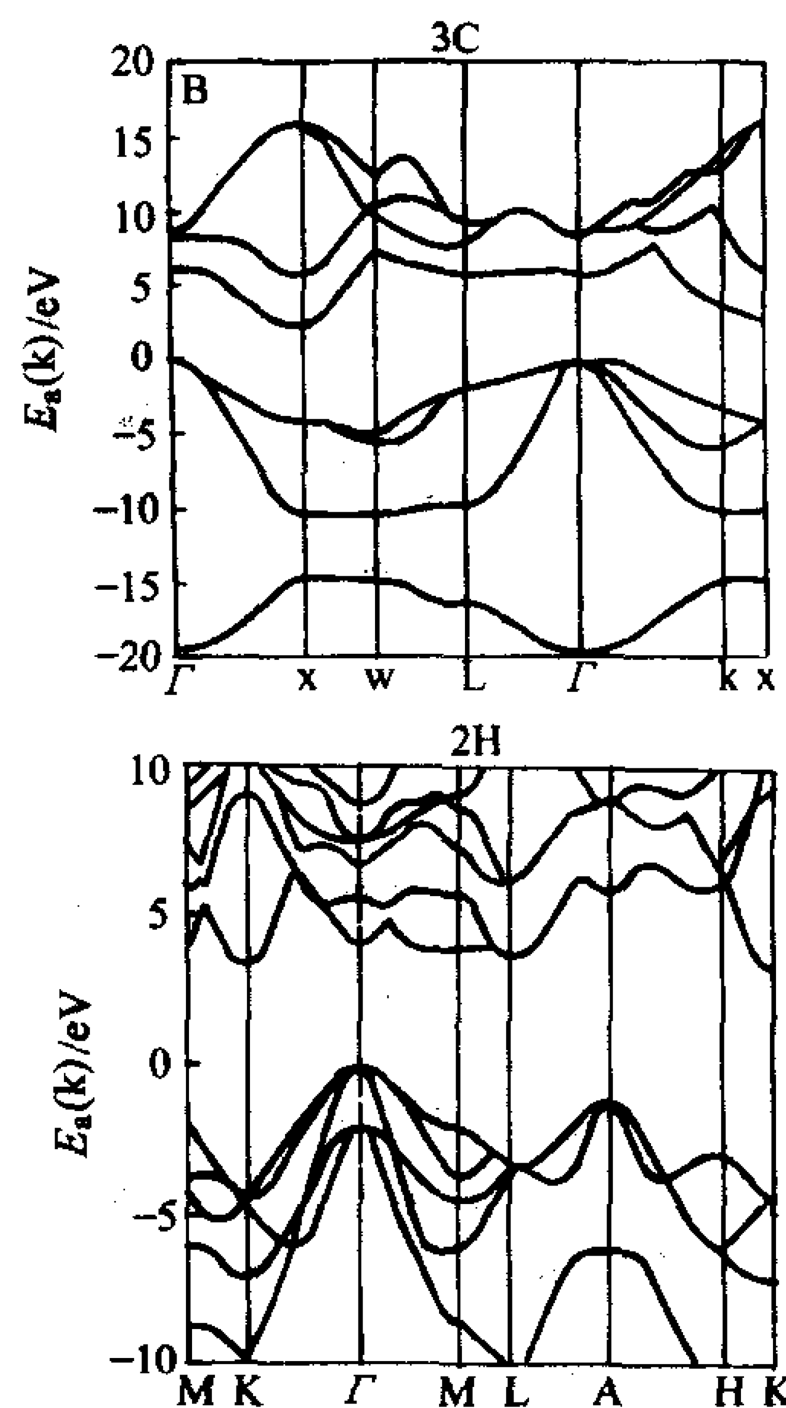
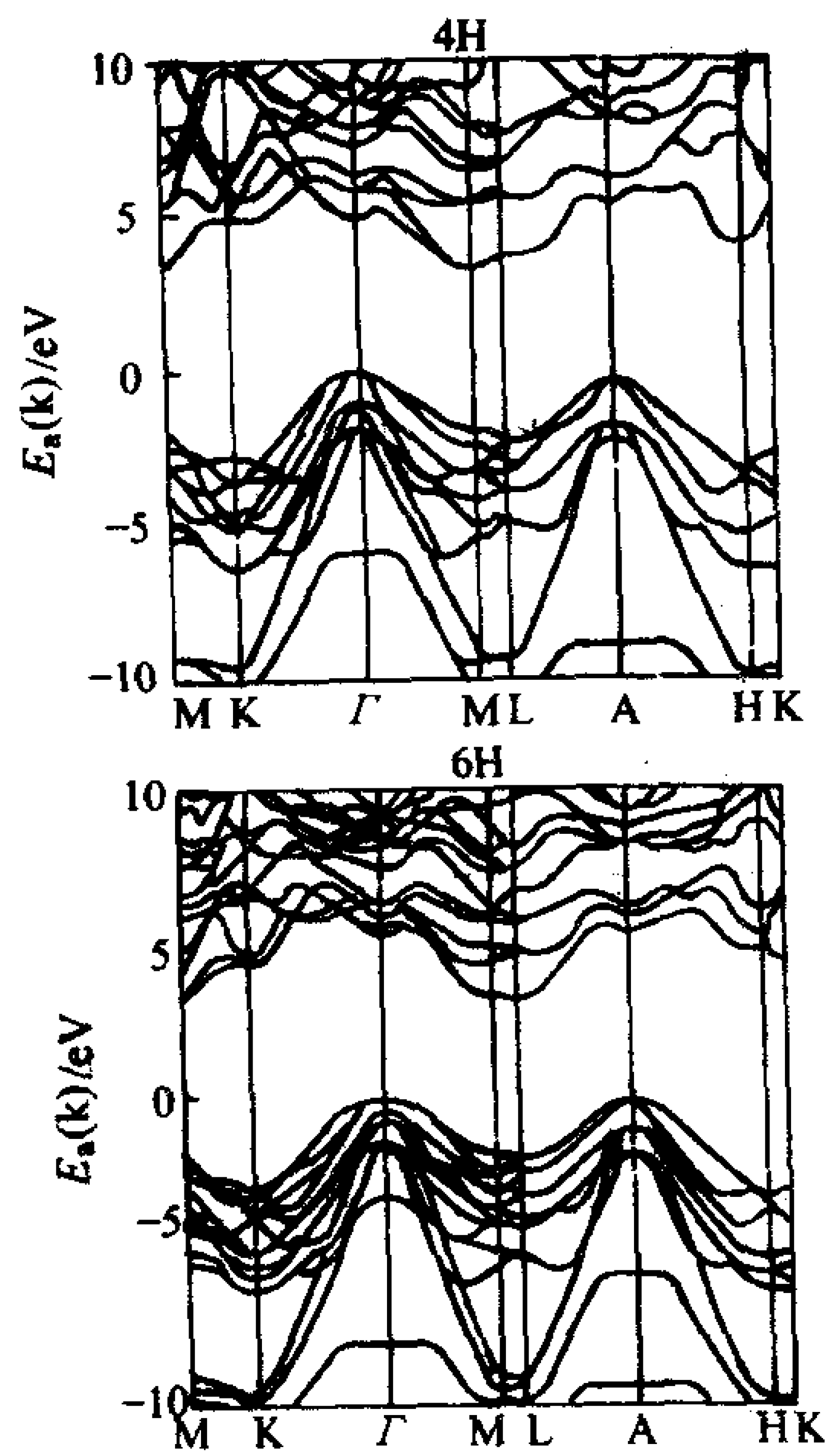


图 6.6-57　3C－，2H，4H－，6H-SiC 的能带结构



续图 6.6-57

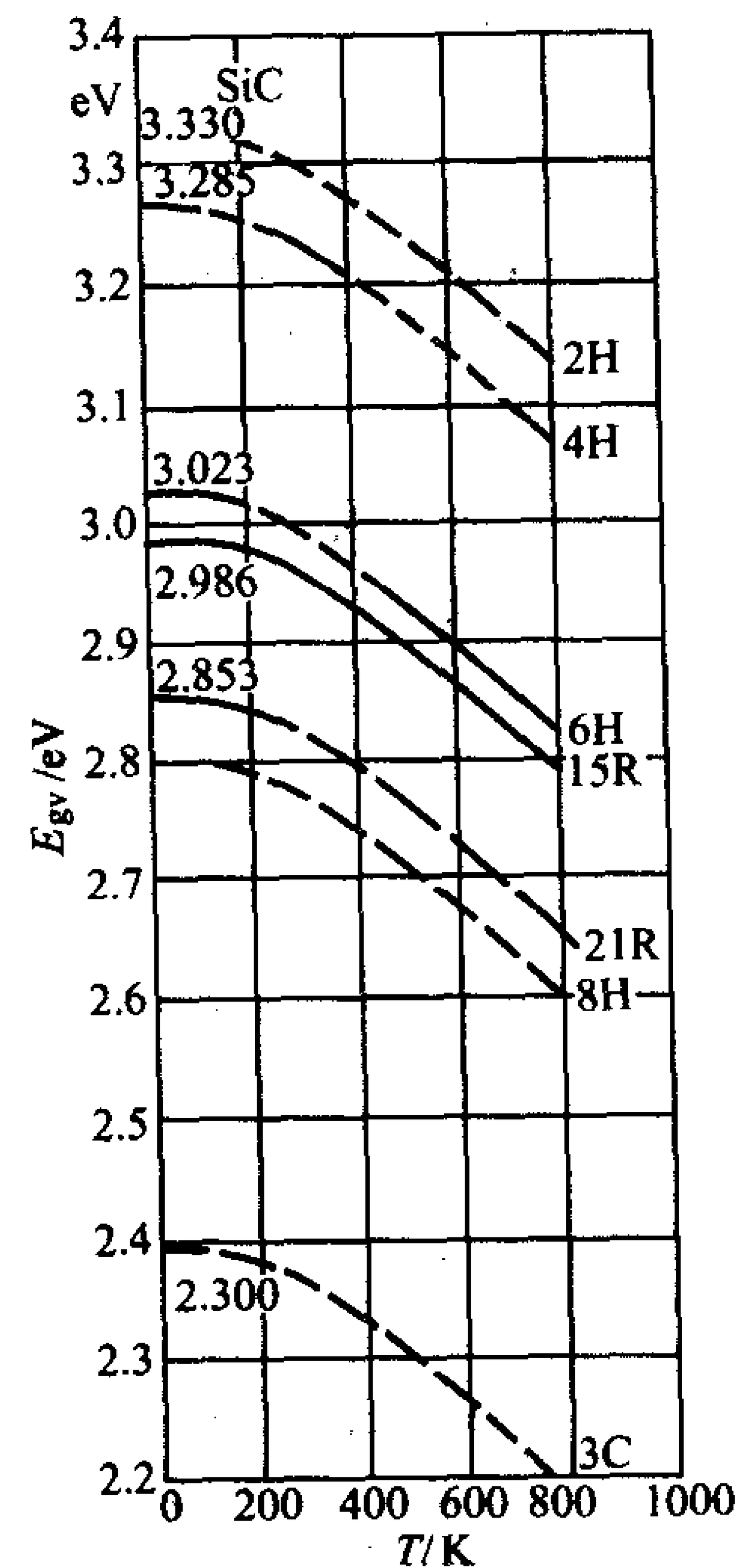


图 6.6-58 若干 SiC 多形体的激子能带隙与温度的关系

表 6.6-18 3C-SiC 主要能隙的计算值与理论值

$\Gamma_{15v}-\Gamma_{1c}$ /eV	$\Gamma_{15v}-\Gamma_{15c}$ /eV	$X_{5v}-X_{1c}$ /eV	$X_{1c}-X_{3c}$ /eV	$L_{3v}-L_{1c}$ /eV	$\Gamma_{15v}-L_{1c}$ /eV	$L_{3v}-X_{1c}$ /eV	$L_{3v}-X_{1c}$ /eV	$\Gamma_{15v}-K_{1c}$ /eV
6.8	8.6	5.8②	3.2	9.9	6.8	2.7①	6.0	
5.9	7.8	5.3②	2.6	6.4	5.5	2.3①	3.1	
5.14②	10.83	5.27	3.24	6.75	5.93	2.4①	3.26	
5.92②	6.49	6.36	3.08	6.02	4.38	2.35①	3.9	
	6.8	5.60	1.1	6.4	4.9	2.3②	3.8	
6.5	7.2	5.3②	3.7	8.0	6.5	2.4①	3.1	4.3
	9.02	6.16	2.38	10.39	8.77	2.39①	4.01	
6.0②	7.0	6.44	3.1	5.62	3.59	2.4①	4.43	
6.0	7.0		3.29			2.4①	4.4	3.03
6.0			3.1		4.2	2.417①	3.55	3.0

①最小非直接带隙。
②最小直接带隙。

表 6.6-19 2H-SiC 主要能隙的计算值与理论值

完成者	$\Gamma_{6v}-K_{2c}$ /eV	$\Gamma_{1v}-K_{2c}$ /eV	$\Gamma_{6v}-M_{1c}$ /eV	$\Gamma_{1v}-M_{1c}$ /eV	$\Gamma_{6v}-L_{1c}$ /eV	$\Gamma_{1v}-L_{1c}$ /eV	$\Gamma_{6v}-\Gamma_{1c}$ /eV	$\Gamma_{1v}-\Gamma_{1c}$
Herman	3.3①	3.7	4.0	4.4	3.3	3.7	6.0②	6.4
Junginger	4.02	3.35②	4.42	3.75	4.49	3.82	5.09	4.46②
Hemstreet	3.3①	3.77	3.4	3.87	3.81	4.28	4.39②	4.86
Tuncay							5.87②	
Gavrilenko	2.67①	3.96	3.29	4.58			6.07②	7.36
实验值	3.33							

①最小非直接带隙。
②最小直接带隙。

表 6.6-20 4H-SiC 主要能隙的计算值与理论值

完成者	$M_{4c}-\Gamma_{1v}$ /eV	$M_{1c}-\Gamma_{1v}$ /eV	$M_{4c}-\Gamma_{6v}$ /eV	$M_{1c}-\Gamma_{6v}$ /eV	$L_{1c}-\Gamma_{1v}$ /eV	$M_{4c}-\Gamma_{5v}$ /eV
Junginger	2.8	3.15	3.22	3.57	3.58	3.7
Gavrilenko	2.89					
实验值	3.263					

表 6.6-21 6H-SiC 主要能隙的计算值与理论值

完成者	$M_{4c}-\Gamma_{1v}$ /eV	$L_{1c}-\Gamma_{1v}$ /eV	$M_{4c}-\Gamma_{6v}$ /eV	$L_{1c}-\Gamma_{6v}$ /eV	$M_{1c}-\Gamma_{1v}$ /eV	$M_{4c}-\Gamma_{5v}$ /eV
Junginger	2.45	2.51	2.67	2.73	2.9	2.91
Gavrilenko	2.92					
实验值	3.023					

4.4 SiC 中的能级

4.4.1 SiC 中的杂质能级（表 6.6-22～表 6.6-23）

表 6.6-22 3C－，4H－，6H－，15R－和 33R-SiC 中的杂质能级 meV

多形体	氮	铝	镓	硼	方法
3C-SiC	54.5±0.3	260±15			PL
		248 + E_x			PL
	53.6±0.5				PL
	56.5	254	343	735	PL
	55			735	PL
		230			PL
	118	179 + E_x			PL
			331 + E_x		PL
	54				PL
	48				Hall
		160			Hall
4H-SiC	80,130	155 + E_x			PL
		168 + E_x	249 + E_x	628 + E_x	PL
	h:66, k:124	191	267	647	PL
		160 + E_x			PL
			250		PL
	h:52.1, k:91.8				IR
	h:45, k:100				Hall
	40	180			Hall
6H-SiC	170,220,230				PL
	h:100, k:155	h:239, k:249	h:317, k:333	h:698, k:723	PL
	100,150	165 + E_x			PL
		231 + E_x			PL
		231 + E_x			PL
	180,210,240				TL
		280,390, 490			PL/EL
				430,540, 650	EL
	180				IR
	h:81, k:138,142				IR
	150			390	Hall
		270			Hall
	81～95				Hall
	50～70				Hall
	66				Hall
	h:85, k:125				Hall
		190		300	DLTS
15R-SiC	140,160,160,200				PL
	h:64, k: 112	h:206, 221	h:282, 300	h:666, k:700	PL
		k:223; 230,236	k:305, 311,320		
	40～52				Hall
	40				Hall
33R-SiC	150～230				PL

注：k：类立方体位置；h：类六边形位置；PL：光致发光；Hall：霍尔效应；IR：红外吸收；EL：场致发光；TL：热发光；DLTS：深能级暂态光谱法。

E_x（exciton energy，激子能）＝13.5 meV（3C），20meV（4H），78 meV（6H），40 meV（15R）

表 6.6-23 常见 SiC 多形体中一些受主杂质的离化能

杂质 / 多形体	Al	B	Be	Ga	Sc
3C	0.257	0.735	—	0.334	—
4H	0.191	0.647	—	0.267	—
6H	0.249	0.723	0.4	0.333	0.24
	0.239	0.698	0.6	0.317	
		0.32			
15R	0.236	0.700	—	0.320	—
	0.230	—	—	0.311	—
	0.223	—	—	0.305	—
	0.221	0.666	—	0.300	—
	0.206	—	—	0.282	—

4.4.2 SiC 中的深能级（表 6.6-24）

表 6.6-24 SiC 深能级的电离能

杂质/中心	符号	6H-SiC /eV	3C-SiC /eV	4H-SiC /eV	备注
N	E_D^T	0.085，0.125			①
	E_D^O	0.081，0.137，0.142	0.053	0.033，0.09	
AL	E_A^T	0.27		0.27	
	E_A^O	0.257	0.271		
B	E_A^T	0.39			见 D 中心
	E_A^O	0.73	0.73	0.628 + E_X	
Be	E_A^T	0.4，0.6			
Ga	E_A^T	0.29			
	E_A^O	0.35		0.249 + E_X	
Sc	E_A^T	0.24，0.55			
Ti					②
V					③
D 中心	E_A^T	E_v +0.58			见 B
i 中心		E_v +0.52		0.57	
Z_1	$T^{电子}$	E_C －0.62			
Z_2	$T^{电子}$	E_C －0.64			
E_1	$T^{电子}$	E_C －0.33			④
E_2	$T^{电子}$	E_C －0.4			
E_3	$T^{电子}$	E_C －0.570			
E_4	$T^{电子}$	E_C －0.570			
ML_1	$T^{空穴}$		E_v +0.4		⑤
SCE_1	$T^{电子}$		E_C －0.34		
SCE_2	$T^{电子}$		E_C －0.68		
R	$T^{电子}$	E_C －1.27			
S	$T^{电子}$	E_C －0.35			
N_{11}	$T^{电子}$		E_C －0.49		⑥

注：1. E_D^T 和 E_A^T 分别是由霍尔效应、光谱等热学实验测得的受主和施主的电离能。
2. E_D^O 和 E_A^O 分别是由光学测得的受主和施主的电离能，E_x 是电子空穴对的结合能。
3. $T^{电子}$ 是主要俘获电子的能级的总称，当该能级未被占据时，类似于施主或受主。
4. $T^{空穴}$ 是主要俘获空穴的能级的总称，当该能级未被占据时，类似于施主或受主。

① 对施主来说，6H－SiC 有三个不等价的晶格排列，其中一个类似于六方结构，两个类似于立方结构。因此，对 6H 受主来说有三个结合能。
② Ti 是一个等电子中心，该中心在光谱中表示为一条亮线。
③ Va 中心经过电子自旋共振和红外发光的研究。
④ 能级 E_1 － E_4 由电子发光引入。
⑤ 该能级经由微波吸收技术的测量。
⑥ 该能级在能谱图中间表现为一个宽峰，该能级由中子发光引入。

5　SiC 半导体技术的应用

SiC 是一种宽禁带的半导体材料，基于 SiC 的器件适合在大功率、高频、高温、辐照等条件下应用。SiC 具有击穿电压高，饱和电子漂移速度高，热导率高等特性，是用于制作功率和微波器件的良好材料；宽带隙特征使其可以被用来制作紫外探测器。

SiC 器件与 Si 器件相比，一般工作温度可以提高 3 倍，耐压可提高 10 倍，频率可提高 10 倍，电流可增大 100 倍，由于这些特性，使得 SiC 材料在很多应用方面成为理想的选择。

SiC 存在 170 多种形态，各种形态的特性不同。其中两种最重要的形态是 6H－SiC 和 3C－SiC。6H－SiC 外延层失配率低于 2%，这就是为什么 6H－SiC 器件表现良好的原因。

没有掺杂的 SiC 常温下的表现如同绝缘体。然而，通过生长或离子注入，SiC 可以被掺杂为 n 型或 p 型，掺杂浓度可达 $5\times10^{16}/cm^3$ 到 $10^{19}/cm^3$。可以像 Si 一样，用 SiO_2 作为它的天然稳定的氧化层。这是半导体工艺技术的关键。这就使得 SiC 材料可以用来制作许多种器件。

5.1　SiC p-n 结、肖特基接触、欧姆接触

用 SiC 材料已经制造了 pn 结和肖特基二极管。可以用 6H－SiC 制造高压二极管。Edmond 等用外延生长制备了 pn 结，氮作为 n 型杂质，Al 作为 p 型杂质，623 K 时，击穿电压达到 710 V。Edmond 等、Avila等用β－SiC材料也制备了p-n结二极管，这些采用的是离子注入法工艺，工作温度达 673 K。

α-SiC、β-SiC的金（Au）接触肖特基势垒二极管也被研究。Furukawa 等制备的 Au/α-SiC 二极管，整流效果好，－5 V 时反向漏电为 5 μA，－10 V 时为 250 μA，理想因子 1.4～1.6，势垒高度 0.9～1.1 eV。对于 Pt/β－SiC 肖特基势垒二极管，随退火温度升高，势垒高度在 0.95～1.35 eV 间变化。研究表明，工作在 300～600 K 之间的 Au/α-SiC 肖特基二极管，接近理想预期。雪崩击穿电压 170 V 时，对应电场强度 2.3×10^6 V/cm，掺杂浓度 $1\times10^{17}/cm^3$，理想因子 1.05。普渡大学最近制造出了阻断压高达 4.9 kV 的 4H-SiC 肖特基二极管，特征导通电阻为 43 $m\Omega/cm^2$，这是目前 SiC 肖特基二极管的最高水平。2000 年 4 月，Cree和Kansai联合研制出击穿电压高达12.3 kV的SiC整流器，主要采用了新的外延工艺和改进的器件设计。该器件具有很低的导通电阻，正向导通电压只有 4.9 V，电流密度高，可以达到 100 A/cm^2，是同类 Si 器件的 5 倍多。

SiC 器件的一个主要问题是低阻欧姆接触高温下的可靠性和稳定性。折衷的解决方法是用金和一些难熔金属混合。

5.2　SiC FETs

1984 年，首个 SiC MOSFET 由 Suzuki 等用 3C-SiC 制备。Palmour 等制造的增强型 β-SiC MOSFET，栅长 5 μm，室温下的最大跨导 0.46 mS/mm，工作温度可达 823 K。Palmour等也报道了增强型α-SIC MOSFET，其性能比β-SIC的好，工作温度可到 923 K，栅长 7 μm，室温下的跨导 2.15 mS/mm。器件跨导随温度的增加而增加。也报道了耗尽型的 FET。

SiC MESFET 和JFET具有较高的迁移率。SiC MESFET的迁移率约比MOSFET高了一个数量级。α-SiC MESFET的性能比β-SiC的好。

充分利用 SiC 独特的特性，新型 SiC FET 得到发展。SiC FET器件预期抗辐射能力优于 Si 和 GaAs 器件。

5.3　SiC双极型晶体管、负阻管、晶闸管

Muench研制的 6H α-SiC n^+-p-n^+ 双极型晶体管，基极厚度 0.8 μm，室温下 $\beta_F=4$，集电极电流 0.8 mA。采用宽带发射异质结晶体管，可以得到基于 SiC 的高发射效率低基极电阻的双极型晶体管。

Vainshtein、Dmitriev 等研制了首个 SiC 负阻管。在 p^+ 6H-SiC衬底上，外延生长 n-p^+-n^+ 的结构，用 Al 作为电极，开启时间 1 s～10 ns，恢复时间 150～200 ns，静态开启电压 10～50 V 之间，反向电压达 90 V。

由 CREE 公司设计制造 SiC 晶闸管如图 6.6-59 所示。工作参数：正向 1 200 V，可控电流密度 500 A/cm^2，电流 7 A。由于受到材料均匀性影响，反向电压最大为 250 V。

图 6.6-59　SiC 晶闸管剖面图

5.4　功率微波器件

α-SiC MESFET 最有希望用于微波器件和大功率器件。SiC 的高饱和漂移速度、高击穿场强和高热导率特性使得 SiC 成为 1～10 GHz 范围大功率微波放大器的理想材料。Palmour 等 1991 年报道的器件栅长 0.7 μm，截止频率为3.2 GHz。后续报道有 0.3 μm 栅长的 MESFET，截止频率为5 GHz，2 GHz 时增益为 12 dB。该器件跨导为 30 mS/mm。如果欧姆接触效果得以改善，器件性能更可提升。目前短沟道SiC MESFETs的特征频率已经达到 22 GHz，最高振荡频率 f 可以达到 50 GHz。

SiC隐栅JFET，尤其是α-SiC JFETs，因为不需采用受温度制约的肖特基接触，器件具有应用于高温、高功率下的潜力。为了实现微波应用，SiC隐栅JFET还应该减小寄生电容。

由于 SiC 的击穿电场强度大约为 Si 的 8 倍，所以 SiC 功率器件的特征导通电阻可以做得小到相应 Si 器件的 1/400。普渡大学制造的UMOS积累型FET的大功率优值是 Si 极限值的 25 倍。

5.5　紫外光电二极管

6H-SiC 也是最有希望的用于紫外探测的半导体材料。在 0.1～1 000 μm 波段中，6H-SiC 对波长 200～400 nm 的紫外光特别敏感，使得可以在热背景中探测到紫外信号。光响应的峰位和形状，可以通过改变耗尽区的宽度来平衡光子产生的电荷数。由于具有特别小的暗电流（$<10^{-10}\ A/cm^2$）和低噪声，基于 6H-SiC 的 p-n 结和肖特基势垒，室温下的灵敏度达到 $10^{-14}\sim10^{-13}\ W\cdot Hz^{-1/2}$。另外，高阻的 SiC 器件有可能直接工作在高达 $10^3\sim10^4\ W/cm^2$ 的辐射下。由于带宽受温度影响，温度在 295～673 K 区间变化时，响应向长波边移动，范围为 400～450 nm。

5.6　集成电路

随着大面积SiC单晶工艺成熟和分立器件技术的发展，基于SiC的耐高温、抗辐射的数字集成电路日益受到关注。SiC集成电路当前采用的是与Si、GaAs兼容的工艺技术。

普渡大学 1992 年研制成功基于反型沟道6H-SiC NMOSFETs单片数字集成电路，该芯片包含与非门、或非门、同或门、二进制计数器和半加器电路，在 25～300℃ 的温度范围内均可正常工作。

在数字逻辑电路方面，1996 年 9 月制造出第一片 6H-SiC CMOS 数字集成电路。

5.7 有关SiC器件的一些应用

5.7.1 高温下的SiC场效应化学气体传感器

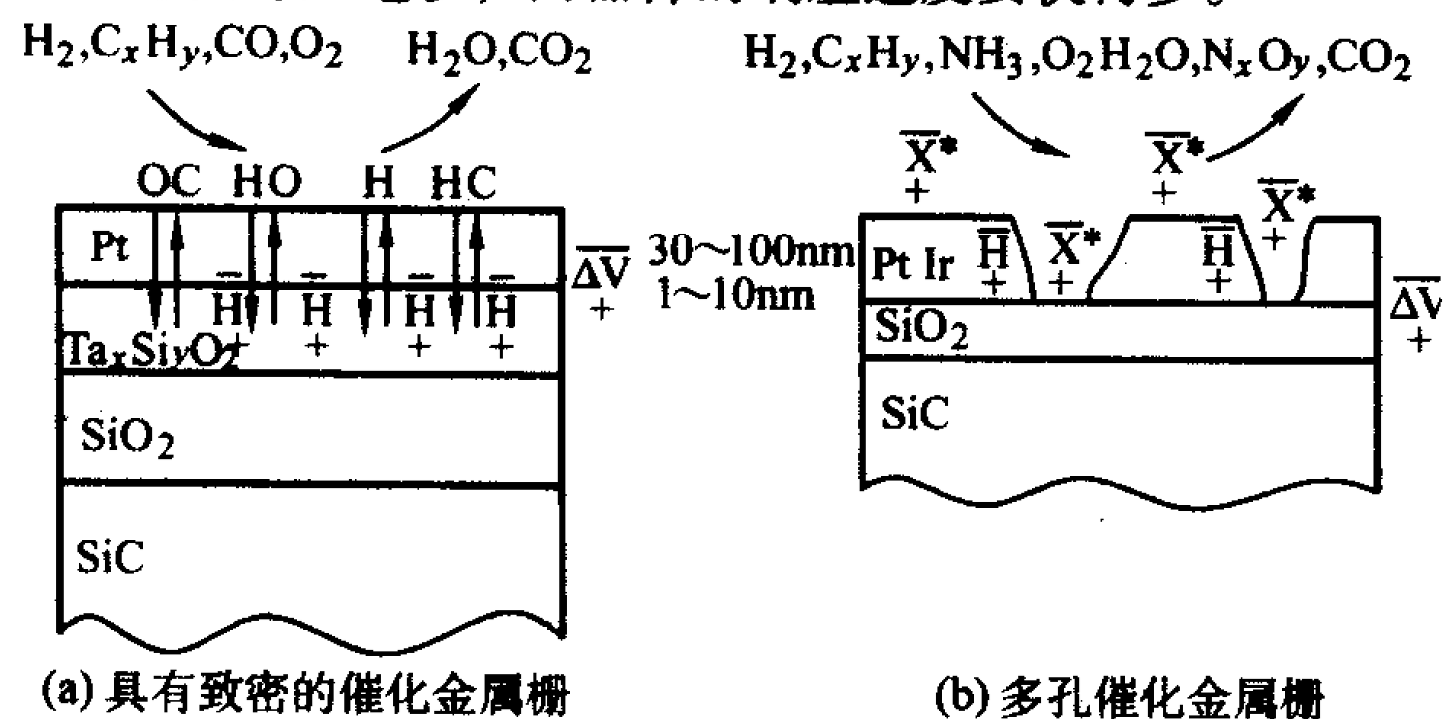
由于环境问题的日益严重，化学传感器的社会需求正快速增长。这些需求来源于集散控制领域、要求降低能源消耗的交通和工业领域，因此需要发展更快速、更高效的在线控制产品。那些可以工作在极端环境下的传感器为实现这种控制提供了可能。基于宽禁带半导体材料（例如SiC、AlN、GaN、AlGaN、金刚石等）的传感器，都具有工作在极端环境下的潜力，这种极端环境是指腐蚀性气体下和高温环境下。通过在器件表面安置催化材料，已发展了多种类型的化学气体传感器。有了这些传感器，使得在高温和腐蚀气体环境下有可能实现在线直接测量，例如通过对汽车废气的测量，可以立即反馈到系统进行油气调节，从而最大限度地节约燃料。

4H-SiC的禁带宽度为3.2 eV，允许工作温度达1 000℃，基于SiC的电子器件，通过淀积某种催化物质在SiC器件上的薄隔离层上，便可以充当化学传感器。这种器件对气体响应时间为几毫秒。

充当催化的物质，可以是金属材料，例如铂、钯、铱或者是它们的化合物。在芯片上的不同区域集成不同的传感器阵列，同时集成数据处理器，就可以使得器件能在混合气体环境中进行分辨和监测。

（1）场效应气体传感器的工作机理

传感器对气体在催化材料表面发生的化学反应的响应，与器件表面催化材料的催化过程和工作温度有关，而基本与探测器的类型无关。发生在催化物质表面的化学反应即使在600℃也要好几毫秒，而器件的响应速度要快得多。



(a) 具有致密的催化金属栅　　(b) 多孔催化金属栅

图 6.6-60　MISiC器件剖面图

（2）气体探测原理

具有催化金属电极的场效应气体传感器的探测原理是：通过催化材料分离气体分子，从而使隔离层表面的电子电荷发生变化。吸附的气体分子及反应物在金属－隔离层间形成一个极化层。这使得隔离层中的电场强度增加，从而使集中在隔离层下半导体材料中的移动电荷发生变化。

（3）场效应化学气体传感器器件（图6.6-61）

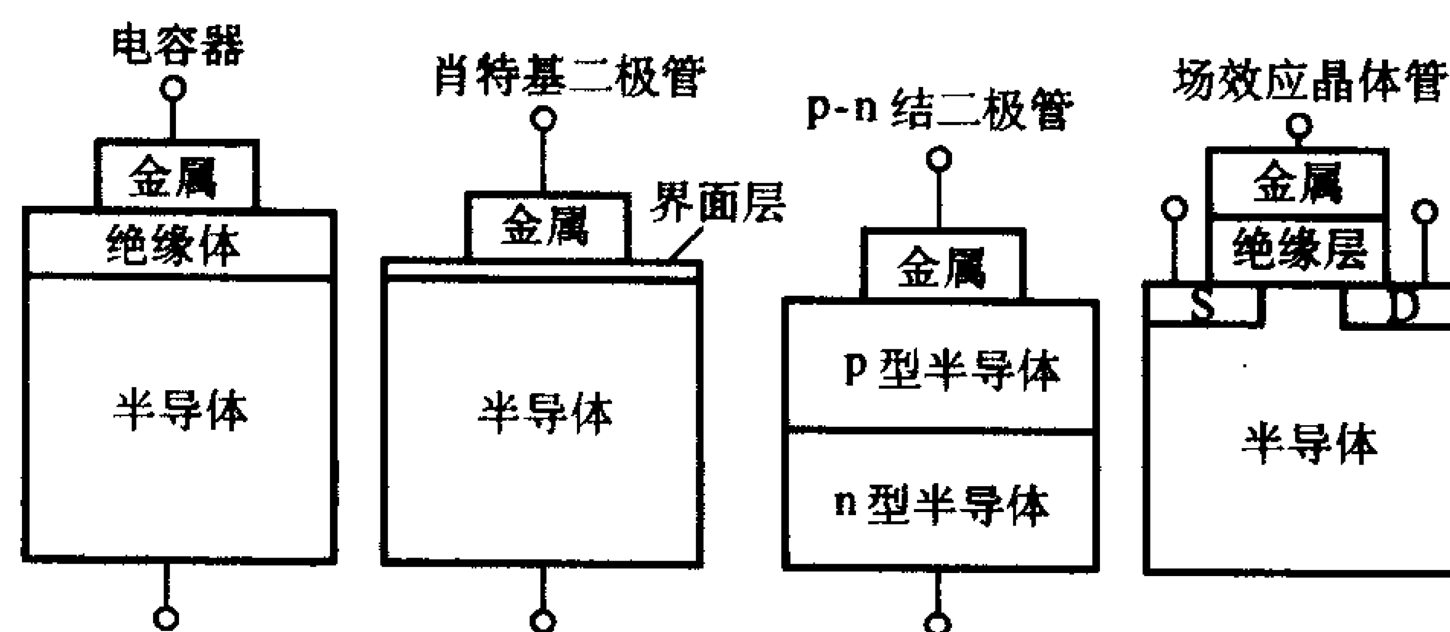
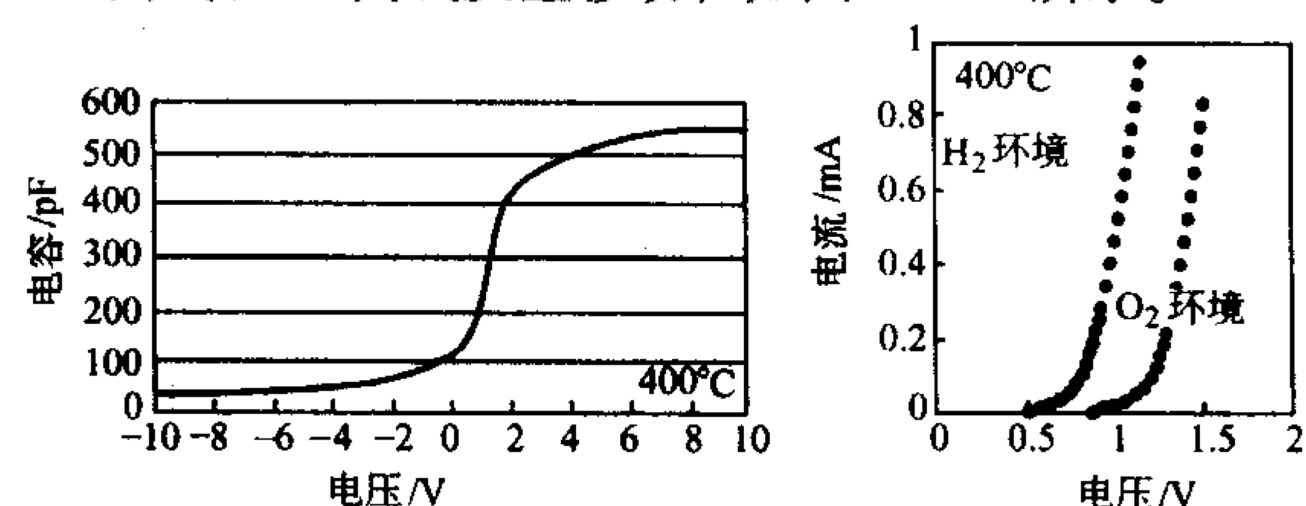


图 6.6-61　不同结构的器件

电容型SiC传感器被证明对氢、烃等气体敏感，最大测量温度可达1 000℃。MOS电容型、肖特基二极管型器件也对上述气体敏感，工作温度超过490℃。这些器件对可燃气体丙烷、丙烯、CO等敏感，且测试时温度可达640℃。

由于外围电路简单，SiC肖特基二极管型传感器得到发展。一个肖特基二极管结构是在低掺杂材料上包含一金属电极。有关的研究正在进行，当器件处于不同的气氛中，它的*C-V*曲线和*I-V*曲线发生移动，如图6.6-62所示。



(a) n型SiC上溅射上Pt的*C-V*特性　(b)多孔Pt电极的肖特基二极管*I-V*特性

图 6.6-62

有关研究表明，$BaSnO_3$/SiC器件有可能作为氧探测器使用，而不需要参考电极和参考气体。

SiC基MOS结构场效应晶体管型传感器具有很多优点，例如外围电路简单等。作为成熟的器件结构，它也许可以成为最理想稳定的气体传感器。实验表明，MISiC－FET，500℃以下，对氢、氨、烃、CO等气体敏感，结果稳定，效果理想。775℃时，对烃探测也被验证，但是，600℃以上响应信号会发生缓慢漂移。

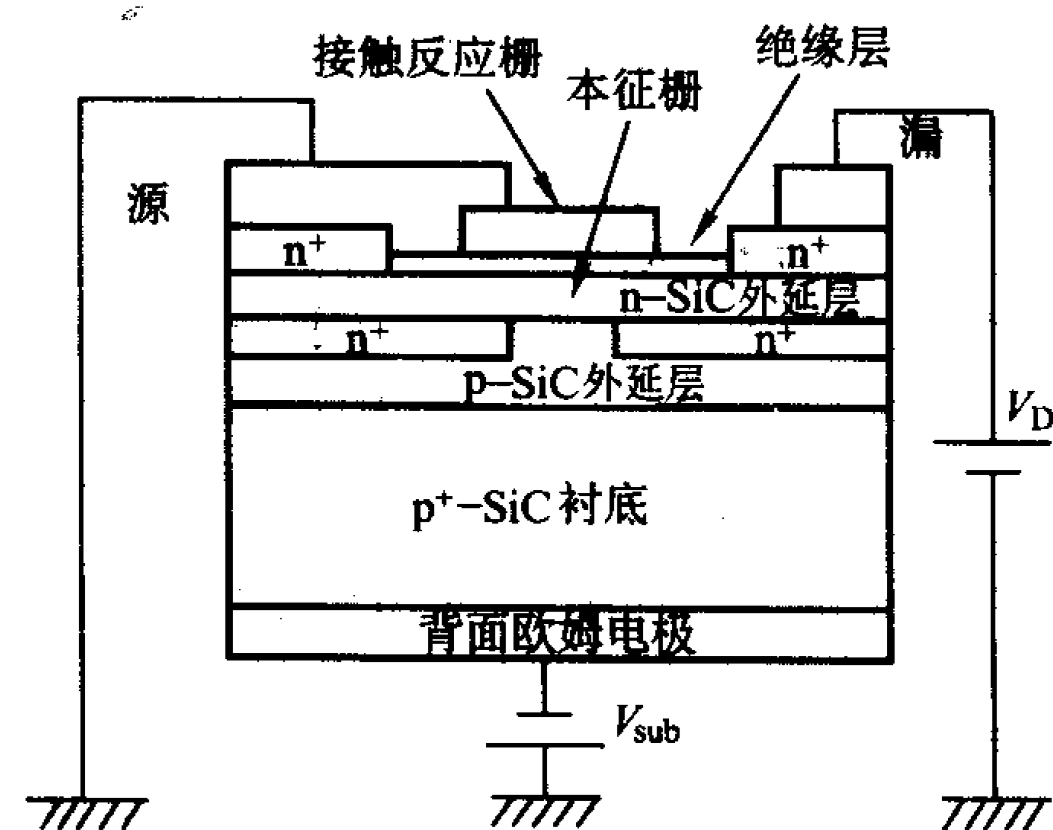


图 6.6-63　MISiC－FET　传感器的设计图

（4）应用举例

1）汽油机废气检测。基于SiC的MISiC传感器，可以用于汽车发动机汽缸内燃烧过程控制检测。工作温度在600℃以上，响应时间几毫秒，可以反馈给系统在线调节油气比例。

2）柴油机废气检测。对柴油机废气中的NO_x，NH_3，HC进行检测。工作温度可达300℃，对NH_3响应时间小于1 s。

图6.6-64表明，对氨的测量，SiC器件与光学仪器比较，非常接近。

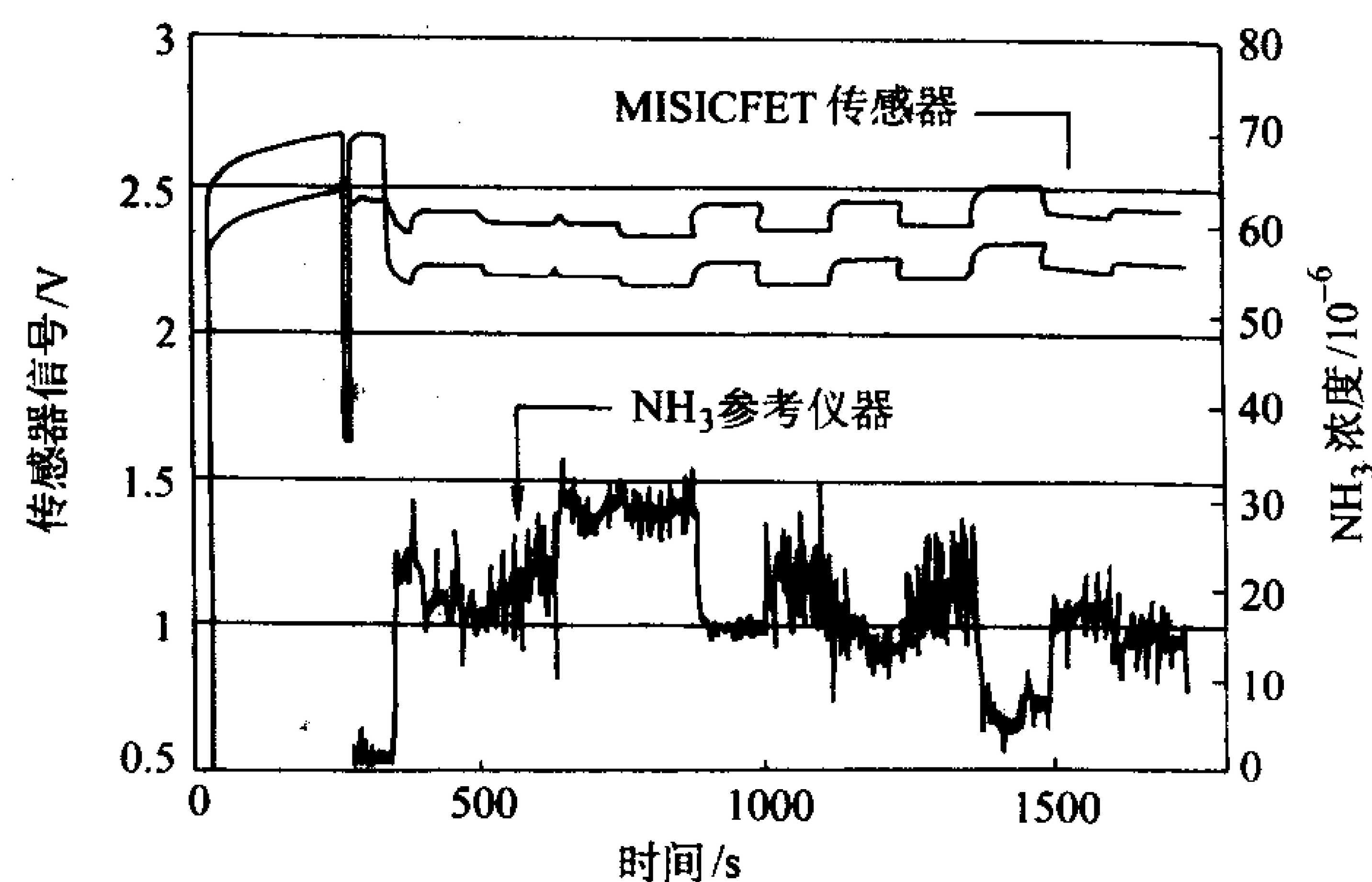


图 6.6-64　MISiC-FET 传感器测得的信号（上）和对比的光学仪器测得的信号（下）

3）烟道监测。MISiC传感器可以监测烟道气体成分，例如 CO，NO，O_2等，也可以给出不同模式下的小型燃烧过程的情况，从而得到最佳燃烧效果，而采用光学方法，既昂贵又复杂。

（5）小结

基于宽禁带材料的场效应器件传感器技术正在快速发展成熟。丰富的来源和可以适用于极端环境，使之可被用在高温、腐蚀气氛中。GaN，AlN 等比SiC具有更大的带宽，并且将来有可能发展出更重要的传感器，然而，目前它们的产品和生产工艺不如SiC的成熟。

作为化学气体传感器，许多结构的场效应器件被研究。SiC 晶体管传感器具有稳定性好和外围电路简单等优异特点。MISiC-FETs 工作温度范围广，通常在 100～700 ℃。因此可以被设计成传感器阵列，适用于很多领域，例如内燃机、气体监测。场效应器件对气体的响应取决于接触电极的催化特性。SiC材料及其生产工艺正快速成熟，有可能实现集成制造，使芯片上包含化学传感器、温度控制器、加热器电路和信号处理器电路。SiC 的高的热导率，使得片上温度即使达到 600℃，热量也可以快速传递出去。基于 SiC 的微加工技术已经证明可行。SiC 工艺提供了开发化学气体传感器的机会，从而解决目前还有待解决的对环境进行监测的有关问题，而这些技术问题的解决，有利于降低能源消耗，节约自然资源。

5.7.2 SiC 技术用于功率电子器件

（1）直流（DC-DC）转换

SiC 肖特基二极管是最早的已经商业化的功率器件，这是因为，肖特基二极管在制造上较简单，而且可以广泛地应用于开关型电源转换（SMPC）电路中。

二极管在DC－DC电路中可以扮演两个角色：整流和输出波形校正。

半导体开关效率比硬开关具有很大的优势，尤其在高频开关电路上。高频电路中，硅基 SMPC 系统（switched－mode power－conversion）能量损失的主要根源之一是开关过程。Si 基双极型二极管反向恢复时间长，导致能量损失，而Si基肖特基二极管受限于约 200 V 的工作电压。

SMPC电路中作为整形作用的Si二极管也会导致能量损失，因为二极管开关轮流工作在正向和反向状态，在转换中有较大的电流脉动。受结电容和变压器感应影响，导致输出电压过冲或发生振荡，这在高压大功率应用中是一个严重的问题。由于受Si技术电压限制，此处又不能使用快恢复Si肖特基二极管。使用硅基二极管，必须对输出电路进行调整，增加缓冲部分，所有这些都将导致能量损耗。

但是，SiC肖特基二极管反向恢复电荷非常低，因此输出部分不需要电路缓冲和复杂的整形，从而损耗低。

图 6.6-65 表明，在隔离栅双极型晶体管（IGBT）电路中，总能量损失与温度、频率的关系。例如在 100 kHz，125℃下，采用Si二极管造成的能量损失比采用SiC二极管多 2 倍。这是因为SiC二极管开关过程造成的能量损失非常小。

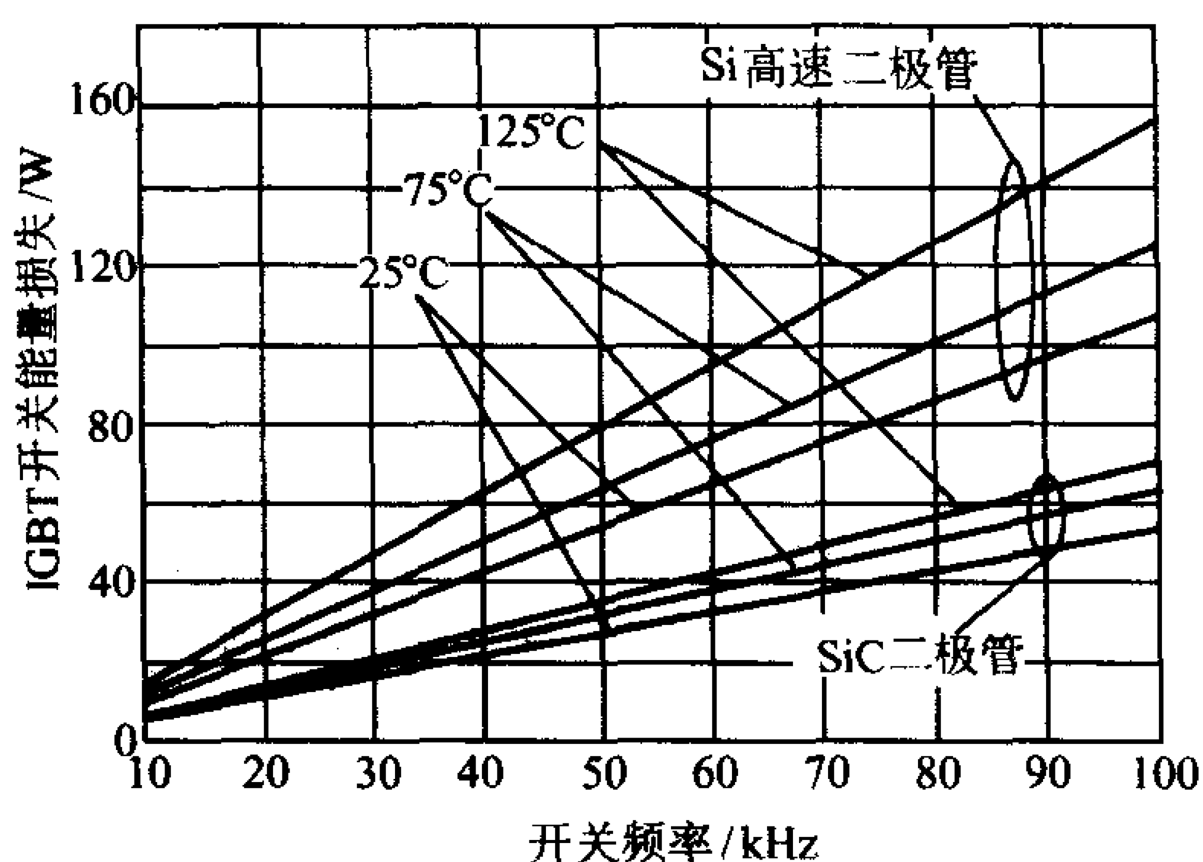


图 6.6-65 能量损失比较

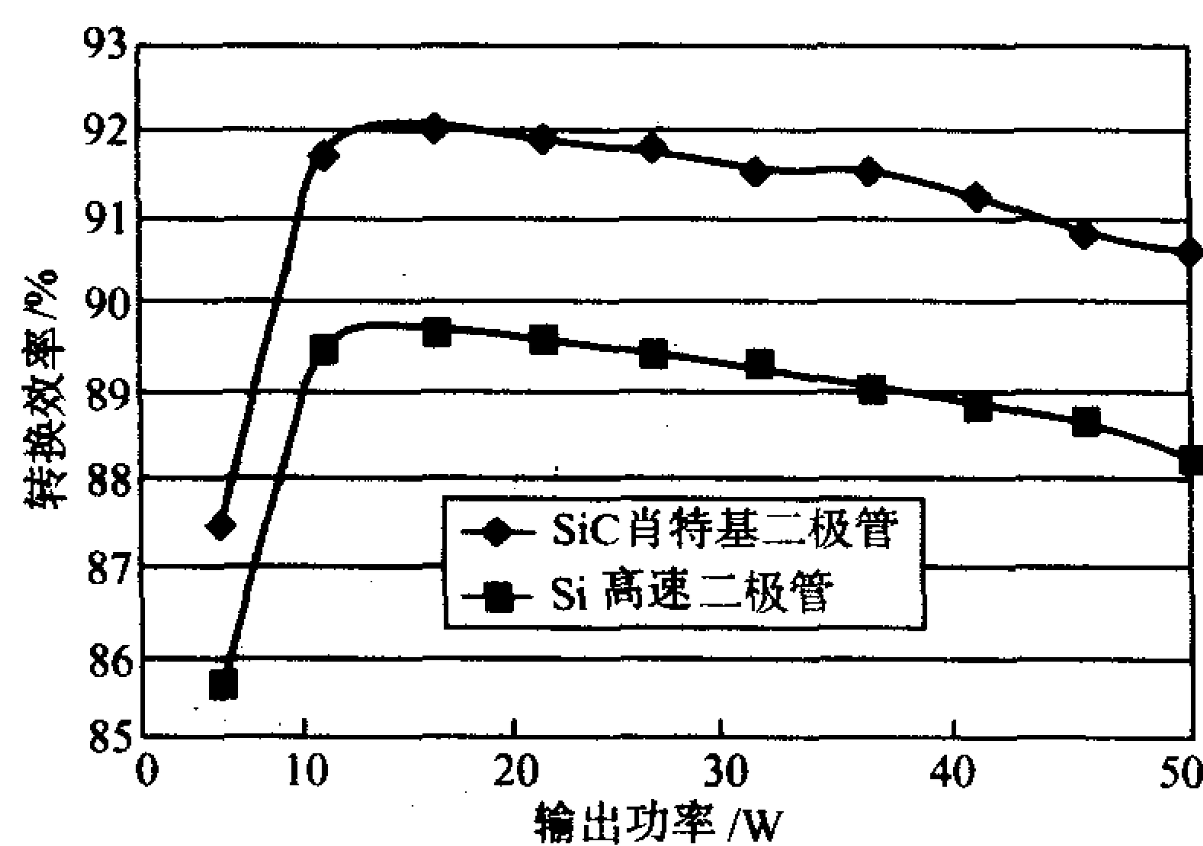


图 6.6-66 输出能量和转换效率的关系

在一个 500～100 V 的简单的转换电路中，采用 Si 二极管，转换效率为 81%～85%，而采用SiC二极管，转换效率为 87%～89%，见图 6.6-66。

（2）直流－交流(DC-AC)转换

现代电子工业中，需要合成交流源，电源转换是一个重要应用领域。其中高速马达和不间断电源是两个主要应用方向。作为电源转换的SiC器件，具有工作在极端环境下的潜力，尤其是面向军用、航空、交通等。现在利用 IGBT 和 MOSFET 进行电源转换所遇到的一些问题，利用SiC器件都可解决。特别是，SiC二极管被证明反向恢复时间可以大幅降低，因此，基于SiC器件的电源转换可以改善效率，并可在高温环境下应用。

（3）脉冲电源的应用方面

由于SiC独特的特性，例如高的电压击穿强度和高的热导率，SiC在脉冲能量开关方面比 Si 器件具有更大的优势。在脉冲电源应用中，在开关过程中，快速上升时间和高峰值电流，产生高能量的损耗。具有高热导率的SiC有助于迅速将热量从器件内部传递出去。

编写：韩　平（南京大学）
胡立群（南京大学）
胡小波（山东大学）
徐现刚（山东大学）

第7章 金刚石半导体

金刚石是所有天然物质中最硬的材料，而且在热、电、声、光等其他方面所显示出的优越性能，具有特殊的物理、化学性质。天然金刚石在自然界非常稀少，价格昂贵。在电子工业应用上，主要是人工合成金刚石，特别是金刚石薄膜。

在20世纪50年代中期，人们用高压5~10 GPa（50~100 kbar）、高温（1 500~2 000℃）技术（HPHT）首次成功地合成了金刚石，并达到商业化应用的水平。在工业上所消费的金刚石中，90%以上是由HPHT方法制造的。但是HPHT方法合成的金刚石呈离散的单晶粒状态，主要用于制造切割、切削工具和首饰。为了能使金刚石薄膜成功地运用于电子元器件，必须研究出高质量、低成本的制造工艺，以便能在衬底上沉积出连续生长的金刚石单晶薄膜。制造金刚石薄膜所遇到的问题是，很难在表面能量较小的衬底上形成连续生长的金刚石膜。苏联、美国等国家的科学家已先后在低压下利用热解 CBr_4 或 CH_4 的方法实现了金刚石多晶薄膜的沉积。虽然这种方法生长金刚石的速度非常缓慢（0.1 nm/h），但却使人们看到了在低压下合成金刚石的可能。60年代末期，人们又发展了化学输运反应法（chemical transport rgeaction），使金刚石的合成速率提高了几个量级至1 μm/h，从而激发了世界各国科研人员的研究兴趣，使金刚石的合成方法有了很大的改进。至今取得令人瞩目的发展，已经研究出多种金刚石膜制备方法并制备出性能优异的大面积金刚石薄膜。目前，合成金刚石的常用方法有：热丝CVD法、射频等离子体CVD法、直流弧光等离子体CVD法、微波等离子体CVD法和火焰燃烧法等，可得到质量很高的金刚石膜，而且最高的沉积速率可达930 μm/h。尽管金刚石薄膜的制造工艺还不够十分完备，其面世也不过十几年，但据有关专家预测，21世纪初，金刚石薄膜的制造工艺将会相当成熟，它将给人类尤其是电子领域带来极大的技术变革。

金刚石薄膜具有许多优良的特性，其表现为：①禁带宽度为5.5 eV，比碳化硅（2.8 eV）的禁带宽；②具有 10^6~10^{12} Ω·cm的电阻率，可以作为半导体乃至绝缘体材料，同时，介电常数低；③它是与硅、锗等半导体材料具有相同结构的一种晶体，因此，它被电子工业界视为最有希望的新一代半导体芯片材料。采用金刚石薄膜制成的计算机芯片，在工作时能保持较低的温度，同时，比砷化镓产品具有更为优越的传输速度和抗干扰性能；④在常温下，金刚石薄膜的导热速度很快，其热导率高达12 W/（cm·K）以上，几乎是纯铜的3倍；⑤透明度很高，可以透过从紫外线到红外线的各种波长的光线；⑥导声速度快，为15 000~16 500 m/s，是钛基材料的1.7倍；⑦化学稳定性极好，并且耐腐蚀、抗辐射，特别适用于军用和其他恶劣的环境。由于金刚石薄膜集力学、电学、热学、光学等优异特性于一身，使其在高新科学技术领域中，特别是在电子技术中得到广泛应用，因此，它被公认为是最有发展前途的新型电子材料。利用金刚石薄膜可以制成高电压的高速光电开关、p-n二极管、晶体管、紫外线传感器、激光传感器、热敏电阻等许多电子元器件。同时，它也是一种优异的高温半导体材料。此外，金刚石薄膜还将使超大规模和超高速集成电路的发展进入一个新的时代。

1 金刚石半导体材料的结构与特性

1.1 金刚石结构

金刚石由碳一种原子构成，其晶格是一个复式格子。金刚石结构的结晶学原胞如图6.7-1所示，在一个面心立方原胞内有四个碳原子，这四个原子分别位于四个空间对角线的1/4处。金刚石中碳原子的结合是由于碳原子外壳层的四个价电子2 s、$2p^3$ 的杂化而形成共价键（sp^3）。每个碳原子和周围四个碳原子共价，一个碳原子在正四面体的中心，另外四个同它共价的碳原子在正四面体的顶角上，中心的碳原子和顶角上每一个碳原子共享两个价电子。在正四面体中心的碳原子价键的取向，同顶角上的碳原子是不同的，若一个的价键指向左上方，则另一个的价键必指向右下方，如图6.7-1所示。由于价键的取向不同，这两种碳原子的周围情况也不同，即图6.7-1中立方体的顶角及面心上碳原子的周围情况不同于在对角线上四个碳原子的情况。因此，金刚石结构是个复式格子，由两个面心立方的布喇菲原胞沿其空间对角线位移1/4的长度套构而成。

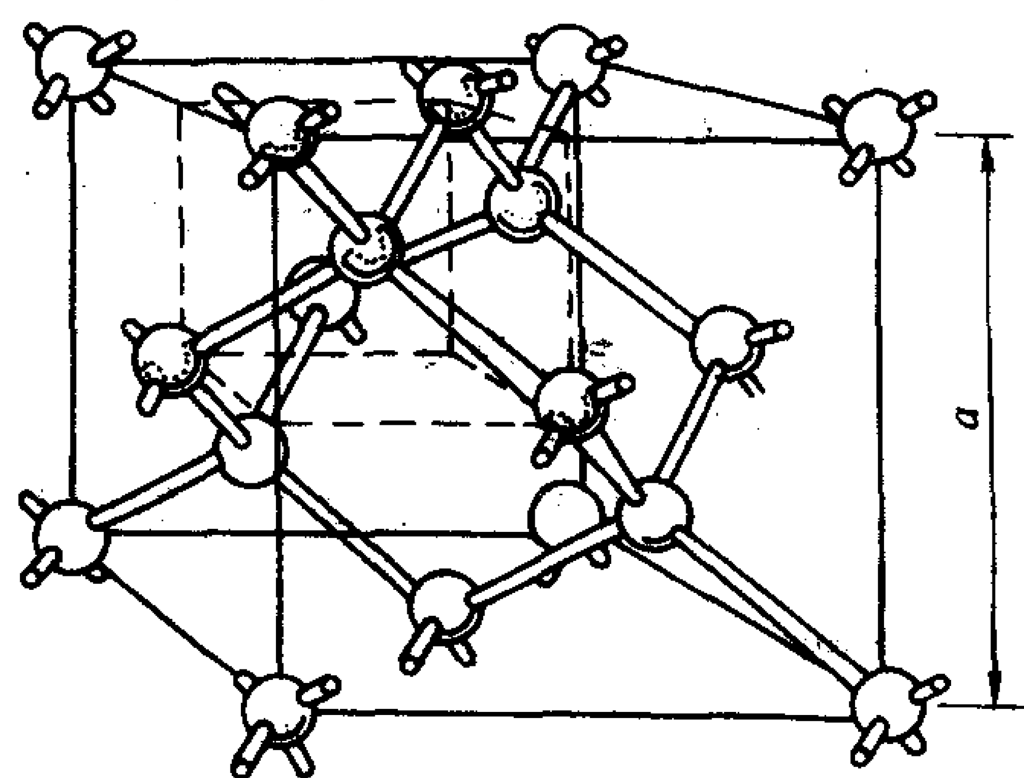


图6.7-1 金刚石结构

金刚石结构的特点如下。

1）金刚石结构是属于面心立方点阵，它的结晶学元胞可以看作是两个面心立方晶胞沿空间对角线位移 $\frac{1}{4}$ 套构而成的。

2）金刚石结构的晶胞是由十八个原子组成的（见图6.7-1），等效看来，一个惯用晶胞只独占了八个原子，这八个原子的坐标是：(000)，$(\frac{1}{2}\frac{1}{2}0)$，$(\frac{1}{2}0\frac{1}{2})$，$(0\frac{1}{2}\frac{1}{2})$，$(\frac{1}{4}\frac{1}{4}\frac{1}{4})$，$(\frac{1}{4}\frac{3}{4}\frac{3}{4})$，$(\frac{3}{4}\frac{3}{4}\frac{1}{4})$，$(\frac{3}{4}\frac{1}{4}\frac{3}{4})$。

3）原子体密度为 $8/a^3$。

4）最小重复单元是正四面体，围成正四面体的四个面属于{1 1 1}，六条交线为<110>向，晶面之间的夹角为70°32′。

固体物理学中原胞的取法同面心立方的布喇菲原胞的取法相同，原胞中包含两个不等同的碳原子（000），$(\frac{1}{4}\frac{1}{4}\frac{1}{4})$。

5）金刚石结构排列较空，原子填充的有效空间约占晶胞总体积的34%，有较大的空隙（由四个体对角线上的原子组成的正四面体），另一种是六角形空隙（由四个面心原子和两个体对角线上的原子构成）。

6）具有层状结构的特点。沿<111>方向，可以显示出一系列{1 1 1}晶面簇A-α-B-β-C-γ-A，A、B、C属于一个面心立方，α、β、γ属于另一个面心立方（为双原子层）。

7）晶面间距。面心立方：{100}为 $\frac{a}{2}$；{110}为 $\frac{\sqrt{2}}{4}a$；{1 1 1}为 $\frac{\sqrt{3}}{3}a$。

金刚石：{100} 为$\frac{a}{4}$；{110} 为$\frac{\sqrt{2}}{4}a$；{111} 为双原子层，面间距分别为$\frac{\sqrt{3}}{4}a$ 和$\frac{\sqrt{3}}{12}a$。

8）密排面、密排向。{1 1 1} 为密排，是能量最低面，最稳定。由于 {1 1 1} 面间距大，键作用弱，垂直〈1 1 1〉方向容易切割，{1 1 1} 是天然解理面。〈110〉方向原子排列最密，是密排向。

金刚石的宏观晶体形态是多种多样的，通常所见的晶形是八面体、菱形十二面体，其次是立方体。在气相沉积金刚石薄膜的显微形貌中，常出现多种的晶体形态，不同形态的出现，完全与气相沉积过程中的工艺参数密切相关。由于金刚石特殊的晶体结构，就使金刚石具有许多优异的性能。

1.2 类金刚石材料的相结构

类金刚石膜（Diamond-like Carbon Films，DLC）是含有金刚石结构（sp^3 键）的非晶碳膜，有许多与金刚石膜相似的性能，沉积温度较低，沉积面积大，膜面平整光滑，工艺比较成熟，因而已经在很多领域得到应用；特别是在某些要求沉积温度低、膜面光洁度高的场合，如计算机磁盘、光盘等的保护膜，只有 DLC 膜才能胜任。因此，在十多年前 DLC 膜的开发研究就已引起了许多材料工作者的极大关注，并已走向工业化。

非晶碳膜因其碳杂化态和含氢量的不同，有多种名称，如 α-C、Ta-C、α-C:H、DLC 等等。在非晶碳薄膜的研究中，主要关心碳的 sp^3，sp^2，sp^1 三种杂化态的含量（图 6.7-2）。含 H 的薄膜往往又称为 α-C:H，其 sp^3 键含量一般小于 50%。Ta-C 往往指不含 H，且 sp^3 键含量高于 70% 的薄膜（图 6.7-3）。而 DLC 膜指含 H 的 sp^3 键含量可达 75% 的非晶碳膜。DLC 为低迁移率半导体，其带隙可变（1～4 eV），具有室温下的光荧光效应和低电子亲和势、良好的抗磨损性能、低摩擦系数、良好的热导性、红外透过性及高硬度，其性质主要由 sp^3/sp^2 含量决定。此外，DLC 还是很好的生物兼容性材料。DLC 中 sp^3 键与金刚石中相似，形成四面体配位，sp^2 键与石墨中相似，形成面内三角形配位的强 σ 键，电子在垂直 σ 键面的 p_z 轨道形成弱的 π 键。对于 sp^1 键，两电子形成强 σ 键，另两个电子在 p_y，p_z 轨道形成弱 π 键。不同的制备方法和不同的工艺条件对 DLC 的性能影响较大。

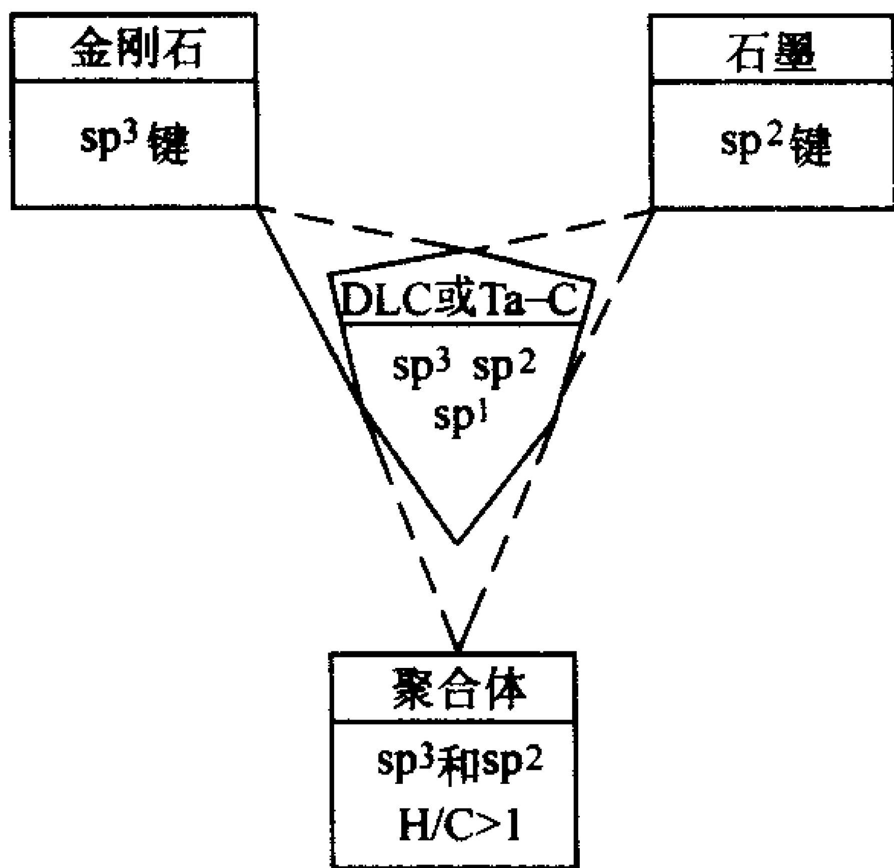


图 6.7-2 碳的三种杂化态

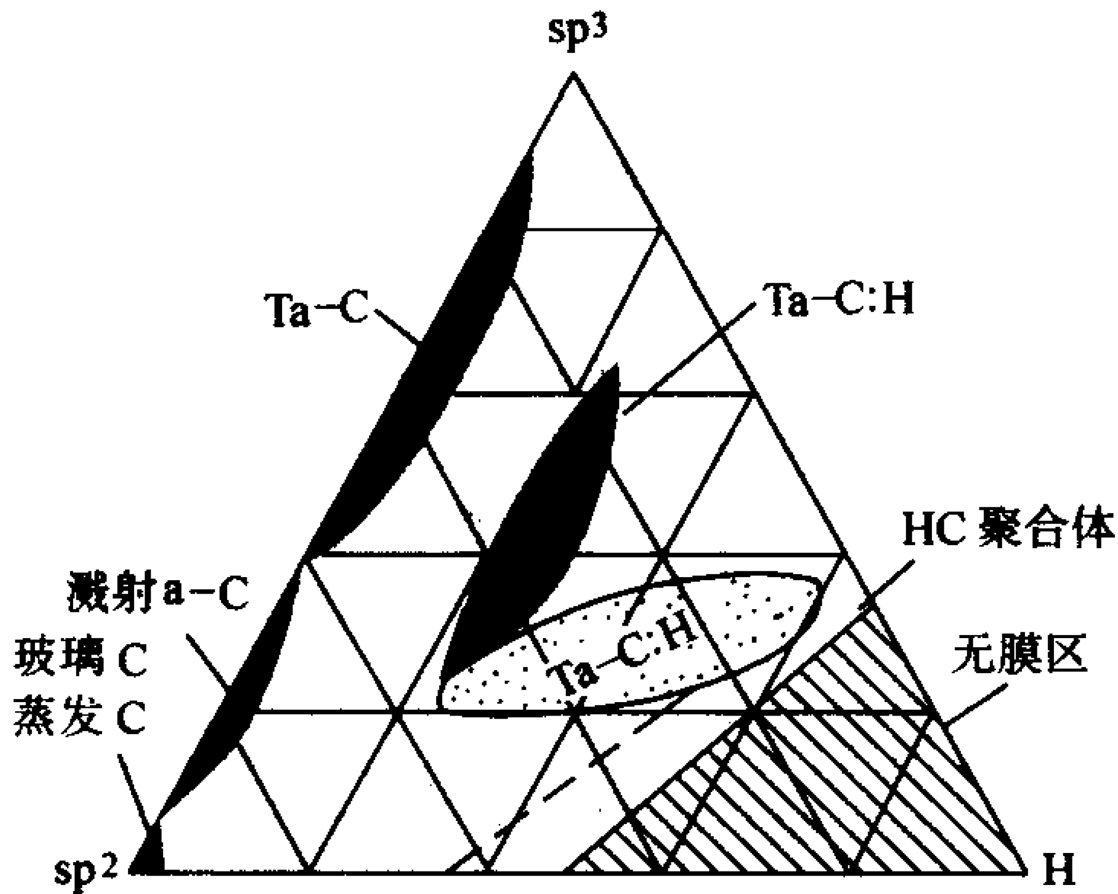


图 6.7-3 DLC 的相图

1.3 金刚石的特性

金刚石是自然界中最硬的物质，在力学、电学、热学、光学等方面还有许多独特的性质，如表 6.7-1 所示。表 6.7-1 中还同时给出了 β-SiC，GaAs 及 Si 的性质进行比较。

表 6.7-1 金刚石和 β-SiC，GaAs 及 Si 性质的比较

性　质	金刚石	β-SiC	GaAs	Si
晶格常数/nm	0.356 7	0.435 8	0.565	0.543 0
线胀系数/$10^{-6}K^{-1}$	1.1	4.7	5.9	2.6
密度/$g\cdot cm^{-3}$	3.515	3.216		2.328
熔点/℃	4 000	2 540	1 238	1 420
带隙/eV	5.54	3.0	1.43	1.1
饱和电子速率/$10^7 cm\cdot s^{-1}$	2.7	2.5	1.0	1.0
电子迁移率/$cm^2\cdot (V\cdot s)^{-1}$	2 200	400	8 500	1 500
空穴迁移率/$cm^2\cdot (V\cdot s)^{-1}$	1 600	50	400	600
击穿电压/$10^5 V\cdot cm^{-1}$	100	40	60	3
相对介电常数	5.5	9.7	12.5	11.8
电阻率/Ω·cm	10^{13}	150	10^8	10^3
热导率/$W\cdot (cm\cdot K)^{-1}$	20	5	0.46	1.5
吸收带边/μm	0.2	0.4		1.4
折射率	2.42	2.65	3.4	3.5
硬度/MPa	980 000	34 300	5 880	9 800
Johnson 系数/$10^{23} W\cdot \Omega\cdot s^{-2}$	73 856	10 240	62.5	9.0
Keyse 系数/$10^2 W\cdot (cm\cdot s\cdot K)^{-1}$	444	90.3	6.3	13.8

1）力学性能　金刚石具有极优异的力学性能。表 6.7-2 是天然金刚石和金刚石薄膜的主要力学性能。金刚石是目前已知材料中硬度最高的材料。现今，金刚石薄膜的硬度已基本达到天然金刚石的硬度。

表 6.7-2 金刚石的主要力学性能

力学性能	天然金刚石	CVD 金刚石薄膜
硬度/GPa	100	70～100
密度/$g\cdot cm^{-3}$	3.515	2.8～3.5
熔点/℃	4 000	接近 4 000
弹性模量/GPa	1 200	1 050
泊松比	0.2	
热冲击系数/$W\cdot m^{-1}$	10^7	
摩擦系数	0.08～0.1	
断裂韧性/$MPa\cdot m^{1/2}$	约 3.4	1～8
抗拉强度 σ_b/GPa	约 3	0.2～0.4
线胀系数/$10^{-6}K^{-1}$	1.0（300 K） 2.7（500 K） 4.4（1 000 K）	1.0（300 K） 2.7（500 K） 4.4（1 000 K）

2）电学性能　金刚石具有优异的电学性能，表 6.7-3 列出了天然金刚石和金刚石薄膜的主要电学性能（详细的讨论在第 4 节）。

表 6.7-3　金刚石的主要电学性能

电学性能	天然金刚石	CVD 金刚石
禁带宽度/eV	5.54	5.45
电阻率/Ω·cm	10^{16}	$>10^{12}$
击穿电压/V·cm^{-1}	3.5×10^{6}	
电子迁移率/cm^2·（V·s）$^{-1}$	2 200	
空穴迁移率/cm^2·（V·s）$^{-1}$	1 600	
饱和电子漂移速度/cm·s^{-1}	2.5×10^{7}	
相对介电常数	5.5	5.5
中子蜕化横截面/mb	3.2	
产生电子空穴对能量/eV	13	
质量密度/g·cm^{-3}	3.515	2.8～3.5
热导率/W·（cm·K）$^{-1}$	20	10～20

金刚石作为宽带隙半导体电子材料，带隙达 5.5 eV。具有高的击穿电压（10^6～10^7 V/cm^{-1}），击穿电压比 Si 和 GaAs 高两个量级；高的电子、空穴迁移率［2 000 cm^2/（V·s）和 1 800 cm^2/（V·s）］，特别是空穴迁移率比单晶硅、GaAs 高得多；高的电子饱和速度（2×10^7 cm^2/s）；小的介电常数（5～7）；约翰逊（Johnson）指标（$E_b V_{sat}/2\pi$）和 Keyse 指标［$\sigma_T(V_{sat}/K)^{1/2}$］均高于 Si 和 GaAs 10 倍以上，这两个指标是衡量大功率高频器件应用和高频、高压开关、高集成度应用性能的参数。用 CVD 法掺硼制成的 p-型金刚石薄膜，其电阻率可达 10^{-2}Ω·cm。而 n-型掺杂比较困难，电阻率仅可改变几个量级，达 10^2Ω·cm。目前已研制出金刚石薄膜场效应晶体管和逻辑电路。这些器件可在高温（600℃）下正常工作，成为高温半导体器件。由于宽带隙，可用于蓝光发射、紫外光探测、低漏电流器件。然而，金刚石薄膜作为半导体电子学应用必须解决两个关键技术：控制掺杂和单晶异质外延。在这些方面的研究都取得了一定的进展，但还存在着不少问题。例如：n 型掺杂机理及掺杂技术，异质外延方面只能用微波法加直流偏压法得到高度取向膜（使 96% 的金刚石晶粒均保持在［100］取向）。金刚石还具有十分强的抗辐射能力，作为耐强辐射材料和器件，可在宇航飞船和原子能反应堆等强辐射环境中正常工作。

3）热学性能　金刚石具有最高的热导率。表 6.7-4 是金刚石的热学性能。金刚石膜的热导率现今已基本上接近天然金刚石的热导率。金刚石由于电阻率高，可作为集成电路基片和绝缘层以及固体激光器的导热绝缘层。近几年来，高导热金刚石薄膜制备技术的发展，使金刚石热沉在大功率激光器、微波器件和集成电路上的应用变成现实。金刚石热导率高、热容小，尤其是高温时的散热效能更为显著，是散热极好的热沉积材料，市场上已有金刚石膜的热沉产品出售。

表 6.7-4　金刚石和几种高导热材料的热学性质

材料		热导率/W·(cm·K)$^{-1}$ 理论	单晶	多晶	线胀系数 10^{-6}K^{-1}	电阻率 /Ω·cm	介电常数
金刚石	人造Ⅰb	20	20		2.3	约 10^{16}	5.7
	天然Ⅱa	20	20		2.3	约 10^{16}	5.7
	天然Ⅰb		10		2.3	约 10^{16}	5.7
CBN		13		6.0	3.7	$>10^{11}$	57
SiC		4.4	4.9			10^{13}	10
BeO		3.7		2.4	8.0	10^4	2～6
AlN		3.2	2.0	2.0	4.0	10^{14}	
Ag				4.3	19.1	1.6×10^{-6}	
Au				3.2	14.1	2.3×10^{-6}	
Cu				4.0	17.0	1.7×10^{-6}	
Mo				1.4	5.0	5.7×10^{-6}	

4）光学性能　金刚石的光学性质见表 6.7-5。除大约在 3～5 μm 位置存在微小吸收峰（由声子振动所引起）外，从紫外（0.22 μm）到远红外（毫米波段）整个波段金刚石都具有高的透过率，是大功率红外激光器和探测器的理想窗口材料。其折射率高，可作为太阳能电池的防反射膜；金刚石的高透过率、高热导率、优良的力学性能、发光特性和化学惰性，可作为光学上的最佳应用材料，诸如各种光学透镜的保护膜。

表 6.7-5　金刚石的光学性能

光学性能	性　能
透明性	225 nm→远红外
光吸收	0.22
折射率	（5 900 nm）0.241
禁带宽度	5.45 eV
热导率	20 W/（cm·K）$^{-1}$

金刚石薄膜材料是 21 世纪最具有发展前途的新型功能薄膜材料之一。图 6.7-4 示出了金刚石膜同几种常用半导体（Si、GaAs、SiC）的光透射、电导率和硬度特性范围的比较。

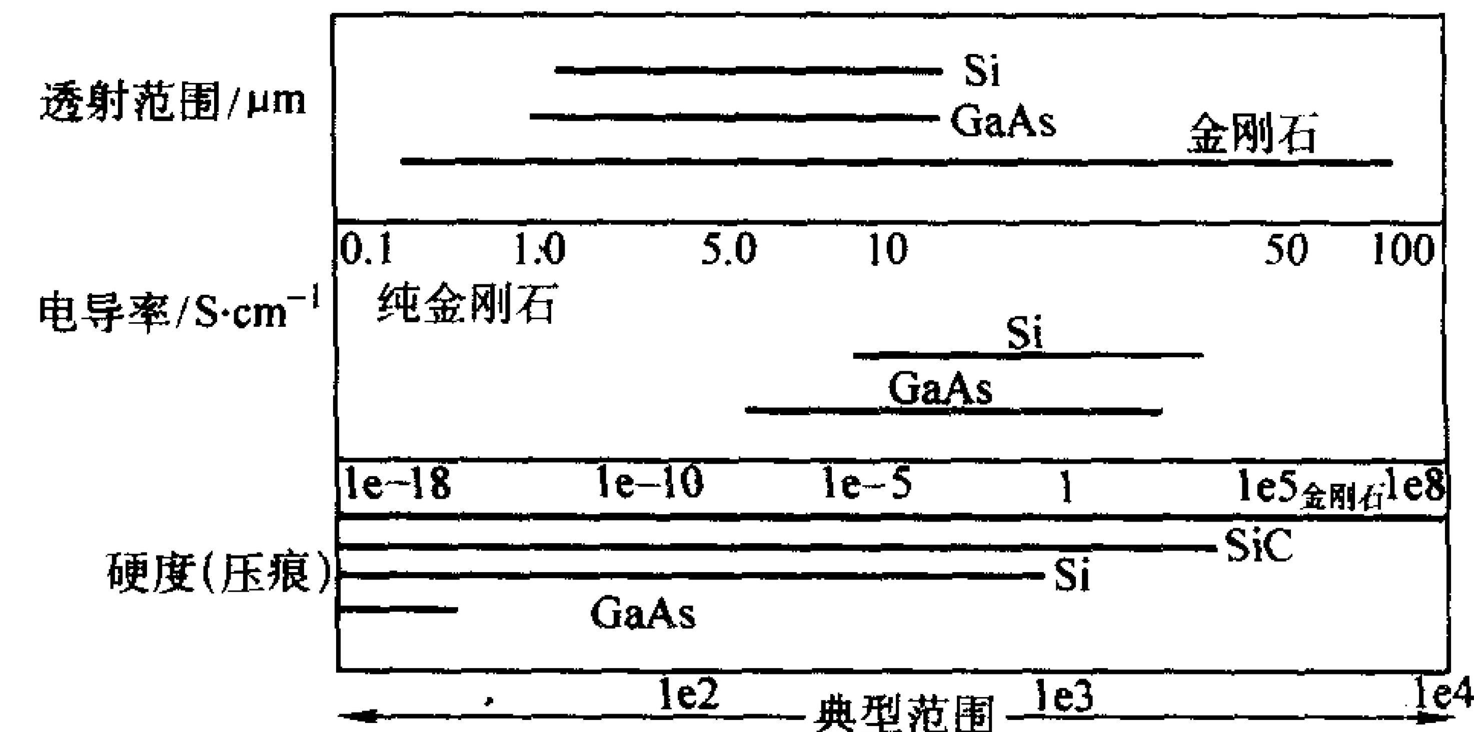


图 6.7-4　几种常用半导体和金刚石的光透射、电导率和硬度的特性范围比较

2　金刚石材料的制备

金刚石和石墨都是碳的热力学稳定态同素异形体。尽管在室温与常压下，金刚石与石墨间的标准焓差只有 2.9 kJ/mol，但是，实现这种转换所需克服的势垒极其困难。然而当克服这种势垒后，金刚石一旦形成，不能自发地转换成更稳定的石墨相。即金刚石是一种碳的热力学亚稳态同素异形体，是一种动力学上的稳定态。

最早合成出金刚石采用的方法是高温高压法（HPHT），这种方法合成的金刚石也叫 HPHT 金刚石。在这种工艺中，以石墨为原料，引入适宜的金属催化剂，在 2 000 K 温度以上和几万个大气压下，合成出金刚石。用这种方法合成出的金刚石主要是利用其优越的力学性能，用于机械和非金属材

料的加工。

为了充分发挥金刚石的优异性能，人们一直在努力探索合成金刚石的其他方法。1953～1969 年期间，W.G.Eversole 和 B.V.Deryagin 进行了在低压下热分解含碳的气体合成金刚石的实验，使用的衬底材料是天然金刚石。在实验中金刚石的生长速率极低，得到的只是含有极少量金刚石与大量石墨的混合相，其间实验进展缓慢。到了 20 世纪 60 年代末，J.-C.Angus 小组在实验中发现，在热分解气体工艺中，原子氢可以优先刻蚀石墨，随后俄国的科学家研究发现，用这种化学气相沉积（CVD）方法，可以在非金刚石衬底上生长出金刚石。1982 年日本无机材质研究所（NIRIM）的科学家，建立了用于金刚石合成的新反应器。在非金刚石衬底上可以生长出高质量的金刚石膜，生长速率可达 1 μm/h。此后，该研究小组又建立了金刚石低压合成的微波等离子体反应器，而且可以生长出更好的金刚石膜。目前，用于 CVD 金刚石合成的方法主要有微波等离子体 CVD（MP CVD）法、等离子体喷射 CVD（P jet CVD）法和热丝 CVD（HF CVD）等方法。

2.1 微波等离子体法

1）NIRIM 反应器 NIRIM 反应器的几何原理如图 6.7-5 所示，这种反应器首先是由日本国立无机材质研究所发明的。20 世纪 80 年代末期金刚石膜的 MPECVD 均是使用这种反应器，它具有简单和方便使用的特点，受到工业界和学术界的广泛使用。

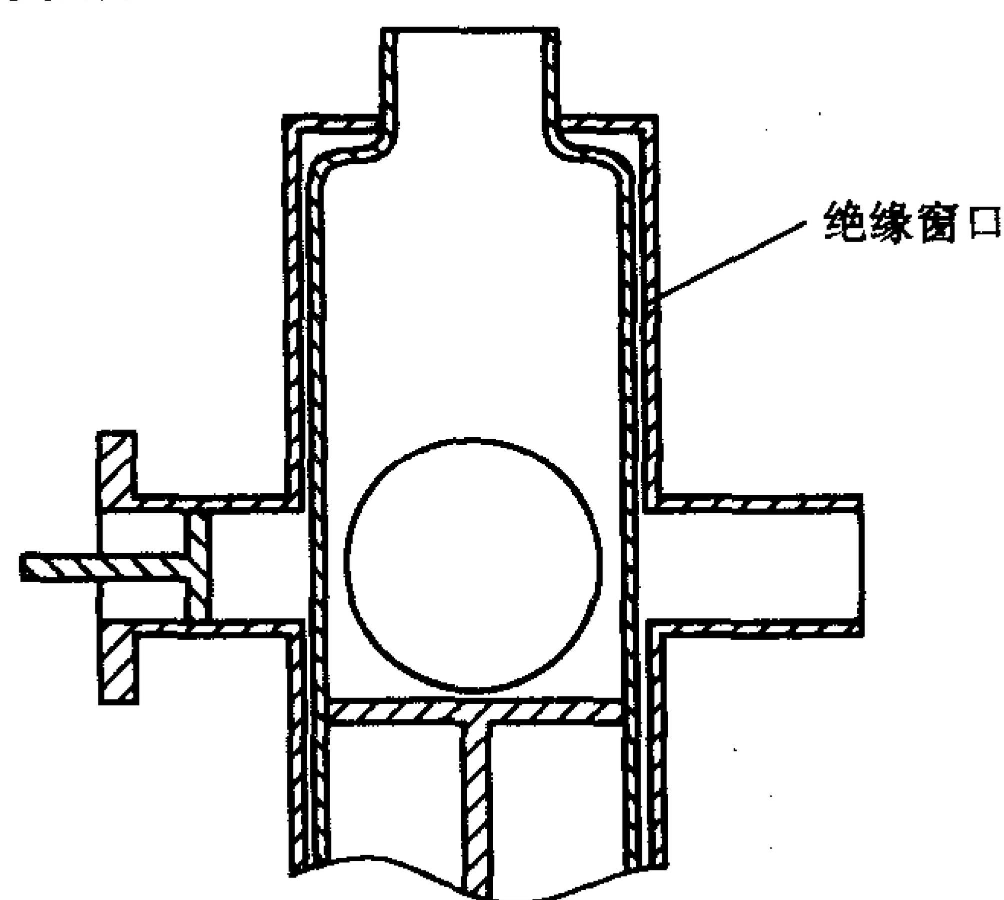


图 6.7-5 NIRIM 反应器示意图

这种反应器非常简单，等离子体放电腔是一个 $\phi 45$ mm 的石英管。该管从矩形波导的宽边中插入，微波频率是 2.45 GHz。这种反应器是一种单模反应腔，工作模式是 TE_{10} 模。在波导的末端是一个短路活塞，通过它可以调整等离子体在放电管中的位置。在放电腔与微波源之间有三销钉调配器，其主要作用是确保微波能量能被等离子体负载有效地吸收。沉积金刚石膜的衬底从放电腔的下部送入，并放在一个介电杆上。

尽管这种反应器设计简单，使用方便，但是它有以下几方面的不足：①沉积面积太小，只有 1～2 cm^2；②等离子体与放电管距离太近，易在金刚石膜中引入不希望的杂质；③衬底的温度取决于样品台的位置、微波功率水平和气体压力，不能独立地控制；④能量耦合和工作压力不能太大，否则等离子体易熄灭。这些就导致了薄膜的沉积速率太小，产率较低，一般小于 0.5 mg/h。

2）高压微波等离子体反应器 20 世纪 90 年代初，P.K.Bachmann 等发展了一种微波反应器，它可以克服 NIRIM 反应器设计上的不足。这种结构的反应器如图 6.7-6 所示，由应用科学技术公司（ASTex）进行了商业化生产。在这种反应器设计中，微波通过一个介质窗（石英）耦合进水冷的金属谐振腔中，谐振腔的内径在设计上要保证在 2.45 GHz 时形成一种微波的径向模式，衬底放在高频加热的样品台上，可以相对独立地控制样品的温度。这种反应器中沉积的衬底直径可达 10 cm，耦合到等离子体中的微波功率可大于 1.5 kW。目前微波功率水平可达 5 kW，需要对样品台进行水冷。这种设计是把矩形波导传输的 TE_{10} 模式转换为 TM_{01} 圆柱形模式，保证了等离子体球只在样品台上形成，而且比较容易形成稳定的等离子体。但是由于电磁场的轴向分布特征，当压力较低时，易在输出窗附近形成辉光放电，易将输出窗打破。另一方面，由于选择的是 TM_{01} 模式，所沉积的金刚石膜的径向均匀性较差，特别是当衬底的直径大于等离子体直径时更为明显。

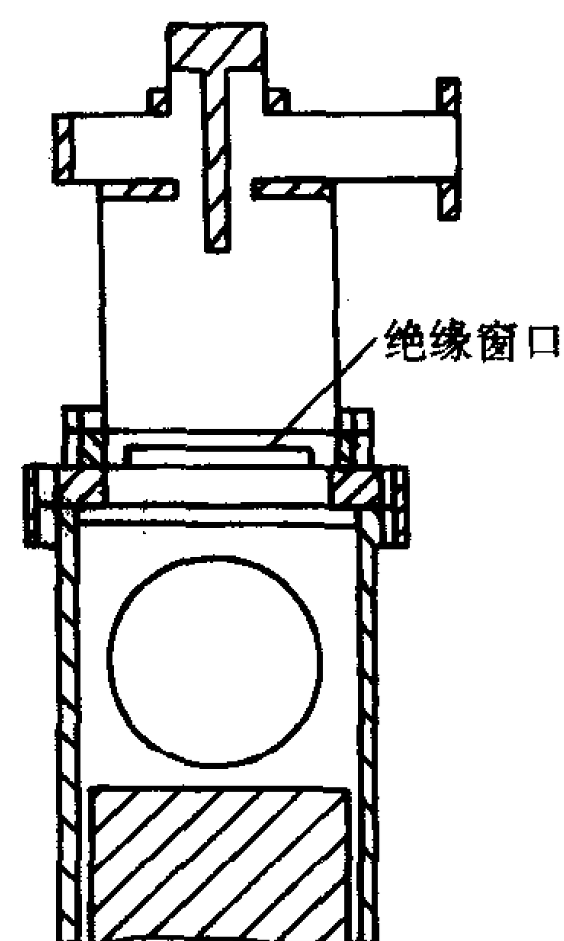


图 6.7-6 高压微波等离子体反应器示意图

3）多模谐振腔等离子体反应器 前面所介绍的在 2.45 GHz频率下工作的圆柱谐振腔反应器能够耦合进的微波功率水平已经接近于极限值，进一步提高金刚石膜的生长速率已经受到限制。为此，一些新型的反应器便应运而生。图 6.7-7 是一种 Overmoded 型反应器的截面图，这种反应器的径向尺寸设计必须满足基模（振荡主模）TM_{01} 和次模 TM_{02} 在反应腔中同时存在。通过微波入射结构对称性上的精心设计，而防止轴向对称模的激发。这种谐振腔微波的耦合原理是：微波经基模波导传输，通过一个 TEM 结构耦合到沉积室的底部，TEM 传输部分与样品台相连接。微波场由中心进入并沿径向向外发射。介质窗口放在接近于样品台外边处，此处场强相对较弱以防止等离子体击穿。同时窗也起着真空密封的作用，防止在 TEM 区产生等离子体。这种结构上的设计，使得等离子体的压力——功率稳定性比前面讨论的单模谐振腔要强得多。这种设计除了增强等离子体的稳定性以外，窗的放置方式避免了直接面对等离子体，从而减少了被等离子体化学反应中产生的副产物的涂履，大大地避免了换窗的麻烦。

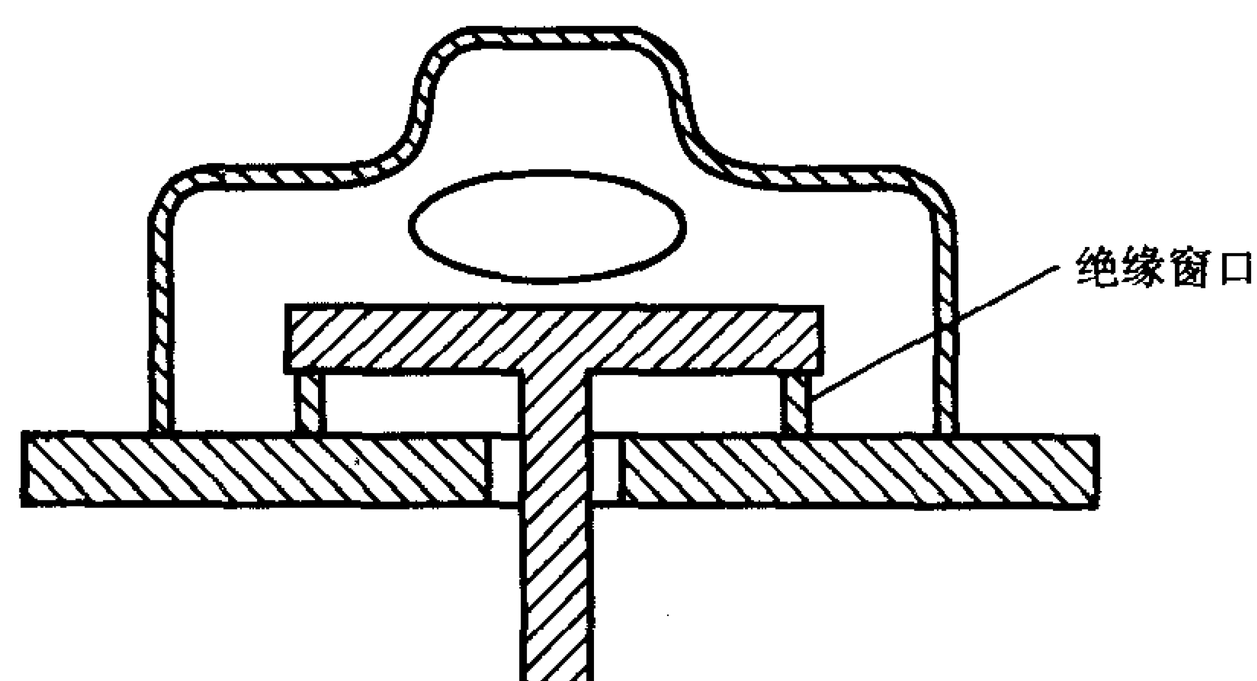


图 6.7-7 Overmoded 谐振腔等离子体反应器示意图

这种反应器微波功率水平可达 10 kW（2.45 GHz），所形成的等离子体比单模要大得多，从而提高了沉积膜的面积，增大了产率。对于一个 6.25 cm 直径的衬底，当微波功率水平是 8 kW 时，沉积出金刚石膜的径向均匀性小于 ± 10%，

沉积速率是 100 mg/h。这种反应腔可沉积出直径为 12.5 cm 的金刚石膜。

4) 915 MHz 微波等离子体反应器　金刚石 CVD 制备系统微波源频率的选择受磁控管商业化的限制。2.5 GHz 的磁控管已在民用和工业微波炉中广泛应用，低频率可商业化应用的是 915 MHz，在低频段，磁控管的连续波输出功率可达 100 kW。前面所介绍的多模反应腔已在 915 MHz 频率进行了放大，为了保证单位面积能量的稳定性，所需的微波功率在 80 kW 量级。这类按比例放大的反应器在 ASTeX 公司已有定型产品出售。使用这种型号的系统可在 15 ~ 20 cm 直径的衬底上沉积金刚石薄膜，膜的均匀性为 ± 15%。另外，沉积速率可达 18 mg/h，耦合的微波功率超过 90 kW。为了提高沉积的均匀性，在该类反应器中设计了样品台旋转机构，而且使用旋转样品台，在该类反应器中设计了样品台旋转机构，而且使用旋转样品台，可进一步提高金刚石的沉积速率。图 6.7-8 是一种 915 MHz 微波等离子体反应器系统示意图。

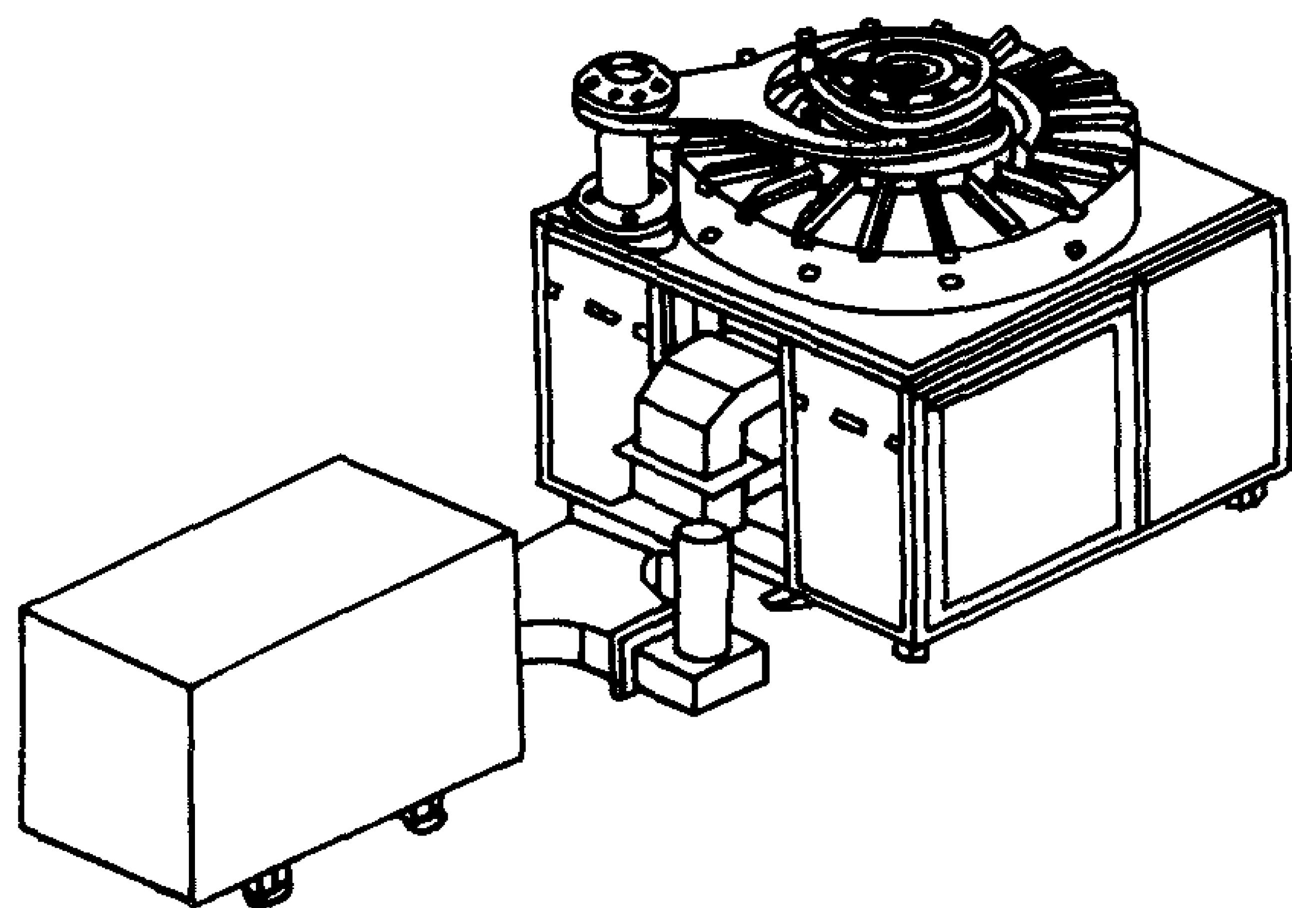


图 6.7-8　915 MHz 微波等离子体反应器系统结构示意图

5) 椭圆谐振腔微波等离子体反应器　在金刚石的各种气相沉积技术中，微波 CVD 被证实是制备高质量金刚石膜的一种十分有效的方法。自从 M.Kamo 等人首次用微波等离子体 CVD 合成出金刚石以来，人们一直在提高生长速率和扩大金刚石膜面积上进行着不懈的努力。1998 年，P.Koidl 等人报道了一种新型的椭圆谐振微波等离子体反应器，用这种反应器可以制备出直径达 150 mm 光学级高质量的金刚石膜，膜的热导率可达 20 W/（cm·K），与天然金刚石单晶相当，代表了金刚石制备技术的最高水平。图 6.7-9 是椭圆反应腔的系统结构示意图。这种反应腔用于金刚石的沉积，是受到了晶体生长中椭圆镜面聚焦炉的启发。微波通过矩形波导由轴向天线耦合进反应腔。真空室由石英钟罩和样品台组成，样品台处于下焦点上。天线放置和样品台的位置与几何

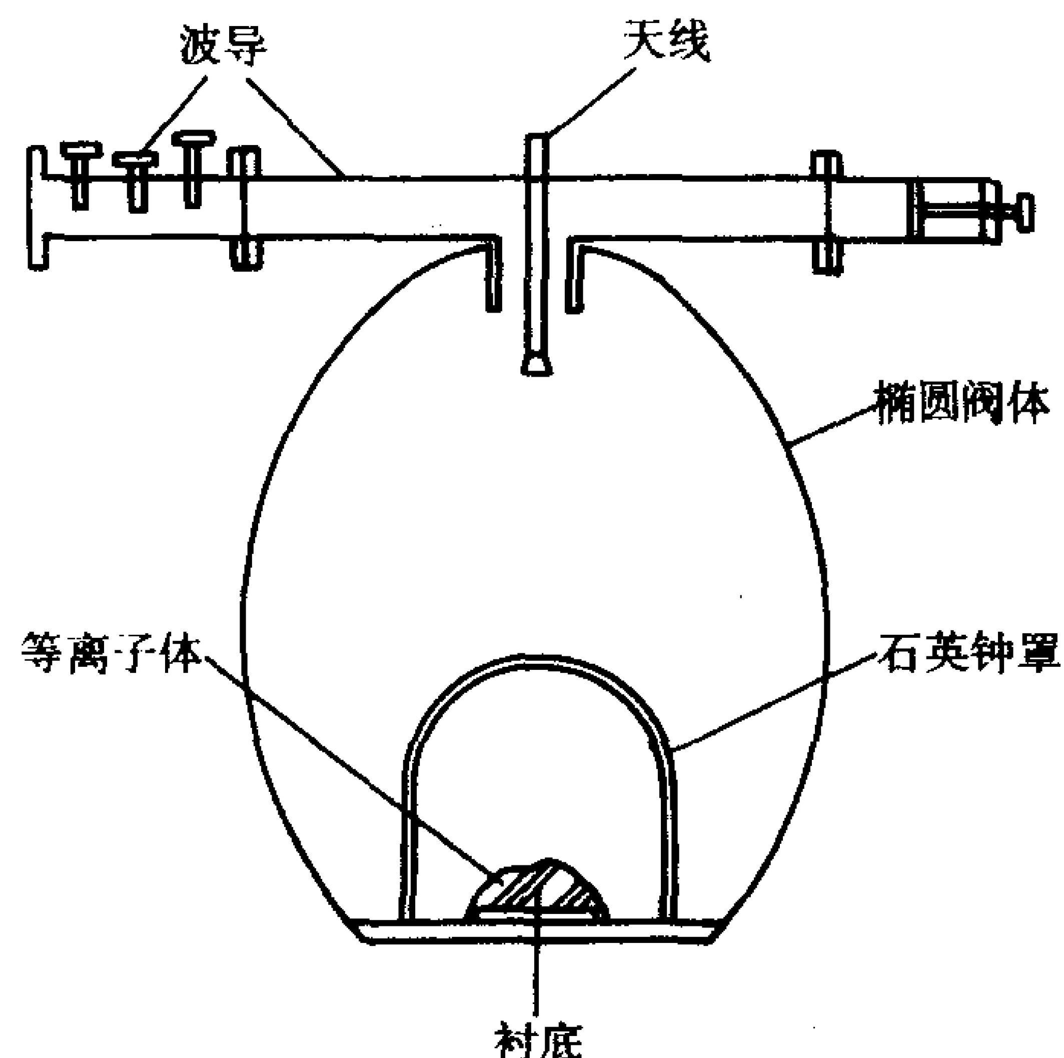


图 6.7-9　椭圆谐振腔微波等离子体反应器示意图

结构要进行精确设计，它们对反应腔中电磁场的分布有显著的影响。这种系统中金刚石的生长速率为 1 ~ 15 μm/h。根据不同的工艺条件和应用要求，可以制备出各类级别的金刚石膜。表 6.7-6 是典型的工艺参数。

表 6.7-6　椭圆反应腔金刚石膜 MP CVD 制备工艺参数

参数	指标
微波频率	2.45 GHz，915 MHz
微波功率/kW	3 ~ 6，20 ~ 60
反应压力/10^2 Pa	50 ~ 200
甲烷在 H_2 中的浓度(体积分数)/%	0.5 ~ 5.0
气体流量/$cm^3 \cdot s^{-1}$	100 ~ 500，1 ~ 5

2.2　等离子体喷射法

使用中压到高压等离子体喷射法沉积金刚石膜是继低压等离子体化学沉积金刚石膜的一种有希望的方法，是在 20 世纪 80 年代中期到末期用于金刚石膜的沉积，形成的等离子体是一种“高温”等离子体。

等离子体喷射通常是指在中压到高压（约 13.3 kPa ~ 101 kPa、100 torr ~ 1 atm）下形成的等离子体。在等离子体的传输中“对流”起着极为重要的作用。根据维持放电的方法不同，金刚石膜沉积的等离子体喷射法分为直流等离子体喷射（DC arc jet）、射频耦合等离子体喷射（RF plasma jet）和微波等离子体喷射（ MW plasma jet）。三种方法的原理如图 6.7-10 所示。

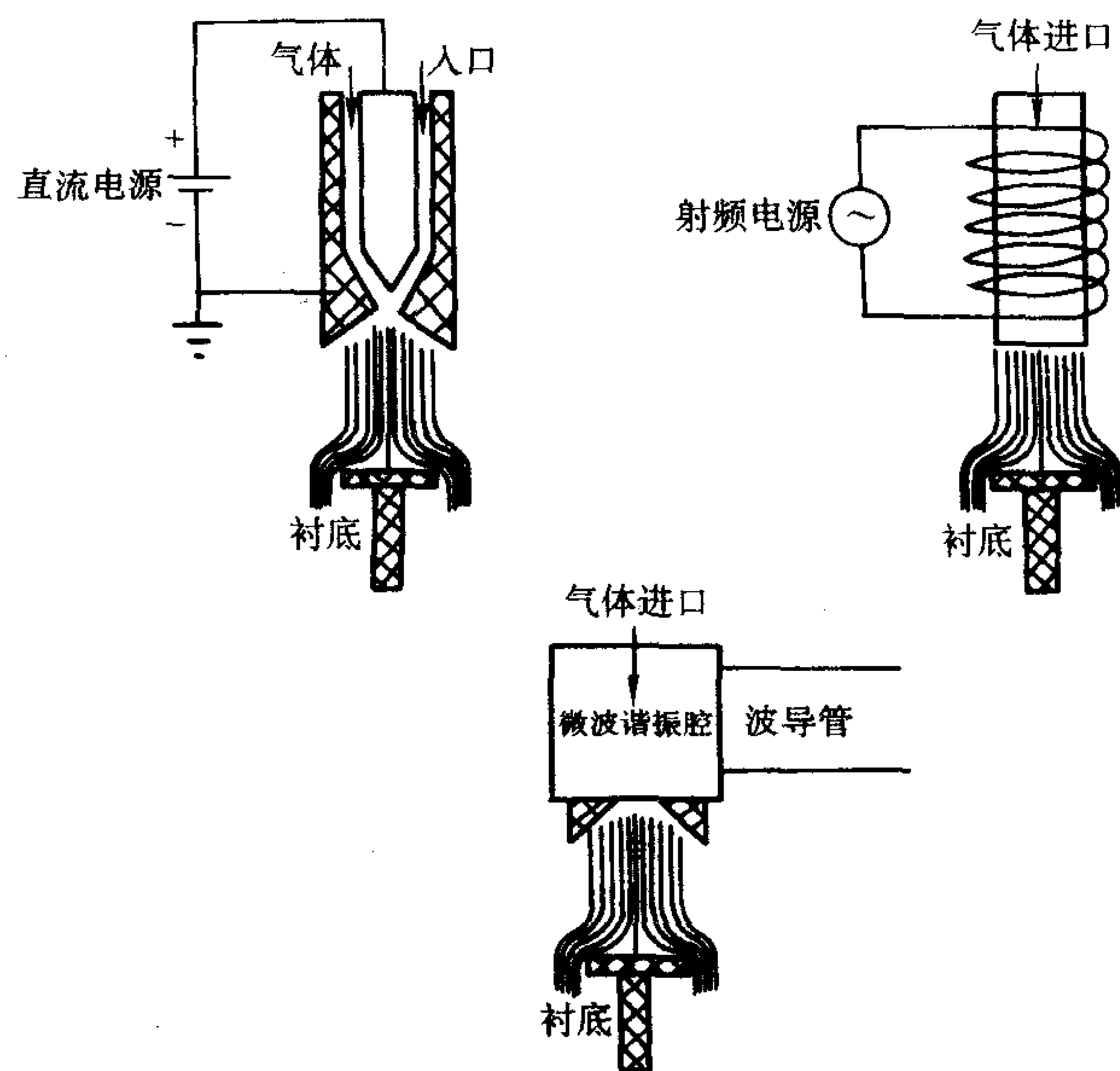


图 6.7-10　三种等离子体喷射法原理示意图

所有情况之下，能量由电场转移给自由电子，随后自由电子再通过欧姆热损耗和非弹性碰撞将能量转移给原料气体。对于流动的气体，Ohmic 耗散导致气体热焓和动能的增加。在中压到高压等离子体中，气体温度可高达 3 000 ~ 30 000 K，这对于分子状态的源气体来说，将产生大量活性的、部分离散的和分解的气体流。对于金刚石沉积来说，这样高的气体温度将产生大量的原子氢，大量原子氢是合成高质量金刚石所必需的先驱物。

2.3　热丝法

金刚石膜的热丝（HF）CVD 目前已经发展成沉积金刚

石膜较为成熟的方法之一。这种方法的基本原理是靠在衬底上方设置金属热丝高温加热分解含碳的气体，形成活性的粒子在原子氢的作用下而形成金刚石。其设备基本示意图如图6.7-11所示。这种原理是在1982年由S. Matsumato首先报道。

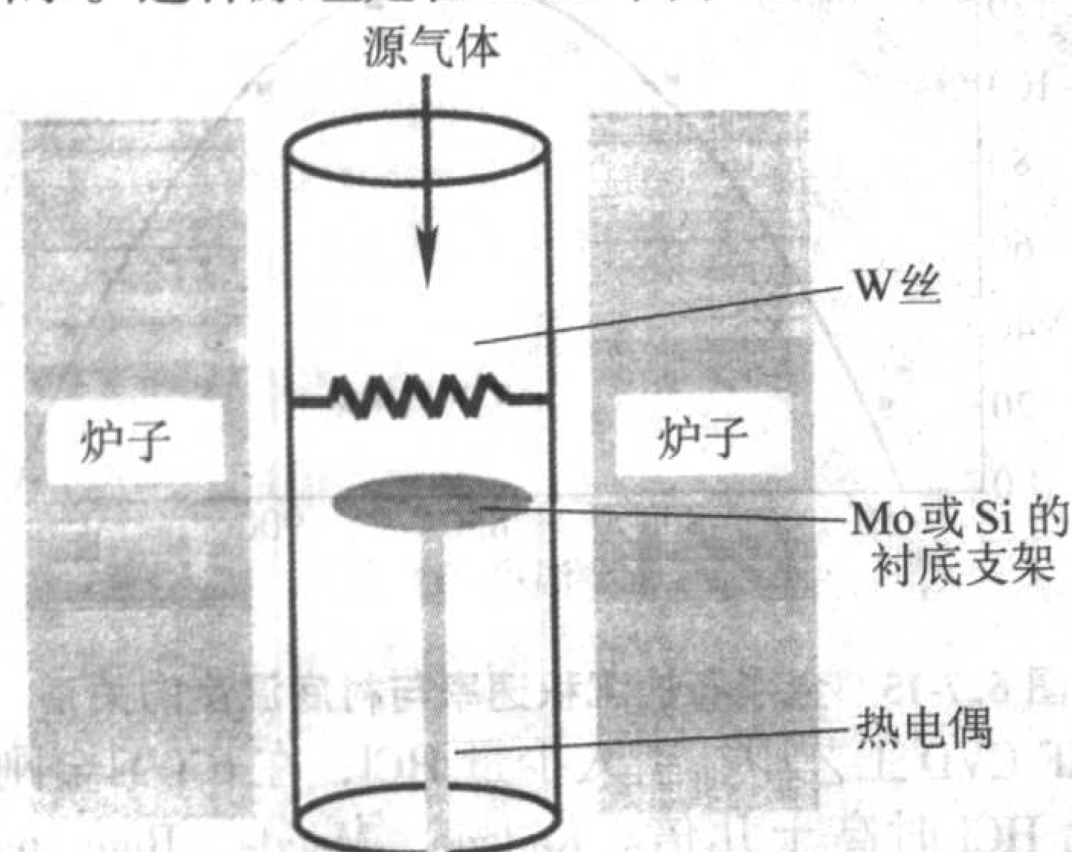


图6.7-11 金刚石膜的热丝CVD系统结构示意图

衬底上的W丝线圈靠通入电流加热到大约2 000℃，衬底温度控制在700~1 000℃。使用H_2和CH_4为源气体，比例约1%~2%，气体流量为10~100 cm^3/min，金刚石的形成过程压力在1~70 kPa之间。如果把热丝温度提高到2 500~2 600℃，甲烷的含量高至10%（体积分数）也可以沉积出金刚石，这时的生长速率可达19 μm/h。对于金刚石沉积的HFCVD来说，常用的源气体主要是H_2和CH_4。CH_4的体积比为0.1至几个1%（体积分数）。引入含氧的气源是有利于金刚石生长的，但其比例对热丝来说要严格地加以限制，以避免热丝材料的氧化和挥发。研究表明，如果严格地控制组分组合与比例，在源气体中加入O_2、H_2O蒸气或含氧的有机物，均对金刚石的形成有很多好处。在氢气中加入［1%~8%（体积分数）］的乙醇和丙酮，反应压力为13 kPa时，金刚石的生长速率可达10 μm/h。在HFCVD金刚石制备中使用的热丝材料主要是W丝，其他几种金属材料Ta，Ir等也在试用中。

从应用的角度考虑，织构或外延的金刚石膜与随意取向的金刚石膜相比，可以减少许多应用中晶界的不利影响，而且可以获得表面光滑的金刚石膜，这在金刚石膜的电子学和光学应用中尤为重要，许多等离子体激活的方法已经用于这种金刚石膜的沉积和生长。

对于随意取向的金刚石膜来说，通常膜的表面粗糙度是随着膜厚的增加而增大。C. Wild等人使用HFCVD方法，通过优化工艺条件，可以制备出<100>织构、表面光滑的金刚石膜，这种膜属于纤维织构型，快速生长方向垂直于{100}晶面。气体组分、衬底温度和热丝温度对织构形成的影响，C. Wild等进行了详细的研究。与微波CVD方法一样，织构金刚石膜的生长也是由金刚石不同晶面间生长速度的竞争而决定的。对于外延金刚石膜的沉积，获得（生成）取向金刚石晶核是关键的一步。其中，对衬底施加负偏压是十分有效的方法。用这种方法可以获得取向核的密度为$10^9/cm^2$，生成的金刚石膜与硅之间（001）平面的最小失配度为7°。但需要指出的是，用HFCVD所制备的外延金刚石膜面积都是很小的。为此，M. Fryda等使用了一种新方法，制备出了失配度小、大面积的外延金刚石膜。他首先是用MPCVD进行偏压成核，然后进行HFCVD织构沉积，获得了几百平方厘米的<100>织构金刚石膜，通过测量摇摆曲线知，其失配度为4°左右。生长速率可达2 μm/h，膜厚可达140 μm。

2.4 其他CVD方法

2.4.1 低温金刚石沉积

在前面所列举的金刚石膜沉积方法中，金刚石生长所需衬底温度一般均在800~900℃。这对于金刚石膜的某些应用来说，沉积温度有些偏高。比如对于电子学上的应用来说，温度太高时可以引起薄膜内应力，某些低熔点衬底的破坏以及某些掺杂物的偏折或扩散，从而使器件失效等。所以说，降低金刚石膜的沉积温度是实现金刚石某些应用的关键一步。其中，电子回旋共振化学气相淀积（ECR-CVD）低温沉积方法是一种主要的技术。

ECR等离子体源广泛地应用于半导体材料的刻蚀和一些介质薄膜的沉积之中。Liou等首先将这些方法用于金刚石膜的沉积。ECR-CVD与其他方法相比具有如下几个特点：①工作压力低26.7~1.33 Pa（0.2~10 mTorr）；②相对较高的等离子体密度（$n_i=10^{11}\sim10^{12}/cm^3$）；③较低的等离子体势（15~30 eV）；④离子能和离子流可以相对独立地控制；⑤等离子体可以远离物理表面而形成，由磁场控制其分布。需要指出的是，尽管用ECR-CVD方法可以在相对低的温度下制备大面积的金刚石膜，但这种方法所制备的金刚石膜质量一般不高，且沉积速率较低。但在改进微波输入方式和在衬底上加一定永磁体等措施后，可以明显改善金刚石膜的质量和提高其沉积速率。

图6.7-12是一种典型的ECR CVD系统示意图，由等离子体室、微波源、波导、电磁线圈、真空系统、偏压施加系统和冷却样品台等部分组成。用于金刚石生长的典型工艺条件如表6.7-7所示。

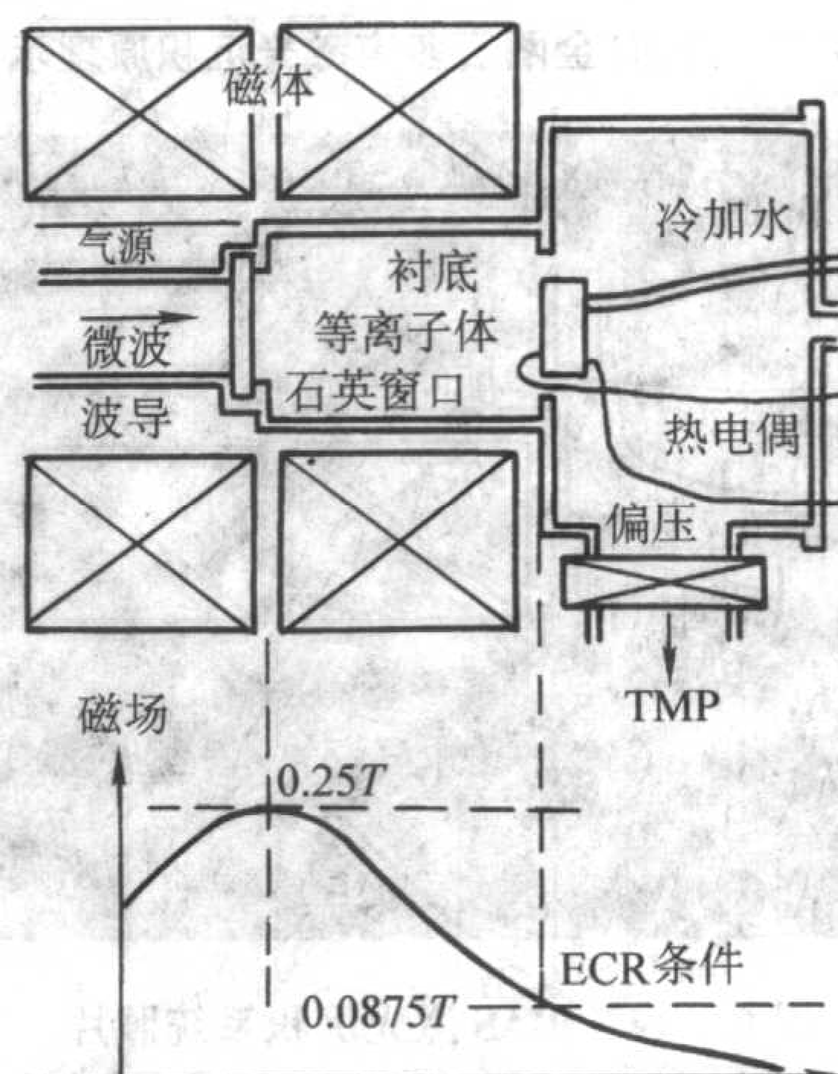


图6.7-12 ECR CVD系统结构示意图

表6.7-7 金刚石生长的典型工艺条件

气源	CH_3OH，或CH_4+CO_2，H_2
工作压力/Pa	10
微波功率/kW	1.3
衬底温度/℃	200~600
偏压/V	+30~40

2.4.2 激光辅助金刚石膜的合成

激光辅助金刚石的生长是一种很有发展前景的方法，这种方法的特点是：①高的生长速率；②低的衬底温度；③光洁的表面；④以及可以选择性沉积。但其最大不足是不易大面积沉积。使用的激光源主要有CO_2红外激光，ArF紫外激光以及Nd:YAG红外激光，而且这些激光束可以同时组合起来使用。沉积金刚石使用的碳源有CO_2，CO和CH_4。

1996年，QQC公司发展了一种新型金刚石多束激光沉积技术，如图6.7-13所示，在这种工艺中使用了三种类型的激光，即两束紫外激光，一束红外Nd:YAG激光和一束红外CO_2激光。CO_2为碳源，N_2为保护气体，二者混合形成

等离子体。由组合激光激发形成的等离子体可以充分地提供金刚石生长所需的化学活性组元和电子。这种工艺不需要加热衬底，对于涂覆 Al、塑料以及其他低熔点金属很有优势，沉积速率可高达 1 μm/s，而且无需真空环境，不用 H_2 以及无需对衬底进行表面预处理，涂层厚度可达 20～40 μm，晶粒大小为 10～20 μm，是多晶金刚石膜。2002 年，S.Metev 等（德国 BIAS）报道了使用连续波 12 kW 的 CO_2 激光，在大气环境中，沉积出了高质量的金刚石膜，膜的面积为 2 cm^2，沉积速率为 2 μm/min。图 6.7-14 是相关沉积设备照片。该系统主要由激光器、光路控制组件、等离子体喷嘴、喷气控制仪表、三维移动样品台组成。形成等离子体的气源有 Ar，N_2、CO_2，C_2H_2，CH_4，H_2 以及它们间的组合。

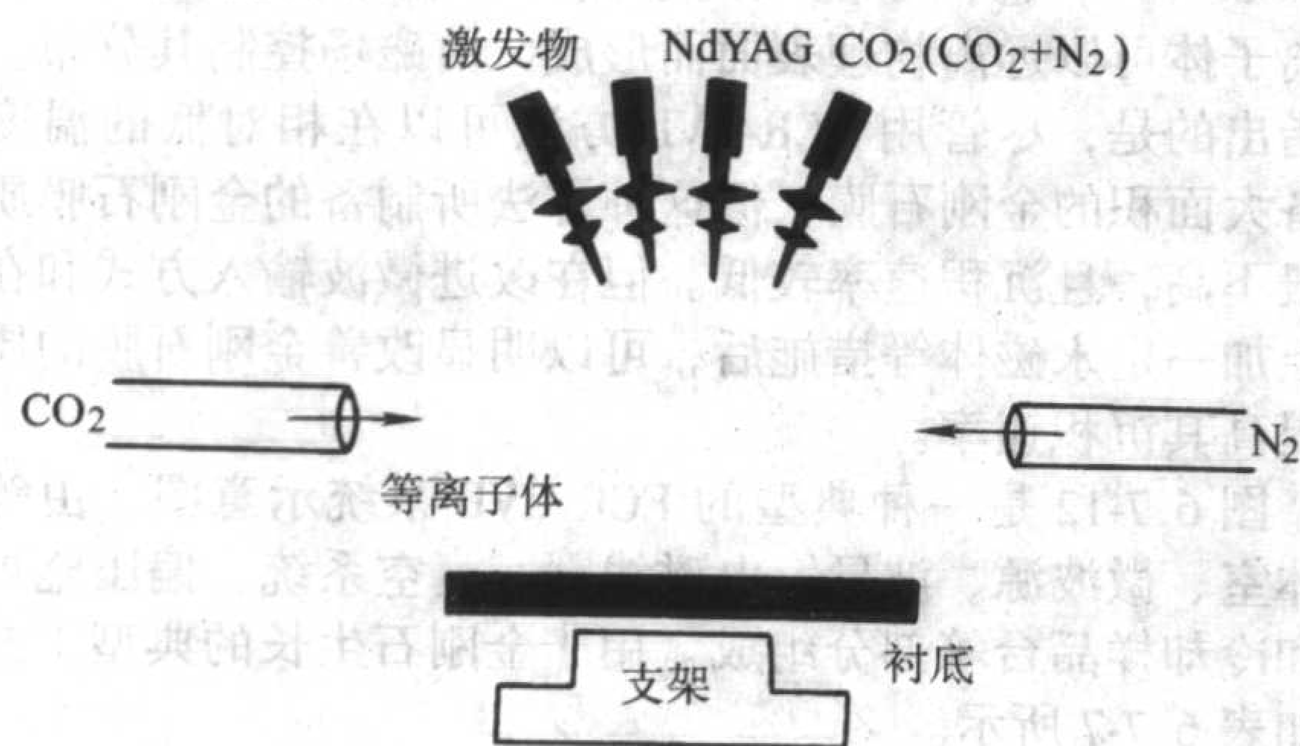


图 6.7-13　QQC 金刚石多束激光沉积原理示意图

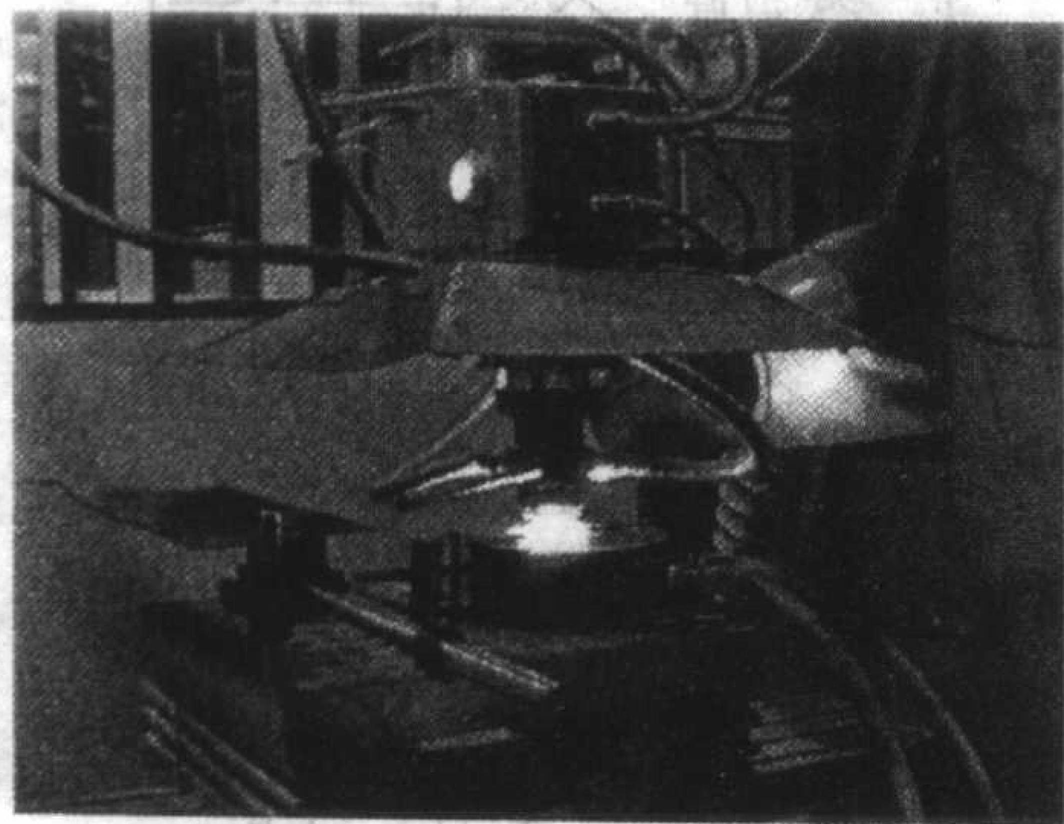


图 6.7-14　BIAS 激光沉积系统照片

由于激光辅助 CVD 无需真空室，可以开放地在大气压环境下工作，工件可以方便地在不同方向上移动；高的激光辐射能量密度和有效的逆韧致辐射吸收效应，可以形成高度离化和活性高温（15 000～20 000 K）等离子体；高度离化的等离子体本身就是强的 UV 辐射源，这对于 CVD 工艺是非常有益的，可以生成更多金刚石生长所需的活性粒子；在高压和高温等离子体条件，金刚石将有更高的沉积速率。但这种方法发展受到限制的原因是不能获得金刚石膜的大面积沉积。与其他 P CVD 一样，金刚石薄膜的沉速率与衬底温度密切相关。在激光 CVD 工艺中，金刚石的沉积速率与衬底温度的关系如图 6.7-15 所示，其生长速率在某高温下（如 850℃）达到最大，在低于或高于该温度时，生长速率下降。

2.4.3　卤化 CVD 金刚石沉积

研究发现，在金刚石 CVD、RF CVD、MW CVD 和 HF CVD 工艺中加入卤素或卤化物气体均有利于改善金刚石膜的质量，并能降低沉积温度和提高沉积速率。1980 年 B.-V.Syitsyn 和 B.V.Deryagin 首次报道热分解 CBr_4 和 CI_4 等卤化物可以在金刚石上于 800～1 000℃沉积出金刚石。10 年后，F.P.Rudder 等人报道，在 RF CVD 工艺中，用 CF_4 代替 CH_4 在同样条件下，金刚石成核密度有显著增加。Komplin 等发

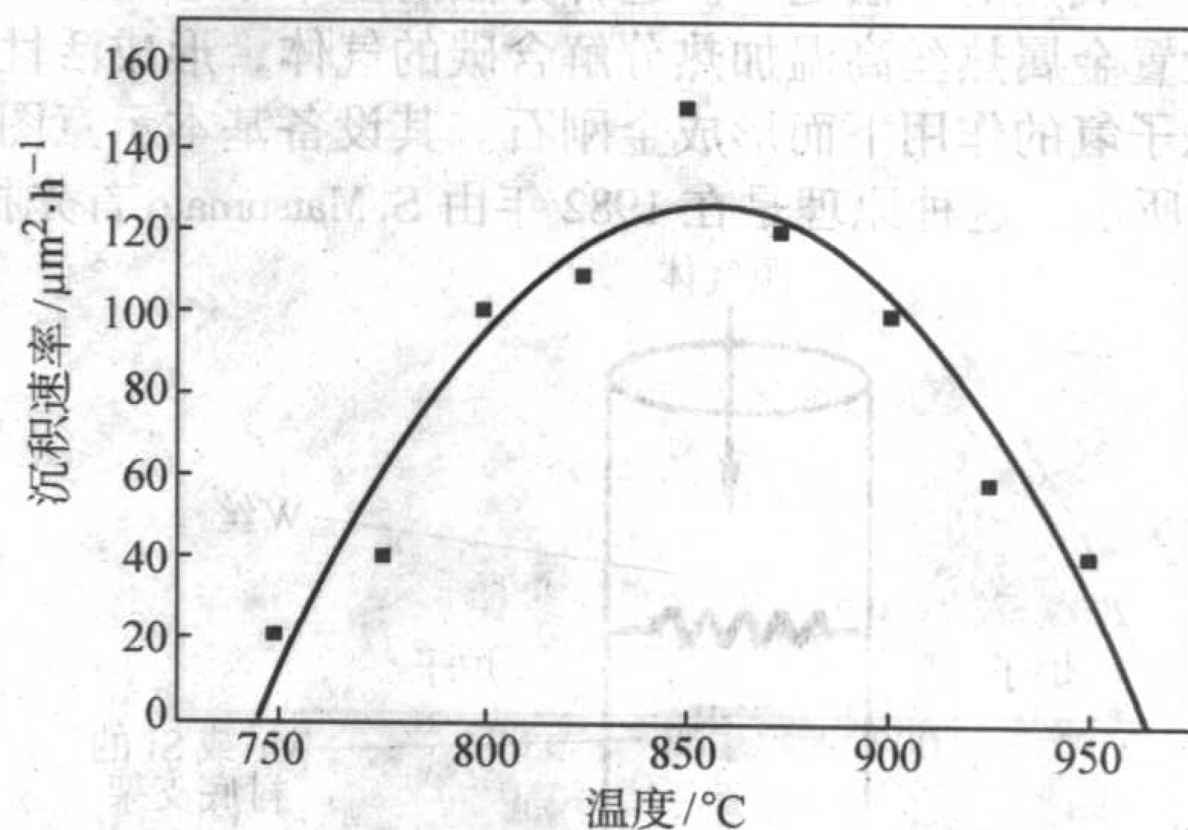


图 6.7-15　金刚石的沉积速率与衬底温度的关系

现，在 HF CVD 工艺中，引入少量 HCl，在 670℃金刚石生长速率比无 HCl 时高十几倍。Kadono、Maeda、Ramesham 等均报道在 MP CVD 工艺中，以 CF_4/H_2 代替 CH_4/H_4 体系，或在 CH_4/H_2 体系中加入少量 CF_4 均可有利于金刚石膜的生长，衬底温度为 800～875℃。

在金刚石 CVD 工艺中，卤素的引入改善了金刚石膜的质量，提高了生长速率和降低了生长温度，是由于等离子体中卤原子的作用和原子 H 的作用类似而且更为显著，即：①及时打破金刚石晶面 C—H 强键，提供金刚石生长所必需的更多的活性点；②刻蚀非金刚石相；③经等离子体化学反应而提供更多浓度的原子 H。

2.4.4　水热法生长金刚石膜

早在 1957 年，Tuttle 和 Roy 就提出可以用水热法合成金刚石，但是直到 1996 年，这种方法才被证实是可以合成出金刚石的。由于这种方法得到的金刚石产量少和工艺上有许多不确定性，目前的实际应用还有许多局限性，尚需进行更深入的研究工作。本节只能进行简要的介绍。

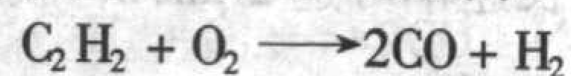
1996 年，D.Rarichantran 和 R.Roy 报道，他们用水热法合成出了金刚石，水热条件是 0.14 GPa，800℃。使用的原料是玻璃态碳（GC）、NaOH 饱和溶剂、Ni 粒（3～5 μm）和水，生长中使用了 II-A 型金刚石单晶作为籽晶，合成出的金刚石颗粒为 2～5 μm。

2.4.5　燃烧火焰法

1988 年，Hirose 发现，乙炔焰中可以产生大量的生长金刚石所需的原子 H 和 CH 自由基，这一发现随后在 Naval 研究室得到证实，成为金刚石膜制备的一种很好的方法。这种方法的优点是设备简单、成本低，能在大气开放的条件下合成金刚石，生长速度较快，有利于大面积和复杂形状样品表面上金刚石的沉积。其缺点是：沉积金刚石膜具有不均匀的微观结构，薄膜中常常含有非金刚石碳等不纯物，且由于火焰的热梯度，使薄的基片弯曲变形，并在薄膜中产生较大的热应力。

图 6.7-16 是火焰法的结构示意图，火焰常分为三个区域，即内焰、外焰和还原焰，生长金刚石的衬底放在还原焰区域。合成金刚石最重要的参数是氧与乙炔的体积比率，$R = O_2 : C_2H_2$。当 $R = 1$ 时称为中性焰，$R > 1.0$ 时称为高氧焰，$R < 1.0$ 称为高乙炔焰，只有在 $R = 0.7 \sim 1.0$ 区域才能生长出金刚石。而且研究表明，当 $R = 0.85 \sim 1.0$ 时，可以生长出透明的光学级金刚石膜。其他区域都不利于金刚石的生长，如图 6.7-17 所示。

在氧－乙炔焰中发生的化学反应为：



$$C_2H_2 + O_2 \longrightarrow 2CO + H_2$$

$$\Delta H^0_R = -447.7\ \mathrm{J}\ (-107\ \mathrm{kcal})\ /\mathrm{mol}$$



$H_2 \longleftrightarrow H + H$　　可逆反应：为温度和压力的函数关系

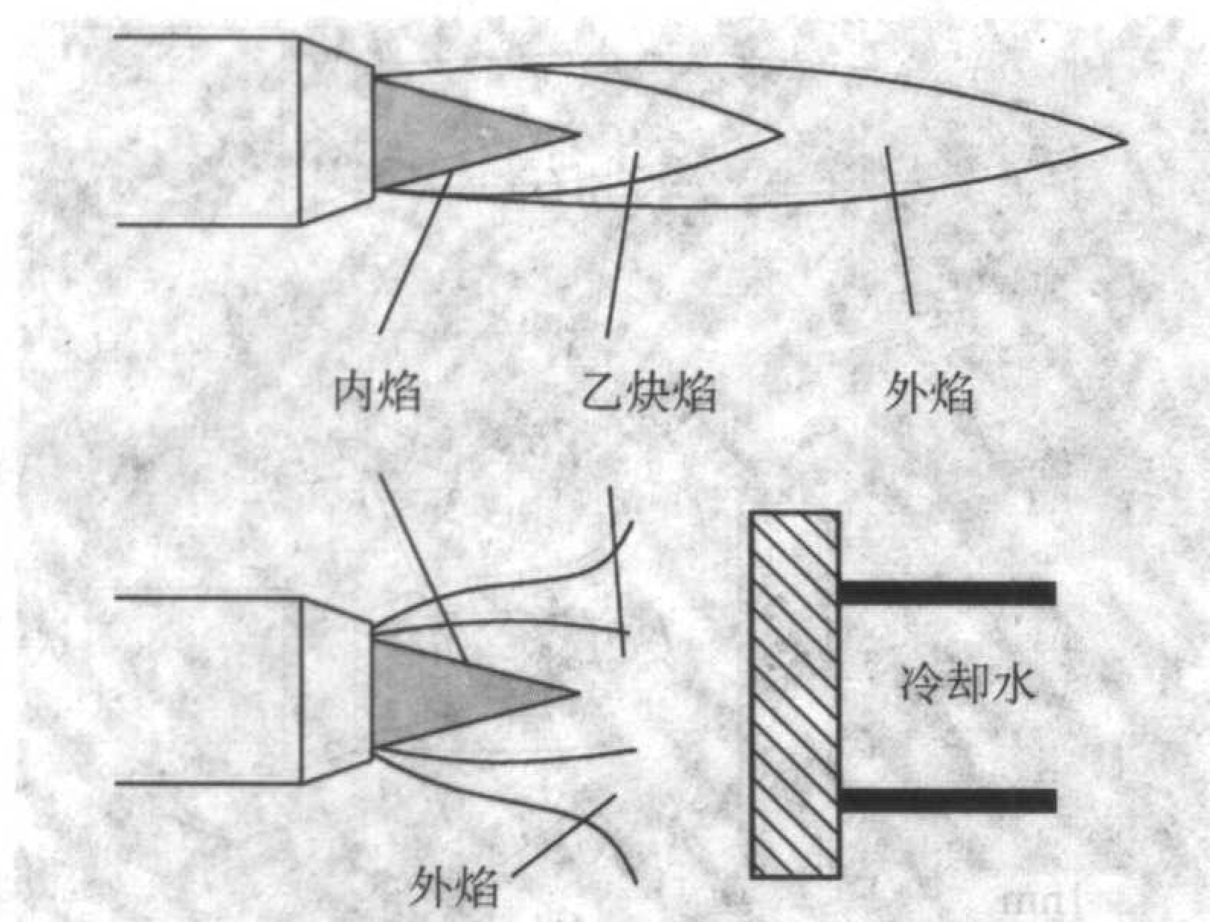


图 6.7-16 火焰法的结构示意图

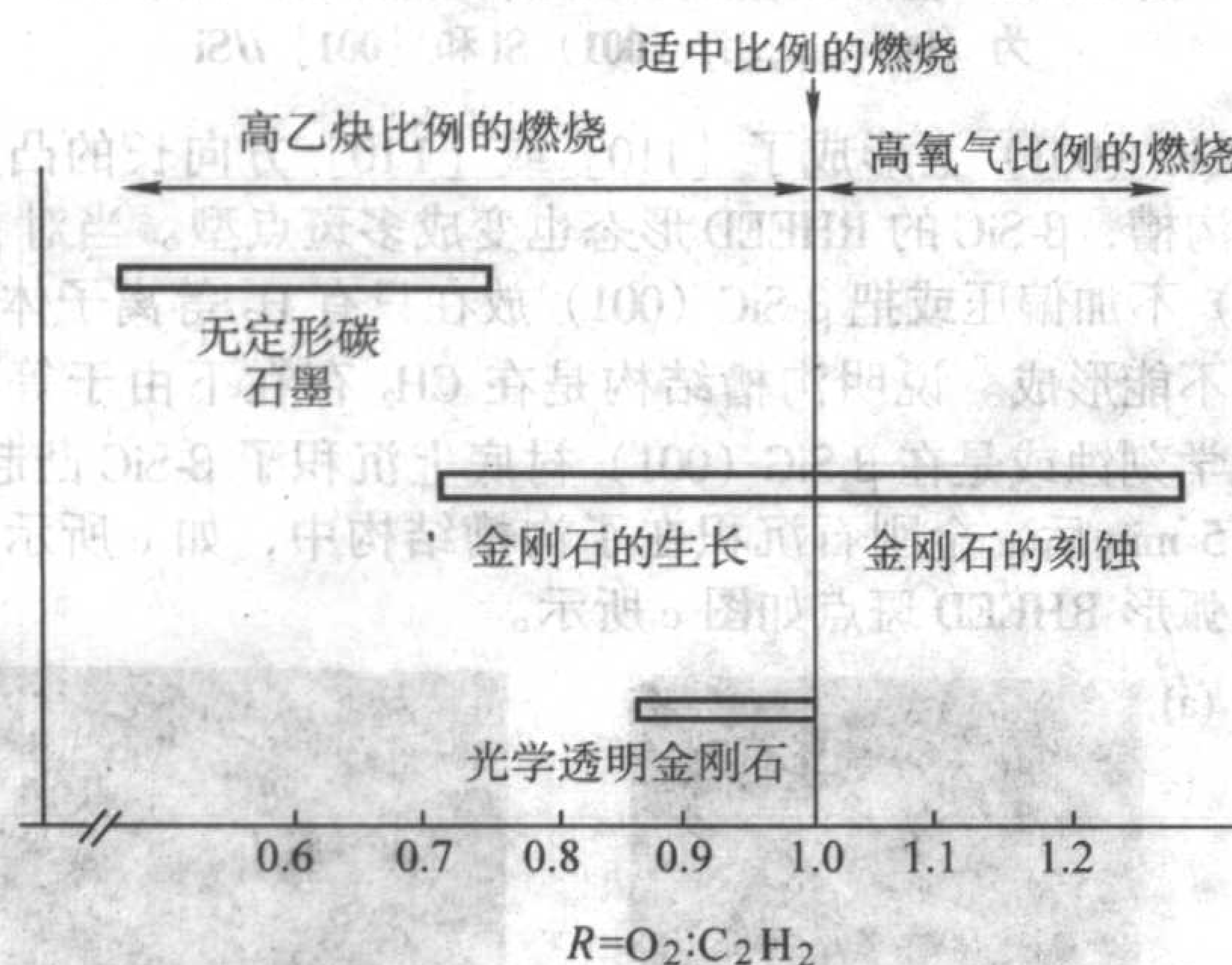


图 6.7-17 金刚石膜质量与火焰组分的关系

C_2H_2 和 O_2 反应可使火焰温度达 3 000 K，在这种温度下 H_2 分解产生生长金刚石所需的大量原子 H。也就是说，火焰燃烧法是依靠乙炔的氧化所产生的化学能来达到生产所需的能量以及形成生长中所必须的大量原子 H。

由于燃烧火焰法是在大气环境下沉积，加之火焰枪在结构上的限制，所制备的金刚石膜均匀性较差，面积一般小于 1 cm²，为了改善这方面的不足，人们对此进行了一些实际上的改进，如图 6.7-18 所示，在枪的下面和衬底上方平放一圆形热丝，增加一个反应室，降低反应压力，得到了很好的效果。用这种方法沉积出了大于 20 cm² 的金刚石膜，典型的沉积工艺参数是：压力 5.33 ~ 6.67 kPa（40 ~ 50 torr），衬底温度 400 ~ 1 000℃。

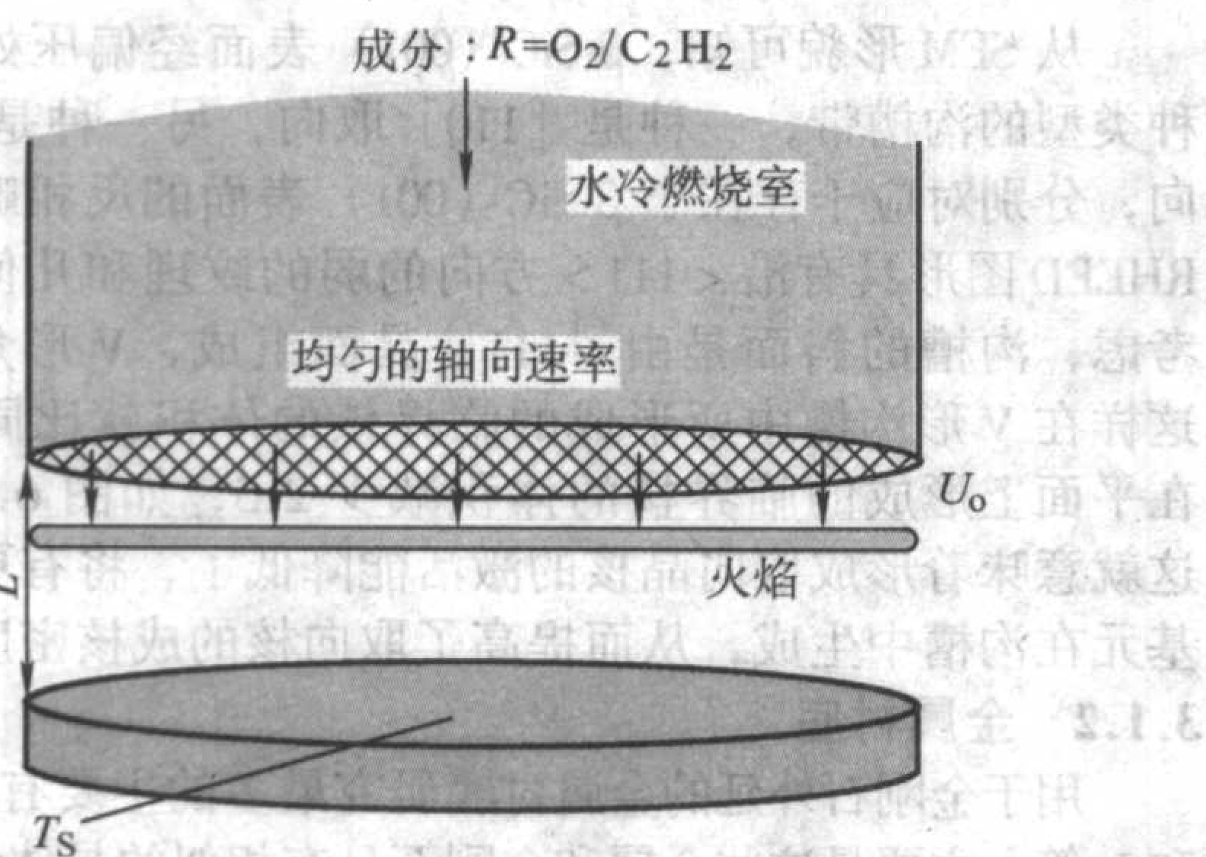


图 6.7-18 热丝辅助燃烧火焰法原理示意图

3 金刚石半导体薄膜的制备与掺杂

对于用做电子器件的金刚石薄膜，对其质量有一定要求即：①近于单晶结构；②低的缺陷密度；③低的杂质（氮）含量；④有光滑平整的表面；⑤有可控的掺杂浓度和分布。天然和 CVD 合成的金刚石由于其尺寸和受控掺杂等方面的原因，作为半导体器件上的应用是困难的。所以大面积单晶和织构金刚石膜的制备就显得倍加重要。可是，大面积单晶金刚石膜的制备至今尚未取得突破性的进展。这主要是由于没有找到或获得实现大面积金刚石膜外延生长的适宜衬底材料，以及等离子体化学气相淀积（PCVD）环境中金刚石单晶膜生长中的基础问题尚不很清晰。“电子质量级”（或器件质量级）金刚石膜可以生长在金刚石衬底（均匀外延）上，也可以生长在其他材料上，如 Si 和 SiC。普通作为电子器件用的外延生长金刚石薄膜，是用微波等离子体 CVD 法制备的，要求质量为电子级。原理上讲，7.3 节中所介绍的金刚石膜沉积方法大多都可用于金刚石的外延和取向生长，但考虑到等离子体稳定性等方面的原因，较适宜的方法还是 MP CVD 和 HF CVD。

高取向和外延金刚石的生长是获得单晶金刚石膜的有效方式，而且高取向金刚石的生长是金刚石外延的第一步。由于 PCVD 金刚石环境的特殊性，取向金刚石的成核阶段均需要衬底施加偏压，以增加成核数目和形成定向生长的晶核。使用的衬底材料主要有单晶 Si、SiC 以及 Ir、Pt、Ni 等金属材料。尽管 C-BN 是外延金刚石的合适衬底，但是由于合成 C-BN 单晶尺寸上的局限性，以及目前尚无大面积 c-BN 结晶性薄膜制备出来，这方面尚未取得有突破性的成果。

合成的金刚石衬底可分为三类：

1）Ⅰb 型，不导电，载流子冻结，含有氮，黄色；

2）Ⅱa 型，不导电，普通未掺杂，白色透明；

3）Ⅱb 型，导电，含有硼，深蓝色。

3.1 在各种衬底上的异质外延和高取向金刚石膜

3.1.1 在 SiC 和 Si 上的成核和生长

Si 是金刚石生长中的常用衬底。尽管硅与金刚石的晶格失配较大（52%），仍可制备出高度织构的金刚石薄膜。图 6.7-19 是一种用 MP CVD 法生长的织构金刚石膜的 SEM 形貌。在硅上织构金刚石膜时，一般在生长之前要对硅衬底施加负偏压以增强成核。为了得到相对光滑表面的高取向膜，所生长的膜厚一般要大于 50 μm，这主要是因为在早期生长阶段要有足够的外延取向的晶粒才行。研究发现，为保持能量上的稳定性，在（100）Si 上生长取向的（100）金刚石，在金刚石（100）/Si（100）界面需有 45°的转向角。

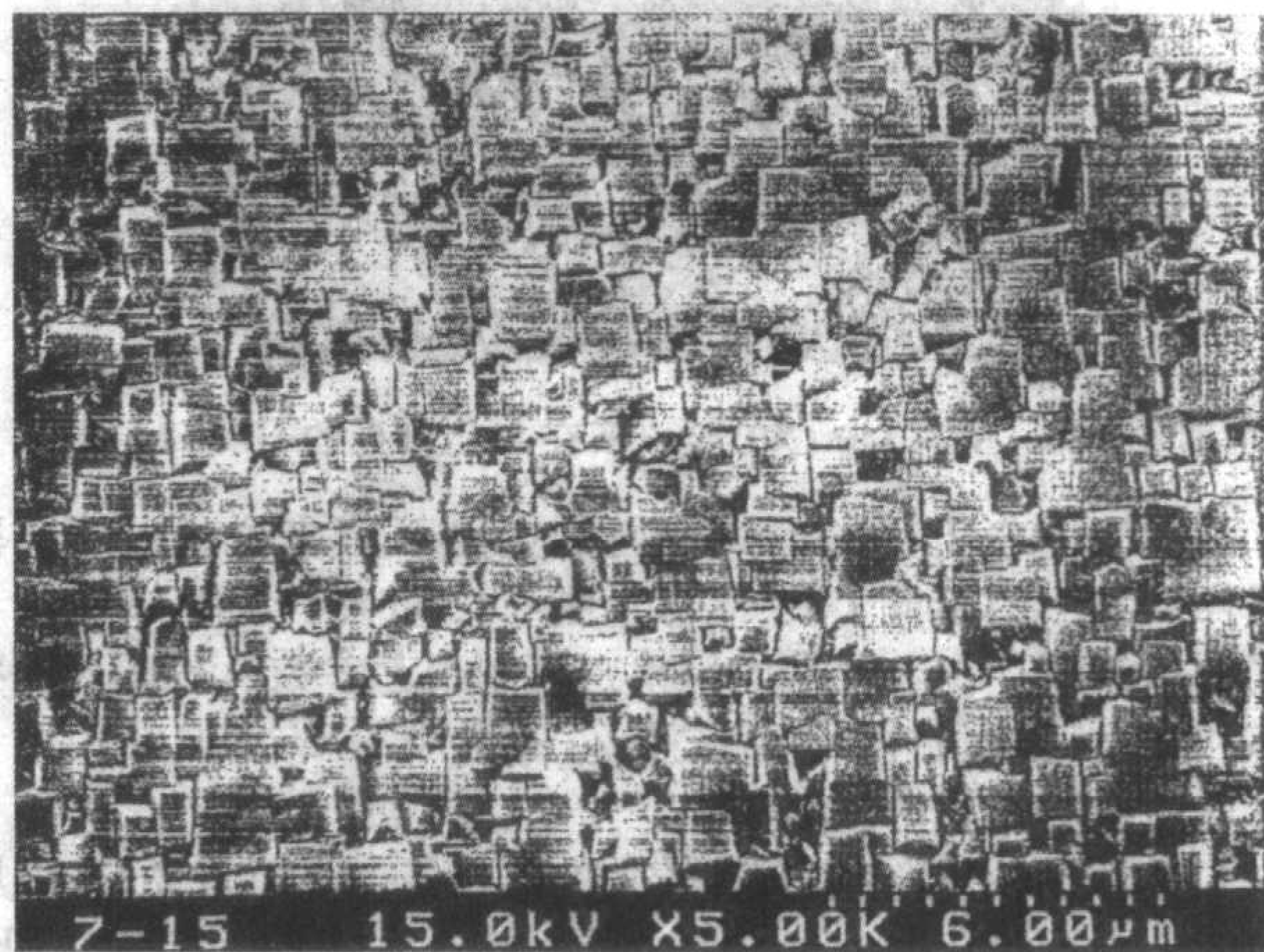


图 6.7-19 硅衬底织构的金刚石膜 SEM 形貌

1992 年，X. Jiang 等用 MP CVD 工艺，通过 BEN 在（001）Si 衬底上制备出（001）取向的（001）金刚石膜，其两向有 9°的倾斜角。后来改进工艺，在（H_2/CH_4）中加入质量分数

为10×10^{-6}的$B(CO_3)_3$，使其倾斜角降到了2.1°。尽管如此，这对于取向金刚石膜在电子学中应用来说还是不够的。为了取得高度取向和外延的金刚石膜，必须要深刻理解金刚石的成核机理与过程，才能更好地控制金刚石的生长与性能。

成核过程是指形成能稳定存在的最小的金刚石晶粒子。如何保证高取向金刚石膜生长所需的晶粒，目前尚不完全清晰。这一成核过程可从几分钟到数小时不等。使用AES和XPS光谱技术可以研究硅表面金刚石的成核情况。研究发现，金刚石在Si（111）和（100）面的成核时间分别是400 min和1 800 min，其原因是由于硅两晶面悬键态不同造成的。对于Si（111）晶面来说，存在有更多悬键态，这有利于较快地形成金刚石成核活性点所需的C的sp^3键合。

理论预测，金刚石晶粒能够生长的邻界晶核尺寸为nm量级。这在HRTEM测试中得到了证实。而且发现，有些样品在Si的界面存在有β-SiC晶粒，这说明β-SiC在金刚石的成核和取向生长中起着重要的作用。无论是BEN工艺还是无偏压的CVD工艺，对样品Si（111）进行截面HRTEM测试，均观测到金刚石临界晶核为nm尺寸晶粒。

需要指出的是，金刚石的外延机制以及界面反应是和BEN参数与CVD方法密切相关的。所生成的过渡层也是不完全相同的，图6.7-20是BEN MP CVD金刚石在Si上外延的HRTEM图相，Si和金刚石之间存在有SiC过渡层。而且金刚石（111）晶面与SiC（111）晶面间存在有5:4的关系，失配度为2.3%。但是SiC过渡层也并不是金刚石成核的必要条件。图6.7-21是金刚石直接在Si上外延的形貌，取向关系为$(001)_{diamand}$ // $(001)_{Si}$和$[001]_{diamand}$ // $[001]_{Si}$。使用的方法为BEN MW CVD。这种结果在BEN HF CVD FF中也存在。尽管没有SiC过渡层，但发现依据的实验条件不同，存在有非晶碳、DLC等过渡层。

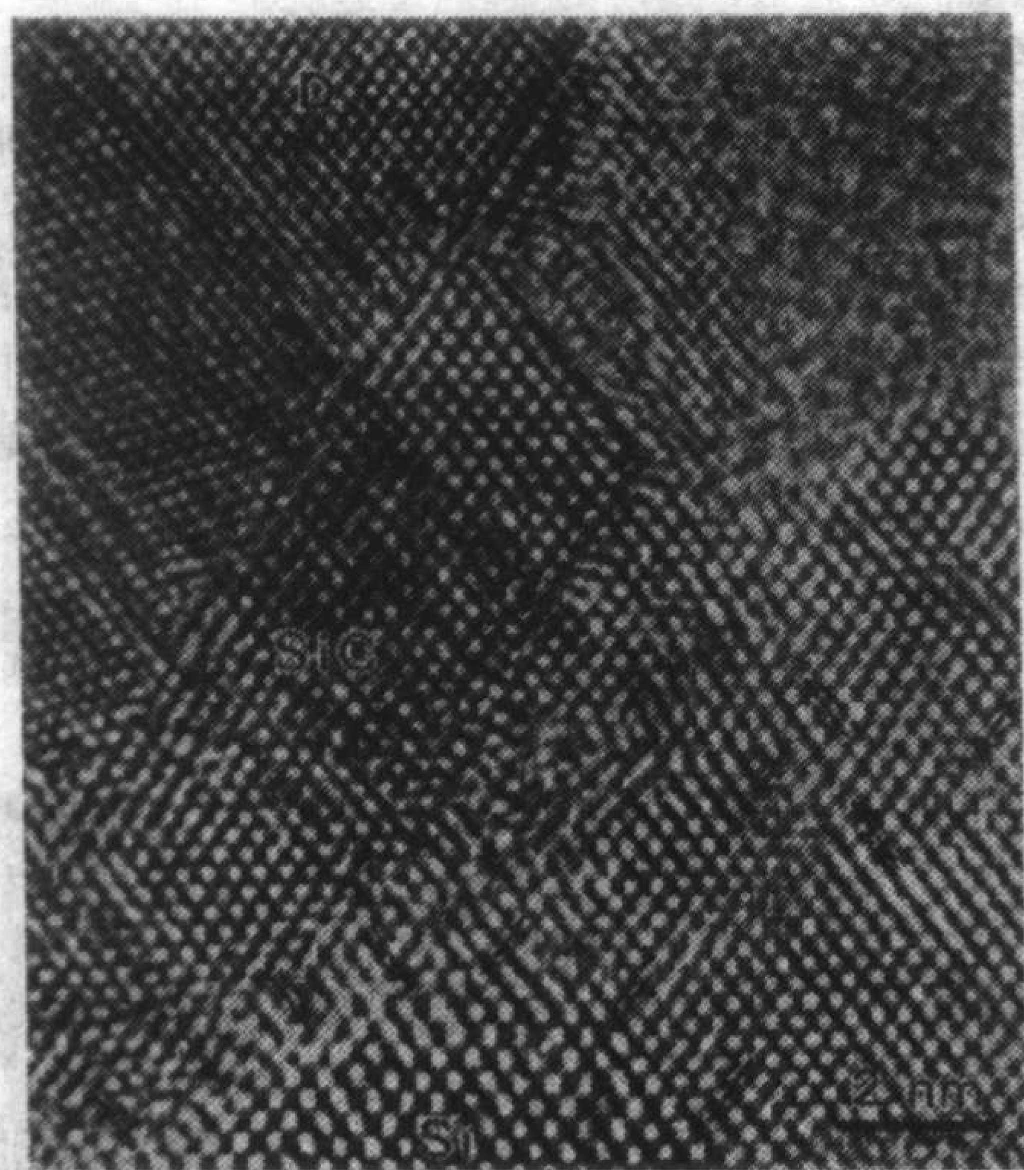


图6.7-20 BEN MP CVD金刚石在Si上外延的HRTEM图相

对于在Si上生长的高取向的金刚石膜来说，由于实验条件和方法的不同，在Si与金刚石之间会有SiC、α-C等不同的过渡层存在。但是如何精密控制工艺参数、衬底表面状态和优化工艺条件，获得高质量的金刚石/Si界面，是生长高取向金刚石膜的关键一步。

尽管β-SiC与金刚石有较大的晶格失配度（22%），高取向的金刚石膜还是在β-SiC衬底上可以生成的。同样，BEN对金刚石取向核在β-SiC衬底上的形成具有重要影响。实验发现，当对β-SiC衬底施加偏压处理后会在其表面形成原子级的V形沟槽。图6.7-22a、b和c分别是β-SiC（001）施加偏压前、后以及金刚石的成核情况的SEM形貌和RHEED衍射图形。

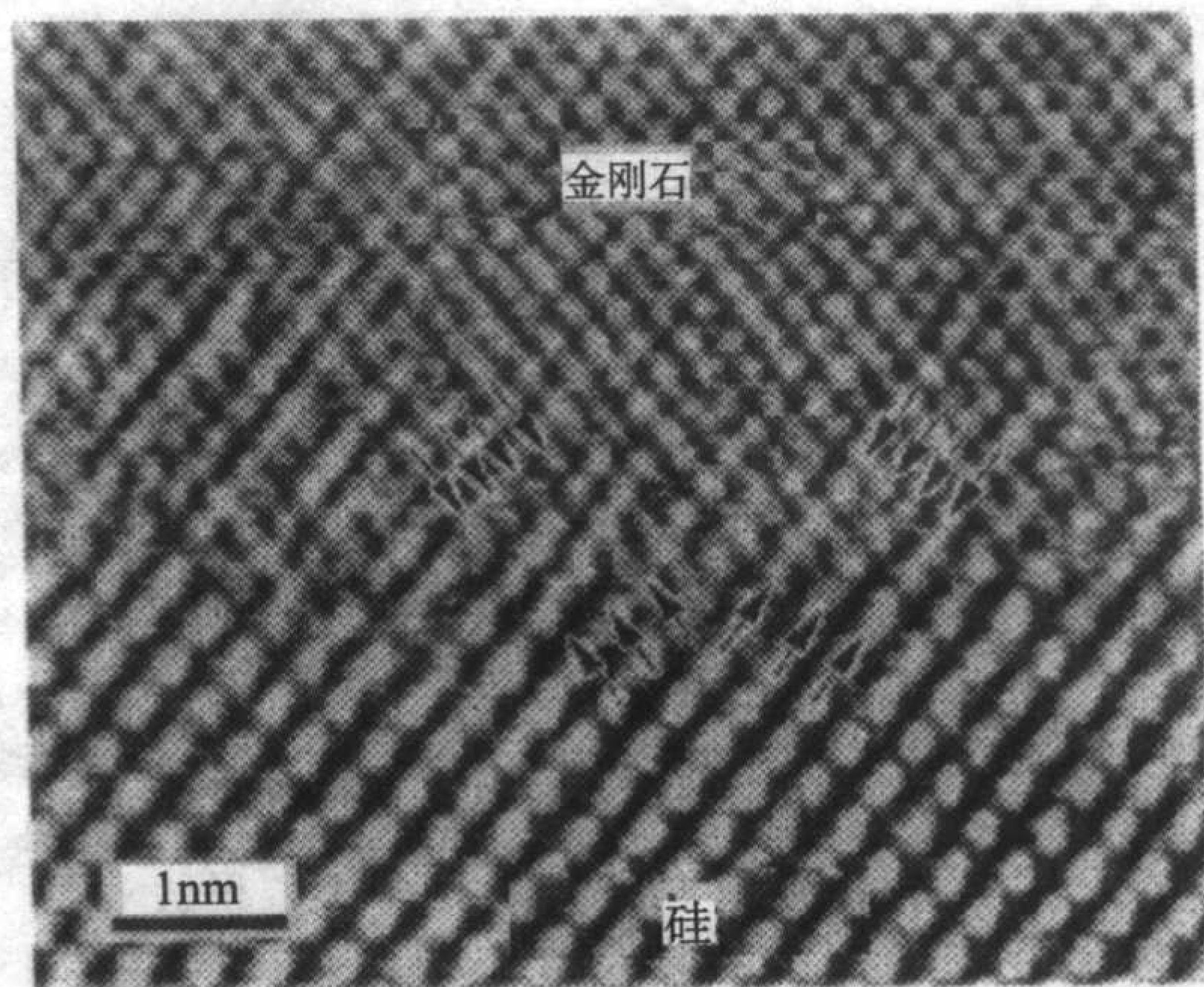


图6.7-21 金刚石直接在Si上外延的形貌，取向关系为$(001)_{diamand}$//（001）Si和[001]//Si

在β-SiC（001）上形成了[110]或[$\bar{1}$10]方向长的凸起和V形沟槽，β-SiC的RHEED形态也变成多斑点型。当对β-SiC（001）不加偏压或把β-SiC（001）放在只有H_2等离子体中沟槽都不能形成。说明沟槽结构是在CH_4存在下由于等离子体化学刻蚀或是在β-SiC（001）衬底上沉积了β-SiC凸起物。BEN 5 min后，金刚石沉积在了沟槽结构中，如c所示，对应的弧形RHEED斑点如图c所示。

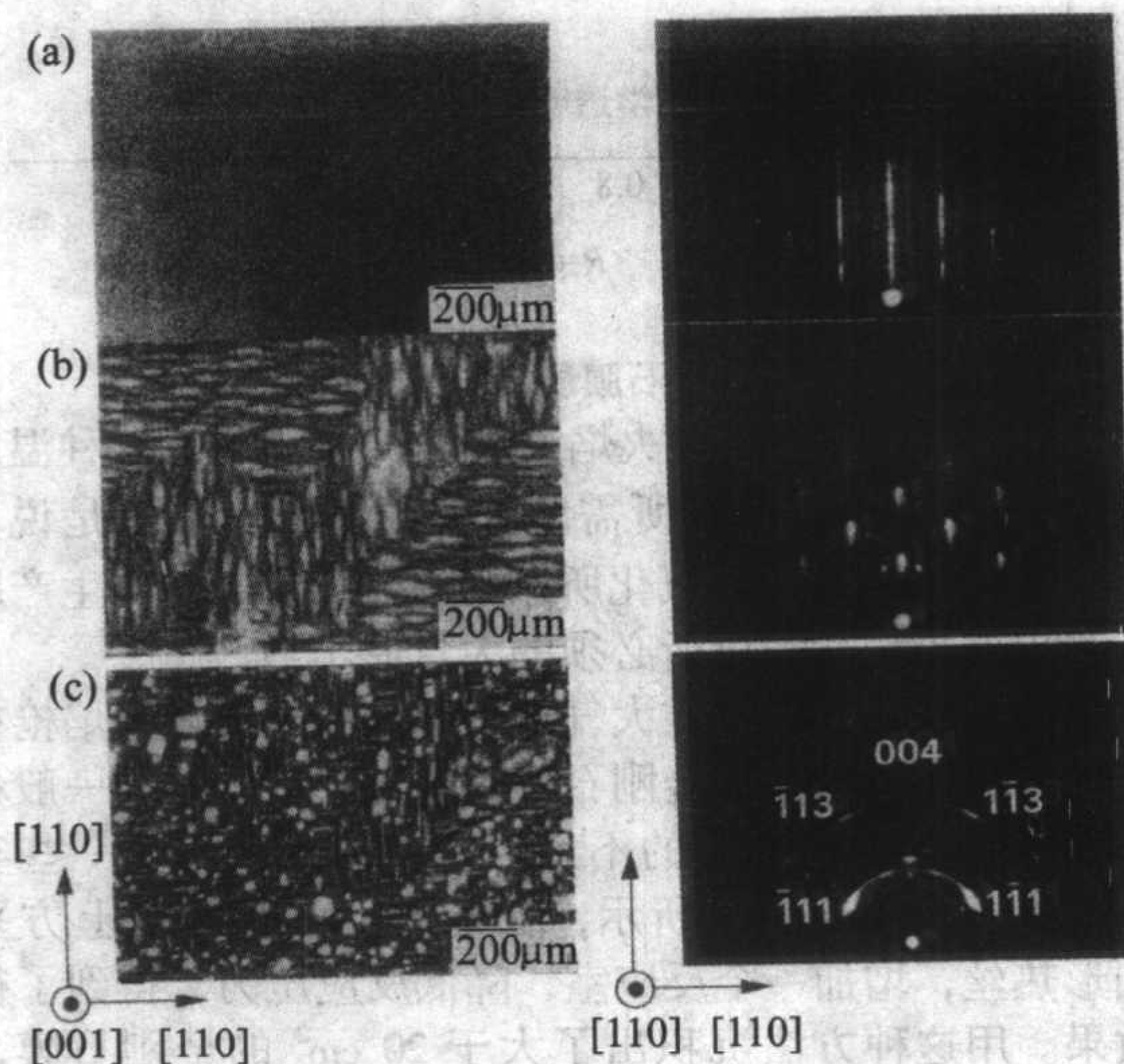


图6.7-22 β-SiC（001）施加偏压前、后以及金刚石的成核情况的SEM形貌和RHEED衍射图形

从SEM形貌可知，β-SiC（001）表面经偏压处理后有两种类型的沟槽带，一种是[110]取向，另一种是[$\bar{1}$10]取向，分别对应于存在于β-SiC（001）表面的反相畴结构。从RHEED图形具有沿<111>方向的弱的纹理和几何结晶学上考虑，沟槽的斜面是由{111}晶面组成，V形角是70.5°，这样在V形沟槽中所形成的临界核的体积就比同样条件下在平面上形成的临界核的体积减少2.5，如图6.7-23所示。这就意味着形成取向晶核的激活能降低了，将有更多的活性基元在沟槽中生成，从而提高了取向核的成核密度。

3.1.2 金属衬底

用于金刚石外延的金属衬底研究最多的主要有Ni，Co，Pt和Ir等。主要是这些金属和金刚石具有相似的晶体结构，如同属立方晶系，晶格常数相近等。其中Ni与金刚石的晶格失配最小，Ni和金刚石的晶格常数分别是0.356 7 nm和0.352 nm。

1）镍（Ni） Ni是取向金刚石成核和生长有希望的衬底。Ni与金刚石的失配度仅为1.2%。但是实验发现，金刚

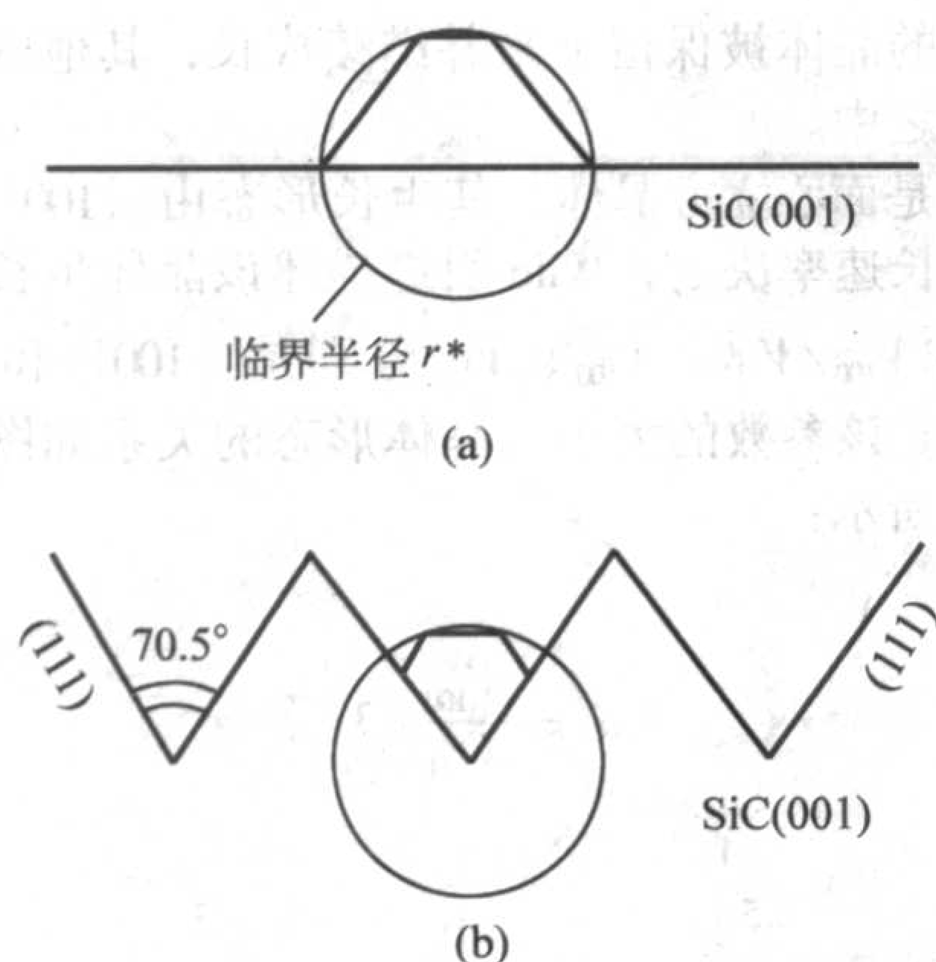


图 6.7-23 金刚石在衬底平面表面和V形沟槽中所形成的临界核的比较

石并不是直接在 Ni 上的外延，而是往往要形成过渡层，这些过渡层有 Ni-C-H、NiC、Ni_3C、Ni_4C 等，这些过渡层具有面心立方结构，而且晶格常数与金刚石相近。所以，在以 Ni 为衬底生长取向的金刚石必须严格控制工艺条件，首先形成金刚石取向生长所需的过渡层。Zhu 等首先在高温条件下在衬底表面形成 Ni-C-H，然后再进行金刚石的低压 CVD，生长出了取向的金刚石晶粒，但是用这种办法较难形成连续的大面积外延金刚石膜。同时，当温度 > 950℃时，金刚石在 Ni 中的溶解能力很大，可达到 6%。这就是说，使用 Ni 作为金刚石外延衬底，首先必须严格控制工艺条件，防止因溶碳而产生石墨层，或者生长可与金刚石直接键合且晶格匹配的同晶类 Ni-C-H 或 NiC 过渡层。

2) 铂（Pt） 与 Ni 相比，在金刚石生长工艺条件下，碳在 Pt 中的溶解度少摩尔分数于 1.5 %，所发生的界面反应与 Ni 是不一样的。在 Pt 衬底上是可以沉积出连续的外延金刚石薄膜的，图 6.7-24 是在 Pt 衬底上生长的金刚石膜的 SEM 形貌，可以看出已连成膜且具有较好的取向性。与 Ni 衬底相似，HF CVD 和 MP CVD 工艺均可用于 Pt 衬底上金刚石的外延生长。



图 6.7-24 Pt 衬底上生长的金刚石膜的 SEM 形貌

T. Takeshi 等使用 MP CVD 方法在单晶（111）和多晶 Pt 衬底上进行对比实验，工艺条件如表 6.7-8 所示。实验表明，使用单晶 Pt 衬底可以外延出 <111> 织构水平取向的金刚石，而且（111）晶面间相互凝聚在一起。在多晶 Pt 衬底上生长的金刚石显露面也大多为（111）面，且（111）面大多平行于衬底的表面，但是它们在水平面上的取向性是随机的。X 射线测量表明，金刚石 <111> 方向和 Pt 衬底 <111> 方向相互平行，{111} 面族衍射极图的最大峰值半宽度（FWHM）近于 4°，表明金刚石在 Pt 衬底上有非常好的外延度。二者的外延关系为 $Pt(\{111\}_{diamond} // \{111\}_{Pt}, [111]_{diamond} // [111]_{Pt})$。

表 6.7-8 单晶（111）和多晶 Pt 衬底上金刚石薄膜沉积的工艺条件

参数	指标
MP	350 ~ 100 W
Tea	850 ~ 880℃
CH_4	0.3%
H_2	99.7%
P	6 666 Pa（50 Torr）

由此可见，单晶 Pt 是外延金刚石膜的适宜衬底，但是大块单晶 Pt 的获得极其困难，价格极其昂贵。通常，选择合适的衬底材料（如蓝宝石单晶）首先沉积 Pt 外延膜，然后再进行金刚石的外延生长是制备大面积外延金刚石膜的有效途径。

3) 铱（Ir） Ir 与 Pt 和 Ni 一样，与金刚石晶体一样同属立方结构，晶格常数为 0.384，与金刚石的晶格失配很小，是外延金刚石膜的适宜衬底材料。Ir 与 Pt 和 Ni 不同的是，在金刚石 CVD 工艺条件下碳不溶解于 Ir，也不易形成碳化物。但是，同样 Ir 单晶难以得到。金刚石的外延均是在多晶和其他衬底上渡 Ir 膜上进行的。使用的方法有 DC PCVD、HF CVD 和 MP CVD。在金刚石外延前一般是用金刚石打磨或超声波处理，留下的金刚石作为籽晶，以及对衬底施加偏压进行取向成核和提高成核密度。

图6.7-25 是在 Ir（001）衬底上 BEN 增强成核，用 DC PCVD 方法沉积金刚石的初期 SEM 形貌，可以看出具有很高的取向度，用这种方法已制备出了 2 ~ 3 μm 厚连续的外延金刚石膜。

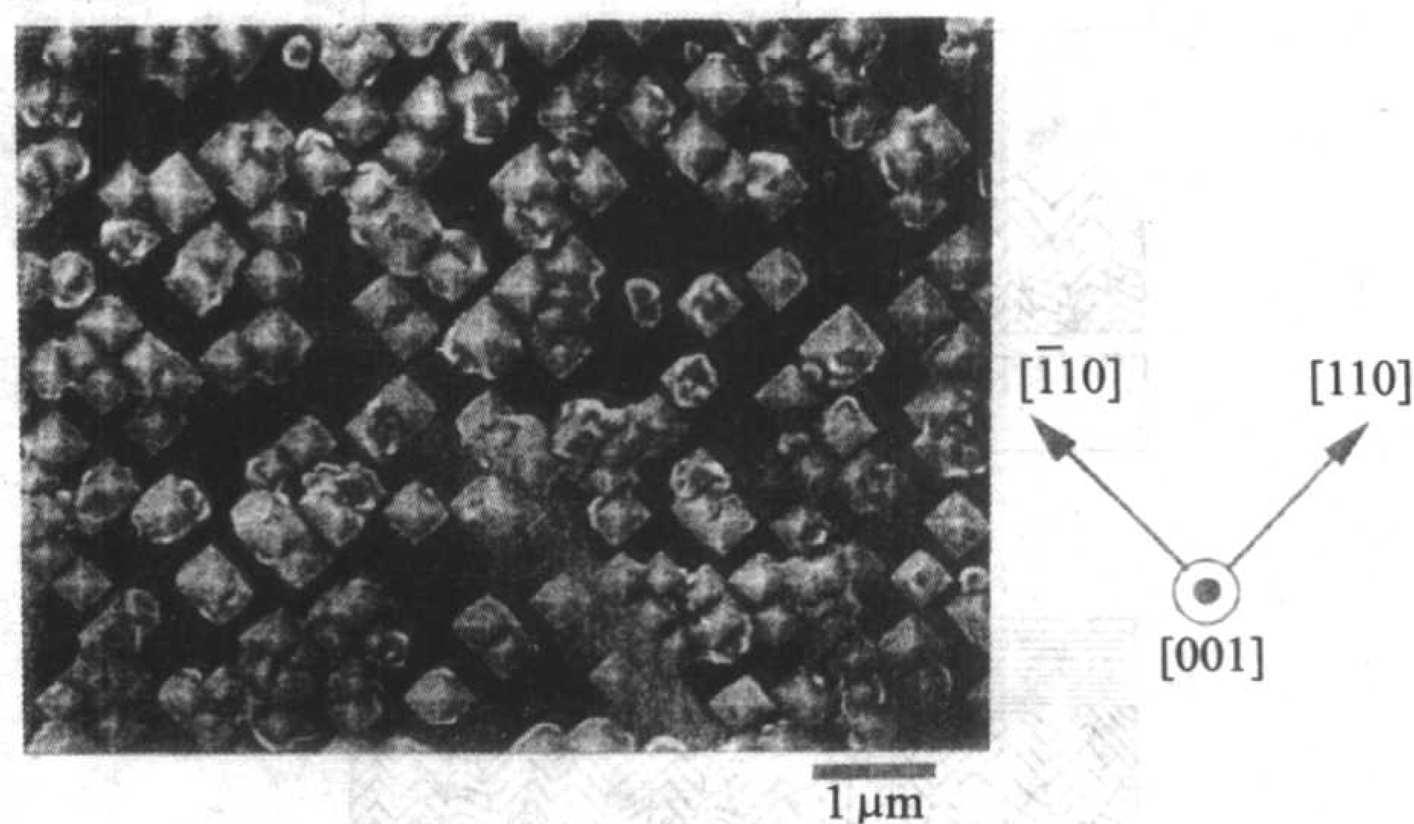


图 6.7-25 Ir（001）衬底上 BEN 增强成核 DC PCVD 方法沉积金刚石的初期 SEM 形貌与取向关系

T. Tsubuta，C. Bednarski 等以 MgO、$SrTiO_3$、Al_2O_3 单晶为衬底，并在其上沉积出取向的 Ir 成核层，使用 MP CVD 工艺，均外延出了高质量的连续金刚石膜。

3.1.3 c-BN 衬底

c-BN 和金刚石属同晶类的晶体，具有极为相似的物理性质，晶格常数 0.362 nm 与金刚石的晶格失配只有 1.45%，而且在金刚石 CVD 工艺条件下，c-BN 晶体表面可与活性 C 相结合形成 C-N 或 B-C 化学键，可以说是金刚石外延的理想衬底材料。但是，由于合成 c-BN 晶粒尺寸上的限制以及尚无结晶性的 c-BN 膜可以做衬底，所以使用 c-BN 衬底外延金刚石膜目前还有局限性。目前，有报道使用合成 c-BN 进行金刚石外延生长，获得了一些基础的实验数据。

3.2 选择生长和表面形貌

材料中晶粒取向形成某种有规律排列的现象通称为“择优取向”或“织构”。织构材料具有某些非同寻常的性能，而

且也是获得外延薄膜的一种途径。按晶粒的晶体学取向分布状态可分为纤维织构和板织构。X射线衍射是织构材料研究中常用的观测方法，通过测量X射线极图可以分析材料织构的细节。这种概念和研究方法也可用于金刚石薄膜的评价之中。

织构的形成取决于晶体各晶向的生长速率的差异。在薄膜沉积工艺中通过控制工艺条件，或引入某些物质可以控制不同晶向的生长速率。晶体的显露面为生长速率较慢的晶面。对于薄膜来说，存在有许多晶核，当晶核长大并相互接触后，各晶核的发育和生长形态开始相互影响。薄膜的生长开始是不同取向晶体竞争生长的结果。只有那些垂直于衬底表面方向快速生长的晶体被保留下来并继续成长，其他的晶核将被掩盖在薄膜之中。

金刚石是面心立方晶体，其生长形态由{100}和{111}面的相对生长速率决定，Wild引进描述该晶体生长形态的参数α，$\alpha=\sqrt{3}V_{100}/V_{111}$，$V_{100}$、$V_{111}$分别是{100}和{111}面的生长速率。该参数的大小与晶体形态的关系如图6.7-26和式（6.7-1）所示：

$$\alpha=\frac{V_{100}}{V_{111}}\sqrt{3} \qquad (6.7\text{-}1)$$

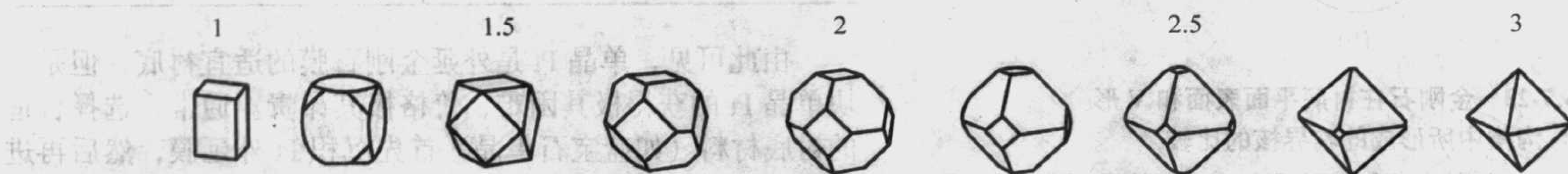


图6.7-26 α参数的大小与晶体形态的关系

这个参数受到生长温度、杂质、生长组元等的影响。张阳等研究了在MP CVD工艺中金刚石生长的动力学方程，得到了在通用条件下金刚石的生长形态与衬底温度的关系，理论与实验结果相符得很好。

这些理论模拟结果对于金刚石的取向生长控制具有指导性意义，Wild等提出了在β-SiC（001）衬底上制备［00］取向金刚石膜的基本思路及模型，如图6.7-27所示。

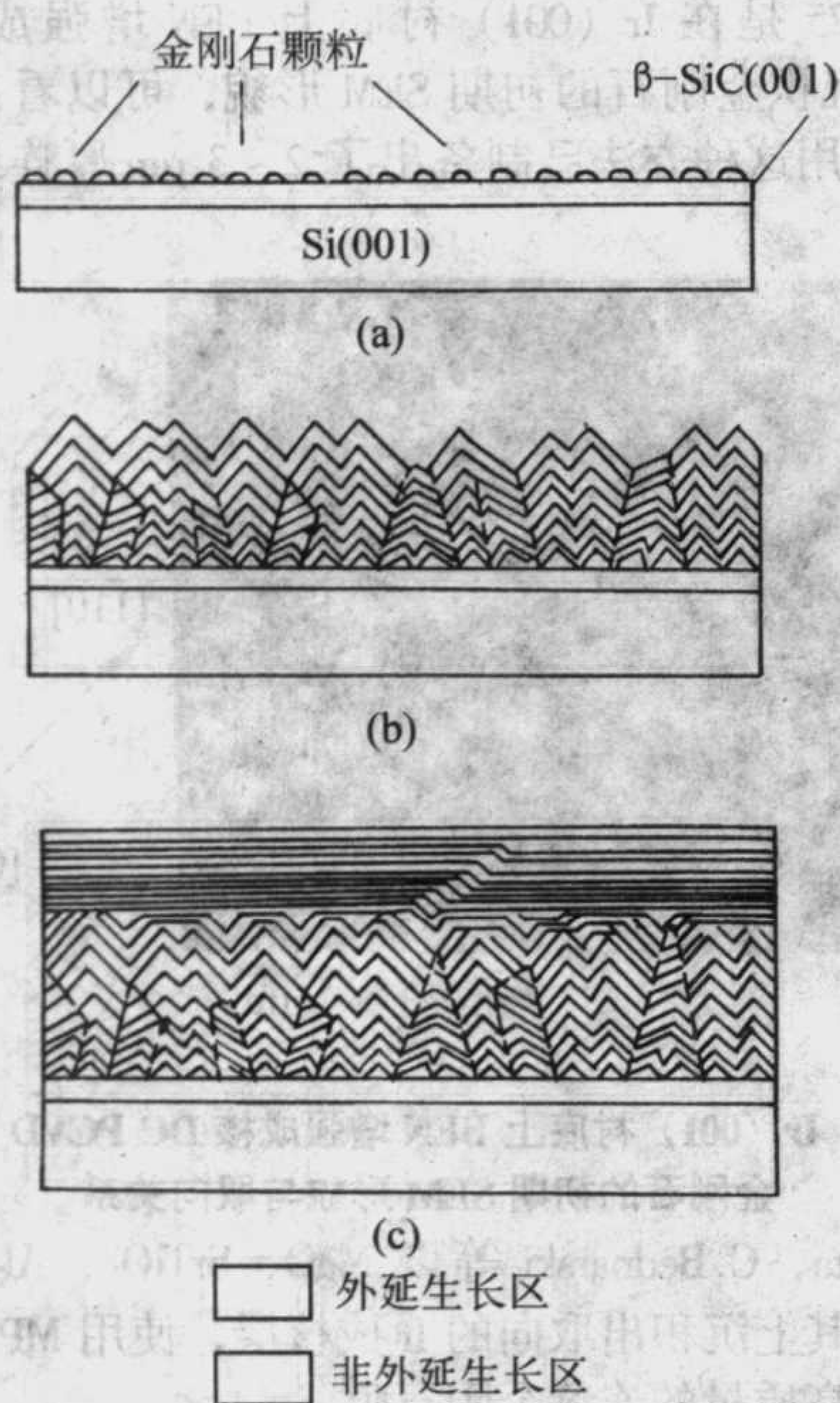


图6.7-27 β-SiC（001）衬底上制备［001］取向金刚石模的模型

要得到［001］取向的金刚石膜，最快的生长方向应是［001］，也就是α必须接近于或大于3.0，使快速生长的［001］方向平行排列并垂直于衬底表面，如图6.7-27b所示。在这一阶段，薄膜表面有许多是由{111}面构成的棱锥体晶粒形成的粗糙表面。随之，把α降至低于3.0，这时（001）面就显露出来并快速长大，结果是薄膜的表面显露的是平行于衬底的（001）面。用这种办法制备的（001）取向的金刚石膜的SEM形貌如图6.7-28所示。图6.7-29在β-SiC（001）上外延生长的金刚石的（111）X射线极图，金刚石在极面和轴向都是平行排列。由对β-SiC（001）上外延生长300 μm金刚石膜的摇摆曲线测量得到其FWHM只有0.62°。

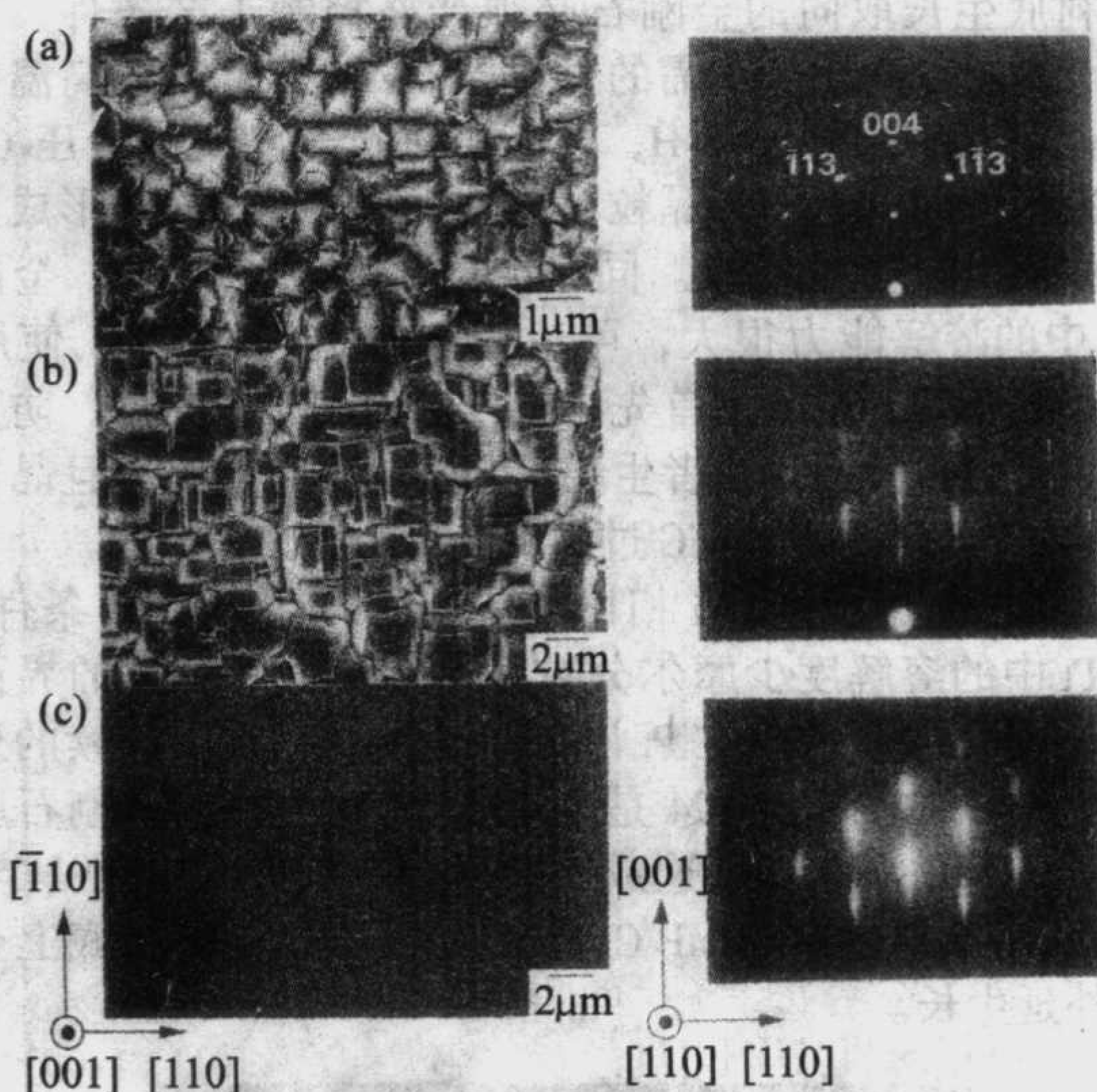


图6.7-28 （001）取向的金刚石膜的SEM形貌

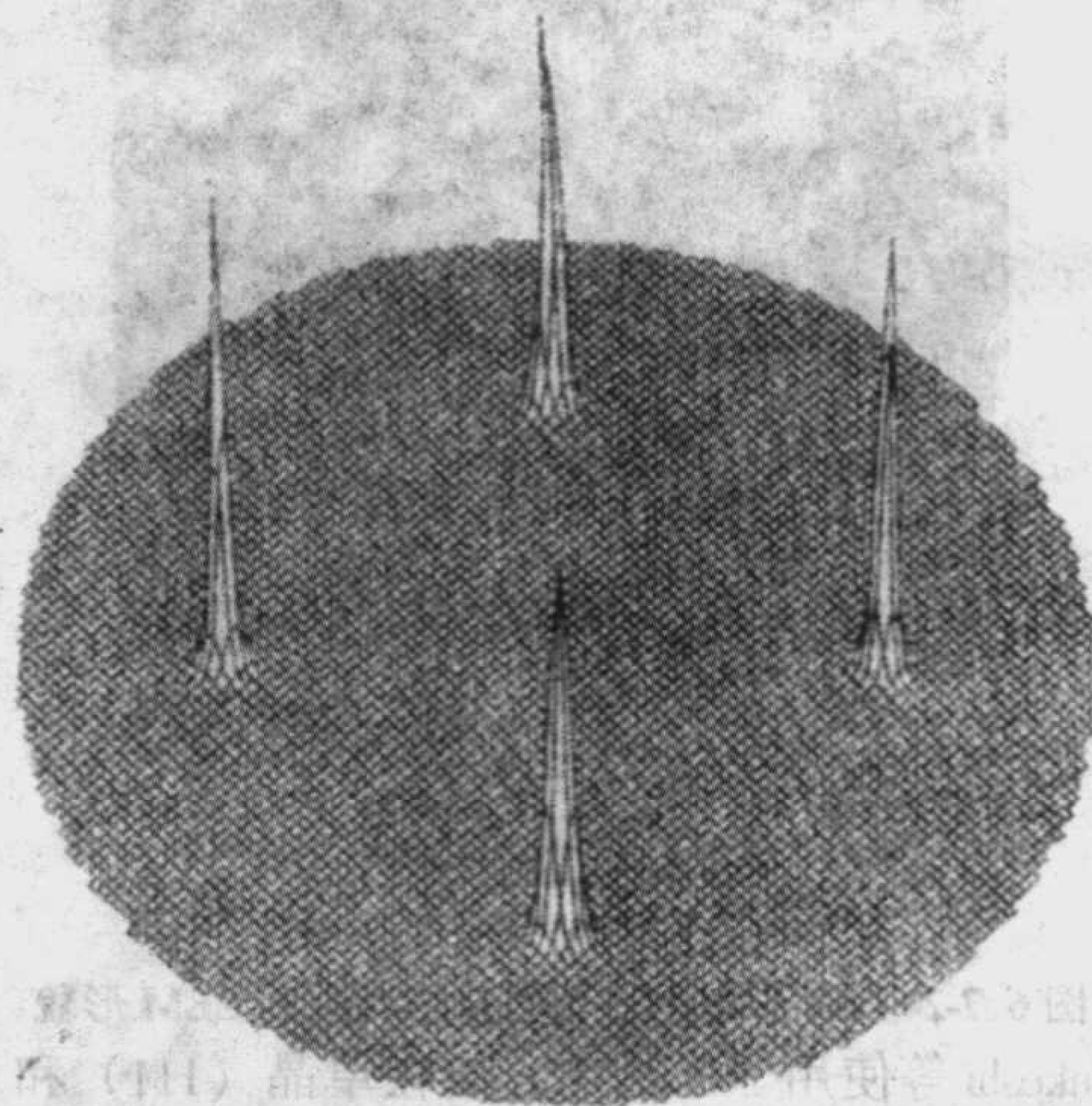


图6.7-29 β-SiC（001）上外延生长的金刚石的（111）X射线极图

3.3 金刚石薄膜的掺杂

3.3.1 掺杂原理与掺杂水平

掺杂剂的浓度、补偿度、分布和它的激活性，强烈地影响着器件性能。通常，电子器件要求杂质是全激活型的，因

而必须掺入浅 n-和 p-型杂质。但直至今日，金刚石的掺杂仅有硼作为受主杂质，其热激活能 $E_A=0.37$ eV。当增加掺杂浓度大于 $10^{20}/cm^3$ 时，其 E_A 可降至零，这是由于形成硼“微杂质能带”的结果。

激活型受主浓度，由于氮（N）的存在而有效地减小了。这是由于 N 原子起深施主作用引起的（对替代式 N，$E_A=1.7$ eV；对团聚 N，$E_A=4$ eV）。这种补偿导致了有效受主激活能的增大和空穴迁移率的下降。对高质量电子器件的制造，通过改进 CVD 密封系统及提高使用气体的纯度，使有源层 N 的浓度降低至 $10^{16}/cm^3$ 以下。

另外，金刚石原子半径和晶格常数较小，禁带宽度大，因此许多杂质原子在金刚石中溶解度很低，这给金刚石薄膜半导体掺杂带来了许多困难。尤其是 n 型掺杂，由于磷原子半径大，它的引入导致金刚石晶体较大的畸变，形成深能级。硼原子半径较小，硼掺杂 p 型半导体的研究已取得了很大的进展，其电阻率可达 10^{-2} Ω·cm 水平。掺硼的方法很多，它们各有优缺点。硼的三种形态：气态、液态、固态均可用做硼源，在金刚石生长的同时进行掺杂。对于固态硼源，还可在金刚石形成后用离子注入或高温扩散的方法掺杂。目前，掺硼金刚石膜半导体已可达到应用要求。对金刚石不能进行有效的 n 型掺杂，仍制约着金刚石薄膜在半导体器件中的应用，目前掺磷后其电阻率约为 100 Ω·cm。

3.3.2 硼掺杂技术

金刚石膜是以丙酮（C_2H_6CO）为碳源，以 B_2O_3 为硼源，用 HF-CVD 法沉积的。首先把 B_2O_3 溶解在甲醇中，制成饱和溶液，然后用丙酮稀释，控制稀释程度来控制 B 浓度，用这种配制好的混合溶液的挥发气体和 H_2 气一起引入反应室中，合成了一组不同 B 掺杂浓度的金刚石膜，反应室预真空为 0.013 Pa。用单晶 Si（100）作为衬底，沉积前用 1 μm 的金刚沙预研磨。其他的实验条件列于表 6.7-9 中。薄膜生长速率为 1～2 μm/h，生长时间为 8 h，合成薄膜厚度约为 10～15 μm。

表 6.7-9 合成金刚石薄膜生长条件

参 数	指 标
热丝温度/℃	2 000～2 200
衬底温度/℃	750～850
反应气压/Pa	4 000
氢气流量/$cm^3·s^{-1}$	200
反应气体流量/$cm^3·s^{-1}$	3

用 Raman 谱仪、X 光衍射及扫描电镜（SEM）等技术鉴定了样品的质量，证实是多晶金刚石膜，晶粒尺寸为 1～3 μm，非金刚石成分不多，而且随着 B 含量的增加，Raman 谱中反映非金刚石成分的特征包减小，甚至观察不到。

为了准确地测量样品的电学特性，用硝酸（HNO_3）和氢氟酸（HF）混合液腐蚀掉 Si 衬底，然后把样品粘在玻璃上。用导电胶形成平行电极，电极长 5 mm，两个电极间距离 0.5 mm，经测量形成了欧姆接触。把同一样品分成两块，一块用于沉积后直接测量，另一块样品用于在 N_2 气环境下经 600℃退火 3 h 后的测量。

3.3.3 硼掺杂的 *I-V* 特性

图 6.7-30 是退火前后未掺杂金刚石膜的 *I-V* 特性，从图中可以看出，样品退火前电阻率约 10^7 Ω·cm，在低电压区呈现良好的欧姆特性；经退火后样品电阻率提高了 6 个量级，而且欧姆特性有所改善，在较高的电压区仍呈现出良好的欧姆特性。退火后，电阻率提高了 6 个量级，这个现象与直流弧光 CVD 法合成的金刚石膜的结果类似。这是因为在合成金刚石膜的激发气体中，存在大量的处于激发态的 H 原子，在膜的形成过程中，这些 H 原子也进入膜中，一部分饱和了 C 原子的悬挂键，和 C 原子形成各种形式的 C—H 键结构，减少了膜中的缺陷态，另一部分 H 原子处于电激活状态，使得刚合成的样品电阻率不高。经 600℃退火后，处于电激活的 H 逸出，另外，C—H 键断裂，H 原子也从金刚石膜中逸出，在膜中留下 C 的悬挂键，形成了大量的缺陷态，从而使样品的电阻率有很大提高。同时，在退火过程中发生结构弛豫，使得金刚石的结构变化，C 原子发生重构，样品欧姆特性有所改善，在较高的电压区呈现出良好的欧姆特性。

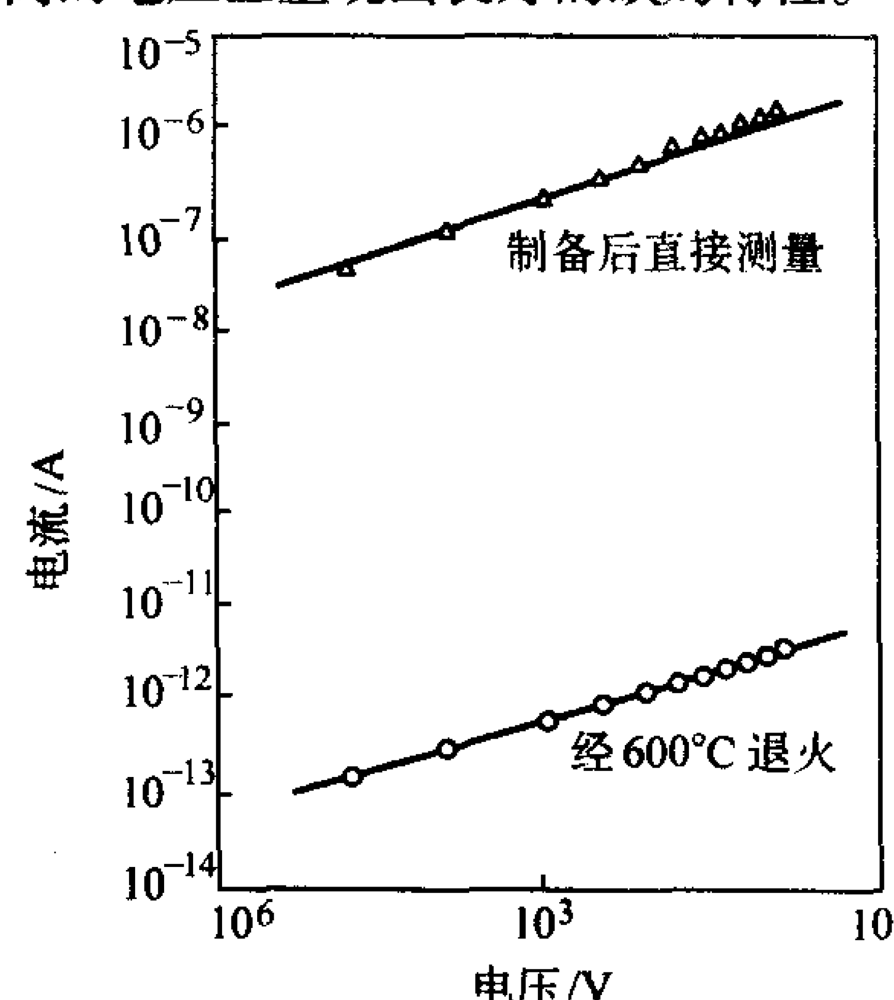


图 6.7-30 退火前后未掺杂金刚石膜的 *I-V* 特性

不同 B 掺杂浓度金刚石膜的 *I-V* 特性曲线如图 6.7-31 所示。随着 B 掺杂浓度的增加，样品的电导率逐渐下降，而且欧姆特性逐渐变坏，在较低的电压便呈现出空间电荷限制电流（SCLC）特性。经微掺杂的 B 原子在金刚石的带隙间引入了受主能级（0.317 eV），随着 B 掺杂浓度的增高，B 原子间的距离接近，B 原子被波函数的相互交叠增大，使杂质能级扩展为杂质带，杂质带的激发态和价带顶的距离减小，激活能减小。但 B 原子的掺入又引起金刚石结构的变化，产生新的结构缺陷，B 含量愈高，样品的欧姆特性愈差。同时实验中发现，经 600℃退火后，偏离欧姆接触的转变电压升高，这可能是由于退火引起的结构弛豫的影响。

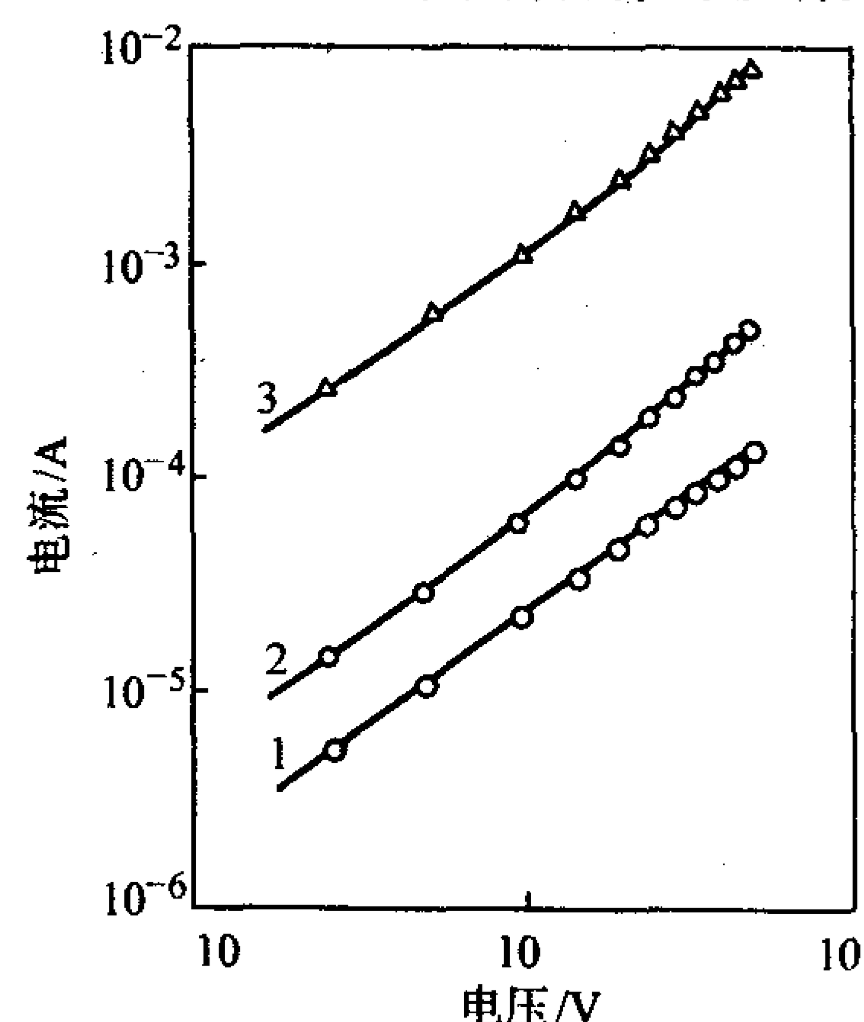


图 6.7-31 不同掺杂浓度金刚石膜的 *I-V* 特性样品的电阻率

1—5.16×103 Ω·cm；2—2.0×10^3 Ω·cm；3—1.09×10^2 Ω·cm

经 600℃退火后，未掺杂及掺杂金刚石膜的电阻率都有变化，如图 6.7-32 所示。未掺杂样品的电阻率增加了 6 个量级；对于不同 B 掺杂浓度的样品，随着 B 浓度的增高，退火后的电阻率（ρ_A）和退火前的电阻率之比（ρ_A/ρ）逐渐变小，到重掺杂时，电阻率只有轻微的变化。这就是说随掺杂浓度的升高，退火前后电阻率的变化愈小。这个实验事实表明对未掺杂的金刚石膜，H 原子的存在对金刚石膜电导的影响很大。而对掺杂样品，主要是通过杂质导电，随着 B 含量的增加，H 原子的作用逐渐变小，退火后 H 原子逸出的

影响也相应变小，到重掺杂时，退火前后电阻率只有轻微的变化。另外，B原子掺入金刚石膜后，以替位方式存在，并引起C原子的自扩散，使结构发生变化，这样，掺杂金刚石膜中H的含量可能少于未掺杂金刚石膜。这在掺杂及未掺杂金刚石膜的IR谱中也有反映。

通过 *I-V* 特性的测试，发现所有样品在0～10 V之间呈现良好的欧姆接触。

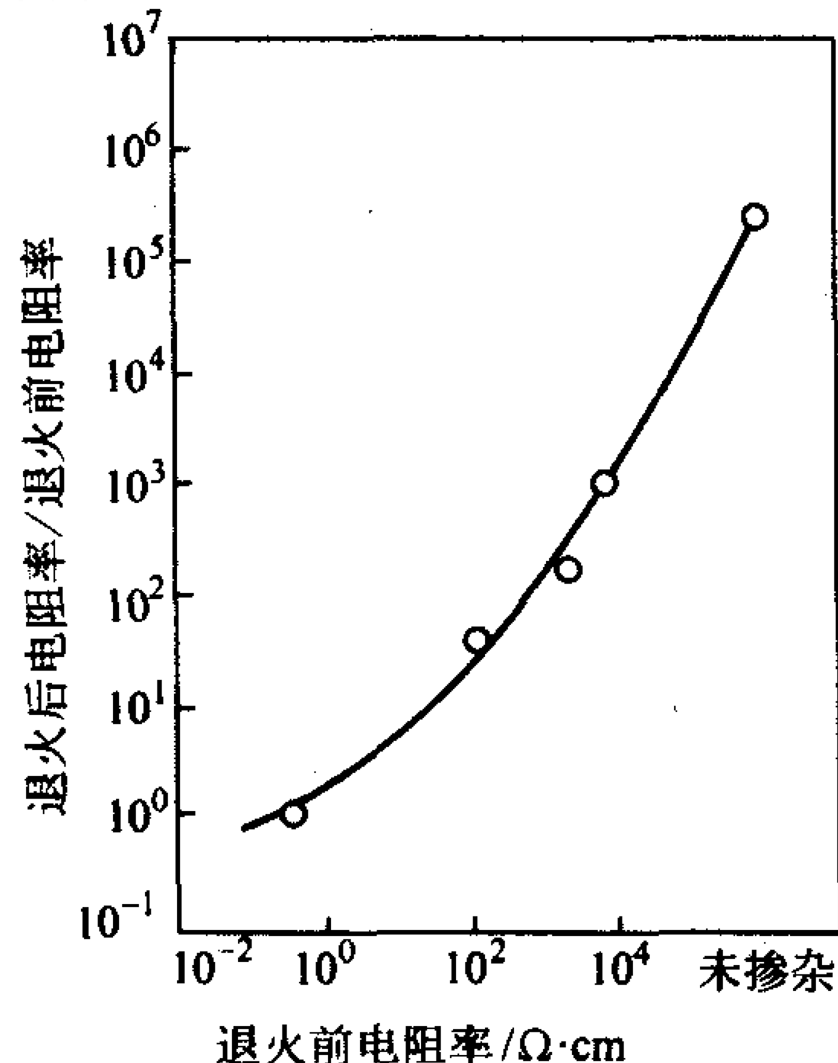


图6.7-32　未掺杂及不同B掺杂浓度样品退火前后电阻率的变化

3.3.4　硼掺杂的红外吸收特性

为了研究B原子在金刚石膜中所处的状态，用双光束傅里叶红外光谱仪测量了掺杂和未掺杂金刚石膜的红外吸收特征。图6.7-33给出未掺杂金刚石膜在5 200～400/cm范围内的红外吸收谱。从图看出，在远红外区存在着一些干涉纹，在3 600～1 200/cm区附加小的吸收峰。为了更清楚起见，我们把3 070～2 670/cm范围内的吸收放大，插在图6.7-33中，结果表明，对CVD金刚石膜在2 850～2 950/cm区呈现了sp^3 C-H键振动吸收峰，它们的强度很弱，C-H键的出现是由于金刚石膜沉积过程是在H的等离子体中进行的，等离子体中含有大量的非平衡的H原子。因此，CVD金刚石膜中含有H，C-H键大多数以sp^3键合方式存在，Raman谱也证实了这一点，没有出现以sp^2键合的石墨结构特征。另外，在1 300/cm处没有观察到单声子本征振动吸收峰，这可能是由于散射和干涉现象掩盖了它们的吸收峰。

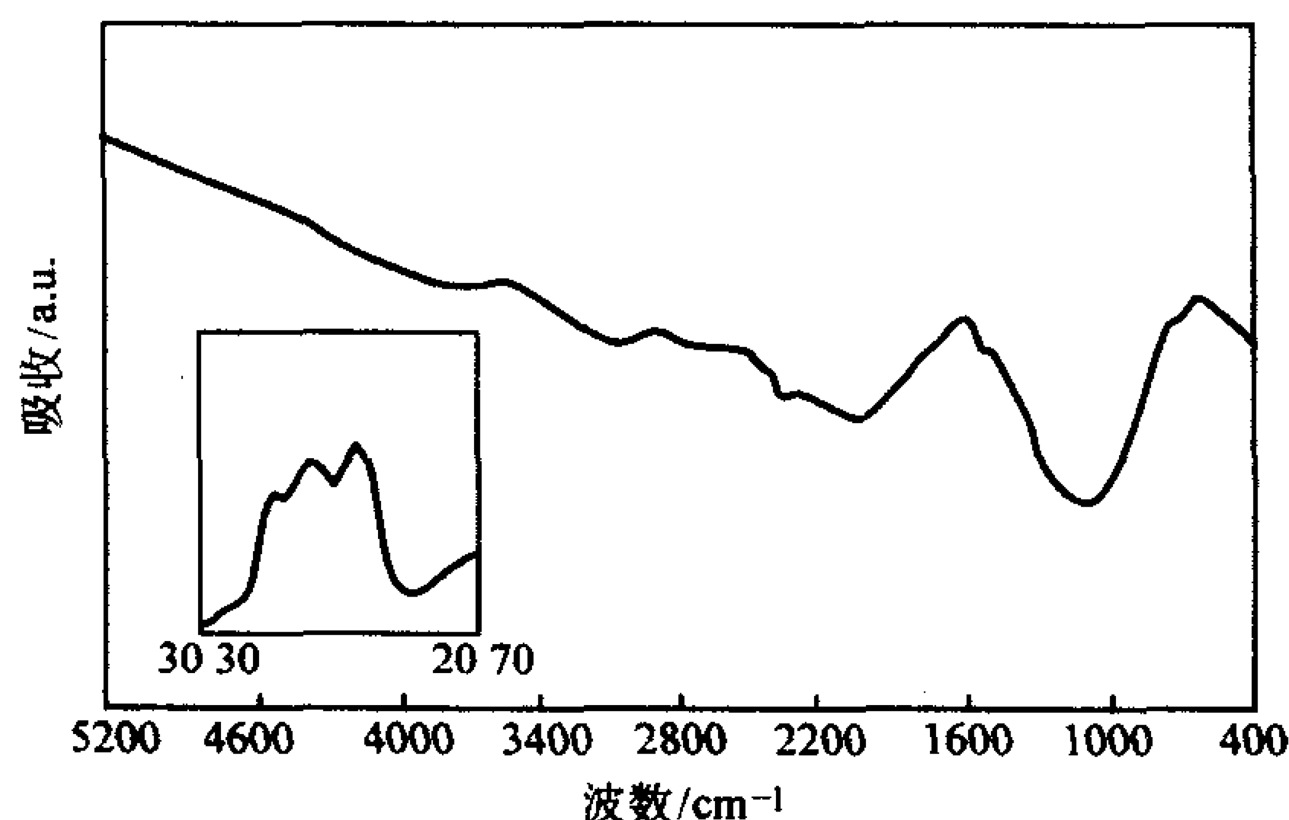


图6.7-33　本征金刚石红外吸收谱

根据天然Ⅱb型半导体金刚石红外谱，B在金刚石中是浅受主杂质，B原子空穴束缚态分别在0.305 eV、0.347 eV和0.363 eV处有吸收峰，它们分别是从基态到第一、第二、第三激发态的跃迁引起的。B原子在金刚石膜中有较大的电离能，不同于单晶锗和硅，可以在室温下进行检测。但是，对CVD金刚石多晶膜的检测是困难的，一方面是由于有晶粒间界散射的影响；另一方面是由于CVD金刚石膜中有H的存在，C—H键吸收的位置与B原子基态到第三激发态吸收峰的位置相近，不易分辨出来；同时，CVD多晶金刚石膜也不能像天然金刚石可以制备毫米厚度的样品。所以，B掺杂多晶金刚石膜红外分析还是很困难的。

张仿清等人测量了轻掺杂样品，B掺杂浓度为10^{17}/cm^{3}的典型红外谱放在图6.7-34曲线（a）中。从曲线（a）可以看出，在2 850～2 970/cm范围内仍然存在着弱的sp^3 C—H键振动峰。在远红外区存在着干涉观察，每个干涉峰的间距约为300/cm。然而，在干涉峰之外能够看到与B有关的振动峰，在2 488/cm（0.308 eV）和2 752/cm（0.341 eV）处有二个吸收带，它们不在干涉峰的位置，并打乱了干涉峰的周期。可以认为，它们分别属于B原子的基态到第一、第二激发态的跃迁吸收。这与天然Ⅱb型金刚石的结果基本一致。但吸收带较宽，这可能是由于样品B的浓度（10^{17}/cm^3）比天然Ⅱb型半导体金刚石B的浓度（10^{15}/cm^3）高了二个量级。杂质能级随杂质浓度增加而变宽，所以吸收峰的线宽也增大。另外，是在室温下测量的，基态和激发态都比低温时有些展宽。为了清楚起见，在2 200～3 400/cm范围内放大红外谱，如图6.7-35曲线（a）所示，从图6.7-35（a）看出，在2 488/cm范围有明显的C—H键吸收带，但第三激发态不能分辨出来。

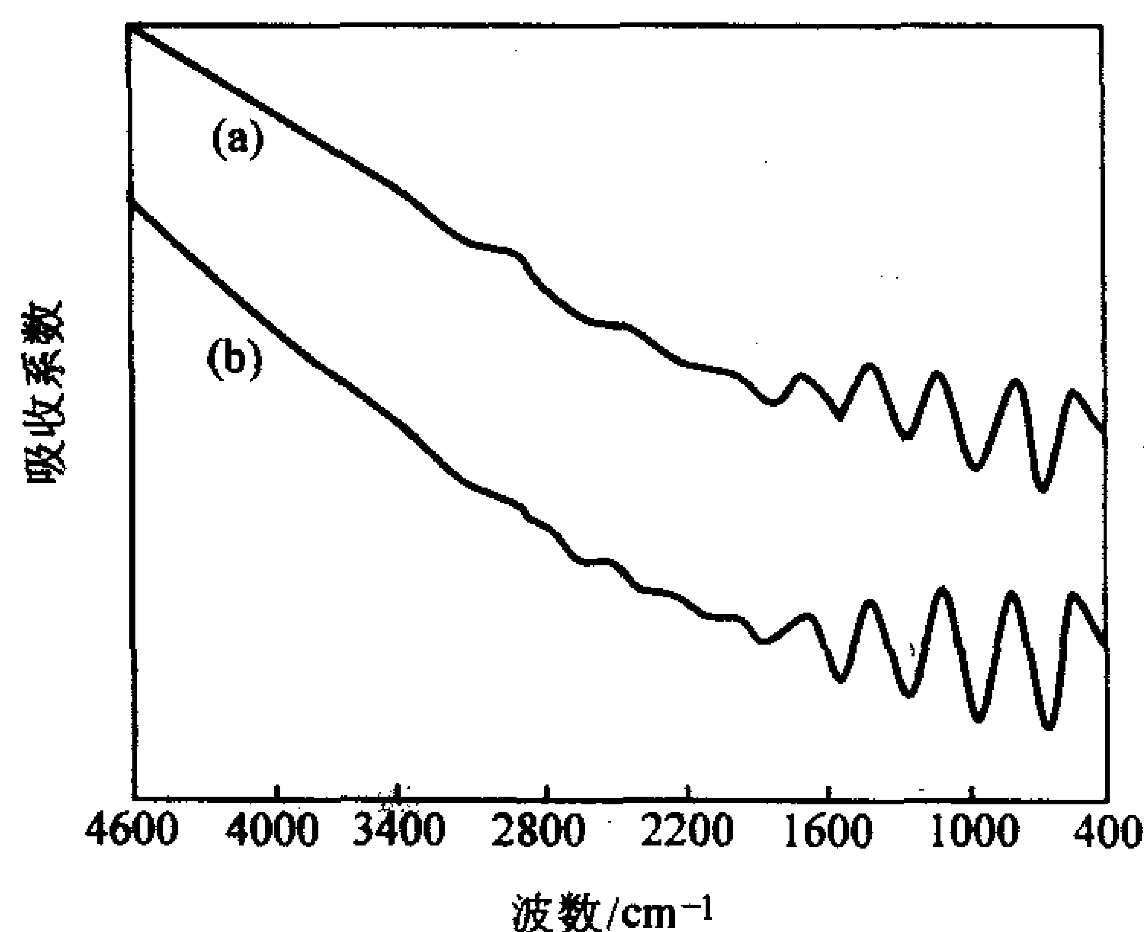


图6.7-34　掺B金刚石膜退火前（a）后（b）红外谱

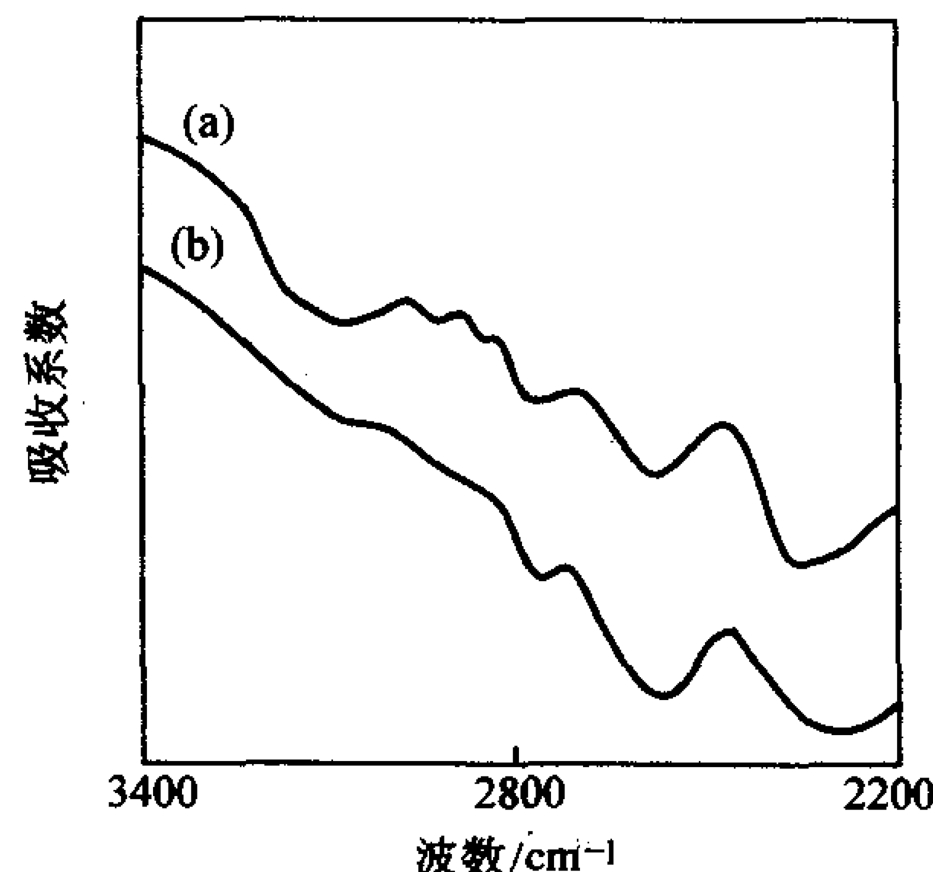


图6.7-35　掺B金刚石膜退火前（a）后（b）放大的红外谱

为了减少C—H键振动吸收的影响，把B掺杂样品在300℃ N_2气保护下退火1 h，然后重新进行红外测量，并注意使样品安装的位置与退火前一样，排除样品不均匀的影响。其结果表示在图6.7-34（b）中，放大谱由图6.7-35（b）给出。从图6.7-34看出，退火前红外曲线（a）和退火后曲线（b）相比较，红外区干涉条纹的间距和位置几乎是一样的，说明二次测量没有受到样品不均匀性的影响。另外，B原子基态到第一、第二激发态跃迁吸收的位置也和退火前一样。但是，在2 850～3 000/cm处C—H键的吸收峰比退火前

明显降低，然而 B 原子基态到第三激发态跃迁吸收仍然分辨不出来。天然Ⅱb 型金刚石在 0.363 eV 处有明显的吸收峰，特别是在低温（85 K）下测量时有尖锐的吸收峰。这个差异可能是由于 CVD 多晶金刚石膜缺陷较多，使价带尾态和受主的第三激发态相连，这一跃迁吸收变成连续的吸收带，埋在背底噪声中，不易检测出来。J.Mort 也没有检测出来。

另外，还对重掺杂（$10^{20}/cm^3$）金刚石膜红外吸收谱进行了检测，典型谱图由图 6.7-36 给出。由于杂质浓度太高，缺陷态也多，整个谱图是一些连续的干涉峰及杂质吸收，无法观察到 B 原子的特征吸收峰。

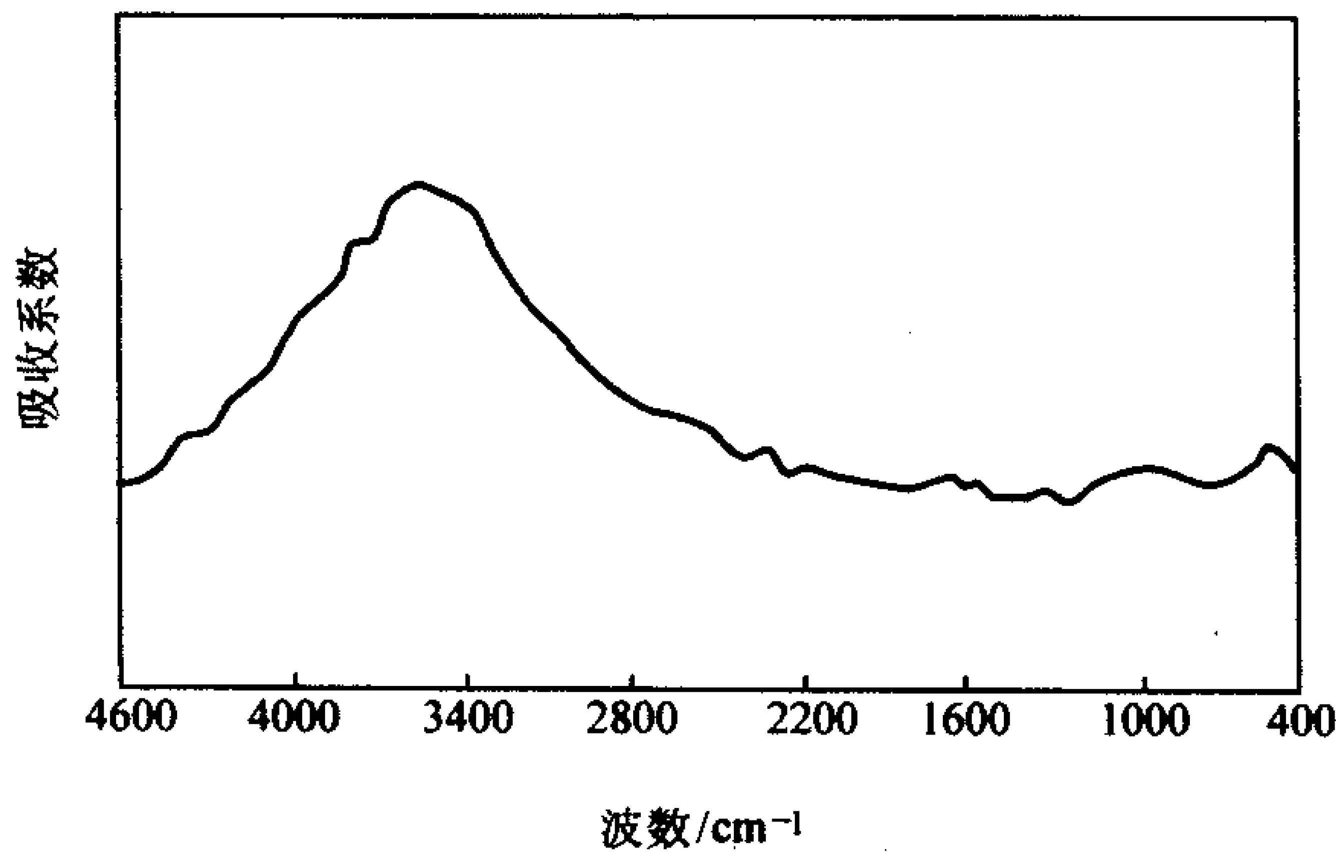


图 6.7-36　重掺杂（$10^{20}/cm^3$）金刚石膜红外谱

4　金刚石半导体的基本物理性质

金刚石半导体的禁带宽度、临界击穿电场强度、载流子的饱和漂移速率以及迁移率都非常大，介电常数非常小，因此，用金刚石材料制作半导体器件，比其他半导体器件具有显著的优越性能。这些性能主要包括开态电阻、结的泄漏造成的功率损耗、热导率、耐辐射强度、高频特性和高温特性。

用峰值雪崩击穿电场强度作为临界参数，评价半导体材料在高功率电子应用中的特性。计算表明，金刚石的开态电阻比硅高几个数量级，最大工作频率高 20 倍，潜在工作温度达 600℃以上。而用功率优化指数分析计算也表明，金刚石的功率处理能力比硅高 6 个数量级。

金刚石同其他半导体材料的性质比较如表 6.7-10 所示。

从表 6.7-10 的最后一栏可看出，金刚石的众多性质堪称材料之最，它集众多宽禁带半导体的优良特性于一身。现将其优异性质列举并分析如下。

1）禁带宽度大。由于热生泄漏电流主要由禁带宽度决定，因此，在给定温度下，比窄禁带半导体的热生泄漏电流小 10～14 个数量级。有利于制作电荷耦合器件、非易失性高速存储器，并用于光探测器中减小暗电流。

2）热导率最高。有利于制作高功率放大器和激光器。

3）高电场下电子饱和速率最高。是毫米波放大器的主要来源。

表 6.7-10　金刚石与其他半导体材料的特性参数表

特性	Si	GaAs	βSiC	4H SiC	GaN	AlN	金刚石
晶格常数/nm	0.543	0.565	0.435 96	0.307 3_{a0} 10.053_{c0}	0.451	0.311_{a0} 0.497 9_{c0}	0.3567
线胀系数/$10^{-6}K^{-1}$	2.6	5.9	4.7	4.2_{a0} 4.68_{c0}	5.6	4.5_{a0}	0.08
密度/$g\cdot cm^{-3}$	2.328		3.210	3.211	6.095	3.255	3.515
熔点/℃	1 420		2 830	2 830			4 000
禁带宽度/eV	1.1	1.43	2.2	3.26	3.45	6.2	5.45
电子饱和速率/$10^7\ cm\cdot s^{-1}$	1.0	1.0	2.2	2.0	2.2		2.7
电子迁移率/$cm^2\cdot(V\cdot s)^{-1}$	1 500	8 500	1 000	1 140	1 250		2 200
空穴迁移率/$cm^2\cdot(V\cdot s)^{-1}$	600	400	50	50	850		1 600
击穿电场/$10^5\ V\cdot cm^{-1}$	3	6	20	30	> 10		100
介电常数	11.8	12.5	9.7	9.6/10	9	8.5	5.5
电阻率/$\Omega\cdot cm$	1 000	10^3	150	$>10^{12}$	$>10^{10}$	$>10^{13}$	$>10^{13}$
热导率/$W\cdot(cm\cdot K)^{-1}$	1.5	0.46	4.9	4.9	1.3	3.0	22
吸收限/μm	1.4	0.85	0.50	0.37	0.36	0.12	0.22
折射系数	3.5	3.4	2.7	2.7		3.32	2.42
硬度/MPa	10 000	6 000	39 800	21 300_{c0}		12 000	100 000
Johnson 优化指数/$10^{23}W\cdot\Omega\cdot s^2$	9.0	62.5	2 533	4 410	15 670		73 856
Keyes 优化指数/$10^2W\cdot(cm\cdot s\cdot K)^{-1}$	13.8	6.3	90.3	229	118		444
Baliga 优化指数（相对于 Si）	1.0	15.7	4.4		24.6		101
温度优化指数	220	394	650	815	1 060	3 000	2 727

4）空穴迁移率最高。

5）绝缘强度非常高，是硅的 33 倍。有利于制作高功率

放大器、开关和二极管。

6）介电常数最低。有利于制作与寄生电容有主要关系的器件，如毫米波放大器。

7）异质结偏移势垒较大。适于热载流子注入。

8）电子发射概率高。适用于制作大面积、彩色发光显示板的新型阴极，也适于制作新型的密度调制传输波放大器。

9）有负的电子亲和势。有利于场致发射，若能充分进行 n 型掺杂和充分的欧姆接触，作为冷阴极潜力巨大。

10）最高的 Johnson 指数，适于制作高功率放大器。

11）最高的 Keyes 指数，适于制作集成电路。

12）最高的 Baliga 指数，适于制作高功率开关。

从以上分析不难看出，在硅器件技术已相当成熟，且已趋开发极限的今天，探讨新一代的金刚石半导体器件具有尤为重要的意义。

4.1　异质外延金刚石膜的电学性质

金刚石基的电子器件将比用其他半导体材料制作的器件具有更高的输出功率和更宽的频带。如金刚石的 Johnson 优值（JFM）比 GaN 大 2 倍，比 SiC 大 7 倍。JFM 与击穿场强 E_{Br}和截流子的饱和速率 U_{sat}相关。在器件中，E_{Br}对应于最大电压的漂移，而 V_{sat}与最大输出电流相关。另外从与载流子迁移率、带宽和热导率相关的其他优值指数，如 Baliga 优值指数、Keyes 优值指数来看，金刚石也是最优的选择。

金刚石器件的主要应用领域是高频和高温下工作的功率电子器件。对于这类器件来说，热量的导出是器件可靠运转的关键因素。金刚石因其所固有的最高热导率而能够使器件承受高的功率密度以及在很高的温度环境下工作。这就克服了所有其他宽带隙半导体 FET 器件因热管理上的限制而带来输出功率密度上的不足。

但是作为器件级的金刚石必须具有足够的尺寸和较高的晶体质量。HTHP 单晶在尺寸上存在不足，而天然的大单晶数量受限。纯单晶金刚石膜目前尚未实现，唯一的办法就是使用异质外延的金刚石膜，这方面研究已取得较好的进展。

由于金刚石 n 型掺杂上的困难，而用金刚石制备 P-沟道场效应管比较合适。因为这种器件只是利用薄膜的表面区域，而包埋的晶界并不影响器件的工作。H. Kawarada 等利用于 β-SiC（001）衬底上外延的金刚石膜制备了金属半导体场效应管（MESFETS）。图 6.7-37 是以 Cu 为栅极的 MESFET 工作在耗尽型模式的 I_{DS}-V_{DS} 特性曲线。通过控制阈值电压，实现了增强型和耗尽型模式运转，较强地受栅极材料金属电负电性的影响，其跨导是 7～8 mS/mm。

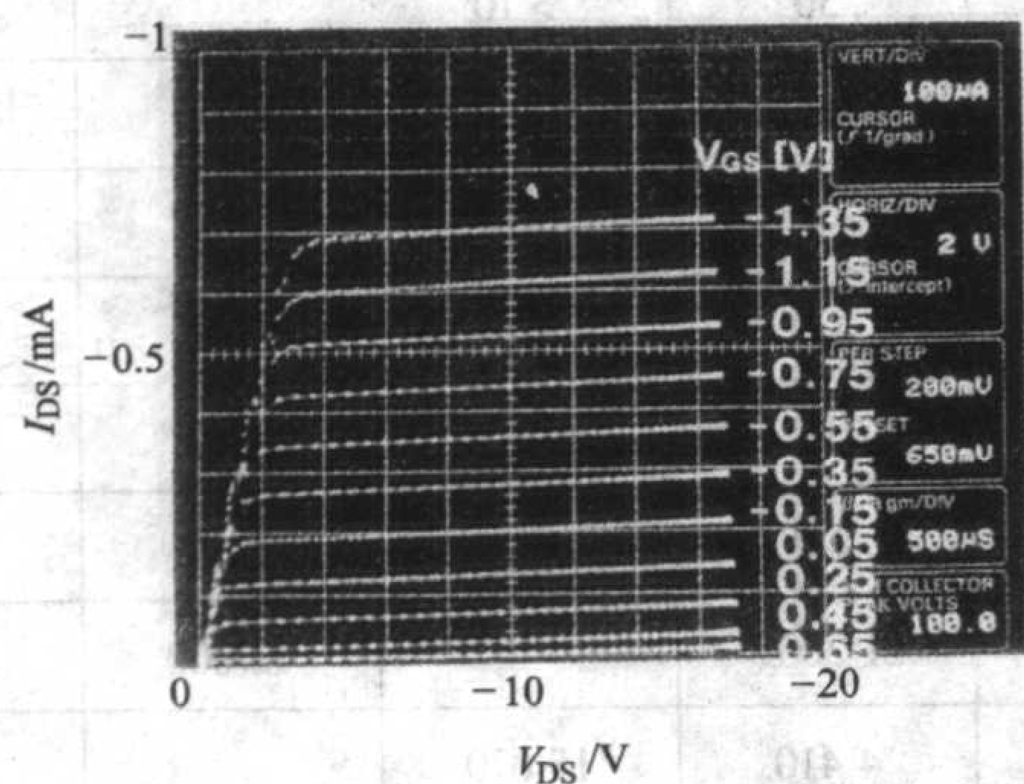


图 6.7-37　Cu 为栅极的 MESFET 工作在耗尽型模式的 I_{DS}-V_{DS}特性曲线

M. Kubovic 以 $SrTiO_3$ 为衬底，使用在 Ir 过渡层上外延出单晶级的金刚石膜，制备了 p 型表面沟道 FET，栅极为 Au。器件的截止频率 $f_T = 9.6$ GHz，$f_{max(MAG)} = 16.3$ GHz，$f_{max(V)} = 17.3$ GHz，梯栅长度 $L_G = 0.24$ μm。对于 $L_G = 0.9$ μm，得到饱和 RF 输出功率在 1 GHz 时为 0.2 W/mm，图 6.7-38 是它的 I_{DS}-V_{DS}关系曲线，最大跨导是 97 mS/mm。

S. Miyamoto 等使用在 HTHTIb 型金刚石衬底（001）上的外延金刚石膜，以 GaF_2 为栅极，制备出了高性能的 MISFET。当 $L_G = 0.4$ μm 时，MISFET 的 f_T 和 f_{max} 分别是 15 GHz 和 20 GHz。如果 $L_G = 0.2$ μm，则 f_T 可达 30 GHz。图 6.7-39 是它的 I_{DS} − V_{DS}关系曲线，跨导 $g_m = 45$ mS/mm。

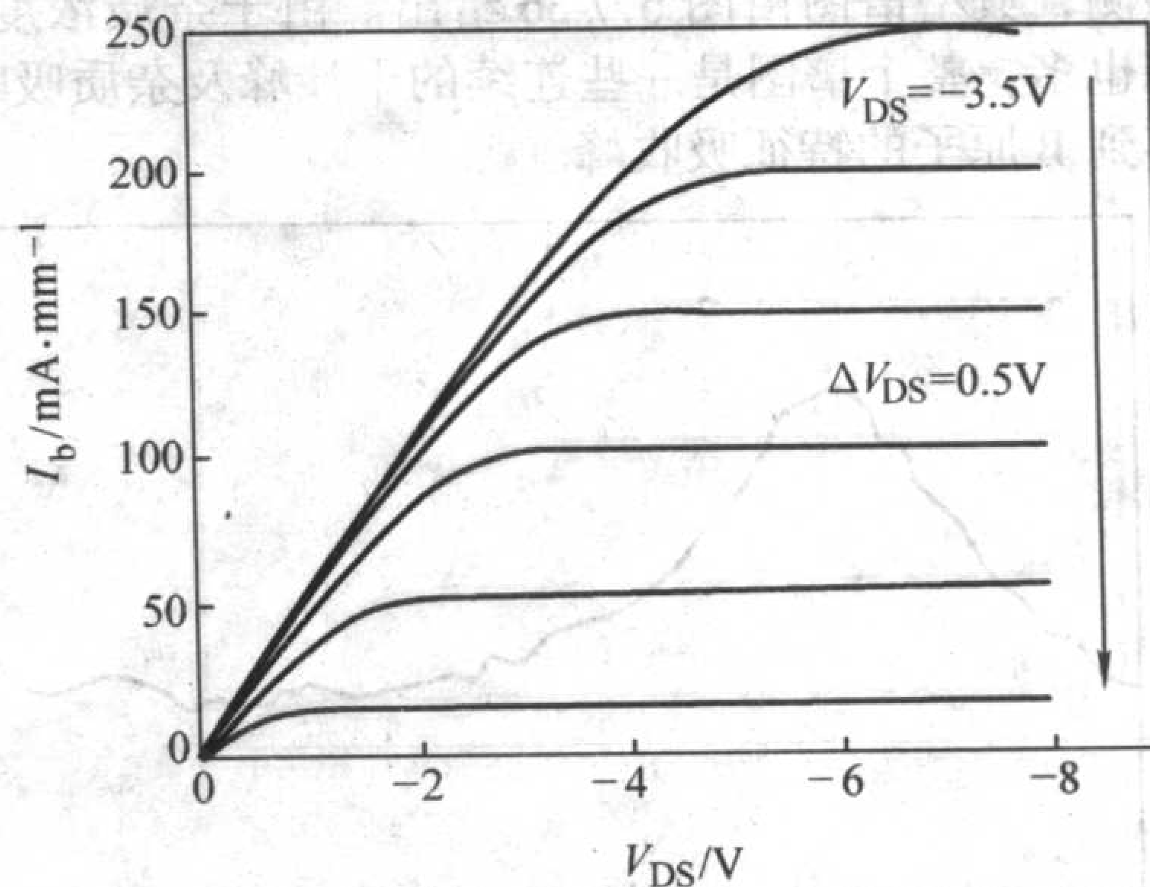


图 6.7-38　$SrTiO_3$ 为衬底，使用在 Ir 过渡层上外延出单晶级的金刚石膜 I_{DS}-V_{DS}关系曲线

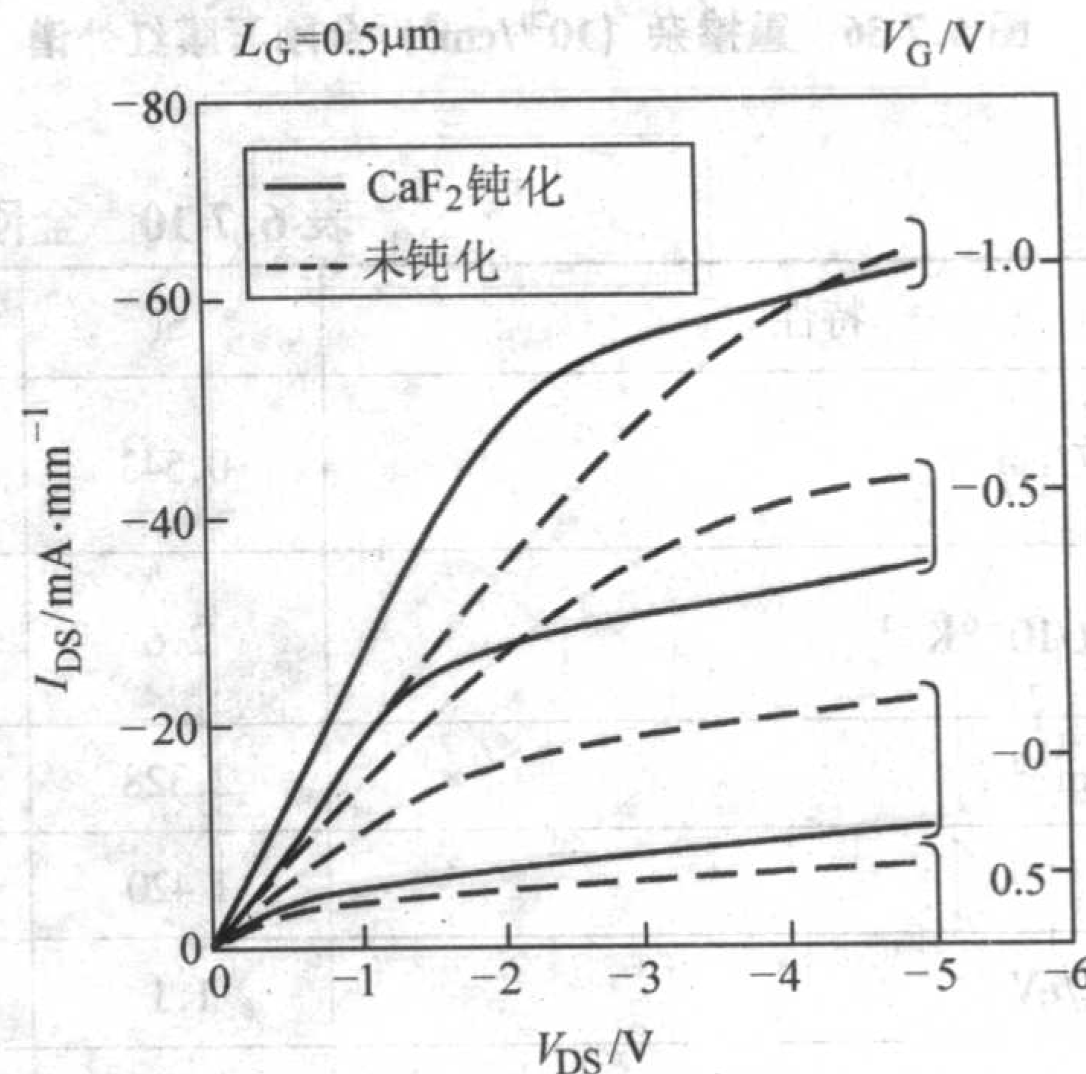


图 6.7-39　HTHTIb 型金刚石衬底（001）上外延金刚石膜（GaF_2 为栅极），MISFET I_{DS}-V_{DS}关系曲线

4.2　金刚石的欧姆接触

4.2.1　金刚石表面

金属同金刚石接触的电学特性，强烈地依赖于金刚石的表面性能，例如晶向、形貌和终端。具有低缺陷密度的光滑表面是（100）面。在室温下，具有 H 终端（刚生长）的金刚石表面为 p-型导电，费米能级接近价带边。这种导电率可适用于制作表面沟道器件。

把一种金属沉积到这种 H-终端的表面，将会产生低的界面态，肖特基势垒高度 Φ_B 依赖于该金属的电负性，例如，Al 接触（$\Phi_B = 0.85$ eV）是整流结，而 Au 接触（$\Phi_B = 0.1$ eV）却成为欧姆接触。另外，在 500℃左右的空气中或在氧等离子体中，H-终端将转变为 O-终端。而因此，它的热稳定性会受到限制。

对 O-终端表面，显示出费米能级被钳制在 $E_v + 1.7$ eV，为了获得高温下稳定的接触，就必须取掉刚生长的金刚石表面上的 H-终端。这可以通过氧等离子体处理，或在强氧化剂中煮沸，如在 Cr_2O_3/H_2SO_4 溶液中煮沸。

4.2.2 欧姆接触

由于金刚石是宽带隙材料（$E_g \approx 5.5$ eV），实际上不能制备出没有能垒的金属接触。由于硼在金刚石中有高的溶解度，掺硼可以大于 $10^{20}/cm^3$。在高浓度硼下，可以忽略受主激活能，载流子浓度可以很高。因而可以实现隧穿效应和低阻欧姆接触，例如可以通过离子注硼或 p^+-外延得到非常高的硼度。但是用离子注入法，就要进到在高温下的退火，这又会导致金刚石的石墨化。

另一种方法是用难熔金属如 Mo、Ta、Ti 或 AlSi，通过合金形成梯度界面，但是互扩散难以控制。因此，可应用溅射法或激光处理，通过破坏表面区金刚石表面晶格，而实现欧姆接触。用离子注入法，可使表面浓度达 $10^{21}/cm^3$。再用合金 Ti-Au 的金属化使接触电阻为 $10^{-5}\ \Omega\cdot cm^2$。对离子注入，需要高温下退火以消除晶格换伤，从而会使金刚石石墨化。对 p^+-外延法，就是在 p^+-外延区用金属接触，实现欧姆接触，最低接触电阻为 $2\times10^{-7}\ \Omega\cdot cm^2$。$p^+$ 是用高硼掺杂，金刚石接触用 Si-Al 合金。

4.3.2 整流金属接触

整流型金属-半导体结的主要参数是肖特基势垒高度 Φ_B 和理想因子 n，肖特基二极管电流 I_o 为：

$$I_o = AA^* T^2 \exp(-e\Phi_B/kT) \tag{6.7-2}$$

式中，A 为面积，A^* 为有效 Richardson 常数。理想因子 n 是由二极管 I-V 特性决定的：

$$I = I_o[\exp(eV/nkt) - 1] \tag{6.7-3}$$

对热离子发射或输运机理，$n=1$；对场发射或隧道机理，$n>1$。对无 H-终端的金刚石表面，肖特基势垒为 1.5～2.0 eV，而且同金属功函数无关，这是因为有高的界面态密度之故。金是常用的材料，而使用 Al、W、Cu 和 Ti 材料也有报道。

5 金刚石半导体技术的应用

金刚石薄膜所具有的优异的性能早已为人所共识。过去限于天然金刚石的稀贵和高温高压合成金刚石的颗粒细小，除特殊器件外，很少应用。化学气相淀积金刚石为其在半导体方面的应用提供了可能。从技术角度看，金刚石薄膜半导体研究可分为两条途径：一是外延生长掺杂金刚石单晶膜，一般均采用同质外延；二是在非金刚石衬底上生长金刚石半导体多晶膜，其应用方向是半导体器件，特别是在硅和砷化镓半导体无法应用的高温、高电压、强辐射环境以及高频率、高功率微波固体器件等。

金刚石薄膜制作半导体的两个关键技术是掺杂和欧姆接触。由于不能进行有效的 n 型掺杂，不能制作金刚石的 pn 结，因此除了制作无源器件，只能制作肖特基二极管和场效应管有源器件，因此，在当前它还限制了金刚石的使用和开发前景。

金刚石制作器件惟一可用的硼受主激活能 370 meV 较大，甚至在高温下也不能完全激活。对于场效应管而言，导致较小的漏极电流和跨导，而且要加较大的电压才能饱和和截止。另外在高温、大电压下工作时又导致大的反向泄漏电流，不利于器件工作。

金刚石半导体器件的优异性能是毋庸置疑的，尽管目前在技术上尚有一些困难，但这些困难一旦取得突破，其前景将是无可估量的。

5.1 金刚石 p-n 结二极管

首次报道金刚石二极管的是一个平面型 p-n 结二极管，它是用离子注入硼（受主）和磷（施主）而制作的。而另一种垂直型 p-n 结二极管是在已掺杂的金刚石上，用硼掺杂的同质外延法实现的。由于 n-施主有高的激活能，它仅在 600℃以上的温度下才能工作。这种器件的 I-V 特性如图 6.7-40 所示。

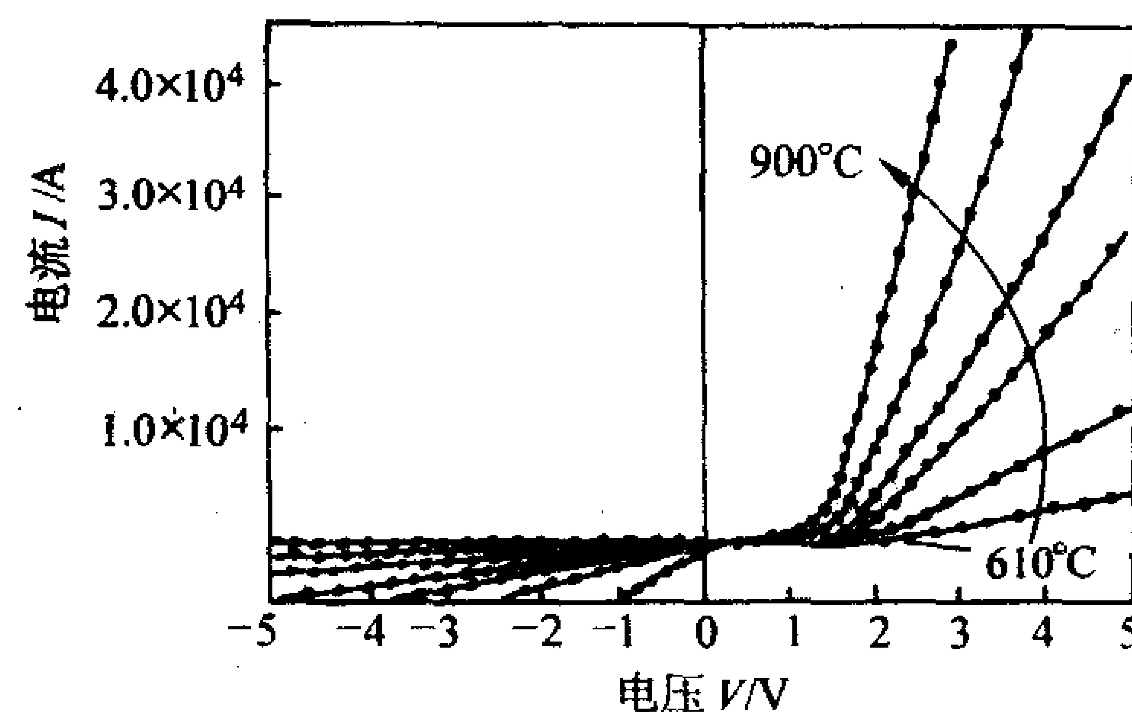


图 6.7-40　同质外延 p-n 结二极管的 I-V 曲线
工作温度在 600～900℃之间

另外，垂直型结构的异质 p-n 结二极管也实现了，它是在 n-型 Si 衬底上沉积 p-型金刚石。应该注意，由于成核层使这些二极管形成了界面。而且，这种结构由于 Si 的窄带隙，使它仅能在很低的温度下工作。

5.2 肖特基二极管

肖特基二极管是指金属和半导体接触的二极管，可应用肖特基二极管特性的两种特性：I-V 和 C-V 特性来测定二极管的许多电学参数，如：

I-V 特性可以测定：
- 理想因子
- 串联电阻
- 肖特基势垒高度
- 击穿场强
- 热激活能

C-V 特性可以测定：
- 掺杂分布
- 内建电压
- 表面态密度
- 深能级陷阱

金刚石的 I-V 特性，可用下式表示：

$$I = I_o\left(\exp\left(\frac{e(V-IR_s)}{nkT}\right) - 1\right) \tag{6.7-4}$$

式中 n 为理想因子，R_s 为串联电阻，图 6.7-41 是室温下测量的二极管 I-V 特性及拟合曲线，此时理想因子 n 很高（$n=1.9$），但随着温度的升高，n 可以降低到 $n=1.1$ 以下。

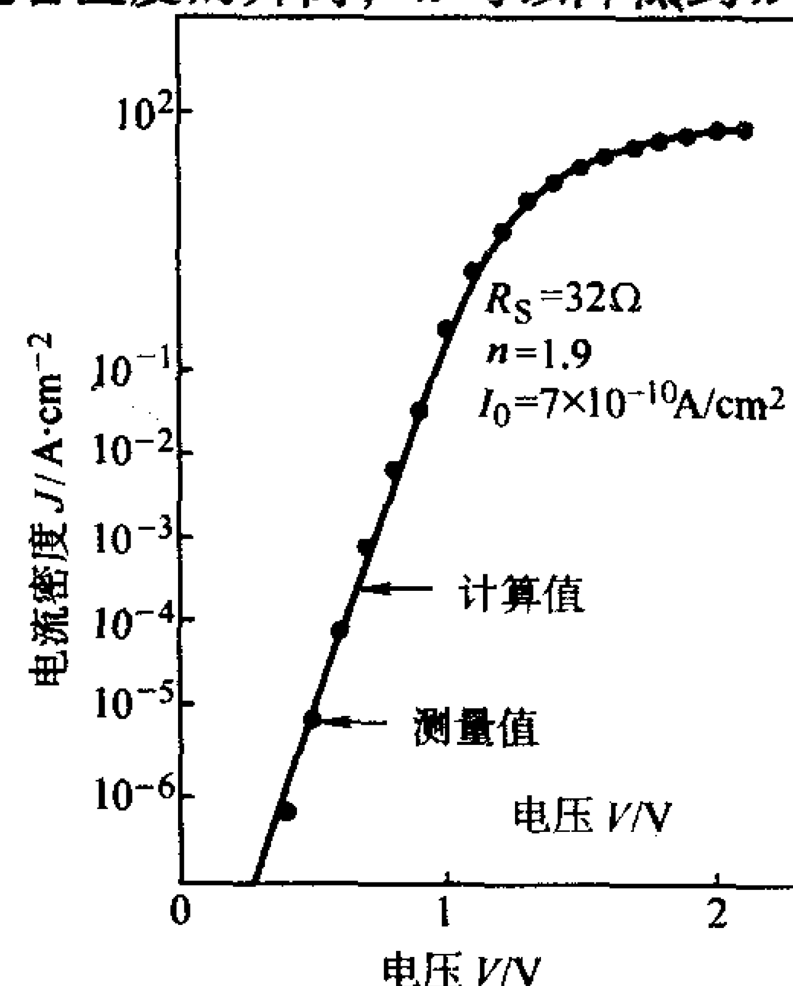


图 6.7-41　金刚石肖特基二极管室温正向特性（拟合）

金刚石的 C-V 特性：通过 $1/C_2$ 同 V 的曲线，就可以求出纯掺杂浓度（即 $N_A - N_D$）和内建电压（V_B），此曲线的斜率反比于纯掺杂浓度：

$$N_A - N_D = \frac{-2}{e\varepsilon_0\varepsilon_r A^2 \frac{d(1/C^2)}{dV}} \tag{6.7-5}$$

上式中的 A 为肖特基接触面积。

1996年，德国Ulm大学和美国宾夕法尼亚州立大学研制成功金刚石-硅衬底上的金接触和高整流比的肖特基二极管。

在硅衬底上，用微波等离子体化学汽相沉积（MW-PCVD）并加交流偏压增加成核密度的方法，外延高度取向的金刚石膜大约15 μm，再在其上生长200～300 nm薄膜，用固态硼源掺杂，得到p^+欧姆接触层。射频溅射300 nm SiO_2，光刻并湿法化学刻蚀形成肖特基窗口，在该窗口内选择生长金刚石膜480 nm，去除SiO_2层，射频溅射Au，光刻并湿法化学刻蚀形成接触。

图6.7-42是该器件的I-V特性图。该器件在50℃，±15 V时，整流比$I_f/I_r>10^6$；500℃时，$I_f/I_r>10^2$。p^+浓度约为$10^{20}/cm^3$，半导体弱简併，得到低的激活能140 meV（非简併条件下为370 meV）。由于载流子甚至在50℃下也高度激活，在−5 V时得到的电流密度$I=1\ A/cm^2$，该值比前人报道的高三个数量级，但比高度简併的p^+掺杂二极管要低。二极管的饱和电流由正向电流指数部分外推到0 V时得到。从图6.7-43（理查逊图，$I_o/T^2-1/T$）可求得势垒高度$\Phi_b=1.6$ eV，与单晶二极管相同。二极管反向电流强烈地依赖于温度和反向电压，表明在所有的金刚石二极管中寄生效应的影响。C-V测量得到的电容基本上是常数，表明激活的金刚石导电层零偏压下也是耗尽态。由测得的电容值，可计算出激活层约为480 nm（$\varepsilon_r=5.7$），与前述值吻合。

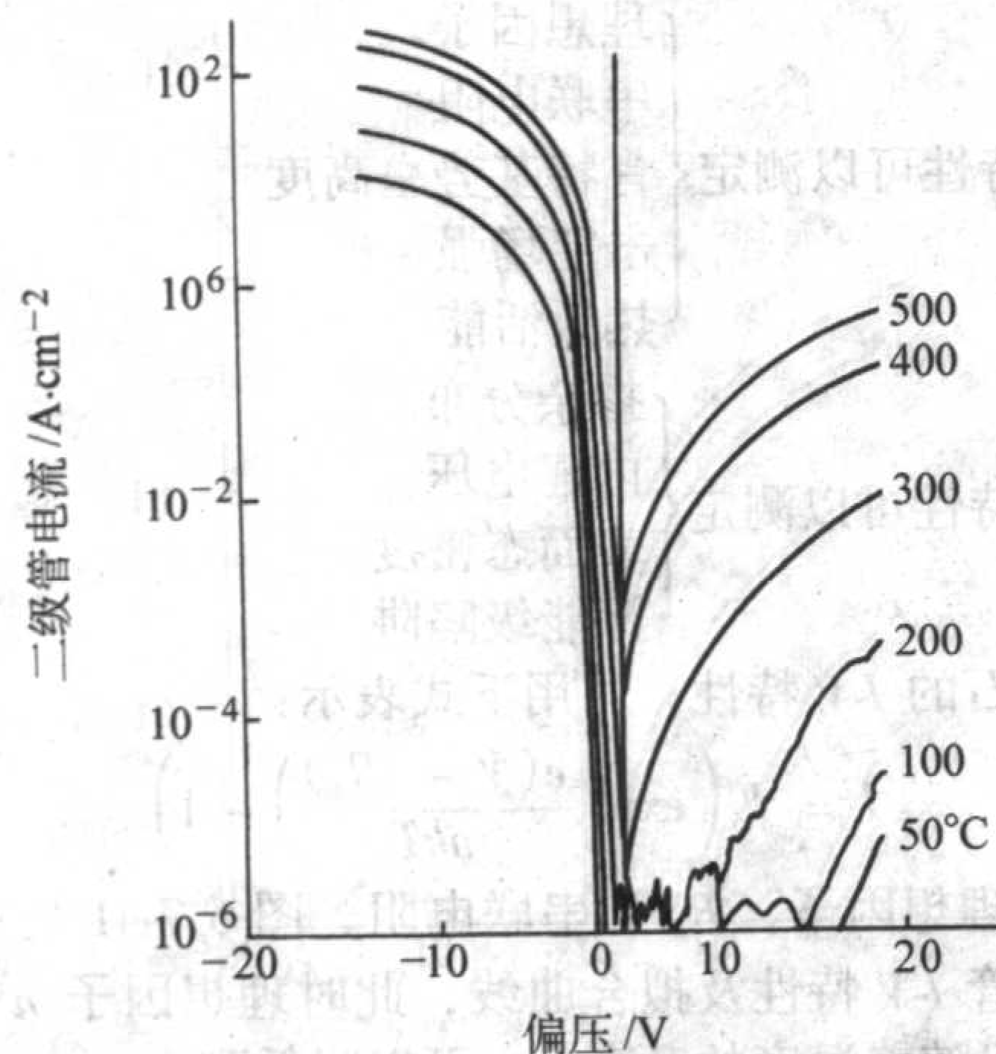


图6.7-42　不同温度下多晶肖特基二极管的 I-V 特性图

圆形接触区面积$A=2\times10^{-5}\ cm^2$

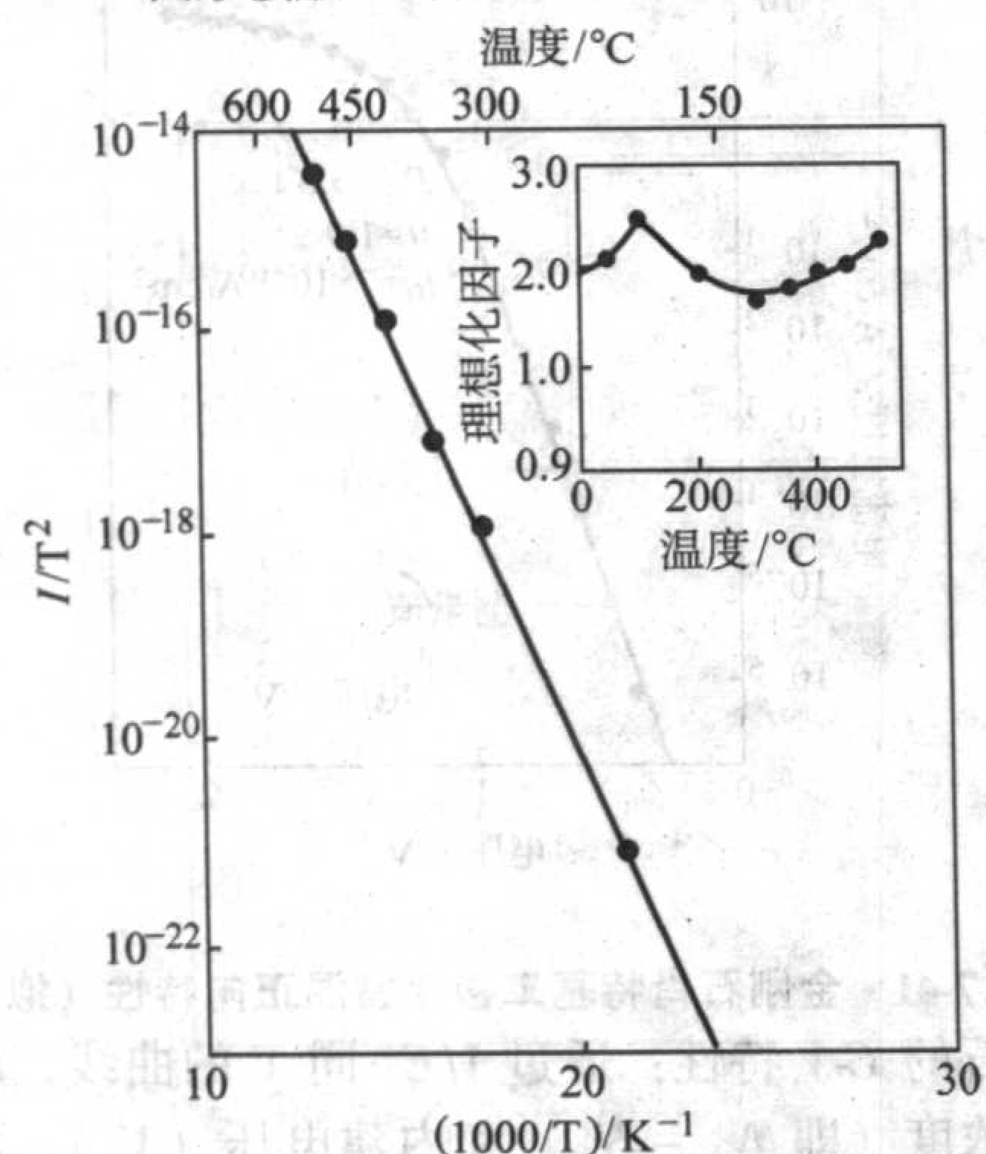


图6.7-43　外推至0 V时电流密度的理查逊图

由斜率得到势垒高度$\Phi_b=1.6$ eV，插图表示理想化因子的温度依赖性

金刚石肖特基二极管与硅肖特基二极管相比，在性能上得到一些改善。

硅的金属整流接触均工作在300℃以下，主要是由于超过该温度时突然反向泄漏电流增加。用金刚石制成的二极管在高温（500～580℃）下仍表现出良好的整流接触特性。

普通二极管低温下有高的本体电阻，用p^+掺杂金刚石衬底同质外延可解决此问题，得到低的衬底电阻，而且几乎与温度无关。

用单晶金刚石作为衬底可得到高的整流比。原来的二极管反偏时高的泄漏电流和串联电阻限制了正向电流。因为泄漏电流与多晶金刚石衬底质量有关，提高异质外延膜的质量是金刚石器件成功工作的关键。

金刚石肖特基二极管由于硼掺杂而引入深能级，使得主要电流传导机制是空间电荷限制电流，理想情况下与电压成平方律关系。低偏压下，由于热生自由载流子显示出欧姆特性，当有位于高于费米能级的深能级，能级未填满前呈欧姆接触，超过该点电流随电压平方律快速上升。该接触显示出极好的整流特性（低的反向泄漏电流），深能级在价带上为0.5～0.8 eV。

目前，金刚石肖特基二极管的大致水平为最小的欧姆接触电阻达$10^{-7}\ \Omega\cdot cm^2$；最大的整流比达$I_f/I_5=10^7$。

对于高温金刚石肖特基二极管，可以预计金刚石电子器件应用于1 000℃以上的高温领域。实际上，早年的器件结构已工作在700℃，但很重要的问题是：要求接触金属化和金刚石/金属界面有可靠的热稳定性。

对肖特基二极管接触，由于形成碳化物界面层，可以引起降低二极管的反射特性。另外，接触金属（如Au）在温度升高时会变软，使界面处可靠性变差。

实验发现，在温度500℃左右，还未观察到SiC的形成，可以利用高电导（非晶或纳米晶）准金属Si作为接触材料。另外，用掺O、N、C原子到Si层，可使Si/金刚石界面的温度稳定性得到进一步改进。

应用稳定的准Si层，在700℃下也未改变肖特基二极管的特性。图6.7-44给出了一种高温稳定的多层接触系统肖特基二极管结构。最下面具有源金刚石层，接着是准Si接触层。接着是W:Si:N垒，最后顶层为Au层。高温肖特基二极管的I-V曲线如图6.7-45所示，这样结构的肖特基二极管可工作在1 000℃以上。



图6.7-44　高温稳定的多层接触肖特基二极管结构

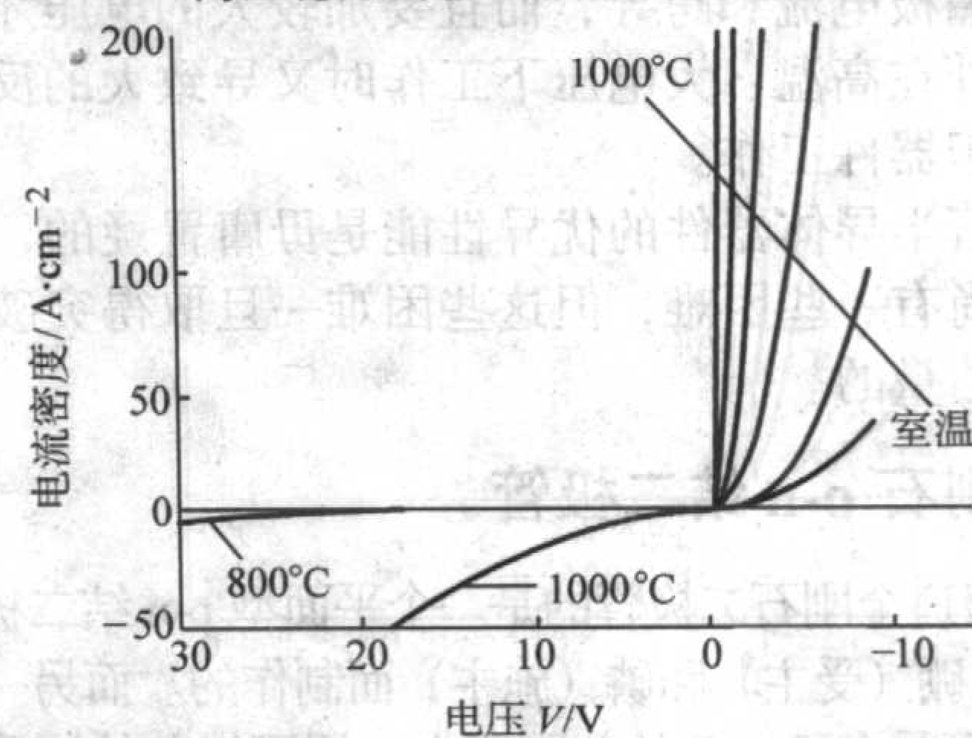


图6.7-45　高温肖特基二极管 I-V 特性（R.T—室温）

5.3 场效应晶体管

5.3.1 金刚石场效应晶体管（FET）类型

金刚石场效应晶体管（FET）可分为四类类型（见图 6.7-46）。

1）硼掺杂氧（O）终端表面 MESFET，如图 6.7-46a 所示。
2）硼掺杂氧（O）终端表面 MOSFET，如图 6.7-46b 所示。
3）未掺杂氢（H）终端表面 MESFET，如图 6.7-46c 所示。
4）未掺杂氢（H）终端表面 MOSFET，如图 6.7-46d 所示。

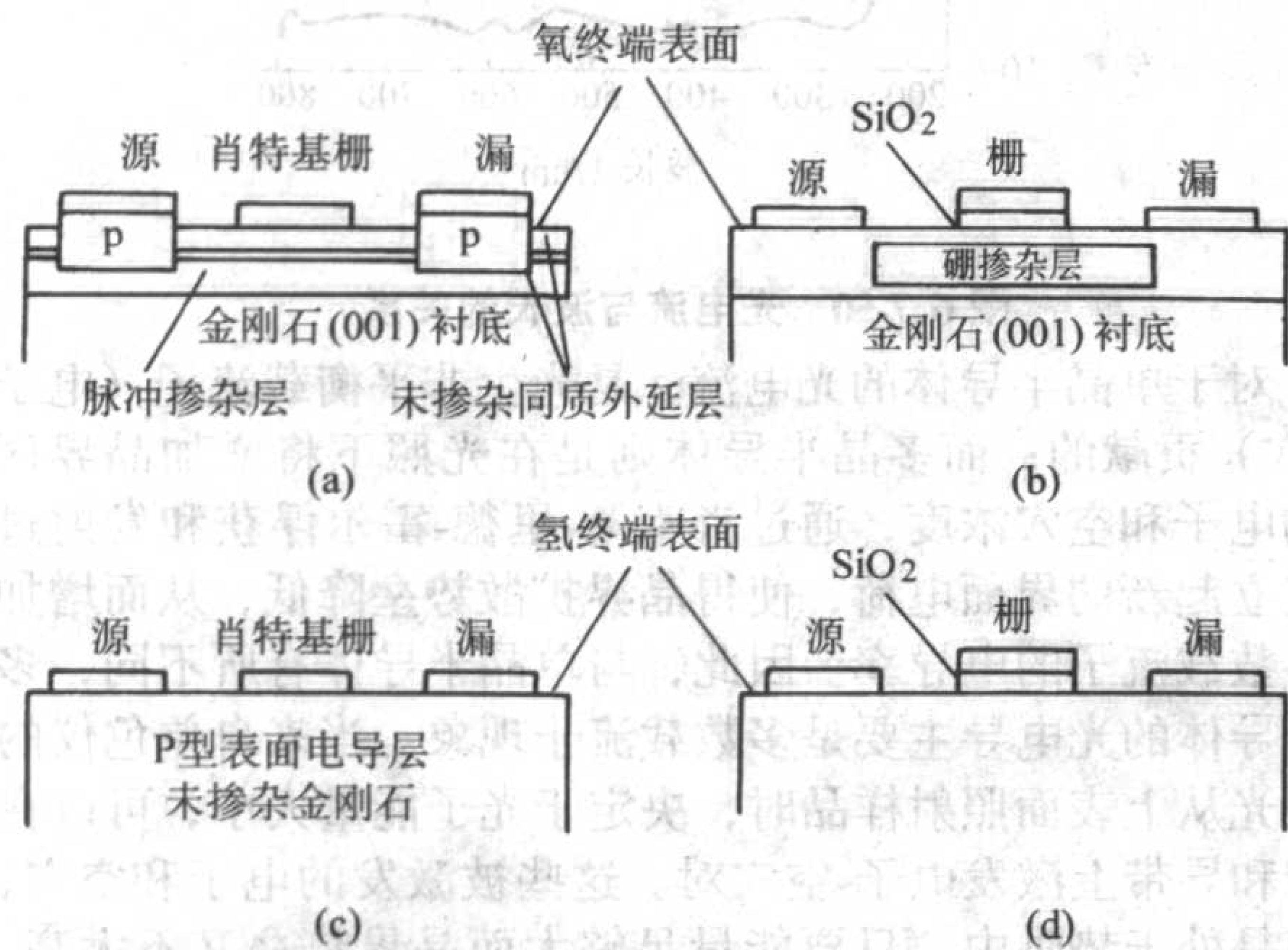


图 6.7-46　金刚石场效应晶体管类型

5.3.2 场效应晶体管输出特性

图 6.7-47 为未掺杂 H-终端(001)表面(p-型表面电导层)上 MESFET 和 MOSFET 的输出特性 I_{DS}-V_{DS} 曲线。图 6.7-47a 为同质外延金刚石 Pb-栅 MESFET，栅长 = 4 μm，栅宽 = 65 μm，跨导 g_m = 9 mS/mm，阈值电压 V_{th} = −0.2 V；增强型。图 b 为异质外延金刚石 Cu 栅 MESFET，栅长 = 6 μm，栅宽 = 70 μm，g_m = 7 ms/mm，耗尽型。图 c 为同质外延金刚石 Pb-栅 MOS-FET，栅长 = 6 μm，栅宽 = 49 μm，栅氧化层厚 = 20 ~ 30 nm，g_m = 16 mS/mm。

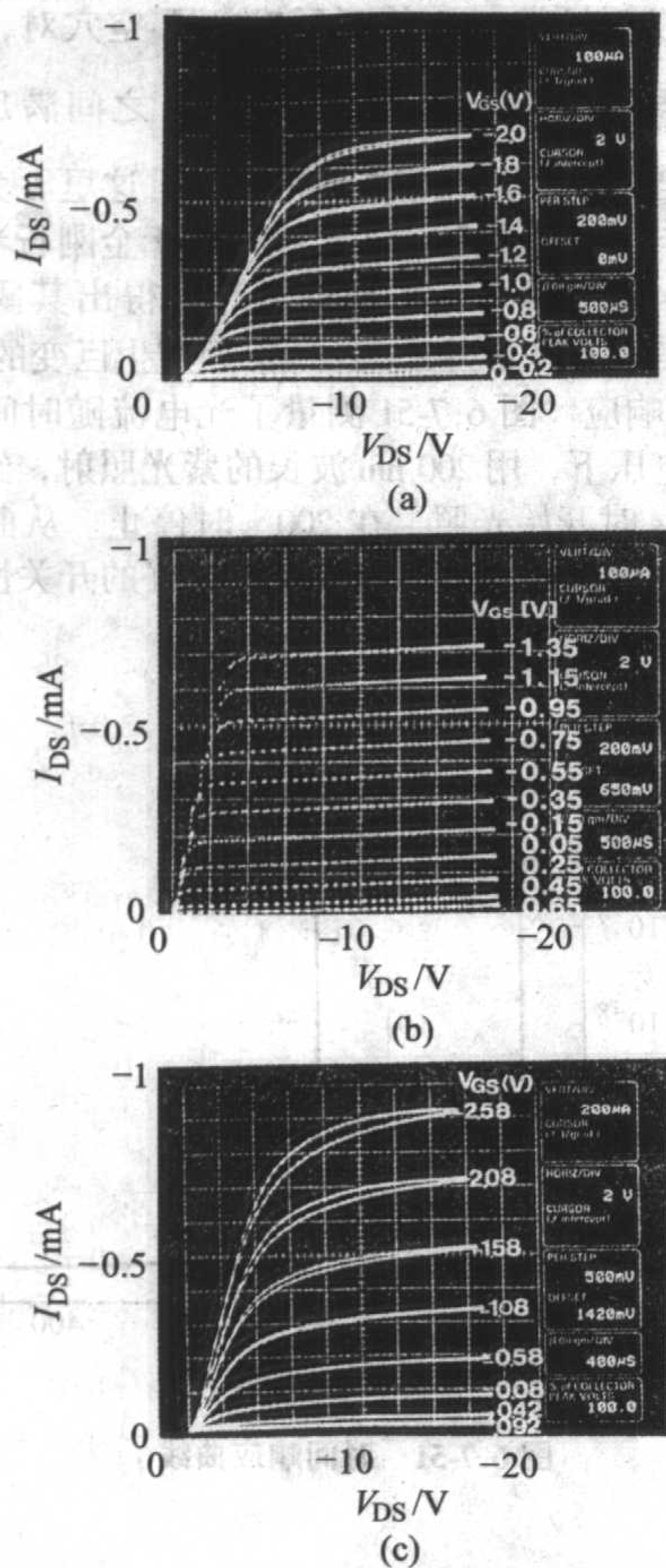
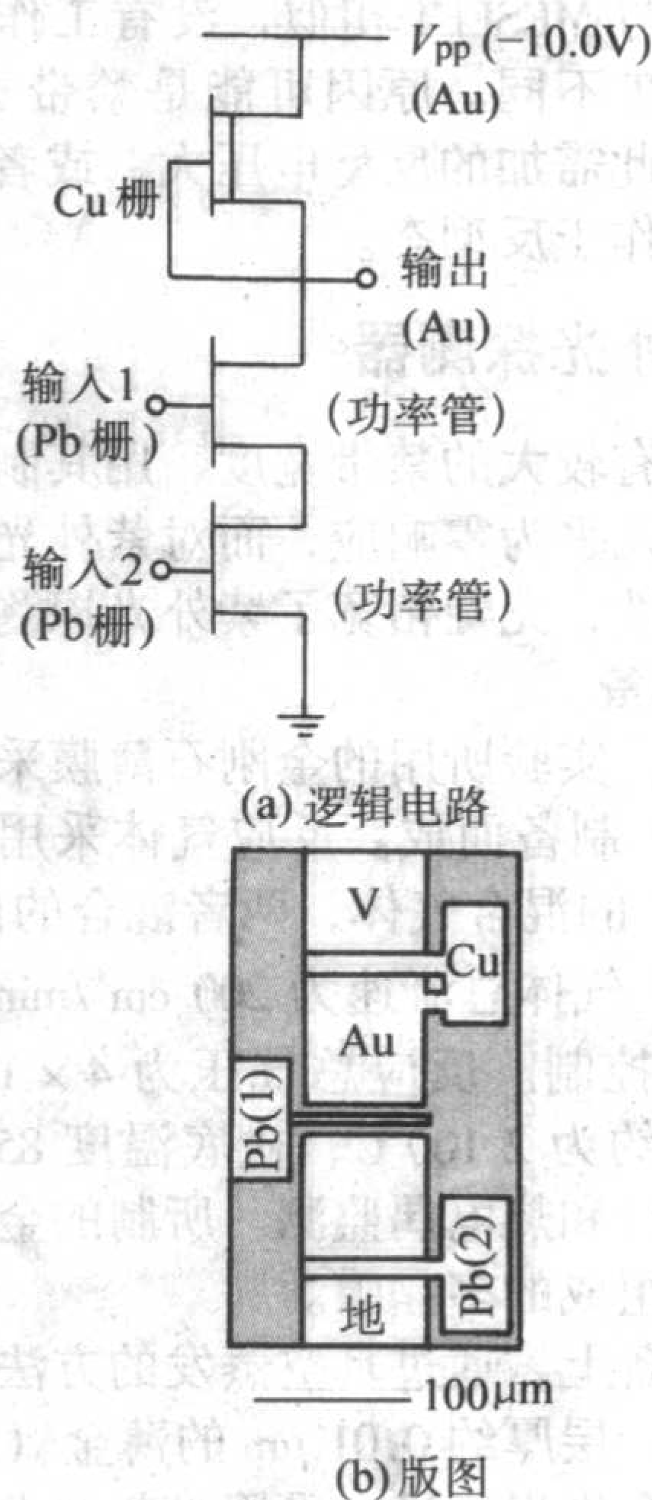


图 6.7-47　未掺杂 H-终端（001）表面（p-型表面电导层）上 MESFET 和 MOSFET 的输出特性 I_{DS}-V_{DS} 曲线

5.3.3 场效应管逻辑电路

图 6.7-48 为未掺杂 H-终端表面上的 MESFET 逻辑电路（反相器与非电路），图 a 为逻辑电路及图 b 为版图，图 c 为输入输出波形。

此逻辑线路，在 300℃以内的工作情况同室温下一样，V_{DS} 可达 100 V，可在 152.4 mm（6 in）以上多晶金刚石膜上制作。



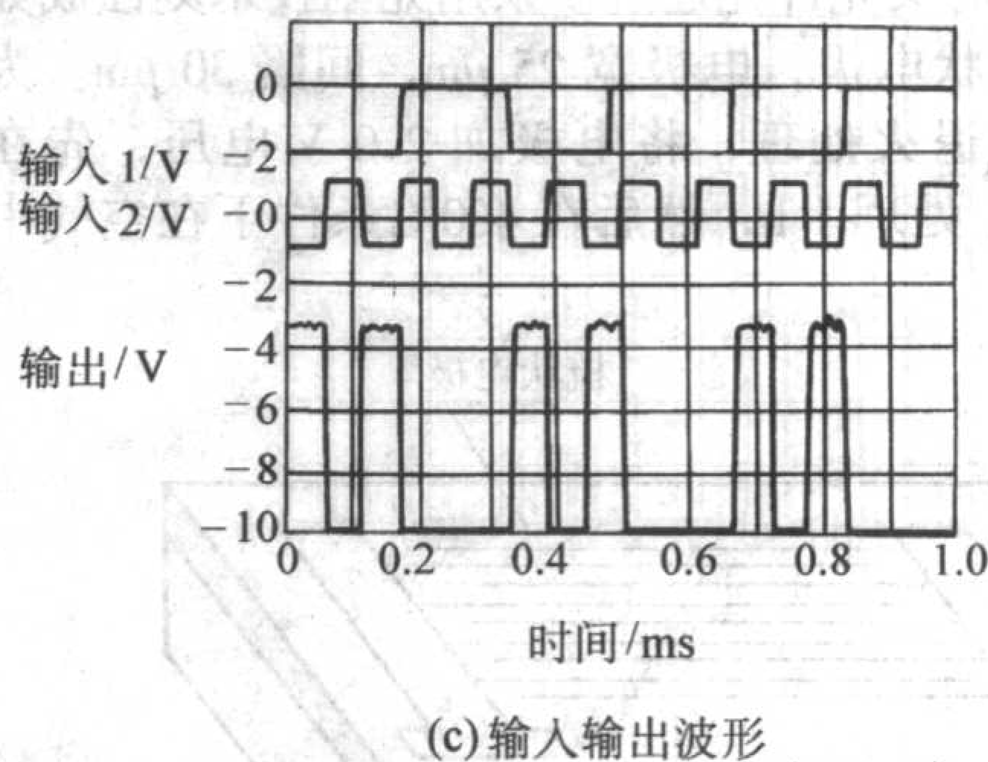


图 6.7-48　未掺 H-终端表面上的 MESFET

5.3.4 场效应管存在的问题

场效应管尚处于研制初级阶段，与硅场效应管相比，除了可工作于较高温度，而且在各个方面比硅器件性能优越外，还存在以下急需解决的问题：

1）对大多数现时晶体管而言，由于源漏重掺杂未能形成，器件呈现过大的串联电阻；

2）沟道电导对温度的依赖性很大，表现在 300℃时金刚石仍处于冻结区，本体电导、沟道电导及漏电流都与温度有关，$I_D \propto \exp(-E_a/kT)$；

3）高温工作主要受栅氧化层泄漏电流限制，提高栅的绝缘性能，高温泄漏电流减小，器件能工作于更高的温度；

4）寄生导电沟道与沟道平行且不受栅极偏压控制，漏电流在高的漏偏压下不能完全关断。这个沟道是用 CVD 金刚石膜制作 FET 的共同特征，其物理机制目前还不明确；

5）由于N施主的杂质补偿和难形成的欧姆接触以及较大的激活能，只有较低的漏源电流。

5.3.5 场效应管的现状

最大击穿电场是 3×10^6 V/cm；
最小的栅极泄漏电流是 10^{-12} A；
最大的跨导为0.22 mS/mm；
漏极电流较小，多数在 μA 级；
载流子的迁移率较小，只在 200～300 $cm^2/(V\cdot s)$；
工作温度最高在350℃，预期工作温度可达600℃以上；
最高工作电压为100 V；
功率处理能力大于同等条件下的 SiC 和 n-GaAs。

另外，对于场效应管，大多数器件均未进行优化。金刚石 MOSFET 的工作原理与 MESFET 相似，没有工作于反型态的报道，这与硅 MOSFET 不同。原因可能是禁带宽度过大，本征载流子浓度低，因此需加的反型电压大，或者对于金刚石而言，根本不可能工作于反型态。

5.4 金刚石薄膜紫外光探测器

由于金刚石薄膜具有较大的禁带宽度，用其制成的光电探测器在可见光范围内几乎为零响应，而对紫外光却十分敏感，这一特殊的光电特性，无疑拓宽了紫外光探测的领域。

5.4.1 紫外探测器的制备

金刚石薄膜的制备，实验所用的金刚石薄膜采用热灯丝化学气相沉积法（CVD）制备而成。反应气体采用高纯度甲烷（CH_4）和氢气（H_2）的混合气体，两者混合的比例 CH_4：H_2（体积比）约为3%，气体总流速为200 cm^3/min，混合浓度与流速由质量流量计控制。反应总气压为 4×10^3 Pa。除此之外控制热灯丝温度约为2 100℃，衬底温度850℃左右。温度分别采用光学高温计和热电偶监测。所制的金刚石膜是由结晶性完好的小晶粒组成的多晶膜。

在探测器电极的制备上，通过真空蒸发的方法，在制备好的金刚石薄膜上蒸镀一层厚约0.01 μm 的薄金（Au）层实现电极接触，但同时又允许光通过。采用光刻技术刻蚀成如图6.7-49所示的梳状电极，电极宽25 μm，间隔30 μm。为提高其性能，进行退火处理，将电极加2.0 V电压，先在700℃条件下用 CH_4 处理1 h，然后在400℃条件下在空气中处理1 h。

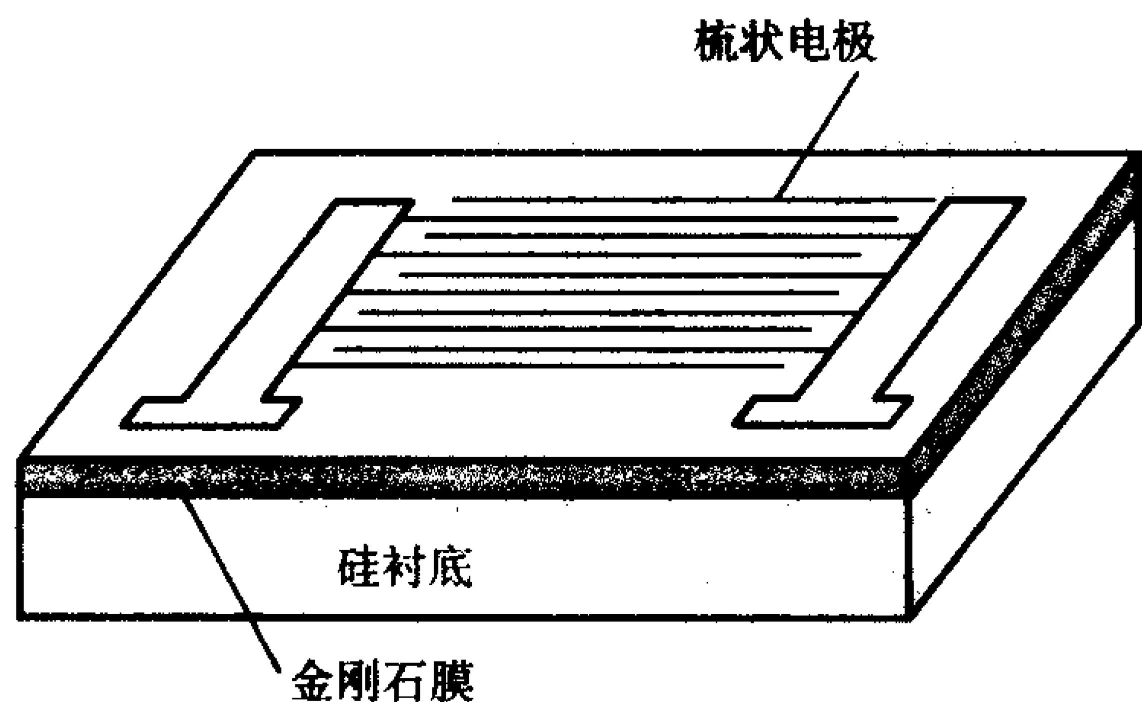


图6.7-49 电极示意图

5.4.2 探测器性能

1）灵敏度 图6.7-50给出了光电流与照射光波长之间的关系，由图中可，见光电流的大小在照射光波长为225 nm处存在阈值，在照射光波长 $\lambda\leqslant225$ nm 范围内，光电流可以达到 μA 量级。在照射光波长 $\lambda=225$ nm 附近，光电流急剧下降约为 10^{-11} A 量级，而对于波长 $\lambda>225$ nm 的光波而言，光电流基本保持 10^{-11} A 的本底电流状态。

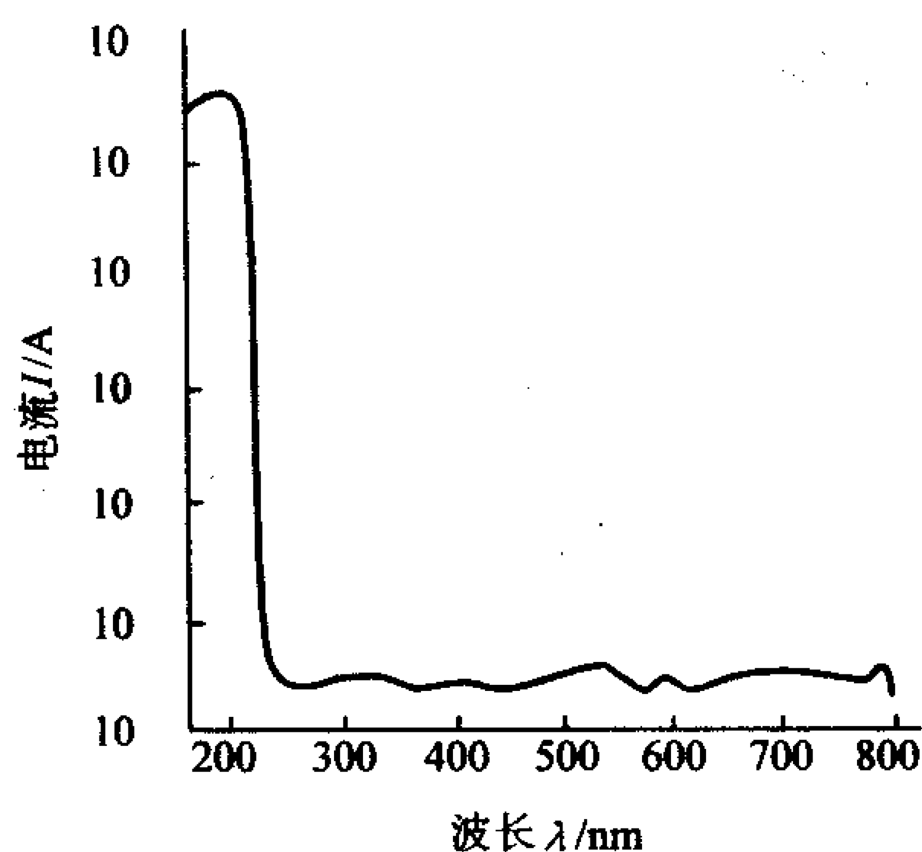


图6.7-50 光电流与波长的关系

对于单晶半导体的光电流，是光生非平衡载流子（电子-空穴）贡献的；而多晶半导体则是在光照下将增加晶界区域的电子和空穴浓度，通过肖克莱-里德-霍尔俘获和发射过程建立起新的界面电荷，使得晶界扩散势垒降低，从而增加了多数载流子的电导率。因此，与单晶半导体有所不同，多晶半导体的光电导主要是多数载流子现象。当来自单色仪的入射光从上表面照射样品时，决定于光子能量大小，可以在价带和导带上激发电子-空穴对。这些被激发的电子和空穴，即使是处于势阱中，只要能量足够大而晶界势垒又不太高，就可以向临近晶界运动。光激发载流子的定向运动需要定向电场的作用，在实验中外加2 V电压，从而产生了光电子流。

当入射光能量为 $h\nu$（$h\nu>E_g$ 禁带宽度）的光子照射到多晶金刚石表面，价带 E_v 上的电子获得一定的能量后以一定的概率激发到导带 E_c，从而形成电子-空穴对，形成载流子，产生电导。入射光波长 λ 与频率 ν 之间满足 $\lambda=\frac{c}{\nu}$ 关系，其中 c 为光速，而光子能量 $E=h\nu$，这里 h 为普朗克常数，将光速与普朗克常数代入公式，对于金刚石半导体禁带宽度 $E_g=5.45$ eV 而言，从理论上计算得出其阈值波长为227.6 nm，实验上观测当 $\lambda=225$ nm 处产生巨变的原因。

2）时间响应 图6.7-51测量了光电流随时间的变化曲线。在2 V电压下，用200 nm波长的紫光照射，经退火处理样品，在50 s时开始光照，在200 s时停止。从曲线中可以看到，金刚石薄膜紫外光探测器有着良好的开关性能，开关时间达到 ms 量级。

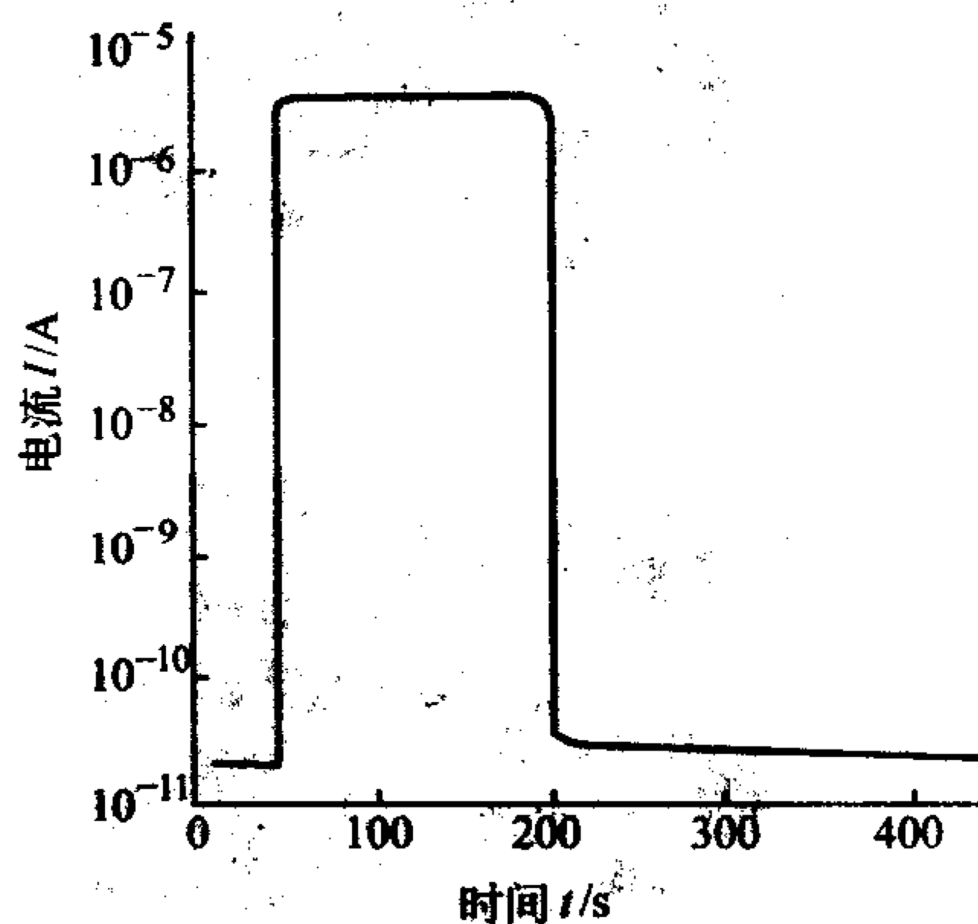


图6.7-51 时间响应曲线

编写：陈光华（北京工业大学）
施 毅（南京大学）

第 8 章　Ⅱ-Ⅵ族化合物半导体

光电子技术在信息技术、加工制造、医学、以及工业、国防等领域发挥着越来越重要的作用。开发理想的光电子材料是发展光电子技术的基础，光电子材料的发展直接制约着光电子技术的发展和应用。宽带Ⅱ-Ⅵ族化合物半导体，其带结构属直接带隙，是一类重要的光电子材料，包括 ZnSe、ZnS、ZnTe、CdSe 和 CdS 等二元化合物以及它们的合金。Ⅱ-Ⅵ族化合物材料的光谱范围可覆盖整个可见光区域和近紫外区域，具有较大的电光系数，高的激子束缚能，以及高光饱和强度。这些特性使得该化合物材料在光电子技术应用方面具有广阔的应用前景。特别是 ZnSe 以及 ZnSe 基的量子阱材料，最初引起人们重视的是其在蓝色发光器件方面的应用前景，它们同时也具有较好的光学非线性。

1　Ⅱ-Ⅵ族化合物半导体材料的制备

Ⅱ-Ⅵ族化合物体单晶的制备方法有很多，如熔体生长法、气相生长法、升华法等。下面主要介绍晶体薄膜的生长方法。

目前制备Ⅱ-Ⅵ族化合物薄膜的方法有金属有机化学气相淀积（MOCVD）、分子束外延（MBE）、液相外延（LPE）、化学束外延（CBE）、原子层外延（ALE）和热壁外延（HWE）等。这些技术各有自己的优点与不足，它们都曾在半导体的发展过程中起过重要的作用。

MOCVD 是一种制备化合物半导体薄层单晶材料的常用方法，是一种依靠气相输运和Ⅱ（Ⅲ）族烷基与Ⅵ（Ⅴ）族氢化物（或烷基）反应形成加热区的非平衡生长技术。

MOCVD 方法是 1968 年由 Manasevit 提出，直到 20 世纪 80 年代后期才逐渐成熟和完善起来。该技术在 80 年代末 90 年代初得到了突飞猛进的发展，随之各种结构的量子阱光电器件很快地从实验室进入商用化。由于该方法生长速度较 MBE 快，而且能够生长出高质量和大块的单晶薄膜，并可以一次生长多块晶片，适合于批量生产，因而成为当今光电子产业半导体薄膜制备的主要方法之一。下面主要介绍用 MOCVD 方法制备Ⅱ-Ⅵ族化合物多量子阱的基本工艺。

1.1　MOCVD 法制备Ⅱ-Ⅵ族化合物

1.1.1　初级物质及衬底处理

通常把Ⅱ族金属的烷基和Ⅵ族元素的氢化物（或烷基）作为用 MOCVD 方法制备Ⅱ-Ⅵ族化合物的初级物质，把这些化学蒸气稀释后在室温或接近室温下输运到高温分解反应区。烷基在室温下是无色的液体，例外的是三甲基铟（TMIn）和二茂镁（CP_2Mg）是白色的固体；气态的烷基是单体，但三甲基铝（TMAl）例外，它是二聚物。商业上出售的烷基是电子级纯度，例如美国 Alfa 公司生产可供生长 ZnTe 用的 5N 电子级纯度的三甲基锌和二乙基碲源材料。形成化合物的过程可用化学反应方程式来表示。以制备 ZnTe 为例，形成化合物的过程可表示为：



$$Zn(CH_3)_2 + Te(C_2H_5)_2 + H_2 \longrightarrow ZnTe\downarrow + 3C_2H_6 \quad (6.8\text{-}1)$$

表 6.8-1 列出了 MOCVD 中常用的某些金属源的物理性质。

生长 ZnSe、ZnS、ZnTe 和 CdS 等Ⅱ-Ⅵ材料所用的衬底通常是 GaAs（100）。生长前将 GaAs 切成适当大小，依次经过三氯乙烯、丙酮和甲醇超声清洗 5 min 去油，然后放入 $V(H_2SO_4):V(H_2O_2):V(H_2O)=5:1:1$ 的溶液中煮沸腐蚀 1 min，再用去离子水冲净，最后用 N_2 吹干后放进生长室的反应器中。外延生长前先通氢气以排除反应室中的空气，然后经高频线圈加热到 600℃，氢气氛下维持 10 min 用以清除表面的氧化层，然后降至生长温度。为了克服热应力对外延层的影响，在停止生长后缓慢降温。

1.1.2　生长材料的主要参数设置

以在 GaAs（100）衬底上生长 ZnCdSe/ZnSe 多量子阱为例，说明用 MOCVD 生长Ⅱ-Ⅵ多量子阱的生长条件和参数设置。

生长该超晶格前先在 GaAs（100）上生长 ZnSe 缓冲层 40 min，5 min 后开始生长 ZnCdSe/ZnSe 超晶格层。ZnCdSe 阱层的生长时间为 15 s，间隔 20 s 后生长 ZnSe 垒层 15 s，可生长 30～150 个周期。最后可以在顶层生长一层 ZnSe 的覆盖层，生长时间 20 min。生长出来的量子阱的阱层和垒层的厚度分别约为 5 nm。表 6.8-2 为典型的生长参数。

1.1.3　生长机理及气流动力学

该设备先将Ⅱ族金属有机化合物与Ⅵ族元素的氢化物（或烷基）相混合后通入反应腔，混合气体流经加热的衬底表面时，在衬底表面发生热分解反应，并外延生长成化合物单晶薄膜。在淀积的过程中热基座附近的气流速度和温度梯度对材料的生长非常重要，因为生长过程中的初级物质到衬底表面的输运是通过在基片附近边界区域的扩散来完成的。温度梯度、浓度梯度、化学物质的性质及其在边界层内所发生的化学反应是很复杂的，但确定它们对淀积工艺又是非常重要的。

表 6.8-1　MOCVD 中使用的某些有机金属的物理性质

化合物	化学式	缩写	熔点/℃	沸点/℃	Lg（p/133.3 Pa）
Ⅱ族源					
二乙铍	$(C_2H_5)_2Be$	DEBe	12	194	7.59（2 200 K）
二甲铍	$(CH_3)_2Be$	DMBe			
二茂镁	$(C_5H_5)_2Mg$	CP_2Mg	176		
ⅡB族源					
二甲锌	$(CH_3)_2Zn$	DMZn	-42	46	7.802（1 560 K）
二乙锌	$(C_2H_5)_2Zn$	DEZn	-28	118	8.280（2 190 K）
二甲镉	$(CH_3)_2Cd$	DMCd	-4.5	105.5	7.764（1 850 K）
三乙镓	$(C_2H_5)_3Ga$	TEGa	-82.3	143	8.224（2 222 K）
三甲铟	$(CH_3)_3In$	TMIn	88.4	133.8	10.520（3 014 K）
三乙铟	$(C_2H_5)_3In$	TEIn	-32	184	1.2
Ⅳ族源					
四甲锗	$(CH_3)_4Ge$	TMGe	-88	43.6	139
四甲锡	$(CH_3)_4Sn$	TMSn	-53	78	7.495（1 620 K）
四乙锡	$(C_2H_5)_4Sn$	TESn	-112	181	
Ⅴ族源					
三甲磷	$(CH_3)_3P$	TMP	-85	37.8	7.7329（1 212 K）

续表 6.8-1

化合物	化学式	缩写	熔点/℃	沸点/℃	lg (p/133.3 Pa)
三乙磷	$(C_2H_5)_3P$	TEP	-88	127	7.86 (2 000 K)
三甲砷	$(CH_3)_3As$	TMAs	-87.3	50~52	7.7119 (1 563 K)
三乙砷	$(C_2H_5)_3As$	TEAs	-91	140	15.5
三甲锑	$(CH_3)_3Sb$	TMSb	-86.7	80.6	7.7280 (1 709 K)
三乙锑	$(C_2H_5)_3Sb$	TESb	-98	116	17
Ⅵ族源					
二乙硒	$(C_2H_5)_2Se$	DESe	—	108	
二甲碲	$(CH_3)_2Te$	DMTe	-10	82	7.97 (1 865 K)
二乙碲	$(C_2H_5)_2Te$	DETe	—	137~138	7.99 (2 093 K)

表 6.8-2 ZnCdSe/ZnSe 多量子阱生长参数

生长温度/℃	320
DMZn (10℃) 载气流量/mL·min^{-1}	10 mL/min
DMCd (-5℃) 载气流量/mL·min^{-1}	4.5 mL/min
H_2Se 流量/mL·min^{-1}	10 mL/min
流速比 (Ⅱ/Ⅵ)	0.9/0.2
反应室压力	常压

MOCVD 的材料生长过程可以描述为：①气体分子穿过边界层扩散到衬底表面；②在热的表面，金属烷基化合物和氢化物被分解，产生Ⅱ族和Ⅵ族原子；③原子在热的表面运动直到它们找到随后可进行生长的晶格位置。这三个中任何一个过程都影响生长速率。

Berkman 等人提出了一个气流动力学、质量和在一个冷壁的水平反应器内温度梯度模型。他们给出了一组实用的工程公式，这些公式是根据实验观察的结果，由流体力学的气流理论推导出来的。Ban 测量了热分布和浓度分布，他发现基座上方有两个不同的区域。基座上方第一个区域有急剧的热梯度和浓度梯度，但由于气体的温度比较高，黏滞系数较大，近似层状流动。第二个区域是在较远的上方，梯度相对较平缓，但存在 3~5 Hz 的振荡，表明存在湍流，这个湍流是由于进口处的热效应和衬底的前沿浮力引起的。

用 MOCVD 方法制备 ZnSe，常用二烷基锌，如二甲基锌和高毒性的硒化氢气体来制备。尽管用这些源材料制成的 ZnSe 的电学性能较好，但由于二烷基锌和高反应活性的 H_2Se 之间存在寄生反应使材料的组分不均匀。使用二烯丙基硒可消除这种寄生反应，而且毒性也远低于 H_2Se。

1.2 Ⅱ-Ⅵ族化合物的衬底选择以及其他生长技术

1.2.1 衬底的选择

因为 GaAs (100) 晶格与 ZnSe 较匹配，而且容易获得高质量大尺寸的 GaAs 衬底，而且该衬底容易解理，所以，实际应用中 ZnSe 基光电子器件材料的制备都是用 GaAs 作为衬底的。用 GaAs (100) 为衬底生长出的Ⅱ-Ⅵ族化合物通常为闪锌矿结构，但生长出来的晶体结构往往还与生长条件和衬底取向有关。成功地生长纤维锌矿结构的Ⅱ-Ⅵ族化合物将能有效地克服与器件寿命相关的材料问题。Umeya 等人用 MBE 方法生长 ZnCdS，研究结果表明，生长在 GaAs (001) 衬底上的 ZnCdS 外延层表现出一些纤维锌矿相的迹象，而生长在 GaAs (001) B 衬底上的 ZnCdS 外延层则显示混晶结构，衬底温度和 Cl 掺杂将影响纤维锌矿结构的比率。

根据具体情况还可以选择其他的衬底，如 CaF_2、InP、Si 以及 ZnSe 等。从制作工艺的成熟和性能价格比以及光电子集成角度来考虑 Si 是人们一直寄予厚望的重要基质材料。国际上已经用 MOCVD 和 MBE 技术在 Si 衬底上生长出了Ⅱ-Ⅵ族化合物的薄膜以及超晶格和量子点材料。

1.2.2 其他外延生长技术

MBE 是在超高真空环境下的一种薄膜沉淀技术，其突出的优点是可以利用许多测试技术对薄膜的生长进行原位监测，所生长的薄膜具有非常好的单晶质量，并可以对生长进行逐层控制等。与 MOCVD 技术相比，生长速率慢，但可以更精确地控制外延层的厚度和组分。

LPE 是一种从饱和溶液中在单晶衬底上生长外延层的方法。LPE 方法是 1963 年由纳尔逊 (Nelson) 提出的。液相外延的最大缺点是当外延层与衬底的晶格失配大于 1% 时生长比较困难。其次，由于生长速率较快，难以得到纳米厚度的外延层材料。此外，外延层的表面形貌一般不如气相外延的好。

PVT 技术是一种简单水平式的、低温和物理的气相输运技术。

由于晶格匹配的原因，提高在 GaAs 衬底上生长的 ZnSe 质量是无论用 MBE 还是用 MOCVD 方法生长 ZnSe 都存在同一个问题，生长的薄膜在 ZnSe/GaAs 界面处会产生高密度的堆垛层错，延伸并穿过外延层。如果在生长之前，使 GaAs 表面在 464℃的温度下暴露在 $TBAsH_2$ 气氛中，从而在 GaAs 表面形成稳定的 As 面，然后生长 ZnSe 可以使堆垛层错密度从 $4\times10^6/cm^2$ 降低到小于 $1\times10^5/cm^2$。在 GaAs 衬底上生长的 ZnSe 质量的好坏以及外延层中的缺陷结构与界面有很大的关系。

Ⅱ-Ⅵ族化合物合金的制备可以按 ZnS-ZnSe、ZnSe-CdSe、ZnS-CdS、ZnSe-ZnTe 和 ZnTe-CdTe 等组合，以任何比例制备三元化合物，也可以制备四元化合物。

1.3 Ⅱ-Ⅵ族化合物的掺杂

在半导体中掺入杂质可以形成电学上和光学上的活泼中心。制造光电子器件的一项关键技术就是如何有效地掺入所需的杂质。Ⅱ-Ⅵ族材料中所有的掺杂现象都受到材料中本征缺陷的种类和浓度的影响，甚至起决定性的作用。表 6.8-3 列出了Ⅱ-Ⅵ族化合物中一些熟知的施主和受主杂质。

表 6.8-3 Ⅱ-Ⅵ族化合物中施主和受主杂质

族	杂质	替位格点	杂质类型
ⅢA	B、Al、Ga、In	Zn、Cd	施主 (D)
ⅦA	F、Cl、Br、I	S、Se、Te	施主 (D)
ⅠA	Li、Na	Zn、Cd	受主 (A)
ⅤA	N、P、As、Sb、Bi	S、Se、Te	受主 (A)
ⅠB	Cu、Ag、Au	Zn、Cd	受主 (A)

晶体中的杂质或空位都可以表现为施主性质或受主性质。若杂质原子处于填隙位置，则在外壳层电子不足半满时缺位表现为施主，反之为受主；如果刚好半满其表现为施主或受主由实验决定。对于空位来说，金属性的原子空位表现为受主，S 族原子空位则表现为施主。

Ⅲ族元素如 Al、Ga、In，它们在Ⅱ-Ⅵ族 Zn、Cd 化合物中替位 Zn 或者 Cd 形成施主；卤素元素 F、Cl、Br、I 施主可与 Zn 或 Cd 的空位形成缔合体；Ⅰ族元素 Cu、Ag、Au 会迅速扩散成为填隙离子，或者替位 Zn 或 Cd 进入晶格成为受主。在硫化物和硒化物中磷杂质通常形成深受主能级。Re-

inhold 和 Wienecke 在 As-掺杂的 ZnSe 的研究中观察到了两种状态：亚稳的浅受主态和深受主的稳定态。表 6.8-4 为Ⅱ-Ⅵ族材料中一些施主和受主杂质的离化能。

表 6.8-4　Ⅱ-Ⅵ族材料中一些杂质的离化能 E_d

E_d/meV 杂质 \ 材料		ZnSe	ZnS	ZnTe	CdSe	CdS
施主	Al	26	74	18	19	33
	Ga	28	400			33
	In	29	500			34
	F	29		18	19	35
	Cl	27	100			33
	Br					33
	I					32
受主	Li	114		58	109	165
	Na	124				169
	N	900				750～900
	P	600		63		
	As	600		79		1 000

对 ZnSe 基Ⅱ-Ⅵ族激光二极管而言，要实现连续工作器件的实用化，必须降低阈值工作电压。由于 ZnSe 材料的价带很低，很难找到匹配的金属电极材料，因而实现高浓度的 ZnSe p-型掺杂显得尤为重要。和其他宽带隙半导体一样，ZnSe 缺少浅掺杂剂，尤其是用传统的方法很难实现高浓度的 p 型掺杂，因而，p-型 ZnSe 的制备成为了制约器件应用的关键问题之一。

很难实现两性掺杂几乎是Ⅱ-Ⅵ族化合物共同具有的缺陷。CdTe 能够做成低阻的 n 型和 p 型两种。用通常的掺杂方法 CdS、ZnSe、ZnS 只能做成低阻的 n 型，而 ZnTe 只能做成低阻的 p 型。在Ⅱ-Ⅵ族化合物中，实现两性掺杂所以困难主要在于晶体生长过程中自身缺陷的补偿，有意掺入杂质的非补偿溶解度低以及一些已知的施主或受主能级激活能高等这样一些原因。图 6.8-1 给出了不同Ⅱ-Ⅵ族半导体的导带和价带的位置。可以看到，费米能级的稳定状态位置位于真空能级以下 4.9 eV 处，费米能级的位置可以在 $\Delta E_F = E_{Fmax} - E_{min}$ 的区间内移动决定给定材料中的所能达到的电子和空穴浓度。ZnTe 的 E_{Fmin} 位于价带以下较深的位置，与实验中观察到的该材料容易进行受主掺杂的结果一致。报道的结果表明，ZnTe 中的自由空穴浓度可高达 $10^{20}/cm^3$。另一方面，图中 ZnTe E_{Fmax} 位于导带边以下，这意味着很难获得 n-型的电导。

另一种重要的掺杂技术是离子注入法。离子注入法原则上掺入的杂质量只依赖于被注入离子的能量和束流，因而可以实现高浓度掺杂；其最大优点是掺杂可以在较低的温度下进行，从而能够防止产生会造成补偿的缺陷中心。早期Ⅱ-Ⅵ族化合物离子注入工作主要集中在 CdTe:As，CdS:Bi，CdS:P，CdS:N，CdS:F，ZnTe:Cl、ZnSe:Li 和 ZnSe:P 等这样一些材料。但是对用离子注入法掺杂的 ZnSe 进行进一步的研究，结果表明，与未掺杂的 ZnSe 薄膜相比 N 掺杂的薄膜中存在高密度的位错，即等离子体注入在提高材料掺杂浓度的同时带来了高密度的点缺陷。

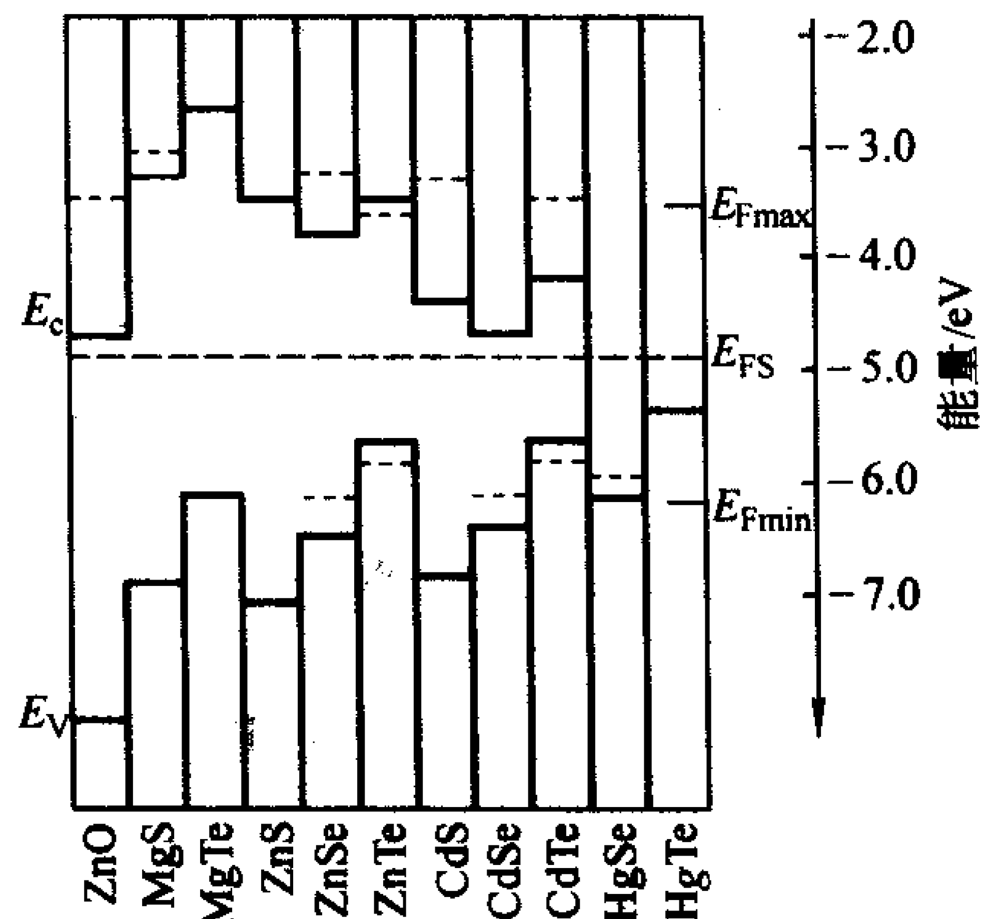


图 6.8-1　Ⅱ-Ⅵ族化合物半导体的带偏移和费米能级稳态能量 E_{FS}
虚线表示对应于已报道的该材料中最高空穴和电子浓度的费米能级的位置

ZnSe 的 p-型掺杂，一般是在材料中掺入Ⅰ族的 Li、Na 取代 Zn 或Ⅴ族的 N、P、As 取代 Se，也可以用第Ⅰ和第Ⅴ族元素共掺杂。但是在 ZnSe 中掺 Li 会产生杂质的自补偿，如果使 Li 与 N 联合掺杂可以有效地解决自补偿问题。N 是 ZnSe 中浅受主杂质，掺 N 对于制备 p 型 ZnSe 的效果比较理想。但早期一般用 N_2 或 NH_3 作为气源，掺杂过程中 N 以分子形式存在，而 N_2 的黏附系数很小，不易进入 ZnSe 内，因而在技术上很难实现高浓度的 N 掺杂。用射频和 N 的等离子体源进行氮掺杂可以使掺杂浓度提高到 $1\times10^{18}/cm^3$ 甚至 $10^{19}/cm^3$ 量级，实现了室温空穴浓度 $3.4\times10^{17}/cm^3$ 并且可以稳定到 400℃。但由于 N 原子的半径较小，进一步提高受主浓度再次遇到了困难。

δ 掺杂技术可以提高 ZnSe 的 p-型掺杂效果，但采用这种技术用 N 单独进行掺杂，目前达到的最高 P 型掺杂浓度只有约 $1\times10^{18}/cm^3$，如果用 N 和 Te 进行共掺杂，掺杂受主浓度可以达到 $7\times10^{18}/cm^3$。

为提高 ZnSe 的掺杂浓度人们还进行了一些探索性的研究。日本 Okayama 科学大学应用物理系 Minoru.Yoneta 等人研究了分子束外延法在偏离（朝［110］方向偏离）取向的 GaAs（001）面衬底上生长的掺锂 ZnSe 薄膜。研究发现，掺锂 ZnSe 中净受主浓度与 GaAs 衬底上的生长方向和取向偏离程度有密切关系。表 6.8-5 为 ZnSe 常用的掺杂源及其掺杂结果。

表 6.8-5　ZnSe 常用的掺杂源及其掺杂结果

n 型					p 型				
施主杂质		离化能/meV	掺杂源	载流子浓度/cm^{-3}	受主杂质		离化能/meV	掺杂源	掺杂效果
Ⅲ族	Al	25.6	$(C_2H_5)_3Al$	$10^{16}\sim10^{18}$	Ⅰ族	Li	114	C_2H_5Li	束缚激子发射
	Ga	27.2	$(C_2H_5)_3Ga$	$\sim10^{16}$				C_4H_4Li	$<1\times10^{15}/cm^3$
			Ga	4×10^{17}				Li	约 $10^{17}/cm^3$
	In	28.2				Na	124	C_5H_5Na	束缚激子发射
Ⅶ族	Cl	27	$I\text{-}C_5H_{17}Cl$	$10^{15}\sim10^{17}$				Na	约 $10^{15}/cm^3$
			HCl	$10^{15}\sim10^{17}$					

续表 6.8-5

n型					p型				
施主杂质		离化能/meV	掺杂源	载流子浓度/cm^{-3}	受主杂质		离化能/meV	掺杂源	掺杂效果
Ⅶ族			$ZnCl_2$	$10^{16}\sim10^{19}$	Ⅴ族	N	80	NH_3	$<1\times10^{14}/cm^3$
	Br	26.5	C_2H_5Br	$10^{18}\sim10^{19}$			110	$(CH_3)_2N_2H_2$	束缚激子发射
	I	26	C_2H_5I	$10^{15}\sim10^{19}$				N-N	$10^{17}\sim10^{18}/cm^3$
			n-C_4H_4I	$10^{15}\sim10^{19}$		P	85	PH_3	深能级发射
	F	28.8					89.4	Zn_3P_2	约 $10^{16}/cm^3$
						As	108,	AsH_3	深能级发射
							114	Zn_3As_2	约 $10^{17}/cm^3$
					Ⅰ+Ⅴ共掺	Li+N		Li_3N	$<1\times10^{18}/cm^3$
								$(CH_3)_2LiN$	束缚激子发射

2　Ⅱ-Ⅵ族化合物的半导性质

2.1　Ⅱ-Ⅵ族化合物的晶体结构性质

Ⅱ-Ⅵ族化合物呈现的特性介于共价性的Ⅳ-Ⅳ族化合物及Ⅲ-Ⅴ族化合物与离子性的Ⅰ-Ⅶ族化合物之间。ZnTe、ZnSe、ZnS、和 CdS 等Ⅱ-Ⅵ族化合物的禁带宽度之所以大，是由于共价-异价混合键的离子性增大，而随原子尺寸的减小它们的禁带宽度趋于增大。

几乎所有的Ⅱ-Ⅵ族化合物都可以制备成六角的纤锌矿结构或立方的闪锌矿结构，这两种类型的化合物其原子间距基本相同。$Zn_xCd_{1-x}Se$ 合金体材料既可以是立方的闪锌矿结构（$x>0.7$）也可以是六角的纤锌矿结构（$x<0.5$），或者同时包含这两种结构（$0.5\leqslant x\leqslant0.7$）。但用 MBE 方法在 GaAS（100）衬底上生长的 $Zn_xCd_{1-x}Se$ 薄膜在整个组分范围内都是闪锌矿结构。

下面以 ZnS 为例，说明这两种晶体的结构性质。面心立方 ZnS（闪锌矿）和六方 ZnS（纤锌矿）晶体中 Zn 与 S 的化学键具有极性的共价键，两者均属于共价晶体，其晶体结构是共价晶体结构的两种典型代表。

2.1.1　闪锌矿型结构

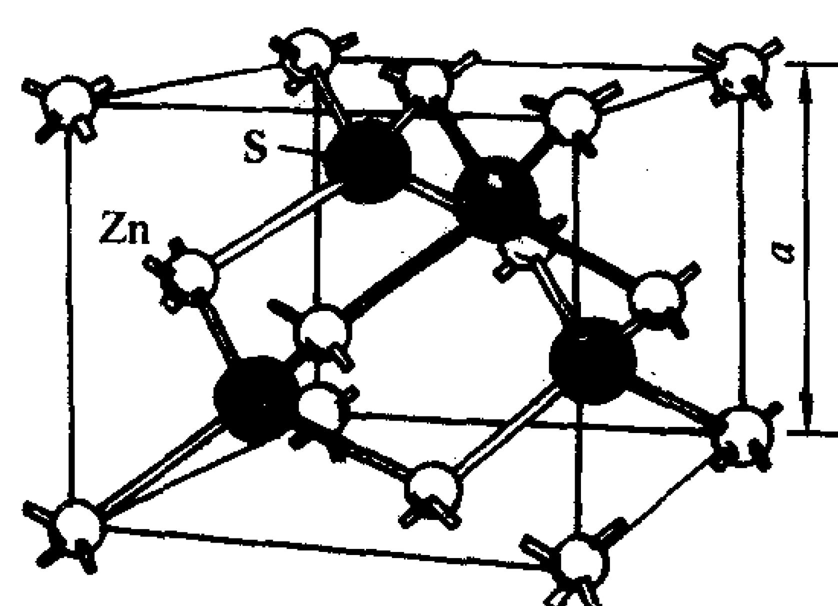
闪锌矿的晶体结构属立方晶系，ZnS 的面心立方结构是由一套面心立方的 S 原子格子与一套面心立方的 Zn 原子格子相互错位1/4($a+b+c$) 穿插配置而成，如图 6.8-2a 所示。S^{2-} 位于立方面心的结点位置，Zn^{2+} 交错地分布于立方体内的 1/8 小立方体的中心。闪锌矿 ZnS 中 Zn 和 S 的配位数均为 4，若以 Zn 为中心原子，周围配置 4 个 S 原子，形成［ZnS_4］四面体结构。四面体中心为 Zn 原子，四面体顶角则表示 S 原子所在位置。闪锌矿 ZnS 结构中［ZnS_4］四面体堆积形式呈现 ABCABC…堆积方式，如图 6.8-2b 所示。

2.1.2　纤锌矿型结构

纤锌矿 ZnS 是由一套简单六方的 S 原子格子和一套简单六方的 Zn 原子格子，在 a、b 轴上重合，c 轴上错位 5/8，穿插配置而成。六方 ZnS 结构中［ZnS_4］四面体堆积形式呈现 ABABAB... 的六方密堆积方式。六方 ZnS 晶体结构如图 6.8-3 所示。

2.2　Ⅱ-Ⅵ族化合物能带结构性质

能带结构对于认识半导体的光学和电学性质具有非常重要的意义。随着理论计算和实验研究的进展，现已经对一些常见的半导体的能带结构有了比较清楚的认识。



(a)闪锌矿结构的ZnS（β-ZnS)的结构简图

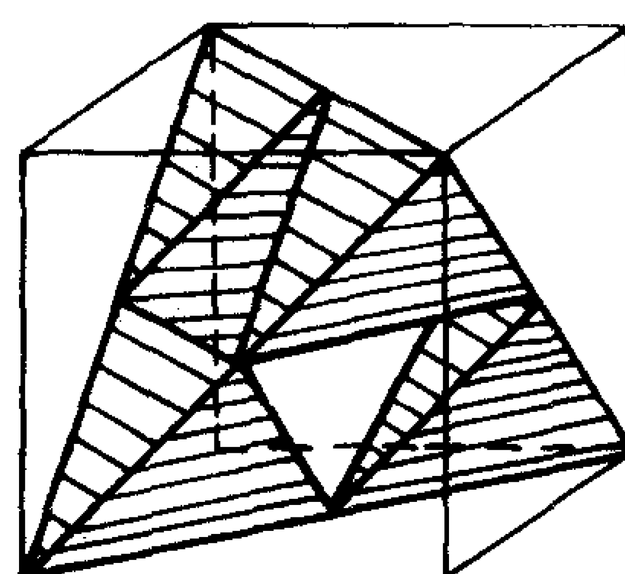

(b)闪锌矿ZnS结构中[ZnS_4]四面体堆积形式

图 6.8-2　闪锌矿 ZnS 的晶体结构

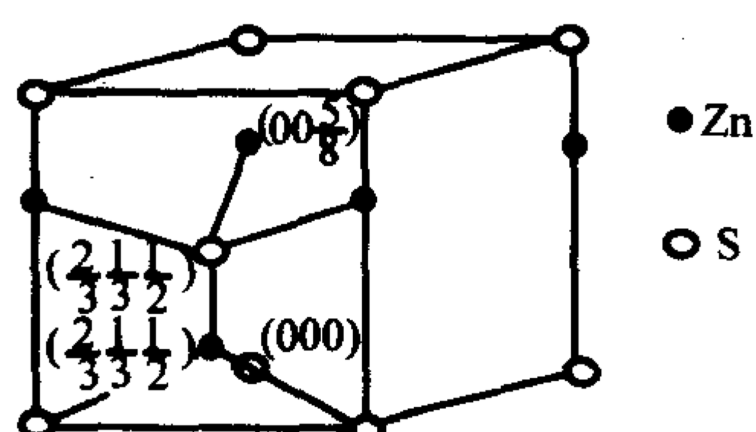


图 6.8-3　纤锌矿 ZnS 的小晶胞结构

图 6.8-4 为几种典型的Ⅱ-Ⅵ族化合物的能带结构。由图可以看出，几种典型的Ⅱ-Ⅵ族化合物半导体的价带和导带在 Γ 点的对称性都是 Γ_{15} 和 Γ_1。价带的极大值和导带的极小值出现在 k 空间的同一点，即没有动量差，为直接带隙半导体。

Ⅱ-Ⅵ族化合物的三元合金的带隙与相应的两种二元化合物带隙的关系，虽然在粗略计算中有时按随组分的线性变

化估算，但实验表明，它们的关系并非是线性关系，而且有时相对线性关系偏离很大。$Zn_{1-x}Cd_xSe$ 能隙 E_g^{Γ} 随组分变化的计算结果和实验数据如图 6.8-5 所示。结果表明，$Zn_{1-x}Cd_xSe$ 的能隙 E_g^{Γ} 随 x 不是严格的线性关系，而是偏离直线向下。如果对化合物半导体或它们的固溶体施加压力，则它们的能隙还将随着所加压力的大小而变化，如图 6.8-6 所示。插图表示分别用光调制反射谱（Photomodulated Reflectance Spectrum）（PR）和光吸收（abs）实验得到的 $ZnSe_{1-x}Te_x$ 三元合金的能隙 E_g^{Γ} 随组分 x 的变化，可以看出合金的能隙 E_g^{Γ} 随组分 x 的变化表现出明显的非线性关系。图 6.8-7 表示常见的Ⅱ-Ⅵ族化合物及其合金的能隙宽度和晶格常数，以及可能的Ⅲ-Ⅴ族衬底。

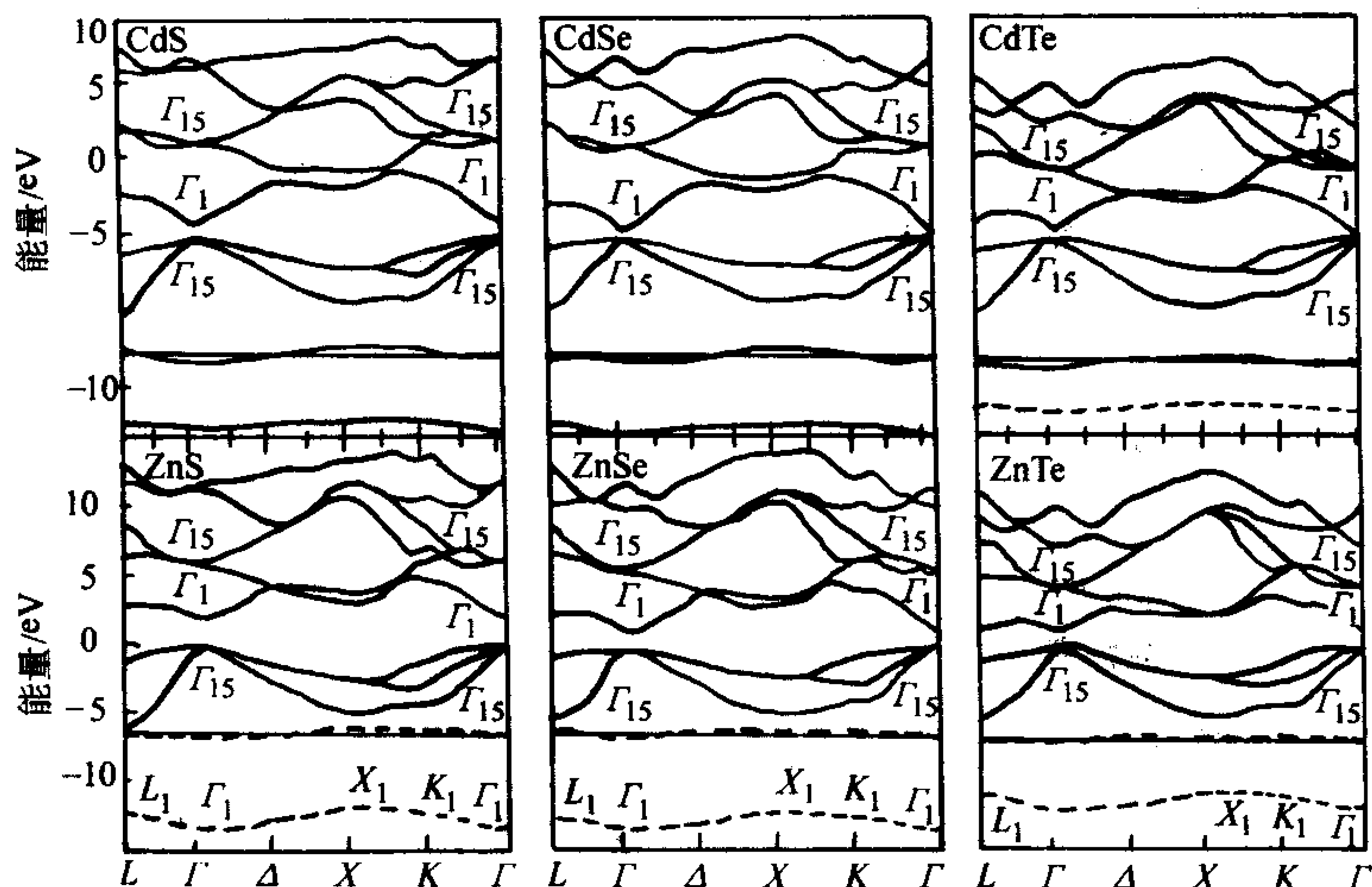


图 6.8-4 Ⅱ-Ⅵ族闪锌矿半导体带结构

实线和虚线分别为用晶格常数的理论值和实验值计算的结果

半导体的带隙还会随温度的变化而变化。一般情况下，当温度升高时会产生带收缩。Varshni 给出了带隙随温度的变化关系：

$$E_g(T) = E_g(0\ \text{K}) - \frac{\alpha T^2}{T+\beta} \tag{6.8-2}$$

$E_g(0\ \text{K})$为 0 K 下的带隙，α 和 β 为两个参数。

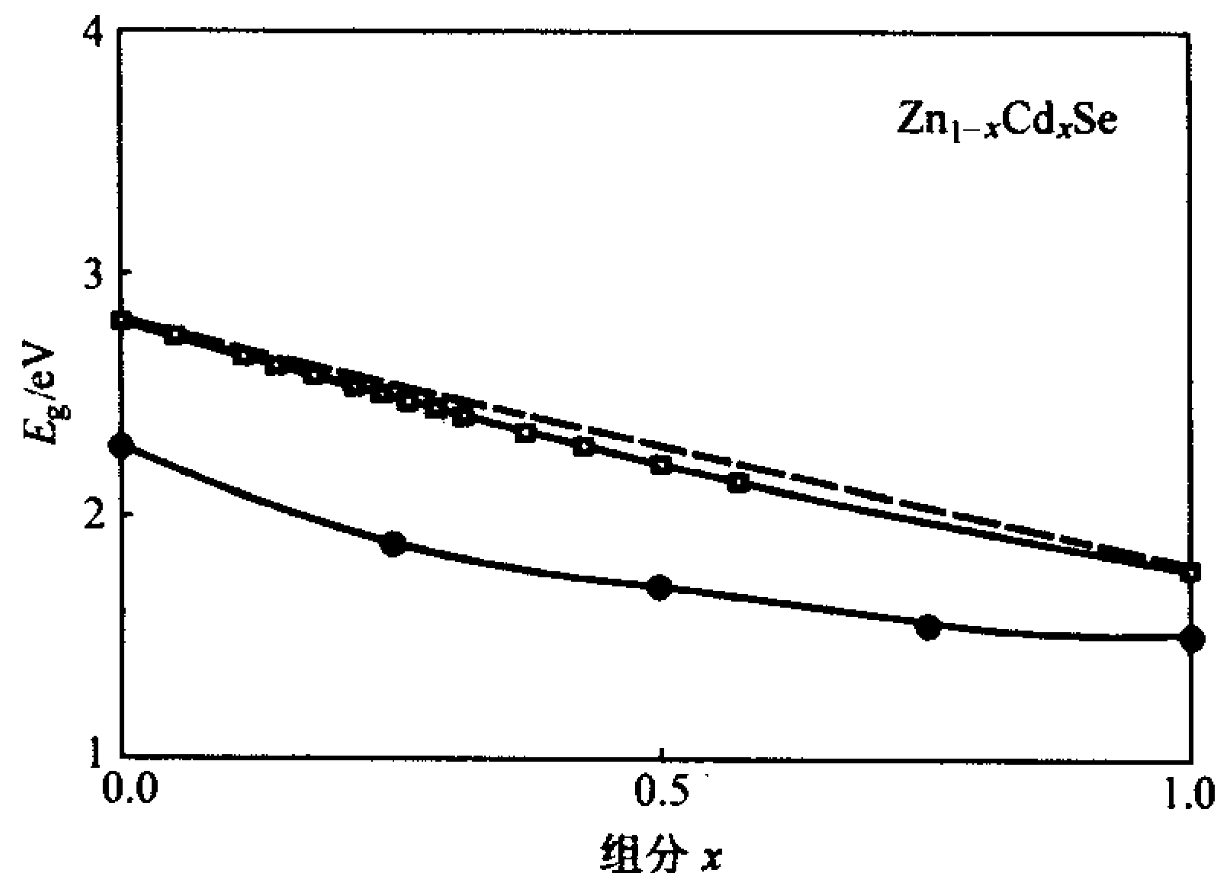


图 6.8-5 $Zn_{1-x}Cd_xSe$ 合金的能隙 E_g^{Γ} 随组分的变化

实心圆点和空心圆点分别表示计算的和实验得到的能隙 E_g^{Γ}，图中的虚线表示 ZnSe 和 CdSe 对应数据的连线

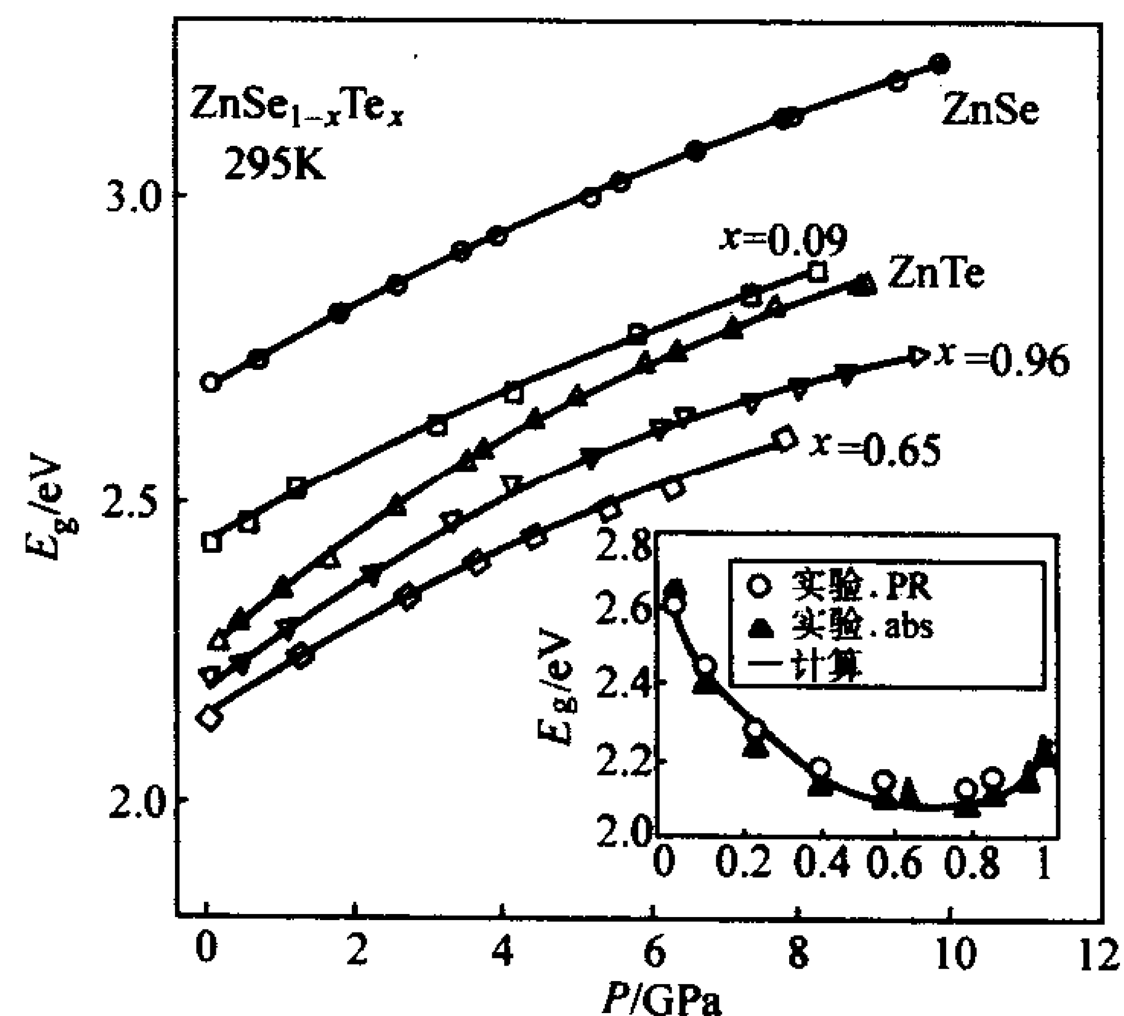


图 6.8-6 几种不同组分的 $ZnSe_{1-x}Te_x$ 合金的能隙 E_g^{Γ} 随压强的变化

实线是对数据点的二次拟合。插图为分别用光调制反射谱（PR）和光吸收（abs）实验得到的 $ZnSe_{1-x}Te_x$ 三元合金的能隙 E_g^{Γ} 随组分 x 的变化。曲线为计算结果

2.3 Ⅱ-Ⅵ族化合物的光学性质

2.3.1 基本性质

Ⅱ-Ⅵ族化合半导体大都为直接带隙半导体，其带隙能量从 CdTe 的 1.5 eV 到 ZnS 的 3.7 eV（闪锌矿）。ZnSe 是Ⅱ-Ⅵ族化合中具有代表性的材料，其禁带宽度约 2.7 eV，发射波长相应于深蓝色 480 nm，且晶格常数非常接近于 GaAs，因而非常适合于研制蓝光 LED 和 LD。表 6.8-6 为 ZnSe 的基本性质，表 6.8-7 为几种主要的Ⅱ-Ⅵ族化合物的基本性质。

2.3.2 激子性质

将材料做成多量子阱结构能够改善材料的发光性能。通过将电子和光子限制在发光的有源层，可以增加材料的发光效率，同时也能够显著地增加激子束缚能。1990 年 Yamada 等人研究了 ZnSe/ZnS 超晶格的激子发光特性，得到激子的束缚能为 71.3 meV，与 ZnSe 体材料的 20 meV 相比要大得多。ZnSe 基量子阱发光光谱中激子跃迁占主要部分。因此，ZnSe 基材料在发展室温激子器件方面一度引起人们的高度关注。

光谱技术是研究材料光电子性质的一种常用而且有效的方法。例如光致发光谱，通过测量光谱宽度和发光峰的位置、强弱等光谱特性，以及光谱特性随温度、激发光强度等外界条件的变化，可以判断发光材料发光性能的好坏和材料中的缺陷以及杂质能级等材料性质。在光致发光过程中，当激发光强度增加时，电子-空穴对的密度可以增加得很高，以至于多体效应变得很重要，导致激子分子或简併电子-空穴等离子体的形成。在高激发条件和 10 K 的温度下，ZnSe 的光致发光谱中发现了位于 2.784 eV 处的激子-激子散射，而 ZnS 的光致发光谱中发现了位于 3.788 eV 处的双激子辐射复合。

如果材料中存在杂质中心，杂质对激子会起束缚作用，可能形成局域化激子，从而产生束缚激子发光。由于束缚能的存在，相对自由激子来说，束缚激子的发光峰将产生红

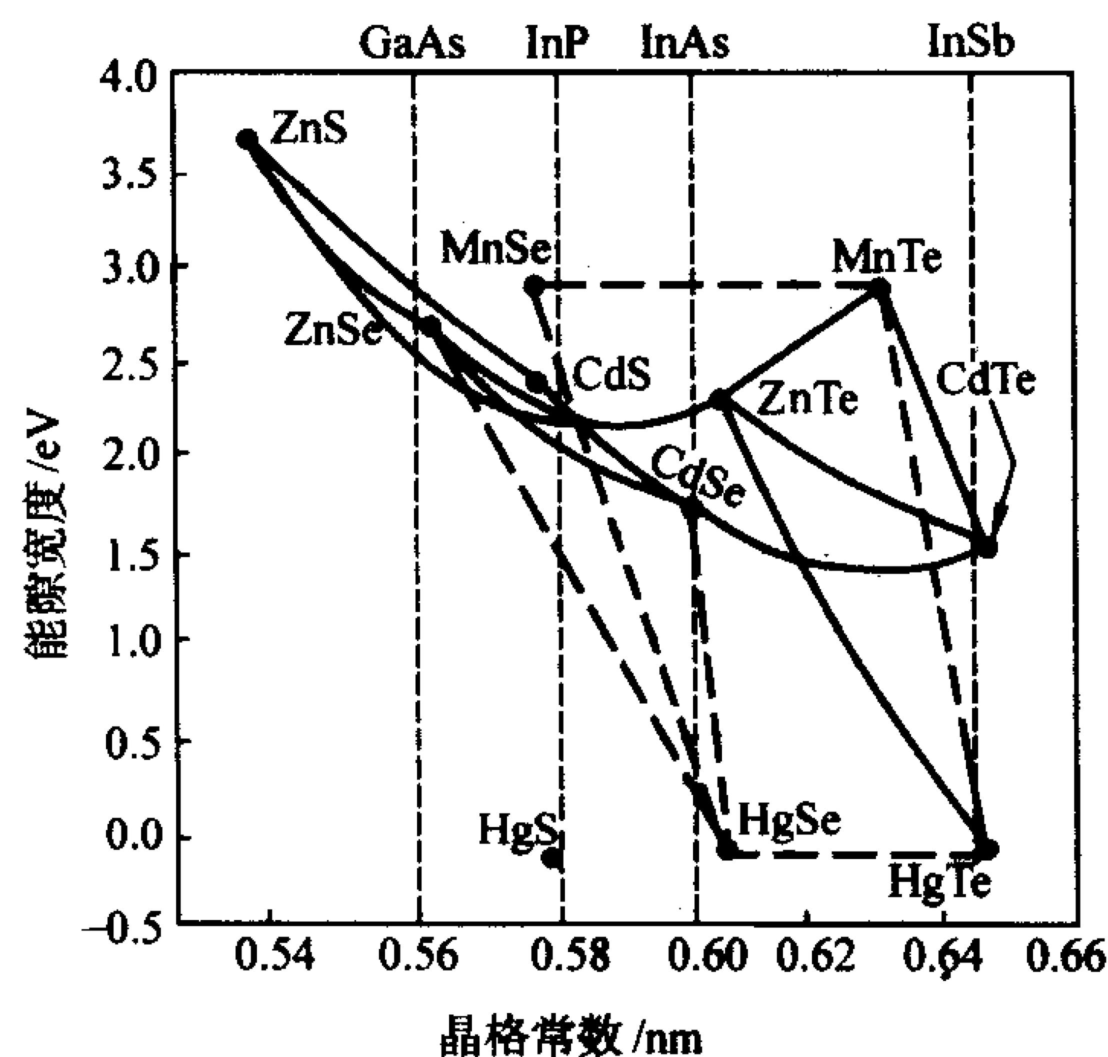


图 6.8-7　Ⅱ-Ⅵ族化合物及其合金的能隙宽度和晶格常数，以及可能的Ⅲ-Ⅴ族衬底

表 6.8-6　ZnSe 的基本性质

晶体结构	闪锌矿
带隙/eV	2.67
带隙温度系数 dE_g/dT/eV·K^{-1}	-5×10^{-4}
带隙压力系数 dE_g/dP/eV·cm^2·kg^{-1}	0.7×10^{-6}
电子有效质量/m_0	0.13
空穴有效质量/m_0	重空穴：0.78～1.09
	轻空穴：0.145
晶格常数/nm	0.566 87
折射率	对 0.55 μm：2.43
介电常数	$\varepsilon_r=7.1$
	$\varepsilon_x=5.4$
热导率/W·(cm·K)$^{-1}$	0.19

表 6.8-7　主要Ⅱ-Ⅵ族化合物的基本性质

材料	晶格常数 a_0/nm	禁带宽度 E_g /eV (300 K)	自旋轨道劈裂常数 Δ_0/eV	吸收系数 /cm^{-1}	电子亲和势 χ/eV
ZnS	0.540 9 (IB) {0.381 9// 0.625 6⊥	3.66	0.07		3.9
ZnSe	0.566 9	2.67	0.43	0.005	4.09
ZnTe	0.610 4	2.26	0.91	0.008	3.53
CdS	0.583 78 (IB) {0.413 68// 0.671 63⊥	2.42		0.01	4.5
CdSe	0.608 4 (IB) {0.429 8// 0.701⊥	1.73		0.001	4.85
CdTe	0.648 1	1.44	0.93	0.002	4.28

移，红移的量与杂质对激子的束缚能大小有关。图 6.8-8 所示为 CdS 的光致发光谱图，其两个主要的谱线分别来自于中性受主束缚激子（I_1）和中性施主束缚激子（I_2）的辐射复合。

2.3.3　激子线增宽

激子发光谱线的线宽反应了激子发光特性的好坏，而激子线宽与材料质量有着直接的关系。图 6.8-9 为在 4.2 K 的温度下 $Zn_xCd_{1-x}Se$ 和 $Zn_xCd_{1-x}Te$ 激子线宽 E 随合金组分 x 的变化。

和二元Ⅱ-Ⅵ族化合物相比，三元或三元以上的合金中的激子线宽会产生较大的增宽。影响激子线宽的有两个主要因素：激子局域化和激子散射。从增宽性质上讲，激子线增宽来源于均匀增宽和非均匀增宽两部分。在非均匀增宽中，不同的原子对非均匀宽化的线型中不同部分有贡献，而在均匀增宽中，每个原子都对整个线型有贡献。对Ⅱ-Ⅵ族宽带材料，总线宽可用公式表示为：

$$\Gamma(T)=\Gamma_0+\Gamma_{ac}T+\frac{\Gamma_{LO}}{\exp(\hbar\omega_{LO}/k_BT)-1} \qquad (6.8\text{-}3)$$

Γ_{ac}和 Γ_{LO}分别表示激子与声学声子和激子与纵光学声子的耦合强度，因而后两项表示由于激子-声子散射引起的均匀增宽。Γ_0 为非均匀增宽，主要来源于合金无序和阱宽涨落。

2.3.4　受激发射性质

在受激发射的光增益机理方面，Ⅱ-Ⅵ族材料和Ⅲ-Ⅴ族有很大的不同。在典型的 GaAs 基材料的激光发射过程中，激光增益主要起源于注入有源区的电子-空穴等离子体。室温下 GaAs/GaAlAs 双异质结激光器典型的电子-空穴对密度大约为 1×10^{18}/cm^2，77 K 下大约为 3×10^{18}/cm^2。高载流子浓度屏蔽了电子-空穴之间的相互作用，从而抑制了激子在激光增益机理中的作用。与Ⅲ-Ⅴ族中的激子相比，Ⅱ-Ⅵ族化合物中的激子束缚能非常大，产生受激发射时激子可能驰豫到合金组分涨落引起的谱线非均匀增宽的低能态，产生了继这些态的激子相空间填充的光增益。

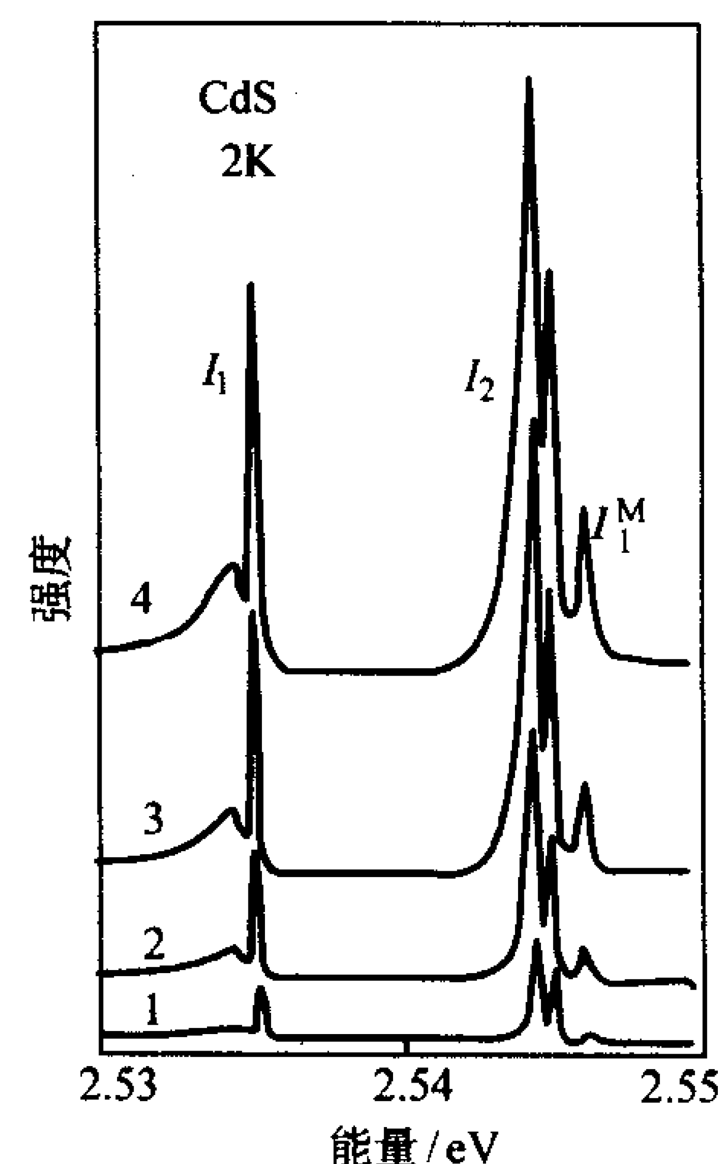


图 6.8-8　不同激发强度下 CdS 的光致发光谱

不同谱线对应的激发强度分别为：

1—200 W/cm；2—500 W/cm；3—1 000 W/cm；4—2 000 W/cm

2.3.5　光学非线性

非线性光学效应起源于激光（强光场）对介质的极化作用。对于宏观的物质而言，极化强度 P 可表示为：

$$P=X^{(1)}E+X^{(2)}E^2+X^{(3)}E^3+\cdots \qquad (6.8\text{-}4)$$

式中，E 为入射光电场强度，$X^{(1)}$ 为物质的线性极化率，$X^{(2)}$ 和 $X^{(3)}$ 分别为物质的二阶和三阶非线性极化率。非线性光学材料具有变频、增幅、开关、记忆等许多元件功能。三阶非线性光学材料的研究，由于其在光开关、光计算器件等方面潜在的应用前景，而引起了人们的广泛兴趣。

Ⅱ-Ⅵ族化合物除了具有很好的光发射特性外，还具有较好的光学非线性特性。1992 年 Saiki 等人报道了 MBE 生长的 ZnSe 在 8 K 下的激子光学非线性，在非线性响应时间小于 20 ps 的情况下获得的三阶非线性极化率 $\chi^{(3)}$ 大于10^{-2} esu，非线性相移高达 0.15 deg·cm^2/kW。对于 ZnSe 单晶膜和阱宽较大的超晶格（7.3 nm），在 77K 下的光学非线性的主要机理为激子态的库仑屏蔽，而对于阱宽较小的超晶格（2.4 nm），其非线性机理主要为激子态的库仑屏蔽和激子态的相空间填充同时起作用。

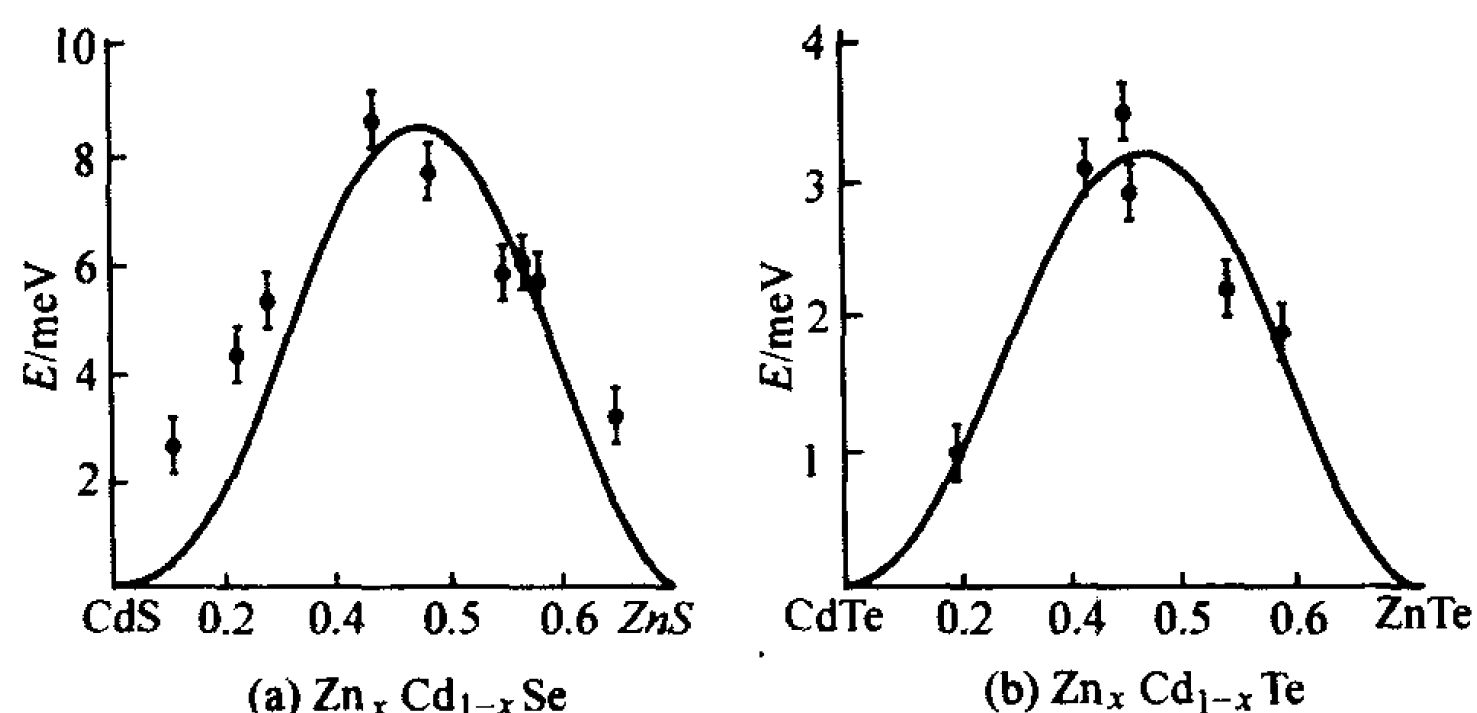


图 6.8-9 4.2 K 的温度下激子线宽 E 随合金组分 x 的变化
图中的点表示实验数据，实线为用 Baranovski 和 Efros 理论的计算结果

光双稳器件是Ⅱ-Ⅵ族化合物光学非线性的一个重要应用。1990 年在 ZnSe 自电光效应器件（SEED）中发现了光双稳特性。ZnSe 干涉滤光片的开关特性差的问题一直没有得到很好的解决，人们主要研究 ZnSe 基多量子阱的激子光双稳。

2.4 Ⅱ-Ⅵ族化合物的补偿效应

补偿效应是宽带隙材料普遍存在的现象，同时还与材料的带隙和空位热焓有关。从能量平衡的角度理解，作为补偿中心的晶格缺陷，如空位，其形成需要能量；但另一方面，这些缺陷与来自杂质中心的载流子之间相互作用，晶格可获得能量。如果形成缺陷所需的能量比从补偿中所获得的能量小，那么缺陷就会对杂质中心产生补偿。对于 p 型掺杂，受主能级越靠近价带就越容易产生补偿。

如前所述，用常规的方法很难实现Ⅱ-Ⅵ族化合的两性掺杂，这主要是由于故意掺入的施主或受主杂质受到具有相反导电类型的半导体本身缺陷中心的电补偿。

Li 为 ZnSe 的 p-型掺杂剂，由于 Li 的离子半径较小故容易掺入，但是它既可以取代 Zn 格点成为受主，也可以填隙成为施主补偿 Li 受主，即产生自补偿效应。掺杂剂还可能与材料生长过程中产生的或非故意引入的杂质或自身缺陷结合，形成电学上和光学上不活泼的缔合体。对于 N 掺杂 ZnSe，随着 N 掺杂浓度的提高，当 N 杂质浓度达到 $10^{17}/cm^3$ 以上时会增加补偿施主种类，形成一种 Se 空位 V_{Se} 与氮形成的 V_{Se}-N 缔合体，该缔合体与 V_{Se} 补偿材料中的受主。

3 ZnSe 基化合物半导体的异质结构

超晶格概念的提出以及半导体超晶格、量子阱材料的研制成功，为Ⅱ-Ⅵ族光电器件的设计提供了新的思路。Ⅱ-Ⅵ量子阱使得材料中的激子束缚能进一步提高，有望实现室温激子器件。

图 6.8-10 为 ZnSe 和 ZnS 组成的异质构材料的结构简图。两种材料的晶格常数大小不同，所以对于两种体材料来说，构成的异质结构在界面处将产生大量的失配位错。但如果两种材料的厚度足够地薄，晶格失配可以通过弹性应变使其完全得到调整，如图 6.8-10b 所示。晶格常数小的材料 ZnS 在平行于层的平面内被拉伸，晶格常数变大，在垂直于层的方向受压缩，晶格常数变小；而晶格常数大的材料 ZnSe 在平行于层的平面内被压缩，晶格常数变小，在垂直于层的方向被拉伸，晶格常数变大。在生长外延层的过程中，当衬底和外延层之间的晶格失配很小时，沉积在衬底上的第一层原子将产生应变效应并和衬底匹配，随着厚度增大时应变能将增大，若超过某一临界厚度 h_c，界面之间将通过晶格失配形成的位错产生应变驰豫。表 6.8-8 给出了一些异质结构的临界厚度 h_c 以及晶格失配 f。

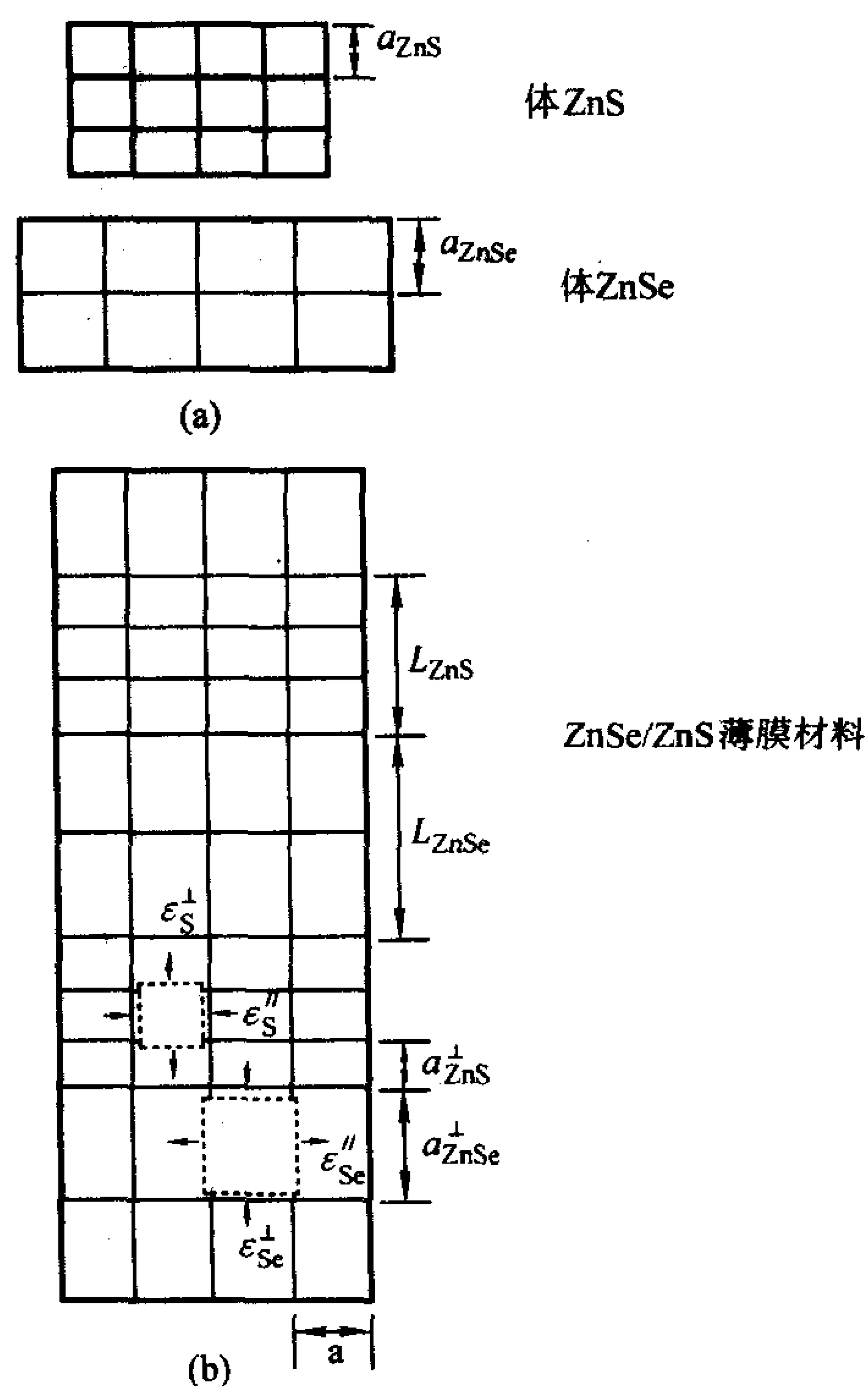


图 6.8-10 ZnSe 和 ZnS 体材料（a）以及 ZnSe/ZnS 外延异质结构薄膜材料（b）的结构简图

表 6.8-8 一些常见异质结构的临界厚度 h_C 的理论值及晶格失配 f

异质结构	F（$\Delta a_0/a_0\times100/100$）	h_c/nm
CdTe/GaAs	13.6	0.02
CdTe/Ge	13.5	0.03
ZnTe/Si	12.4	0.08
ZnTe/GaP	12	0.17
ZnTe/GaAs	8	0.31
ZnTe/Ge	7.9	0.35
CdSe/Si	11.4	0.10
CdS/Si	2.8	0.34
CdSe/GaAs	7.02	0.40
CdSe/Ge	6.7	0.50
ZnSe/Si	4.4	0.70
ZnS/Ge	4.39	0.80
CdS/GaAs	1.26	1.29
ZnS/GaAs	4.3	0.9
CdSe/Ge	6.7	1.86
ZnTe/CdSe	0.8	7.50
ZnSe/GaAs	0.2	13.70
ZnSe/Ge	0.18	39.70
ZnS/Si	0.39	75.30

应变超晶格中存在应变，使不同层材料的晶格常数均发生变化，从而改变材料的禁带宽度，晶格畸变还将影响能带结构，使简併能级分裂，如图6.8-11所示。因而，在Ⅱ-Ⅵ族多量子阱或应变超晶格结构材料的发光光谱中，来自重空穴激子的发光和轻空穴激子的发光会具有不同的波长。所以，当价带的简併能级分裂与谱线宽度比较足够大时，就可能在该材料的发光光谱中同时观察到分别来自于重空穴激子和轻空穴激子的发光谱峰。图6.8-12为4 μm厚的ZnSe/GaAs的光致发光谱。位于2.802 2 eV处的重空穴激子发光峰（X_{hh}）和2.793 5 eV处的轻空穴激子峰（X_{lh}）是由于拉伸应变产生的分裂。另外，I_2、I'_2和I_1为施主和受主束缚激子峰，其他为非激子发光峰。

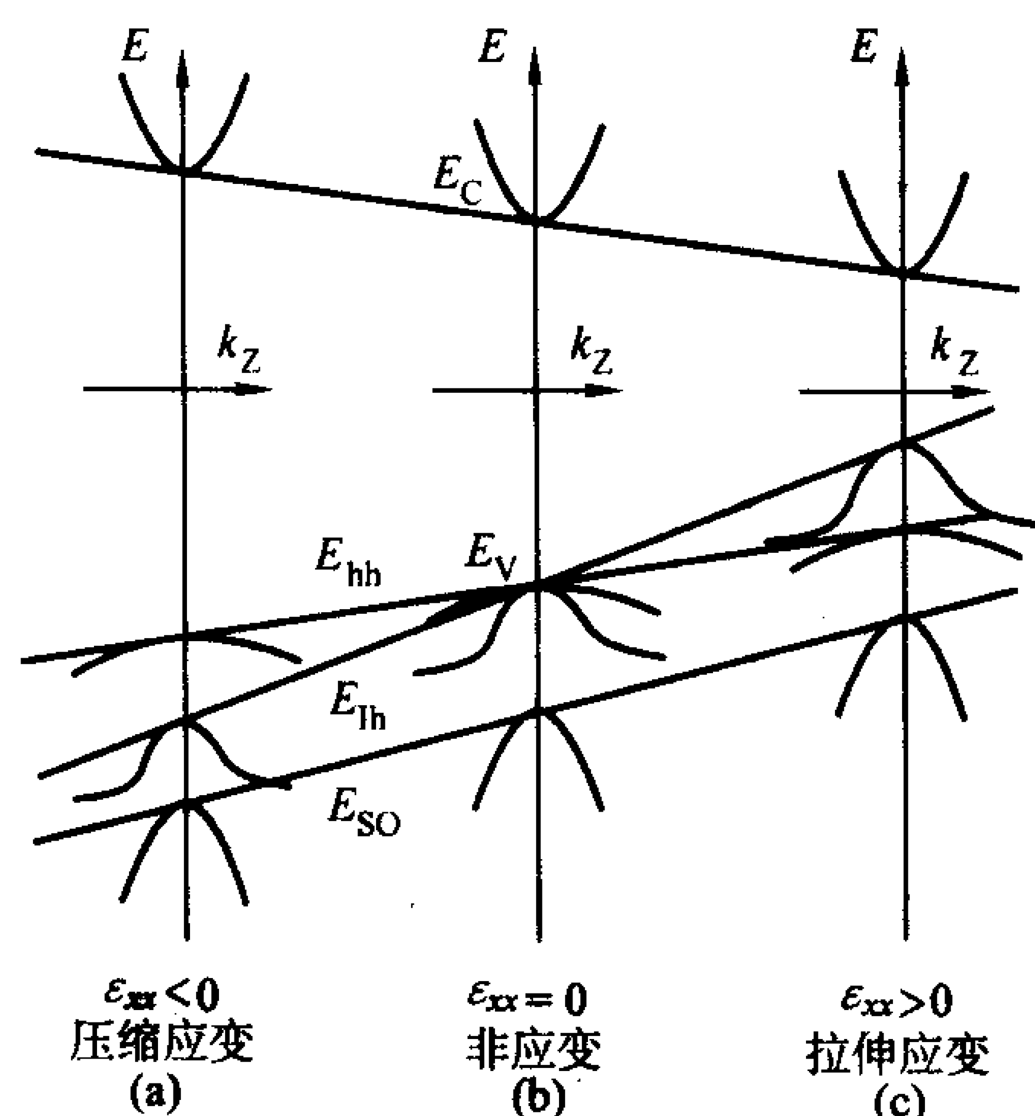


图6.8-11 在应变（a）和（c）和非应变（b）的情况下，晶体的导带以及价带的变化情况

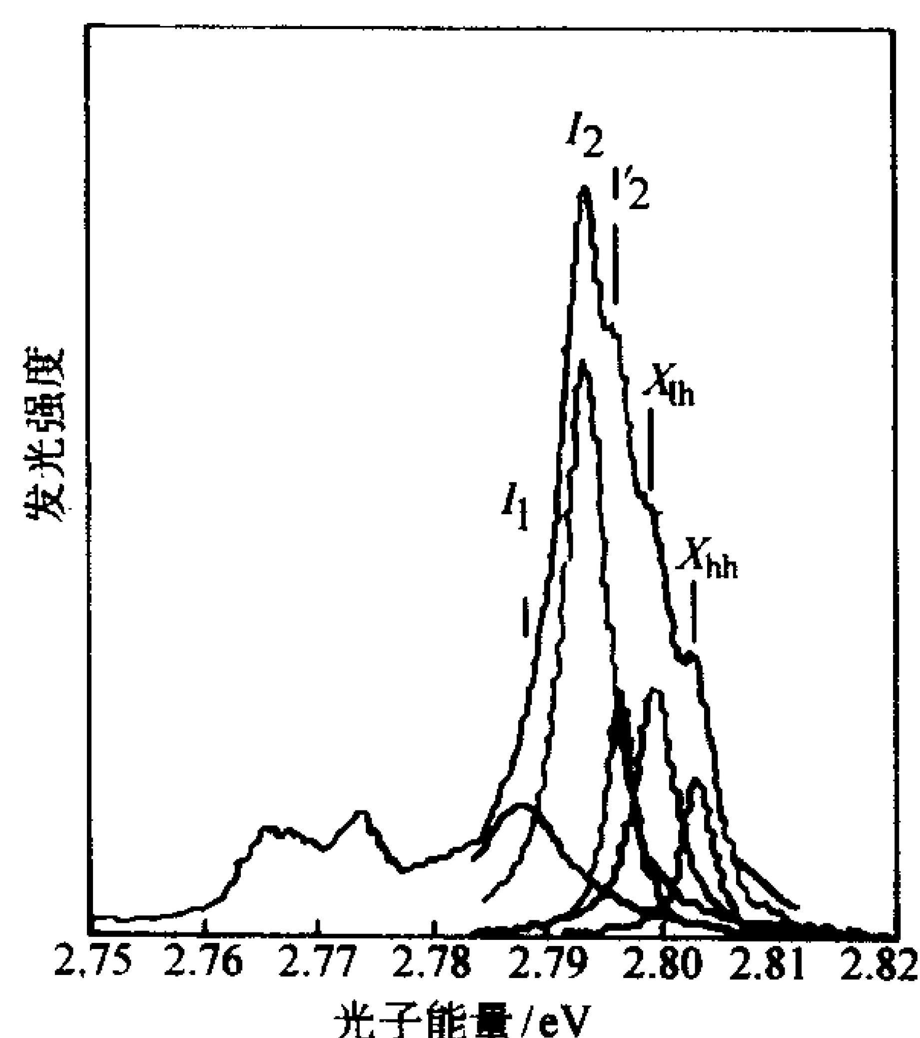


图6.8-12 4-μm-厚的ZnSe/GaAs的光致发光谱

Ⅱ-Ⅵ族超晶格材料带结构大多为第Ⅰ类型超晶格结构，如ZnCdSe/ZnSe、ZnSe/ZnS、ZnCdTe/ZnTe等，所以Ⅱ-Ⅵ族超晶格材料具有好的发光性质。Ⅱ-Ⅵ族也可形成其他类型的超晶格结构材料，如成立方相的CdS/ZnSe为第Ⅱ类型超晶格，HgTe/CdTe为第Ⅲ类型超晶格。立方相的CdS/ZnSeⅡ类超晶格具有比较强的压电效应，所以材料内存在很强的压电场，这一压电场将使能带结构发生倾斜。图6.8-13a和图6.8-13b分别为CdS/ZnSe超晶格在不考虑压电场和考虑压电场情况下的能带简图。该超晶格的导带偏移为0.80 eV，电子有效质量为0.18 m_0。外延在ZnSe上的CdS的临界厚度大约为4.5 nm。由于这类超晶格能带的交错式结构，其发光效率比较低，发光的光波长应大于CdS单晶薄膜的发光波长，压电场的作用使导带发生倾斜，从而使发光进一步红移。

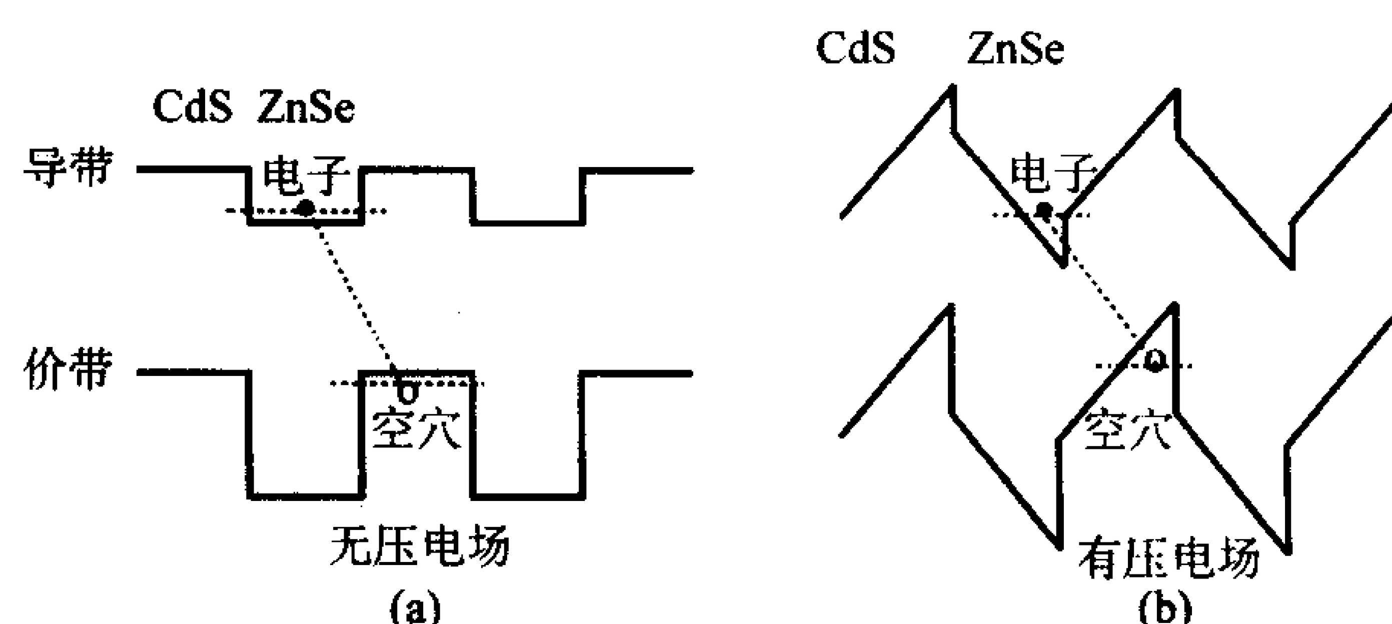


图6.8-13 CdS/ZnSe超晶格在不考虑压电场（a）和考虑压电场（b）情况下的能带简图

虚线表示电子或空穴的能级位置，点线表示电子跃迁

Ⅱ-Ⅵ族半导体材料大多是立方闪锌矿结构。因为六角的纤锌矿晶体具有低对称性，和立方晶体比较具有较少的滑移平面，因而通过将材料制备成纤锌矿结构，有望抑制将位错传播到激光二极管的活性层。因而人们探索用不同方法和用不同取向的衬底生长出不同晶体结构的Ⅱ-Ⅵ族超晶格。例如，用MBE方法在纤锌矿的ZnMgSSe（11$\bar{2}$0）衬底上生长纤锌矿的ZnCdSe/ZnSe量子阱；用MBE方法在立方相ZnSe/GaAs（1 1 1）B上先生长纤锌矿的ZnCdSe垒层，然后生长四个原子层的CdSe作为阱层，CdSe的阱层也为纤锌矿结构。

在量子阱中激子能否形成真正意义上的准二维激子取决于阱对电子和空穴的限制作用。应用ZnMgSe/ZnSe和ZnMnSe/ZnSe量子阱结构，以ZnSe作为阱层材料可使发光波段进一步向短波方向移动。稀磁量子阱ZnMnSe/ZnSe对电子有较强的限制作用，但对空穴的限制作用比较弱。目前ZnSe基量子阱LD中往往采用ZnMgSSe作为量子阱的势垒层和波导层或覆盖层，ZnSe和ZnMgSSe之间的带隙不连续性ΔE_c：ΔE_v = 0.55:0.45 ~ 0.67:0.33，所以对电子和空穴都有很好的限制作用。

BeSe具有小的晶格常数（$a<0.52$ nm）和大的带隙宽度（$E_g>5$ eV），有望取代ZnS的三元和四元化合物。目前用MBE方法已经能够很好地控制BeSe三元和四元化合物的生长。另外，铍的硫族化合物与其他的Ⅱ-Ⅵ族化合物相比价键具有较强的共价性，具有较高的键能，因而有望解决Ⅱ-Ⅵ族化合物器件的劣化问题。含BeⅡ-Ⅵ化合物如BeZnSe或BeZnMgSe等可与其晶格相匹配的其他Ⅱ-Ⅵ族化合物形成量子阱或异质结构，作为限制层或覆盖层。Ⅱ-Ⅵ族化合物以及可能的Ⅲ-Ⅴ族和Ⅳ族衬底如图6.8-14所示。

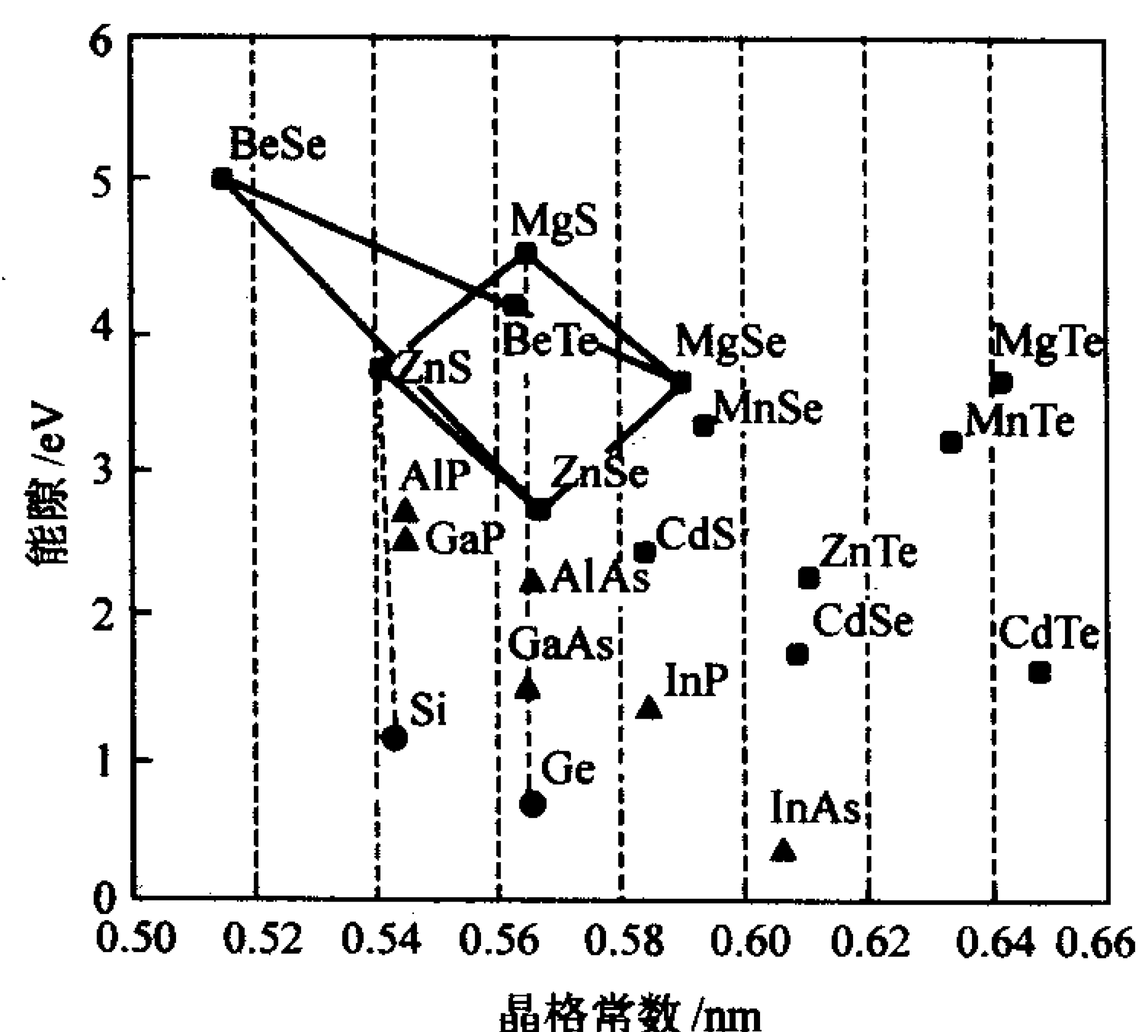


图6.8-14 Ⅱ-Ⅵ族以及其相关化合物的基本能隙和晶格常数

4 ZnSe 基化合物半导体技术的应用

4.1 ZnSe 基蓝绿光发光二极管

ZnSe 发光二极管由 p 型 ZnSe 和 n 型 ZnSe 半导体组合而成，是一种注入式电致发光器件，通过其 pn 结内的电子和空穴复合发光。研制该器件，要求材料的位错密度极低，晶体完整性要好。ZnSe 材料 LED 目前之所以还没有实用化主要是因为该材料固有的一些缺点，如材料强度差、生产工艺温度超过 300℃时晶体可能破裂和品质分解、p 型掺杂浓度很难提高、欧姆接触制作困难、大电流下稳定性差等，目前还没有能够得到完全的解决。图 6.8-15 为 ZnSe LED 的结构示意图，实际应用中是将 pn 结管芯烧结在金属或陶瓷底座上，然后用透明环氧树脂封装而成。根据发光二极管发光面与 pn 结的结平面平行或垂直而分为面发光二极管和边发光二极管。

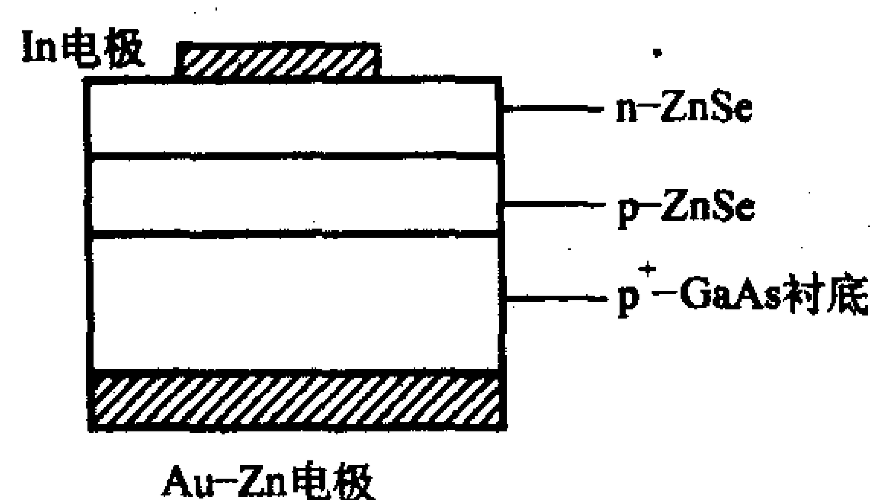


图 6.8-15 ZnSe 蓝色发光二极管的结构示意图

应用中为了提高发光效率，一般采用双异质结或量子阱结构。图 6.8-16 为 ZnSe-基高亮度发光二极管的结构示意图。该二极管包含一个 $Zn_{0.9}Cd_{0.1}Se$（约 10 nm）/ZnSe（约 5 nm）的多量子阱结构作为有源区。用 MBE 在 p-ZnSe:N 上外延一层厚度约为 20 nm（200 Å）的 HgSe/ZnTeSe 薄膜以形成欧姆接触。

4.2 ZnSe 基白光二极管

目前国际上正在掀起一股能发白光的半导体 LED 的研究热潮。发白光的方式主要有三种：①蓝光 + 荧光粉/琥珀色粉；②紫外光 LED + 三原色荧光粉；③红绿蓝（RGB）三原色 LED 混成白光。采用蓝光 + 荧光粉或紫外光方式，由于荧光粉本身有寿命老化的缺点，产品使用一定年限后会产生色偏。采用 RGB 多管的方式，驱动电路设计较复杂，产品成本较高。除了上述三种方法外，近期业界也开始推出新一代的白光技术，如日本 Sumitomo Electric 在 1999 年 1 月研发出使用 ZnSe 材料的白光 LED，其技术是在 ZnSe 单晶基板上外延 ZnCdSe 薄膜，通电后使薄膜发出蓝光，蓝光与 ZnSe 基板深发光中心发出的黄光形成互补色而发出白光。由博达科技与日本住友合资的博友光电开发出 ZnSe 白光 LE-D，已在 2004 年 6 月批量量产，9 月出货，月产能 360 万颗，成为全球第一颗发白光的 LED 晶粒。

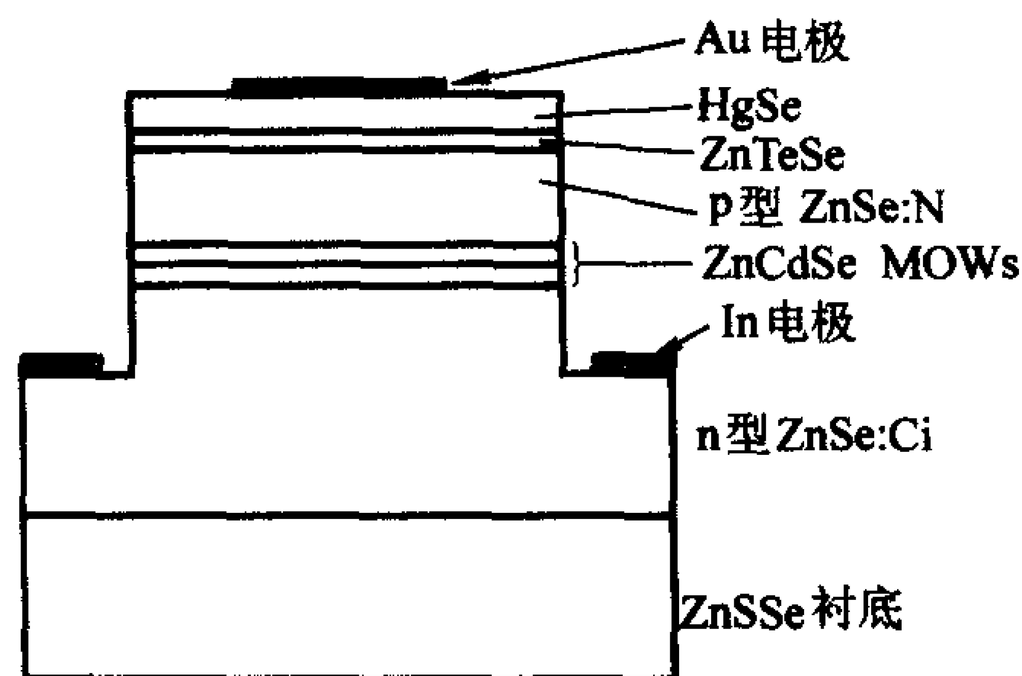


图 6.8-16 p-ZnSe/ZnCdSe/n-ZnSe QW 发光二极管结构示意图

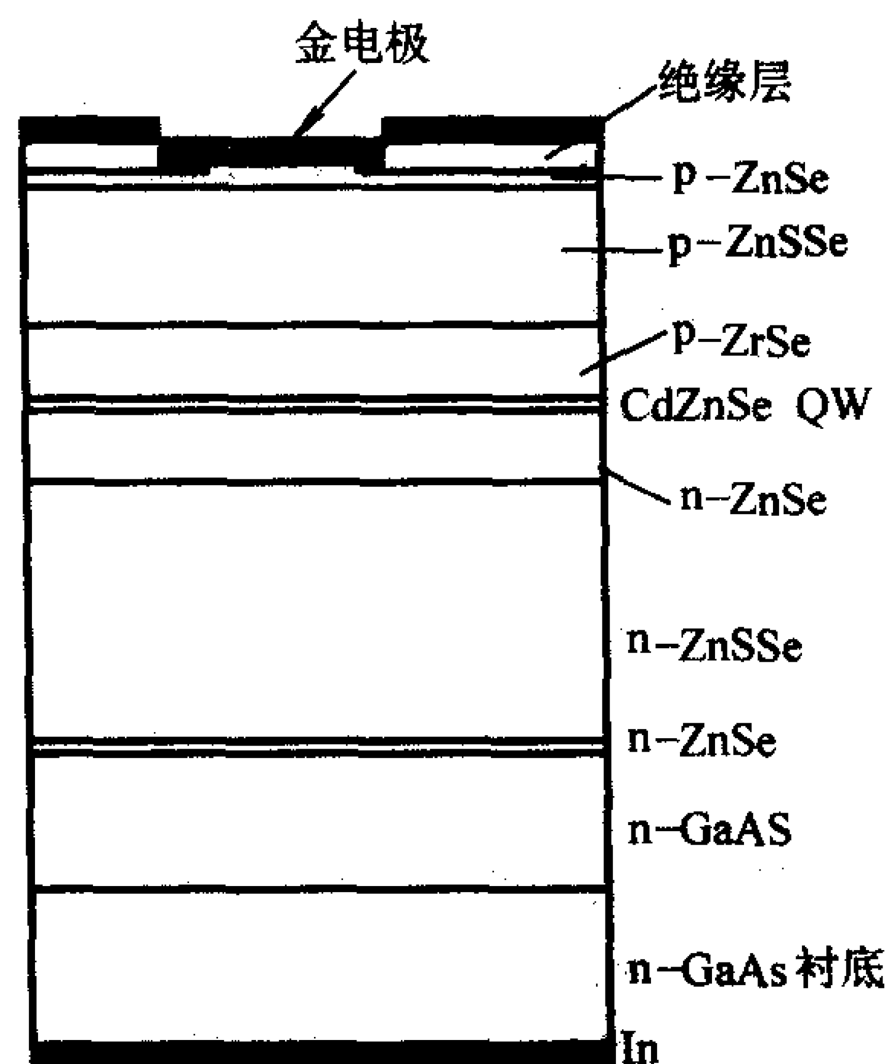


图 6.8-17 ZnCdSe/ZnSe 量子阱激光器的结构示意图

为了提高上述白光的 LED 效率，人们将半导体材料制造成微小的纳米晶体，这类晶体称为“量子点”，调整其尺寸就能改变它们发出光的颜色。美国洛斯阿拉莫斯国家实验室的科学家将 CdSe 量子点放在量子阱材料上，利用量子阱为媒介间接刺激量子点发光。粗略计算表明，新方法能使发光二极管的效率比目前的产品高出一倍。

4.3 ZnSe 基激光二极管

在 600 nm 波段的 AlGaInP LD 实现商品化后，LD 的重点已转向蓝绿光。在信息存贮方面，应用该波段将成倍提高存贮密度，同时对实现全色显示以及高速激光打印等有着重大意义。该器件目前所用材料主要是 ZnSe 基和 GaN 基量子阱。图 6.8-17 为国际上第一只 ZnSe 基蓝色激光二极管的结构示意图。激光器结构是生长在 Si 掺杂的 n^+-GaAs 上的，该激光器在 77 K 温度下用脉冲电流激发，ZnCdSe 单量子阱结构中发出波长为 490 nm 的相干光。厚度为 10 nm（100 Å）的 $Zn_{0.8}Cd_{0.2}Se$ 量子阱的发光的有源区位于 1 μm 厚的 ZnSe 波导层中间，覆盖为与 ZnSe 接近匹配的 $ZnS_{0.07}Se_{0.93}$。

另一有趣的蓝-绿色注入式激光器结构是包含有 ZnMgSSe 覆盖层的系统。用 ZnMgSSe 代替 ZnSSe 作为覆盖层使激光器在光限制方面得到了明显的改进，使器件在室温下具有较低的阈值电流密度和较高脉冲输出功率。图 6.8-18 为一种典型的包含有 ZnCdSe/ZnSSe/ZnMgSSe 单量子阱分立限制异质结构的激光器结构示意图。

为了克服目前Ⅱ-Ⅵ族材料激光器的劣化问题，一种新的含铍的Ⅱ-Ⅵ族材料引起了科学界的重视。德国 Wurzburg 大学最近研制了一种用含铍Ⅱ-Ⅵ族材料制作的 LD，元件结构中覆盖层为 BeMgZnSe，波导层为 BeZnSe，量子阱的有源层为 BeZnCdSe。用 BeMgZnSe 作为 ZnSe 基 LD 的覆盖层材料与 ZnMgSSe 相比其组分容易控制。

4.4 n-型和 p-型 ZnSe 的欧姆接触

形成低阻欧姆接触对决定器件的工作性能是非常重要的，因为低阻欧姆接触可以降低工作电压、减少能量损失、提高器件寿命。在 ZnSe 的欧姆接触中，p-型 ZnSe 可用 Au、Pd、Cu 和 Se，n-型 ZnSe 用 AuGe，In，Yb 和 Mg 等。为得到好的欧姆接触常采用多层金属结构制作欧姆电极，如 In/Au、Mg/Au、Se/Au、Cu/Au、Ti/Pt/Au、Au/Pt/Pd 以及 Au/Mo/Pd 等。In 和 Hg 的合金可与弱掺杂的 n-ZnSe 形成欧姆接触，Ti/Au 可与较高掺杂的 n-ZnSe 形成低阻接触。但由于 ZnSe 的功函数很高，没有合适的金属可以消除将空穴注入 p-ZnSe 的势垒。ZnTe 容易实现高浓度的 p-型掺杂，而 Au 与 p-型掺杂的 ZnTe 可以形成低阻接触，所以用重 p-型掺杂的 ZnTe 作为中间

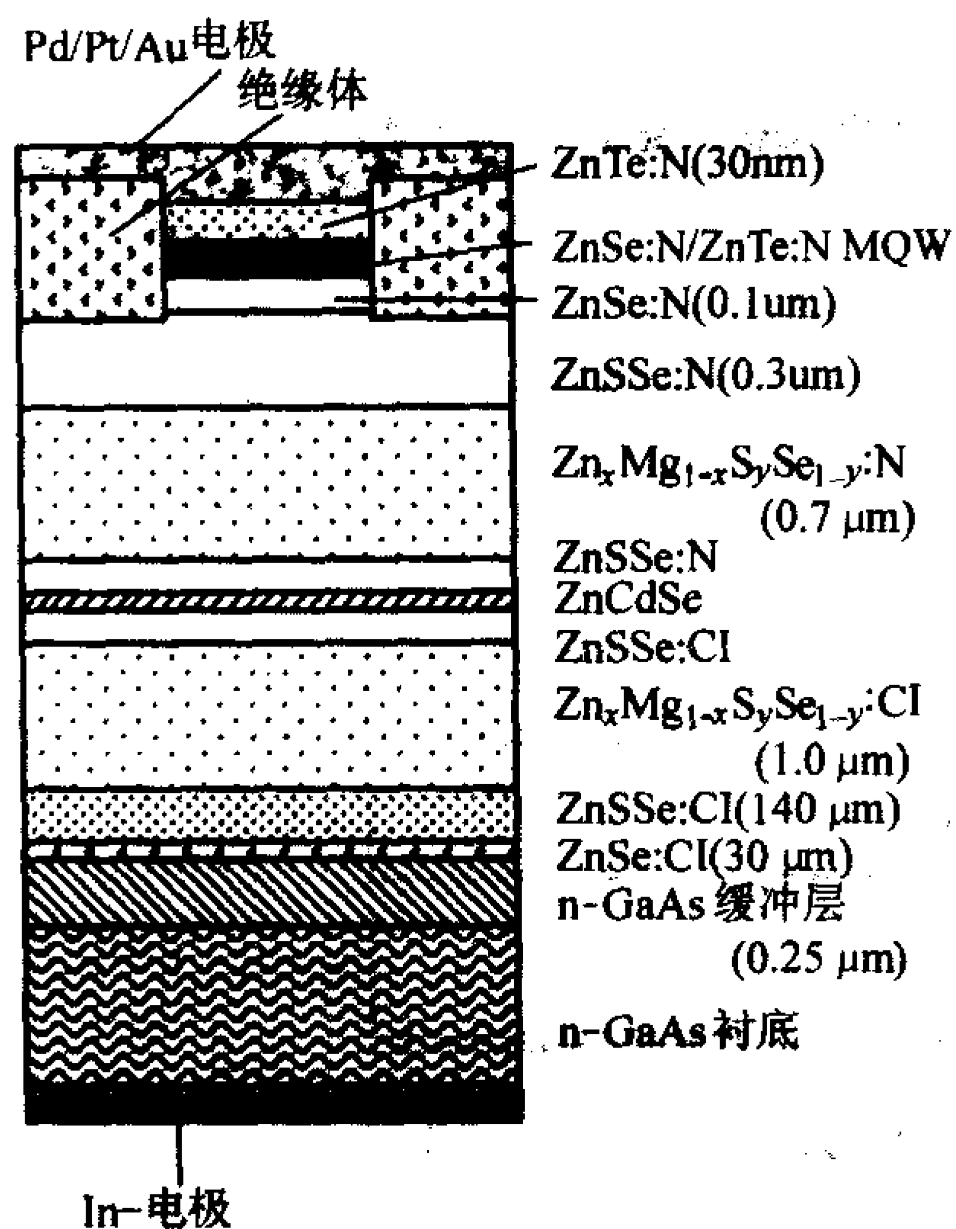


图 6.8-18　ZnCdSe/ZnSSe/ZnMgSSe 单量子阱分立限制异质结构激光器的结构示意图

层可以形成与金属的欧姆接触。但 ZnSe 与 ZnTe 之间存在约 1 eV的势垒阻碍空穴的注入，所以采用 ZnTe/ZnSe 缓变异质结才突破欧姆接触的难点。通过设计 Au/P-ZnTe/缓变层/P-ZnSe 结构得到的接触电阻可达 $1\times10^{-4}\ \Omega\cdot cm^{-2}$量级。在蒸镀 Au 电极之前先在 p-ZnSe 上用 MBE 方法生长一层 HgSe 也能改善欧姆接触特性。Eason 等人用 MBE 方法在 p-型 ZnSe 上生长一层 HgSe/ZnTeSe 外延层，然后再制作金属电极，得到了高亮度的 LED。Vigué 等人用 BeTe/ZnSe 超晶格首先在 n-掺杂的 p-型 ZnSe 上形成非合金接触，在 p-型掺杂浓度为 $2\times10^{17}/cm^3$ 的 ZnSe 上得到的欧姆接触电阻为 $6\times10^{-2}\ \Omega\cdot cm^2$ 的较好结果。

4.5　Ⅱ-Ⅳ族材料在太阳能电池和探测器等方面的应用

利用 ZnSe 可制造 ZnSe/GaAs/Ge 单晶薄膜三结级联太阳能电池，是继硅、砷化镓、磷化铟之后的太阳能电池第四代产品，比美国已用于商业卫星的同类 GaInP/GaAs/Ge 电池理论上更合理，能量转换效率更高，可达 30%以上。

CdS 是典型的Ⅱ-Ⅵ族半导体，由于具有优异的光电转换特性，被用来作为太阳能电池的窗口材料。高效 CdTe/CdS 异质结太阳能电池，是用 MOCVD 法通过在 CdS/SnO_2 玻璃衬底上沉积 CdTe 薄膜而制成。该太阳能电池还具有生产能耗少、成本低的优点。CdSe 和 $CdSe_xTe_{1-x}$ 薄膜的光电性能和稳定性能优于 CdS 和 CdTe 电极，是光电化学研究中有发展前途的光电极材料。

CdTe 晶体还是一种适用于放射线探测器的良好半导体材料，这主要是由于 CdTe 能够高效地吸收辐射射线能量，并且直接转换成电压信号。相对于硅探测器，CdTe 探测器具有灵敏度高，并且具有可在室温下工作的优点。

另外，ZnSe、CdSe、CdS 等材料，未来在应用于生物晶、磁性材料与自旋电子元件方面也具有一定的潜力。

编写：郑泽伟（南京大学）

第9章　宽禁带稀释磁性半导体材料

在20世纪下半叶，科学发展的主要贡献之一，就是在很宽广的领域理解电子的基本特性。电子电荷被用于在半导体和集成电路中处理信息；而自旋磁性则用于磁存储器件如硬盘。在所有的应用中，无论电荷还是自旋都是单独使用的主要参量。

1989年，Hideo Ohno和他的同事们从研究半导体中电子的自旋自由度出发，开始研究掺入磁性杂质的Ⅲ-Ⅴ族半导体材料，可能会给出的包含电荷和自旋的新的性质，如磁性。令人吃惊的是，研究显示，这些材料可能成为低温下的铁磁体。这个没有预料的结构开始了一个长达16年的研究探索历史，发展为新的半导体自旋电子学。

最初的想法是引入磁性物质到半导体中，研究其规律。在这个被称为合金的过程中，通过克服低熔解度的困难，大约5%的Mn被引入InAs中。关键是采用低温分子束外延(LT-MBE)，在真空中，原子层按照高度可控的方式被排列而不会发生不想要的反应。当制备温度大约为250℃时，突破发生了。InAs和Mn实际上形成了一个真正的合金，而不是分离的结晶。令人振奋的是，不仅仅磁性杂质被引入半导体中，而且新材料是铁磁性的。这种在非磁性半导体（此处如InAs）中一定比例的原子被磁性离子所代替形成的合金材料称为稀释磁性半导体（DMS）。

进一步的研究在GaAs中获得了同样的效应。当优化制备技术时，重点跟踪研究转变温度随着Mn浓度的变化如何增长。最终的目标是在室温下实现磁学性质如铁磁性。迄今为止，居里温度最高为170 K。铁磁性平均场模型的理论计算表明，通过增加更高的Mn和空穴浓度提高居里温度是可能的，至少需要15%～20%的Mn。迄今为止，使用LT-MBE将Mn浓度提高到8%～10%的时候，就不能得到均一的材料。

铁磁性半导体和非磁性GaAs异质结构的完全集成开始了一个新的研究领域。因为人们能够在普通半导体异质结构上生长铁磁性半导体，使得在异质结构上集成铁磁性成为可能。这项工作开辟了磁性和半导体物理的两个主要领域间新的交叉领域。

实验证明注入电子自旋是可能的。首先，p型铁磁性材料生长在非磁性半导体结构的顶端，形成发光二极管(LED)。电子和空穴从两边注入，在量子阱中相遇，调制并发光。如果空穴从铁磁性材料一边注入，空穴被部分自旋极化。在这种结构中的光是部分圆偏振的，表明电子自旋被注入系统中。电子自旋注入是实现自旋基功能进一步发展的关键。从这个器件中，能够获得光极化的两种态，提供了一种新的分辨磁化方向的方法。

根据平均场理论，铁磁转变温度和半导体中载流子的浓度息息相关，因此通过场来改变载流子浓度，进而改变磁转变温度是可行的。相关的器件已经被制造出来，对材料的转变温度进行了场效应控制。这是磁学历史上第一次可逆地控制铁磁相转变而无须改变温度。

任何材料系统中，场效应管的功能通过沟道中载流子迁移和耗尽来实现。使用电子的自旋性质的器件可以以比传统场效应管更低的功率和更高的速度工作。自旋场效应管看上去非常像传统的器件：有源区、漏区和栅的横向结构，但是源区和漏区是自旋材料制备的。源区注入具有特别自旋态的电子进入沟道。漏区只接受这种自旋态的电子，拒绝其他自旋的电子。沟道中电子的自旋态通过栅电压控制，电压很小即可对自旋有很大的影响。因此，在电子到达漏区之前改变电子的自旋是可能的，从而有效地关闭漏区的电流。

目前，已经有很多关于Ⅲ-Ⅴ族半导体基自旋场效应管(FETs)的报道，但大多数描述了金属源区和漏区注入自旋极化的载流子到沟道中，比如Datta和Das在1990年提出的一种器件结构，如图6.9-1所示。使用铁磁性半导体能够外延生长具有高质量界面的源和漏。

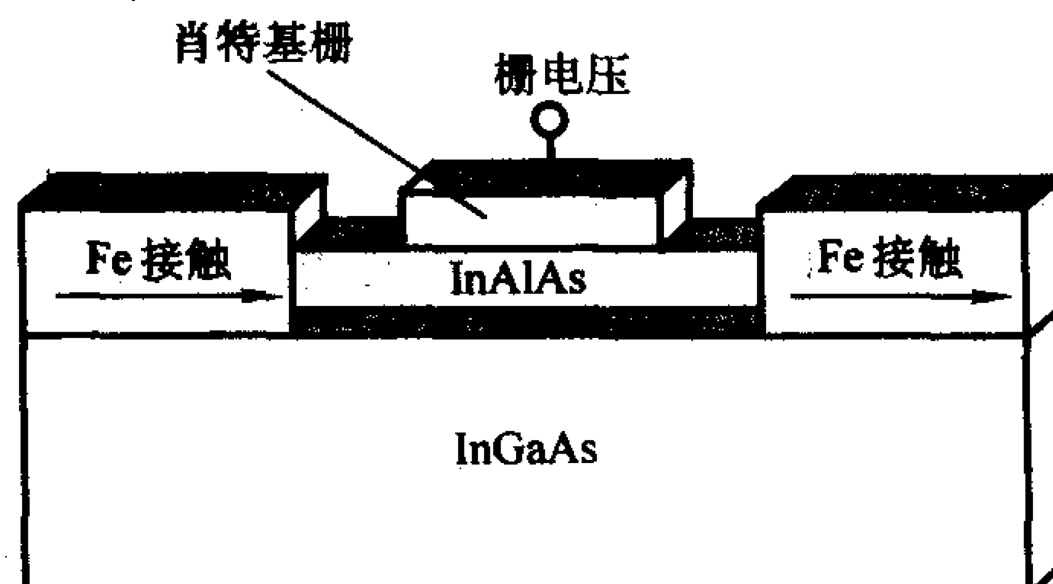


图6.9-1　Ⅲ-Ⅴ族半导体基自旋场效应管结构图

对半导体自旋电子学来说，有两个基本的要求来选择最希望的材料：第一，铁磁性应该能够保持到实用温度（如>300 K）；其次，就是该材料已经具有在其他应用中的技术基础。过去大多数的工作集中在（Ga，Mn）As和（In，Mn）As。对于主体材料来说，已经有了真正的市场，如红外发光二极管、激光器和高速数字电子学（GaAs）以及磁传感器(InAs)。在这些通过MBE生长的单相样品中，最高的居里温度（Ga，Mn）As是约170 K，（In，Mn）As是约35 K。对于三元合金如$(In_{0.5}Ga_{0.5})_{0.93}Mn_{0.07}As$，居里温度低于约170 K。对这些材料的大量研究获得了令人吃惊的结果，比如GaAs具有很长的自旋寿命和相干时间，可以通过异质界面获得自旋输运的能力，无论是半导体－半导体还是半导体-金属结构。研究自旋极化输运的最有效的办法之一，是当自旋电流注入量子阱发光二极管时监测极化电致发光输出。量子选择相关的原始载流子自旋极化和随后的极化光输出能够提供自旋注入效率的定量测量。

除了有效的自旋载流子的电注入，还有很多基本的需求以获得可应用的自旋器件，包括在主体半导体或导电氧化物中高效率输运自旋极化载流子的能力，探测或收集自旋极化载流子的能力和能够通过外部方式（如晶体管结构中在栅上加偏压）控制输运等。磁异质结构中自旋极化电流转换是实现实际应用的一个重要步骤。同样地，Nitta等证实了半导体量子阱中的自旋－轨道相互作用可以用栅电压控制。应该指出的是，由于某些磁相互作用的短特征长度（约1 nm），自旋电子学从本质上已经和纳米技术紧密地联系在一起。

尽管在合成和控制三族砷化物半导体的磁学性质方面的进展很快，但是报道的居里温度太低。Dietl等的关键性工作使研究者的注意力集中到最有可能获得高居里温度的宽带隙半导体材料。他们使用基本的铁磁性Zener模型，预言了这些宽带隙材料的T_c可能超过室温，如GaN和ZnO（含5% of Mn空穴浓度达到$3.5\times10^{20}/cm^3$）。其他具有室温铁磁性的材料包括（Cd，Mn)GeP_2，（Zn，Mn)GeP_2，$ZnSnAs_2$，（Zn，Co)O和（Co，Ti）O_2，以及含Eu的硫族元素和一些其他材料。这些黄铜矿和宽带隙氧化物中的一些材料具有有用的光学性质，但是缺乏像大多数半导体材料那样的技术和经验基础。

Dietl等的理论研究是这些宽带隙材料作为最有前途获

得实际磁有序温度的重要突破。理论预言，立方 GaN［约 5% Mn（摩尔分数）掺杂，空穴载流子浓度达到 $3.5\times10^{20}/cm^3$］具有超过室温的居里温度。在该工作公布的一段时期后，在实现高质量（Ga，Mn）N 外延层和 DMS 铁磁性理论方面取得了重大的进展。但一个关键的问题是获得的材料是否真正的（Ga，Mn）N 合金，抑或是 GaN 中含有能产生相关磁学性质的团簇、沉淀或者第二相。

大多数关于 DMS 材料的理论工作都集中在 Mn 作为磁性掺杂剂，在鉴别其他可能有效的磁性掺杂剂方面已经取得了一些进展。图 6.9-2 给出了预言的 GaN 中掺杂不同的 3 d 过渡金属离子的铁磁态稳定性。这些结果是基于局域自旋态密度近似，就是假定 Ga 原子被磁性原子随机取代，没有考虑任何额外的载流子掺杂效应。在该研究中发现，（Ga，V）N 和（Ga，Cr）N 相对于所有的过渡金属离子浓度而言显示了稳定的铁磁性，而 Fe，Co 或者 Ni 掺杂产生了自旋玻璃基态。对 Mn 掺杂的例子，即使 Mn 浓度达到约 20%，铁磁态仍然是最低能态，而在高 Mn 浓度时，自旋玻璃态是最稳定的。

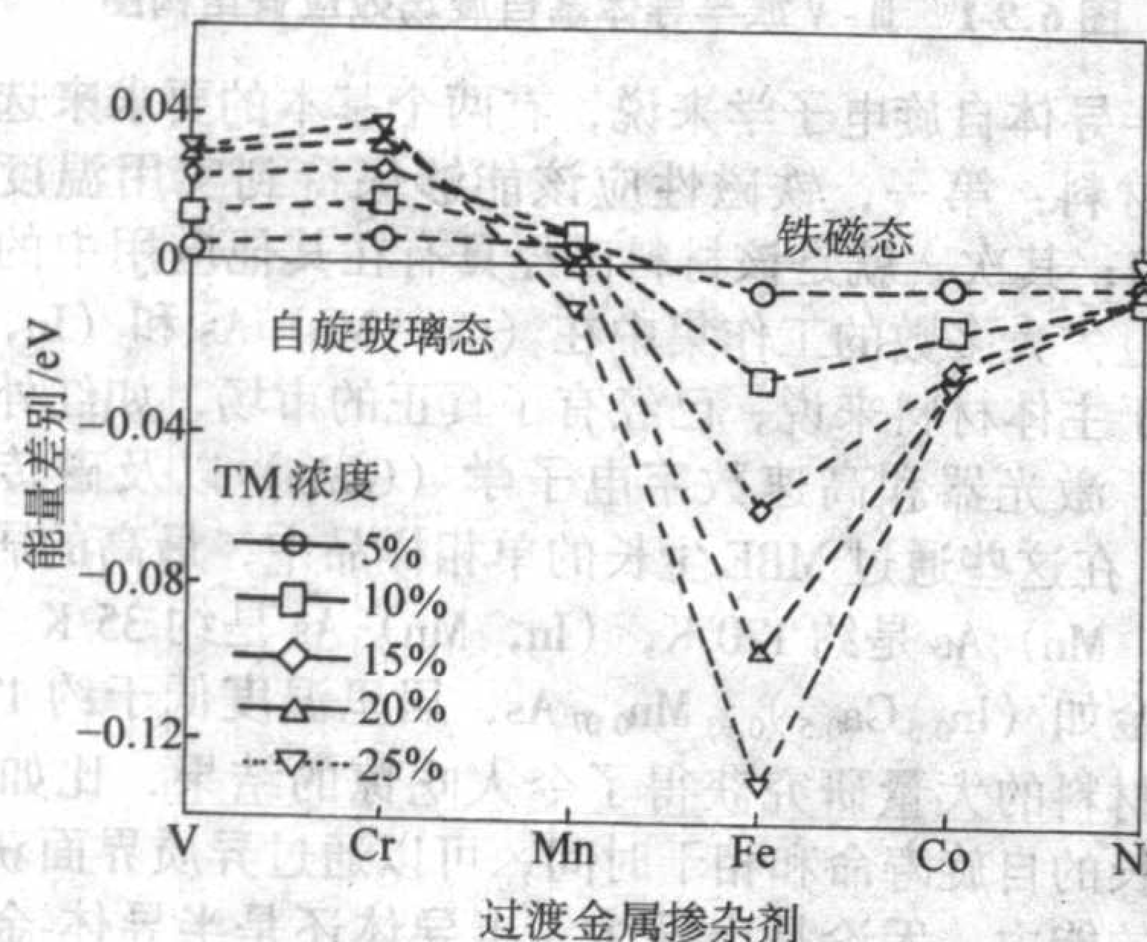


图 6.9-2　理论预言的不同转变金属原子在 GaN 中铁磁态的稳定性作为过渡金属浓度的函数变化
垂直轴代表每一种金属原子之间铁磁态和自旋玻璃态的能量差别

1　稀磁半导体的磁性机制

稀磁半导体材料的磁有序机制可以用两种模型来描述。第一种是基于 Zener 模型的平均场理论。该理论假定稀磁半导体是一种随机的合金，比如（Ga，Mn）N 中 Mn 代替了格子中的某个位置。第二种模型认为磁性原子形成了小的原子团簇，从而产生了可以观察到的铁磁性。

平均场理论主要假定，铁磁性是以材料中的自由空穴为媒介，通过磁性离子（如 Mn）之间的局域磁矩相互作用而产生的。在这里，自旋-自旋耦合也被假定为一个长程相互作用，可以应用平均场近似。

图 6.9-3 是平均场模型中 DMS 磁有序的几种有效机制模型示意图。半导体晶格中随机分布着高浓度的磁性杂质（如 Mn）（图 a），二价 Mn 占据金属元素的格点。在高浓度时，Mn 离子是反铁磁性耦合的，但在稀释限制条件下，磁性离子之间的原子间距较大，反铁磁耦合弱。在载流子浓度高的情况下（图 b），如（Ga，Mn）As 中，Mn 离子占据三价 Ga 的位置，作为受主提供磁矩，载流子被认为是磁性离子之间铁磁性耦合的媒介。在近绝缘和金属之间，低载流子浓度的情况下，空穴主要局域在磁性杂质附近。低于一定的温度，空穴团之间可能形成自旋过滤网络，空穴被去局域化（图 c），在不同位置之间跳跃，这个过程有力地促使载流子保持自旋取向。这是在团簇网络中排列 Mn 磁矩的有效机制。作为选择之一，在过滤限制下，磁性杂质附近的局域空穴是极化的，当局域空穴的极化是平行时（图 d），系统的能量降低。

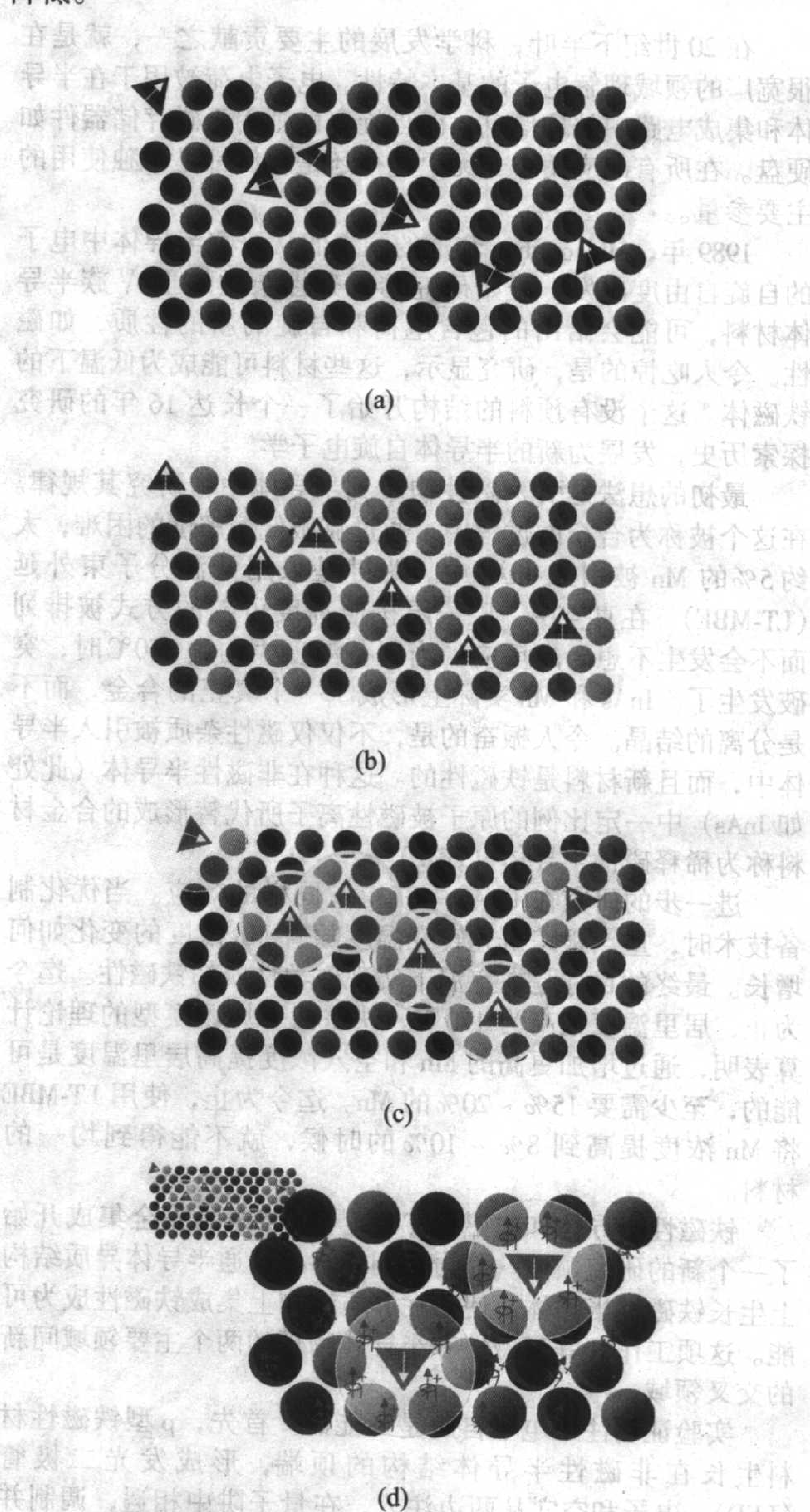


图 6.9-3　稀磁半导体中磁有序的几种有效机制模型示意图

在平均场理论的基本构成中，由于 Mn 离子的分布，这个模型采用了一个有效晶体近似（virtual-crystal approximation）来计算有效的自旋密度。直接的 Mn－Mn 相互作用是反铁磁性的，因此居里温度 T_c 相对于一个给定的具有特别 Mn 浓度和空穴密度的材料来说，是由铁磁性或者反铁磁性相互作用之间的竞争来决定的。在存在载流子的情况下，T_c 可以由下面公式来表示：

$$T_C = [N_0 Xeff S(S+1)\beta^2 A_F P_S(T_C)/12k_B] - T_{AF} \quad (6.9\text{-}1)$$

这里 $N_0 Xeff$ 是有效自旋浓度，S 是局域自旋态，β 是 p-d 交换积分，A_F 是 Fermi 流体参量，P_S 是总态密度，k_B 是 Boltzmann 常数，T_{AF} 描述了反铁磁相互作用的分布。这个理论主要考虑了位置无序效应，非直接交换相互作用，空间不均匀性和自由载流子自旋极化。

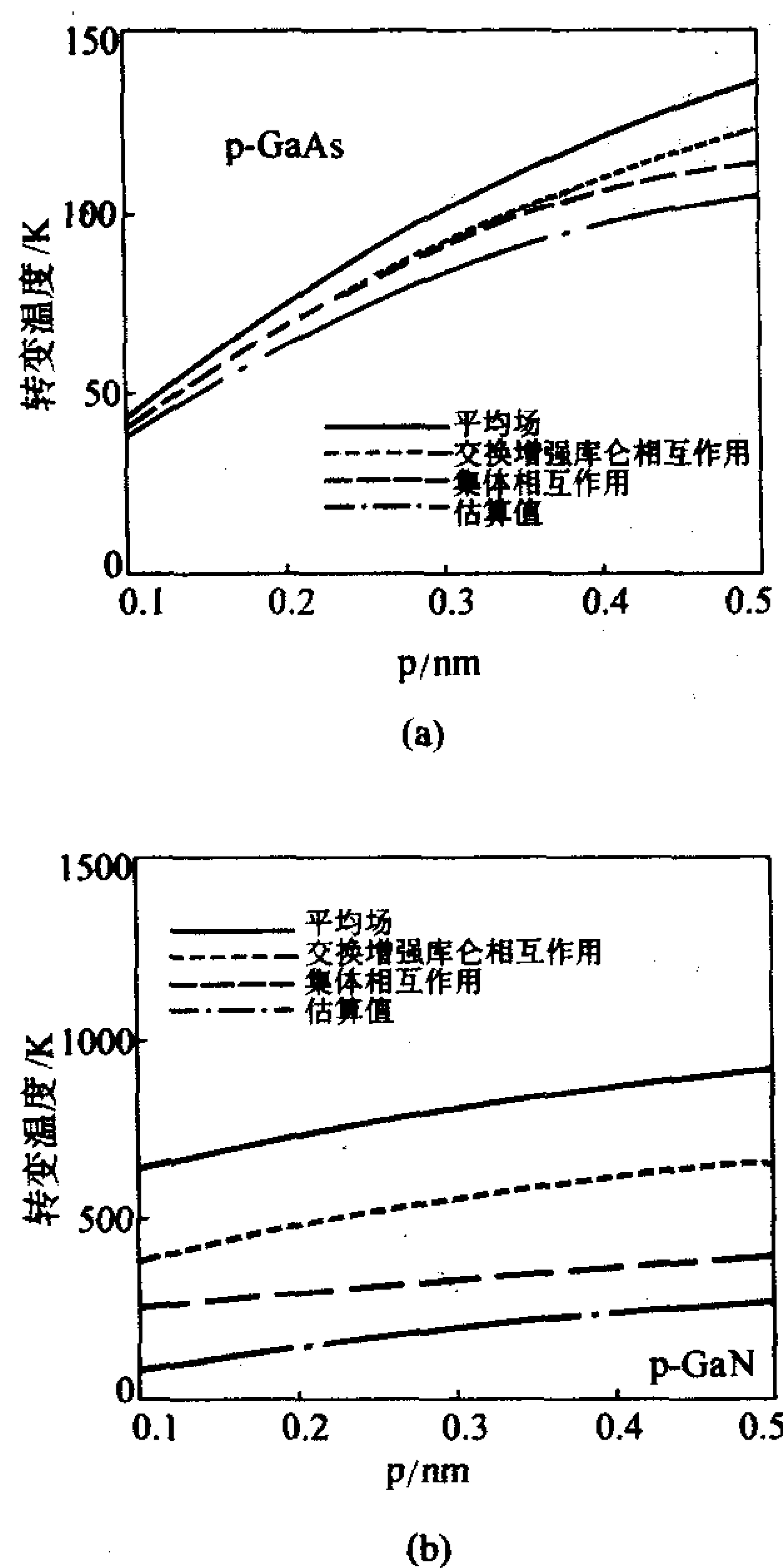


图 6.9-4　在含 5% Mn（摩尔分数）的（Ga，Mn）As (a) 和（Ga，Mn）N (b) 中预言的铁磁转变温度作为空穴密度的函数曲线

每个图形中四条不同的曲线来源于平均场理论的不同变量

平均场模型和它的变体模型对于一些材料的 T_c，如（Ga，Mn）As 和（In，Mn）As，提出了可靠的估计，并且预言，（Ga，Mn）N 的居里温度将会超过室温。图 6.9-4 是四种不同的平均场理论变种预言的（Ga，Mn）As 和（Ga，Mn）N 的铁磁转变温度。这些是标准的平均场理论（T_C^{MF}），一种理论是考虑了价带中空穴之间的库仑相互作用（exchange-enhanced，T_C^{X}），另一种理论是考虑到了 Mn 离子取向的相互关系（collective，T_C^{coll}）或者对基于激发的自旋波抵偿了基态的总自旋进行的估计（T_C^{est}）。需要指出的是，对于（Ga，Mn）As，任何计算的 T_C 值对于材料中空穴密度的依赖性都要比（Ga，Mn）N 更陡峭。预言值的范围，对于 GaAs 比 GaN 有更高的分布。

到目前为止，理论工作中很大程度上忽略的第二点就是假定的空穴密度有时很难成为实际的空穴密度。GaAs 可以很容易地用浅受主如 C 掺杂产生大约 $10^{21}/cm^3$ 的空穴密度时，Mn 受主也能对空穴有所贡献，但是 GaN 中 p 型掺杂在正常情况下却被限制到一个很低的值。例如，GaN 中最普通常用的受主掺杂剂 Mg 的离子化能级（E_a）相对较深（E_V + 0.17 eV），因此在室温下只有少量的施主被离化。在 GaN 中，当 Mg 施主的浓度超过 $10^{19}/cm^3$ 时，典型的空穴浓度只有 P 约为 $3\times10^{17}/cm^3$（25℃）。最初的报告显示，GaN 中 Mn 的能级很深，大约为 E_v + 1.4 eV，因而在大多数情况下是一个无效的掺杂物。有一些办法可以用来增强空穴的浓度，比如施主和受主共掺杂可以减少自补偿效应或者使用 AlGaN/GaN 超晶格选择掺杂，AlGaN 栅中的 Mg 受主可以传输自由空穴到 GaN 量子阱中去。这些方法表明，在优化的条件下可以提高 GaN 中空穴浓度到 $>10^{18}/cm^3$（25℃）。

在理论工作中，需要额外探索的进一步的问题是电子而不是空穴在稳定 DMS 材料中铁磁性所起的作用。因为，在目前大多数关于（Ga，Mn）N 铁磁性的报告，都是发生在 n 型的材料中。

实验上验证铁磁性产生机制的困难，依赖于生长稀磁半导体材料的生长条件。制备的样品很有可能存在从单相随机合金到磁性原子沉淀和第二相形成的纳米簇多种微结构。因此，有必要逐例来确定机制。这只能通过详细地分析测量磁学性质和能够检测其他相或者衬底的材料测试方法之间的相互关系来获得。例如，如果 DMS 的磁学行为是一种已知的铁磁第二相［如（Ga，Mn）N 中的 MnGa 或者 Mn_4N］的特性，很明显平均场模型不再适用。到现在为止，大多数关于 DMS 室温铁磁性的实验报告，使用 X 射线衍射，选区衍射花样，透射电子显微镜，发光或者 X 射线吸收（包括扩展 X 射线吸收精细结构谱，EXAFS）来确定是否磁性原子替代晶体的原子形成合金。即使知道了磁性原子的稀释水平，直接确定铁磁性的起源经常也是非常困难的。非直接的测试方法如 SQUID 测量并不能排斥任何铁磁性金属间化合物作为这个磁信号源的可能性，甚至一些反常的或者特别的霍尔效应的存在，尽管被广泛用于验证单相系统，也可能不足以确定一种 DMS 材料的磁性起源。可以肯定存在这样的例子，磁学活性的团簇或者第二相能够存在于准随机合金中，几种不同的机制都可能对观察到的磁学行为有贡献。因此，需要使用新的元素和晶位特别分析技术，如各种各样的扫描隧道显微镜和 Z 衬度扫描隧道显微镜等，来探求对新型 DMS 材料的铁磁性起源的更深层次的理解。

2　稀释磁性半导体材料的制备

自从 Dietl 等人预言了宽带隙半导体材料可能具有室温或者更高温度的铁磁性依赖，大量不同的材料制备方法被成功地用于研究宽带隙 DMS 的合成。常见的半导体材料制备手段，如分子束外延（MBE），金属有机化学气相淀积（MOCVD），离子注入，氨热法，脉冲激光溅射（PLD），磁控溅射，溶胶-凝胶法，氢化物气相外延（HVPE）等被分别用来合成各种宽带隙 DMS 材料。各种方法制备的宽带隙 DMS 材料在室温都显示出了清晰的铁磁信号。

目前已经得到研究的宽带隙 DMS 材料主要包括掺杂磁性离子的 GaP、GaN 或者 ZnO 等。下面介绍研究使用最多的几种制备方法，重点介绍分子束外延、离子注入和溶胶-凝胶法，以及最近开始研究的氢化物气相外延法。

2.1　分子束外延

分子束外延是一种多用途和可控制的薄膜生长技术。磁性元素在Ⅲ-Ⅴ族半导体中的溶解度是非常低的，但是为了在 DMS 中获得铁磁性，一定数量的磁性离子是必需的。而这只能通过非平衡晶体生长技术才能实现，比如低温分子束外延（LT-MBE）。在最初的工作中，采用 MBE 方法生长了 Mn 含量在 6%～9%（摩尔分数）的（Ga，Mn）N 薄膜，显示了很清晰的磁滞回线，在 300 K 时的矫顽力大约为 4 138.2～6 764.3 A/m（52～85 Oe）。MBE 生长的 n 型（Ga，Mn）N 薄膜也被报道具有室温铁磁性。在 MBE GaN 中，磁性离子的最高浓度限制大概在 10% 左右。居里温度一般在 220～370 K 范围内，依赖于制备的条件。

利用等离子增强分子束外延（PEMBE）技术，制备了 Mn 和 Mg 共掺杂 GaN 薄膜，并且观察到室温下的铁磁性（图 6.9-5）。在薄膜中，Mg 的结合和铁磁性之间并不是直接相关，因为随着 Mg 源温度的改变，并没有观察到饱和磁化强度的变化。Mg 的共掺杂减少了 Mn 的掺入，但是提高了 GaMnN 薄膜的导电率。同时，饱和磁化强度和矫顽力增加

了。当Mn的浓度持续减少到约为0.3%时，观察到载流子在DMS中引起铁磁性发挥的关键作用。

一般的，在MBE生长的GaMnN中，生长温度为约750℃和Mn的掺杂水平低于约10%时，在可探测的范围内，没有发现第二相。采用扩展X射线吸收精细结构谱方法研究了MBE方法在蓝宝石衬底上生长的GaMnN样品。样品在400～650℃下生长，Mn浓度大约为$7\times10^{20}/cm^3$（略超过摩尔分数2%）。对该浓度的Mn替代Ga占据可替代晶位的样品来说，实验数据和模拟曲线的相似性表明，在这些密度范围内Mn实际上是可溶的，大部分Mn被引入替代Ga原子。相关结果显示在图6.9-6中。实验数据同时也表明，在这些样品中部分Mn以微小的Mn团簇形式存在。替代Mn的离子态主要是Mn^{2+}，因此，当替代三价的Ga时，这些杂质表现为受主。然而，当测量这些样品的电学性质时，发现它们是高阻的。由于EXAFS数据表明这些样品因为掺入了Mn受主应该显示很高的p型导电率，与电学实验结果矛盾，因此非常有必要研究（Ga，Mn）N中补偿和非故意掺杂的影响。

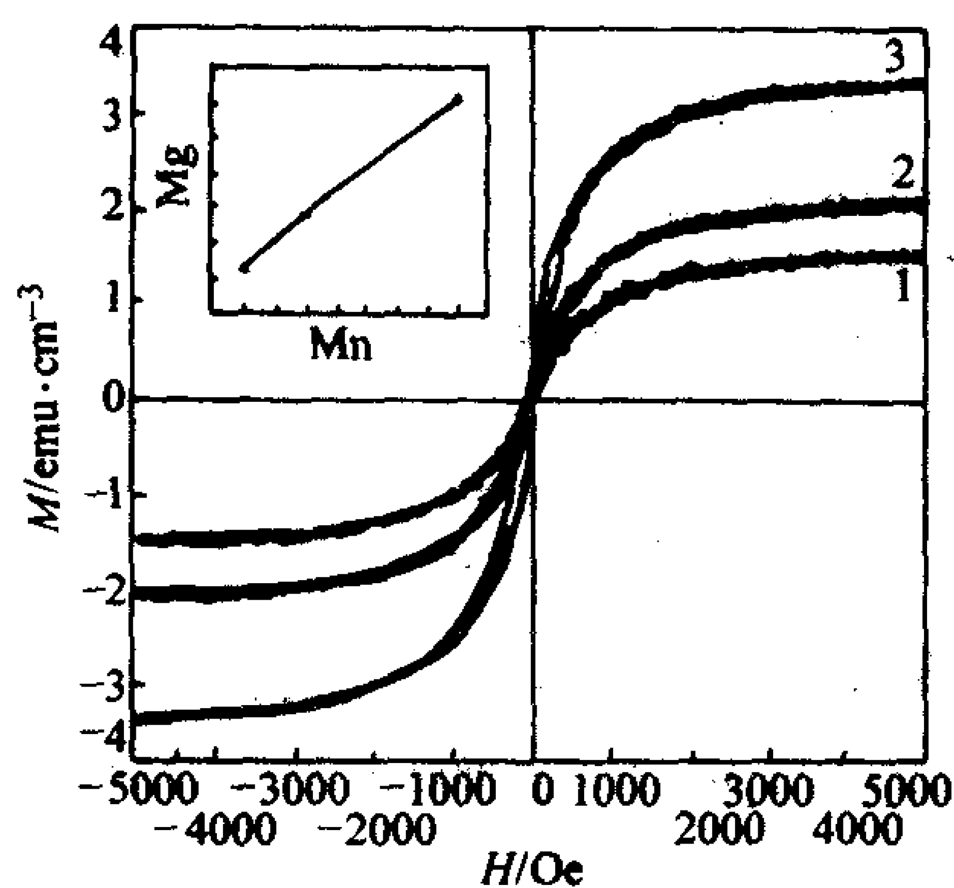


图6.9-5　Ga（Mg，Mn）N薄膜作为Mn挥发温度函数的磁滞回线

插入图清楚地显示了Mg和Mn挥发源温度之间的线性关系

1—630℃；2—650℃；3—700℃

1 Oe = 79.58 A/m

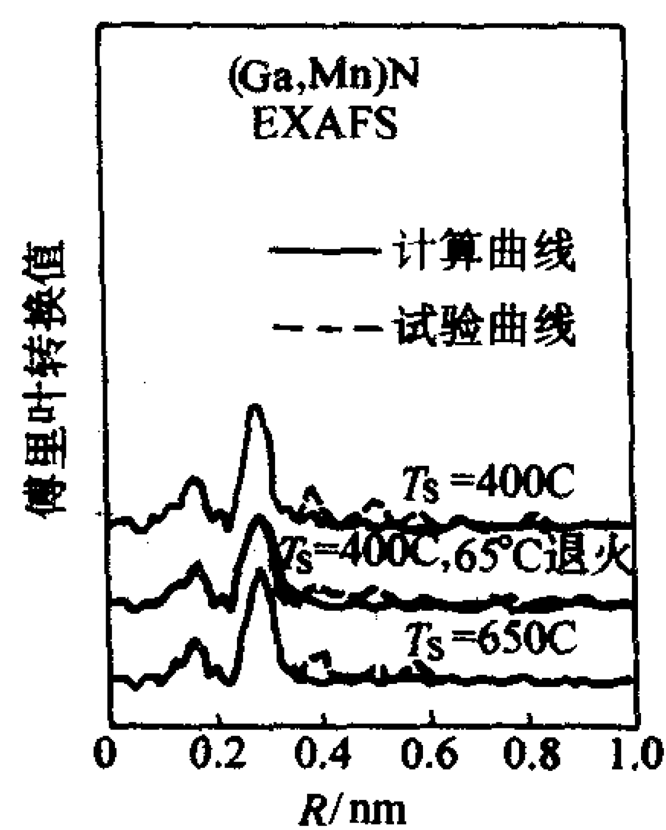


图6.9-6　Mn掺杂（Ga，Mn）N薄膜中Mn K边的EXAFS傅里叶转换细线是曲线的实验数据，粗线是假定GaN中含有摩尔分数为2% Mn时的计算曲线

2.2　离子注入

离子注入法是将需要注入的离子以一定的能量轰击受注材料，离子以很高的速度进入受注材料内部的一种技术。离子注入通常被广泛应用于硅技术工业中的集成电路工艺，因为它具有可靠性，离子剂量的精确性和可重复性等。在半导体自旋电子材料开始被研究后，离子注入被给予了更多的关注，因为它是结合特殊磁性掺杂和受注半导体用于高温铁磁性质的非常有用的技术。过渡金属离子如Mn，Fe，Co和Ni等，被注入主半导体材料，包括GaN，AlN，GaP，SiC，ZnO:Sn，$ZnGeSiN_2$和AlGaP等。

离子注入具有和分子束外延类似的优点，可以超越溶解度限制将杂质注入宽禁带半导体材料以获得高T_c铁磁性，这有助于提高DMS的居里温度。在张荣等的研究中，重掺杂Mn的注入浓度可以达到$1.54\times10^{21}/cm^3$，并且显示了室温铁磁性，如图6.9-7所示。

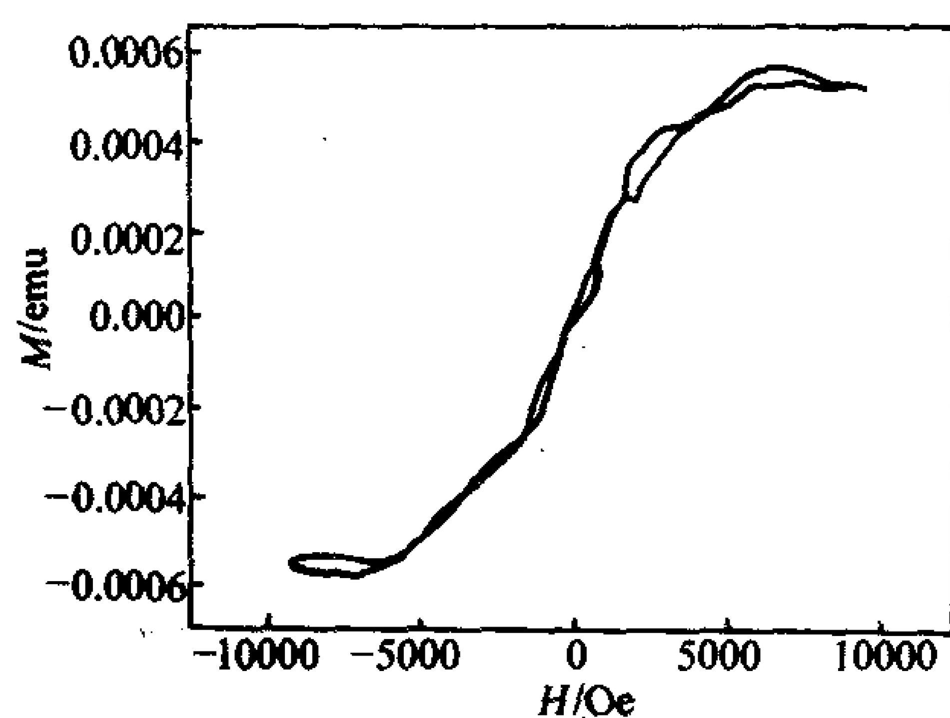


图6.9-7　Mn注入GaN的室温*M-H*曲线

1 Oe = 79.58 A/m

但是，这样高的注入浓度引起了很严重的晶格损伤，因而必须通过热退火来修复，以确保大部分注入的掺杂离子能够迁移到正确的阳离子格位，也就是说，Mn离子能够被有效地激活。另一方面，退火也能够除去或者减少由于离子注入引起的点或者线缺陷。然而，太高的退火温度会引起大量掺杂剂的过量扩散，甚至会导致杂质相的形成。高的注入浓度同样也容易引起杂质相或者团簇的形成，因此使得磁性起源的解释变得复杂化，特别是如果杂质相本身就是铁磁性的时候。

Jeong等人认为，在Mn注入的p型GaN中，铁磁性质和薄膜中纳米团簇的微结构息息相关。他们发现，高温（>900℃）下的热退火产生了反铁磁的Mn氮化物纳米团簇，如$Mn_6N_{2.58}$和Mn_3N_2等，从而导致铁磁信号很差甚至消失。在较低温度（<800℃）下GaN薄膜的热退火显示了很弱的铁磁性，这归因于其中所含的3～7 nm的Mn_3Ga纳米团簇，如图6.9-8和图6.9-9所示。随着温度的升高，不同的纳米团簇产生了Ga或者N空位，这相应于网络空穴浓度的变化，从而引起了铁磁性的降低。这表明优化的热退火温度（<900℃）在增强Mn注入和退火的GaN的铁磁性方面是一个重要的参量，它可以抑制N空位的产生。热退火温度也应该高于800℃，因为注入引起的宏观无序或者缺陷会被保留下来。张荣等也给出了Mn注入n型GaN样品中相同的热退火温度（800～900℃）。

Jeong等人发现Mn-N共注入的p型GaN具有比仅Mn注入的GaN更大的铁磁信号，如图6.9-10所示，可能是由于Ga-Mn磁性相的增加。因为N离子的注入提高了Mn-N复合物如$Mn_6N_{2.58}$和Mn_3N_2（图6.9-11），同时减少了N空位。

2.3　氢化物气相外延

氢化物气相外延由于具有很高的生长率，目前被用于GaN衬底的制备。同样地，HVPE也可以被用于高Mn浓度

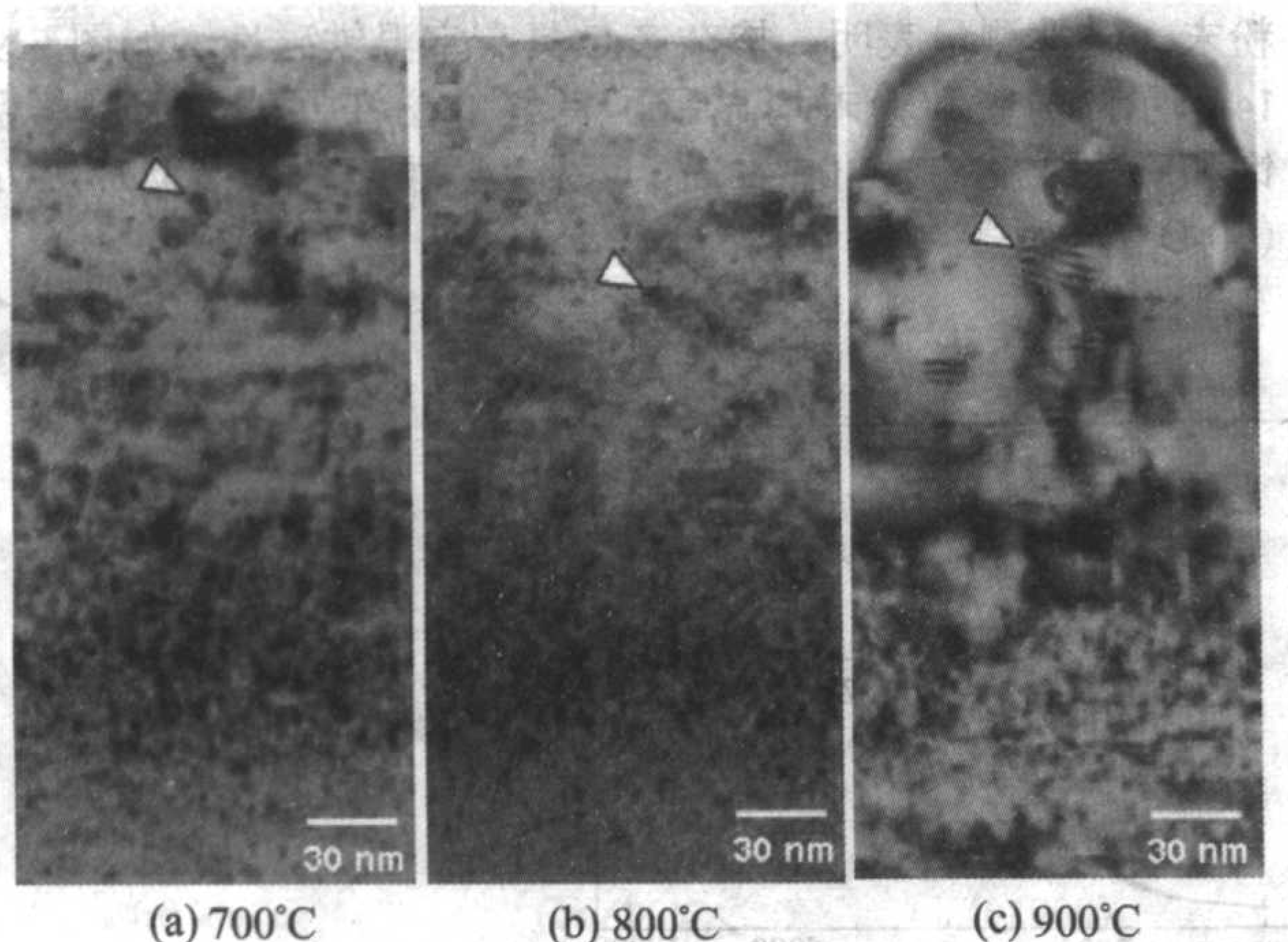
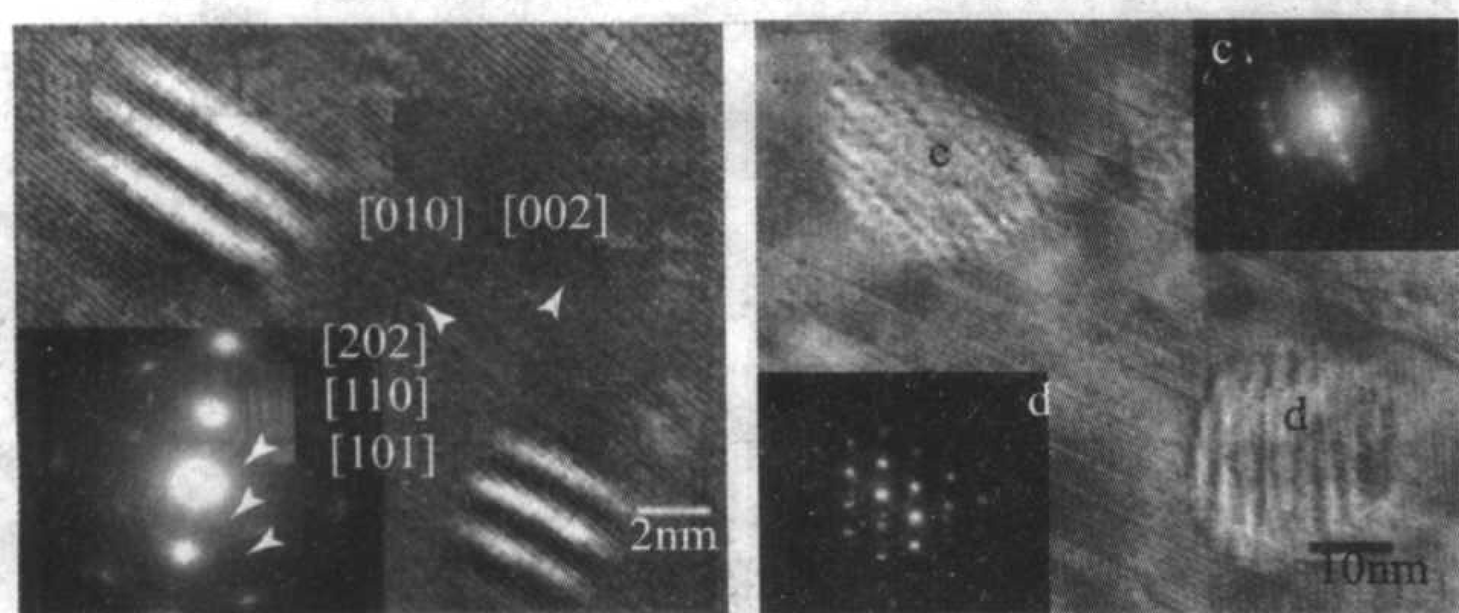


图 6.9-8 Mn 注入 GaN 样品在不同的热退火温度下的亮场截面 TEM 图像

对于在 800℃和 700℃下退火的样品，团簇尺寸从 3～7 nm 变化。当退火温度提高到 900℃时，团簇尺寸提高到大约为 30 nm



(a) 热退火温度700℃，插入的SADPs证明含有Mn_3Ga相

(b) 900℃热退火样品的高分辨图像和纳米束衍射图。纳米束衍射图中c和d分别相应于$Mn_6N_{2.58}$和Mn_3N_2

图 6.9-9 Mn 注入和退火的 GaN 样品的高分辨 TEM 和 SADPs 图像

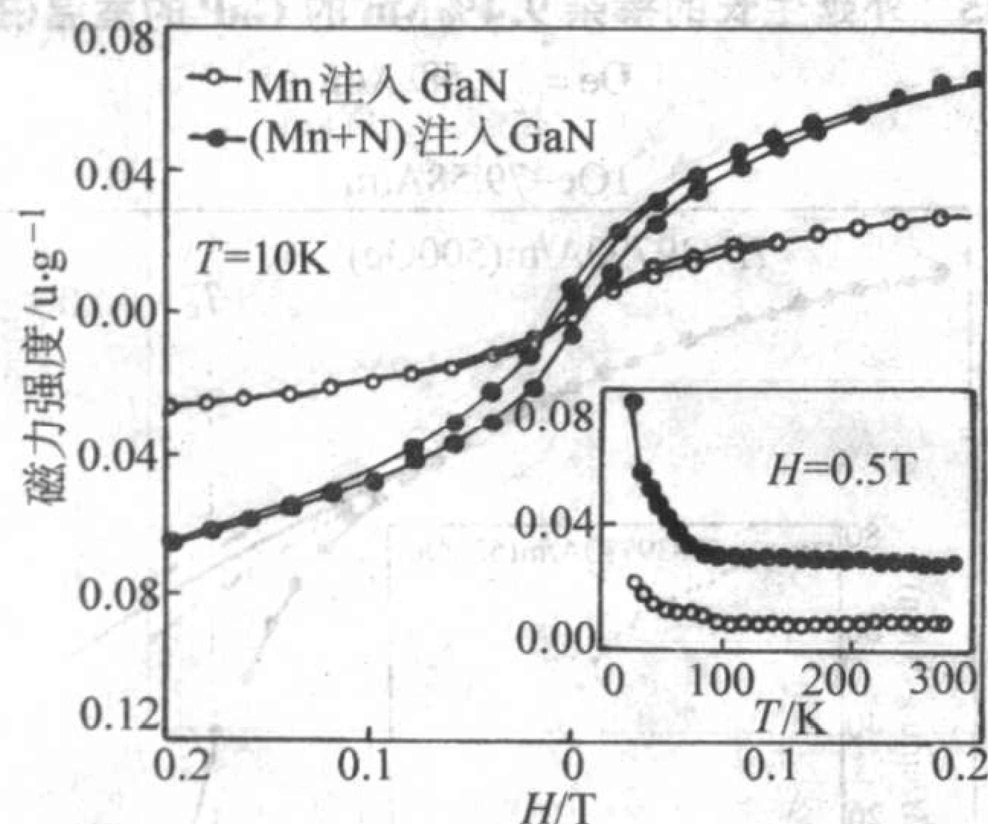


图 6.9-10 在 800℃下热退火 30 s 的 Mn 注入 GaN 和 Mn-N 共注入 GaN 的磁矩的磁化曲线

磁矩的温度依赖性列在插图中。emu/g 表示包括衬底在内的全部样品的磁化

的 GaN 薄膜的生长。张荣等采用氨源氢化物气相外延系统制备了 Mn 掺杂的 GaN 薄膜。室温下，Mn 掺杂的 GaN 薄膜显示出非常明显的磁滞回线，如图 6.9-12 所示。结构分析表明，GaN 薄膜中含有三种不同的和 Mn 有关的相，如 MnN，Mn_2N 和 $Mn_3GaN_{0.5}$，如图 6.9-13 所示。氢化物气相外延方法生长的 GaMnN 薄膜由于引入了 Mn 元素，从而具有比未掺杂 HVPE-GaN 更大的晶格常数。这与其他方法如 MBE 或者 MOCVD 得到的 GaMnN 薄膜的结果相似。

另外，张荣等得到的 HVPE-GaMnN 薄膜具有金属特性，这种混合的结构可能对于实现自旋注入磁输运器件具有重要意义。

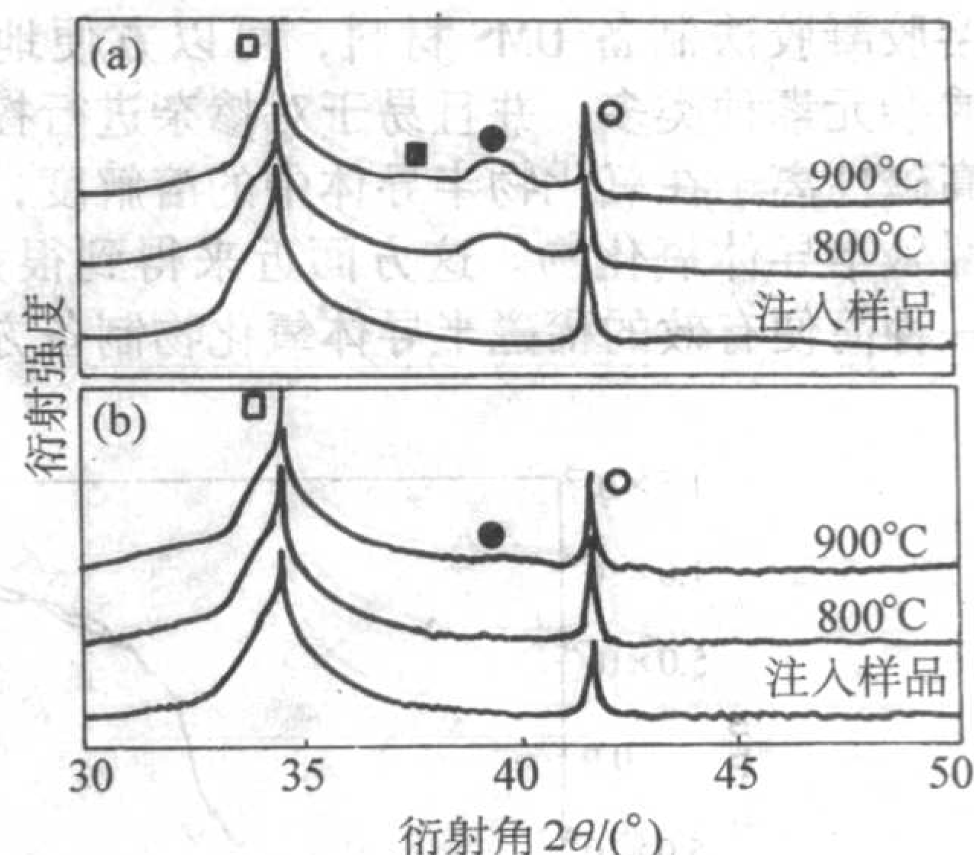


图 6.9-11 随着热退火温度的变化，Mn 注入 GaN 和 Mn-N 共注入的 GaN 样品的 XRD 衍射图

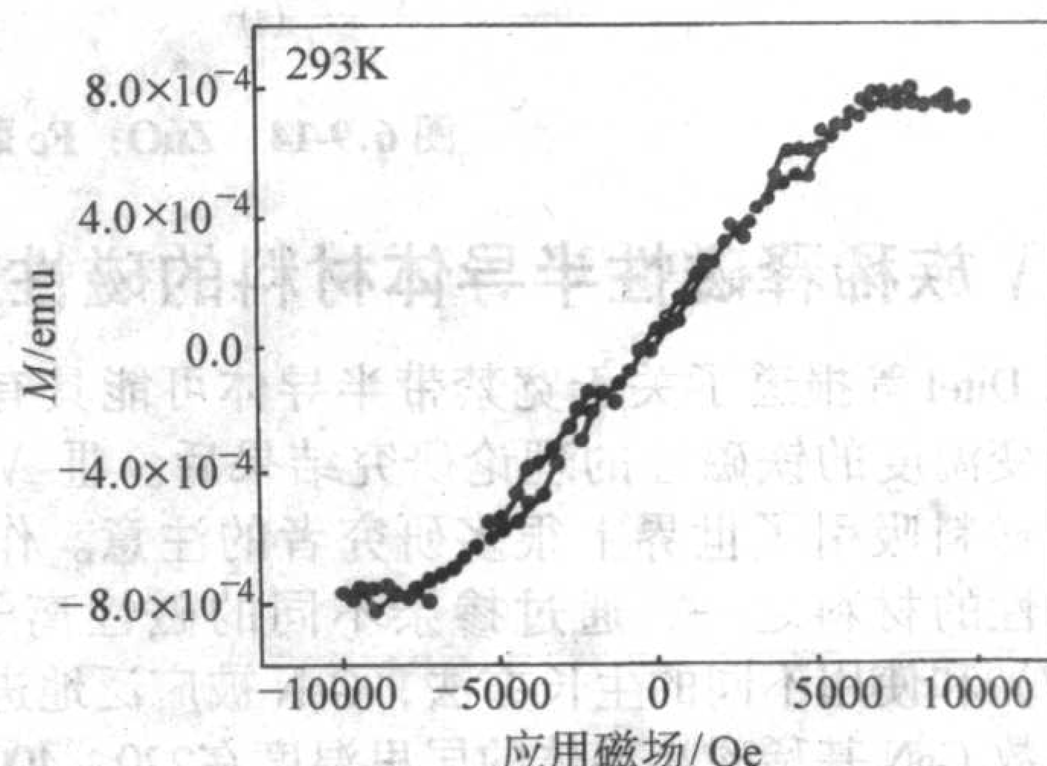


图 6.9-12 16% Mn 掺杂的 HVPE-GaN 薄膜的磁化曲线

1 Oe = 79.58 A/m

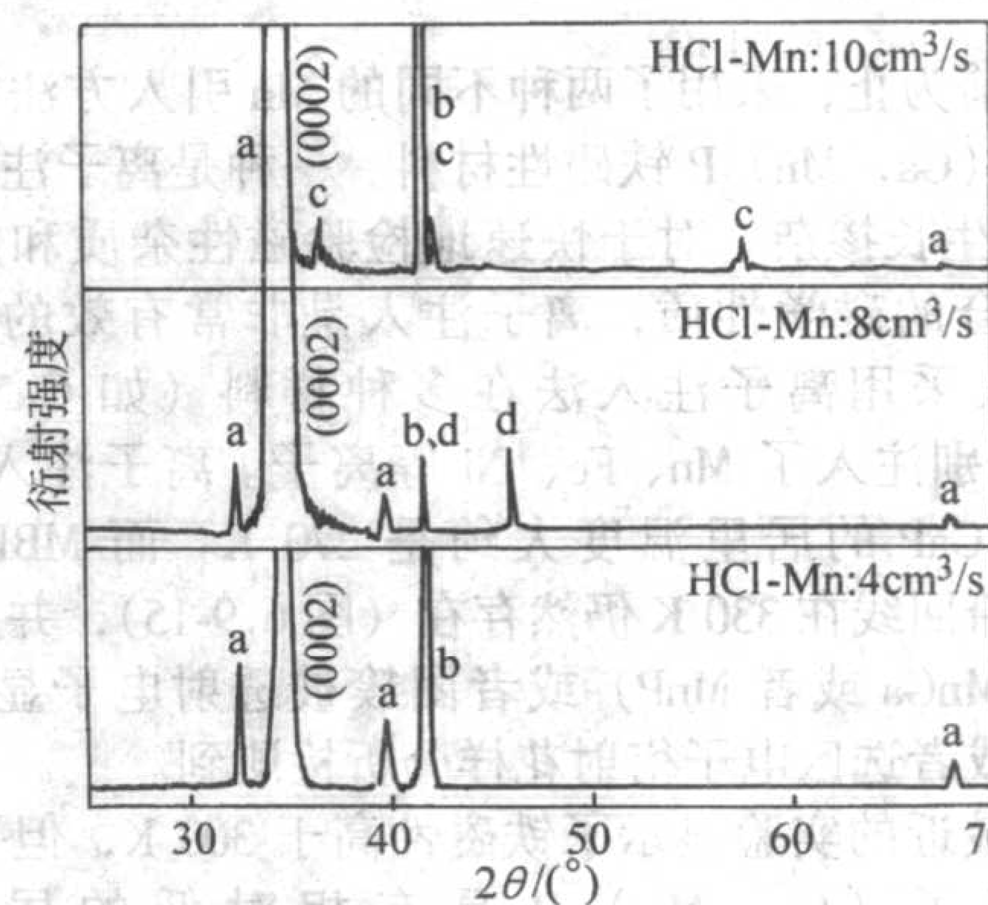


图 6.9-13 不同 HCl 流量得到的 HVPE-GaN 薄膜的 X 射线衍射图

a—$Mn_3GaN_{0.5}$，b—α-Al_2O_3，c—Mn_2N 和 d—MnN

2.4 溶胶-凝胶

溶胶凝胶法是 1960 年代从湿化学法发展起来的一种制备玻璃、陶瓷等无机材料的新工艺。目前，Sol-gel 法被广泛应用于功能氧化物薄膜的制备。溶胶凝胶法制备氧化物薄膜的基本原理为：将金属醇盐或无机盐经水解，然后使溶质聚合凝胶化，再将凝胶涂覆在衬底上，通过干燥、焙烧，最后得到氧化物薄膜。

溶胶凝胶法较之于其他传统的薄膜制备方法优缺点如可在较低温度下制得所需的产品；化学均匀性好；由于溶胶由溶液得到，胶粒内和胶粒间化学成分完全一样，可以制得多组分均匀混合物（均匀程度可达到分子级水平）；纯度高；颗粒细：胶粒尺寸小于 0.1 μm；操作工艺简单，不需要昂贵

的设备。

采用溶胶凝胶法制备DMS材料，可以方便地制备大面积薄膜，掺杂元素种类多，并且易于对掺杂进行控制，可以有效地提高磁性离子在氧化物半导体中的溶解度，获得高掺杂浓度的稀磁半导体氧化物。这方面近来得到很大的发展，已经成为一种简便有效的稀磁半导体氧化物制备方法。

修向前、张荣等利用溶胶-凝胶法制备了ZnO:Fe薄膜和粉末，磁性测量表明，掺杂ZnO具有室温铁磁性，如图6.9-14所示。薄膜和粉末均显示了良好的磁滞回线。薄膜样品饱和磁化强度约为10^{-3}emu/g量级，矫顽力约为2 387.4 A/m (30 Oe)。

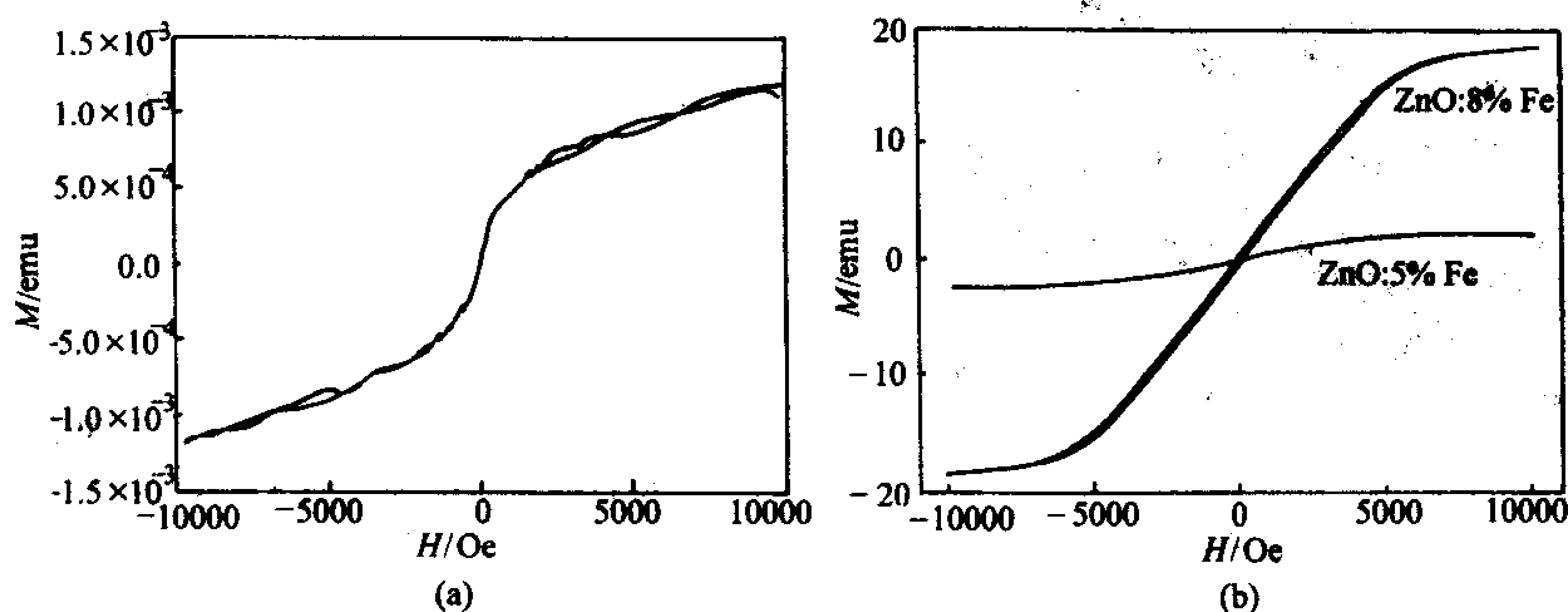


图6.9-14 ZnO: Fe薄膜（a)）和粉末（b)）样品的室温磁化曲线

3 Ⅲ-Ⅴ族稀释磁性半导体材料的磁性质

自从Ditel等报道了关于宽禁带半导体可能具有室温或者更高转变温度的铁磁性的理论研究结果后。Ⅲ-Ⅴ族宽禁带半导体材料吸引了世界上很多研究者的注意。作为DMS最有代表性的材料之一，通过掺杂不同的磁性离子（Mn, Fe, Cr, V）和使用不同的生长方法，GaN被广泛地进行了研究。大多数GaN基稀磁半导体的居里温度在220～400 K的范围内，有报道给出估计的居里温度达到了940 K。在GaP中掺入Mn也获得了转变温度高于室温的铁磁性材料。

3.1 (Ga, Mn) P

到目前为止，采用了两种不同的Mn引入方法得到了高于室温的（Ga, Mn）P铁磁性材料。一种是离子注入，另一种是MBE生长掺杂。对于快速地检验磁性杂质和主半导体的特殊结合的磁学性质，离子注入是非常有效的方法。J. Pearton等人采用离子注入法在多种材料（如GaN, SiC和GaP）中分别注入了Mn、Fe、Ni等离子。离子注入Mn的p型C掺杂GaP的居里温度大约是270 K。而MBE生长的GaMnP磁滞回线在330 K仍然存在（图6.9-15)，并且没有第二相（如MnGa或者MnP）或者团簇被透射电子显微镜、X射线衍射或者选区电子衍射花样分析检测到。

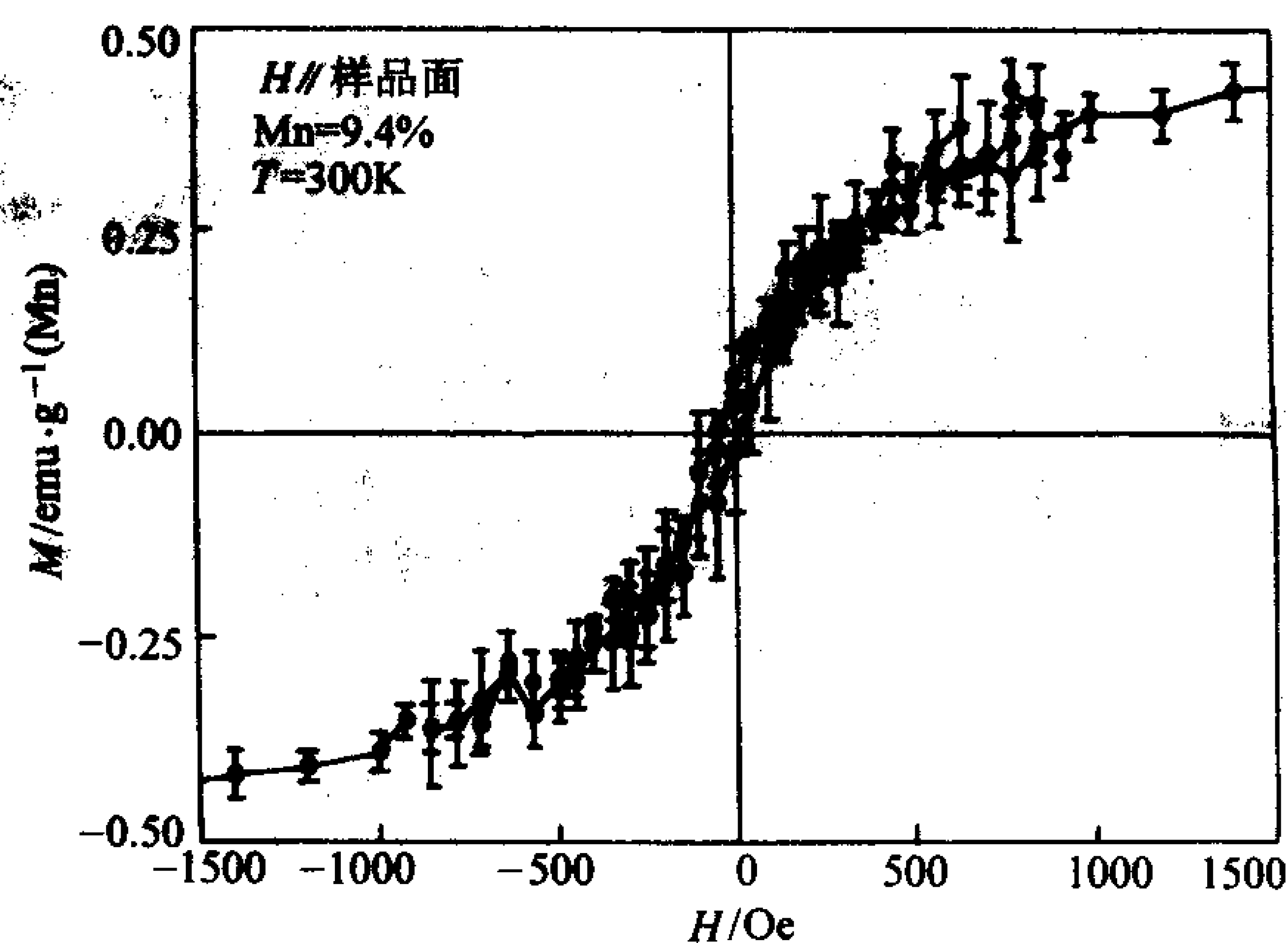


图6.9-15 外延生长的掺杂9.4%Mn的GaP的室温磁化曲线
1 Oe = 79.58 A/m

虽然最近的实验显示了铁磁性高于300 K，但平均场理论却预言了（Ga, Mn）P具有相对低的居里温度（< 110 K)。在其他方面，（Ga, Mn）P的磁学行为和平均场预言相符合。磁化强度对温度的关系显示了比其他很多观察到的DMS材料更典型的横N形状（图6.9-16)。居里温度受载流子浓度和材料类型的强烈影响，高p型样品显示了比n型或者未掺杂的样品更高的T_c值。另外，在直到大约6%（摩尔分数）的范围内居里温度随着Mn浓度增加到而增加，然后随着锰浓度的增高而降低。类似的结果在MBE掺杂生长的样品或者离子注入样品中都得到了。

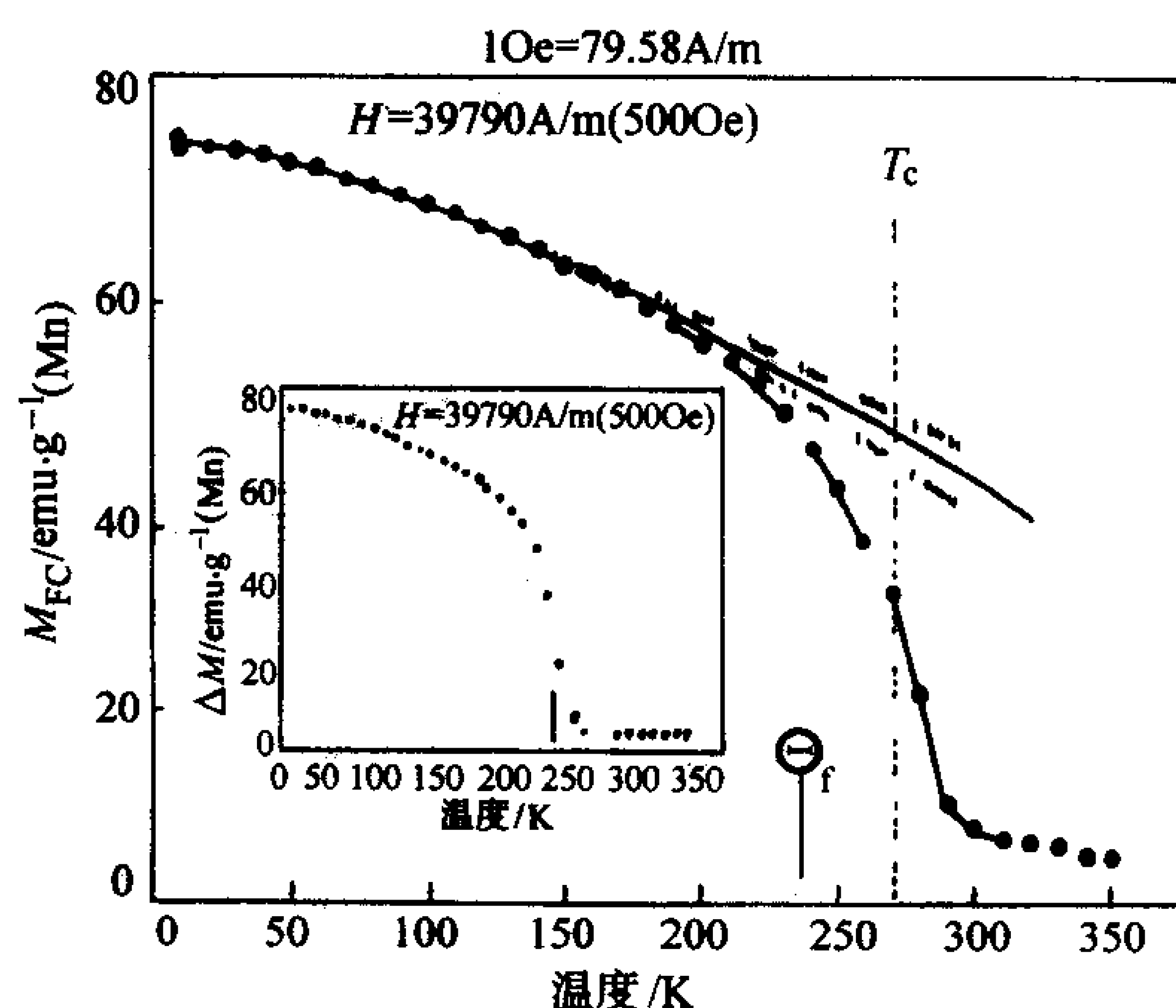


图6.9-16 (Ga, Mn) P的场冷却磁化作为温度的函数曲线
实线显示了Bloch定律依赖关系，点线是95%的可靠带。
T_c = 270 K的垂直线实场独立的转变点，垂直箭头是铁磁居里温度θ_f。嵌入图是带场冷却和零场冷却条件下磁化强度随温度的变化曲线

3.2 (Ga, Mn) N

最初的（Ga, Mn）N材料是通过两种方法得到的。分别是在超临界氨中，纯金属镓氮化合成的微晶或者氨气氛下（约1 200℃）在GaN/Mn混合物中Ga/Mn合金反应形成的体单晶。这些样品在很宽的Mn浓度范围内展示了顺磁性质，类似于早期的MBE样品。

蓝宝石上的外延GaN薄膜，在250～800℃下进行固态Mn的扩散反应，可以获得Mn组分变化的GaMnN合金材料，室温附近可以观察到很明显的铁磁性。居里温度在220～370 K，取决于扩散的条件。

580～720℃下MBE生长的（Ga, Mn）N薄膜在300 K显

示了很清楚的磁滞回线，矫顽力 4 138.2 ~ 6 764.3 A/m (52 ~ 85 Oe)，饱和磁化大约 0.08 ~ 0.77 emu/g。对于掺杂摩尔分数为 9% Mn 的样品，采用平均场近似产生了估计居里温度可以达到 940 K。最近 Thaler 报道了 MBE 生长的 n 型 (Ga，Mn) N 的室温铁磁性。

MOCVD 生长的 GaMnN 薄膜也显示了室温下的铁磁性。

GaN 中其他的过渡金属掺杂也显示了室温或高于室温的铁磁性。最近，几个研究小组报道了 (Ga，Cr) N 中居里温度高于室温。S.E. Park 等人报道了 Na 流体生长方法制备的 Cr 掺杂 GaN 的室温铁磁性 (T_C = 280 K)。Hashimoto 等人报道了 ECR MBE 外延生长 (Ga，Cr) N T_c > 400 K。低温 MBE (LT-MBE) Cr 掺杂的 GaAs 铁磁有序也曾经被报道过。尽管 Co 掺杂的 TiO_2 和 ZnO T_C 超过 300 K，仍然不了解更多的关于 Co 掺杂的 GaN DMS 的情况。对于 V 掺杂，目前尚未见到关于这个 DMS 系统的报道。在所有关于 DMS 的制备中，磁第二相的可能贡献是最关心的。例如，在被详细研究的 (Ga，Mn) As DMS 系统中，由于高的衬底生长条件，铁磁性的中间金属性 MnAs 团簇 (T_C 约为 300 K) 会形成。在 Cr，Co 和 V 掺杂的 GaN 基 DMS 中，二元中间金属相的磁学性质从超导到反铁磁变化。最著名的是 CrN (MBE 制备，800℃退火)，是反铁磁性的，Neél 温度是 273 K，这和 S.E. Park 等人报告的磁转变温度很相似。而 Cr_2N 是铁磁性的。大多数 CoN 化合物 (如 CoN，δ-Co_2N 和 γ-Co_3N) 是 Pauli 顺磁性的。

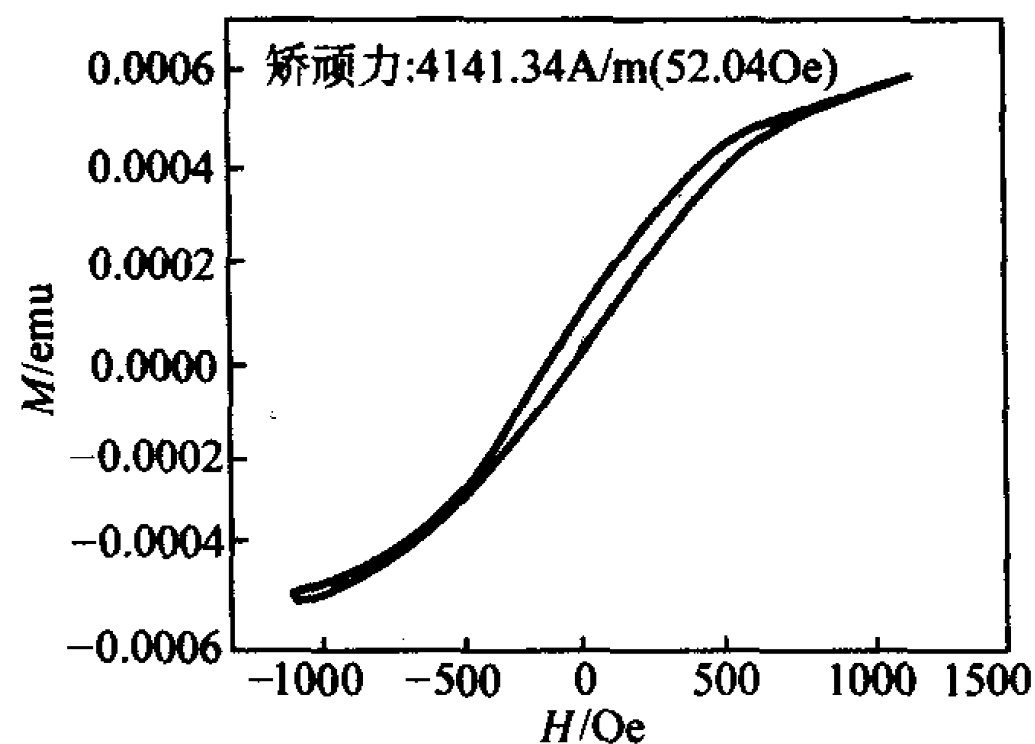


图 6.9-17 Fe 注入 GaN 的室温磁化曲线
1 Oe = 79.58 A/m

最近关于其他过渡金属离子掺杂的 GaN 制备的工作开始报道。张荣等利用离子注入法获得了 (Ga，Fe) N 薄膜，室温下具有铁磁性，矫顽力 4 138.2 A/m (52Oe)，如图 6.9-17 所示。对于最初的 p 型样品，直接在 GaN 中注入 Fe 或者 Ni，可以分别在约为 200 K 和 50 K 观察到铁磁性。MBE (Ga，Fe) N 薄膜居里温度 ≤ 100 K，EXAFS 数据显示大部分 Fe 替代在 Ga 位上。相似的方式生长的 (Ga，Cr) N 显示单相行为，在 300 K 观察到很清楚的磁滞回线和磁化饱和，居里温度超过 400 K，如图 6.9-18 所示。

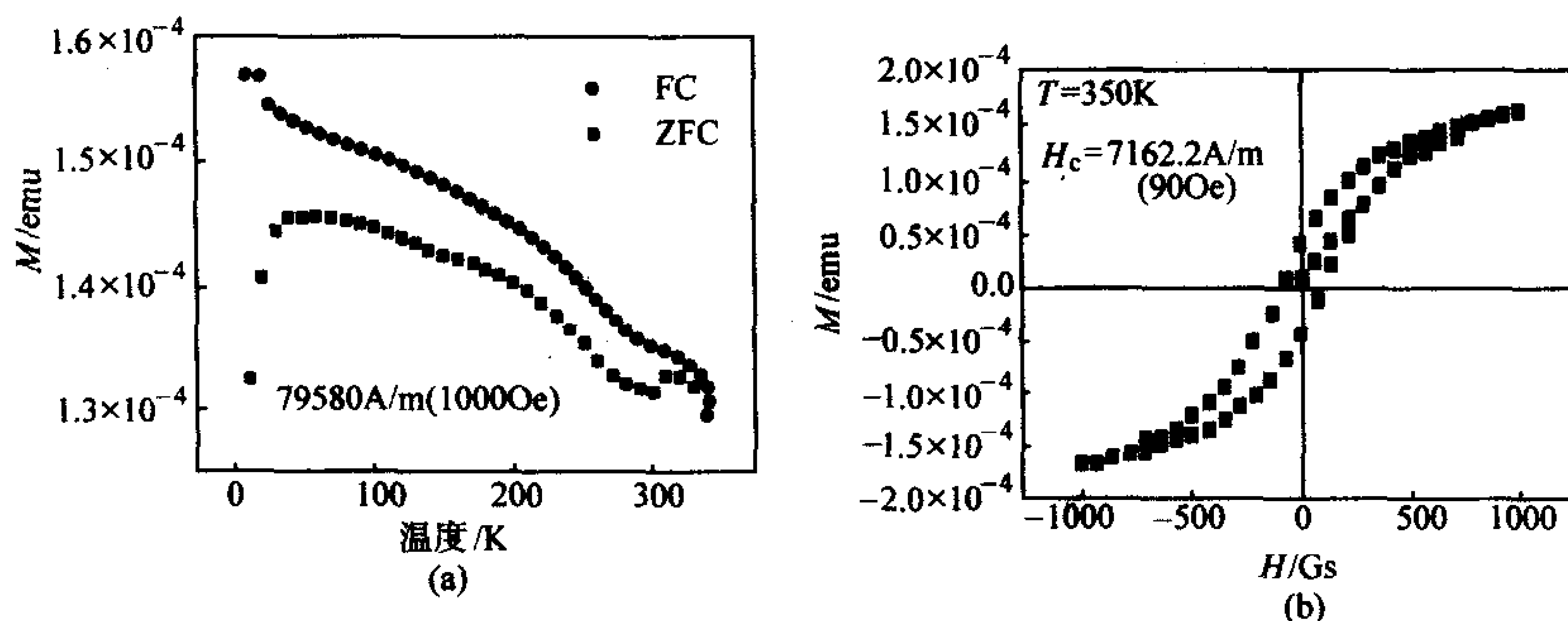


图 6.9-18 摩尔分数为 3% Cr 注入 p 型 GaN 的带场冷却和零场冷却磁化曲线 (a)) 和 350 K 下的磁滞回线 (b))

4 ZnO 基稀释磁性半导体

在稀磁半导体材料的研究中，最初的工作都是集中在Ⅱ-Ⅵ族半导体，部分Ⅱ族元素的原子被 Mn 原子随机取代。Dietl 等人首先预言了 Mn 掺杂的 p 型 ZnO 居里温度高于 300 K，而 Fe，Co 或者 Ni 掺杂的 ZnO 在电子掺杂的情况下被预言具有稳定高居里温度铁磁性。对于空穴掺杂的 ZnMnO，载流子引起的铁磁性也从理论上得到了预言，同时，利用改进 p 型掺杂的方法以改善铁磁性质也有报道。

从头计算预言了对于 n 型 ZnO 掺杂大多数过渡金属离子如 Co 和 Cr 都具有铁磁性，而 Mn 掺杂的 ZnO 则没有铁磁性。实验上，在 n 型 ZnO 中观察到铁磁性。Ueda 等人报道了 Co 掺杂 ZnO 居里温度高于 300 K。Jae Hyun Kim 等人采用激光脉冲沉积技术在不同的衬底温度 (400 ~ 700℃) 下在蓝宝石 (0001) 上制备了 $Zn_{0.75}Co_{0.25}O$ 薄膜，如图 6.9-19 所示。结构和磁学性质的研究结果显示，铁磁六角 Co 团簇的存在导致了 Co 掺杂 ZnO 薄膜中的铁磁性。W. Prellier 等人给出了在 $Zn_{1-x}Co_xO$ 薄膜中均匀引入 Co 产生了铁磁性，当 $x = 0.08$ 时居里温度接近室温，$x = 0.05$ 时为 150 K。

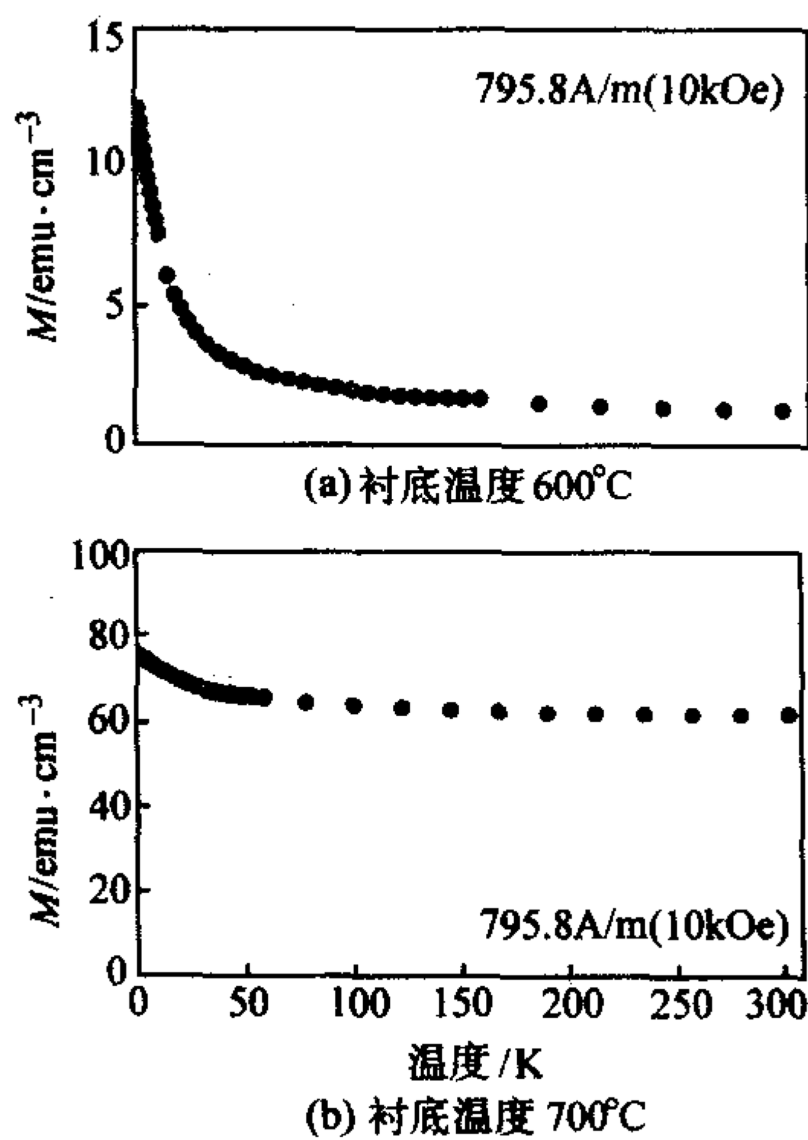


图 6.9-19 激光沉积制备的 $Zn_{0.75}Co_{0.25}O$ 薄膜的磁化随温度的变化曲线
氧分压 147.32 kPa (1 105 Torr)

离子注入也被用来研究氧化物半导体材料中过渡金属离子的磁学性质。在部分过渡金属离子注入的ZnO单晶中，如(Co，Mn)共掺杂的ZnO:Sn（图6.9-20）和（Cr，Fe）共注ZnO体单晶的材料中，观察到了高温铁磁性。

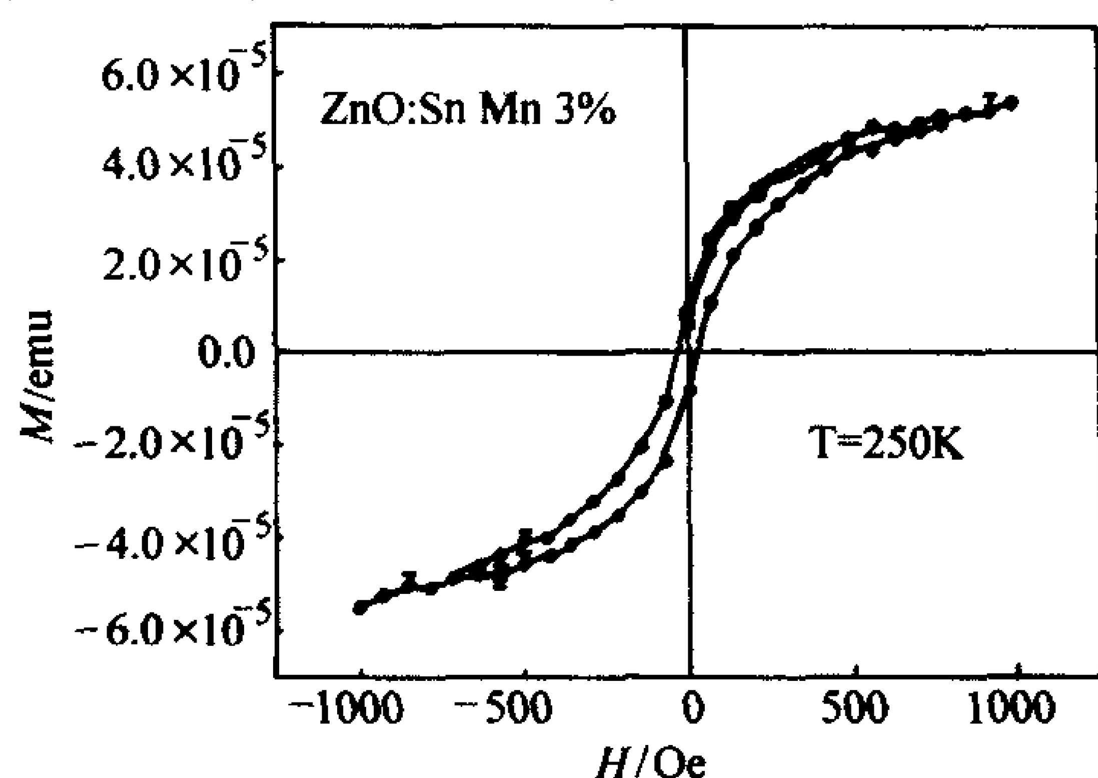
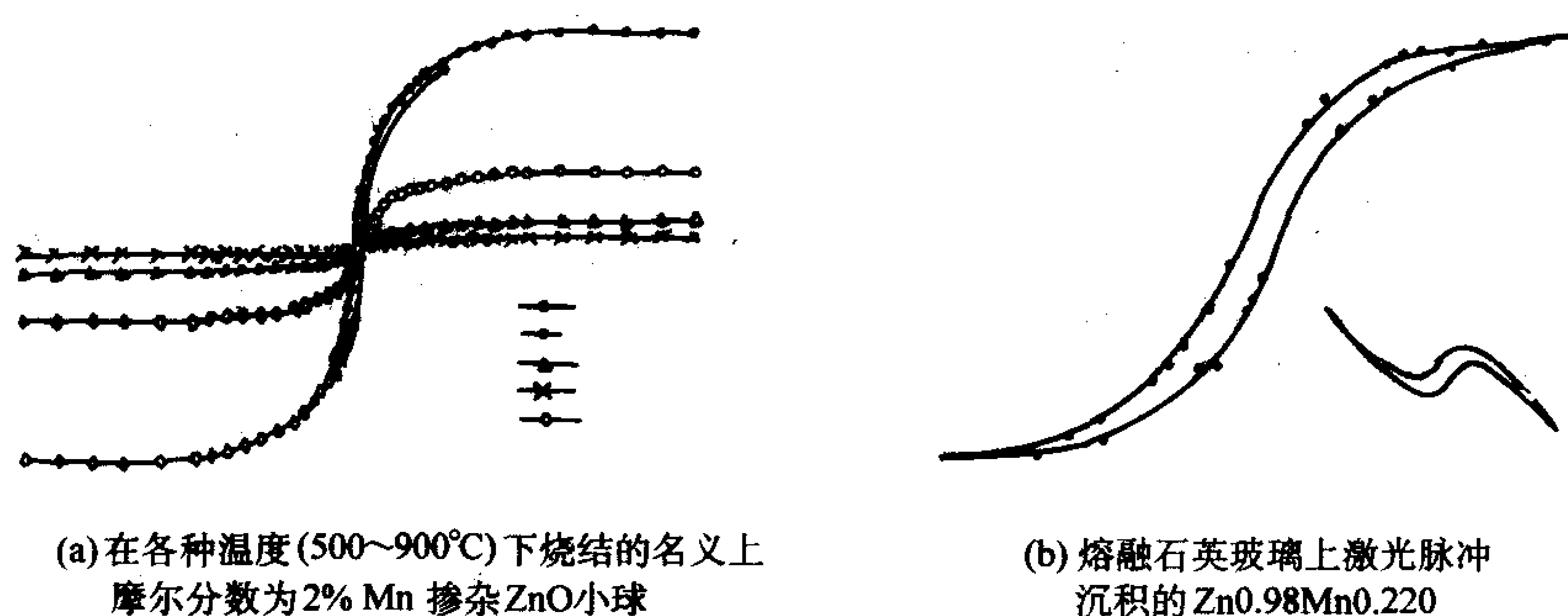


图6.9-20 室温下3%（摩尔分数）Mn注入的ZnO:Sn单晶的磁化曲线

最近，高于室温的铁磁性在Mn掺杂的ZnO体小球（图6.9-21a）和2～3μm厚的透明薄膜（图6.9-21b）样品中被观察到。铁磁共振谱（FMR）研究被用来探测铁磁有序以及可能存在的其他磁性样品，并且清楚地给出了对于名义上摩尔分数为2% Mn掺杂ZnO小球的铁磁谱，T_c超过425 K，如图6.9-22所示。

利用激光脉冲沉积生长Zn结合的氧化锰方面，在低温处理的Mn-Zn-O系统中也观察到铁磁性的氧空位稳定的$Mn_{2-x}Zn_xO_{3-\delta}$。这是直到约为980 K的高温铁磁性产生的原因，如图6.9-23所示。据认为，铁磁性起源于亚稳相而不是ZnO中离散的Mn之间的载流子引起的相互作用。Mn和Zn氧化物的薄膜双层之间的界面扩散和反应表明，在低温处理的条件下，Mn在ZnO中均匀溶解的情况是不可能形成的。

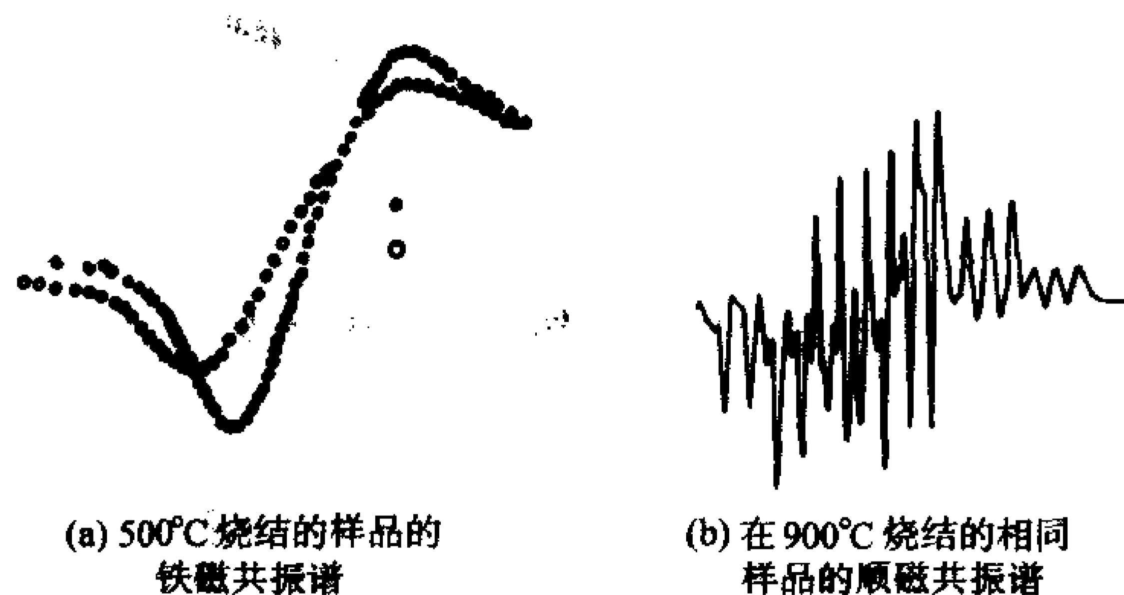


(a) 在各种温度(500～900℃)下烧结的名义上摩尔分数为2% Mn掺杂ZnO小球

(b) 熔融石英玻璃上激光脉冲沉积的Zn0.98Mn0.220

图6.9-21 室温磁滞回线显示了铁磁相

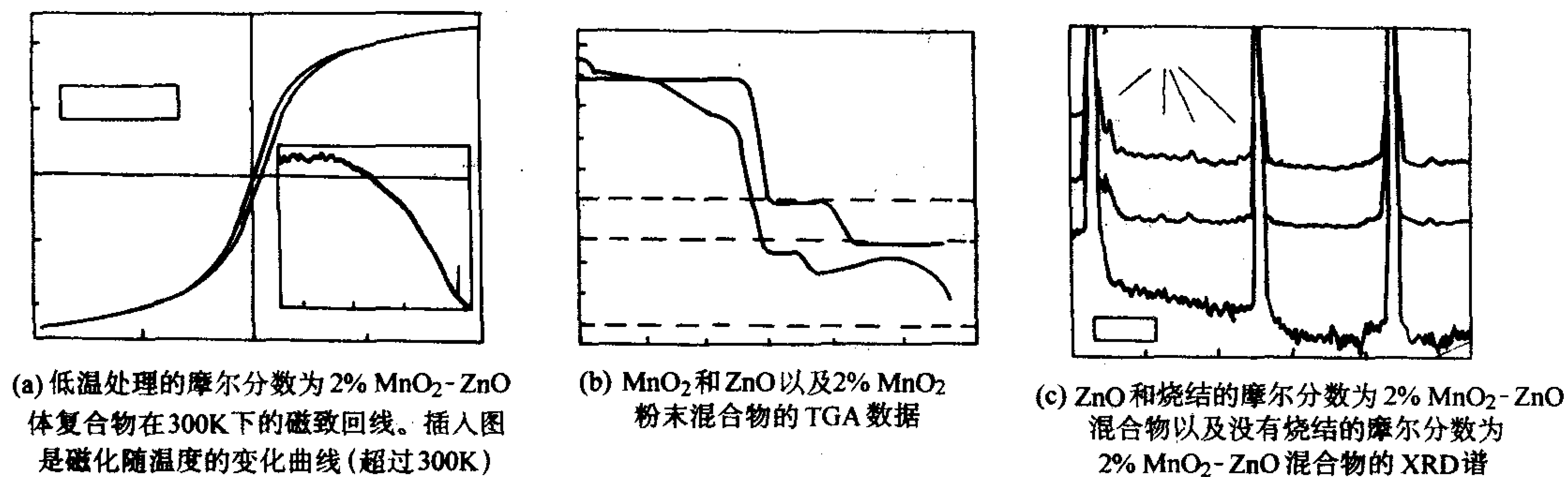
曲线已经减去衬底的抗磁性贡献。插入图是从SQUID测量中沿着来源于石英衬底的抗磁性贡献获得数据



(a) 500℃烧结的样品的铁磁共振谱

(b) 在900℃烧结的相同样品的顺磁共振谱

图6.9-22 名义上摩尔分数为2% Mn掺杂的铁磁和顺磁共振谱



(a) 低温处理的摩尔分数为2% MnO_2-ZnO体复合物在300K下的磁致回线。插入图是磁化随温度的变化曲线(超过300K)

(b) MnO_2和ZnO以及2% MnO_2粉末混合物的TGA数据

(c) ZnO和烧结的摩尔分数为2% MnO_2-ZnO混合物以及没有烧结的摩尔分数为2% MnO_2-ZnO混合物的XRD谱

图6.9-23 体复合物的磁化，热重（TGA）和XRD谱

编写：张　荣（南京大学）
修向前（南京大学）

参考文献

1 Zu P, Tang Z K, Wong G K L, Kawasaki M, Ohtomo A, Koinuma H, Seagawa Y. Ultraviolet spontaneous and stimulated emissions from ZnO microcrystallite thin films at room temperature. Solid State Commun., 1997, 103 (8): 459~463

2 Yoder M N. Wide Bandgap Semiconductor Materials and Devices. IEEE Trans. on Electron Devices, 1996, 43 (10): 1633~1636

3 Ambacher O. Growth and applications of Group Ⅲ-nitrides. J. Phys. D: Appl. Phys., 1998, 31 (20): 2653~2710

4 施敏.半导体器件物理与工艺.第2版.苏州:苏州大学出版社,2002

5 Nakamura S, Senoh M, Nagahama S, Iwasa N, Yamada T, Matsushita T, Sugimoto Y, and Kiyoku H. Continuous-wave operations of InGaN multi-quantum-well-structure laser diodes at 233K. Appl. Phys. Lett., 1996, 69 (20): 3034~3036

6 Nakamura S, Senoh M, Nagahama S, Iwasa N, Yamada T, Matsushita T, Sugimoto Y, and Kiyo ku H. Ridge-ge metry InGaN multi-quantum-well-structure laser diodes, Appl. Phys. Lett., 1996, 69 (47): 1477~1479

7 Lebedev A A. SiC electronics in the new century. J. wide bandgap materials, 2000, 8 (2): 129~134

8 Aleksov A, Denisenko A, Kunze M, Vescan A, Bergmaier A, Dollinger G, Ebert W, Kohn E. Diamond diodes and transistors. SemicondSciTechnol., 2003, 18 (3): S59~S66

9 Yang W, Noho va T, Krishnankutty S, Torreano R, McPherson S, arsh H M. Back-illuminated GaN/AlGaN heterojunction photodiodes with high quantum efficiency and low noise. Appl. Phys. Lett, 1998, 73 (8): 1086~1088

10 Edmond J, Kong H, Suvorov A, Waltz D, Carter, Jr C, 6H-Silicon Carbide Light Emitting Diodes and UV photodiodes. Phys. Stat. Sol. 1997, 162 (1): 481~491

11 Siess J, Reuscher G, Grabs P, Lugauer H -J, Schallenberg T, Ehinger M, Waag A, Landwehr G. High response photodiodes based on Be-chalcogenider. J. Cryst. Growth, 1999, 201/202: 965~967

12 Vigue F, Tounie E, Faurie J. -P. Evaluation of the optential of ZnSe and Zn (Mg) BeSe compounds for ultraviolet photodetection. IEEE J. Quantum Electron., 2001, 37 (9): 1146~1152

13 Tim Whitaker. CdZnTe Radiation Detectors. Compound Semiconductor, 1999, 5 (5): 39~40

14 Krukowski S, Witek A, Adamczyk J, Jun J, Bockowski M, Grzegory I, Lucznik B, Nowak G, Wroblewski M, Prsez A, Gierlotka S, Stelmach S, Paloez B, Porowski S, Zinn P. Thermal properties of indium nitride, J. Phys. Chem. Solids 1998, 59: 289

15 Hadis Morkoc, Nitride Semiconductors and Devices, Springer, Berlin Heidelberg, New York, 1998: 87~98

16 Shur M S and Davis R F, GaN Based Materials and Devices, World Scientific Publishing Co. Pte. Ltd., 2004

17 李效白. 砷化镓微波功率场效应晶体管及其集成电路. 北京: 科学出版社, 1998

18 Sawada T, Kimura N, Imai K, Suzuki K, Tanahashi K, Interpretation of current transport properties at Ni/n-GaN Schottky interfaces, JOURNAL OF VACUUM SCIENCE & TECHNOLOGYB, 2004, 22 (4): 2051~2058

19 Honda T, Hama M, Aoki Y, Akiyama M, Obinata N, Kawanishi H. Low-temperature growth of GaN layers on (0001) 6H-SiC by compound source molecular beam epitaxy, JOURNAL OF VACUUM SCIENCE & TECHNOLOGYB, 2004, 22 (4): 2155~2157

20 施敏. 现代半导体器件物理. 北京: 科学出版社, 2001

21 李效白. 砷化镓微波功率场效应晶体管及其集成电路. 北京: 科学出版社, 1998

22 Kubo S, Kurai S, Taguchi T. Homoepitaxial Growth of GaN thin layer by MBE with an RF nitriogen plasma, Vacuum, 2000, 59: pp277~283

23 Heffernan J, Kauer M, Hooper SE et al. InGaN violet laser diodes grown by molecular beam epitaxy, PHYSICA STATUS SOLIDIA-APPLIED RESEARCH, 2004, 201 (12): 2668~2671

24 Dziawa P, Taliashvili B, Domuchowski W et al. (Eu, Gd) Te-MBE growth and characterization, ACT APHYSICA POLONNICAA, 2004, 106 (2): 215~221

25 Obata T, Hirayama H, Aoyagi Y, Ishibashi K, Growth and annealing conditions of high Al-content p-type AlGaN for deep-UV LEDs, PHYSICASTATUS SOLIDIA-APPLIED RESEARCH, 2004, 201 (12): 2803~2807

26 Miasojedovas S, Jursenas S, Kurlcik G, Zukauskas A, Ivanov VY, Godlewski M, Leszczynski M, Perlin P, Suki T, Luminescence in highly excited InGaN/GaN multiple quantum wells grown on GaN and sapphire substrates, ACTA PHYSICA POLONICA A, 2004, 10_6 (4): 273~279

27 Chen TC, Johnson M, Poochinda K, Stoebe TG, Ricker NL, A systematic study on group Ⅲ-nitride thin films with low temperature deposited via MOCVD, OPTICAL MATERIALS, 2004, 26 (4): 417~420

28 Kang BC, Lee SB, Boo JH, Growth of beta-SiC nanowires on Si (100) substrates by MOCVD using nickel as a catalyst, THIN SOLID FILMS, 2004, 464-65: 215~219

29 Junjiroh Kikawa, Seikoh Yoshida, Yoshiteru Itoh. Hexagonal $GaN_{1-x}P_x$ growth by laser-assisted metalorganic chemical vapor deposition. Jounal of Crystal Growth, 2001, 229: 48~52

30 Vurgaftman I, Meyer J R, Ram-Mohan L R. Band parameters for Ⅲ-Ⅴ compound semiconductors and their alloys. Journal of Applied Physics, 2001, 89 (11): 5815~5875

31 Chen D J, Shen B, Bi Z X, Zhang R, Zheng Y D. $GaN_{1-x}P_x$ ternary alloys with high P composition grown by metal-organic chemical vapor deposition. Journal of Crystal Growth, 2003, 255: 52~56

32 Dumont H, Auvray L, Monteil Y. Microscopic structure and optical properties of $GaAs_{1-x}N_x$/GaAs (001) interface grown by metalorganic vapor phase epitaxy. Appl phys. Lett., 2002, 80: 2460~2462

33 Tisch U, Finkman E, Salzman J. The anomalous bandgap bowing in GaAsN. Appl Phys. Lett., 2002, 81: 463~465

34 Chen D J, Shen B, Bi Z X, Gu S L, Zhang R, Shi Y, Zheng Y D. Phase-separation suppression in GaN-rich side of GaNP alloys grown by metal-organic chemical vapor deposition.

Appl. Phys. A, 2005, 80: 141~144

35 Chen D J, Shen B, Zhang K X, Zhang R, Shi Y, Zheng Y D. Raman studies of phosphorusincorporation in $GaN_{1-x}P_x$ alloys. J. Appl. Phys., 2003, 93 (8): 4670~4672

36 李效白. 氮化物基固态器件的研究进展. 半导体技术, 2001, 26 (5): 20~25

37 梁春广, 张冀. GaN 第三代半导体的曙光. 半导体学报, 1999, 20 (2): 89~99

38 袁明文. 氮化物在光电子和微电子器件中的应用. 半导体技术, 2001, 26 (6): 16~19

39 Nanishi Y, Staito Y and Yamaguchi T. RF-molecular Beam Epitaxy Growth and Properties of InN Related Alloys, Jpn. J. Appl. Phys., 2003, 42: 2549~2599

40 Bechstedt F, Furthmuller J. Do we know the fundamental energy gap of InN?, Journal of Crystal Growth, 2002, 246: 315~319

41 Wu J, Walukie Wicz W, Yu K M and Ager J W. Unusual properties of the fundamental band gap of InN, Applied physics letters, 2002, 80: 3967~3969

42 Higashiwaki M, Matsui T. Plasma assisted MBE growth of InN films and InAlN/InN heterostructures, Journal of Crystal Growth, 2003, 251: 494~498

43 Guo O, Okada A, Kidera H etal. Effect of GaN buffer layer on crystallinity of InN grown on (111) GaAs, Journal of crystal growth, 2002, 237~239: 1032~1036

44 Leite Alves H W, Alves J L A, Scolfaro L M R, Leite J R. Planar force constant method for lattice dynamics of cubic InN, Materials Science and Engineering, 2002, B93: 90~93

45 Yang F H, Hwang J S, Yang Y J, etal. Growth of high quality epitaxial InN film with high speed reactant gas by organometallic vapor phase epitaxy, Jpn. J. Appl. Phys., 2002, 41: 11321~1324

46 Higashiwaki M, Matsui T, Epitaxial growth of high quality InN films on sapphire substrates by plasma assistant molecular beam epitaxy, J. of Crystal growth, 2003, 252: 128~135

47 igashiwaki M and Matsui T. High quality InN film growth on a low temperature grown GaN intermediate layer by palasma assisted molecular beam epitaxy, Jpn. J. Appl. Phys., 2002, 41: 1540~1542

48 Wu J, Walukiewicz W, Shan W, etal. Effects of the narrow band gap on the properties on InN, Physical Review B, 2002, 15: 15

49 Wladek walukiewicz, Full solar spectrum photovoltage materials identitied, Materials Sciences Division, Berkeley, 2003, 4: 1

50 Ashraful Ghani Bhuiyan, Akihiro Hashimoto, and Akio Yamamotoa, Indium nitride InN: A review on growth, characterizaation, and properties, J. Appl. Phys., 1 September 2003, 94 (5): 2779~2808

51 Walukiewicz W, Li S X, Wu J, Yu K M, Ager J W Ⅲ, Haller E E, Hai Lu, Schaff W J. Optical properties and electronic structure of InN and In-richgroup Ⅲ-nitride alloys, J. Crys. Grow., 2004, 269: 119~127

52 Inushima T, Sakon T, Motokawa M. Relationship between the optical properties and superconductivity of InN with high carrier concentration, J. Crys. Grow., 2004, 269: 173~180

53 Ivanov S V, Shubina T V, Jmerik V N, Vekshin V A, Kopev P S, Monemar B. Plasma-assisted MBE growth and characterization of InN on sapphire, J. Crys. Grow., 2004, 269: 1~9

54 Bhuiyan A G, Tanaka T, Yamamoto A, Hashimoto A, Hashimoto A. Laser-assisted metalorganic vapor-phase epitaxy (LMOVPE) of indium nitride (InN), Phys. Status Solidi A, 2002, 194: 502

55 Bhuiyan A G, Tanaka T, Kasashima K, Hashimoto A, and Yamamoto A. 5th 5 International Conference on Nitride Semicon ductors, ICNS-5, Nara, Japan, May 25~30, 2003

56 Ng Y F, Cao Y G, Xie M H, Wang X L, and Tong S Y. Growth mode and strain evolution during InN growth on GaN (0001) by molecular-beam epitaxy, Appl. Phys. Lett, 2002, 81: 3960

57 Norenberg C, Martin M G, Oliver R A, Castell M R and Briggs G A D. Heteroepitaxial growth of InN islands studied by STM and AFM, J. Phys. D, 2002, 35: 615

58 Norenberg C, Oliver R A, Martin M G, Allers L, Castell M R and Brigs G A D. Stransk-Krastanov growth of InN nanostructures on GaN studied by RHEED, STM and AFM, Phys. Status Solidi A, 2002, 194: 536

59 Saito Y, Harima H, Kurimoto E, Yamaguchi T, Teraguchi N, Suzuki A, Araki T and Nanishi Y. Growth temperature dependence of indium nitride crystalline quality grown by RF-MBE, Phys. Status Solidi B, 2002, 234: 796

60 Yamaguchi T, Saito Y, Kano K, Araki T, Teraguchi N, Suzuki A and Nanishi Y. Study of epitaxial relationship in InN growth on sapphire (0001) by RF-MBE, Phys. Status Solidi B, 2001, 228: 17

61 Saito Y, Tanabe Y, Yamaguchi T, Teraguchi N, Suzuki A, Araki T and Nanishi Y. Polarity of high-quality indium nitride grown by RF molecular beam epitaxy, Phys. Status Solidi B, 2001, 228: 13

62 Guo Q X, Okade A, Kidera H, Tanaka T, Nishio M, Ogawa H. Effect of GaN buffer layer on crystallinity of InN grown on (111) GaAs, J. Cryst. Grow., 2002, 237~239: 1032

63 Butcher K S A, Wintrebert-Fouquet M, Chen P P -T, Tansley T L and Srikeaw S. Mater. Res. Soc. Symp. Proc., 2002, 693: 341

64 Yodo T, Ando H, Nosei D and Harada Y. Growth and characterization of InN heteroepitaxial layers grown on Si substrates by ECR-assisted MBE, Phys. Status Solidi B, 2001, 228: 21

65 Yodo T, Yona H, Ando H, Nosei D and Harada Y. Strong band edge luminescence from InN films grown on Si substrates by electron cyclotron resonance-assisted molecular beam epitaxy, Appl. Phys. Lett., 2002, 80: 968

66 Bhuiyan A G, Yamamoto A and Hashimoto A. A novel two-step method for improvement of MOVPE grown InN film on Gap (111) B substrate, Phys. Status Solidi B, 2001, 228: 27

67 Bhuiyan A G, Yamamoto A, Hashimoto A and Ito Y, High temperature growth of InN on Gap (111) B substrate using a new two-step growth method, J. Cryst. Growth, 2002, 236: 59

68 Lu H, Schaff W J, Hwang J, Wu H, Koley G and Eastman L. Effect of an AlN buffer layer on the epitaxial growth of InN by molecular-beam epitaxy, Appl. Phys. Lett., 2001, 79: 1489

69 Chin An Chang, Chuan Feng Shih, Nai Chuan Chen, T. Y. Lin, Kou Shiun Liu. In-rich $In_{1-x}Ga_xN$ films by metalorganic vapor phase epitaxy. Appl. Phys. Lett., 2004, 85 (25):

613 ~ 6133

70 Lu H, Schaff W J, Hwang J, Wu H, Yeo W, Pharkya A and Eastman L. Improvement on epitaxial grown of InN by migration enhanced epitaxy. Appl. Phys. Lett., 2000, 77: 2548

71 Yamamoto A, Sugita K, Takatsuka H, Hashimoto A, Yu V. Davydo. Correlations between electrical and optical properties for OMVPE InN. J. Cyrst. Grow., 2004, 261: 275 ~ 279

72 Fiorentini V, Bernardini F, Ambacher O. Evidence for nonlinear macroscopic polarization in Ⅲ-V nitride alloy heterostructures. Appl. Phys. Lett., 2002, 80: 1204 ~ 1206

73 Ambacher O, Foutz B, Smart J, Shealy J R, Weimann N G, Chu K, Murphy M, Sierakowski A J, Schaff W J, Eastman L F, Dimitrov R, Mitchell A, Stutzmann M. Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaN/GaN heterostructures. J. Appl. Phys., 2000, 87 (1): 334 ~ 344

74 Monemar B, Pozina G. Group Ⅲ-nitride hetero and quantum structures. Progress in Quantum Electronics. 2000, 24: 239 ~ 290

75 Ibbetson J P, Fini P T, Ness K D, DenBaars S P, Speck J S and Mishra U K. Polarization effects, Surface states, and the source of electrons in AlGaN/GaN heterostructure field effect transistors. Appl. Phys. Lett. 2000, 77: 250 ~ 252

76 Koley G and Spencer M G. Surface potential measurements on GaN and AlGaN/GaN heterostructures by scanning Kelvin probe microscopy. J. Appl. Lett. 2001, 90: 337 ~ 344

77 Hsu L, Walukiewicz W. Effect of polarization fields on transport properties in AlGaN/GaN heterostructures. J. Appl. Phys., 2001, 89: 1783 ~ 1789

78 Frayssinet E, Knap W, Lorenzini P, Grandjean N, Massies J, Skierbiszewski C, Suski T, Grzegory I, Porowski S, Simin G, Hu X, Asif Khan M, Shur M S, Gaska R and Maude D. High electron mobility in AlGaN/GaN heterostructures grown on bulk GaN substrates. Appl. Phys. Lett., 2000, 77: 2551 ~ 2553

79 Zheng Z W, Shen B, Gui Y S, Jiang C P, Tang N, Zhang R, Shi Y, Zheng Y D, Guo S L, Zheng G Z, Chu J H, Someya T, Arakawa Y. Transport properties of two-dimensional electron gas in different subbands in triangular quantum wells at AlGaN/GaN heterointerfaces. Appl. Phys. Lett., 2003, 82: 1872 ~ 1874

80 Zhang Z W, Shen B, Gui Y S, Qiu Z J, Jiang C P, Tang N, Liu J, Chen D J, Zhou H M, Zhang R, Shi Y and Zheng Y D, Guo S L and Chu J H. K. Hoshino and Y. Arakawa. Enhancement and anisotropy of the Landau gfactor in modulation-doped $Al_{0.22}Ga_{0.78}N$/GaN heterostructures. J. Appl. Phys., 2004, 95: 2473 ~ 2476

81 Qiu Z J, Gui Y S, Lin T, Dai N, Chu J H, Tang N, Lu J and Shen B. Weak localization and magnetointersubband scattering effects in an $Al_xGa_{1-x}N$/GaN two-dimensional electron gas. PHYSCAL REVIEW B, 2004, 69: 125335 (1 ~ 4)

82 Liu C H, Su Y K, Wen T C, Chang S J, Chuang R W. Nitride-based green light emitting diodes grown by temperature ramping. J. Crystal Growth, 2003, 254: 336 ~ 341

83 Masayoshi Koike, Naoki Shibata, Hisaki Kato, and Yuji Takahashi. Development of High Efficiency GaN-Based Multiquantum-Well Light-Emitting Diodes and Their Applications. IEEE Journal on Selected Topics in Quantum Electronics, 2002, 8: 271 ~ 277

84 Chang S J, Lai W C, Su Y K, Senior Member, IEEE, Chen J F, Member, IEEE, Liu C H and Liaw U H. InGaN-GaN multiquantum-well blue and green light-emitting diodes. IEEE Journal on Selected Topics in Quantum Electronics, 2002, 8: 278 ~ 283

85 Harle Y, Hahn B, Lugauer H J, Bader S, Bruderl G, Baur J, Eisert D, Strauss U, Zehnder U, Lell A and N. Hiller. GaN-Based LEDs and Lasers on SiC. Phys. Stat. Sol. (a), 2000, 180: 5 ~ 13

86 Krames M R, Bhat J, Collins D, Gardner N F, Gotz W, Lowery C H, Ludowise M, Martin P S, Mueller G, Mueller-Mach R, Rudaz S, Steigerwald D A, Stockman S A and Wierer J J. High-Power Ⅲ-Nitride Emitters for Solid-State Lighting. Phys. Stat. Sol (a), 2002, 192: 237 ~ 245

87 Sotoodeh M, Khalid A H, and Rezazadeh A A. Empirical low-field mobility model for Ⅲ-Ⅴ compounds applicable in device simulation codes, J. Appl. Phys. 2000, 87: 2890 ~ 2900

88 Buda M, Jagadish C, Acket G A, Wolter J H. Waveguiding in InGaN/GaN/AlGaN blue laser structures. Optoelectronic and Microelectronic Materials and Devices, 2000, 438

89 TiSch U, Meyler B, Katz O, Finkman E. and Salzman J. Dependence of the refractive index of $Al_xGa_{1-x}N$ on temperature and composition at elevated temperatures. J. Appl. Phys., 2001, 89: 2676 ~ 2685

90 Herrmann E, Smowton P M, Summers H D, Thomson J D and Hopkinson M. Modal gain and internal optical mode loss of a quantum dot laser. Apl. Phys. Lett. 2000, 77: 163 ~ 165

91 Kimura Yoshinori, Ito Atsuya, Miyachi Mamoru, Takahashi Hirokazu, Watanabe Atsushi, Ota Hiroyuki, Ito Norikazu, Tanabe Tetsuhiro. Sonobe Masayuki and Chikuam Kiyofumi. Optical Gain and Optical Internal Loss of GaN-Based Laser Diodes Measured by Variable Stripe Length Method with Laser Processing. Jpn. J. Appl. Phys. 2001, 40: 1103 ~ 1105

92 Chang Jih-Yuan and Kuo Yen-Kuang. Simulation of blue InGaN quantum-well lasers. J. Appl. Phys. 2003, 93: 4992 ~ 4998

93 Bottcher T, Zellweger Ch, Figge S, Kroger R, Petter Ch, Buhlmann H-J, Ilegems M, Ryder P L and Hommel D. Realization of a GaN Laser Diode with Wet Etched Facets. Phys. stat. sol. (a) 2002, 191: R3 ~ R5

94 Piprek J and Nakamura S. Physics of high-power InGaN/GaN lasers. IEE Proc. Optoelectron., 2002, 149: 145 ~ 151

95 Goto Shu, Ohta Makoto, Yabuki Yoshifumi, Hoshina Yukio, Naganuma Kaori, Tamamura Koshi, Hashizu Toshihiro, and Ikeda Masao. Super high-power AlGaInN-based laser diodes with a single broad-area stripe emitter fabricated on a GaN substrate. phys. stat. sol. (a) 2003, 200: 122 ~ 125

96 Takeya M, Tojyo T, Asano T, Ikeda S, Mizuno T, Matsumoto O, Goto S, Yabuki Y, Uchida S and Ikeda M. High-Power AlGaInN Lasers. phys. stat. sol. (a) 2002, 192: 269 ~ 276

97 Asatsuma Tsunenori, Nakajima Hiroshi, Hashimoto Shigeki, Yamaguchi Kakashi, Yoshida Hiroshi, Tomiya Shigetaka, Asano Takeharu, Hino Tomonori, Ozawa Masafumi, Miyajima Takao, Kobayashi Toshimmasa, Ikeda Masao. Properties of GaN-based laser diodes with a buried-ridge structure. Journal of Crystal Growth 2000, 221: 640 ~ 645

98 Kuramoto Masaru, Kimura Akitaka, Sasaoka Chiaki, Arakida Takahiro, Nido Masaaki and Mizuta Masashi. Novel Ridge-Type InGaN Multiple-Quantum-Well Laser Diodes Fabricated by Selective Area Re-Growth on n-GaN Substrates. Jpn. J. Appl. Phys. 2001, 40: L925 ~ L927

99 Schweizer H, Graobeldinger H, Dumitru V, Jetter M, Bader S, Bruoderl G, Weimar A, Lell A and Haorle V. Laterally Coupled InGaN/GaN DFB Laser Diodes. phys. stat. sol. (a) 2002, 192: 301 ~ 307

100 ChO Jaehee, Cho S, Kim B J, Chae S, Sone C, Nam O H, Lee J W, Park Y and Kim T I. InGaN/GaN multi-quantum well distributed Bragg reflector laser diode. Appl. Phys. Lett. 2000, 76: 1489 ~ 1491

101 Park Si-Hyun, Kim Jaehoon and Jeon Heonsu, etc. Room-temperature GaN verical-cavity surface-emitting laser operation in an extended cavity scheme. Appl. Pyys Lett. 2003, 83: 2121 ~ 2123

102 Ishidaa A, Inoue Y, Nagasaw H, Sone N, Ishino K, Kim J J, Makino H, Yao T, Kan H, Fujiyasu H. [$(AlN)_1/(GaN)_n$ $]_m/$ $(AlN)_{n2}$-based quantum wells for quantum-cascade-laser application. Physica E 2004, 21: 765 ~ 769

103 Tureci H E, Rex N B, Schwefel H G L, Chang R K, Stone A d. Lasing emission from stable and unstable modes of deformed GaN microdisks Quantum Electronics and Laser Science Conference, 2002, USA

104 Monroy E, Omnès F, and Calle F. Wide-bandgap semiconductor ultraviolet photodetectors. Semicon, Sci. Technol., 2003, 18: 33 ~ 51

105 Yu E T and Manasreh M O. Ⅲ-V nitride semiconductors: applications & devices. New York: Taylor & Francis Books, Inc. 2003

106 Zhao Z M, Jiang R L, Chen P, XiD J, Luo Z Y, Chang R, Shen B, Chen Z Z and Zheng Y D. Metal-semiconductor-metal GaN ultraviolet photodetectors on Si (111). Appl. Phys. Lett. 2000, 77 (3): 444 ~ 446

107 Zhou J J, Jiang R L, Wen B, Liang L Y, Ji X L, Shen B, Zhang R, and Zheng Y D. Influence of AlGaN/GaN interface polarization fields on the properties of photoconductive detectors. J. Appl. Phys. 2004, 95 (10): 5925 ~ 5927

108 Monroy E, Calle F, Pau J L, Sánchez F J, Muñoz E, Omnès F, Beaumont B, and Gibart P. Analysis and modeling of $Al_xGa_{1-x}N$-based Schottky barrier photodiodes. J. Appl. Phys. 2000, 88 (4): 2081 ~ 2091

109 Biyikli N, Kartaloglu T, Aytur O, Kimukin I and Ozbay E. High-speed visible-blind GaN-based indium-tin-oxide Schottky photodiodes. Appl. Phys. Lett. 2001, 79 (17): 2838 ~ 2840

110 Kim J K, Jang H W, Chang M J and Lee J L. GaN metal-semiconductor-metal ultraviolet photodetector with IrO_2 Schottky contact. Appl. Phys. Lett., 2002, 81 (24): 4655 ~ 4657

111 Su Y K, Chang S J, Chen C H, Chen J F, Chi G C, Sheu J K, Lai W C and JM Tsai. GaN metal-semiconductor-metal ultraviolet sensors with various contact electrodes. IEEE Sensors Iournal, 2002, 2 (4): 366 ~ 371

112 Biyikli N, Aytur O, Kimukin I, Tut T and Ozbay E. Solar-blind AlGaN-based Schottky photodiodes with low noise and high detectivity. Appl. Phys. Lett., 2002, 81 (17): 3272 ~ 3274

113 Sandvik P, MiK, Shahedipour F, McClintock R, Yasan A, Kung P, Razeghi M. $Al_xGa_{1-x}N$ for solar-blind UV detectors. J. Crystal Growth, 2001, 231: 366 ~ 370

114 Collins C J, Chowdhury U, Wong M M, Yang B, Beck A L, Dupuis R D and Campbell J C. Improved solar-blind detectivity using an $Al_xG_{1-x}N$ heterojunction p-i-n photodiode. Appl. Phys. Lett., 2002, 80 (20): 3754 ~ 3756

115 Carrano J C, Lambert D J H, Eiting C J, Collins C J, Li T, Wan S, Yang B, Beck A L, Dupuis R D and Campbell J C. CaN avalanche photodiodes. Appl. Phys. Lett., 2000, 76 (7): 924 ~ 926

116 Verghese S, Mckintosh K S, Molnar R J, Mahoney L J, Aggarwal R L, Geis M W, Molvar K M, Duerr E K and Melngailis I. GaN avalanche photodiodes operating in linear-gain mode and Geiger mode. IEEE Trans. Electron. Devices, 2001, 48 (3): 502 ~ 511

117 Yonemaru M, Kikushi A and Kishino K. Improved responsivity of AlGaN-Based resonant cavity-enhanced UV photodetectors grown on sapphire by RF-MBE. Phys. Status Solidi a, 2002, 192 (2): 292 ~ 295

118 Long J P, Varadaraajan S, Matthews J and Scthetzina J F. UV detectors and focal plane array imagers based on AlGaN p-i-n photodiodes. Opto-electronics review, 2002, 10 (4): 251 ~ 260

119 Meada N, Tsubaki K, Saitoh T, Kobayashi N. High-temperature electron transport properties in AlGaN/GaN heterostructures. Appl. Phys. Lett.. 2001, 79: 1634 ~ 1636

120 Arulkumaran S, Egawa T, Ishikawa H, Jimbo T. High-temperature effects of AlGaN/GaN high-electron-mobility transistors on sapphire and semi-insulating SiC substrates. Appl. Phys. Lett., 2002, 80: 2186 ~ 2188

121 Lee J, Liu D, Kim H, Lu W. Postprocessing annealing effects on direct current and microwave performance of AlGaN/GaN high electron mobility transistor. Appl. Phys. Lett.. 2004, 85: 2631 ~ 2633

122 Miyoshia M, Ishikawa H, Egawab T, Asai K, Mouri M, Shibata T, Tanaka M, Oda O. High-electron-mobility AlGaN/AlN/GaN heterostructures grown on 100-mm-diam epitaxial AiN/sapphire templates by metalorganic vapor phse epitaxy. Appl. Phays. Lett., 2004, 85: 1710 ~ 1712

123 Miyoshi M, Sakai M, Arulkumaran S, Ishikawa H, Egawa T, Tanaka M, Oda O. Characterization of different-Al-content AlGaN/GaN heterostructures and high-electron-mobility transistors grown on 100-mm-diameter sapphire substrates by metalorganic vapor phase epitaxy. Jpn. J. Appl. Phys., 2004, 43: 7939 ~ 7943

124 Wu Y F, Saxler A, Moore M, Smith R P, Sheppard S, Chavarkar M, Wisleder T, Mishra U K, Parikh P. 30-W/mm GaN HEMTs by field plate optimizatio. IEEE Electron. Dev. Lett. 2004, 25: 117 ~ 119

125 Lee J, Liu D, Kim H and Lu W. Postprocessing annealing effects on direct current and microwave performance of AlGaN/GaN high electron mobility transisors. Appl. Phys. Lett. 2004, 85: 2631 ~ 2633

126 Akita M. High-frequency measurements of AlGaN/GaN HEMTs at high temperatures. IEEE Electron Device Letter, 2001, 22: 376 ~ 377

127 Kumakura K, Makimoto T, Kobayashi N. Common-emitter current-voltage characteristics of a Knp AlGaN/GaN heterojunction bipofar transistor with a low-resistance base layer.

Appl. Phys. Lett.. 2002, 80: 3841～3843
128 Xing H L, Chavarkar P M, Keller S, DenBaas S P, Mishra U K. Very high voltage operation (> 330 V) with high current gain of AlGaN/CaN HBTs. IEEE Electron. Dev. Lett. 2003, 24: 141～143
129 Makimoto T, Yamauchi Y, Kumakura K. High-power characteristics of GaN/InGaN double heterojunction bipolar transistors. Appl. Phys. Lett. 2004, 84: 1964～1966
130 Zhang A P, Johnson J W, Ren F, Han J, Polyakov A Y, Smirnov N B, Govorkov A V, Redwing J M, Lee K P, Peartona S J. Lateral $Al_xGa_{1-x}N$ power rectifiers with 9.7kV reverse breakdown voltage. Appl. Phys. Lett., 2001, 78: 823～825
131 Mittereder J A, Binari S C, Klein P B, Roussos J A, Kalzer D S, Storm D F, Koleske D D, Wickenden A E, Henry R L. Current collapse induced in AlGaN/GaN high-electron-mobility transistors by bias stress. Appl. Phys. Lett. 2003, 83: 1650～1652
132 Binari S C, Ikossi K, Roussos J A, Kruppa W, Park D, Dietrich H B, Koleske D D, Wickenden A E, Henry R L. Trapping effects and microwave power performance in AlGaN/GaN HEMTs. IEEE Trans. Electron Dev. 2001, 48: 465～471
133 Vetury R, Zheng N Q, Keller S, Mishra U K. The impact of surface states on the DC and RF characteristics of AlGaN/GaN HFETs. IEEE Trans. Electron Dev. 2001, 48: 560～566
134 Simin G, Koudymov A, Tarakji A, Hu X, Yang J, Khan M K. Induced strain mechanism of current collapse in AlGaN/GaN heterostructure field-effect transistors. Appl. Phys. Lett. 2001, 79: 2651～2653
135 Shen X Q, Matsuhara H, Okumura H. Reduction of the threading dislocation density in GaN films grown on vicinal sapphire (0001) substrates. Appl. Phys. Lett. 2005, 86: 021912
136 Keller S, Parish G, Fini P T, Heikman S, Chen C H, Zhang N, DenBaas S P, Mishra U K. Metalorganic chemical vapor deposition of high mobility AlGaN/GaN heterostructures. J. Appl. Phys. 2003, 86: 5850～5857
137 Zheng Z W, Shen B, Zhang R, Gui Y S, Jiang C P, Ma Z X, Zheng G Z, Shi Y, Han P, Zheng Y D, Someya T, Arakawa Y. Occupation of the double subbands by the two-dimensional electron gas in the triangular quantum well at $Al_xGa_{1-x}N$/GaN heterostructures. Phys. Rev. B. 2000, 62: R7739～R7742
138 Tang N, Shen B, Zheng Z W, Liu J, Chen D J, Lu J, Zhang R, Shi Y, Zheng Y D, Guo S L, Zheng G Z, Chu J H, Someya T, Arakawa Y. Magnetoresistance oscillations induced byintersubband scattering of two-dimensional electron gas in $Al_{0.22}Ga_{0.78}N$/GaN heterostructures. J. Appl. Phys. 2003, 94: 5420～5422
139 Lu J, Shen B, Tang N, Chen D J, Zhang R, Shi Y, Zheng Y D, Qiu Z J, Guo S L, Chu J H, Someya T, Arakawa Y. Weak anti-localization of the two-dimensional electron gas in modulation-doped $Al_xGa_{1-x}N$/GaN heterostructures with two subbands occupation. Appl. Phys. Lett. 2004, 85: 3125～3127
140 Bright A N, Thomas P J, Weyland M, Tricker D M, humphreys C J. Correlation of contact resistance with microstructure for Au/Ni/Al/Ti/AlGaN/GaN ohmic contacts using transmission electron microscopy. J. Appl. Appl. Phys. 2001, 89: 3143～3150
141 Gunter M M, Bems B, Schlogl R et al. In situ studies on the structure of copper oxide/zinc oxide catalysts. J. Synchrot. Radiat., 2001, 8: 619～625
142 Zhang C C, Zhou D X, Lu W Z et al. Microstructure and properties of low-voltage ZnO varistor ceramics. J. Mater. Sci. -Mater. Electron., 2001, 12: 357～360
143 Emanetoglu N W, Patounakis G, Liang S H, et al. Analysis of SAW properties of epitaxial ZnO films grown on R-Al2O3 substrates. IEEE Trans. Ultrason. Ferroelectr. Freq. Control, 2001, 48: 1389
144 Lee J B, Lee H J, Seo S H et al. Characterization of undoped and Cu-doped ZnO films for surface acoustic wave applications. Thin Solid Films, 2001, 398: 641～645
145 Carcia P F, McLean R S, Reilly M H et al. Transparent ZnO thin-film transistor fabricated by rf magnetron sputtering, Appl. Phys. Lett., 2003, 82: 1117～1119
146 Hoffman R L, Norris B J, Wager J F et al. ZnO-based transparent thin-film transistors. Appl. Phys. Lett., 2003, 82: 733～735
147 Ling Z, Leach C, Freer R. Heterojunction gas sensors for environmental NO_2 and CO_2 monitoring. J. European. Ceram. Soc., 2001, 21: 1977～1980
148 Ashrafi A B M A, Suemune I, Kuamano H et al. Nitrogen-doped p-type ZnO layers prepared with H_2O vapor-assisted metalorganic molecular-beam epitaxy. Jpn. J. Appl. Phys., 2002, 41: L1281～1283
149 Look D, Reynolds D C, Litton C W et al. Characterization of homoepitaxial p-type ZnO grown by molecular beam epitaxy. Appl. Phys. Lett., 2002, 81: 1830～1832
150 Li X, Yan Y, Gessert T A et al. Chemical vapor deposition-formed p-type ZnO thin films. J. Vac. Sci. Technol. A, 2003, 21: 1342～1346
151 Wang J, Du G, et al. Epitaxial growth of NH_3-doped ZnO thin films on (0224) oriented sapphire substrates. J. Cryst. Growth, 2003, 255: 293～298
152 Look D C. Recent advances in ZnO materials and devices. Mater. Sci. Eng. B. 2001, 80: 383～389
153 Park W I and Yi G C. Photoluminescent properties of ZnO thin films grown on SiO_2/Si (100) by metal-organic chemical vapor deposition. J. Electron. Mater., 2001, 30: L32～35
154 Georgobiani A N, Kotljarevsky M B, Kidalov V V et al. p-Type Ⅱ-Ⅵ compounds doped by rare-earth elements. J. Cryst. Growth, 2000, 214～215: 516～519
155 Joseph M, Tabata H, Saeki H et al. Fabrication of the low-resistive p-type ZnO by codoping method. Physica B, 2001, 302: 140～146
156 Ryu Y R, Kim W J, et al. Fabrication of homostructural ZnO p-n junctions. J. Cryst. Growth, 2000, 216: 419－424
157 Y. R. Ryu, S. Zhu. Synthesis of p-type ZnO films. J. Cryst. Growth, 2000, 216: 330～334
158 Guo X, Tabata H. Pulsed laser reactive deposition of p-type ZnO film enhanced by an electron cyclotron resonance source. J. Cryst. Growth, 2001, 223: 135～138
159 Aoki T, Shimizu Y, Miyake A et al. p-type ZnO layer formation by excimer laser doping. phys. sta. sol. (b),

2002: 229, 911 ~ 915
160 Look D C, Clafin B. P-type doping and devices based on ZnO. phys. stat. sol. (b), 2004, 241: 624 ~ 629
161 Ohta H, Kawamura K, Orita M et al. Current injection emission from a transparent p-n junction composed of p – $SrCu_2O_2$/n-ZnO. Appl. Phys. Lett., 2002, 77: 475 ~ 477
162 Aoki T, Hatanaka Y, Look D C et al. ZnO diode fabricated by excimer-laser doping. Appl. Phys. Lett., 2000, 76: 3257 ~ 3259
163 Shi G A, Saboktakin M, stavola M et al. "Hidden hydrogen" in as-grown ZnO. Appl. Phys. Lett., 2004, 85: 5601 ~ 5603
164 Theys B, Sallet V, Jomard F et al. Effects of intentionally introduced hydrogen on the electrical properties of ZnO layers grown by metalorganic chemical vapor deposition. J. Appl. Phys., 2002, 91: 3922 ~ 3924
165 Fons P, Iwata K, NiKi S et al. Growth of high-quality epitaxial ZnO films on α-Al2O3. J. Cryst. Growth, 2001, 201 ~ 202: 627 ~ 630
166 Chen Y, Ko H, Hong S et al. Layer-by-layer growth of ZnO epilayer on Al_2O_3 (0001) by using a MgO buffer layer. Appl. Phys. Lett., 2000, 76: 559 ~ 561
167 Wenisch H, Kirchner V, Hong S K et al. Evaluation of ZnO substrates for homoepitaxy. J. Cryst. Growth, 2001, 227 ~ 228: 944 ~ 949
168 Ohshima E, Ogino H. Growth of the 2-in-size bulk ZnO single crystals by the hydrothermal method. J. Cryst. Growth, 2004, 260: 166 ~ 171
169 Oka K, Shibata H, Kashiwaya S. Crystal growth of ZnO. J. Crystal Growth, 2002, 237 ~ 239: 5 ~ 11
170 Ohashi N, Sekiguchi T, Aoyama K et al. Band-edge emission of undoped and doped ZnO single crystals at room temperature. J. Appl. Phys., 2002, 91: 3658 ~ 3663
171 Sekiguchi T, Miyashita S, Obara K et al. Hydrothermal growth of ZnO single crystals and their opical characterization. J. Cryst. Growth, 2001, 214 ~ 215: 72 ~ 76
172 Sakagami N, Yamashita M, Sekiguchi T et al. Variation of electrical properties on growth sectors of ZnO Single crystals. J. Cryst. Growth, 2001, 229: 98 ~ 102
173 Lioudmila N. DEMIANETS, Dmitriy V. KOSTOMAROV, Methanismof Zinc Oxide single crystal growth under hydrothermal conditions. Ann. Chim. Scl. Mat., 2001, 26
174 Wenisch H, Kirchner V, Hong S K et al. Evalution of ZnO Substrates for homoepitaxy. J. Cryst. Growth, 2001, 227: 944 ~ 949
175 Minemoto T, Negami T, Nishiwaki S et al. Preparation of $Zn_{1-x}Mg_xO$ films by radio frequency magnetron sputtering. Thin Solid Films, 2000, 372: 173 ~ 176
176 Yousfi E I B, Fouache J, Lincot d et al. Study of atomic layer epitaxy of zinc oxide by in-situ quartz crystal microgravimetry. Appl. Surf. Sci., 2000, 153: 223 ~ 234
177 Takahashi N, Kazuhiko K, Omichi K et al. Atmospheric pressure vaopr-phase growth of ZnO using a chloride source. J. Cryst. Growth, 2000, 209: 822 ~ 827
178 Kaiya K, Omichi K, Takahashi N et al. Epitaxial growth of ZnO thin films exhibiting room-temperature ultraviolet emission by atmospheric pressure chemical vapor deposition. Thin Solid Films, 2002, 409: 116 ~ 119
179 Zhang B P, Segawa Y, Wakatsuki K et al. Structural and optical properties of ZnO films grown on R-Al_2O_3 substrates. App. phys Lett., 2001, 79: 3953 ~ 3955
180 Bian J M, Li X M, Gao X D et al. Deposition and electrical properties of n-In codoped p-type ZnO films by ultrasonic spray pyrolysis. Appl. Phys. Lett., 2004, 84: 541 ~ 543
181 Bian J M, Li X M, Zhang C Y et al. Synthesis and characterization of two-layer-structured ZnO p-n homojunctions by ultrasonic spray pyrolysis. Appl. Phys. Lett., 2004, 84: 3783 ~ 3785
182 Kim S K, Kim S, Lee C H et al. The structural and optical behaviors of K-doped ZnO/Al2O3 (0001) films. Appl. Phys. Lett., 2004, 85: 419 ~ 421
183 Chen Y, Ko H, Hong S et al. Two-dimensional growth of ZnO films on sapphire (0001) with buffer layers. J. Cryst. Growth, 2000, 214 ~ 215: 87 ~ 91
184 Jung Y S, No Y S, Kim J K et al. The effect of ZnO homo-buffer layer on ZnO thin films grown on c – Al_2O_3 (0001) by plasma assisted molecular beam epitaxy. J. Cryst. Growth, 2004, 267: 85 ~ 91
185 Chen Y, Ko H, Hong S et al. Evaluation of ZnO substrates for homoepitaxy. J. Cryst. Growth, 2001, 227 ~ 228: 944 ~ 949
186 Fujita M, Kawamoto N, Sasajima M. Molecular beam epitaxy growth of ZnO using initial Zn layer and MgO buffer layer on Si (111) substrates. J. Vac. Sci. Technol. B, 2004, 22: 1484 ~ 1488
187 Hong S, Chen Y, Ko H et al. A challenge in molecular beam epitaxy of ZnO: control of material properties by interface engineering. Thin Solid Films, 2002, 409: 153 ~ 160
188 Ashrafi A B M, Zhang B P, Binh N T et al. High-Quality ZnO Layers Grown on 6H-SiC Substrates by Metalorganic Chemical Vapor Deposition. Jpn. J. Appl. phys., 2004, 43: 1114 ~ 1117
189 Tsukazaki A, Ohtomo A, Yoshida S et al. Layer-by-layer growth of high-optical-quality ZnO film on atomically smooth and lattice relaxed ZnO buffer layer. Appl. Phys. Lett., 2003: 832784 ~ 2786
190 Ogata K, Kawanishi T, Maejima K et al. Improvements of ZnO qualities grown by metal-organic vapor phase epitaxy using a molecular beam epitaxy grown ZnO layer as a substrate. Jpn. J. Appl. Phys., 2001, 40: L657 ~ 660
191 Zhu S, Su C H, Lehoczky S L et al. Polarity effects of substrate surface in homoepitaxial ZnO film growth. J. Cryst. Growth, 2000, 219: 361 ~ 367
192 Oleynik N, Dadgar A, Blasing J et al. Metal organic vapor phse epitaxy of ZnO on GaN-Si (111) using tertiary-butanol as O-precursor. Jpn. J. Appl. Phys., 2003, 42: 7474 ~ 7479
193 Chen Y, Hong S, Ko H et al. Effects of an extremely thin buffer on heteroepitaxy with large lattice mismatch. Appl. Phys. Lett., 2001, 78: 3352 ~ 3354
194 Chen Y, Ko H, Hong S et al. Morphology evolution of ZnO (000 – 1) surface during plasma-assisted molecular-beam epitaxy. Appl. Phys. Lett., 2002, 80: 1538 ~ 1540
195 Du X L, Murakami M, Iwaki H et al. Epitaxial growth and polarity of ZnO films on sapphire (0001) substrates by low-pressure metal organic chemical vapor deposition. Jpn. J. Appl. Phys., 2003, 42: 2291 ~ 2295
196 Ashrafi A B M, Ueta A, Avramescu A. Growth and charac-

terization of hypothetical zinc-blende ZnO films on GaAs (001) substrates with ZnS buffer layers. Appl. Phys. Lett., 2000, 76: 550 ~ 552

197 Kaiya K, Omichi K, Takahashi N et al. Growth of a high quality ZnO film on sapphire by atmospheric pressure halite vapor phase epitaxy using ZnO buffer layers. J. Mater. Chem., 2000, 10 (4): 969 ~ 972

198 Kato H, Miyamoto K, Sano M et al. Polarity control of ZnO on sapphire by varying the MgO buffer layer thickness. Appl. Phys. Lett., 2004, 84: 4562 ~ 4564

199 Setiawan A, Ko H, Yao T et al. Effects of annealing of MgO buffer layer on structural quality of ZnO layers grown by P-MBE on c-sapphire. Mater. Sci. Semicond. Proc., 2003, 6: 371 ~ 374

200 Ohtomo A, Kimura H, Saito K et al. Lateral grain size and electron mobility in ZnO epitaxial films grown on sapphire substrates. j. Cryst. Growth, 2000, 214 ~ 215: 284 ~ 288

201 Murphy T E, Walavakar S, Philips J D et al. Epitaxial growth and surface modeling of ZnO on c-plane Al_2O_3. Appl. Phys. Lett., 2004, 85: 6338 ~ 6340

202 Setiawan A, Vashaei Z, Cho M W et al. Characteristics of dislocations in ZnO layers grown by plasma-assisted molecular beam epitaxy under different Zn-O flux ratios. J. Appl. Phys., 2004, 96: 3763 ~ 3769

203 LooK D C, Claflin B, Alivov Y I et al. The future of ZnO light emtters. phys. stat. sol. (a), 2004, 201 (10): 2203 ~ 2212

204 Oh B Y, Jeong M C, Lee W et al. Properties of transparent conductive ZnO : Al films by co-sputtering. J. Cryst. Growth, 2005,274:453 ~ 457

205 Chen M, Pei Z L, Wang X et al. Structural, electrical, and optical properties of transparent oxide ZnO: Al films prepared by dc magnetron reactive sputtering. J. Vac. Sci. Technol. A, 2001, 19: 963 ~ 970

206 Maity R, Kundoo S, Chattopadhyay K K et al. Electrical characterization and Poole-Frenkel effect in sol-gel derived ZnO: Al thin films. Solar Energy Materials Solar Cells, 2005, 86 (2): 217 ~ 227

207 Hur T B, Hwang Y H, Kim H K et al. Impurity band characteristics near the band edge of Al-doped ZnO. J. Appl. Phys., 2004, 96 (3): 1507 ~ 1510

208 VSingh A, Mehra R M, Yoshida A et al. Doping mechanism in aluminum doped zinc oxide films. J. Appl. Phgvs., 2004, 95:3640 ~ 3643

209 Ko H J, Chen Y F, Hong S K et al. Ca-doped ZnO films grown on GaN templates by plasma-assisted molecular beam epitaxy. Appl. Phys. Lett. 2000, 77:3761 ~ 3763

210 Zhong J, Muthukumar S, Chen Y et at. Ga-doped ZnO Single-crystal nanotips grown on fused silica by metalorganic chemical vapor deposition. Appl. Phys. Lett., 2003, 83: 3401 ~ 3403

211 Makino T, Segawa Y, Yoshida S et al. Gallium concentration depecdence of room-temperature near-band-edge luminescence in n-type ZnO: Ga. Appl. Phys. Lett., 2004, 85: 759 ~ 761

212 Cohen D J, Ruthe K C and Barnett S A. Transparent conducting $Zn_{1-x}Mg_xO$: (Al, In) thin films. J. Appl. Phys., 2004, 96: 459 ~ 467

213 Hagiwara Y, Nakada T, Kunioka A. Improved J (sc) in CIGS thin film solar cells using a transparent conducting ZnO: B window layer. Solar Energy Materials and Solar Cells, 2001, 67 (1 ~ 4): 267 ~ 271

214 Ivill M, Pearton S J, Norton D P et al. Magnetization dependence on electron density in epitaxial ZnO thin films codoped with Mn and Sn. J. Appl. Phys., 2005, 97: 053904 ~ 053908

215 Nagata T, Shimura T, Nakano Y et al. Ferroelectricity Li-doped ZnO: X thin films and their application in optical switching devices. Jpn. J. Appl. Phys., 2001, 40: 5615 ~ 5618

216 Park C H, Zhang S B, Huai W S. Origin of p-type doping difficulty in ZnO: The impurity perspective. Phys. Rev. B, 2002, 66: 073202 ~ 073204

217 Garces N Y, Giles N C, Halliburton L E et al. Production of nitrogen acceptors in ZnO by thermal annealing. Appl. Phys. Lett., 2002, 80: 1334 ~ 1336

218 Yan Y, Zhang S B, Pantelides S T. Control of Doping by Impurity Chemical Potentials: Predicions for p-Type ZnO. Phys. Rev. Lett., 2001, 86: 5723 ~ 5726

219 Kim K K, Km D H S, Hwang K et al. Realization of p-type ZnO thin films via phosphorus doping and thermal activation of the dopant. Appl. Phys. Lett., 2003, 83: 63 ~ 65

220 Heo Y W, Park S J, Ip K et al. Transport properties of phosphorus-doped ZnO thin films. Appl. Phys. Lett., 2003, 83: 1128 ~ 1130

221 Joseph M, Tabata H, Saeki H et al. Fabrication of the low-resistive p-type ZnO by codoping method. Physica B, 2001, 302 ~ 303, 140 ~ 148

222 Yamamoto T. Codoping for the fabrication of p-type ZnO. Thin Solid Films, 2002, 420: 100 ~ 106

223 Heo Y W, Kwon Y W, Li Y et al. p-type behavior in phosphorus-doped (Zn, Mg) O device structures. Appl. Phys. Lett., 2004, 84: 3474 ~ 3476

224 Ma Y, Du G T, Yang S R et al. Control of conductivity type in undoped ZnO thin films grown by metalorganic vapor phase epitaxy. J. Appl. Phy., 2004, 95: 6268 ~ 6272

225 Rommeluere J F, Svob L, Arroyo J M et al. Nitrogen doping and p-type conductivity of ZnO films grown by vapor phase epitaxy. Proc. SPIE Int. Soc. Opt. Eng., 2004, 279: 5359 ~ 5362

226 Lin C C, Chen S Y, Cheng S Y et al. Properties of nitrogen-implanted p-type ZnO films grown on Si_3N_4/Si by radio-frequency magnetron sputtering. Appl. Phys. Lett., 2004, 84: 5040 ~ 5042

227 Lu J G, Ye Z Z, Zhuge F et al. p-type conduction in N-Al co-doped ZnO thin films. Appl. Phys. Lett., 2004, 85: 3134 ~ 3136

228 Bian J M, Li X M, Zhang C Y et al. p-type ZnO films by monodoping of nitrogen and ZnO-based p-n homojunctions. Appl. Phys. Lett., 2004, 85: 4070 ~ 4072

229 Look D C, Renlund G M, Burgener R H et al. As-doped p-type ZnO produced by an evaporation and sputtering process. Appl. Phys. Lett., 2004, 85: 5269 ~ 5271

230 Vaithianathan V, Lee B T, Kim S S et al. Preparation of As-doped p-type ZnO films using a Zn_3As_2/ZnO target with pulsed laser deposition. Appl. Phys. Lett., 2005, 86: 062101 ~ 062103

231 Ohashi N, Ishigaki T, Okada N et al. Effect of hydrogen

doping on ultraviolet emission spectra of various types of ZnO. Appl. Phys. Lett., 2002, 80: 2869~2871

232 Lee E C, Kim Y S, Jin Y G et al. Compensation mechanism for N acceptors in ZnO. Phys. Rev. B, 2001, 64: 085120~085124

233 Zhang S B, Wei S H, Zunger A. Intrinsic n-type versus p-type doping asymmetry and the defect physics of ZnO. Phys. Rev. B, 2001, 63: 075205~075211

234 Ashkenov N, Mbenkum B N, Bundesmann C et al. Infrared dielectric functions and phonon modes of high-quality ZnO films. J. Appl. Phys., 2003, 93: 126~133

235 Decremps F, Pellicer-Porres J, Saitta A M, et al. High-pressure Raman spectroscopy study of wurtzite ZnO. Phys. Rev. B, 2002, 65: 092101~092104

236 Chen Y F, Tuan N T, Segawa Y et al. Biexciton emission from $ZnO/Zn_{0.74}Mg_{0.26}O$ multiquantum wells. Appl. Phys. Lett., 2001, 78: 3385~3387

237 Reynolds D C, Look D C, Jogai B. Combined effects of screening and band gap renormalization on the energy of optical transitions in ZnO and GaN. J. Appl. Phys., 2000, 88: 5760~5763

238 Sun H D, Makino T, Segawa Y et al. Enhancement of exciton binding energies in ZnO/ZnMgO multiquantum wells. J. Appl. Phys., 2002, 91: 1993~1997

239 Makino T, Tamura K, Chia C K et al. Size dependence of exciton-longitudinal-optical-phonon coupling in $ZnO/Mg_{0.27}Zn_{0.73}O$ quantum wells. Phys. Rev. B. 2002, 66: 233305~233308

240 Makino T, Tamura K, Chia C H et al. Radiative recombination of electron-hole pairs spatially separated due to quantum-confined Stark and Franz-Keldish effects in $ZnO/Mg_{0.27}Zn_{0.73}O$ quantum wells. Appl. Phys. Lett., 2002, 81: 2355~2357

241 Sun H D, Segawa Y, Kawasaki M et al. Phonon replicas in ZnO/ZnMgO multiquantum wells. J. Appl. Phys., 2002, 91: 6457~6460

242 Chia C H, Makino T, Segawa Y et al. Well-width dependence of radiative and nonradiative recombination times in $ZnO/Mg_{0.12}Zn_{0.88}O$ multiple quantum wells. J. Appl. Phys., 2001., 2001, 90: 3650~3652

243 Makino T, Chia C H, Tuan N et al. Radiative and nonradiative recombination processes in lattice-matched (Cd, Zn) O/(Mg, Zn) O multiquantum wells. Appl. Phys. Lett., 2000, 77: 1632~1634

244 Sun H D, Makino T, Tuan N, et al. Temperature dependence of excitonic absorption spectra in $ZnO/Zn_{0.88}Mg_{0.12}O$ multiquantum wells grown on lattice-matched substrates. Appl. Phys. Lett., 2001, 78: 2464~2466

245 Coli G, Bajaj K K. Excitoninc transitions in ZnO/MgZnO quantum well heterostructures. Appl. Phys. Lett., 2001, 78: 2861~2863

246 Wu X L, Siu G G, Fu C L et al. Photoluminescence and cathodoluminescence studies of stoichiometric and oxygen-deficient ZnO films. Appl. Phys. Lett., 2001, 78: 2285~2287

247 Gaspar C, Costa F, Monteiro T. Optical characterization of ZnO. J. Mater Sci-Mater EL, 2001, 12: 268~271

248 van Dijken A, Meulenkamp E A, Vanmaekelbergh D et al. Identification of the transition responsible for the visible emission in ZnO using quantum size effects. J. Lumin., 2000, 90: 123~128

249 Reynolds D C, Look D C, Jogai B. Fine structure on the green band in ZnO. J. Appl. Phys., 2001, 89: 6189~6191

250 Guo B, Ye H, Qiu Z R et al. Near band-edge and mid-gap photoluminescence of a ZnO thin film grown on a (001) silicon substrate. Chin. Phys. Lett., 2003, 20: 1571~1573

251 Jeong S H, Kim B S, Lee B K. Photoluminescence dependence of ZnO films grown on Si (100) by radio-frequency magnetron sputtering on the growth ambient. Appl. Phys. Lett., 2003, 82: 2625~2627

252 Xu P S, Sun Y M, Shi C S et al. Native point defect states in ZnO. Chin. Phys. Lett., 2001: 18, 1252~1253

253 Ohashi N, Ebisawa N, Sekiguchi T I et al. Yellowish-white luminescence in codoped zinc oxide. Appl. Phys. Lett., 2005, 86: 091902~091904

254 Panwar B S. Characteristics of surface acoustic wave convolver in the monolithic metal-zinc oxide-silicon nitride-silicon dioxide-silicon structure. Appl. Phys. Lett., 2002, 80: 1832~1834

255 Makino T, Segawa Y, Kawasaki M et al. Band gap engineering based on $Mg_xZn_{1-x}O$ and $Cd_yZn_{1-y}O$ ternary alloy films. Appl. Phys. Lett., 2001, 78: 1237~1239

256 Choopun S, Vispute R D, Yang W et al. Realization of band gap above 5.0 eV in metastable cubic-phase $Mg_xZn_{1-x}O$ alloy films. Appl. Phys. Lett., 2002, 80: 1529~1531

257 Narayan J, Sharma A K, Kvit A et al. Novel cubic $Zn_xMg_{1-x}O$ epitaxial hetero structures on Si (100) substrates. Solid State Commun., 2002, 121: 9~14

258 Katayama J, Ito K, Matsuoka M et al. Performance of Cu_2O/ZnO solar cell prepared by two-step electrodeposition. J. Appl. Electrochem., 2004, 34 (7): 687~692

259 Rode K, Anane A, Mattana R et al. Magnetic semiconductors based on cobalt substituted ZnO. J. Appl. Phys., 2003, 93: 7676~7680

260 Norton D P, Pearton S J, Hebard A F etl al. Ferromagnetism in Mn-implanted ZnO:Sn single crystals. Appl. Phys. Lett., 2003, 82: 239~241

261 Pearton S J, Norton D P, Ip K, et al. Recent advances in processing of ZnO. J. Vac. Sci. Technol. B, 2004, 22: 932~948

262 Ohta H, Orita M, Hirano M et al. Fabrication and characterization of ultraviolet-emitting diodes composed of transparent p-n heterojunction. J. Appl. Phys., 2001, 89 (10): 5720~5725

263 Hosono H, Ohta H, Hayashi K et al. Near-UV emitting diodes based on a transparent p-n Junction composed of heteroepitaxially grown p-$SrCu_2O_2$ and n-ZnO. J. Cryst. Growth, 2002, 237: 496~502

264 Alivov Y I, Nostrand J E V, Look D L et al. Observation of 430 nm electroluminescence from ZnO/GaN heterojunction light-emitting diodes. Appl. Phys. Lett., 2003, 83 (14): 2943~2945

265 Lee J M, Chang K M, Kim K K et al. Dry etching of ZnO using an inductively coupled plasma. J. Electrochem. Soc., 2001, 148 (1): G1~G3

266 Lee J M, Kim K K, Park S J et al. Low-resistance and nonalloyed ohmic contacts to plasma treated ZnO. Appl. Phys.

Lett., 2001, 78 (24): 3842~3844

267 Lim W T, Baek I K, Lee J W et al. Temperature-dependent C_{1-2}/Ar plasm etching of bulk single-crystal ZnO. Appl. Phys. Lett., 2003, 83 (15): 3105~3107

268 Kim H K, Bae J W, Kim T L et al. Inductively coupled plasma reactive ion etching of ZnO using BC13-based plasmas. J. Vac. Sci. Technol. B. 2003, 21 (4): 1273~1277

269 Ip K, Baik K H, Overberg M E et al. Effect of high-denstity plasma etching on the optical properties and surface stoichiometry of ZnO. Appl. Phys. Lett., 2002, 81 (19): 3546~3548

270 Pearton S J, Norton D P, Ip K et al. Recent progress in processing and properties of ZnO. Prog. Mater. Sci., 2005, 50: 293~340

271 Iliadis A A, Vispute R D, Venkatesan T et al. Ohmic metallization technology for wide band-gap semiconductors. Thin solid Films, 2002, 420: 478~486

272 Inumpudi A, Iliadis A A, Krishnamoorthy S et al. Pt-Ga Ohmic contacts to n-ZnO using focued ion beams. Solid State Electro., 2002, 46 (10): 1665~1668

273 Kim H K, Han S H, Seong T Y et al. Low-resistance Ti/Au ohmic contacts to Al-doped ZnO layers. Appl. Phys. Lett., 2000, 77 (11): 1647~1649

274 Kim H K, Han S H, Seong T Y et al. Electrical and structural properties of Ti/Au ohmic contactrs to n-ZnO. J Electrochem. Soc., 2001, 148 (3): G114~G117

275 Akane T, Sugioka K, Midorikawa K. Nonalloy Ohmic contact fabrication in a hydrothermally grown n-ZnO (0001) substrate by KrF excimer laser irradiation. J. Vac. Sci. Technol. B. 2000, 18 (3): 1406~1408

276 Sheng H, Emanetoglu N W, Muthukumar S et al. Nonalloyed Al ohmic contacts to $Mg_xZn_{1-x}O$. J. Electro. Mater., 2002, 31 (7): 811~814

277 Kim S Y, Jang H W, Kim J K et al. Low-resistance Ti/Al ohmic contact on undoped ZnO. J. Electro. Mater., 2002, 31 (8): 868~871

278 Ohashi N, Tanaka J, Ohgaki T et al. Isothermal capacitance transient spectroscopy for deep levels in Co-and Mn-doped ZnO single crystals. J. Mater. Res., 2002, 17 (6): 1529~1535

279 Sheng H, Muthukumar S, Emanetoglu N W et al. Schottky diode with Ag on (11—20) epitaxial ZnO film. Appl. Phys. Lett., 2002, 80 (12): 2132~2134

280 Auret F D, Goodman S A, Hayes M et al. Electrical characterization of 1.8 MeV proton-bombarded ZnO. Appl. Phys. Lett., 2001, 79 (19): 3074~3076

281 Coppa B J, Davis R F, Nemanich R J. Gold Schottky contacts on oxygen plasma-treated, n-type ZnO (000-1). Appl. Phys. Lett., 2003, 82 (3): 400~402

282 Polyakov A Y, Smirnov N B, Kozhukhova E A et al. Properties of Au and Ag Schottky diodes prepared on undoped n-ZnO. J. Vac. Sci. Technol. A, 2003, 21 (5): 1603~1608

283 Polyakov A Y, Smirnov N B, Kozhukhova E A et al. Electrical characteristics of Au and Ag Schottky contacts on n-ZnO. Appl. Phys. Lett., 2003, 83 (8): 1575~1577

284 Kurimoto M, Ashrafi A B M A, Ebihara M et al. Formation of ohmic contacts to p-type ZnO. phys. stat. sol. (b), 2004, 241 (3): 635~639

285 Akasaki I. Progress in crystal growth of nitride semiconductors. J. Cryst. Growth, 2000, 221: 231~239

286 Han J, Nurmikko A V. Advances in AlGaInN blue and ultraviolet light emitters. IEEE J. Selected Topics in Quant. Electron., 2002, 8 (2): 289~297

287 Huang Y Q, Liu M D, Zeng Y K et al. Progress of study on ZnO thin film and its properties. J. Inorg. Mater., 2001, 16 (3): 391~397

288 Mohney S E, Hull B A, Lin J Y et al. Morphological study of the Al-Ti ohmic contact to p-type SiC. Solid-state Electron., 2002, 46 (5): 689~693

289 Crofton J, Mohney S E, Williams J R et al. Finding the optimum Al-Ti alloy composition for use as an ohmic contact to p-type SiC. Solid-state Electron., 2002, 46 (1): 109~113

290 Heera V, Madhusoodanan K N, Mucklich A et al. Low-resistivity, p-type SiC layers produced by Al implantation and ion-beam-induced crystallization. Appl. Phys. Lett., 2002, 81 (1): 70~72

291 Hwang D K, Bang K H, Jeong M C et al. Effects of RF power variation on properties of ZnO thin films and electrical properties of p-n homojunction. J. Cryst. Growth, 2003, 254 (3~4): 449~455

292 Ryu Y R, Lee T S, Leem J H et al. Fabrication of homostructural ZnO p-n junctions and ohmic contacts to arsenic-doped p-type ZnO. Appl. Phys. Lett., 2003, 83 (19): 4032~4034

293 Alivov Y I, Kaliniana E V, Cherenkov A E et al. Fabrication and characterization of n-ZnO/p-AlGaN heterojunction light-emitting diodes on 6H-SiC substrates. Appl. Phys. Lett., 2003, 83: 4719~4721

294 Ohta H, Hirano M, Nakahara K et al. Fabrication and photoresponse of a pn-heterojunction diode composed of transparent oxide semiconductors, p-NiO and n-ZnO. Appl. Phys. Lett., 2003, 83 (5): 1029~1031

295 Wang C, Yang G. Zhang T et al. Fabrication of transparent p-n hetero-junction diodes by p-diamond film and n-ZnO film. Diamond and Related Materials, 2003, 12 (9): 1548~1552

296 Nikitin S E, Nikolaev Y A, Polushina I K et al. Photoelectric phenomena in ZnO: Al-p-Si heterostructures. Semicond., 2003, 37 (11): 1291~1295

297 Ip K, Heo Y W, Norton D P et al. ZnO.9mgO.1O/ZnO p-n junctions grown by pulsed-laser deposition. Appl. Phys. Lett., 2004, 85 (7): 1169~1171

298 Konenkamp R, Word Robert C, Schlegel C et al. Vertical nanowire light-emitting diode. Appl. Phys. Lett., 2004, 85 (24): 6004~6006

299 Osinsky A, Dong J W, Kauser M Z et al. MgZnO/AlGaN heterostructure light-emitting diodes. Appl. Phys. Lett., 2004, 85 (19): 4272~4274

300 Tsukazaki A, Ohtomo A, Onuma T, et al. Repeated temperature modulation epitaxy for p-type doping and light-emitting diode based on ZnO. Naturue Materials. 2005, 4: 42~46

301 Tsukazaki A, Kubota M, Ohtomo A et al. Blue Light-Emitting Diode Based on ZnO. Jpn. J. Appl. Phys., 2005, 44: L643~L645

302 Hwang D K, Kang S H, Lim J H et al. p-ZnO/n-GaN heterostructure ZnO light-emitting diodes. Appl. Phys. Lett., 2005, 86: 222101~222103

303 Yang W, Vispute R D, Choopun S, Sharma R P, Venkatesan T and Shen H. Ultraviolet photoconductive based on epitaxial Mg0.34Zn0.66O thin films. Appl. Phys. Lett., 2001, 78 (18): 2787~2789

304 Tanimura J, Wada O, Kurokawa H et al. Characterization of Single Grain Boundaries in a Bi-Doped ZnO Varistor Using a Focused Lon Beam System. Jpn. J. Appl. Phys., 2000, 39 (7B): 4493~4496

305 Wu T T, Wang W S. An experimental study on the ZnO/sapphire layered surface acoustic wave device. J. Appl. Phys., 2004, 96 (9): 5249~5253

306 Talbi A, Sarry F, Le Brizoual L et al. Sezawa mode SAW pressure sensors based on ZnO/Si structure. IEEE Transactions on Ultrasonic ferroelectrics and frequency control, 2004, 51 (11): 1421~1426

307 Emanetoglu N W, Zhu J, Chen Y, Zhong J, Chen Y and Lu Y. Surface acoustic wave ultraviolet photodetectors using epitaxial ZnO multilars grown on r-plane sapphire. Appl. Phys. Lett., 2004, 85 (17): 3702~3704

308 Wittstruck R H, Tong X J, Emanetoglu N W et al. Characteristics of $Mg_xZn_{1-x}O$ thin film bulk acostic wave devices. IEEE Transactions on Ultrasonic ferroelectrics and frequency control, 2003, 50 (10): 1272~1278

309 Emanetoglu N W, Muthukumar S, Wittstruck R H, et al. $Mg_xZn_{1-x}O$: A new piezoelectric material. IEEE Transactions on Ultrasonic ferroelectrics and frequency control, 2003, 50 (5): 537~543

310 Kordina O and Saddow S E. Advances in Silicon Carbide Processing and Application, S. E. Saddow, and A. Agarwal, (eds), Artech House, Inc., 2004, pp. 1~27

311 Nording C and Osterman J. Physics Handbook, 5th ed, Lund, Sweden: Studentlitteratur, 2002, pp. 28~29

312 Ellison A, Zhang J, Henry A, Janzen E. Epitaxial growth of SiC in a chimney CVD reactor. J. Cryst. Growth, 2002, Vol. 236: 225~238

313 Saddow S E, Shattner T E, Brown J, Grazulis L, Mahalingam K, Landis G, Bertke R, Mitchel W C. Effects of Substrate Surface Preparation on Chemical Vapor Deposition Growth of 4H-SiC Epitaxial Layers. J. Electr. Mat. 2001, Vol. 30: 228~234

314 Powell A R and Rowland L B. SiC Materials-Progress, Status, and Potential Roadblocks. Proc. IEEE. 2002, Vol. 90 (6): 942~955

315 Ha S, Mieszkowski P, Skowronski M et al. Dislocation conversion in 4H silicon caride epitaxy. J. Cryst. Gr owth, 20002, Vol. 244 (3~4): 257~266

316 谢孟贤，刘诺．化合物半导体材料与器件．成都：电子科技大学出版社，2000

317 陈光华，张阳等．金刚石薄膜的制备与应用．北京：化学工业出版社，2004

318 戴达煌，周克松．金属石薄膜沉积制备工艺与应用．北京：冶金工业出版社，2001

319 金钦汉主编．微波化学．北京：科学出版社，1999

320 Sankar N and Ramachandran K. On the thermal and optical properities of ZnSe and doped ZnSe crystals grown by PVT. J. of Crystal Growth, 2003, 247: 157~165

321 Walukiewicz W. Intrinsic limitations to the doping of wide-gap semiconductors. Physica B, 2001, 302~303: 123~134

322 Karazhanov S Zh and L. C. Lew Yan Voon. Ab initio studies of band parameters of $A^{III}B^{V}$ and $A^{II}B^{VI}$ zinc-blendesemiconductors. Физика и TeXHNKa Опди, 2005, 39: 177~188

323 Tsai M H, Peiris F C, Lee S and furdyna J K. Electronic and structural properties of II-VI ternary alloys and superlattices. Phys. Rev. B. 2002, 65: 235292-1-235292-9

324 Wu J, Walukiewicz W, Yu K M, Shan W, Ager J W III, Haller E E, Miotkowski I, Ramdas A K and Ching-Hua Su. Composition dependence of the hydrostatic pressure coecfficients of the bandgap of $ZnSe_{1-x}Te_x$ alloys. Phys. Rev. B, 2003, 68: 033206-1~033206-4

325 Kim Y G, Joh Y S, Song J H, Sim E D, Baek K S and Chang S K. Quantum confinement effects on carriers in self-assembled ZnSe/ZnS quantum dots in a lens shape. Phys. Stat. Sol. (c), 2004, 1: 775~778

326 Yu Y M, Nam S, Byungsung O, K. -S. Lee, Yu P Y, Lee Jongwon, Choi Y D. Strain effect in ZnSe epilayers grown on GaAs substrates. J. Crystal Growth, 2002, 243: 389~395

327 Lin W, Tamargo M C, Wei H Y, Sarney W, Salamanca-Riba L and Fitzpatrick B J. Molecular-beam epitaxy growth and nitrogen doping of hexagonal ZnSe and ZnCdSe/ZnSe quantum well structures on hexagonal ZnMgSSe bulk substrates. J. Vac. Sci. Technol. B. 2000, 18: 1711~1715

328 Nobuo Matsumura, Kengo Yasui, Junji Saraie. Fabrication of wurtzite quantum-well structures of CdSe/ZnCdSe by molecular beam epitaxy. J. Crystal Growth, 2002, 237~239: 1536~1540

329 Nagai Y, Kurimoto T, Nagasaka K, Nojiri H, Motokawa M, Matsukura F, Dietl T and Ohno H, Spin Polarization Dependent Far Infrared Absorption in $Ga_{1-x}Mn_xAs$, Jap. J. Appl. Phys. 2001, 40: 6231.

330 Sadowski J, Mathieu R, Svedlindh P, Domagala J Z, Bak-Misuik J, Swiatek J, Karlsteen M, Kanski J, Ilver L, Asklund H and Sodervall V. Structural and magnetic properties of GaMnAs layers with high Mn-content grown by migration-enhanced epitaxy on GaAs (100) substrates. Appl. Phys. Lett. 2001, 78: 3271

331 Grandidier B, Hys J P, Delerue C, Stievenard D, Higo Y and Tanaka M. Atomic-scale study of GaMnAs/GaAs layers. Appl. Phys. Lett. 2000, 77: 40001.

332 Kawakami R K, Johnson-Halperin E, Chen L F, Hanson M, Guebels N, Speck J S, Gossard A C and Awschalom D D. (Ga, Mn) As as a digital ferromagnetic heterostructure. Appl. Phys. Lett. 2000, 77: 2379

333 Chiba D, Akiba N, Matsukura F, Ohno Y and Ohno H. Magnetoresistance effect andinterlayer coupling of (Ga, Mn) As trilayer structures. Appl. Phys. Lett. 2000, 77: 1873

334 Hayashi T, Tanaka M and Asamitsu A. Tunneling magnetoresistance of a GaMnAs-based double barrier ferromagnetic tunnel junction. J. Appl. Phys. 2000, 87: 4673.

335 Akiba N, Chiba D, Natata K, Matsukura F, Ohno Y and Ohno H. Spin-dependent scattering in semiconducting ferromagnetic (Ga, Mn) As trilayer structures. J. App. Phys. 2000, 87: 6436

336 Potashnik S J, Ku K C, Chun S H, Berry J J, Samarth N and Schiffer P. Effects of annealing time on defect-controlled ferromagnetism in $Ga_{1-x}Mn_xAs$. Appl. Phys. Lett. 2001, 79: 1495

337 Schott G M, Faschinger W and Molenkamp L W. Lattice con-

stant variation and complex formation in zincblende gallium manganese arsenide. Appl. Phys. Lett., 2001, 79: 1807

338 Oiwa A, Slupinski T and Munekata H. Control of magnetization reversal process by light illumination in ferromagnetic semiconductor heterostructure p-(In, Mn) As/GaSb. Appl. Phys. Lett. 2001, 78; 518

339 Park Y D, Hanbicki A T, Erwin S C, Hellberg C S, Sullivan J M, Mattson J E, Wilson A, Spanos G and Jonker B T. A Group-Ⅳ Ferromagnetic Semiconductor: Mn_xGe_{1-x}. Science 2002, 295: 651

340 Malajovich I, Kikkawa J M, Awschalom D D, Berry J J andSamarth N. Coherent Transfer of Spin through a Semiconductor Heterointerface. Phys. Rev. Lett. 2000, 84: 1015

341 Hammar P R, Bennet B R, Yang M Y and Johnson M. Observation of spin polarized transport across a ferromagnet-two-dimensional electron gas interface (invited). J. Appl. Phys. 2000, 87: 4665

342 Hirohata A, Xu Y B, Guetler C M and Bland J A C. Spin-dependent electron transport in NiFe/GaAs Schottky barrier structures. J. Appl. Phys. 2000, 87: 4670

343 Borghs G and Boeck J De. Material aspects of spin injection in semiconductors. Mat. Sci. eng. B 2001, 84: 75

344 Jonker B T, Park Y D, Bennett B R, Cheong H D, Kioseoglou G and Petrou A. Robust electrical spin injection into a semiconductor heterostructure. Phys. rev. B 2000, 62: 8180

345 Park Y D, Jonker B T, Bennett B R, Itskos G, Furis M, Kioseoglou G and Petrou A. Electrical spin injection across air-exposed epitaxially regrown semiconductor interfaces. App. Phys. Lett. 2000, 77: 3989

346 Schmidt G, Ferrand D, Molenkamp L W, Filip A T and van B J Wees. Fundamental obstacle for electrical spin injection from a ferromagnetic metal into a diffusive semiconductor. Phys. Rev. B 2000, 62: R4790

347 Hu C M, Nitta J, Jensen A, Hansen J B and Takayanagai H. Spin-polarized transport in a two-dimensional electron gas with interdigital-ferromagnetic contacts. Phys. Rev. B 2001, 63: 125333

348 Monzon F G, Tang H X and Roukes M L. Magnetoelectronic Phenomena at a Ferromagnet-Semiconductor Interface. Phys. Rev. Lett. 2000, 84: 5022

349 Kohda M, Ohno Y, Takamura K, Matsukura F and Ohno H. A Spin Esaki Diode. Jap. J. Appl. Phys. 2001, 40: L1274

350 Breve H, Nemeth S, Liu Z, Boeck J De and Borghs G. Transport properties of epitaxial Fe-GaN-Fe tunnel junctions on GaAs. J. Magn. Magn. Materials. 2001, 226~230: 933

351 Matsukura F, Ohno H, Dietl T. Ⅲ-Ⅴ Ferromagnetic Semiconductors, in: Handbook of Magnetic Materials, vol. 14 ed. K. H. J. Buschow (Elsevier, Amsterdam), 2002 pp. 1~87;

352 Zhu H J, Ramsteiner M, Kostial H, Wassermeier M, Sc-Honoherr H P and Ploog K H. Room-Temperature Spin Injection from Fe into GaAs. Phys. Rev. Lett. 2001, 87: 016601

353 Medvedkin G A, Hirose K, Ishibashi T, Nishi T, Voevodin V G and Sato K, K.. New magnetic materials in $ZnGeP_2$ – Mn chalcopyrite system. J. Cryst. Growth 2002, 236: 609

354 Choi S, Cha G B, Hong S C, Cho S, Kim Y, Ketterson J B, Jeong S Y and Yi G C. Room-temperature ferromagnetism in chalcopyrite Mn-doped $ZnSnAs_2$ single crystals. Solid-State Commun. 2002, 122: 165

355 Ueda K, Tahata H and Kawai T. Magnetic and electric properties of transition-metal-doped ZnO films. Appl. Phys. Lett. 2001, 79: 988

356 Matsumoto Y, Murakami M, Shono T, Hasegawa H, Fukumura T, Kawasaki M, Ahmet P, Chikyow T, Koshikara S, and Koinuma H. Room-Temperature Ferromagnetism in Transparent Transition Metal-Doped Titanium Dioxide. Science 2001, 291: 854

357 Chambers S A. A potential role in spintronics. Materials Today, 2002, pp. 34~49

358 Van Schilfgaarde M and Myrasov O N. Anomalous exchange interactions in Ⅲ-Ⅴ dilute magnetic semiconductors. Phys. Rev. B 2001, 63: 233205

359 Sato K and Katayama-Yoshida H. Material Design of GaN-Based Ferromagnetic Diluted Magnetic Semiconductors. Jap. J. Appl. Phys. 2001, 40: L485

360 Dietl T, Ohno H and Matsukura F. Hole-Mediated Ferromagnetism in Tetrahedrally Coordinated Semiconductors. Phys. Rev. B, 2001, 63: 195205~1

361 Dietl T. Ferromagnetic Interactions in Doped Semiconductors and their Nanostructures. J. Appl. Phys. 2001, 89: 7437~7446

362 Berciu M and Bhatt R N. Effects of Disorder on Ferromagnetism in Diluted Magnetic Semiconductors. Phys. Rev. Lett. 2001, 87: 108203

363 Bhatt R N, Berciu M, Kennett M D and Wan X. Diluted magnetic semiconductors in the low carrier density regime. J. Superconductivity: Incorporating Novel Magnetism 2002, 15: 71

364 Litvinov V I and Dugaev V A. Ferromagnetism in Magnetical-loy Doped Ⅲ-Ⅴ Semiconductors. Phys. Rev. Lett. 2001, 86: 5593

365 Konig J, Lin H H and MacDonald A H. Theory of Diluted Magnetic Semiconductor Ferromagnetism. Phys. Rev. Lett. 2001, 84: 5628

366 Schliemann J, Konig J and MacDonald A H. Monte Carlo study of ferromagnetism in (Ⅲ, Mn) Ⅴ semiconductors. Phys. Rev. B, 2001, 64: 165201

367 Korotkov R Y, Gregie J M and Wessels B W. Optical properties of the deep Mn acceptor in GaN:Mn. Appl. Phys. Lett. 2002, 80: 1731

368 Goepfert I D, Schubert E F, Osinsky A, Norris P E and Faleev N N. Experimental and theoretical study of acceptor activation and transport properties in p-type $Al_xGa_{1-x}N$/GaN superlattices. J. Appl. Phys. 2000, 88: 2030

369 Sonoda S, Shimizu S, Sasaki T, Yamamoto Y and Hori H. Molecular beam epitaxy of wurtzite (Ga, Mn) N films on sapphire (0001) showing the ferromagnetic behaviour at room temperature. J. Cryst. Growth 2002, 237~239: 1358

370 Thaler G T et al. Magnetic properties of n-GaMnN thin films. Appl. Phys. Lett. 2002, 80: 3964

371 Jeong, Min-Chang, Ham, Moon-Ho, Myoung, Jae-Min, SamKyu. Room-temperature ferromagnetism of Mg and Mn co-doped GaN films grown by PEMBE. Applied Surface Science 2004, 222 (1~4): 322~326

372 Kim K H, Lee K J, and Kim D J, Kim C S, Lee H C, Kim C G and Yoo S H. H. J. Kim and Y. E. Ihm. Im-

provement of magnetic property of GaMnN by codoping of Mg. J. Appl. Phys. 2003, 93: 6793

373 Soo Y L, Kioseouglou G, Kim S, Huang S, Kaa Y H, Kubarawa S, Owa S, Kondo T and Munekata H. Local structure and chemical valency of Mn impurities in wide-band-gap Ⅲ-V magnetic alloy semiconductors $Ga_{1-x}Mn_xN$. Appl. Phys. Lett. 2001, 79: 3926

374 Sato M, Tanida H, Kato K, Sasaki T, Yamamoto Y, Sonoda S, Shimiyu S and Hori H. Local Structure around Mn in Ferromagnetic GaMnN Film Studied by X-Ray Absorption Fine Structure. J. Jap. Appl. Phys. 2002, 41: 4513

375 Overberg M E, Abernathy C R, Pearton, S J, Theodoropoulou N A, McCarthy K T and Hebard A F. Indication of ferromagnetism in molecular-beam-epitaxy-derived n-type GaMnN. Appl. Phys. Lett. 2001, 79: 1312

376 Theodoropoulou N, Hebard A F, Overberg M E, Abernathy C R, Pearton S J, Chu S N G andWilson R G. Magnetic and structural properties of Mn-implanted GaN. Appl. Phys. Lett. 2001, 78: 3475

377 Theodoropoulou N, Hebard A F, Chu S N G, Overberg M E, Abernathy C R, Pearton S J, Wilson R G and Zavada J M. Characterization of high dose Feimplantation into p-GaN. Appl. Phys. Lett. 2001, 79: 3452

378 Pearton S J et al. Characterization of High Dose Mn, Fe, and Ni implantation into p-GaN. J. Vac. Sci. Technol. A (Vacuum, Surfaces, and Films) 2002, 20: 721

379 Liu C, Alves E, Ramos A R, da Silva M F, Soares J C, Matsutani T and Muchi M. Lattice location and annealing behavior of Mn implanted GaN. Nucl. Instrum. Methods Phys. Res., Section B (Beam Interactions with materials and Atoms) 2002, 191: 544

380 Pearton S J, Overberg M E, Thaler G T, Abernathy C R, Kim J, Ren F, Theodoropoulou N, Hebard A F and Yun Daniel P. Room temperature ferromagnetism in GaMnN and GaMnP. Phys. Status Solidi a 2003, 195: 222

381 Baik J M, Jang H W, Kim J K and Lee J W. Effect of microstructural change on magnetic property of Mn-implanted p-type GaN. Appl. Phys. Lett. 2003, 82: 583

382 Overberg M E, Gila B P, Abernathy C R, Pearton S J, Theodoropoulou N A, McCarthy K T, Arnason S B and Hebard A F. Magnetic properties of p-type GaMnP grown by molecular-beam epitaxy. Appl. Phys. Lett. 2001, 79: 3128

383 Hebard A F, Rairigh R P, Kelly J G, Pearton S J, Abernathy C R, Chu S N G and Wilson R G. Mining for high T_c ferromagnetism in ion-implanted dilute magnetic semiconductors. J. Phys. D: Appl. Phys. 2004, 37: 511~517

384 Theodoropoulou N, Hebard A F, Overberg M E, Abernathy C R and Pearton S J. Unconventional Carrier-Mediated Ferromagnetism above Room Temperature in Ion-Implanted (Ga, Mn) P: C. Phys. Rev. Lett. 2002, 89: 107203/1

385 Theodoropoulou N, Hebard A F, Chu S N G, Overberg M E, Abernathy C R, Pearton S J, Wilson R G and Zavada J M. Magnetic Properties of Fe-and Mn-Implanted SiC. Electrochem. Solid-State Lett. 2001, 4: G119

386 Norton D P, Pearton S J, Hebard A F, Theodoropoulou N, Boatner L A and Wilson R G. Ferromagnetism in Mn-implanted ZnO: Sn single crystals. Appl. Phys. Lett. 2003, 82: 239

387 Pearton S J et al. Magnetic and structural characterization of Mn-implanted, single-crystal $ZnGeSiN_2$. J. Appl. Phys. 2002, 92: 2047

388 Overberg M E et al. Ferromagnetic semiconductors based upon AlGaP. J. Appl. Phys. 2003, 93: 7861

389 Xu J, Li J, Zhang R, Xiu XQ, Lu DQ, Yu HQ, Gu SL, Shen B, Shi Y, Ye YD, Zheng YD. Research on the Mn-implanted GaN with ferromagnetism at room temperature. OPTICAL MATERIALS 2003, 23 (1~2): 163~167

390 Jeong Min Baik, Hyung Seok Kim, Chan Gyung Park, and Jong-Lam Lee. Effect of microstructural evolution on magnetic property of Mn-implanted p-type GaN. Appl. Phys. Lett. 2003, 83 (13): 2632

391 Jeong Min Baik, Sang Uk Kim, Yang Mo Koo, Tae Won Kang, and Jong-Lam Lee. Evidence of Mn Occupation of Ga Site in Ferromagnetic (Ga, Mn) N Semiconductor Observed by EXAFS. Electrochemical and Solid-State Letters 2004, 7 (12): G313~G315

392 Jeong Min Baik and Jong-Lam Lee, Yoon Shon and Tae Won Kang. Microstructural, optical, and magnetic properties of Mn-implanted p-type GaN. J. Appl. Phys. 2003, 93 (11): 9024

393 Jeong Min Baik, Hyung Seok Kim, Chan Gyung Park, and Jong-Lam Lee. Enhancement of magnetic properties by nitrogen implantation to Mn-implanted p-type GaN. Appl. Phys. Lett. 2004, 84 (7): 1120

394 Yu Y Y, Zhang R, Xiu X Q, Xie Z L, Yu H Q, Shi Y, Shen B, Gu S L and Zheng Y D. Preparation $Ga_xMn_{1-x}N$ DMS materials using HVPE method. Journal of Crystal Growth 2004, 269: 270~275

395 Cui Y, Li L. Suppression of phase segregation during molecular-beam epitaxial growth of GaMnN using nitrogen-hydrogen plasma. Appl. Phys. Lett. 2002, 80: 4139.

396 Park M C, Huh K S, Myoung J M, Lee J M, Chang J Y, Lee K I, Han S H, Lee W Y. Room temperature ferromagnetic (Ga, Mn) N epitaxial films with low Mn concentration grown by plasma-enhanced molecular beam epitaxy. Solid State Commun. 2002, 124: 11

397 修向前, 张荣, 徐晓峰, 顾书林, 施毅, 郑有料. 溶料-凝胶法制备ZnO基稀释磁性半导体薄膜. 高技术通讯, 2003, 13 (3): 64

398 Reed M L, Ritums M K, Stadelmaier H H, Reed M J, Parker C A, Bedair S M and El-Masry N A. Room temperature magnetic (Ga, Mn) N: a new material for spin electronic devices. Mater. Lett. 2001, 51: 500

399 Reed M L, Ritums M K, Stadelmaier H H, Reed M J, Parker C A, Bedair S M and El-Masry N A. Room temperature ferromagnetic properites of (Ga, Mn) N. Appl. Phys. Lett. 2001, 79: 3473

400 Sonoda S, Shimizu S, Sasaki T, Yamamoto Y and Hori H. Molecular beam epitaxy of wurtzite (Ga, Mn) N films on sapphire (0001) showing the ferromagnetic behaviour at room temperature. J. Cryst. Growth 2002, 237~239: 1358

401 Theodoropoulou N, Hebard A F, Overberg M E, Abernathy C R, Pearton S J, Chu S N G, and Wilson R G. Unconventional Carrier-Mediated Ferromagnetism above Room Temperature in Ion-Implanted (Ga, Mn) P: C. Phys. Rev Lett. 2002, 89: 107203-1.

402 Overberg M E, Gila B P, Thaler G T, Abernathy C R, Pearton S J, Theodoropoulou N, McCarthy K T, Arnason S B,

Hebard A F, Chu S N G, Wilson R G, Zavada J M and Park Y D. Room temperature magnetism in GaMnP produced by both ion implantation and molecular-beam epitaxy. J. Vac. Sci. Technol. B 2002, 20: 969

403 Zajac M, Gosk J, Kaminska M, Twardowski A, Szyszko T, and Podliasko S. Paramagnetism and antiferromagnetic d-d coupling in GaMnN magnetic semiconductor. Appl. Phys. Lett. 2001, 79: 2432

404 Reed M L, Ritums M K, Stadelmaier H H, Reed M J, Parker C A, Bedair S M and El-Masry N A. Room temperature magnetic (Ga, Mn) N: a new material for spin electronic devices. Mater. Lett. 2001, 51: 500

405 Reed M L, El-Masry N A, Stadelmaier H, Ritums M E, Reed N J, Parker C A, Roberts J C, and Bedair S M. Room temperature ferromagnetic properties of (Ga, Mn) N. Appl. Phys. Lett. 2001, 79: 3473

406 Sonoda S, Shimizu S, Sasaki T, Yamamoto Y and Hori H. Molecular beam epitaxy of wurtzite (Ga, Mn) N films on sapphire (0001) showing the ferromagnetic behaviour at room temperature. J. Cryst. Growth 2002, 237~239: 1358

407 Sasaki T, Sonoda S, Yamamoto Y, Suga K, Shimizu S, Kindo K and Hori H. Magnetic and transport characteristics on high Curie temperature ferromagnet of Mn-doped GaN. J. Appl. Phys. 2002, 91: 7911

408 Thaler G T, Overberg M E, Gila B, Frazier R, bernathy C R A, Pearton S J, Lee J S, Lee S Y, Park Y D, Khim Z G, Kim J and Ren F. Magnetic properties of n-GaMnN thin films. Appl. Phys. Lett. 2002, 80: 3964

409 H Park, Lee J, Cho Y C, Jeong S -Y, Cho V T and Cho D. Room-temperature ferromagnetism in Cr-doped GaN single crystals. Appl. Phys. Lett. 2002, 80: 4187

410 Hashimoto M, Zhou Y K, Kanamura M and Asahi H. High temperature (> 400K) ferromagnetism in Ⅲ-Ⅴ-based diluted magnetic semiconductor GaCrN grown by ECR molecular-beam epitaxy. Solid State Commun. 2002, 122: 37

411 Yamada M et al. Growth of ferromagnetic semiconductor: (Ga, Cr) As. J. Appl. Phys. 2002, 91: 7908

412 Inumaru K, Okamoto H and Yamanaka S J. Preparation of superconducting epitaxial thin films of transition metal nitrides on silicon wafers by molecular beam epitaxy. J. Cryst. Growth, 2002, 237~239: 2050

413 Theodoropoulou N A, Hebard A F, Chu S N G, Overberg M E, Abernathy C R, Pearton S J, Wilson R G and Zavada J M. "Characterization of high dose Feimplantation into p-GaN." Appl. Phys. Lett. 2001, 79: 3452

414 Pearton S J, Overberg M E, Thaler G, Abernathy C R, Theodoropoulou N, Hebard A F, Chu S N G, Wilson R G, Zavada J M, Polyakov A Y, Osinsky A and Park Y D. Magnetic and structural properties of Fe, Ni, and Mn-implanted SiC. J. Vac. Sci. Technol. 2002, A20, 579

415 Akinaga H, Nemeth S, De Boeck J, Nistor L, Bender H, Borghs G, Ofuchi H and Oshima M. Growth and characterization of low-temperature grown GaN with high Fe doping. Appl. Phys. Lett. 2000, 77, 4377

416 Aoki T, Look D C, and Hatanaka Y. ZnO diode fabricated by excimer-laser doping. Appl. Phys. Lett. 2000, 76: 3257

417 Sato K and Katayama-Yoshida H. Stabilization of Ferromagnetic States by Electron Doping in Fe-, Co-or Ni-Doped ZnO. Jap. J. Appl. Phys. 2001, 40: L334

418 Sato K and Katayama-Yoshida H. Material Design for Transparent Ferromagnets with ZnO-Based Magnetic Semiconductors. Jap. J. Appl. Phys 2000, 39: L555

419 Sato K and katayama-Yoshida H. Ferromagnetism in a transition metal atom doped ZnO. Physica E 2001, 10: 251

420 Ueda K, Tabota H and Kamai T. Magnetic and electric properties of transition-metal-doped ZnO films. Appl. Phys. Lett. 2001, 79: 988

421 Jae Hyun Kim, Hyojin Kim, Dojin Kim, YoungEon Ihm, Woong Kil Choo. The origin of room temperature ferromagnetism in cobalt-doped zinc oxide thin films fabricated by PLD. Journal of the European Ceramic Society 2004, 24: 1847~1851

422 Prellier W, Fouchet A, Simon Ch, Mercey B. Ferromagnetic Co-doped ZnO thin films grown using pulsed laser deposition from Zn and Co meallic targets. Mater. Sci. Engineer. B 2004, 109: 192~195

423 Norton D P, Pearton S J, Hebard A F, Theodoropoulou N, Boatner L A, and Wilson R G. Ferromagnetism in Mn-implanted ZnO : Sn single crystals. Appl. Phys. Lett. 2003, 82: 239

424 Norton D P, Overberg M E, Pearton S J, Pruesner K, Budai J D, Boatner L A, Chisholm M F, Lee J S, Khim Z G, Park Y D, and Wilson R G. Ferromagnetism in cobalt-implanted ZnO. Appl. Phys. Lett. 2003, 83: 5488

425 Polyakov A Y, Govorkov A V, Smirnov N B, Pashkova N V, Pearton S J, Ip K, Frazier R M, Abernathy C R, Norton D P, Zavada J M, Wilson R G. Optical and magnetic properties of ZnO bulk crystals implanted with Cr and Fe. Mater. Sci. Semicond. Proc. 2004, 7: 77~81

426 Wakano T, Fujimura N, Morinaga Y, Abe N, Ashida A, and Ito T. Magnetic and magneto-transport properties of ZnO: Ni films. Physica E 2001, 10: 260

427 Jin Z, Hasegawa K, Fukumura T, Yoo Y Z, Hasegawa T, Koinuma H and Kawasaki M. Magnetoresistance of 3d transition-metal-doped epitaxial ZnO thin films. Physica E 2001, 10: 256

［Ｇｅｎｅｒａｌ Ｉｎｆｏｒｍａｔｉｏｎ］
书名＝中国材料工程大典　第１１卷　信息功能材料工程．上
作者＝王占国
ＳＳ号＝
加密地址＝
页数＝６４９